

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-74441

(P2012-74441A)

(43) 公開日 平成24年4月12日 (2012.4.12)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P	
	HO 1 L 29/78 6 5 2 S	
	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/06 3 0 1 D	

審査請求 未請求 請求項の数 11 O L (全 16 頁)

(21) 出願番号 特願2010-216583 (P2010-216583)
 (22) 出願日 平成22年9月28日 (2010.9.28)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 大田 浩史
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 角 保人
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 (72) 発明者 木村 淑
 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

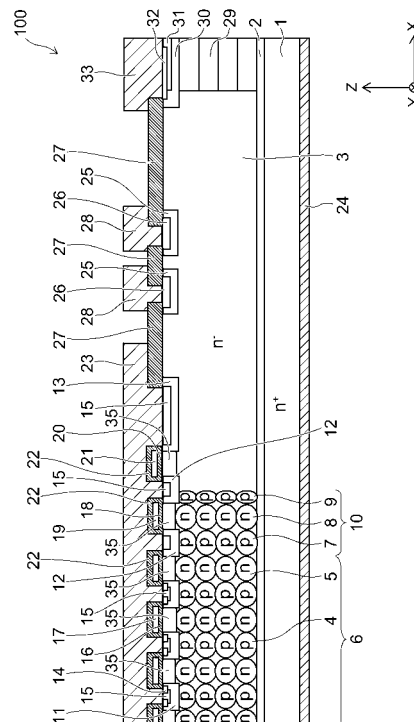
(54) 【発明の名称】 電力用半導体装置

(57) 【要約】

【課題】 終端領域での素子破壊を抑制できる半導体装置を提供する。

【解決手段】 電力用半導体装置は、第1導電形の第1の半導体層1の第1の表面上に、第1のピラー領域6と、第2のピラー領域10と、第1導電形のエピタキシャル層3とを隣接して備える。第1のピラー領域6は、交互に配置された複数の第2導電形の第1のピラー層4と複数の第1導電形の第2のピラー層5を有し、複数の第2導電形の第1のベース層11が、複数の第1のピラー層4の各々の上に離間して接続される。第2のピラー領域10は、第2導電形の第3のピラー層7、第1導電形の第4のピラー層8、及び第2導電形の第5のピラー層9を隣接して有する。複数の第2導電形の第2のベース層12が、第3のピラー層及び第5のピラー層の各々の上に離間して接続される。複数のソース層が、複数の第1のベース層の各々の表面に選択的に形成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の表面を有する第 1 導電形の第 1 の半導体層と、

前記第 1 の半導体層の前記第 1 の表面上で、複数の第 2 導電形の第 1 のピラー層と複数の第 1 導電形の第 2 のピラー層とが、前記第 1 の表面に平行な第 1 の方向に沿って交互に繰り返して配置されて構成される第 1 のピラー領域と、

前記第 1 の半導体層の前記第 1 の表面上で、前記第 1 の方向に沿って前記第 1 のピラー領域の前記第 2 のピラー層に隣接する第 2 のピラー領域であって、少なくとも 1 つの第 2 導電形の第 3 のピラー層と、前記第 1 の方向に沿って前記第 3 のピラー層に隣接する第 1 導電形の第 4 のピラー層とから構成されるピラーセットと、前記第 1 の方向に沿って前記ピラーセットに隣接する第 2 導電形の第 5 のピラー層と、で構成される第 2 のピラー領域と、

前記第 1 の半導体層の前記第 1 の表面上で、前記第 1 の方向に沿って前記第 2 のピラー領域と隣接し、前記第 2 のピラー層よりも第 1 導電形不純物濃度が低い第 1 導電形のエピタキシャル層と、

前記複数の第 1 のピラー層の各々の上に電氣的に接続され、互いに離間するように設けられた複数の第 2 導電形の第 1 のベース層と、

前記第 3 のピラー層及び前記第 5 のピラー層の各々の上に電氣的に接続され、互いに離間するように設けられた複数の第 2 導電形の第 2 のベース層と、

前記エピタキシャル層の表面で、前記複数の第 2 のベース層のうち前記第 5 のピラー層上に接続された第 2 のベース層と離間して隣り合うように設けられた第 2 導電形の第 3 のベース層と、

前記複数の第 1 のベース層の各々の表面に選択的に形成され、前記エピタキシャル層よりも第 1 導電形不純物濃度が高い複数の第 1 導電形のソース層と、

前記複数の第 1 のベース層のうち隣り合う第 1 のベース層の各々の上、前記複数のソース層のうち前記隣り合う第 1 のベース層上に形成されたソース層上、及び前記第 2 のピラー層上に、第 1 のゲート絶縁膜を介して設けられた第 1 のゲート電極と、

前記複数の第 2 のベース層のうち隣り合う第 2 のベース層の各々の上、及び前記第 4 のピラー層上に、第 2 のゲート絶縁膜を介して設けられた第 2 のゲート電極と、

前記第 3 のベース層及び前記第 5 のピラー層上に接続された前記第 2 のベース層の各々の上に、第 3 のゲート絶縁膜を介して設けられた第 3 のゲート電極と、

前記第 1 の半導体層の前記第 1 の表面とは反対側の表面に電氣的に接続されて設けられた第 1 の電極と、

前記ソース層、前記第 1 のベース層、前記第 2 のベース層、及び前記第 3 のベース層の各々に電氣的に接続された第 2 の電極と、

を備えたことを特徴とする電力用半導体装置。

【請求項 2】

前記ピラーセットは、前記第 1 の方向に沿って交互に繰り返して配置された単一の第 3 のピラー層及び単一の第 4 のピラー層で構成されることを特徴とする請求項 1 記載の電力用半導体装置。

【請求項 3】

前記ピラーセットは、前記第 1 の方向に沿って交互に繰り返して配置された複数の第 3 のピラー層及び複数の第 4 のピラー層で構成され、前記複数の第 2 のベース層は、各々離間して前記複数の第 3 のピラー層の各々の上に電氣的に接続されることを特徴とする請求項 1 記載の電力用半導体装置。

【請求項 4】

隣り合う前記第 1 のベース層の間で前記第 2 のピラー層に電氣的に接続され、隣り合う前記第 2 ベース層の間で前記第 4 ピラー層に電氣的に接続された、第 1 導電形の第 3 の半導体層が設けられていることを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の電力用半導体装置。

10

20

30

40

50

【請求項 5】

前記第 1 のゲート電極は、隣り合う前記第 1 のベース層が側壁に露出し前記第 2 のピラー層が底面に露出した第 1 のトレンチ内に、前記第 1 のゲート絶縁膜を介して埋め込まれて形成され、

前記第 2 のゲート電極は、隣り合う前記第 2 のベース層が側壁に露出し前記第 4 のピラー層が底面に露出した第 2 のトレンチ内に、前記第 2 のゲート絶縁膜を介して埋め込まれて形成され、

前記第 3 のゲート電極は、前記第 5 のピラー層上に接続された前記第 2 のベース層と前記第 3 のベース層とが側壁に露出し、前記エピタキシャル層が底面に露出した第 3 のトレンチ内に前記第 3 のゲート絶縁膜を介して埋め込まれて形成されていることを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の電力用半導体装置。

10

【請求項 6】

前記第 1 の表面と平行な平面において、前記第 5 のピラー層の第 2 導電形不純物量が、前記第 3 のピラー層の第 2 導電形不純物量よりも少なくなるように形成されていることを特徴とする請求項 1 ~ 5 のいずれか 1 つに記載の電力用半導体装置。

【請求項 7】

前記第 2 のピラー領域は、前記第 5 のピラー層と前記エピタキシャル層の間に第 1 導電形の第 6 のピラー層をさらに備えることを特徴とする請求項 1 ~ 5 のいずれか 1 つに記載の電力用半導体装置。

【請求項 8】

前記第 1 の表面と平行な平面において、前記第 6 のピラー層の第 1 導電形不純物量が、前記第 4 のピラー層の第 1 導電形不純物量よりも少なくなるように形成されていることを特徴とする請求項 7 記載の電力用半導体装置。

20

【請求項 9】

前記第 3 のベース層は、第 1 の方向に沿って前記第 2 のベース層よりも幅広であることを特徴とする請求項 1 ~ 8 のいずれか 1 つに記載の電力用半導体装置。

【請求項 10】

前記第 1 の半導体層と、前記第 1 のピラー領域及び前記第 2 のピラー領域との間に、さらに第 1 導電形の第 4 の半導体層を備えることを特徴とする請求項 1 ~ 9 のいずれか 1 つに記載の電力用半導体装置。

30

【請求項 11】

前記第 1 の半導体層と前記第 1 の電極との間に、さらに第 2 の導電形の第 5 の半導体層を備えることを特徴とする請求項 1 ~ 10 のいずれか 1 つに記載の電力用半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、パワー MOSFET などの大電力用の半導体装置に関する。

【背景技術】

【0002】

パワー MOSFET (Metal Oxide Semiconductor Field Effect Transistor) は、電流が流れる素子領域と、その素子領域を取り囲んでチップの外周部に形成された終端領域と、を有する。パワー MOSFET のドリフト層でアバランシェ降伏が起きたときに、パワー MOSFET の破壊を防ぐために、アバランシェ降伏により発生したキャリアを素子領域側からソース電極に排出させることが必要である。素子領域の方が、終端領域に比べてキャリアをソース電極に排出させる断面積が広いため、排出抵抗が低く、電流集中による素子破壊が防止できるためである。そのため、素子領域の方が、終端領域よりも耐圧が低く設定されることが望ましい。

40

【0003】

また、パワー MOSFET の耐圧を上げるためには、ドリフト層は、不純物濃度が低く高抵抗層である必要がある。しかしながら、素子領域ではオン抵抗を低減させたいので、

50

ドリフト層は不純物濃度が高い低抵抗層が望まれる。このように、パワーMOSFETの耐圧とオン抵抗との間には、トレードオフの関係がある。このトレードオフの関係を改善するために、パワーMOSFETのドリフト層にスーパージャンクション構造が用いられる。ドリフト層にスーパージャンクション構造を用いることで、電流経路の不純物濃度を高くしながら、パワーMOSFETの耐圧を高くすることが可能となる。

【0004】

パワーMOSFETのドリフト層は、耐圧を高く維持しながらオン抵抗の低減が図れるスーパージャンクション構造を素子領域に有し、抵抗が高くても耐圧が更に高い高抵抗層を終端領域に有するように設計される。このような構造のパワーMOSFETは、終端領域よりも素子領域でアバランシェ降伏が起きるので、アバランシェ耐量が高く、低オン抵抗で、耐圧が高い特性を有する。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-4681号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

終端領域での素子破壊を抑制できる半導体装置を提供する。

【課題を解決するための手段】

20

【0007】

本発明の実施形態にかかる電力用半導体装置は、第1の表面を有する第1導電形の第1の半導体層と、第1のピラー領域と、第2のピラー領域と、第1導電形のエピタキシャル層と、複数の第2導電形の第1のベース層と、複数の第2導電形の第2のベース層と、第2導電形の第3のベース層と、複数の第1導電形のソース層と、第1のゲート電極と、第2のゲート電極と、第3のゲート電極と、第1の電極と、第2の電極と、を備える。前記第1のピラー領域は、前記第1の半導体層の前記第1の表面上で、複数の第2導電形の第1のピラー層と複数の第1導電形の第2のピラー層とが、前記第1の表面に平行な第1の方向に沿って交互に繰り返して配置されて構成される。前記第2のピラー領域は、前記第1の半導体層の前記第1の表面上で、前記第1の方向に沿って前記第1のピラー領域の前記第2のピラー層に隣接し、少なくとも1つの第2導電形の第3のピラー層と、前記第1の方向に沿って前記第3のピラー層に隣接する第1導電形の第4のピラー層とから構成されるピラーセットと、前記第1の方向に沿って前記ピラーセットに隣接する第2導電形の第5のピラー層と、で構成される。前記エピタキシャル層は、前記第1の半導体層の前記第1の表面上で、前記第1の方向に沿って前記第2のピラー領域と隣接し、前記第2のピラー層よりも第1導電形不純物濃度が低い。前記複数の第1のベース層は、前記複数の第1のピラー層の各々の上に電氣的に接続され、互いに離間するように設けられる。前記複数の第2のベース層は、前記第3のピラー層及び前記第5のピラー層の各々の上に電氣的に接続され、互いに離間するように設けられる。前記第3のベース層は、前記エピタキシャル層の表面で、前記第5のピラー層上に接続された第2のベース層と離間して隣り合うように設けられる。前記複数のソース層は、前記複数の第1のベース層の各々の表面に選択的に形成され、前記エピタキシャル層よりも第1導電形不純物濃度が高い。前記第1のゲート電極は、前記複数の第1のベース層のうち隣り合う第1のベース層の各々の上、前記複数のソース層のうち前記隣り合う第1のベース層上に形成されたソース層上、及び前記第2のピラー層上に、第1のゲート絶縁膜を介して設けられる。前記第2のゲート電極は、前記複数の第2のベース層のうち隣り合う第2のベース層の各々の上、及び前記第4のピラー層上に、第2のゲート絶縁膜を介して設けられる。前記第3のゲート電極は、前記第3のベース層及び前記第2導電形の第5のピラー層上に接続された前記第2のベース層の各々の上、第3のゲート絶縁膜を介して設けられる。前記第1の電極は、前記第1の半導体層の前記第1の表面とは反対側の表面に電氣的に接続されて設けられる。前記第

30

40

50

2の電極は、前記ソース層、前記第1のベース層、前記第2のベース層、及び前記第3のベース層の各々に電氣的に接続される。

【図面の簡単な説明】

【0008】

【図1】第1の実施の形態に係る電力用半導体装置の要部の模式断面図。

【図2】第1の実施の形態に係る電力用半導体装置の模式平面図。

【図3】比較例の電力用半導体装置の要部の模式断面図。

【図4】第2の実施の形態に係る電力用半導体装置の要部の模式断面図。

【図5】第3の実施の形態に係る電力用半導体装置の要部の模式断面図。

【図6】第4の実施の形態に係る電力用半導体装置の要部の模式断面図。

10

【発明を実施するための形態】

【0009】

以下、本発明の実施の形態について図を参照しながら説明する。実施の形態中の説明で使用する図は、説明を容易にするための模式的なものであり、図中の各要素の形状、寸法、大小関係などは、実際の実施においては必ずしも図に示されたとおりとは限らず、本発明の効果が得られる範囲内で適宜変更可能である。第1導電形をn形で、第2導電形をp形で説明するが、それぞれこの逆の導電形とすることも可能である。半導体としては、シリコンを一例に説明するが、SiCやGaNなどの化合物半導体にも適用可能である。絶縁膜としては、シリコン酸化膜を一例に説明するが、シリコン窒化膜、シリコン酸窒化膜、アルミナなどの他の絶縁体を用いることも可能である。n形の導電形を n^+ 、 n 、 n^- で表記した場合は、この順にn形不純物濃度が低いものとする。p形においても同様に、 p^+ 、 p 、 p^- の順にp形不純物濃度が低いものとする。

20

【0010】

(第1の実施の形態)

第1の実施の形態について、図1を用いて説明する。図1は、本発明の第1の実施形態に係る電力用半導体装置100の要部の模式断面図である。図2は、電力用半導体装置100の平面図である。図2のA-A線における矢印方向に見た断面が図1である。図2の平面図は、図1における後述のフィールドプレート電極28を省略してある。

【0011】

図1及び図2に示したように、本実施形態に係る半導体装置100は、以下のように構成される。n形不純物濃度が例えば $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^{-3}$ の n^+ 形ドレイン層1の第1の表面上に、第1の半導体層よりもn形不純物濃度が低いn形バッファ層2が形成される。第1のピラー領域6が、n形バッファ層2の表面上に形成される。第1のピラー領域6は、第1の半導体層1の第1の表面に平行な図1中のX方向(第1の方向)に沿って、複数のn形の第1のピラー層4と複数のp形の第2のピラー層5とが交互に繰り返されたスーパージャンクション構造である。第1のピラー層4及び第2のピラー層5は、堆積方向である第1の表面に対して垂直方向(図1中のZ方向)に延伸する。また、第1のピラー層4及び第2のピラー層5は、第1の表面内でX方向に直交するY方向に延伸するストライプ構造である。

30

【0012】

第2のピラー領域10が、n形バッファ層2の表面上にX方向に沿って第1のピラー領域6と隣接して形成される。第2のピラー領域10は、p形の第3のピラー層7と、n形の第4のピラー層8と、p形の第5のピラー層9とを有する。第3のピラー層7は、図1中のX方向に沿って、第1のピラー領域6の複数の第2のピラー層5のうちの1つと隣接する。第4のピラー層8は、X方向に沿って第3のピラー層7と隣接する。第5のピラー層9は、X方向に沿って第4のピラー層8と隣接する。別の表現をすれば、第3のピラー層7と第4のピラー層8は、ピラーセットを構成し、第5のピラー層9は、X方向に沿ってこのピラーセットに隣接する。本実施形態では、ピラーセットは、一組の第3のピラー層7と第4のピラー層8とで構成されるが、後述の実施例では、このピラーセットは、複数の組の第3のピラー層7と第4のピラー層8とで構成される。第3のピラー層7、第4

40

50

のピラー層 8、及び第 5 のピラー層 9 は、第 1 及び第 2 のピラー層 (4 , 5) と同様に、Z 方向に延伸する。また、第 3 のピラー層 7、第 4 のピラー層 8、及び第 5 のピラー層 9 は、第 1 の表面内で X 方向に直交する Y 方向に延伸するストライプ構造である。

【 0 0 1 3 】

第 1 のピラー領域では、p 形の第 1 のピラー層と n 形の第 2 のピラー層は、各ピラー層全体で、不純物量が等しくなるように形成される。特に、p 形の第 1 のピラー層と n 形の第 2 のピラー層の図中 X 方向に垂直な断面における単位面積あたりの p 形不純物量と n 形不純物量が等しい (バランスがとれた) 状態であれば、p 形の第 1 のピラー層と n 形の第 2 のピラー層とは、図中 Z 方向の各位置 (各深さ) の n⁺ 形ドレイン層 1 の第 1 の表面と平行な平面において、p 形不純物量と n 形不純物量が等しい状態に形成される。このようにすることで、後述するようにソース層とドレイン層に逆バイアス電圧が印加されたときに、各ピラー層の不純物濃度が高くて、第 1 のピラー領域全体を空乏化させることができる。第 2 のピラー領域も同様にして、p 形の第 3 のピラー層と n 形の第 4 のピラー層の不純物量が等しくなるように形成される。なお、p 形の第 1 及び第 3 のピラー層を同一のピラー層となるように形成し、n 形の第 2 及び第 4 のピラー層を同一のピラー層になるように形成することで、第 1 及び第 2 のピラー領域全体を通して不純物量のバランスをとることも可能である。

10

【 0 0 1 4 】

p 形の第 5 のピラー層は、第 3 のピラー層と同じ不純物量で形成されることも可能である。しかしながら、第 5 のピラー層は、第 2 のピラー領域の端部に形成されるため、隣接する n 形の第 4 のピラー層の X 方向に沿った半分の領域と不純物量のバランスがとられることが望ましい。すなわち、n⁺ 形ドレイン層 1 の第 1 の表面と平行な平面において、第 5 のピラー層 9 の p 形不純物量は、第 3 のピラー層 7 の p 形不純物量より少なければよく、好ましくは、第 3 のピラー層の p 形不純物量の約半分とすることが望ましい。このようにすることで、第 2 のピラー領域の端部においても、逆バイアス印加時に完全に空乏化させることができる。

20

【 0 0 1 5 】

n 形不純物濃度が例えば $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^{-3}$ の n⁻ 形エピタキシャル層 3 が、n 形バッファ層 2 の表面上に X 方向に沿って第 2 のピラー領域 10 の p 形の第 5 のピラー層 9 と隣接して形成される。n⁻ 形エピタキシャル成長層 3 は、第 2 及び第 4 のピラー層 (5 , 8) の n 形不純物濃度よりも低い。

30

【 0 0 1 6 】

n 形のチャンネルストッパ層 29 が、X 方向に沿って第 2 のピラー領域とは反対側で n⁻ 形エピタキシャル層 3 に隣接して形成されている。n 形のチャンネルストッパ層 29 は、ダイシングで個々に分離された電力用半導体装置 100 の外周に沿った端部に露出して形成される。n 形のチャンネルストッパ層 29 の n 形不純物濃度は、第 2 及び第 4 のピラー層の n 形不純物濃度と同じにすることができる。

【 0 0 1 7 】

上記第 1 ~ 第 5 のピラー層は、図示した詳細な説明はしないが、一例として、以下のよう
に作成することができる。例えば、n⁺ 形ドレイン層 1 の第 1 の表面上に、第 1 の半導
体層よりも n 形不純物濃度が低い n 形バッファ層 2 の形成後、n⁻ 形エピタキシャル層 3
の第 1 の層が、n 形バッファ層 2 の表面全体にエピタキシャル成長される。その後、n⁻
形エピタキシャル層 3 の第 1 の層の表面上に、マスクを用いて選択的に p 形の第 1、第 3
、及び第 5 のピラー層 (4、7、9) が形成される領域に p 形不純物が所定のドーズ量と
所定の幅でイオン注入される。その後、別のマスクを用いて、n 形の第 2 及び第 4 ピラー
層 (5、8) が形成される領域に、n 形不純物が所定のドーズ量及び所定の幅でイオン注
入される。なお、チャンネルストッパ層 29 が形成される領域に同時にイオン注入を行うこ
とで、チャンネルストッパ層 29 が n 形の第 2 及び第 4 (5、8) のピラー層と同時に形成
される
ことができる。

40

【 0 0 1 8 】

50

この後、 n^- 形エピタキシャル層3の第2の層を、第1の層と同様にして第1の層の上にエピタキシャル成長した後に、上記と同様に p 形の第1、第3、及び第5のピラー層形成のための p 形不純物のイオン注入、及び n 形の第2及び第4のピラー層と n 形のチャンネルストップ層29を形成するための n 形不純物のイオン注入が行われる。以後、この工程を繰り返し、本実施形態では、4回繰り返した後に、高温で熱処理して n 形不純物及び p 形不純物を拡散させることで、図1に示したように、電力用半導体装置100は、 X 方向に沿って隣接した、第1～第5のピラー層(4、5、7、8、9)、 n^- 形エピタキシャル層3、及び n 形チャンネルストップ層29をドリフト層に有する。 p 形不純物のイオン注入と n 形不純物のイオン注入の順番はどちらが先でも問題はない。また、本実施形態では、エピタキシャル成長とイオン注入の工程を4回繰り返すことで、 n 形不純物拡散層と p 形不純物拡散層を4段形成して、それぞれの不純物拡散層を第1の表面の垂直方向(Z 方向)に連結させて、 p 形ピラー層及び n 形ピラー層が形成される。このエピタキシャル成長とイオン注入の工程の繰り返し数を増やすことで、各ピラー層の厚さが増えて電力用半導体装置100の耐圧をさらに上げることが可能である。

10

20

30

40

50

【0019】

第1のピラー領域と第2のピラー領域を上述のように形成する際に、不純物量のバランスをとる方法として、例えば、上記の n 形不純物と p 形不純物とのイオン注入の工程において、ドーズ量を等しくし、図中 X 方向でのイオン注入する領域の幅(ピラー幅)を等しくすれば良い。第1の領域と第2の領域のそれぞれにおいて、 n 形不純物と p 形不純物との各ピラー幅と各ドーズ量を等しくしてもよく、第1の領域と第2の領域を通して全体で、 n 形不純物と p 形不純物との各ピラー幅とドーズ量を等しくしても良い。第2のピラー領域の端部にある p 形の第5のピラー層は、前述のように隣接する n 形の第4のピラー層の不純物量の約半分になるように形成されることが望ましい。このため、第5のピラー層のピラー幅は、第1及び第3のピラー幅の約半分となるように形成されればよい。

【0020】

なお、上記以外のピラー層の形成方法として、例えば、 p 形ピラー層及び n 形ピラー層が、 n^- 形エピタキシャル層3中に形成されたトレンチ内に p 形半導体層及び n 形半導体層をエピタキシャル成長などで埋め込むことで形成されることも可能である。

【0021】

複数の第1の p 形ベース層11が、第1のピラー領域6中の複数の p 形の第1のピラーのそれぞれの上に電氣的に接続されて形成される。それぞれの隣り合う第1の p 形ベース層11の間に、 n 形半導体層からなる複数のJFET層35が形成される。JFET層35は、複数の n 形の第2のピラー層のそれぞれの上に電氣的に接続される。複数の n^+ 形ソース層14が、複数の第1の p 形ベース層11のそれぞれの表面上に選択的に形成されている。複数の第1のゲート電極17が、第1のゲート絶縁膜を介して、それぞれ隣り合う第1の p 形ベース層11に跨るように形成されている。すなわち、各々の第1のゲート電極17は、第1のゲート絶縁膜16を介して、JFET層35上、このJFET層35を挟んで隣り合う第1の p 形ベース層11のそれぞれの対向する一部分上、及び隣り合う第1の p 形ベース層11のそれぞれの表面に選択的に形成された n^+ 形ソース層14上に形成される。この n^+ 形ソース層14が形成された第1のピラー領域は、後述するように、 n^+ 形ドレイン層1から、 n 形の第2のピラー層5、及び p 形ベース層11を介して n^+ 形ソース層14へ電流が流れる素子領域である。この素子領域よりも電力用半導体装置100の端部(ダイシングラインの部分)側に素子領域を囲んで終端領域が形成される。

【0022】

2つの隣り合う第2の p 形ベース層12が、第2のピラー領域10中の p 形の第3のピラー層7の上及び p 形の第5のピラー層の上に、それぞれ離間して電氣的に接続されて形成される。この第2の p 形ベース層12が形成される第2のピラー領域10は、電流が流れない終端領域なので、第2の p 形ベース層12の表面には n 形ソース層14が形成されていない。第1のピラー領域6上と同様に、隣り合う第2の p 形ベース層12の間には、 n 形半導体層からなるJFET層35が形成される。このJFET層35は、 n 形の第4

のピラー層 8 の上に電氣的に接続される。第 2 のゲート電極 19 が、第 2 のゲート絶縁膜 18 を介して、この 2 つの隣り合う第 2 の p 形ベース層に挟まれた J F E T 層 35 上、及びこの隣り合う第 2 の p 形ベース層のそれぞれの対向する一部分上に形成される。また、複数の第 1 のゲート電極 17 のうち最も第 2 のピラー領域 10 側にある第 1 のゲート電極 17 は、第 1 のゲート絶縁膜 16 を介して、第 1 のピラー領域 6 の最端部に形成された p 形の第 1 のピラー層 4 上に形成された第 1 の p 形ベース層 11 と、第 2 のピラー領域 10 の p 形の第 3 のピラー層 7 上に形成された第 2 の p 形ベース層 12 上とに跨って形成される。この第 1 のゲート電極 17 の下には、他の第 1 のゲート電極 17 と同様に、n 形の第 2 のピラー層 5 と J F E T 層 35 が存在する。

【 0 0 2 3 】

第 3 の p 形ベース層 13 が、n⁻形エピタキシャル層 3 の表面上の第 2 のピラー領域 10 側に、間に J F E T 層 35 を介して、第 5 のピラー層 9 上に電氣的に接続されて形成された第 2 の p 形ベース層 12 と隣り合って形成される。第 3 の p 形ベース層 13 は、X 方向において第 1 の p 形ベース層 11 又は第 2 の p 形ベース層 12 と同じ幅でも良いが、第 1 の p 形ベース層 11 又は第 2 の p 形ベース層 12 よりも幅が広いことが望ましい。それは、後述するように、アバランシェ降伏により発生した正孔の電流が、終端領域で効率よく第 3 の p 形ベース層 13 を介してソース電極に排出される必要があるためである。第 3 のゲート電極が、第 3 のゲート絶縁膜を介して、この第 5 のピラー層 9 上に形成された第 2 の p 形ベース層 12 上と、第 3 の p 形ベース層 13 上とに跨って形成される。第 3 の p 形ベース層 13 は、第 2 の p 形ベース層 12 同様に電流が流れない終端領域に形成されているので、その表面にも n⁺形ソース層 14 は形成されない。

【 0 0 2 4 】

2 つの離間した p 形ガードリング層 25 が、n⁻形エピタキシャル層 3 の表面上に第 3 の p 形ベース層と離間して、形成される。n 形半導体層 30 が、チャンネルストッパ層 29 の上部に電氣的に接続されて形成される。絶縁膜 27 が、第 3 の p 形ベース層のダイシングライン側の端部上、p 形ガードリング層 25、及び n 形半導体層 30 の素子領域側の端部上を覆うように形成される。絶縁膜 27 の開口部で、フィールドプレート電極 28 が、p⁺形コンタクト層 26 を介して、p 形ガードリング層 25 にオーミック接合される。絶縁膜 27 の別の開口部で、チャンネルストッパ電極 33 が、p⁺形半導体層 31 及び n⁺形半導体層 32 を介して、n 形半導体層 30 上に形成される。チャンネルストッパ電極 33 は、n⁺半導体層 32 を介して、n 形半導体層 30 にオーミック接合され、チャンネルストッパ層 29 と電氣的に接続される。

【 0 0 2 5 】

ここで、第 1 ~ 第 3 の p 形ベース層 (11、12、13)、J F E T 層 35、p 形ガードリング層 25、n 形半導体層 30、p⁺形コンタクト層 (15、26、31)、及び n⁺形ソース層 14 は、例えば以下のようにすることで形成可能である。n⁻形エピタキシャル層 3 と n 形及び p 形不純物のイオン注入工程を複数回繰り返し、前述の第 1 及び第 2 のピラー領域 (6、10) 及びチャンネルストッパ層の形成後、最後に、n⁻形エピタキシャル層 3 が表面全体に形成される。その後、上記絶縁膜 27 及び第 1 ~ 第 3 のゲート電極などをマスクに用いて、最後にエピタキシャル成長した n⁻形エピタキシャル層 3 中に、n 形不純物及び p 形不純物をイオン注入及び熱処理をして、上記各層が形成される。

【 0 0 2 6 】

ソース電極 23 が、層間絶縁膜 22 を介して、第 1 のゲート電極 17、第 2 のゲート電極 19、及び第 3 のゲート電極 21 上に形成され、第 1 ~ 第 3 のゲート電極から絶縁される。ソース電極 23 は、第 1 の p 形ベース層 11 の表面上の n⁺形ソース層 14 の間、第 2 の p 形ベース層 12 の上、及び第 3 の p 形ベース層 13 の上に、それぞれ形成された p⁺形コンタクト層 15 を介して、第 1 の p 形ベース層 11、第 2 の p 形ベース層 12、及び第 3 の p 形ベース層 13 にそれぞれオーミック接合される。ドレイン電極 24 が、n⁺形ドレイン層 1 の第 1 の表面とは反対側の第 2 の表面にオーミック接合されて形成される。なお、第 1 ~ 第 3 のゲート電極は、図示しない領域で互いに電氣的に接続されており、

10

20

30

40

50

層間絶縁膜 22 の開口部を通して、電力用半導体装置 100 の外部に引き出される。ソース電極 23 及びドレイン電極 24 も同様に、図示しない領域で電力用半導体装置 100 の外部に引き出される。

【0027】

次に本実施形態に係る電力用半導体装置 100 の動作について説明する。ソース電極 23 に対して正の電圧がドレイン電極 24 に印加された状態で、第 1 のゲート電極に閾値を超える電圧が印加されると、反転分布によるチャンネル層が、第 1 の p 形ベース層 11 の表面の第 1 のゲート電極と対向する部分に、 n^+ 形ソース層 14 と n 形の第 2 のピラー層 5 とを接続するように形成されて、電力用半導体装置 100 はオン状態になる。この結果、第 1 のピラー領域において、ドレイン電極 24 から、 n^+ 形ドレイン層 1、n 形の第 2 のピラー層 5、第 1 の p 形ベース層 11、及び n^+ 形ソース層 14 を通り、ドレイン電極へ電流が流れる。この電流は、第 1 のゲート電極 17 に印加される電圧により制御される。第 2 及び第 3 のゲート電極により、第 2 及び第 3 の p 形ベース層中にチャンネル層がそれぞれ形成されるが、 n^+ 形ソース層 14 が形成されていないので、第 2 のピラー領域 10 及び n^- 形エピタキシャル層 3 では電流が流れない。

10

【0028】

第 1 のゲート電極 17 に印加される電圧が閾値より小さいとチャンネル層が消失するため、電力用半導体装置 100 はオフ状態になり、ドレイン電極 24 からソース電極 23 へ流れる電流が遮断される。この後、ソース電極 23 とドレイン電極 24 に印加された電圧により、第 1 のピラー領域、第 2 のピラー領域、及び n^- 形エピタキシャル層 3 は、それぞれ空乏化する。オン抵抗を下げるために第 2 及び第 4 のピラー層 (5、8) の n 形不純物濃度が高く設定されているが、第 1 及び第 3 のピラー層の p 形不純物量と等しくなるように形成されているため、第 1 のピラー領域及び第 2 のピラー領域では、完全に空乏化されることで耐圧が高く維持されている。また、 n^- 形エピタキシャル層 3 は、オン抵抗低減の必要がないために不純物濃度が低いので、空乏化しやすく耐圧が高い。不純物濃度を低くすることで、第 1 及び第 2 のピラー領域よりも耐圧を高くすることが可能である。

20

【0029】

第 2 のピラー領域 10 と n^- 形エピタキシャル層 3 の接続部分では、第 1 及び第 2 のピラー領域で連続していた p 形ピラー層と n 形ピラー層との繰り返し構造が途絶える。この部分では、p 形不純物量と n 形不純物量とのバランスを保つことが難しい。本実施形態では、第 5 のピラー層の p 形不純物量が、隣接する第 4 のピラー層の n 形不純物量の半分程度になるように形成され (すなわち p 形の第 3 のピラー層の p 形不純物量の半分程度)、第 4 のピラー層と第 5 のピラー層との接合部で不純物量のバランスがとられている。しかしながら、この接続部分では、第 1 及び第 2 のピラー領域中の p - n 接合部に比べて、不純物量のバランスをとることが難しい。そのため、電力用半導体装置 100 がオフ状態のときに、耐圧が低くアバランシェ降伏が起きやすい。アバランシェ降伏により発生した正孔の電流集中で素子が破壊することを防ぐために、アバランシェ降伏で発生する正孔が、効率よく (低い電気抵抗で) ソース電極に排出される必要がある。本実施形態に係る電力用半導体装置 100 では、第 5 のピラー層 9 でアバランシェ降伏により発生した正孔は、第 3 の p 形ベース層 13 だけでなく、第 5 のピラー層 9 の上部に接続される第 2 の p 形ベース層 12 及び第 3 のピラー層 7 の上部に接続される第 2 の p 形ベース層 12 によりソース電極 23 に排出される。第 2 の p 形ベース層 12 は、 n^+ 形ソース層 14 が形成されていないため、第 1 の p 形ベース層に比べてソース電極との接触面積が大きいため、正孔排出の際の抵抗が低い。このため、アバランシェ降伏により発生した正孔電流の排出による発熱が少なく抑えられる。また、第 2 の p 形ベース層 12 と第 3 の p 形ベース層 13 には、 n^+ 形ソース層 14 が形成されていないため、アバランシェ降伏の正孔電流により、 n^+ 形ソース層 / 第 2 の p 形ベース層 (第 3 の p 形ベース層) / 第 4 の n 形ピラー層 (n^- 形エピタキシャル層 3) の寄生トランジスタのラッチアップの心配もない。このため、本実施形態に係る電力用半導体装置 100 は、終端領域でのアバランシェ耐量が高く、高耐圧の動作が可能である。

30

40

50

【0030】

次に本実施形態に係る電力用半導体装置100を、比較例の電力用半導体装置101と比較して、本実施形態の利点を説明する。図2は、比較例の電力用半導体装置101の要部の模式断面図である。なお、本実施形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。本実施形態との相異点について主に説明する。

【0031】

比較例の電力用半導体装置101は、本実施形態の電力用半導体装置100において、第2のゲート電極19と第2のゲート絶縁膜18、及び第3のゲート電極21と第3のゲート絶縁膜20が取り除かれ、隣り合う2つの第2のp形ベース層12及び第3のp形ベース層13がそれぞれ互いに水平方向(X方向)に接続して1つの第3のp形ベース層13aが形成された構造である。ソース電極23は、p⁺形コンタクト層15を介して第3のp形ベース層13aとオーミック接合される。上記点を除いては、比較例の電力用半導体装置101は、本実施形態に係る電力用半導体装置100と同じである。

【0032】

比較例の電力用半導体装置101は、本実施形態に係る電力用半導体装置100と比べて、第2のピラー領域10aの上部において複数の第2のp形ベース層12が離間して間にJFET層35を有する構造を有さないため、第3のp形ベース層13aとソース電極23との接触面積が大きい。このため、第5のピラー層9aでアバランシェ降伏が起きても、比較例の電力用半導体装置101は、本実施形態の電力用半導体装置100よりも、正孔がドレイン電極へ抜ける際の抵抗が低い。しかしながら、電力用半導体装置101は、第2のピラー領域10aの上部において、n形の第4のピラー層8aの上部に第3のp形ピラー層13aが存在する。このため、第2のピラー領域10aは、第1のピラー領域6に比べて、ソース電極23側の表面付近で、p形不純物量がn形不純物量よりも多い状態となる。第2のピラー領域10aでは、不純物量のバランスが崩れて、近似的に第2のピラー領域10a全体がp形不純物量が少ないp形の半導体層と見なされる。これに対して、第1のピラー領域6では、n形の第2のピラー層5の上には、n形のJFET層35が接続され、ソース電極23側においても、p形不純物量とn形不純物量のバランスがとれており、第1のピラー領域6は、近似的に全体として完全に空乏化した高抵抗層と見なされる。図2の下部に、第1のピラー領域6及び第2のピラー領域10a中のC1-C2及びB1-B2断面に沿った、深さ方向の電界強度分布分布を示した。左側が第1のピラー領域6の電界強度分布であり、右側が第2のピラー領域10aの電界強度分布である。第1のピラー領域6は、完全に空乏化しているので、深さ方向に対して電界強度が一定である。これに対して、第2のピラー領域10aでは、全体としてp形半導体と近似されるので、ソース電極23側に向かって電界強度が徐々に低下する分布となる。耐圧は、深さ方向の電界強度の積分値であるので、第2のピラー領域10aは、第1のピラー領域6よりも耐圧が大きく低下する。このため、比較例の電力用半導体装置101は、終端領域での耐圧が低いので、終端領域で素子破壊が起こりやすい。

【0033】

これに対して、本実施形態に係る電力用半導体装置100は、第2のピラー領域10では第1のピラー領域6と同じようにn形ピラー層の上にn形のJFET層35を有し、このJFET層35を介して隣り合う第2のp形ベース層12が形成され、ソース電極23側で、第1のピラー領域6と同じピラー構造を有する。このため、本実施形態に係る電力用半導体装置100の第2のピラー領域10は、第1のピラー領域6とほぼ同じ耐圧を有するので、比較例の電力用半導体装置101に比べて、終端領域での耐圧が向上し、終端領域での素子破壊が抑制される。比較例の電力用半導体装置101の耐圧が640Vであったのに対して、本実施形態に係る電力用半導体装置100は、耐圧が670Vに向上した。

【0034】

本実施形態に係る電力用半導体装置100は、素子領域を形成する第1のピラー領域6

と、X方向に沿ってこの第1のピラー領域6に隣接する第2のピラー領域10とを有する。第2のピラー領域10は、ピラーセットとX方向に沿ってこのピラーセットに隣接する第5のピラー層9とを有する。ピラーセットは、第3のピラー層7とX方向に沿ってこの第3のピラー層7に隣接する第4のピラー層8とを有する。複数のp形の第2のベース層12が、第3のピラー層7及び第5のピラー層9の各々の上に電氣的に接続され、互いに離間するように設けられる。この第2のp形ベース層12には、n⁺形ソース層14が形成されていない。これにより、アバランシェ降伏により発生した正孔が、第2のピラー領域10の上部のソース電極23へ低抵抗で排出され、またラッチアップの発生も抑制できるため、電力用半導体装置100では、終端領域での素子の破壊が抑制されることができ

る。さらに、第2のピラー領域10のソース電極23側においても、p形不純物量とn形不純物量とのバランスをとることが可能となるので、電力用半導体装置100は、終端領域における耐圧が素子領域と同様に高い。すなわち、終端領域での素子破壊が抑制された電力用半導体装置が得られる。

10

【0035】

(第2の実施の形態)

第2の実施の形態に係る電力用半導体装置200を、図4を用いて説明する。図4は、第2の実施の形態に係る電力用半導体装置200の要部の模式断面図である。なお、第1の実施の形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。第1の実施の形態との相異点について主に説明する。

20

【0036】

図4に示したように、本実施形態に係る電力用半導体装置200は、第1の実施形態に係る電力用半導体装置100と以下の点で相異なる。電力用半導体装置200は、第1の実施形態に係る電力強半導体装置100において、第1のピラー領域6のn形の第2のピラー層5と第2のピラー領域10のp形の第3のピラー層7との間に、もう一組のp形の第3のピラー層7とn形の第4のピラー層8とを挿入した構造を有する。すなわち、第1の実施形態に係る電力用半導体装置100において、第2のピラー領域のピラーセットは、一組の第3のピラー層7及び第4のピラー層8を有していた。これに対して、本実施形態に係る電力用半導体装置200においては、ピラーセットは、図中X方向に沿って交互に繰り返して配置された2周期(二組)の第3のピラー層7及び第4のピラー層8で構成される。追加された第3のピラー層7の上部に接続されるように、第2のp形ベース層12が追加形成される。追加された第4のピラー層8の上部に接続されるように、n形のJFET層35が追加形成される。追加された第2のp形ベース層12上と、その隣り合う第2のp形ベース層上とに第2のゲート絶縁膜を介した第2のゲート電極がさらに追加形成される。

30

【0037】

本実施形態にかかる電力用半導体装置200は、上記のように、第1の実施形態に係る電力用半導体装置100と比べて、電流が流れない第2のピラー領域10bにおいて、第2のp形ベース層12と第2のゲート電極19がそれぞれ一組増えている。このため、第2のピラー領域10bの端部である第5のピラー層9でアバランシェ降伏が発生したときに、正孔がソース電極23に排出される抵抗がさらに低減されるため、本実施形態の電力用半導体装置200は、第1の実施形態に係る電力用半導体装置100よりも終端領域でのアバランシェ耐量が上がり信頼性が向上する。この第2のピラー領域10bにおいて、第2のp形ベース層12の数が増えるほど、アバランシェ耐量をあげることができるが、素子領域に対して終端領域の面積の割合が増えてしまい製造コストの上昇に影響をあたえるため、実際の第2のp形ベース層12の数は設計により詳細が決められる。上記以外は、第1の実施形態と同様な効果が得られる。すなわち、終端領域での素子破壊が抑制された電力用半導体装置が得られる。

40

【0038】

(第3の実施の形態)

第3の実施の形態に係る電力用半導体装置300を、図5を用いて説明する。図5は、

50

第3の実施の形態に係る電力用半導体装置300の要部の模式断面図である。なお、第1の実施の形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。第1の実施の形態との相異点について主に説明する。

【0039】

第3の実施形態に係る電力用半導体装置300は、第2のピラー領域10cにおいて、p形の第5のピラー層9cとn⁻形エピタキシャル層3との間にn形の第6のピラー層34をさらに有している点で、第1の実施形態に係る半導体装置100と相異なる。このn形の第6のピラー層34は、第5のピラー層9cの上部に接続された第2のp形ベース層12と第3のp形ベース層13とで挟まれたn形のJFET層35に、その上部で接続される。第6のピラー層の上部には、第3のゲート電極が配置される。この場合、p形の第5のピラー層9cは、第2のピラー領域10cの端部に形成されていないので、p形の第3のピラー層7と同一の構造で形成される。すなわち、p形の第5のピラー層9cは、n⁺形ドレイン層1の第1の表面と平行な平面において、そのp形不純物量が、p形の第3のピラー層7のp形不純物量と等しくなるように形成される。代わりに、n形の第6のピラー層34が第2のピラー領域10cの端部に形成されることになるので、n形の第6のピラー層34は、n⁺形ドレイン層1の第1の表面と平行な平面において、n形不純物量がn形の第4のピラー層8のn形不純物量よりもより少なく形成されればよく、好ましくは約半分になるように形成されればよい。

10

【0040】

本実施形態の電力用半導体装置300では、第2のピラー領域10cの端部がn形の第6のピラー層34で構成されるため、アバランシェ降伏が第6のピラー層34の領域で起こりやすい。第1の実施形態に係る電力用半導体装置100と比べて、アバランシェ降伏による正孔が第3のp形ベース層13に流れやすくなり、アバランシェ耐量が少し増加する。これ以外は、電力用半導体装置300は、第1の実施形態同様の効果を有する。すなわち、終端領域での素子破壊が抑制された電力用半導体装置が得られる。

20

【0041】

(第4の実施の形態)

第4の実施の形態に係る電力用半導体装置400を、図6を用いて説明する。図6は、第4の実施の形態に係る電力用半導体装置400の要部の模式断面図である。なお、第1の実施の形態で説明した構成と同じ構成の部分には同じ参照番号または記号を用いその説明は省略する。第1の実施の形態との相異点について主に説明する。

30

【0042】

第4の実施形態に係る電力用半導体装置400は、第1の実施形態に係る電力用半導体装置100がプレーナ構造のゲート電極を有していたのと違い、トレンチ構造のゲート電極を有している点で相異なる。それ以外は、第1の実施形態と同様の構造である。第4の実施形態に係る電力用半導体装置400では、第1のゲート電極17aは、隣り合う第1のp形ベース層11aの間で、隣り合う第1のp形ベース層11aが側壁に露出し、n形の第2のピラー層5が底面に露出した第1のトレンチ内に、第1のゲート絶縁膜16aを介して埋め込まれて形成される。第2のゲート電極19aは、隣り合う第2のp形ベース層12の間で、隣り合う第2のベース層12が側壁に露出し、n形の第4のピラー層8が底面に露出した第2のトレンチ内に、第2のゲート絶縁膜18aを介して埋め込まれて形成される。第3のゲート電極21aは、p形の第5のピラー層の上部に接続された第2のp形ベース層12とそれに隣り合う第3のp形ベース層13との間で、上記第2のp形ベース層12と上記第3のp形ベース層13が側壁に露出し、n⁻形エピタキシャル層3が底面に露出した第3のトレンチ内に、第3のゲート絶縁膜20aを介して埋め込まれて形成される。埋め込まれた第1～第3のゲート電極(17a、19a、21a)の上に層間絶縁膜22が形成され、第1～第3のゲート電極(17a、19a、21a)は、ソース電極23と絶縁される。

40

【0043】

本実施形態に係る電力用半導体装置400も、第1の実施形態に係る電力用半導体装置

50

100と同様に、素子領域を形成する第1のピラー領域6と、X方向に沿ってこの第1のピラー領域6に隣接する第2のピラー領域10とを有する。第2のピラー領域10は、ピラーセットとX方向に沿ってこのピラーセットに隣接する第5のピラー層9とを有する。ピラーセットは、第3のピラー層7とX方向に沿ってこの第3のピラー層7に隣接する第4のピラー層8とを有する。複数のp形の第2のベース層12が、第3のピラー層7及び第5のピラー層9の各々の上に電氣的に接続され、互いに離間するように設けられる。この第2のp形ベース層12には、 n^+ 形ソース層14が形成されていない。これにより、アバランシェ降伏により発生した正孔が、第2のピラー領域10の上部のソース電極23へ低抵抗で排出され、またラッチアップの発生も抑制できるため、電力用半導体装置400では、末端領域での素子の破壊が抑制されることができるとともに、第2のピラー領域10のソース電極23側においても、p形不純物量とn形不純物量とのバランスをとることが可能となるので、電力用半導体装置400は、末端領域における耐圧が高い。すなわち、末端領域での素子破壊が抑制された電力用半導体装置が得られる。さらに、本実施形態に係る電力用半導体装置400は、ゲート電極がトレンチ構造のゲート電極で形成されているので、プレーナ構造のゲート電極に比べて集積度をあげることができる利点を有する。

10

【0044】

以上説明した各実施形態及び比較例では、第1～第5のピラー層は、図中Y方向に延伸するストライプ状のピラー層として、各電力用半導体装置を説明した。しかしながら、各実施例で示した要部断面図に示した構造を有する電力用半導体装置であれば、第1～第5

20

【0045】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0046】

- 1 n^+ 形ドレイン層
- 2 n形バッファ層
- 3 n^- 形エピタキシャル層
- 4 p形の第1のピラー層
- 5 n形の第2のピラー層
- 6 第1のピラー領域
- 7 p形の第3のピラー層
- 8 n形の第4のピラー層
- 9 p形の第5のピラー層
- 10 第2のピラー領域
- 11 第1のp形ベース層
- 12 第2のp形ベース層
- 13 第3のp形ベース層
- 14 n^+ 形ソース層
- 15 p^+ 形コンタクト層
- 16 第1のゲート絶縁膜
- 17 第1のゲート電極
- 18 第2のゲート絶縁膜
- 19 第2のゲート電極
- 20 第3のゲート絶縁膜

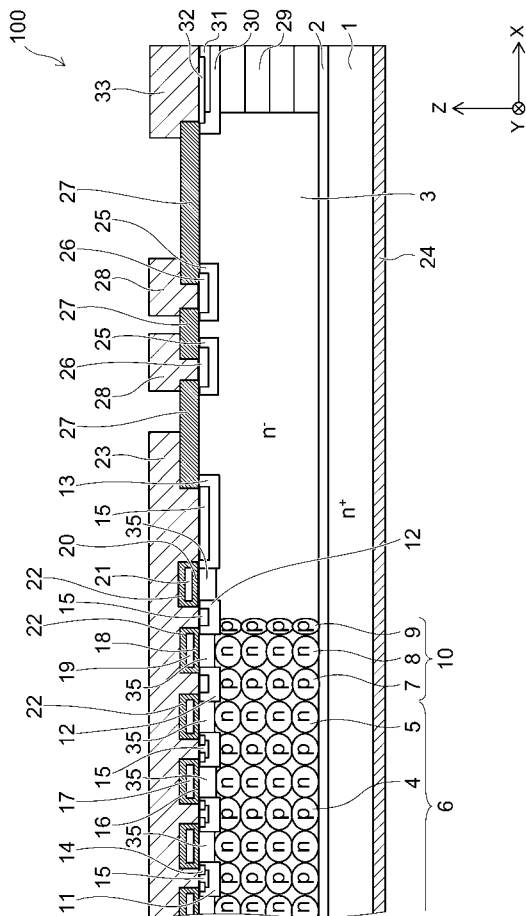
30

40

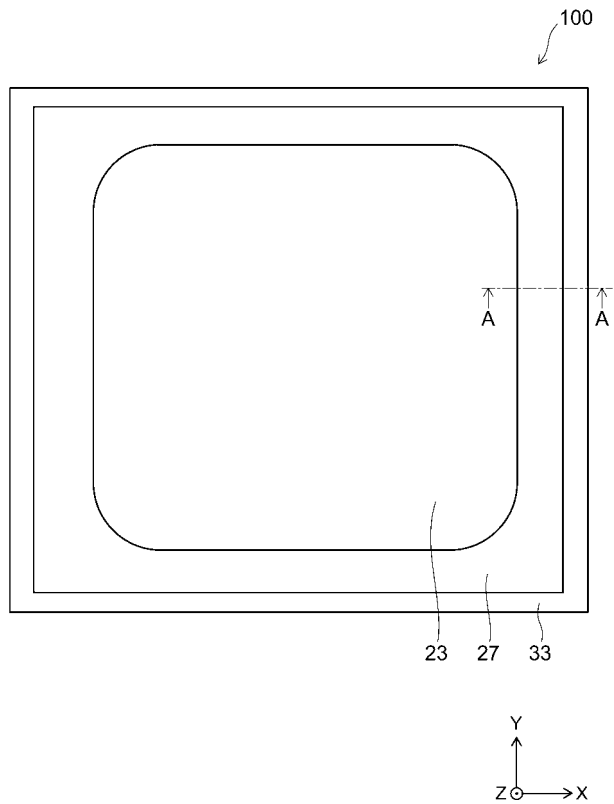
50

- 2 1 第 3 のゲート電極
- 2 2 層間絶縁膜
- 2 3 ソース電極
- 2 4 ドレイン電極
- 2 5 p形ガードリング層
- 2 6 p⁺形コンタクト層
- 2 7 絶縁膜
- 2 8 フィールドプレート電極
- 2 9 チャネルストップ層
- 3 0 n形半導体層
- 3 1 p⁺形半導体層
- 3 2 n⁺形半導体層
- 3 3 チャネルストップ電極
- 3 4 n形の第6のピラー層
- 3 5 n形JFET層

【 図 1 】



【 図 2 】



フロントページの続き

- (72)発明者 鈴木 純二
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 入船 裕行
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 齋藤 渉
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小野 昇太郎
東京都港区芝浦一丁目1番1号 株式会社東芝内