



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.

H05K 1/18 (2006.01)

(45) 공고일자

2007년08월09일

(11) 등록번호

10-0747130

(24) 등록일자

2007년08월01일

(21) 출원번호	10-2002-7011585	(65) 공개번호	10-2002-0082865
(22) 출원일자	2002년09월03일	(43) 공개일자	2002년10월31일
심사청구일자	2005년10월20일		
번역문 제출일자	2002년09월03일		
(86) 국제출원번호	PCT/US2000/031960	(87) 국제공개번호	WO 2001/67833
국제출원일자	2000년11월21일	국제공개일자	2001년09월13일

(81) 지정국

국내특허 : 중국, 일본, 대한민국, 싱가포르,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 터키,

(30) 우선권주장

09/518,491 2000년03월03일 미국(US)

(73) 특허권자

어드밴스드 마이크로 디바이시즈, 인코포레이티드  
미국 캘리포니아 94088-3453 서니베일 원 에이 엠디 플레이스 메일 스텝68

(72) 발명자

드레이크마이클  
미국텍사스78749오스틴벤딩오크로드7109트레슬러크리스  
미국텍사스78749오스틴휘트루프3617구에레로에드워드  
미국텍사스78749오스틴콘빅트힐로드5001아파트먼트914스켈링그레그  
미국텍사스78249산안토니오히코리스프링스6702베네트존  
미국텍사스78744오스틴넵스드라이브1704아파트먼트1416

(74) 대리인

박장원

(56) 선행기술조사문현

KR1019980084427 A

심사관 : 오승재

전체 청구항 수 : 총 26 항

## (54) BGA 패키지들에 대해 향상된 바이패스 디커플링을 갖는 인쇄 회로 기판 조립체

---

### (57) 요약

BGA 패키지들에 대해 향상된 바이패스 디커플링을 갖는 인쇄 회로 기판 조립체가 개시된다. 일 실시예에서, 캐패시터(103)는 BGA 풋프린트(102)를 형성하는 접촉 패드들(105)의 둘레내에서 BGA 패키지(110)와 PCB(101) 사이에 삽입될 수 있다. 상기 캐패시터(103)와 상기 BGA(110) 사이에 물리적 접촉이 없도록 상기 캐패시터(103)는 BGA 패키지(110)가 부착되도록 해주는 물리적 치수들을 가질 수 있다.

### 대표도

도 3

### 특허청구의 범위

#### 청구항 1.

인쇄 회로 기판 조립체에 있어서,

볼 그리드 어레이(BGA) 풋프린트를 형성하는 다수의 접촉 패드들을 포함하는 인쇄 회로 기판(PCB)과;

상기 다수의 접촉 패드들과 전기적으로 연결된 다수의 접촉부들을 갖는 BGA 패키지와; 그리고

상기 PCB와 상기 BGA 패키지 사이에 삽입된 캐패시터를 포함하며,

여기서, 상기 다수의 접촉 패드들은 상기 PCB의 제 1 면에 위치하고, 상기 캐패시터는 상기 PCB의 상기 제 1 면에 위치된 추가의 접촉 패드들과 연결되며,

상기 BGA 및 상기 캐패시터는 상기 PCB의 공통의 실질적으로 평평한 표면에 부착되는 것을 특징으로 하는 인쇄 회로 기판 조립체.

#### 청구항 2.

제 1 항에 있어서, 상기 추가의 접촉 패드들은 상기 BGA 풋프린트의 둘레에 의해 정의되는 영역 내에 위치하는 것을 특징으로 하는 인쇄 회로 기판 조립체.

#### 청구항 3.

제 2 항에 있어서, 상기 캐패시터는 리드선이 없는 캐패시터인 것을 특징으로 하는 인쇄 회로 기판 조립체.

#### 청구항 4.

제 3 항에 있어서, 상기 캐패시터는 캐패시터 패키지 내에 포함되는 것을 특징으로 하는 인쇄 회로 기판 조립체.

#### 청구항 5.

제 4 항에 있어서, 상기 캐패시터 패키지는 제 1 캐패시터 및 제 2 캐패시터를 포함하는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 6.

제 5 항에 있어서, 상기 제 1 캐패시터 및 상기 제 2 캐패시터는 서로 다른 캐패시턴스 값들을 갖는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 7.

제 6 항에 있어서, 상기 제 1 캐패시터의 캐패시턴스 값과 상기 제 2 캐패시터의 캐패시턴스 값은 10의 인자만큼 다른 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 8.

제 3 항에 있어서, 상기 캐패시터는 0.5 mm 이하의 두께를 갖는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 9.

제 3 항에 있어서, 상기 캐패시터는  $\pm 20\%$ 의 공차값을 갖는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 10.

다수의 전기 접촉부들을 포함하는 볼-그리드 어레이(BGA) 패키지에 대해 디커플링 캐패시턴스를 제공하는 방법에 있어서,

볼 그리드 어레이(BGA) 풋프린트를 형성하는 다수의 접촉 패드들을 포함하는 인쇄 회로 기판(PCB) 상에 캐패시터를 부착하는 단계와; 그리고

상기 BGA 패키지를 상기 PCB에 부착하는 단계를 포함하며, 상기 전기적 접촉부들은 상기 다수의 접촉 패드들에 전기적 으로 연결되고, 상기 캐패시터는 상기 BGA와 상기 PCB 사이에 삽입되며, 상기 BGA 및 상기 캐패시터는 상기 PCB의 공통의 실질적으로 평평한 표면에 부착되는 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 11.

제 10 항에 있어서, 상기 다수의 접촉 패드들은 상기 PCB의 제 1 면 상에 위치하며, 상기 캐패시터는 상기 PCB의 상기 제 1 면 상에 위치한 추가의 접촉 패드들에 연결되는 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 12.

제 11 항에 있어서, 상기 추가의 접촉 패드들은 상기 BGA 풋프린트의 둘레에 의해 정의되는 영역 내에 위치하는 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 13.

제 12 항에 있어서, 상기 캐패시터는 리드선이 없는 캐패시터인 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 14.

제 13 항에 있어서, 상기 캐패시터는 캐패시터 패키지 내에 포함되는 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 15.

제 14 항에 있어서, 상기 캐패시터 패키지는 제 1 캐패시터 및 제 2 캐패시터를 포함하는 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 16.

제 15 항에 있어서, 상기 제 1 캐패시터 및 상기 제 2 캐패시터는 서로 다른 캐패시턴스 값을 갖는 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 17.

제 16 항에 있어서, 상기 제 1 캐패시터의 캐패시턴스 값과 상기 제 2 캐패시터의 캐패시턴스 값은 10의 인자만큼 다른 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 18.

제 13 항에 있어서, 상기 캐패시터는 0.5 mm 이하의 두께를 갖는 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 19.

제 13 항에 있어서, 상기 캐패시터는  $\pm 20\%$ 의 공차값을 갖는 것을 특징으로 하는 디커플링 캐패시턴스를 제공하는 방법.

### 청구항 20.

볼 그리드 어레이(BGA) 풋프린트를 형성하는 다수의 접촉 패드들을 포함하는 인쇄 회로 기판(PCB)과;

상기 다수의 접촉 패드들에 전기적으로 연결되는 다수의 접촉부들을 갖는 BGA 패키지와; 그리고

상기 PCB와 상기 BGA 패키지 사이에 삽입된 캐패시터를 포함하며;

여기서, 상기 다수의 접촉 패드들은 상기 PCB의 제 1 면 상에 위치하고, 상기 캐패시터는 상기 PCB의 상기 제 1 면 상에 위치한 추가의 접촉 패드들에 연결되며;

상기 캐패시터는 0.5 mm 이하의 두께를 갖는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 21.

제 20 항에 있어서, 상기 추가의 접촉 패드들은 상기 BGA 풋프린트의 둘레에 의해 정의되는 영역 내에 위치하는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 22.

제 20 항에 있어서, 상기 캐패시터는 리드선이 없는 캐패시터인 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 23.

볼 그리드 어레이(BGA) 풋프린트를 형성하는 다수의 접촉 패드들을 포함하는 인쇄 회로 기판(PCB)과;

상기 다수의 접촉 패드들에 납땜 재료에 의해 전기적으로 연결되는 다수의 접촉부들을 갖는 BGA 패키지와; 그리고

상기 PCB와 상기 BGA 패키지 사이에 삽입된 캐패시터를 포함하며;

여기서, 상기 다수의 접촉 패드들은 상기 PCB의 제 1 면 상에 위치하고, 상기 캐패시터는 상기 PCB의 상기 제 1 면 상에 위치한 추가의 접촉 패드들에 연결되며;

상기 캐패시터는 상기 납땜 재료의 높이 이하의 두께를 갖는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 24.

제 23 항에 있어서, 상기 캐패시터는 0.5 mm 이하의 두께를 갖는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 25.

제 23 항에 있어서, 상기 추가의 접촉 패드들은 상기 BGA 풋프린트의 둘레에 의해 정의되는 영역 내에 위치하는 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 청구항 26.

제 23 항에 있어서, 상기 캐패시터는 리드선이 없는 캐패시터인 것을 특징으로 하는 인쇄 회로 기판 조립체.

### 명세서

#### 기술분야

본 발명은 인쇄 회로 기판 조립체들에 관한 것으로, 특히, 볼-그리드 어레이(BGA : ball-grid array) 패키지들과 관련한 박막 디커플링 캐패시터들의 이용에 관한 것이다.

#### 배경기술

디커플링(decoupling) 캐패시터들은 그것들의 관련된 전원 분배 시스템에서 과도전류(transient)들을 필터링하기 위해 전자 회로들에 이용된다. 전압 스파이크들과 순간적인 전압 강하들과 같은 과도전류들은 다양한 회로들에 악영향들을 미칠 수 있고, 오동작을 일으킬 수도 있다. 과도전류들은 캐패시터들의 이용에 의해 전원 분배 시스템 밖으로 여러번 필터링된다(이것은 종종 디커플링으로 불린다). 캐패시터가 전원선과 전기적 그라운드 사이에 전기적으로 연결될 때, 캐패시터에 걸리는 전압이 순간적으로 바뀔 수 없기 때문에, 캐패시터는 많은 과도전류들을 필터링하게 될 것이다.

전원 시스템 과도전류들의 효과적인 제거에 필요한 캐패시턴스(capacitance)의 양은 몇몇 서로 다른 인자(factor)들에 기초하여 변할 수 있다. 이러한 인자 중 하나는 디커플링이 제공될 회로들의 동작 주파수이다. 어떤 무선 회로들과 고속 컴퓨터 시스템들과 같은 높은 주파수들에서 동작하는 회로들은 저주파수 또는 DC 회로들보다 더 많은 과도전류들을 만들 수 있다. 또한, 어떤 고주파수 회로들은 많은 고조파(harmonics) 또는 부-고조파(sub-harmonics)를 만들 수 있고, 이것은 서로 다른 주파수들에서 과도전류들을 발생시킬 수 있다.

효과적인 디커플링에 요구되는 캐패시턴스의 양에 영향을 미치는 또 하나의 인자는 회로들과 디커플링 캐패시터들 사이의 거리이다. 다양한 인자들이 인쇄 회로 기판(PCB)에서의 디커플링 캐패시터들의 배치에 영향을 미칠 수 있다. 이러한 인자 중 하나는 PCB 위에 부착된 접적 회로들에 이용되는 패키징이다. 다른 PCB 레이아웃 제약들과 관련하여, 패키징의 어떤 형태들은 디커플링 캐패시터들을 그것들의 관련된 회로들로부터 상당한 거리를 두고 배치해야 하는 결과를 가져온다. 상기 커플링 캐패시터들과 관련 회로들 사이의 거리가 증가할수록, 캐패시터들을 패키징에 연결하는 회로선들로부터 발생되는 인덕턴스(등가 직렬 인덕턴스 또는 ESL로 알려짐)는 문제가 될 수 있다. ESL은 전원선과 전기적 그라운드 사이의 임피던스에 유도성 요소(inductive element)를 제공하며, 그러므로 용량성 임피던스(capacitive impedance)의 영향을 감소시킬 수 있다. 그러므로, ESL의 상기 영향들을 극복하기 위해서는 더 큰 값의 캐패시터들(또는 더 많은 캐패시터들)이 요구될 수 있다.

볼-그리드 어레이 접적 회로 패키지들의 이용은 디커플링 캐패시턴스를 제공하는 문제에 혼란을 더욱 가중시킬 수 있다. 도 1a와 1b는 두개의 가능한 BGA 구성들을 도시한다. 각각의 도면은 바닥면(즉, PCB에 부착된 면)에서 본 BGA 도면을 예시한다. 도 1a에서, 도시된 BGA는 패키지의 주변에서 "링" 배열의 다수의 전기적인 접촉부들을 포함한다. 다수의 전기적인 접촉부들은 또한 그들 사이에 개방 공간을 둔 상태로 패키지의 중앙에 위치할 수 있다. 전형적으로, BGA의 이러한 형태에서 전원을 전달하는 전기적인 접촉부들은 상기 링의 내부에 위치하며, 그라운드 접촉부들은 그 중앙에 위치한다. 도 1b는 중앙 그룹의 전기적 접촉부들이 제거된 유사한 BGA 배열을 예시한다. 이러한 배열에서, 전원과 그라운드 접촉부들은 전형적으로 링의 내부에 위치한다. 두가지 형태의 BGA가 PCB위의 대응하는 접촉 패드들에 부착된다. BGA가 부착되는 다수의 접촉 패드들은 때때로 "풋프린트(footprint)"라 불린다.

전형적으로, 디커플링 캐패시턴스는 하나 이상의 표면 부착 캐패시터들의 이용을 통해 BGA들에 제공된다. 만약 디커플링 캐패시터들이 BGA로서 PCB의 동일면에 부착된다면, 그것들은 전형적으로 BGA 패키지의 전원과 그라운드 핀들로부터 멀리 떨어진 어떤 거리에 의해 위치하게 될 것이다. 이런 경우들에서, ESL의 영향들을 극복하기 위해 보다 많은 수의 캐패시터들이 요구될 수 있다. 대안적으로, ESL은 BGA의 전원과 그라운드 접촉부들 가까이에, 그러나 PCB의 대향측에 디커플링 캐패시터들을 부착함으로써 최소화될 수 있다. 이러한 대안은 ESL의 영향들을 줄일 수 있기는 하지만은, 완제품의 조립을 복잡하게 할 수 있다. PCB의 대향측에 캐패시터들을 위치시킴으로써, 추가의 납땜 공정들이 요구될 수 있다. 또한, 납땜에 앞서 PCB의 캐패시터들을 결속시키기 위해 접착(glue) 작업들이 더 요구될 수 있다. 이러한 추가의 특별한 제조 공정들은 완제품의 가격에 상당한 증가를 야기시킬 수 있고, 조립 과정 동안 결함들의 가능성을 증가시킬 수 있다.

US-A-5,798,567은 BGA 풋프린트내의 디커플링 캐패시터들이 BGA 기판과 인쇄 회로 기판 사이에 삽입된 인쇄 회로 기판 조립체를 개시한다. 상기 캐패시터들은 상기 BGA 기판의 밑면에 있는 접촉 패드들에 납땜된다.

본 발명에 따르면, 인쇄 회로 기판(PCB) – 여기서 상기 PCB는 볼 그리드 어레이(BGA) 풋프린트를 형성하는 다수의 접촉 패드들을 포함한다 – 과 상기 다수의 접촉 패드들과 전기적으로 연결된 다수의 접촉들을 갖는 BGA 패키지를 포함하는 인쇄 회로 기판 조립체에 있어서, 상기 PCB와 상기 BGA 패키지 사이에 캐패시터가 삽입되고, 상기 캐패시터는 제 1 캐패시터와 제 2 캐패시터를 포함하며, 상기 제 1 캐패시터와 상기 제 2 캐패시터의 캐패시턴스 값들은 인자 10만큼 차이가 있는 것을 특징으로 하는 인쇄 회로 기판 조립체가 제공된다.

상기 캐패시터 패키지와 상기 BGA 사이에 물리적 접촉이 없도록, 상기 캐패시터 패키지는 BGA 패키지가 부착되도록 해주는 물리적 치수들을 가질 수 있다. 일 실시예에서, 상기 캐패시터 패키지는 두께가 0.5mm 보다 크지 않다.

일 실시예에서, 박막 캐패시터 패키지는 리드선들을 갖지 않는다. 캐패시터 패키지에 위치한 단자들은 PCB 상의 적절한 접촉 패드들에 직접 납땜될 수 있다. 이 패키지는 리드선이 없기 때문에, 등가 직렬 인덕턴스(ESL)는 최소화될 수 있다. 어떤 경우들에서, ESL을 최소화함으로써, 소수의 캐패시터를 가지고도 BGA 패키지를 효과적으로 디커플링 할 수 있게 된다. 복수의 캐패시터들을 갖는 패키지들을 이용함으로써, 다른 주파수들에서 일어나는 전원 시스템 과도전류들은 효과적으로 필터링될 수 있다.

그러므로, 다양한 실시예들에서, BGA 패키지들에 대해 향상된 바이패스 디커플링은 BGA와 PCB 사이에 박막 캐패시터 패키지들을 삽입함으로써 달성될 수 있다. BGA와 상기 PCB 사이에 캐패시터 패키지들을 삽입함으로써, 일부 제조 공정들이 제거될 수 있음으로써, 완제품의 가격 절감을 가져올 수 있다. 리드선이 없는 캐패시터 패키지들의 이용은 ESL을 최소화하는데 기여하며, 그러므로 소수의 캐패시터들의 이용으로도 BGA를 효과적으로 디커플링 할 수 있다. 복수의 캐패시터들을 갖는 캐패시터 패키지들의 이용은 서로 다른 주파수들에서 일어나는 과도전류들에 대한 효과적인 필터링을 가능하게 해준다. BGA 아래 개방 공간의 이용은 다른 구성요소들을 위한 회로 기판 영역의 보다 효율적인 이용을 가능하게 한다.

## 발명의 상세한 설명

상기 간략히 설명된 문제들은 본 발명에 따른 BGA 패키지들에 대해 향상된 바이패스 디커플링을 갖는 인쇄 회로 기판 조립체에 의해 대부분 해결될 수 있다. 일 실시예에서, 캐패시터는 BGA 풋프린트를 형성하는 접촉 패드들의 둘레 (perimeter) 내에서 BGA 패키지와 PCB 사이에 삽입된다. 캐패시터는 상기 캐패시터와 상기 BGA 사이에 물리적인 접촉이 없도록 BGA 패키지가 부착될 수 있게 하는 물리적인 치수들(physical dimensions)을 갖는다.

일 실시예에서, 이용되는 상기 캐패시터는 0.5 밀리미터보다 크지 않은 두께를 갖는 박막 캐패시터이다. 상기 캐패시터의 작은 두께는 캐패시터를 BGA와 PCB 사이에 쉽게 삽입할 수 있게 해준다.

박막 캐패시터의 일 실시예에는 리드선들이 없다. 캐패시터 패키지에 위치한 단자들은 PCB 상의 적절한 접촉 패드들에 직접 납땜될 수 있다. 이 패키지는 리드선이 없기 때문에, 등가 직렬 인더턴스(ESL)는 최소화될 수 있다. 어떤 경우들에서, ESL을 최소화함으로써, 소수의 캐패시터를 가지고도 BGA 패키지를 효과적으로 디커플링 할 수 있게 된다.

다양한 실시예들에서, 복수의 캐패시터들이 공통 패키지내에 내장될 수 있다. 예를 들어, 일 실시예에서 초박막 캐패시터 패키지는 캐패시턴스 값이 인자 10만큼 차이가 있는 두 개의 캐패시터들을 포함한다. 복수 캐패시터들을 갖는 패키지들을 이용함으로써, 서로 다른 주파수들을 발생시키는 전원 시스템 과도전류들이 효과적으로 필터링될 수 있다.

그러므로, 다양한 실시예들에서, BGA 패키지들에 대해 향상된 바이패스 디커플링은 BGA와 PCB 사이에 박막 캐패시터들(또는 캐패시터 패키지들)을 삽입함으로써 달성될 수 있다. BGA와 상기 PCB 사이에 캐패시터들을 삽입함으로써, 일부 제조 공정들이 제거될 수 있음으로써, 완제품의 가격 절감을 가져올 수 있다. 리드선이 없는 캐패시터 패키지들의 이용은 ESL을 최소로 하는데 기여하며, 그러므로 소수의 캐패시터들의 이용으로도 BGA를 효과적으로 디커플링 할 수 있다. 복수의 캐패시터들을 갖는 캐패시터 패키지들의 이용은 서로 다른 주파수들에서 일어나는 과도전류들에 대한 효과적인 필터링을 가능하게 해준다. BGA 아래 개방 공간의 이용은 다른 구성요소들을 위한 회로 기판 영역의 보다 효율적인 이용을 가능하게 한다.

## 실시예

이제 도 2를 보면, BGA 풋프린트내에 박막 캐패시터의 일 실시예의 배치를 예시하는 도면이 도시된다. 인쇄 회로 조립체 (PCA)(100)는 인쇄 회로 기판(PCB)(101)을 포함한다. PCB(101)는 두개의 BGA 풋프린트들(102)을 포함하는데, 각각의 BGA 풋프린트는 다수의 접촉 패드들(105)에 의해 형성된다. 다수의 칩들(107)이 PCB(101) 위에 부착된다. 각각의 BGA 풋프린트의 둘레내에 캐패시터들(103)이 부착된다. 각각의 캐패시터(103)는 BGA와 PCB(101) 사이에 삽입될 수 있는 박막 캐패시터이다. 캐패시터들(103)은 그것들을 부가적인 접촉 패드들(104)에 납땜함으로써, 물리적으로 그리고 전기적으로 PCB(101)에 연결될 수 있고, 이 접촉 패드들(105)은 이들에 의해 형성되는 BGA 풋프린트의 둘레내에 위치한다. 캐패시터들(103)의 일 단자는 전원 분배선에, 그리고 타 단자는 그라운드에 전기적으로 연결된다. 도시된 실시예에서, 캐패시터들(103)은 리드선들을 갖지 않고, 그러므로 캐패시터 패키징의 본체에 위치한 단자들을 통해 접촉 패드들(104)에 납땜된다. 캐패시터들(103)은 BGA 풋프린트들(102)의 접촉 패드들(105)에 부착될 수 있고 전원 시스템 과도전류들을 필터링하는데 효과적일 수 있는 BGA 패키지들에 대한 디커플링을 제공한다. 다양한 대안적인 실시예들은 BGA당 두개 이상의 캐패시터들(도면에 도시된 것처럼)을 이용할 수 있고, 한편 다른 것들은 오직 하나만을 이용할 수 있다.

이제 도 3을 보면, 일 실시예에서 BGA 아래에 캐패시터들의 부착을 예시하는 인쇄 회로 기판(PCB)의 도면이 도시된다. 조립 공정들 동안, 캐패시터들(103)은 PCB(101)에 부착된다. 캐패시터들(103)의 단자들은 본 실시예에서 BGA 풋프린트(102)의 둘레내에 위치한 접촉 패드들(104)에 납땜된다. 접촉 패드들(104)은 또한 접촉 패드들(105)처럼 PCB(101)의 동일 표면에 위치한다. BGA 풋프린트(102)는 다수의 접촉 패드들(105)에 의해 형성된다. 어떤 실시예들에서, 캐패시터들(103)은 납땜 이전에 접착에 의해 PCB(101)에 결속된다. 캐패시터들(103)의 배치 다음에, BGA(110)는 BGA 풋프린트

(102)의 접촉 패드들(105)과 일직선으로 맞추어 PCB(101)에 위치된다. BGA(110)가 적절하게 위치되면, PCB(101)에 BGA(110)를 물리적 그리고 전기적으로 연결시키는데 납땜 공정이 이용된다. 어떤 실시예들에서, BGA(110)와 캐패시터들(103)을 납땜하는데 단일 납땜 공정이 이용될 수 있으며, 다른 실시예들에서는 개별 납땜 공정이 이용될 수 있다.

도 4는 PCB 위에 부착되고, BGA와 PCB(BGA가 부착된) 사이에 삽입된 박막 캐패시터의 일 실시예의 측면도이다. 캐패시터(103)는 도 2와 도 3을 참조하여 설명된 바와 같이 PCB(101)에 부착된다. BGA(110) 또한 PCB(101)에 부착된다. 전기적인 접촉부들(111)은 PCB(101)에 BGA(110)를 연결하는데 이용된다. 도시된 실시예에서, 각각의 전기적인 접촉부(111)는 도 2에 도시된 것들과 같은 접촉 패드들에 BGA를 납땜하는데 이용될 수 있는 미리 형성된 납땜의 볼을 포함한다. 작은 두께의 캐패시터(103)는 BGA(110)와 동일 표면에 부착되기 때문에, BGA(110)와 PCB(101) 사이에 삽입될 수 있다. 전형적으로, 도시된 상기 실시예에서 이용된 캐패시터들의 두께는 0.5 밀리미터 정도이며, 이보다 훨씬 더 작아질 수도 있다.

도 5a와 5b는 다양한 실시예들에서 이용될 수 있는 캐패시터 패키지(1030)의 일 실시예의 상면도와 하면도를 각각 도시한다. 캐패시터 패키지(1030)는 다수의 단자들(1031)을 포함하는데, 이들은 PCB 위의 접촉 패드에 납땜하기에 적합한 노출된 금속을 포함한다. 금속은 어떤 실시예들에서는 단자들의 양측에서 노출될 수 있는 바, 이는 캐패시터 패키지와 PCB의 접촉부들 사이에 더 결속된 납땜 연결을 가능하게 해준다. 도 5a에 도시된 실시예에서, 두개의 접촉 단자들(1031)은 전도체들(1032)에 의해 캐패시터 평판에 전기적으로 연결된다. 전도체들(1032)은 접촉 단자(1031)와 캐패시터 평판(1033) 사이에 전기적 연결을 제공한다. 캐패시터 패키지의 대안적인 실시예들은 캐패시터 평판이 접촉부 단자로 직접 접촉을 만들도록 구성될 수 있고, 그러므로 여기에 도시된 것과 같은 전도체의 필요성을 없앨 수 있다.

캐패시터 평판들(1034,1035)이 도 5b에 도시되는데, 본 도면은 캐패시터 패키지(1030)의 저면도이다. 이러한 캐패시터 평판들 각각은 전도체(1032)에 의해 단자(1031)에 전기적으로 연결된다. 하부에 두개의 개별 캐패시터 평판들이 있기 때문에, 캐패시터 패키지(1030)는 기본적으로 두개의 캐패시터들을 포함한다. 본 실시예에서 각각의 캐패시터는 2-평판 캐패시터인 바, 도 5b에 도시된 캐패시터 평판들은 각각 도 5a에 도시된 캐패시터 평판(1033)을 갖는 캐패시터를 형성한다. 상기 캐패시터 평판들은 유전성 물질에 의해 분할될 수 있는 바, 이에 대해서는 하기에 더 자세하게 설명될 것이다.

캐패시터 패키지의 일부 실시예들은 오직 단일 캐패시터만을 포함하는데 반해, 다른 실시예들은 두 개 이상의 캐패시터들을 포함할 수 있다. 또한, 캐패시터 패키지들은 동일한 캐패시턴스를 갖는 몇몇 캐패시터들 또는 서로 다른 캐패시턴스 값들을 갖는 복수의 캐패시터망(network)을 포함한다. 캐패시터 평판(1034)의 영역이 캐패시터 평판(1035)의 영역보다 더 크기 때문에, 그것의 캐패시턴스 값은 또한 더 클 것이다. 일 실시예에서, 패키지에서 두개의 캐패시터들의 캐패시턴스 값들은 인자 10만큼 달라질 수 있다. 이와 같이 캐패시턴스 값을 인자 "10" 만큼 다르게 하는 방식으로 디커플링함으로써, 전원 시스템 과도전류들이 발생했을 때, 서로 다른 주파수들이 필터링될 수 있다. 비록 더 크거나 더 작은 공차값(tolerance)들이 다른 실시예들에 있을 수 있지만은, 본 실시예에 예시된 캐패시터들은 ±20%의 공차값을 갖는다.

이제 도 5c를 보면, 도 5a와 5b에 도시된 캐패시터 패키지에 포함된 캐패시터들과 같은 캐패시터의 측면도가 도시된다. 이 도면에 도시된 바와 같은 치수들은 명확함을 위해 과장되었으며, 다양한 실시예들의 실제 치수들을 나타내지 않는다. 캐패시터(103)는 캐패시터 평판들(1033,1034)을 포함하는 표준의 2-평판 구성의 캐패시터이다. 각 캐패시터 평판은 전기적으로 전도성 물질로 형성될 수 있다. 캐패시터 평판들(1033,1034)은 유전층(1036)에 의해 분할된다. 유전층(1036)은 임의의 적합한 유전 물질로부터 형성될 수 있다.

본 발명은 특정 실시예들을 참조하여 설명되지만, 실시예들은 예시적인 것일 뿐, 본 발명의 범위를 이것에만 한정하지 않는 것임을 이해해야 한다. 설명된 상기 실시예들에 대한 임의의 변형들, 수정들, 부가들 및 개량들이 가능하다. 이러한 변형들, 수정들, 부가들 및 개량들은 하기의 청구항들내에 정의되는 바와 같이 본 발명의 범위내에 있을 수 있다.

### 산업상 이용 가능성

본 발명은 인쇄 회로 기판 조립체들, 특히 볼 그리드 어레이(BGA) 패키지들과 관련한 박막 디커플링 캐패시터들의 이용에 적용가능하다.

### 도면의 간단한 설명

본 발명의 다른 목적들과 장점들은 첨부 도면들을 참조로 한 하기의 상세한 설명으로부터 명확하게 될 것이다.

도 1a(종래기술)는 볼 그리드 어레이(BGA) 패키지의 일 실시예의 밀면도이고;

도 1b(종래기술)는 BGA 패키지의 다른 실시예의 밑면도이고;

도 2는 BGA 풋프린트내의 박막 캐패시터의 일 실시예의 배치를 예시하는 도면이고;

도 3은 일 실시예에서 BGA 아래의 캐패시터들의 부착을 예시하는 인쇄 회로 기판(PCB)의 도면이고;

도 4는 PCB에 부착되고, BGA와 PCB(BGA에 부착됨) 사이에 삽입된 초박막 캐패시터의 일 실시예의 측면도이고;

도 5a는 PCB와 BGA 사이에 삽입된 박막 캐패시터 패키지의 일 실시예의 상면도이고;

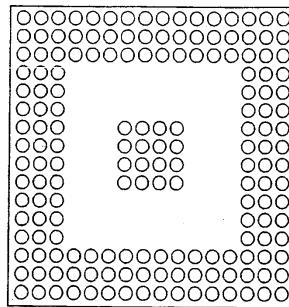
도 5b는 도 5a의 상기 박막 캐패시터 패키지의 저면도이고; 그리고

도 5c는 도 5a와 5b에 도시된 상기 캐패시터 패키지에 포함된 것들과 같은 캐패시터의 측면도이다.

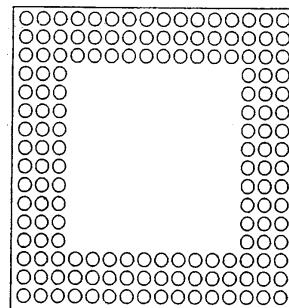
본 발명은 다양한 수정들과 변형들을 갖지만, 본원에서는 특정 실시예들이 예시적으로 상세하게 설명될 것이다. 하지만, 도면들과 설명은 본 발명을 개시된 특정 형태로 한정하고자 하는 것이 아니며, 본 발명은 첨부된 청구항들에 의해 정의되는 바와 같이 본 발명의 정신과 범위내에 있는 모든 수정들, 등가물들 및 대안들을 포함한다는 것을 유념해야 한다.

## 도면

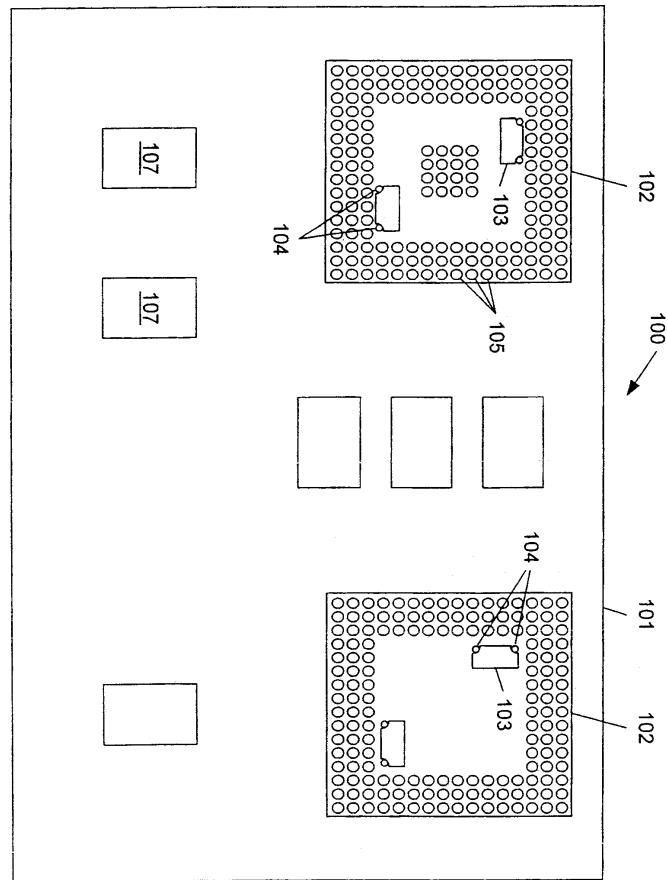
도면1a



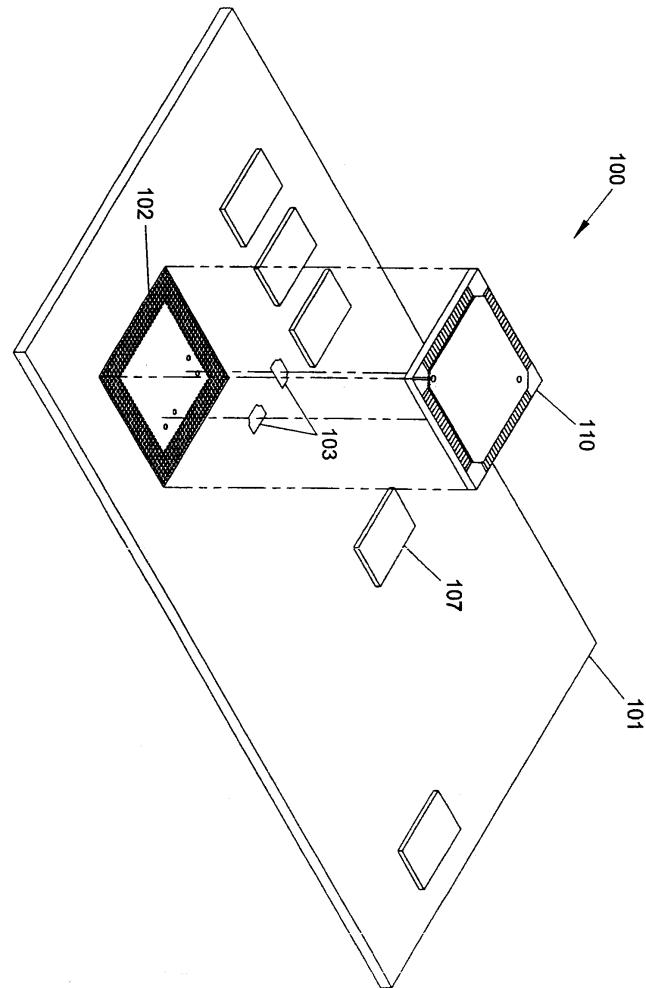
도면1b



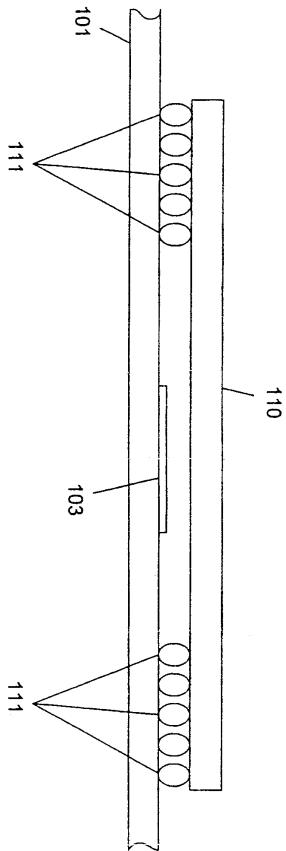
도면2



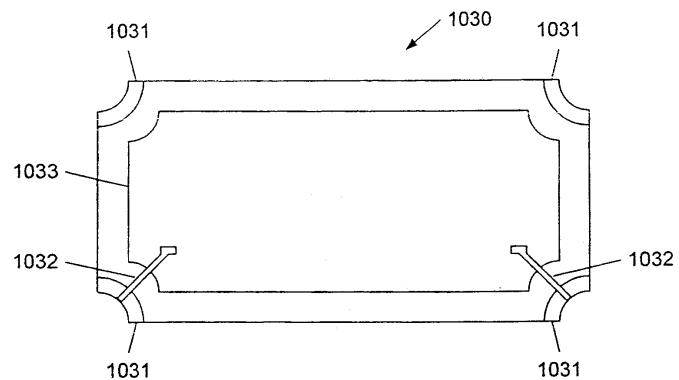
도면3



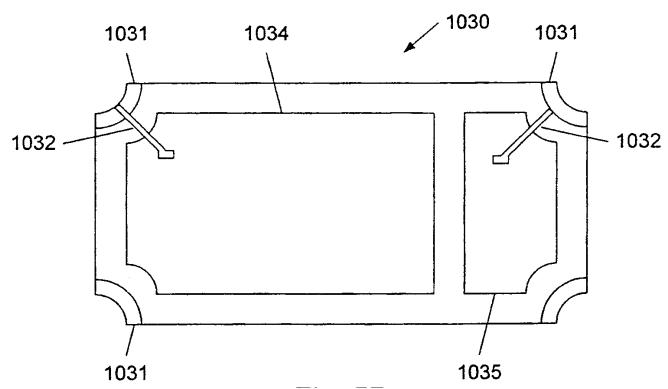
도면4



도면5a



도면5b



도면5c

