(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月10日(10.03.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/049893 A1

(51) 国際特許分類:
G05F 1/56 (2006.01) *H03K 19/0175* (2006.01)
H03K 19/00 (2006.01)

(21) 国際出願番号： PCT/JP2021/025759

(22) 国際出願日： 2021年7月8日(08.07.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2020-149817 2020年9月7日(07.09.2020) JP

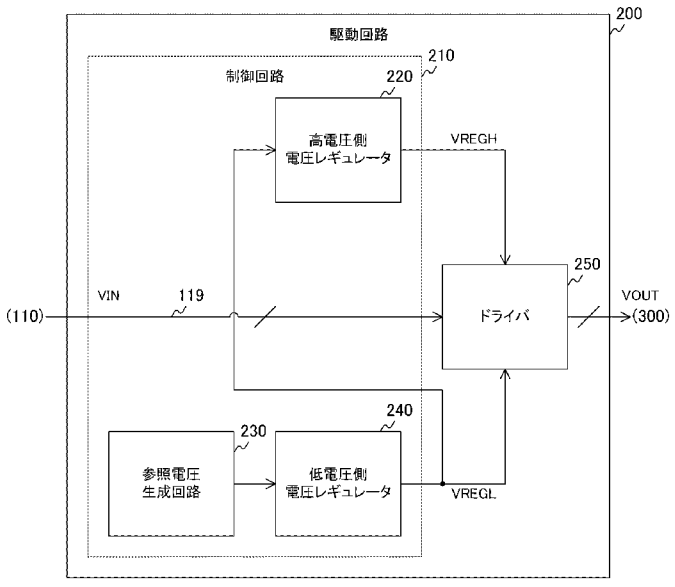
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 新井 輝(**ARAI, Akira**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大輪 宙(**OWA, Hisashi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 中村 誉(**NAKAMURA, Takashi**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 丸島 敏一(**MARUSHIMA, Toshikazu**); 〒1600022 東京都新宿区新宿３－３－２ 京

(54) **Title:** CONTROL CIRCUIT AND DRIVE CIRCUIT

(54) 発明の名称： 制御回路および駆動回路



200 Drive circuit
210 Control circuit
220 High-voltage-side voltage regulator
230 Reference voltage generation circuit
240 Low-voltage-side voltage regulator
250 Driver

(57) **Abstract:** This control circuit for controlling amplitude by a voltage regulator controls the amplitude with high precision. The control circuit is provided with a first voltage regular and a second voltage regulator. The first voltage regulator in this control circuit generates one of a pair of voltages from a prescribed reference voltage, and supplies the voltage to one of a ground terminal and a power supply terminal of a driver. The second voltage regulator generates the other of the pair of voltages from said one of the pair of voltages, and supplies the voltage to the other of the power supply

WO 2022/049893 A1

［続葉有］

王新宿三丁目第二ビル ５Ｆ クラフト
国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

terminal and the ground terminal.

(57) 要約：電圧レギュレータにより振幅を制御する制御回路において、振幅を高精度で制御する。制御回路は、第１の電圧レギュレータと、第２の電圧レギュレータとを具備する。この制御回路内の第１の電圧レギュレータは、所定の参照電圧から一対の電圧の一方を生成してドライバの電源端子および接地端子の一方に供給する。また、第２の電圧レギュレータは、一対の電圧の一方から一対の電圧の他方を生成して電源端子および接地端子の他方に供給する。

明　細　書

発明の名称 ： 制御回路および駆動回路

技術分野

[0001] 本技術は、制御回路に関する。詳しくは、電圧レギュレータを用いる制御回路および駆動回路に関する。

背景技術

[0002] 従来より、通信インターフェースの送信側の駆動回路においては、ドライバに加えて、そのドライバの振幅を制御するために電圧レギュレータが配置されることが多い。例えば、ドライバとともに電源側と接地側とのそれぞれに電圧レギュレータを設けた駆動回路が提案されている（例えば、特許文献１参照。）。この駆動回路内の電源側の電圧レギュレータは所定の参照電圧からドライバの出力のハイレベルを生成し、接地側の電圧レギュレータはその参照電圧からドライバの出力のローレベルを生成する。

先行技術文献

特許文献

[0003] 特許文献1：特表２０１６－５２５３０２号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、電源側および接地側の両方に電圧レギュレータを配置することにより、ＰＳＲＲ（Power Supply Rejection Ratio）の向上を図っている。しかしながら、上述の駆動回路では、電圧レギュレータ内のオペアンプの入力オフセットにより、ドライバの出力信号の振幅にばらつきが生じることがある。このばらつきにより、電圧レギュレータが振幅を制御する際の精度が低下するおそれがある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、電圧レギュレータにより振幅を制御する制御回路において、振幅制御の精度を向上させることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、所定の参照電圧から一対の電圧の一方を生成してドライバの電源端子および接地端子の一方に供給する第１の電圧レギュレータと、上記一対の電圧の一方から上記一対の電圧の他方を生成して上記電源端子および上記接地端子の他方に供給する第２の電圧レギュレータとを具備する制御回路である。これにより、振幅が高精度で制御されるという作用をもたらす。

[0007] また、この第１の側面において、上記第１の電圧レギュレータは、上記一対の電圧のうち低い方を生成し、上記第２の電圧レギュレータは、上記一対の電圧のうち高い方を生成してもよい。これにより、低電圧から高電圧が生成されるという作用をもたらす。

[0008] また、この第１の側面において、上記第１の電圧レギュレータは、上記一対の電圧のうち高い方を生成し、上記第２の電圧レギュレータは、上記一対の電圧のうち低い方を生成してもよい。これにより、高電圧から低電圧が生成されるという作用をもたらす。

[0009] また、この第１の側面において、上記参照電圧を生成して上記第１の電圧レギュレータに供給する参照電圧生成回路をさらに具備してもよい。これにより、参照電圧が第１の電圧レギュレータに入力されるという作用をもたらす。

[0010] また、この第１の側面において、上記参照電圧生成回路は、所定の接地電圧を基準として上記参照電圧を生成してもよい。これにより、接地電圧基準の参照電圧が生成されるという作用をもたらす。

[0011] また、この第１の側面において、上記参照電圧生成回路は、所定の電源電圧を基準として上記参照電圧を生成してもよい。これにより、電源電圧基準の参照電圧が生成されるという作用をもたらす。

[0012] また、この第１の側面において、上記第１の電圧レギュレータは、上記一対の電圧の一方を出力する第１オペアンプと、上記第１オペアンプの一対の入力端子の一方と上記電源端子および上記接地端子の一方との間に挿入され

た第１抵抗と、上記一対の入力端子の一方に一端が接続された第２抵抗とを備え、上記一対の入力端子の他方には、上記参照電圧が入力されてもよい。これにより、参照電圧が増幅されるという作用をもたらす。

[0013] また、この第１の側面において、上記第２抵抗の他端には、所定の接地電圧が印加されてもよい。これにより、フィードバック回路が形成されるという作用をもたらす。

[0014] また、この第１の側面において、上記第２抵抗の他端には、所定の電源電圧が印加されてもよい。これにより、フィードバック回路が形成されるという作用をもたらす。

[0015] また、この第１の側面において、上記第２の電圧レギュレータは、上記一対の電圧の他方を出力する第２オペアンプと、上記第２オペアンプの一対の入力端子の一方と上記電源端子および上記接地端子の他方との間に挿入された第３抵抗と、上記一対の入力端子の一方に一端が接続された第４抵抗とを備え、上記一対の入力端子の他方には、上記一対の電圧の一方に応じた電圧が印加されてもよい。これにより、一対の電圧の一方が増幅されるという作用をもたらす。

[0016] また、この第１の側面において、上記第４抵抗の他端には、上記一対の電圧の一方が印加されてもよい。これにより、フィードバック回路が形成されるという作用をもたらす。

[0017] また、この第１の側面において、上記第４抵抗の他端には、所定の電源電圧が印加されてもよい。これにより、フィードバック回路が形成されるという作用をもたらす。

[0018] また、本技術の第２の側面は、ドライバと、所定の参照電圧から一対の電圧の一方を生成して上記ドライバの電源端子および接地端子の一方に供給する第１の電圧レギュレータと、上記一対の電圧の一方から上記一対の電圧の他方を生成して上記電源端子および上記接地端子の他方に供給する第２の電圧レギュレータとを具備する駆動回路である。これにより、高精度で振幅が制御された信号が出力されるという作用をもたらす。

図面の簡単な説明

[0019] [図1]本技術の第１の実施の形態におけるインターフェース回路の一構成例を示すブロック図である。

[図2]本技術の第１の実施の形態における駆動回路の一構成例を示すブロック図である。

[図3]本技術の第１の実施の形態における駆動回路の一構成例を示す回路図である。

[図4]比較例における駆動回路の一構成例を示す回路図である。

[図5]本技術の第１の実施の形態における、フィードバック回路の異なる高電圧側電圧レギュレータの一構成例を示す回路図である。

[図6]本技術の第１の実施の形態における接地電圧基準の参照電圧生成回路とフィードバック回路の異なる低電圧側電圧レギュレータとの一構成例を示す回路図である。

[図7]本技術の第１の実施の形態における電源電圧基準の参照電圧生成回路とフィードバック回路の異なる低電圧側電圧レギュレータとの一構成を示す回路図である。

[図8]本技術の第１の実施の形態における接地電圧基準の参照電圧生成回路と低電圧側電圧レギュレータとの一構成例を示す回路図である。

[図9]本技術の第１の実施の形態における電源電圧基準の参照電圧生成回路と低電圧側電圧レギュレータとの一構成例を示す回路図である。

[図10]本技術の第１の実施の形態と比較例とにおける出力信号の波形の一例を示す図である。

[図11]本技術の第２の実施の形態における駆動回路の一構成例を示すブロック図である。

[図12]本技術の第２の実施の形態における接地電圧基準の参照電圧生成回路と高電圧側電圧レギュレータとの一構成例を示す回路図である。

[図13]本技術の第２の実施の形態における電源電圧基準の参照電圧生成回路と高電圧側電圧レギュレータとの一構成例を示す回路図である。

[図14]本技術の第２の実施の形態における接地電圧基準の参照電圧生成回路とフィードバック回路の異なる高電圧側電圧レギュレータとの一構成例を示す回路図である。

[図15]本技術の第２の実施の形態における電源電圧基準の参照電圧生成回路とフィードバック回路の異なる高電圧側電圧レギュレータとの一構成例を示す回路図である。

[図16]本技術の第２の実施の形態における低電圧側電圧レギュレータの一構成例を示す回路図である。

[図17]本技術の第２の実施の形態におけるフィードバック回路の異なる低電圧側電圧レギュレータの一構成例を示す回路図である。

[図18]車両制御システムの概略的な構成例を示すブロック図である。

[図19]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0020] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（高電圧側電圧レギュレータが低電圧から高電圧を生成する例）

２．第２の実施の形態（低電圧側電圧レギュレータが高電圧から低電圧を生成する例）

３．移動体への応用例

[0021] ＜１．第１の実施の形態＞

［インターフェース回路の構成例］

図１は、本技術の実施の形態におけるインターフェース回路の一構成例を示すブロック図である。このインターフェース回路は、信号を伝送するための回路であり、送信回路１００および受信回路３００を備える。

[0022] 送信回路１００は、信号を送信する回路であり、送信信号生成部１１０および駆動回路２００を備える。

[0023] 送信信号生成部１１０は、送信すべき信号を生成するものである。この送

信信号生成部１１０は、例えば、差動信号を生成し、信号線１１９を介して駆動回路２００に供給する。

[0024] 駆動回路２００は、送信信号生成部１１０からの差動信号を増幅し、伝送路２０９へ出力するものである。受信回路３００は、駆動回路２００からの差動信号を、レシーバなどにより受信するものである。

[0025] ［駆動回路の構成例］

図２は、本技術の第１の実施の形態における駆動回路２００の一構成例を示すブロック図である。この駆動回路２００は、制御回路２１０およびドライバ２５０を備える。

[0026] 制御回路２１０は、ドライバ２５０の出力信号の振幅を制御するものである。この制御回路２１０は、高電圧側電圧レギュレータ２２０、参照電圧生成回路２３０および低電圧側電圧レギュレータ２４０を備える。

[0027] ドライバ２５０は、送信信号生成部１１０からの差動信号ＶＩＮの振幅を調整し、差動信号ＶＯＵＴとして受信回路３００に出力するものである。このドライバ２５０の電源端子には、高電圧ＶＲＥＧＨが入力される。また、ドライバ２５０の接地端子には、高電圧ＶＲＥＧＨより低い低電圧ＶＲＥＧＬが入力される。なお、高電圧ＶＲＥＧＨおよび低電圧ＶＲＥＧＬは、特許請求の範囲に記載の一対の電圧の一例である。

[0028] 参照電圧生成回路２３０は、所定の参照電圧を生成して低電圧側電圧レギュレータ２４０に供給するものである。

[0029] 低電圧側電圧レギュレータ２４０は、参照電圧から低電圧ＶＲＥＧＬを生成し、ドライバ２５０の接地端子と高電圧側電圧レギュレータ２２０とに供給するものである。なお、低電圧側電圧レギュレータ２４０は、特許請求の範囲に記載の第１の電圧レギュレータの一例である。

[0030] 高電圧側電圧レギュレータ２２０は、低電圧ＶＲＥＧＬを参照電圧として、その参照電圧から高電圧ＶＲＥＧＨを生成し、ドライバ２５０の電源端子に供給するものである。なお、高電圧側電圧レギュレータ２２０は、特許請求の範囲に記載の第２の電圧レギュレータの一例である。

[0031] 図３は、本技術の第１の実施の形態における駆動回路２００の一構成例を示す回路図である。この高電圧側電圧レギュレータ２２０は、電流源２２１、抵抗２２２、オペアンプ２２３、ｐＭＯＳ（p-channel Metal Oxide Semiconductor）トランジスタ２２４、抵抗２２５および可変抵抗２２６を備える。

[0032] 電流源２２１および抵抗２２２は、電源電圧とノード２２７との間に直列に挿入される。このノード２２７は、低電圧側電圧レギュレータ２４０と接続され、低電圧ＶＲＥＧＬが入力される。

[0033] オペアンプ２２３の反転入力端子（－）は、電流源２２１および抵抗２２２の接続ノードに接続される。この反転入力端子（－）には、低電圧ＶＲＥＧＬに応じた電圧が入力される。

[0034] ｐＭＯＳトランジスタ２２４は、電源電圧とドライバ２５０の電源端子との間に挿入される。このｐＭＯＳトランジスタ２２４のゲートは、オペアンプ２２３の出力端子に接続される。

[0035] 抵抗２２５の一端は、オペアンプ２２３の非反転入力端子（＋）に接続され、他端はノード２２７に接続される。可変抵抗２２６は、オペアンプ２２３の非反転入力端子（＋）と、ドライバ２５０の電源端子との間に挿入される。なお、オペアンプ２２３は、特許請求の範囲に記載の第２オペアンプの一例である。また、可変抵抗２２６は、特許請求の範囲に記載の第３抵抗の一例であり、抵抗２２５は、特許請求の範囲に記載の第４抵抗の一例である。

[0036] 参照電圧生成回路２３０は、電流源２３２および抵抗２３１を備える。これらの電流源２３２および抵抗２３１は、電源電圧と接地電圧との間において直列に接続される。

[0037] また、低電圧側電圧レギュレータ２４０は、オペアンプ２４１、ｎＭＯＳ（n-channel MOS）トランジスタ２４２、抵抗２４３および可変抵抗２４４を備える。

[0038] オペアンプ２４１の反転入力端子（－）は、電流源２３２および抵抗２３

１の接続ノードに接続され、このノードの電圧が参照電圧として反転入力端子（－）に入力される。

[0039] ｎＭＯＳトランジスタ２４２は、ドライバ２５０の接地端子と接地電圧との間に挿入される。このｎＭＯＳトランジスタ２４２のゲートは、オペアンプ２４１の出力端子に接続される。

[0040] 抵抗２４３の一端には、電源電圧が印加され、他端は、オペアンプ２４１の非反転入力端子（＋）に接続される。可変抵抗２４４は、オペアンプ２４１の非反転入力端子（＋）と、ドライバ２５０の接地端子との間に挿入される。なお、オペアンプ２４１は、特許請求の範囲に記載の第１オペアンプの一例である。また、可変抵抗２４４は、特許請求の範囲に記載の第１抵抗の一例であり、抵抗２４３は、特許請求の範囲に記載の第２抵抗の一例である。

[0041] また、差動信号ＶＯＵＴは、位相が互いに異なる正相信号ＶＯＵＴ＋および逆相信号ＶＯＵＴ－を含む。ドライバ２５０は、高電圧ＶＲＥＧＨおよび低電圧ＶＲＥＧＬの一方を正相信号ＶＯＵＴ＋として出力する。正相信号ＶＯＵＴ＋が高電圧ＶＲＥＧＨのときは、逆相信号ＶＯＵＴ－は低電圧ＶＲＥＧＬに設定され、正相信号ＶＯＵＴ＋が低電圧ＶＲＥＧＬのときは、逆相信号ＶＯＵＴ－は高電圧ＶＲＥＧＨに設定される。

[0042] なお、ドライバ２５０の入出力を差動信号としているが、ドライバ２５０の入出力をシングルエンド信号とすることもできる。

[0043] 同図に例示した回路構成により、参照電圧生成回路２３０は、接地電圧を基準として参照電圧を生成する。例えば、抵抗２３１の抵抗値をR_1とし、電流源２３２からの電流の値をＩとすると、接地電圧より$I \times R_1$だけ高い電圧が参照電圧として生成される。

[0044] また、低電圧側電圧レギュレータ２４０は、参照電圧をゲインG_1により増幅し、低電圧ＶＲＥＧＬとして出力する。ここで、ゲインG_1は、次の式により表される。

$$G_1 = R_4 / R_3 \quad \cdots \text{式}1$$

上式において、R_4は、可変抵抗２４４の抵抗値である。R_3は、抵抗２４３の抵抗値である。

[0045] ゲインG_1は、式１より、可変抵抗２４４の抵抗値を変更することによって調整することができる。

[0046] ここで、オペアンプ２４１には、オペアンプ２２３内の素子のばらつきなどに起因して、入力オフセットofs_1が生じることがある。この入力オフセットofs_1を考慮すると、低電圧ＶＲＥＧＬは、次の式により表される。

$$VREGL=(IR_1+ofs_1)\times G_1 \quad \cdots 式2$$

上式において、低電圧ＶＲＥＧＬ、IR_1および入力オフセットofs_1の各項の単位は、例えば、ミリボルト（ｍＶ）である。

[0047] また、高電圧側電圧レギュレータ２２０は、低電圧ＶＲＥＧＬに応じた電圧をゲインG_2により増幅し、低電圧ＶＲＥＧＬとして出力する。ここで、ゲインG_2は、次の式により表される。

$$G_2=R_6/R_5 \quad \cdots 式3$$

上式において、R_6は、可変抵抗２２６の抵抗値である。R_5は、抵抗２２５の抵抗値である。

[0048] ゲインG_2は、式３より、可変抵抗２２６の抵抗値を変更することによって調整することができる。

[0049] オペアンプ２２３の入力オフセットofs_2を考慮すると、高電圧ＶＲＥＧＨは、次の式により表される。

[0050] $$VREGH=(VREGL+IR_1+ofs_2)\times G_2 \quad \cdots 式4$$

上式において、高電圧ＶＲＥＧＨおよび入力オフセットofs_2の各項の単位は、例えば、ミリボルト（ｍＶ）である。

[0051] また、ドライバ２５０の出力の振幅Ａは、次の式により表される。

$$A=VREGH-VREGL \quad \cdots 式5$$

[0052] 式５に式２および式４を代入して変形すると、次の式が得られる。

$$A=VREG+\Delta VREG \quad \cdots 式6$$

$$VREG=G_1(1-G_2)\times IR_1+G_2\times IR_2 \quad \cdots 式7$$

$$\Delta VREG = G_1 (1 - G_2) \times ofs_1 + G_2 \times ofs_2 \quad \cdots 式8$$

[0053] 式６のＶＲＥＧは、入力オフセットの無い場合の振幅であり、ΔＶＲＥＧは、入力オフセットにより生じる振幅のばらつきである。これらの比率は、式７および式８に基づいて次の式により表される。

$$\Delta VREG / VREG = \{G_1 (1 - G_2) \times ofs_1 + G_2 \times ofs_2\} / \{G_1 (1 - G_2) \times IR_1 + G_2 \times IR_2\} \cdots 式9$$

[0054] ここで、ゲインG_2を「１」とすると、式９より次の式が得られる。

$$\Delta VREG / VREG = ofs_2 / IR_2 \quad \cdots 式10$$

[0055] 例えば、ＶＲＥＧを４５０ミリボルト（ｍＶ）とし、入力オフセットofs_2を５ミリボルト（ｍＶ）とすると、式１０より、振幅は１．１％程度ばらつく。なお、ゲインG_2が「１」以外である場合は入力オフセットofs_1の項が残るが、その場合であっても、入力オフセットofs_2と比較して入力オフセットofs_1の影響は少ない。

[0056] 式１０より、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照して、その電圧から高電圧ＶＲＥＧＨを生成する構成を用いれば、オペアンプ２４１のオフセットofs_1による振幅のばらつきを低減することができる。これにより、制御回路２１０が振幅を制御する際の精度を向上させることができる。

[0057] ここで、比較例として高電圧側電圧レギュレータ２２０および低電圧側電圧レギュレータ２４０が同一の参照電圧を用いる構成を想定する。

[0058] 図４は、比較例における駆動回路２００の一構成例を示す回路図である。比較例の高電圧側電圧レギュレータ２２０において、入力側のノード２２７は、低電圧側電圧レギュレータ２４０には接続されず、参照電圧生成回路に接続される。

[0059] また、比較例の低電圧側電圧レギュレータ２４０において、抵抗２４５および電流源２４６がさらに設けられる。抵抗２４５および電流源２４６は、参照電圧が供給されるノード２４７と、接地電圧との間において直列に接続される。また、抵抗２４３の一端は、電源電圧でなく、ノード２４７に接続

される。

[0060] 比較例の参照電圧生成回路２３０は、抵抗分圧回路やオペアンプにより、次の式で表される参照電圧ＶＲＥＦを供給する。

ＶＲＥＦ＝ＶＤＤ／２＋ｏｆｓ ・・・式１１

上式において、ＶＤＤは、電源電圧であり、ｏｆｓは、参照電圧生成回路内のオペアンプの入力オフセットである。抵抗２４５の抵抗値を抵抗２３１と同様にR_1とすると、式１１に基づいて低電圧ＶＲＥＧＬは、次の式により表される。

$VREGL＝VDD／２＋ofs－（IR_1＋ofs_1）×G_1$…式１２

[0061] また、式１１に基づいて高電圧ＶＲＥＧＨは、次の式により表される。

$VREGH＝VDD／２＋ofs＋（IR_1＋ofs_2）×G_2$…式１３

[0062] 式１２および式１３より、次の式が得られる。

$$\Delta VREG／VREG＝（G_1×ofs_1＋G_2×ofs_2）／（G_1×IR_1＋G_2×IR_2）$$ ・・・式１４

[0063] ゲインG_1およびG_2を「１」し、ＶＲＥＧを４５０ミリボルト（ｍＶ）とし、入力オフセットofs_1およびofs_2を５ミリボルト（ｍＶ）とすると、式１４より、振幅は２．２％程度ばらつく。

[0064] 式９および式１４に例示したように、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照する場合では、ｏｆｓ１の影響を打ち消すことが出来る。それに対し、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照しない比較例ではｏｆｓ１の影響を打ち消すことが出来ない。したがって、後者の方がオフセット電圧による振幅のばらつきが大きくなる。

[0065] 図５は、本技術の第１の実施の形態における、フィードバック回路の異なる高電圧側電圧レギュレータ２２０の一構成例を示す回路図である。同図に例示するように、抵抗２２５の他端に電源電圧を印加することもできる。この接続により、図３と比較して、高電圧側のフィードバック回路を変えることができる。

[0066] 図６は、本技術の第１の実施の形態における接地電圧基準の参照電圧生成

回路２３０とフィードバック回路の異なる低電圧側電圧レギュレータ２４０との一構成例を示す回路図である。

[0067] 図７は、本技術の第１の実施の形態における電源電圧基準の参照電圧生成回路２３０とフィードバック回路の異なる低電圧側電圧レギュレータ２４０との一構成例を示す回路図である。

[0068] 図６および図７に例示するように、抵抗２４３の他端に接地電圧を印加することもできる。この接続により、図３と比較して低電圧側のフィードバック回路を変えることができる。

[0069] また、参照電圧生成回路２３０は、図６に例示するように、接地電圧を基準として参照電圧を生成することもできるし、図７に例示するように、電源電圧を基準として参照電圧を生成することもできる。接地電圧を基準とする場合、例えば、接地電圧より、所定電圧だけ高い電圧が参照電圧として供給される。電源電圧を基準とする場合、例えば、電源電圧より、所定電圧だけ低い電圧が参照電圧として供給される。

[0070] 図８は、本技術の第１の実施の形態における接地電圧基準の参照電圧生成回路２３０と低電圧側電圧レギュレータ２４０との一構成例を示す回路図である。

[0071] 図９は、本技術の第１の実施の形態における電源電圧基準の参照電圧生成回路２３０と低電圧側電圧レギュレータ２４０との一構成例を示す回路図である。

[0072] 図８および図９の低電圧側電圧レギュレータ２４０の回路は、図３に例示したものと同様である。この低電圧側電圧レギュレータ２４０に接続される参照電圧生成回路２３０は、図８に例示するように、接地電圧を基準とすることもできるし、図９に例示するように、電源電圧を基準とすることもできる。

[0073] 図１０は、本技術の第１の実施の形態と比較例とにおける出力信号の波形の一例を示す図である。同図におけるａは、本技術の第１の実施の形態におけるドライバ２５０の出力信号の波形の一例を示す図である。同図における

ｂは、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照しない比較例のドライバ２５０の出力信号の波形の一例を示す図である。同図において、実線は、高電圧ＶＲＥＧＨの波形を示し、一点鎖線は、低電圧ＶＲＥＧＬの波形を示す。

[0074] 同図におけるａに例示するように、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照する場合、タイミングＴ０で制御回路２１０が制御を開始すると、高電圧ＶＲＥＧＨおよび低電圧ＶＲＥＧＬが徐々に上昇する。そして、それらの差分（すなわち、振幅）は、一定の値となる。

[0075] また、同図におけるｂに例示するように、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照しない比較例では、タイミングＴ０で制御回路２１０が制御を開始すると、高電圧ＶＲＥＧＨが徐々に降下する。一方、低電圧ＶＲＥＧＬは徐々に上昇する。そして、それらの差分（すなわち、振幅）は、一定の値となる。同図におけるｂに例示するように、比較例では、規定値よりも大きな振幅の信号が受信側へ送信されるおそれがある。一方、同図におけるａに例示したように、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照する構成では、規定値よりも大きな振幅の信号が送信されることは無い。

[0076] このように、本技術の第１の実施の形態によれば、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬから高電圧ＶＲＥＧＨを生成するため、低電圧側で生じる入力オフセットｏｆｓ$_1$を抑制することができる。これにより、その入力オフセットｏｆｓ$_1$による振幅のばらつきを低減し、制御回路２１０が振幅を制御する際の精度を向上させることができる。

[0077] ＜２．第２の実施の形態＞

上述の第１の実施の形態では、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照していたが、この構成では、高電圧側の入力オフセットｏｆｓ$_2$が比較的大きい場合に振幅の制御の精度が低下するおそれがある。この第２の実施の形態の駆動回路２００は、低電圧側電圧レギュレータ２４０が高電圧ＶＲＥＧＨを参照する点において第１の実施の形態と異なる。

[0078] 図１１は、本技術の第２の実施の形態における駆動回路２００の一構成例を示すブロック図である。この第２の実施の形態の駆動回路２００において、参照電圧生成回路２３０は、参照電圧を高電圧側電圧レギュレータ２２０に供給する。高電圧側電圧レギュレータ２２０は、参照電圧から高電圧ＶＲＥＧＨを生成し、ドライバ２５０の電源端子と低電圧側電圧レギュレータ２４０とに供給する。また、低電圧側電圧レギュレータ２４０は、高電圧ＶＲＥＧＨを参照電圧として、その参照電圧から低電圧ＶＲＥＧＬを生成し、ドライバ２５０の接地端子に供給する。

[0079] 同図の構成では、式１０の代わりに、次の式が得られる。

$$\Delta VREG / VREG = ofs_1 / IR_1 \quad \cdots \text{式}15$$

[0080] なお、高電圧側電圧レギュレータ２２０は、特許請求の範囲に記載の第１の電圧レギュレータの一例である。また、低電圧側電圧レギュレータ２４０は、特許請求の範囲に記載の第２の電圧レギュレータの一例である。

[0081] 図２および図１１に例示したように、高電圧側電圧レギュレータ２２０が低電圧ＶＲＥＧＬを参照することもできるし、低電圧側電圧レギュレータ２４０が高電圧ＶＲＥＧＨを参照することもできる。

[0082] 式１０および式１５より、低電圧側の入力オフセットofs_1が比較的大きい場合は、図２の構成を用いることが望ましい。一方、高電圧側の入力オフセットofs_2が比較的大きい場合には、図１１の構成を用いることが望ましい。

[0083] 図１２は、本技術の第２の実施の形態における接地電圧基準の参照電圧生成回路２３０と高電圧側電圧レギュレータ２２０との一構成例を示す回路図である。この第２の実施の形態の高電圧側電圧レギュレータ２２０は、電流源２２１および抵抗２２２が配置されない点において第１の実施の形態と異なる。また、オペアンプ２２３の反転入力端子（－）には、参照電圧生成回路２３０からの参照電圧が入力される。オペアンプ２２３の非反転入力端子（＋）は、抵抗２２５および可変抵抗２２６の接続ノードに接続される。抵抗２２５の一端は、非反転入力端子（＋）に接続され、他端には接地電圧が

印加される。

[0084] 図１３は、本技術の第２の実施の形態における電源電圧基準の参照電圧生成回路２３０と高電圧側電圧レギュレータ２２０との一構成例を示す回路図である。

[0085] 参照電圧生成回路２３０は、図１２に例示するように、接地電圧を基準として参照電圧を生成することもできるし、図１３に例示するように、電源電圧を基準として参照電圧を生成することもできる。

[0086] 図１４は、本技術の第２の実施の形態における接地電圧基準の参照電圧生成回路とフィードバック回路の異なる高電圧側電圧レギュレータとの一構成例を示す回路図である。

[0087] 図１５は、本技術の第２の実施の形態における電源電圧基準の参照電圧生成回路とフィードバック回路の異なる高電圧側電圧レギュレータとの一構成例を示す回路図である。

[0088] 図１４および図１５に例示するように、抵抗２２５の他端に電源電圧を印加することもできる。この接続により、図１２および図１３と比較してオペアンプ２２３のフィードバック回路を変えることができる。

[0089] また、参照電圧生成回路２３０は、図１４に例示するように、接地電圧を基準として参照電圧を生成することもできるし、図１５に例示するように、電源電圧を基準として参照電圧を生成することもできる。

[0090] 図１６は、本技術の第２の実施の形態における低電圧側電圧レギュレータ２４０の一構成例を示す回路図である。この第２の実施の形態の低電圧側電圧レギュレータ２４０は、抵抗２４５および電流源２４６がさらに配置される点において第１の実施の形態と異なる。

[0091] 抵抗２４５および電流源２４６は、高電圧ＶＲＥＧＨが入力されるノード２４７と接地電圧との間において直列に接続される。また、オペアンプ２４１の反転入力端子（－）は、抵抗２４５および電流源２４６の接続ノードに接続される。オペアンプ２４１の非反転入力端子（＋）は、抵抗２４３および可変抵抗２４４の接続ノードに接続される。抵抗２４３の一端は、非反転

入力端子（＋）に接続され、他端は、ノード２４７に接続される。

[0092] 図１７は、本技術の第２の実施の形態におけるフィードバック回路の異なる低電圧側電圧レギュレータ２４０の一構成例を示す回路図である。同図に例示するように、抵抗２４３の他端に、接地電圧を印可することもできる。

[0093] このように、本技術の第２の実施の形態によれば、低電圧側電圧レギュレータ２４０が高電圧ＶＲＥＧＨから低電圧ＶＲＥＧＬを生成するため、高電圧側で生じる入力オフセットofs_2を抑制することができる。これにより、その入力オフセットofs_2による振幅のばらつきを低減し、制御回路２１０が振幅を制御する際の精度を向上させることができる。

[0094] ＜３．移動体への応用例＞

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0095] 図１８は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0096] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接続された複数の電子制御ユニットを備える。図１８に示した例では、車両制御システム１２０００は、駆動系制御ユニット１２０１０、ボディ系制御ユニット１２０２０、車外情報検出ユニット１２０３０、車内情報検出ユニット１２０４０、及び統合制御ユニット１２０５０を備える。また、統合制御ユニット１２０５０の機能構成として、マイクロコンピュータ１２０５１、音声画像出力部１２０５２、及び車載ネットワークＩ／Ｆ(interface)１２０５３が図示されている。

[0097] 駆動系制御ユニット１２０１０は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット１２０１０は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆

動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0098] ボディ系制御ユニット１２０２０は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット１２０２０は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0099] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0100] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0101] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状

態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0102] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0103] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0104] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0105] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図１８の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２及びインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいて

もよい。

[0106] 図１９は、撮像部１２０３１の設置位置の例を示す図である。

[0107] 図１９では、撮像部１２０３１として、撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５を有する。

[0108] 撮像部１２１０１，１２１０２，１２１０３，１２１０４，１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部１２１０１及び車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として車両１２１００の前方の画像を取得する。サイドミラーに備えられる撮像部１２１０２，１２１０３は、主として車両１２１００の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部１２１０４は、主として車両１２１００の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部１２１０５は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0109] なお、図１９には、撮像部１２１０１ないし１２１０４の撮影範囲の一例が示されている。撮像範囲１２１１１は、フロントノーズに設けられた撮像部１２１０１の撮像範囲を示し、撮像範囲１２１１２，１２１１３は、それぞれサイドミラーに設けられた撮像部１２１０２，１２１０３の撮像範囲を示し、撮像範囲１２１１４は、リアバンパ又はバックドアに設けられた撮像部１２１０４の撮像範囲を示す。例えば、撮像部１２１０１ないし１２１０４で撮像された画像データが重ね合わせられることにより、車両１２１００を上方から見た俯瞰画像が得られる。

$

[0110] 撮像部１２１０１ないし１２１０４の少なくとも１つは、距離情報を取得する機能を有していてもよい。例えば、撮像部１２１０１ないし１２１０４の少なくとも１つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0111] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を基に、撮像範囲１２１１１ないし１２１１４内における各立体物までの距離と、この距離の時間的変化（車両１２１００に対する相対速度）を求めることにより、特に車両１２１００の進行路上にある最も近い立体物で、車両１２１００と略同じ方向に所定の速度（例えば、０ｋｍ／ｈ以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ１２０５１は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0112] 例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４から得られた距離情報を元に、立体物に関する立体物データを、２輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0113] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパ

ターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0114] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部１２０３１に適用され得る。具体的には、図１の送信回路１００は、撮像部１２０３１の通信インターフェースに適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、振幅の制御精度の向上によって信号品質を向上させることができる。

[0115] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0116] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0117] なお、本技術は以下のような構成もとることができる。

（１）所定の参照電圧から一対の電圧の一方を生成してドライバの電源端子および接地端子の一方に供給する第１の電圧レギュレータと、

前記一対の電圧の一方から前記一対の電圧の他方を生成して前記電源端子および前記接地端子の他方に供給する第２の電圧レギュレータと

を具備する制御回路。

（２）前記第１の電圧レギュレータは、前記一対の電圧のうち低い方を生成し、

前記第２の電圧レギュレータは、前記一対の電圧のうち高い方を生成する

前記（１）記載の制御回路。

（３）前記第１の電圧レギュレータは、前記一対の電圧のうち高い方を生成し、

前記第２の電圧レギュレータは、前記一対の電圧のうち低い方を生成する

前記（１）記載の制御回路。

（４）前記参照電圧を生成して前記第１の電圧レギュレータに供給する参照電圧生成回路をさらに具備する前記（１）から（３）のいずれかに記載の制御回路。

（５）前記参照電圧生成回路は、所定の接地電圧を基準として前記参照電圧を生成する

前記（４）記載の制御回路。

（６）前記参照電圧生成回路は、所定の電源電圧を基準として前記参照電圧を生成する

前記（４）記載の制御回路。

（７）前記第１の電圧レギュレータは、

前記一対の電圧の一方を出力する第１オペアンプと、

前記第１オペアンプの一対の入力端子の一方と前記電源端子および前記接地端子の一方との間に挿入された第１抵抗と、

前記一対の入力端子の一方に一端が接続された第２抵抗と

を備え、

前記一対の入力端子の他方には、前記参照電圧が入力される

前記（１）から（６）のいずれかに記載の制御回路。

（８）前記第２抵抗の他端には、所定の接地電圧が印加される

前記（７）記載の制御回路。

（９）前記第２抵抗の他端には、所定の電源電圧が印加される

前記（７）記載の制御回路。

（１０）前記第２の電圧レギュレータは、

前記一対の電圧の他方を出力する第２オペアンプと、

前記第２オペアンプの一対の入力端子の一方と前記電源端子および前記接地端子の他方との間に挿入された第３抵抗と、

前記一対の入力端子の一方に一端が接続された第４抵抗と

を備え、

前記一対の入力端子の他方には、前記一対の電圧の一方に応じた電圧が印加される

前記（７）に記載の制御回路。

（１１）前記第４抵抗の他端には、前記一対の電圧の一方が印加される

前記（１０）記載の制御回路。

（１２）前記第４抵抗の他端には、所定の電源電圧が印加される

前記（１０）記載の制御回路。

（１３）ドライバと、

所定の参照電圧から一対の電圧の一方を生成して前記ドライバの電源端子および接地端子の一方に供給する第１の電圧レギュレータと、

前記一対の電圧の一方から前記一対の電圧の他方を生成して前記電源端子および前記接地端子の他方に供給する第２の電圧レギュレータと

を具備する駆動回路。

符号の説明

[0118] １００　送信回路

１１０　送信信号生成部

２００　駆動回路

２１０　制御回路

２２０　高電圧側電圧レギュレータ

２２１、２３２、２４６　電流源

２２２、２２５、２３１、２４３、２４５　抵抗

２２３、２４１　オペアンプ

２２４　ｐＭＯＳトランジスタ

２２６、２４４　可変抵抗

２３０　参照電圧生成回路

２４０　低電圧側電圧レギュレータ

２４２　ｎＭＯＳトランジスタ

２５０　ドライバ

３００　受信回路

１２０３１　撮像部

請求の範囲

[請求項1] 所定の参照電圧から一対の電圧の一方を生成してドライバの電源端子および接地端子の一方に供給する第１の電圧レギュレータと、

前記一対の電圧の一方から前記一対の電圧の他方を生成して前記電源端子および前記接地端子の他方に供給する第２の電圧レギュレータと

を具備する制御回路。

[請求項2] 前記第１の電圧レギュレータは、前記一対の電圧のうち低い方を生成し、

前記第２の電圧レギュレータは、前記一対の電圧のうち高い方を生成する

請求項１記載の制御回路。

[請求項3] 前記第１の電圧レギュレータは、前記一対の電圧のうち高い方を生成し、

前記第２の電圧レギュレータは、前記一対の電圧のうち低い方を生成する

請求項１記載の制御回路。

[請求項4] 前記参照電圧を生成して前記第１の電圧レギュレータに供給する参照電圧生成回路をさらに具備する請求項１記載の制御回路。

[請求項5] 前記参照電圧生成回路は、所定の接地電圧を基準として前記参照電圧を生成する

請求項４記載の制御回路。

[請求項6] 前記参照電圧生成回路は、所定の電源電圧を基準として前記参照電圧を生成する

請求項４記載の制御回路。

[請求項7] 前記第１の電圧レギュレータは、

前記一対の電圧の一方を出力する第１オペアンプと、

前記第１オペアンプの一対の入力端子の一方と前記電源端子および

前記接地端子の一方との間に挿入された第１抵抗と、

前記一対の入力端子の一方に一端が接続された第２抵抗と

を備え、

前記一対の入力端子の他方には、前記参照電圧が入力される

請求項１記載の制御回路。

[請求項8] 前記第２抵抗の他端には、所定の接地電圧が印加される

請求項７記載の制御回路。

[請求項9] 前記第２抵抗の他端には、所定の電源電圧が印加される

請求項７記載の制御回路。

[請求項10] 前記第２の電圧レギュレータは、

前記一対の電圧の他方を出力する第２オペアンプと、

前記第２オペアンプの一対の入力端子の一方と前記電源端子および前記接地端子の他方との間に挿入された第３抵抗と、

前記一対の入力端子の一方に一端が接続された第４抵抗と

を備え、

前記一対の入力端子の他方には、前記一対の電圧の一方に応じた電圧が印加される

請求項７記載の制御回路。

[請求項11] 前記第４抵抗の他端には、前記一対の電圧の一方が印加される

請求項１０記載の制御回路。

[請求項12] 前記第４抵抗の他端には、所定の電源電圧が印加される

請求項１０記載の制御回路。

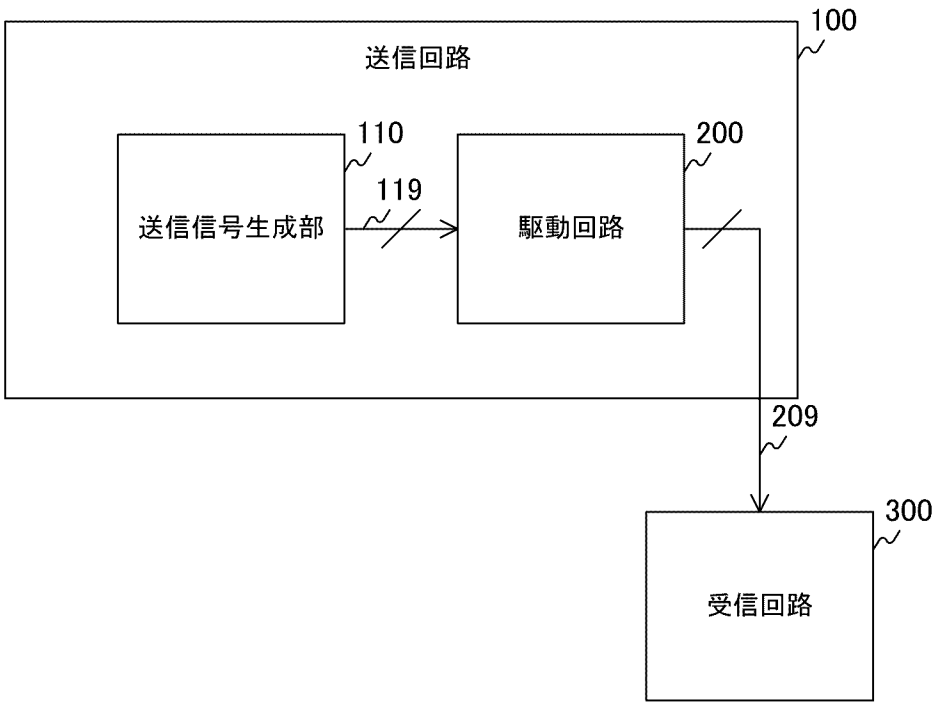
[請求項13] ドライバと、

所定の参照電圧から一対の電圧の一方を生成して前記ドライバの電源端子および接地端子の一方に供給する第１の電圧レギュレータと、

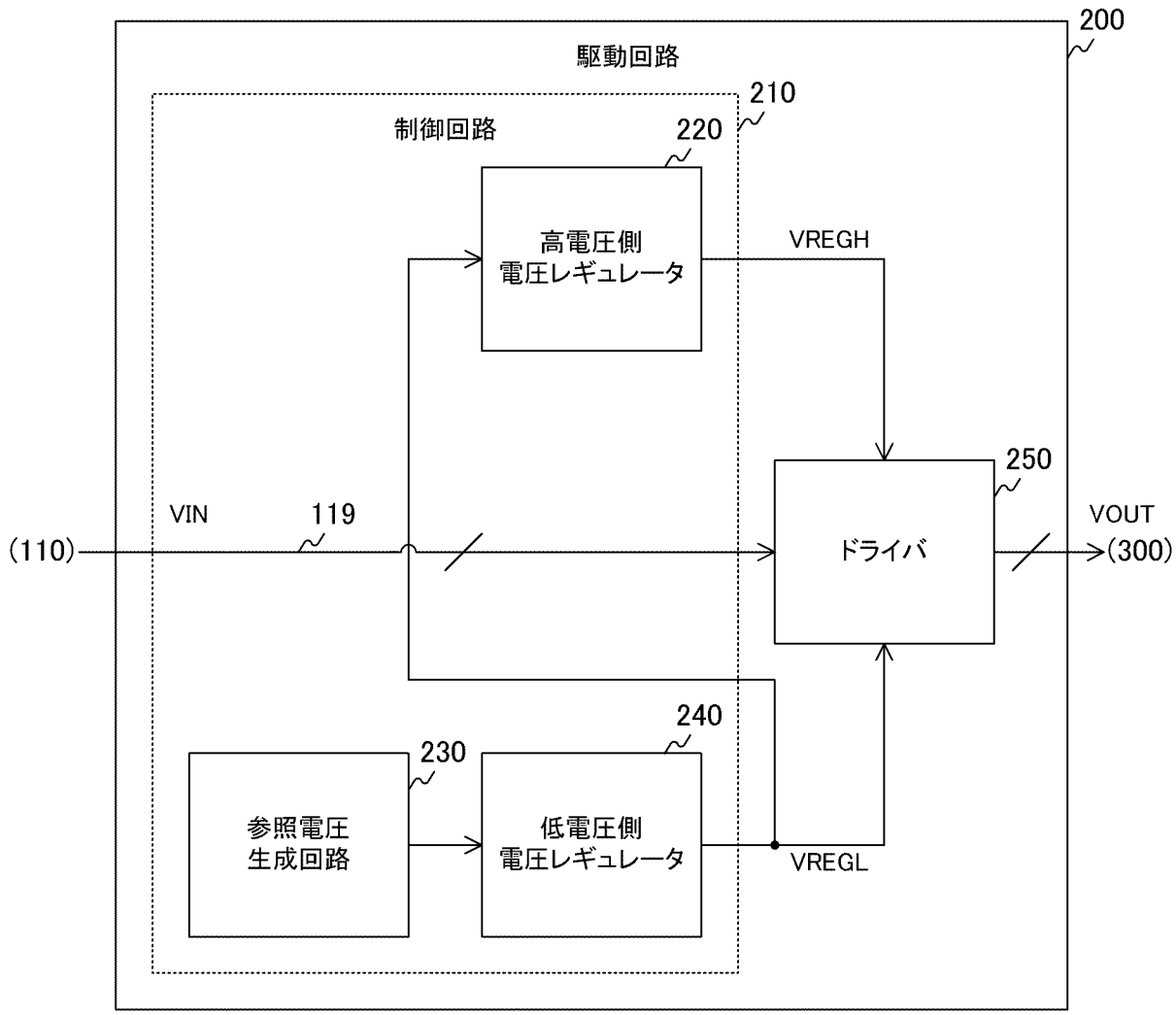
前記一対の電圧の一方から前記一対の電圧の他方を生成して前記電源端子および前記接地端子の他方に供給する第２の電圧レギュレータと

を具備する駆動回路。

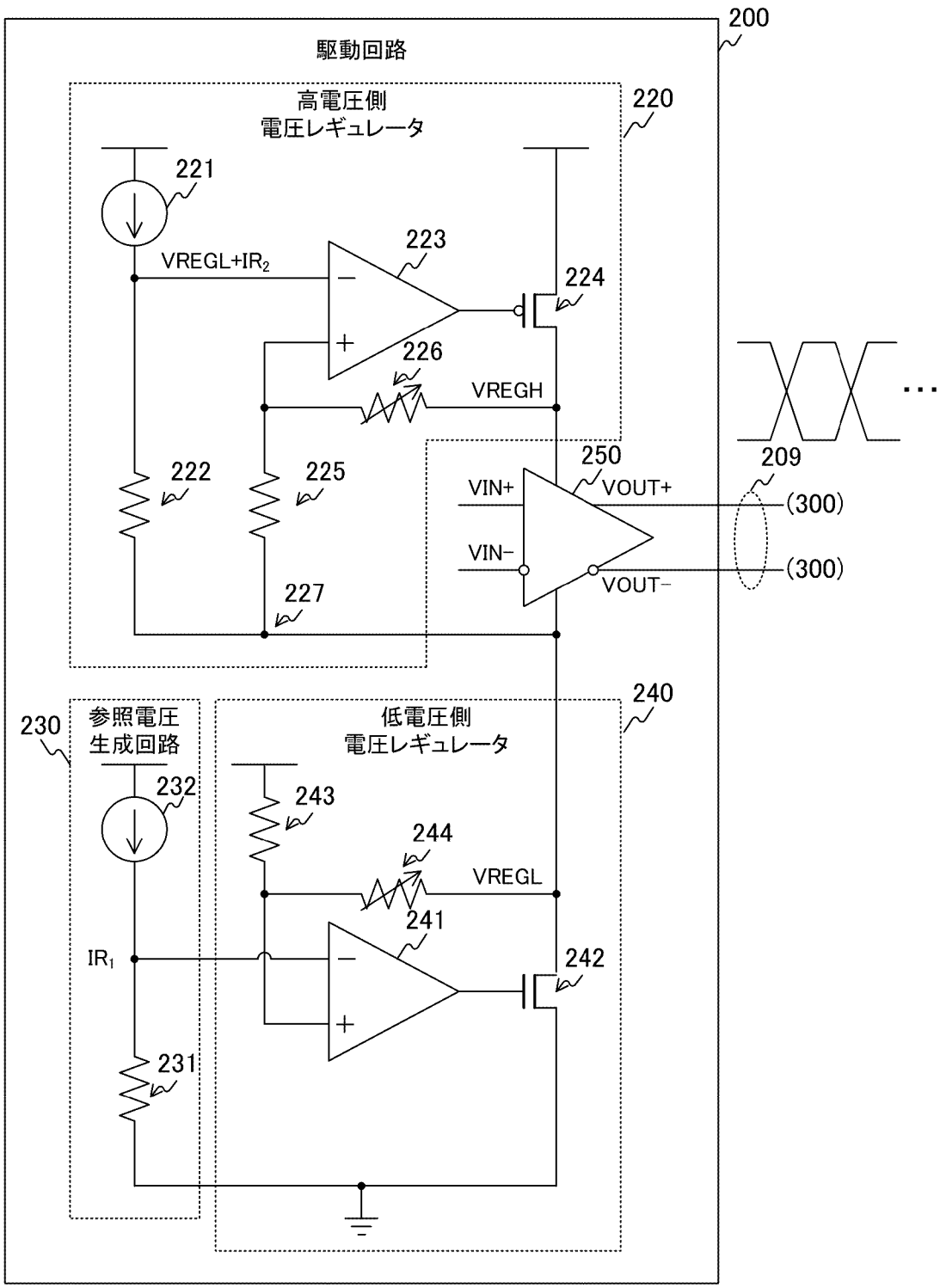
[図1]



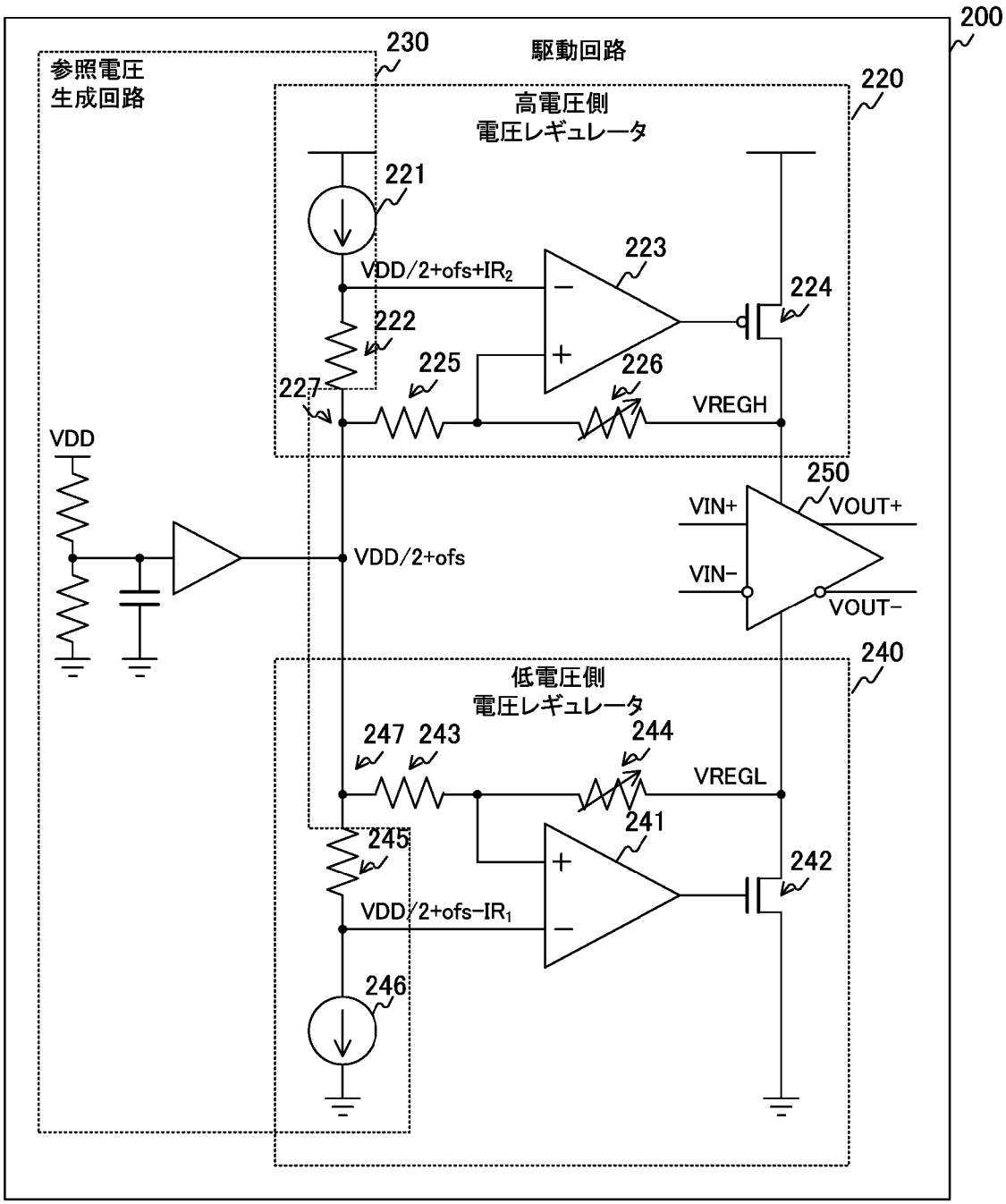
[図2]


200
駆動回路
210
制御回路
220
高電圧側
電圧レギュレータ
VREGH
250
VIN
119
(110)
ドライバ
VOUT
(300)
240
230
参照電圧
生成回路
低電圧側
電圧レギュレータ
VREGL

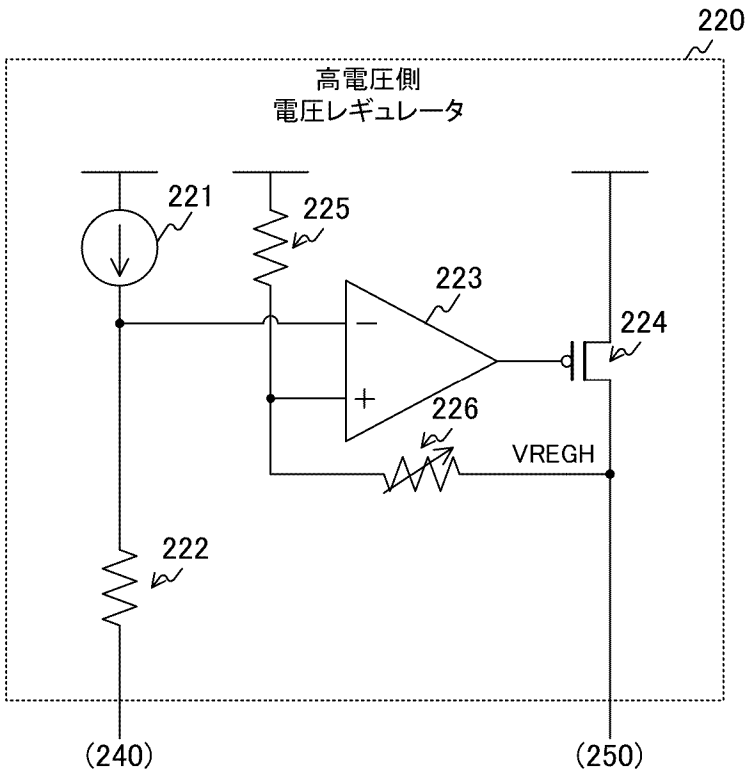
[図3]


200
駆動回路
高電圧側
電圧レギュレータ
220
221
223
VREGL+IR2
224
226
VREGH
222
225
227
250
VIN+
VOUT+
VIN−
VOUT−
209
(300)
(300)
240
230
参照電圧
生成回路
低電圧側
電圧レギュレータ
232
243
244
VREGL
241
IR1
242
231

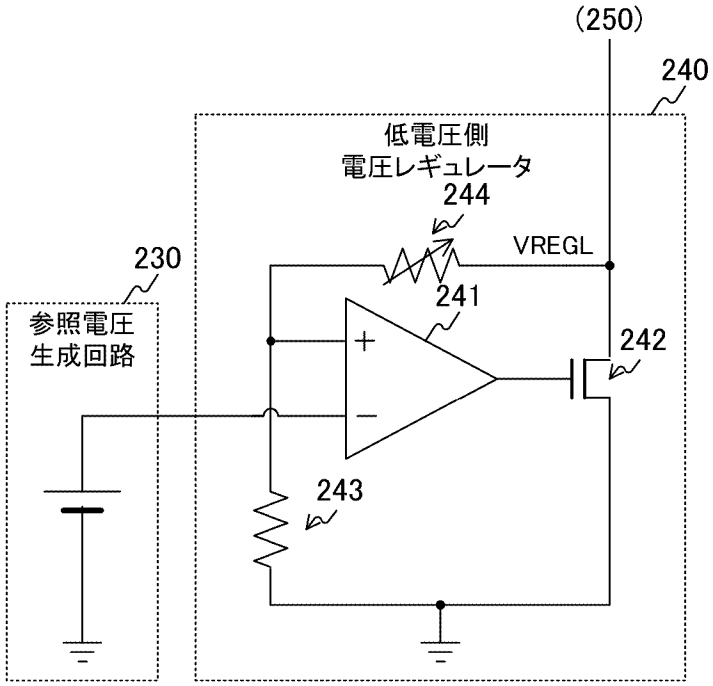
[図4]


200
230
駆動回路
参照電圧
生成回路
220
高電圧側
電圧レギュレータ
221
223
VDD/2+ofs+IR2
224
222
225
226
227
VREGH
VDD
250
VIN+
VOUT+
VDD/2+ofs
VIN−
VOUT−
240
低電圧側
電圧レギュレータ
247
243
244
VREGL
241
245
242
VDD/2+ofs−IR1
246

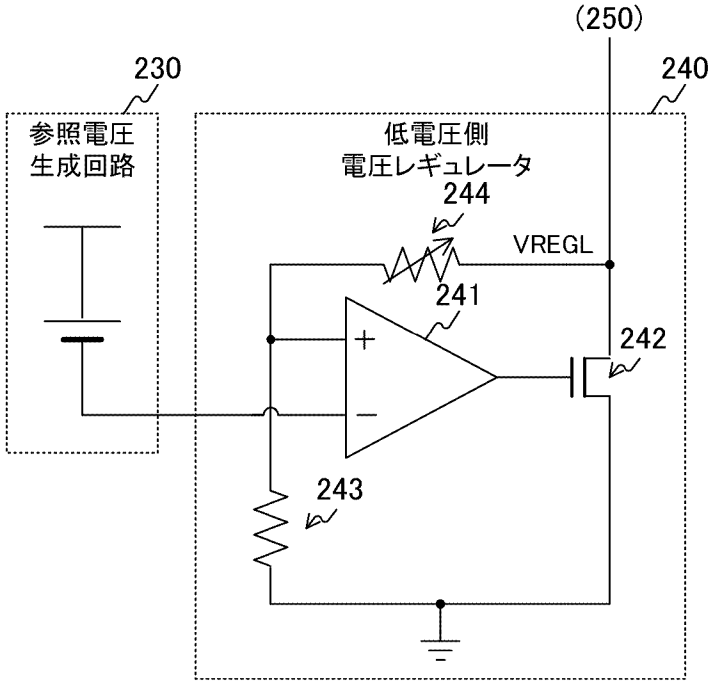
[図5]



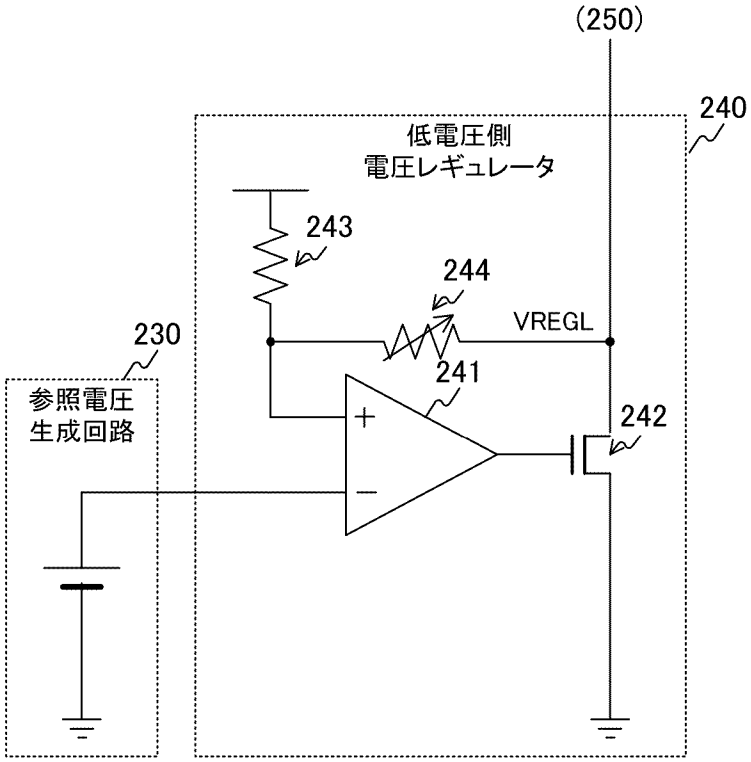
[図6]


(250)
240
低電圧側
電圧レギュレータ
244
VREGL
230
241
参照電圧
生成回路
242
243

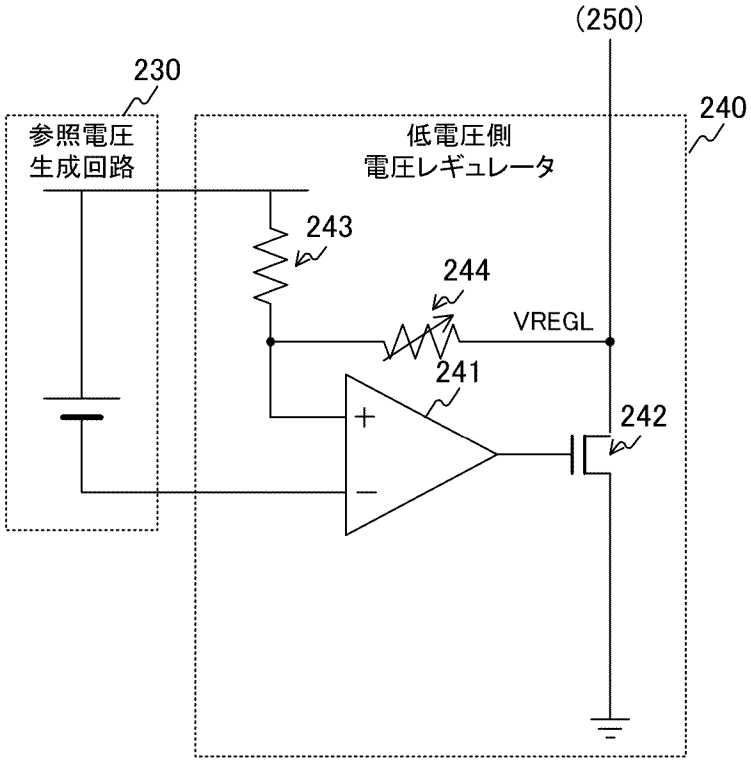
[図7]


(250)
230
240
参照電圧
生成回路
低電圧側
電圧レギュレータ
244
VREGL
241
242
243

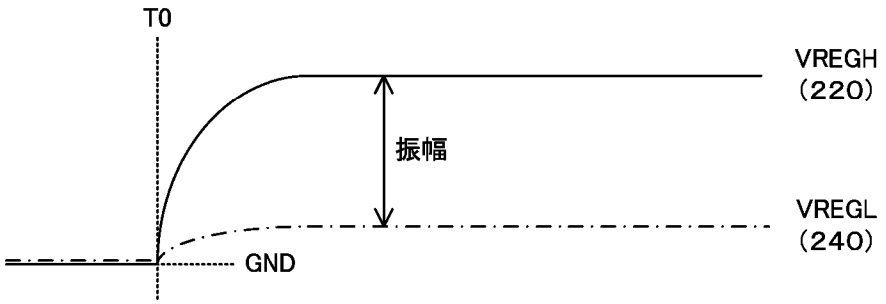
[図8]



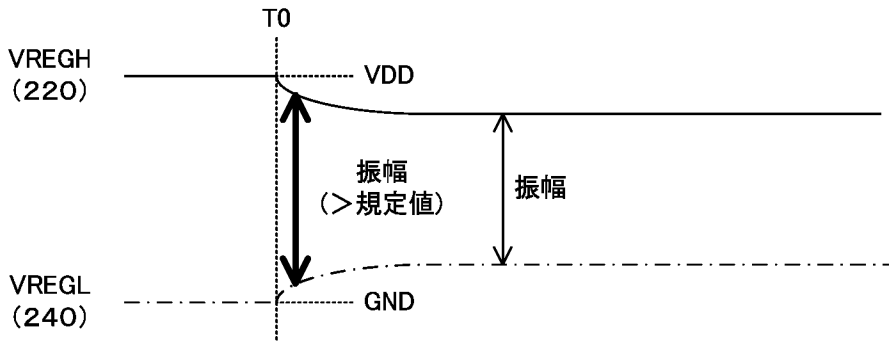
[図9]



[図10]

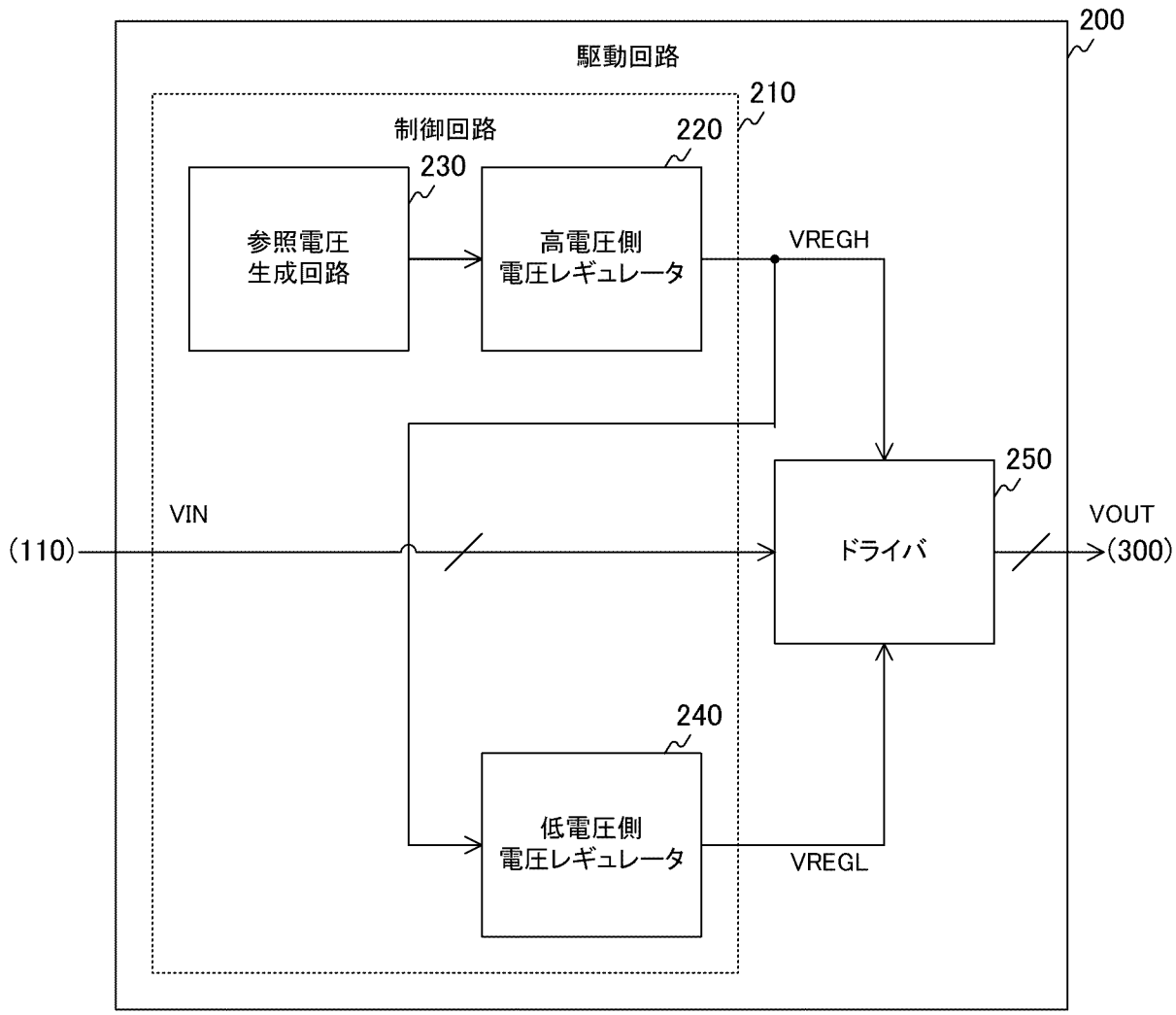

T0
VREGH
(220)
振幅
VREGL
(240)
GND

a

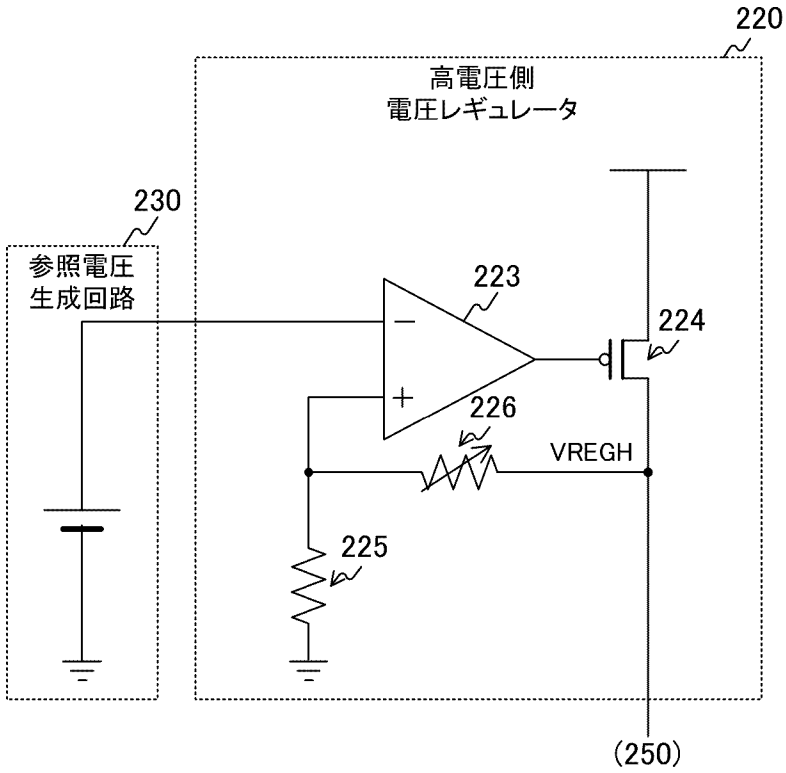

T0
VREGH
(220)
VDD
振幅
(>規定値)
振幅
VREGL
(240)
GND

b

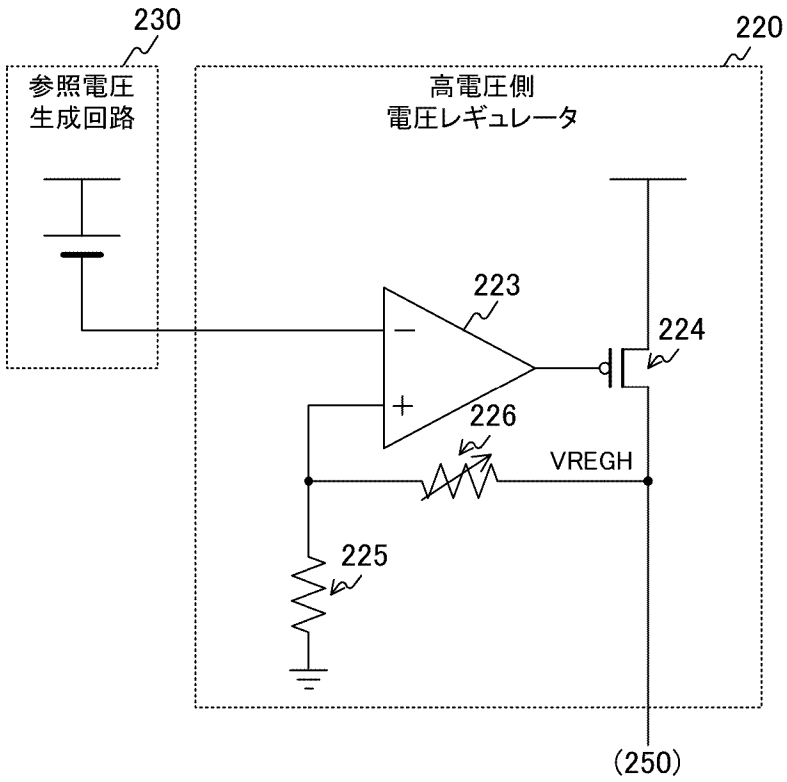
[図11]


200
駆動回路
210
制御回路
220
230
参照電圧
生成回路
高電圧側
電圧レギュレータ
VREGH
250
VIN
(110)
ドライバ
VOUT
(300)
240
低電圧側
電圧レギュレータ
VREGL

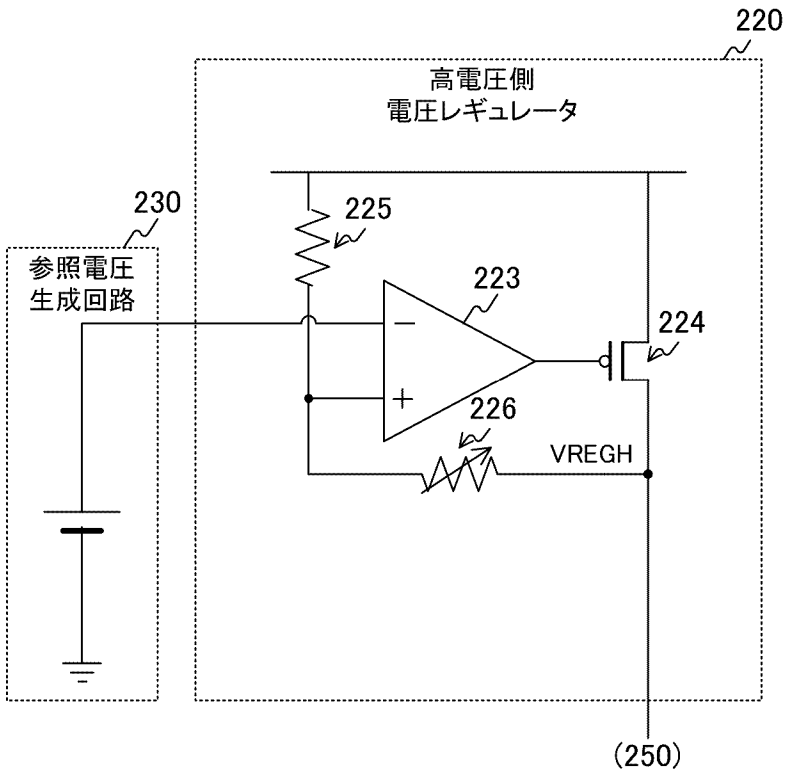
[図12]



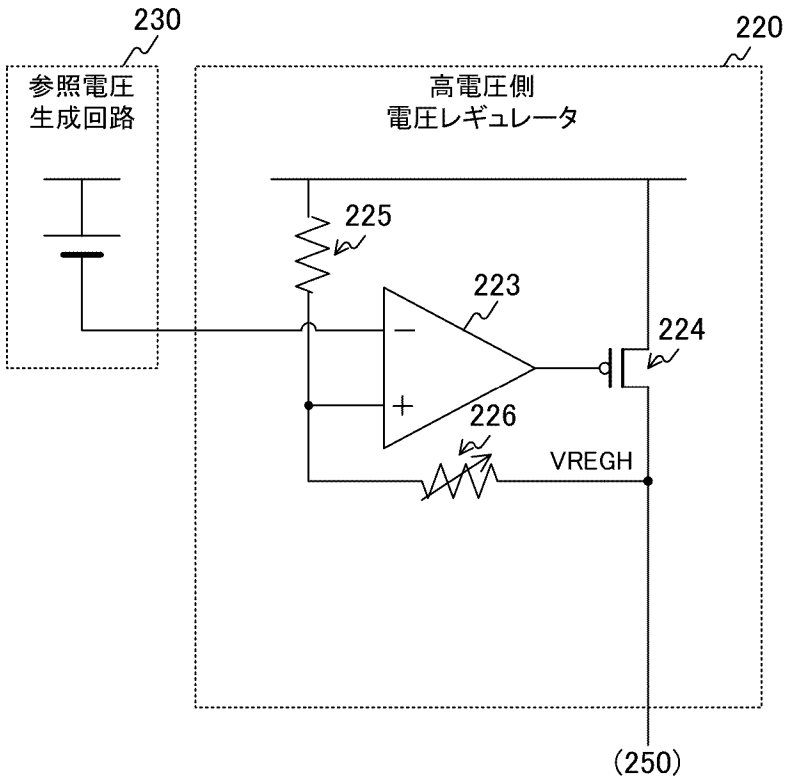
[図13]



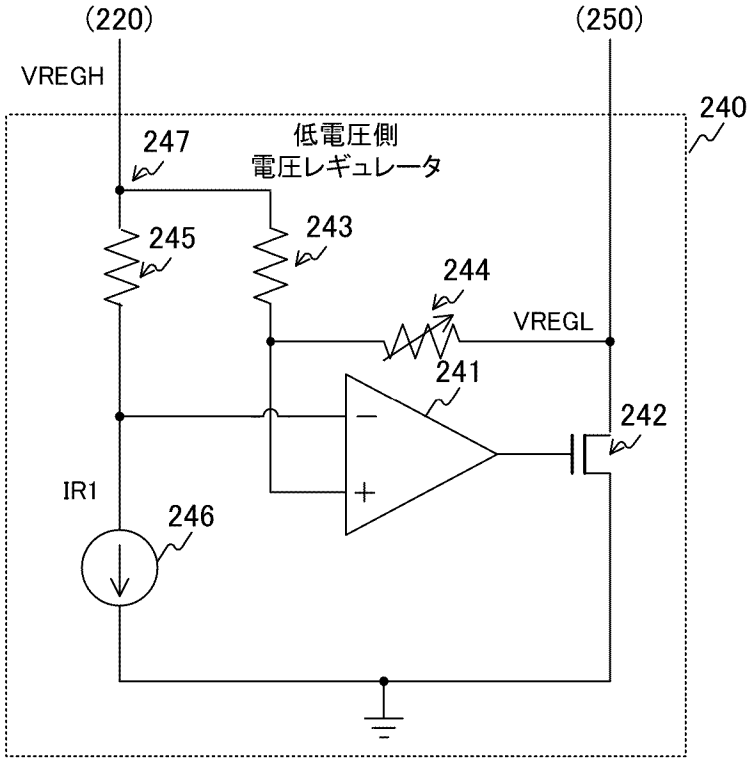
[図14]



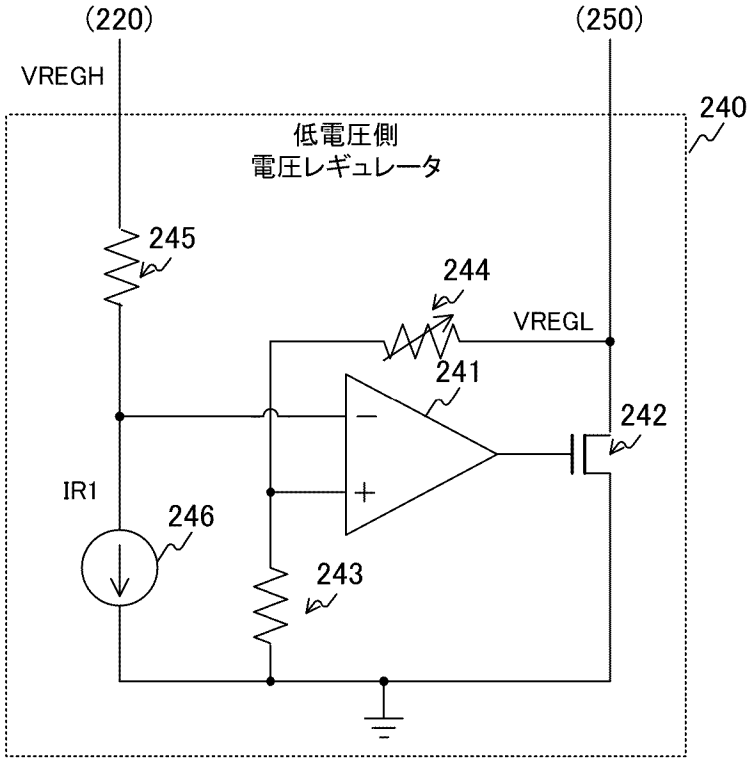
[図15]



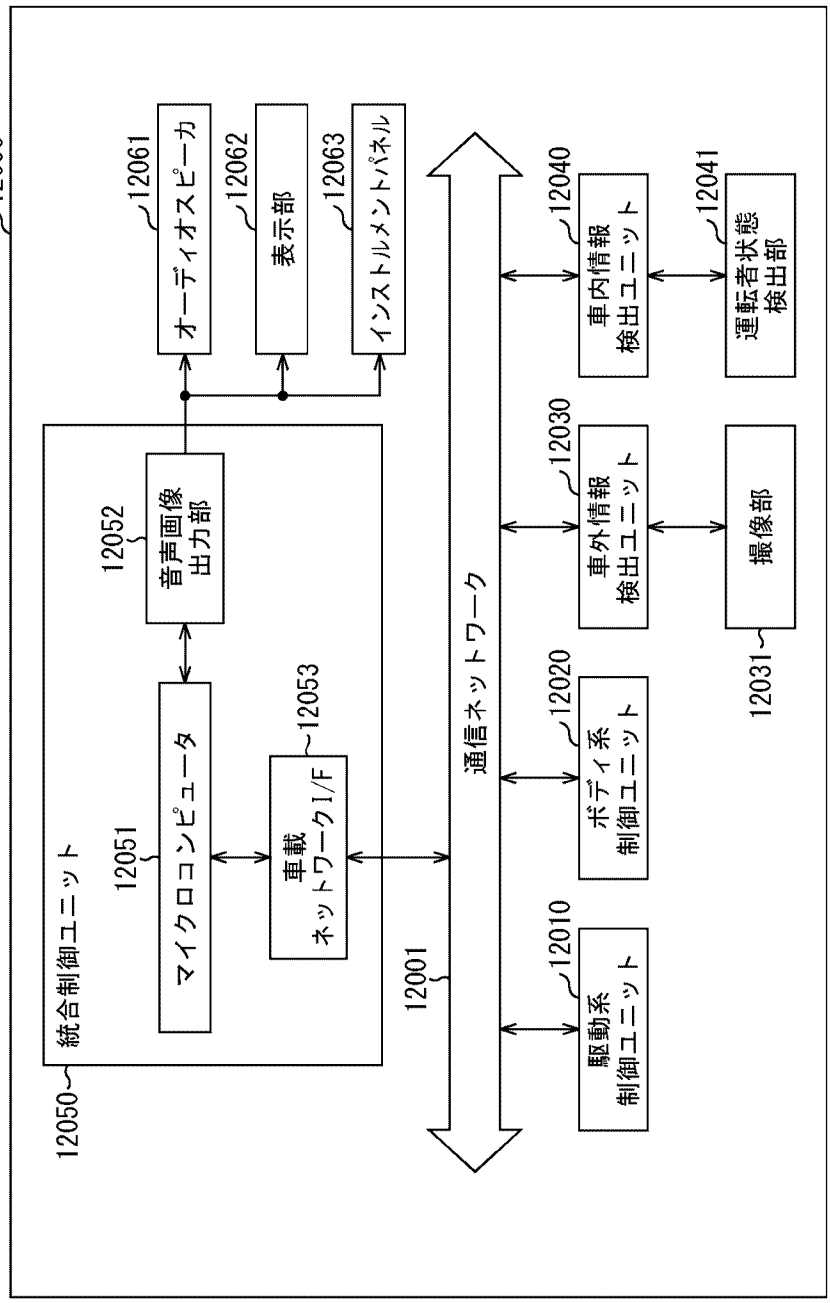
[図16]


(220)
(250)
VREGH
240
247
低電圧側
電圧レギュレータ
245
243
244
VREGL
241
242
IR1
246

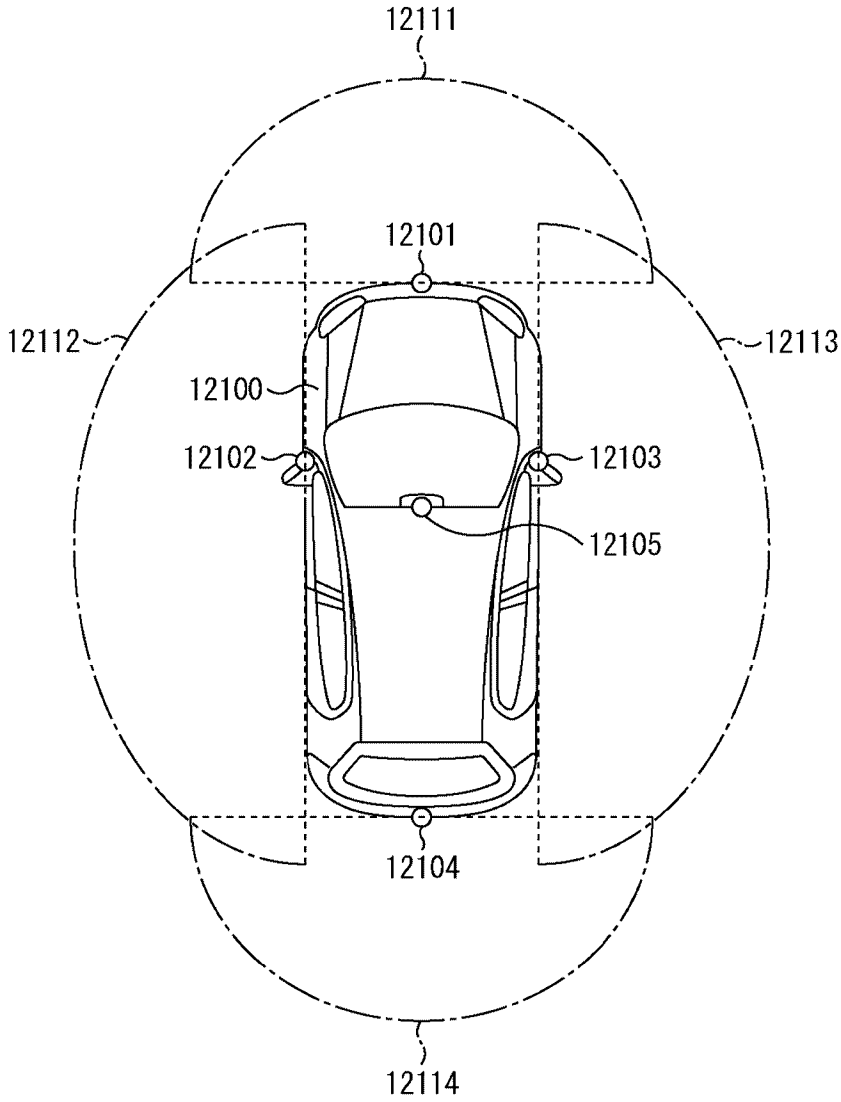
[図17]


(220)
(250)
VREGH
240
低電圧側
電圧レギュレータ
245
244
VREGL
241
242
IR1
246
243

[図18]


12000
12061
オーディオスピーカ
12062
表示部
12063
インストルメントパネル
12040
車内情報
検出ユニット
12041
運転者状態
検出部
12052
音声画像
出力部
12030
車外情報
検出ユニット
撮像部
12031
12053
車載
ネットワークI/F
12051
マイクロコンピュータ
12020
ボディ系
制御ユニット
通信ネットワーク
12001
12010
駆動系
制御ユニット
統合制御ユニット
12050

[図19]


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/025759

A. CLASSIFICATION OF SUBJECT MATTER
G05F 1/56(2006.01)i; H03K 19/00(2006.01)i; H03K 19/0175(2006.01)i
FI: H03K19/0175 220; G05F1/56 310E; H03K19/00 210
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G05F1/56; H03K19/00; H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-527983 A (XILINX, INC.) 03 October 2019 (2019-10-03) entire text, all drawings	1-13
A	JP 11-150469 A (MITSUBISHI ELECTRIC CORP.) 02 June 1999 (1999-06-02) entire text, all drawings	1-13
A	JP 2005-223872 A (THINE ELECTRONICS, INC.) 18 August 2005 (2005-08-18) entire text, all drawings	1-13
A	JP 2014-64272 A (MEGACHIPS CORPORATION) 10 April 2014 (2014-04-10) entire text, all drawings	1-13
A	JP 2000-41072 A (NATIONAL SEMICONDUCTOR CORPORATION) 08 February 2000 (2000-02-08) entire text, all drawings	1-13
A	JP 2015-18364 A (SPANSION LLC) 29 January 2015 (2015-01-29) entire text, all drawings	1-13

☒ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 July 2021 (21.07.2021)	10 August 2021 (10.08.2021)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/025759

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7330056 B1 (EXAR CORPORATION) 12 February 2008 (2008-02-12) entire text, all drawings	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/025759

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2019-527983 A	03 Oct. 2019	US 2018/0041232 A1 entire text, all drawings EP 3494639 A1 CN 109565278 A KR 10-2019-0034230 A	
JP 11-150469 A	02 Jun. 1999	US 6087885 A entire text, all drawings TW 462143 B CN 1211108 A KR 10-1999-0029198 A	
JP 2005-223872 A	18 Aug. 2005	(Family: none)	
JP 2014-64272 A	10 Apr. 2014	US 2014/0062568 A1 entire text, all drawings CN 103684411 A	
JP 2000-41072 A	08 Feb. 2000	US 6111431 A entire text, all drawings	
JP 2015-18364 A	29 Jan. 2015	(Family: none)	
US 7330056 B1	12 Feb. 2008	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/025759

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G05F 1/56(2006.01)i; H03K 19/00(2006.01)i; H03K 19/0175(2006.01)i
FI: H03K19/0175 220; G05F1/56 310E; H03K19/00 210

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G05F1/56; H03K19/00; H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2019-527983 A (ザイリンクス インコーポレイテッド) 03.10.2019 (2019-10-03) 全文,全図	1-13
A	JP 11-150469 A (三菱電機株式会社) 02.06.1999 (1999-06-02) 全文,全図	1-13
A	JP 2005-223872 A (ザインエレクトロニクス株式会社) 18.08.2005 (2005-08-18) 全文,全図	1-13
A	JP 2014-64272 A (株式会社メガチップス) 10.04.2014 (2014-04-10) 全文,全図	1-13
A	JP 2000-41072 A (ナショナル セミコンダクタ コーポレイション) 08.02.2000 (2000-02-08) 全文,全図	1-13
A	JP 2015-18364 A (スパンション エルエルシー) 29.01.2015 (2015-01-29) 全文,全図	1-13

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
21.07.2021	10.08.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
渡井　高広 5W 1208

電話番号 03-3581-1101 内線 3576

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 7330056 B1 (EXAR CORPORATION) 12.02.2008 (2008-02-12) 全文,全図	1-13

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/025759

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-527983 A	03.10.2019	US 2018/0041232 A1 全文,全図 EP 3494639 A1 CN 109565278 A KR 10-2019-0034230 A	
JP 11-150469 A	02.06.1999	US 6087885 A 全文,全図 TW 462143 B CN 1211108 A KR 10-1999-0029198 A	
JP 2005-223872 A	18.08.2005	（ファミリーなし）	
JP 2014-64272 A	10.04.2014	US 2014/0062568 A1 全文,全図 CN 103684411 A	
JP 2000-41072 A	08.02.2000	US 6111431 A 全文,全図	
JP 2015-18364 A	29.01.2015	（ファミリーなし）	
US 7330056 B1	12.02.2008	（ファミリーなし）	