

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구  
국제사무국

(43) 국제공개일  
2017년 8월 10일 (10.08.2017)



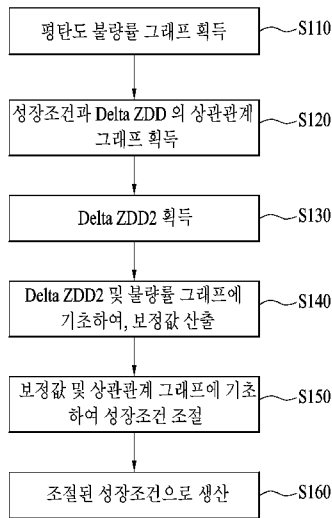
(10) 국제공개번호  
WO 2017/135604 A1

- (51) 국제특허분류: H01L 21/66 (2006.01) H01L 21/02 (2006.01)  
H01L 21/321 (2006.01) H01L 21/304 (2006.01)
- (21) 국제출원번호: PCT/KR2017/000724
- (22) 국제출원일: 2017년 1월 20일 (20.01.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2016-0012849 2016년 2월 2일 (02.02.2016) KR
- (71) 출원인: 주식회사 엘지실트론 (LG SILTRON INCORPORATED) [KR/KR]; 39386 경상북도 구미시 임수로 53, Gyeongsangbuk-do (KR).
- (72) 발명자: 장규일 (JANG, Kyu Il); 39400 경상북도 구미시 3공단 3로 132-11, Gyeongsangbuk-do (KR). 강동호 (KANG, Dong Ho); 39400 경상북도 구미시 3공단 3로 132-11, Gyeongsangbuk-do (KR).
- (74) 대리인: 박영복 (PARK, Young Bok) 등; 13494 경기도 성남시 분당구 판교역로 225-18 이룸빌딩 2층 KPH 어소시에이츠, Gyeonggi-do (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[다음 쪽 계속]

(54) Title: METHOD FOR CONTROLLING FLATNESS OF EPITAXIAL WAFER

(54) 발명의 명칭 : 에피텍셀 웨이퍼의 평탄도 제어 방법



(57) Abstract: An embodiment comprises the steps of: acquiring a flatness defective rate graph of epitaxial wafers produced by epitaxial reactors in possession; acquiring a correlation graph of Delta ZDD of epitaxial wafers for correlation with growth conditions of epitaxial layers; acquiring delta ZDD of at least one sample epitaxial wafer produced in a first growth condition by a first epitaxial reactor of the epitaxial reactors in possession; and controlling the first growth condition on the basis of the correlation graph.

(57) 요약서: 실시 예는 보유한 에피텍셀 반응기들에 의하여 생산된 에피텍셀 웨이퍼들의 평탄도 불량률 그래프를 획득하는 단계, 에피텍셀층의 성장조건과 상관 관계용 에피텍셀 웨이퍼의 Delta ZDD의 상관 관계 그래프를 획득하는 단계, 상기 보유한 에피텍셀 반응기들 중의 제 1 에피텍셀 반응기에 의하여 제 1 성장 조건으로 생산된 적어도 하나의 샘플 에피텍셀 웨이퍼의 Delta ZDD를 획득하는 단계, 및 상기 상관 관계 그래프에 기초하여, 상기 제 1 성장 조건을 조절하는 단계를 포함한다.

- S110 ... Acquire flatness defective rate graph
- S120 ... Acquire correlation graph of growth condition and Delta ZDD
- S130 ... Acquire Delta ZDD2
- S140 ... Calculate correction on basis of Delta ZDD2 and defective rate graph
- S150 ... Control growth condition on basis of correction and correlation graph
- S160 ... Produce in controlled growth condition

WO 2017/135604 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, **공개:**

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,  
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, KM, ML, MR, NE, SN, TD, TG).

— 국제조사보고서와 함께 (조약 제 21 조(3))

## 명세서

### 발명의 명칭: 에피텍셜 웨이퍼의 평탄도 제어 방법

#### 기술분야

- [1] 실시 예는 에피텍셜 웨이퍼의 평탄도 제어 방법에 관한 것이다.

#### 배경기술

- [2] 봉소 등의 불순물이 도핑되고 낮은 비저항을 갖는 실리콘 웨이퍼 위에 상대적으로 불순물이 적게 도핑되어 높은 비저항을 갖는 실리콘 에피텍셜층을 성장시킨 실리콘 에피텍셜 웨이퍼는 높은 게더링 능력과 낮은 래치업(LATCH-UP) 특성 그리고 고온에서 슬립(slip) 결함에 강한 특성을 가지고 있다.
- [3] 이러한 에피텍셜 웨이퍼에 요구되는 품질 항목으로는 평탄도(flatness), 입자 오염 정도 등이 있고, 에피텍셜층 자체에 대한 항목으로는 두께 균일도, 비저항, 금속 오염, 적층 결함, 슬립 전위(slip dislocation) 등이 있다.
- [4] 웨이퍼의 두께를 측정하고, 측정된 웨이퍼의 두께를 이용하여 웨이퍼의 가장자리의 평탄도를 측정할 수 있다.

#### 발명의 상세한 설명

##### 기술적 과제

- [5] 실시 예는 기재 기판의 형상, 또는 평탄도 수준에 상관없이 불량률이 적게 나오도록 공정 관리를 할 수 있는 에피텍셜 웨이퍼의 평탄도 제어 방법을 제공한다.

##### 과제 해결 수단

- [6] 실시 예에 따른 에피텍셜 웨이퍼의 평탄도 제어 방법은 보유한 에피텍셜 반응기들에 의하여 생산된 에피텍셜 웨이퍼들의 평탄도 불량률 그래프를 획득하는 단계; 에피텍셜층의 성장 조건과 상관 관계용 에피텍셜 웨이퍼의 Delta ZDD(Delta Z-axis Double Derivative)의 상관 관계 그래프를 획득하는 단계; 상기 보유한 에피텍셜 반응기들 중의 제1 에피텍셜 반응기에 의하여 제1 성장 조건으로 생산된 적어도 하나의 샘플 에피텍셜 웨이퍼의 Delta ZDD를 획득하는 단계; 및 상기 상관 관계 그래프에 기초하여, 상기 제1 성장 조건을 조절하는 단계를 포함한다.
- [7] 상기 에피텍셜 웨이퍼의 평탄도 제어 방법은 상기 적어도 하나의 샘플 에피텍셜 웨이퍼의 Delta ZDD 및 상기 평탄도 불량률 그래프에 기초하여 보정값을 산출하는 단계를 더 포함할 수 있고, 상기 보정값 및 상기 상관 관계 그래프에 기초하여, 상기 제1 성장 조건을 조절할 수 있다.
- [8] 상기 평탄도 불량률 그래프를 획득하는 단계는 기재 기판들의 ESFQD(Edge sector Site Frontside reference Q(Site least square plane) Derivation), 및 ZDD(Z-axis Double Derivative)를 획득하는 단계; 상기 기재 기판들을 기반으로 하는

에피텍셀 웨이퍼들의 Delta ZDD 및 ESFQR(Edge sector Site Frontside reference Q(Site least square plane) Range)을 획득하는 단계; 상기 에피텍셀 웨이퍼들의 ESFQR에 기초하여, 상기 에피텍셀 웨이퍼들의 평탄도에 대한 불량을 판단하는 단계; 및 상기 기재 기판들의 ESFQR 및 상기 에피텍셀 웨이퍼들의 Delta ZDD에 기초하여, 상기 에피텍셀 웨이퍼의 평탄도 불량률 그래프를 획득하는 단계를 포함할 수 있다.

- [9] 상기 에피텍셀 웨이퍼들의 Delta ZDD 및 ESFQR을 획득하는 단계는 상기 에피텍셀 웨이퍼들의 ZDD 및 ESFQR을 획득하는 단계; 및 상기 기재 기판들의 ZDD와 상기 에피텍셀 웨이퍼들의 ZDD의 차이를 이용하여, 상기 에피텍셀 웨이퍼들 각각에 대한 Delta ZDD를 획득하는 단계를 포함할 수 있다.
- [10] 상기 보정값을 산출하는 단계는 상기 평탄도 불량률 그래프의 불량률에 기초하여, 타겟용 구간을 설정하는 단계; 및 상기 적어도 하나의 샘플 에피텍셀 웨이퍼의 Delta ZDD 및 상기 타겟용 구간에 기초하여, 상기 보정값을 산출하는 단계를 포함할 수 있다.
- [11] 상기 에피텍셀 웨이퍼들의 평탄도에 대한 불량을 판단하는 단계는 상기 에피텍셀 웨이퍼들의 ESFQR과 기설정된 기준 값과 비교한 결과에 기초하여, 상기 에피텍셀 웨이퍼들의 평탄도에 대한 불량을 판단할 수 있다. 상기 기설정된 기준 값은 100nm ~ 120nm일 수 있다.
- [12] 상기 에피텍셀 웨이퍼의 평탄도 불량률 그래프의 X축은 상기 기재 기판들의 ESFQR을 나타내고, Y축은 상기 에피텍셀 웨이퍼들의 Delta ZDD를 나타내고, 상기 기재 기판들의 ESFQR 및 상기 에피텍셀 웨이퍼들의 Delta ZDD에 기초하여, 상기 에피텍셀 웨이퍼들의 불량률은 복수의 영역들로 구분될 수 있다.
- [13] 상기 상관 관계 그래프를 획득하는 단계는 서로 다른 성장 조건들에서 생산된 상관 관계용 에피텍셀 웨이퍼들의 Delta ZDD를 획득하고, 상기 성장 조건들과 상기 획득된 상관 관계용 에피텍셀 웨이퍼들의 Delta ZDD를 이용하여 상기 상관 관계 그래프를 획득할 수 있다.
- [14] 상기 상관 관계 그래프를 획득하는 단계에서의 성장 조건 및 상기 제1 성장 조건은  $H_2$  가스의 유량, TCS의 유량, 또는 성장 온도일 수 있다.
- [15] 상기 타겟용 구간을 설정하는 단계는 상기 기재 기판들의 ESFQR의 전 범위에 대하여 평탄도 불량률이 기설정된 기준 값보다 작은 구간일 수 있다. 상기 기설정된 기준 값은 0.1% ~ 15%일 수 있다.
- [16] 상기 보정값은 상기 타겟용 구간에 속하는 기설정된 타겟값과 상기 적어도 하나의 샘플 에피텍셀 웨이퍼의 Delta ZDD의 차이일 수 있다.
- [17] 상기 기설정된 타겟값은 상기 타겟용 구간의 하한치, 상한치, 또는 중간치일 수 있다.
- [18] 상기 제1 성장 조건을 조절하는 단계는 상기 제1 에피텍셀 반응기의 제1 성장 조건에서의 Delta ZDD에 상기 보정값을 더한 값에 대응하는 제2 성장 조건으로 상기 제1 성장 조건을 조절할 수 있다.

- [19] 다른 실시 예에 따른 에피텍셀 웨이퍼의 평탄도를 조절하는 방법은 제1 기재 기판들의 ESFQD 및 제1 ZDD를 획득하는 단계; 상기 제1 기재 기판들을 기반으로 하는 제1 에피텍셀 웨이퍼들의 ESFQR 및 제2 ZDD를 획득하는 단계; 상기 제1 에피텍셀 웨이퍼들의 제1 Delta ZDD를 획득하는 단계; 상기 제1 에피텍셀 웨이퍼들의 ESFQR에 기초하여 상기 제1 에피텍셀 웨이퍼들의 평탄도 불량을 판단하고, 평탄도 불량률 그래프를 획득하는 단계; 제2 에피텍셀 웨이퍼의 에피텍셀층 성장 조건과 상기 제2 에피텍셀 웨이퍼의 Delta ZDD의 상관 관계 그래프를 획득하는 단계; 제1 성장 조건으로 생산된 적어도 하나의 제3 에피텍셀 웨이퍼의 제2 Delta ZDD를 획득하는 단계; 상기 제2 Delta ZDD 및 상기 평탄도 불량률 그래프에 기초하여 보정값을 산출하는 단계; 및 상기 보정값 및 상기 상관 관계 그래프에 기초하여, 상기 제1 성장 조건을 제2 성장 조건으로 조절하는 단계를 포함한다.
- [20] 상기 에피텍셀 웨이퍼의 평탄도를 조절하는 방법은 상기 제2 성장 조건으로 에피텍셀 웨이퍼를 생산하는 단계를 더 포함할 수 있다.
- [21] 상기 상관 관계 그래프를 획득하는 단계는 동일 성장 조건 항목의 서로 다른 성장 조건들에서 제2 기재 기판들에 에피텍셀층을 성장시켜 상기 제2 에피텍셀 웨이퍼들을 생산하는 단계; 상기 생산된 제2 에피텍셀 웨이퍼들의 Delta ZDD를 획득하는 단계; 상기 서로 다른 성장 조건들과 상기 제2 에피텍셀 웨이퍼들의 Delta ZDD를 이용하여 상기 상관 관계 그래프를 획득하는 단계를 포함할 수 있다.
- [22] 상기 제2 Delta ZDD를 획득하는 단계는 상기 제1 성장 조건으로 복수 개의 제3 기재 기판들에 에피텍셀층을 성장시켜 복수 개의 제3 에피텍셀 웨이퍼들을 생산하는 단계; 및 상기 복수 개의 제3 에피텍셀 웨이퍼들의 Delta ZDD를 획득하고, 획득된 상기 복수 개의 제3 에피텍셀 웨이퍼들의 Delta ZDD의 평균을 상기 제2 Delta ZDD로 설정하는 단계를 포함할 수 있다.
- [23] 상기 보정값을 산출하는 단계는 상기 평탄도 불량률 그래프에서 평탄도 불량률이 기설정된 기준 값보다 작은 타겟용 구간을 설정하는 단계; 및 상기 제2 Delta ZDD가 상기 타겟용 구간에 속하도록 상기 보정값을 산출하는 단계를 포함할 수 있다.
- [24] 상기 제1 성장 조건을 제2 성장 조건으로 조절하는 단계는 상기 제1 성장 조건을 상기 보정값에 대응하는 성장 조건만큼 변경시킬 수 있다.
- 발명의 효과**
- [25] 실시 예는 기재 기판의 형상, 또는 평탄도 수준에 상관없이 불량률이 적게 나오도록 공정 관리를 할 수 있다.
- 도면의 간단한 설명**
- [26] 도 1은 실시 예에 따른 에피텍셀 웨이퍼의 평탄도를 제어하는 방법에 관한 플로차트이다.

- [27] 도 2는 도 1에 도시된 불량률 그래프를 획득하는 단계를 나타내는 플로차트이다.
- [28] 도 3은 도 2에 도시된 델타 ZDD1 획득 및 ESFQR1 획득 단계의 일 실시 예를 나타내는 플로차트이다.
- [29] 도 4는 S240 단계에서 획득된 불량률 그래프를 나타낸다.
- [30] 도 5a는 Delta ZDD와 에피텍셀층 성장을 위하여 공급되는 H<sub>2</sub> 가스의 유량 간의 상관 관계를 나타낸다.
- [31] 도 5b는 Delta ZDD와 에피텍셀층 성장 온도 간의 상관 관계를 나타낸다.
- [32] 도 5c는 Delta ZDD와 에피텍셀층 성장을 위하여 공급되는 TCS의 유량 간의 상관 관계를 나타낸다.
- [33] 도 6은 도 1의 보정값 산출 단계의 일 실시 예를 나타낸다.
- [34] 도 7a는 ESFQD 및 ESFQR을 설명하기 위한 모식도이다.
- [35] 도 7b는 도 7a의 모식도의 ab방향의 단면도를 나타낸다.

### 발명의 실시를 위한 형태

- [36] 이하, 실시 예들은 첨부된 도면 및 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다. 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다. 또한 동일한 참조번호는 도면의 설명을 통하여 동일한 요소를 나타낸다.
- [37] 도 1은 실시 예에 따른 에피텍셀 웨이퍼의 평탄도를 제어하는 방법에 관한 플로차트이다.
- [38] 도 1을 참조하면, 실시 예에 따른 에피텍셀 웨이퍼의 평탄도를 제어하는 방법은 평탄도 불량률 그래프를 획득하는 단계(S110), 성장 조건과 Delta ZDD의 상관 관계 그래프를 획득하는 단계(S120), Delta ZDD2를 획득하는 단계(S130), Delta ZDD2와 평탄도 불량률 그래프에 기초하여 보정값을 산출하는 단계(S140), 보정값 및 상관 관계 그래프에 기초하여 성장 조건을 조절하는 단계(S150), 및 조절된 성장 조건으로 생산하는 단계를 포함한다(S160).
- [39] 테스트용 기체 기판들의 ESFQD(Edge sector Site Frontside reference Q(Site least square plane) Derivation)와 테스트용 에피텍셀 웨이퍼들의 델타 ZDD에 기초하여, 평탄도 불량률 그래프를 획득할 수 있다(S110).
- [40] 도 2는 도 1에 도시된 불량률 그래프를 획득하는 단계(S110)의 일 실시 예를 나타내는 플로차트이다.
- [41] 도 2를 참조하면, 불량률 그래프를 획득하는 단계(S110)는 테스트용 기체 기판들의 ESFQD, 및 ZDD(이하 "ZDD1"이라 한다)를 획득하는 단계(S210), Delta

- ZDD1을 획득하는 단계(S220), 테스트용 에피텍셀 웨이퍼들의 평탄도 불량을 판단하는 단계(S230), 및 불량률 그래프를 획득하는 단계(S240)를 포함한다.
- [42] 먼저 ESFQD 및 ZDD1을 획득한다(S210).
- [43] ESFQD는 Edge sector Site Frontside reference Q(Site least square plane) Derivation의 약자로서, +값 또는 -값을 가질 수 있다.
- [44] 도 7a는 ESFQD 및 ESFQR을 설명하기 위한 모식도이고, 도 7b는 도 7a의 모식도의 ab방향의 단면도를 나타낸다.
- [45] 도 7a, 및 도 7b를 참조하면, 웨이퍼(W1)의 일면(예컨대, front side)을 일정한 각도( $\theta$ , 예컨대,  $\theta=5^\circ$ )로 방사상 등분한 사이트(예컨대, S1)의 구간(401)의 두께를 기준면을 기준으로 측정한다. 그리고 웨이퍼(W1)의 일면의 구간(401) 내의 최대값(MAX) 및 최소값(MIN)을 측정한다. 예컨대, 기준면은 웨이퍼(W1)의 일면의 이상적인 면(ideal plane), 예컨대,  $z=0$ 인 평면일 수 있다.
- [46] 구간(401)은 등분한 사이트(예컨대, S1)의 제1 지점(P1)에서 제2지점(P2)까지의 구간이고, 제1 지점(P1)은 웨이퍼(W1)의 가장 자리(E1)에서 일정 거리(예컨대, 1mm 또는 2mm) 이격된 지점이고, 제2 지점(P2)은 제1 지점에서 웨이퍼(W1)의 중심(C)으로 향하는 방향으로 일정 거리(예컨대, 10mm) 이격된 지점이다.
- [47] ESFQD는 기준면(예컨대,  $Z=0$ )을 기준으로 웨이퍼(W1)의 일면이 위에 존재하면 +값(+ESFQD)을 가질 수 있고, 아래에 존재하면 -값(-ESFQD)을 가질 수 있다.
- [48] ESFQD는 구간(401)의 웨이퍼 두께의 평균값, 예컨대, 구간(401) 내의 웨이퍼(W1)의 두께를 적분한 값일 수 있다.
- [49] 후술하는 ESFQR은 Edge sector Site Frontside reference Q(Site least square plane) Range의 약자로서, 웨이퍼의 평탄도를 나타내는 하나의 방법이다.
- [50] ESFQR은 구간(401) 내의 측정된 웨이퍼(W1)의 두께의 최대값(MAX)과 최소값(MIN)의 차이(MAX-MIN)로 정의된다.
- [51] ZDD는 Z-axis Double Derivative의 약자로서, 웨이퍼의 가장 자리 표면의 롤-오프(roll-off)의 정도를 나타내는 파라미터로서, 웨이퍼의 가장 자리 표면의 곡률을 나타낸다.
- [52] 웨이퍼의 반경 방향의 면을 xyz 좌표계의 xy 평면이라고 할 때, z축 방향은 웨이퍼의 두께 방향일 수 있다. 웨이퍼의 앞면(front side)과 뒷면(back side)에 대한 2개의 기준면들의 중간 지점에서 Z축의 좌표를 0이라고 할 때, 웨이퍼의 앞면과 뒷면의 두께의 프로파일을 "Z의 함수"로 나타낼 수 있다.
- [53] 웨이퍼의 앞면과 뒷면 각각의 반경(R)에 대한  $0^\circ \sim 360^\circ$ 의 평균 Z값을 구하면, Z에 관한 웨이퍼 전체의 평균 방사상 프로파일(Average Radial Profile)을 획득할 수 있고, 획득된 평균 방사상 프로파일을 두 번 미분함으로써 ZDD를 구할 수 있다.
- [54] 즉 ZDD는 수학식 1과 같이 정의될 수 있다.

[55] [수식1]

$$ZDD(R) = \frac{\partial^2 Z(R)}{\partial R^2}$$

[56] 테스트용 기재 기판들의 ESFQD, 및 ZDD1는 상술한 방법과 같이 획득 또는 산출할 수 있다. 또는 테스트용 기재 기판들의 ESFQD 및 ZDD1는 구입시 이미 알려진 값일 수도 있다.

[57] 다음으로 테스트용 기재 기판들을 기반으로 하는 테스트용 에피택셜 웨이퍼들의 델타(delta) ZDD(이하“delta ZDD1”이라 한다), 및 ESFQR(이하 “ESFQR1”이라 한다)을 획득한다(S220).

[58] 도 3은 도 2에 도시된 Delta ZDD1 및 ESFQR1 획득 단계(S220)의 일 실시 예를 나타내는 플로차트이다.

[59] 도 3을 참조하면, 먼저 테스트용 기재 기판들에 에피택셜층을 성장시켜 테스트용 에피택셜 웨이퍼들을 생산한다(S310).

[60] 보유하고 있는 N(N>1인 자연수) 개의 에피택셜 반응기들을 이용하여 M개(M>1인 자연수)의 테스트용 기재 기판들에 에피택셜층들을 성장시켜 M개의 테스트용 에피택셜 웨이퍼들을 생산할 수 있다.

[61] N개의 에피택셜 반응기들 각각은 M개(M>1인 자연수)의 테스트용 기재 기판들 중에서 랜덤하게 선택된 기재 기판들에 에피택셜층을 성장시킬 수 있다.

[62] N개의 에피택셜 반응기들의 수에 맞추어 테스트용 기재 기판들을 복수의 그룹들로 나누고, N개의 에피택셜 반응기들 각각은 복수의 그룹들 중 대응하는 어느 하나에 속하는 기재 기판들에 에피택셜층을 성장시킬 수 있다.

[63] 예컨대, 보유하고 있는 에피택셜 반응기들의 수가 10개이고, 테스트용 기재 기판들의 수가 3만개라고 가정하면, 에피택셜 반응기들 각각은 랜덤하게 선택된 3천개의 기재 기판들에 에피택셜층을 성장시키고, 3만개의 테스트용 에피택셜 웨이퍼들을 생산할 수 있다.

[64] 다음으로 생산된 테스트용 에피택셜 웨이퍼들 각각의 ZDD(이하 “ZDD2”라 한다)와 ESFQR1을 획득한다(S320).

[65] ESFQR1의 획득 방법은 도 7a 및 도 7b에서 상술한 바가 적용될 수 있으며, ZDD2의 획득 방법은 ZDD1에서 설명한 바가 동일하게 적용될 수 있다.

[66] 예컨대, 상술한 3만개의 테스트용 에피택셜 웨이퍼들에 대한 3만개의 ZDD2 및 3만개의 ESFQR1을 획득할 수 있다.

[67] 다음으로 테스트용 에피택셜 웨이퍼들 각각에 대한 Delta ZDD(이하 “Delta ZDD1”이라 한다)를 획득한다(S330). Delta ZDD는 에피택셜 웨이퍼의 ZDD와 에피택셜 웨이퍼의 기재 기판 자체의 ZDD 간의 차이로 정의될 수 있다.

[68] Delta ZDD1은 수학적식 2와 같이 정의될 수 있다.

[69] [수식2]

$$Delta\ ZDD1 = ZDD2 - ZDD1$$

- [70] Delta ZDD1 및 ESFQR1 획득 단계(S220)가 완료된 후에, 테스트용 에피텍셀 웨이퍼들의 ESFQR1에 기초하여, 테스트용 에피텍셀 웨이퍼들의 평탄도에 대한 불량을 판단한다(S230).
- [71] 예컨대, 테스트용 에피텍셀 웨이퍼들의 ESFQR1과 기설정된 기준 값과 비교한 결과에 따라 테스트용 에피텍셀 웨이퍼들의 평탄도에 대한 불량을 판단할 수 있다.
- [72] 이때 기설정된 기준 값은 100nm ~ 120nm일 수 있다. 예컨대, 기설정된 기준 값은 110nm일 수 있다.
- [73] 예컨대, 테스트용 에피텍셀 웨이퍼들의 ESFQR1이 기설정된 기준 값을 초과하는 경우에는 불량이라고 판단할 수 있고, 테스트용 에피텍셀 웨이퍼들의 ESFQR1이 기설정된 기준 값 이하인 경우에는 불량이라고 판단할 수 있다.
- [74] 다음으로 ESFQD 및 Delta ZDD1에 기초하여, 테스트용 에피텍셀 웨이퍼의 평탄도 불량률 그래프를 획득한다(S240).
- [75] 도 4는 S240 단계에서 획득된 불량률 그래프를 나타낸다.
- [76] 도 4를 참조하면, X축은 테스트용 기체 기판들의 ESFQD를 나타내고, 0을 중심으로 기설정된 간격(예컨대, 25nm)으로 구분될 수 있으며, 단위는 nm일 수 있다.
- [77] Y축은 테스트용 에피텍셀 웨이퍼들의 Delta ZDD1을 나타내며, 0을 중심으로 기설정된 간격(예컨대, 5 또는 10)으로 구분될 수 있다.
- [78] ESFQD와 Delta ZDD1에 기초하여, 테스트용 에피텍셀 웨이퍼들의 불량률은 복수의 영역들, 예컨대, 제1 내지 제20 영역들(1 ~ 20)로 구분될 수 있다.
- [79] 제1 내지 제20 영역들(1~20) 각각의 불량률은 각 영역에 포함되는 테스트용 에피텍셀 웨이퍼들의 수와 S230 단계에서 불량으로 판단된 테스트용 에피텍셀 웨이퍼들의 수의 비율일 수 있다.
- [80] 예컨대, 제1 영역(1)에서 불량률이 제로라는 것은 제1 영역(1)에 포함되는 테스트용 에피텍셀 웨이퍼들은 모두 불량이라고 하는 것이다.
- [81] 다음으로 평탄도 불량률 그래프를 획득하는 단계(S110) 이후에, 에피텍셀층의 성장 조건과 상관 관계용 에피텍셀 웨이퍼의 Delta ZDD 사이의 상관 관계 또는 상관 관계 그래프를 획득한다(S120). 다른 실시 예에서는 S110 단계와 S120 단계의 순서가 서로 바뀔 수도 있다. 또 다른 실시 예에서는 S110 단계와 S120 단계가 동시에 수행될 수도 있다.
- [82] 예컨대, 동일 성장 조건 항목에 대하여 성장 조건을 달리하여 상관 관계용 기체 기판들에 에피텍셀층을 성장시켜 상관 관계용 에피텍셀 웨이퍼들을 생산한다. 예컨대, 성장 조건 항목은 TCS의 유량, H<sub>2</sub> 가스, 및 성장 온도를 포함할 수 있다.
- [83] 그리고 동일 성장 조건 항목의 서로 다른 성장 조건들에 의하여 생산된 상관 관계용 에피텍셀 웨이퍼들의 Delta ZDD를 획득한다. 그리고 서로 다른 성장 조건들과 상관 관계용 에피텍셀 웨이퍼들의 Delta ZDD를 이용하여 상관 관계 그래프를 획득할 수 있다. 그리고 상관 관계 그래프를 이용하여 상관 관계

- 관한 방정식(예컨대, 선형 방정식)을 획득할 수 있다. 예컨대, 상관 관계용 기재 기판들은 테스트용 기재 기판들과는 별개 또는 다른 기재 기판들일 수 있다.
- [84] 도 5a는 상관 관계용 에피택셜 웨이퍼들의 Delta ZDD와 에피택셜층 성장을 위하여 공급되는 H<sub>2</sub> 가스의 유량(flow rate) 간의 상관 관계 및 상관 관계 그래프를 나타내고, 도 5b는 상관 관계용 에피택셜 웨이퍼들의 Delta ZDD와 에피택셜층 성장 온도 간의 상관 관계 및 상관 관계 그래프를 나타내고, 도 5c는 상관 관계용 에피택셜 웨이퍼들의 Delta ZDD와 에피택셜층 성장을 위하여 공급되는 TCS의 유량 간의 상관 관계 및 상관 관계 그래프를 나타낸다.
- [85] 도 5a 내지 도 5c에서 ◆는 성장 조건(TCS의 유량, H<sub>2</sub> 가스, 성장 온도)을 변화시키면서 상관 관계용 에피택셜 웨이퍼들의 Delta ZDD를 획득하는 실험 결과를 나타낸다.
- [86] 도 5a 내지 도 5c에서는 서로 다른 복수 개(예컨대, 5개)의 성장 조건들에서 생산된 상관 관계용 에피택셜 웨이퍼들의 Delta ZDD를 나타낸다.
- [87] 예컨대, 상관 관계용 에피택셜 웨이퍼들의 Delta ZDD는 서로 다른 복수 개의 성장 조건들 각각에서 기설정된 개수(예컨대, 10개)의 상관 관계용 에피택셜 웨이퍼들의 Delta ZDD의 평균 값일 수 있다.
- [88] 서로 다른 성장 조건들에서 생산된 상관 관계용 에피택셜 웨이퍼들의 Delta ZDD에 기초하여 획득된 상관 관계 그래프를 이용하여 성장 조건과 델타 ZDD 사이의 상관 관계를 근사적으로 나타내는 선형 방정식(y1, y2, y3)을 구할 수 있다. 도 5a 내지 도 5c에서 R<sup>2</sup>은 실험 결과들과 선형 방정식 사이의 근사도를 나타낸다.
- [89] 평탄도 불량률 단계(S110), 및 상관 관계 그래프 획득 단계(S120) 이후에, 사용하고자 하는 에피택셜 반응기에 대한 현재의 Delta ZDD(이하“Delta ZDD2”라 한다)를 획득한다(S130). Delta ZDD2를 획득하는 방법은 Delta ZDD1의 설명이 동일하게 적용될 수 있다.
- [90] 예컨대, 보유하고 있는 N개의 에피택셜 반응기들 중에서 현재 사용을 원하는 에피택셜 반응기를 이용하여 제1 성장 조건으로 적어도 하나의 샘플 기재 기판에 에피택셜층을 성장시켜 적어도 하나의 샘플 에피택셜 웨이퍼를 생산하고, 생산된 적어도 하나의 샘플 에피택셜 웨이퍼의 Delta ZDD를 Delta ZDD2로 할 수 있다.
- [91] 예컨대, 현재 사용을 원하는 제1 에피택셜 반응기를 이용하여 제1 성장 조건으로 복수 개(예컨대, 5개)의 샘플 기재 기판들에 에피택셜층을 성장시켜 복수 개의 샘플 에피택셜 웨이퍼들을 생산하고, 복수 개의 샘플 에피택셜 웨이퍼들의 Delta ZDD를 획득하고, 획득된 복수 개의 샘플 에피택셜 웨이퍼들의 Delta ZDD의 평균을 Delta ZDD2로 할 수 있다.
- [92] 여기서 제1 성장 조건은 상관 관계 그래프 획득 단계에서의 성장 조건의 항목과 일치할 수 있다. 예컨대, 제1 성장 조건과 상관 관계 그래프 획득 단계에서의 성장 조건은 도 5a 내지 도 5c에서 설명한 TCS의 유량, H<sub>2</sub> 가스의 유량, 또는 성장

온도를 포함할 수 있다. 실시 예에서는 3개의 제1 성장 조건을 예시하지만, 이에 한정되는 것은 아니다. 예컨대, 에피텍셀 웨이퍼의 Delta ZDD와 선형적인 상관 관계를 갖는 다른 성장 조건도 제1 에피텍셀 반응기의 제1 성장 조건에 포함될 수 있다.

- [93] 다음으로 Delta ZDD2와 도 4에 도시된 평탄도 불량률 그래프에 기초하여, Delta ZDD2에 대한 보정값을 산출한다(S140).
- [94] 도 6은 도 1의 보정값 산출 단계(S140)의 일 실시 예를 나타낸다.
- [95] 도 6을 참조하면, 보정값 산출 단계(S140)는 타겟용 구간 설정 단계(S410), 및 보정값 산출 단계(S420)를 포함할 수 있다.
- [96] 도 4에 도시된 평탄도 불량률 그래프의 불량률에 기초하여, Delta ZDD의 타겟용 구간을 설정할 수 있다(S410).
- [97] 예컨대, Delta ZDD의 타겟용 구간은 평탄도 불량률 그래프에서 테스트용 기재 기판들의 ESFQD의 전 범위(예컨대, -75 ~ 25)에 대하여 평탄도 불량률이 기설정된 기준 값보다 작은 구간일 수 있다. 여기서 기설정된 기준 값은 0.1% ~ 15%일 수 있다.
- [98] 예컨대, 도 4에서, 기재 기판들의 ESFQD의 전 범위에 대하여 기설정된 기준 값을 0.1% ~ 15%로 설정하면, Delta ZDD의 타겟용 구간에는 제3, 제8, 제13, 및 제18 영역들(3,8,13,18)이 포함될 수 있고, Delta ZDD의 타겟용 구간의 Delta ZDD는 0 ~ -5nm일 수 있다. Delta ZDD가 0 ~ -5nm인 구간에서는 기재 기판들의 ESFQD의 전 범위에 대하여 평탄도 불량률이 4% 미만이다.
- [99] 다른 실시 예에서 Delta ZDD의 타겟용 구간은 기재 기판들의 ESFQD도 함께 고려하여 설정될 수 있다. 예컨대, 제1 에피텍셀 반응기에 투입되는 기재 기판들의 ESFQD의 범위가 0nm ~ -50nm으로 제한적이라면, 기설정된 기준 값에 따라 Delta ZDD의 타겟용 구간을 설정할 수 있다. 예컨대, 기설정된 기준 값을 0.5%로 하면, Delta ZDD의 타겟용 구간은 영역들(8, 13)이 포함될 수 있다.
- [100] 다음으로 사용하고자 하는 제1 에피텍셀 반응기에 대한 현재의 샘플 에피텍셀 웨이퍼의 Delta ZDD2와 타겟용 구간에 기초하여, 보정값을 산출한다(S420). 이는 보정값을 이용하여 Delta ZDD2를 보정함으로써, 현재의 Delta ZDD2가 타겟용 구간에 속하도록 하는 것이다.
- [101] 예컨대, 보정값은 타겟용 구간에 속하는 기설정된 타겟값과 Delta ZDD2와의 차이일 수 있다. 여기서 타겟용 구간에 속하는 기설정된 타겟값은 타겟용 구간의 하한치, 상한치, 또는 중간치일 수 있다.
- [102] 예컨대, 타겟용 구간이 0 ~ -5nm이고, Delta ZDD2가 7이고, 기설정된 값이 타겟용 구간의 중간치(예컨대, -2.5)라고 하면, 보정값은 기설정된 타겟값(예컨대, -2.5)에서 Delta ZDD2(예컨대, 7)를 뺀 값(-9.5)일 수 있다.
- [103] 다음으로 보정값 및 상관 관계 그래프에 기초하여, 제1 에피텍셀 반응기의 성장 조건을 조절한다(S150). 제1 에피텍셀 반응기의 현재의 제1 성장 조건을 보정값에 대응하는 성장 조건만큼 변경시킬 수 있다.

- [104] 예컨대, 제1 성장 조건은 제1 에피텍셀 반응기의 제1 성장 조건에서의 Delta ZDD에 보정값을 더한 값에 대응하는 제2 성장 조건으로 조절될 수 있다.
- [105] 예컨대, 보정값이 -9.5이고, 제1 에피텍셀 반응기의 현재 H<sub>2</sub> 가스의 유량이 90 [slm]이라고 가정한다. 도 5a의 선형 방정식( $y_1=0.5111x - 36.817$ )를 참조할 때, 현재 H<sub>2</sub> 가스의 유량(90[slm])에서의 Delta ZDD는 9.182이다.
- [106] 9.182에 보정값(-9.5)을 더하면 -0.318이 되며, H<sub>2</sub> 가스에 대한 선형 방정식에서  $y_1 = -0.318$ 일 때,  $x=72.352$ 이다. 따라서 보정을 위하여 제1 에피텍셀 반응기의 H<sub>2</sub> 가스의 유량은 90[slm]에서 72.352[slm]으로 조절될 수 있다.
- [107] 예컨대, 보정값이 -9.5이고, 제1 에피텍셀 반응기의 현재 온도가 1130°C라고 가정한다. 도 5b의 선형 방정식( $y_2=0.6308x - 700.71$ )를 참조할 때, 현재 온도(1130°C)에서의 Delta ZDD는 12.094이고, 보정을 위하여 제1 에피텍셀 반응기의 온도는 1130°C에서 약 1123°C로 조절될 수 있다.
- [108] 또한 TCS 가스의 유량에 대해서도 도 5c의 그래프를 이용하여, 보정을 위하여 제1 에피텍셀 반응기의 TCS 유량이 조절될 수 있다.
- [109] 마지막으로 성장 조건 조절 단계(S150) 이후에, 제1 에피텍셀 반응기에서 조절된 성장 조건으로 에피텍셀 웨이퍼를 생산한다(S160). 조절된 성장 조건으로 제1 에피텍셀 반응기에서 에피텍셀 웨이퍼를 생산하게 되면, 도 4에 도시된 바와 같이 기재 기판이 어떤 ESFQD 값을 갖는가에 상관없이 불량률이 관리하고자 하는 범위 내에 들어올 확률이 높으며, 이로 인하여 불량률이 적게 나오도록 공정 관리를 할 수 있다.
- [110] 즉 ZDD는 기재 기판의 평탄도 수준에 따라서 그 값이 달라지지만, Delta ZDD는 기재 기판의 평탄도 수준에 상관없이 일정하게 유지되는 특성을 가질 수 있으며, 실시 예는 Delta ZDD의 관리 범위를 불량률이 가장 적은 구간으로 설정함으로써, 실시 예는 기재 기판의 형상, 또는 평탄도 수준에 상관없이 불량률이 적게 나오도록 공정 관리를 할 수 있다.
- [111] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시 예에 포함되며, 반드시 하나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

### 산업상 이용가능성

- [112] 실시 예는 기재 기판의 형상, 또는 평탄도 수준에 상관없이 불량률이 적게 나오도록 공정 관리를 할 수 있는 에피텍셀 웨이퍼의 평탄도 제어 방법에 이용될 수 있다.

## 청구범위

- [청구항 1]     보유한 에피텍셀 반응기들에 의하여 생산된 에피텍셀 웨이퍼들의 평탄도 불량률 그래프를 획득하는 단계;  
                   에피텍셀층의 성장 조건과 상관 관계용 에피텍셀 웨이퍼의 Delta ZDD(Delta Z-axis Double Derivative)의 상관 관계 그래프를 획득하는 단계;  
                   상기 보유한 에피텍셀 반응기들 중의 제1 에피텍셀 반응기에 의하여 제1 성장 조건으로 생산된 적어도 하나의 샘플 에피텍셀 웨이퍼의 Delta ZDD를 획득하는 단계; 및  
                   상기 상관 관계 그래프에 기초하여, 상기 제1 성장 조건을 조절하는 단계를 포함하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 2]     제1항에 있어서,  
                   상기 적어도 하나의 샘플 에피텍셀 웨이퍼의 Delta ZDD 및 상기 평탄도 불량률 그래프에 기초하여 보정값을 산출하는 단계를 더 포함하며,  
                   상기 보정값 및 상기 상관 관계 그래프에 기초하여, 상기 제1 성장 조건을 조절하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 3]     제2항에 있어서, 상기 평탄도 불량률 그래프를 획득하는 단계는,  
                   기재 기판들의 ESFQD(Edge sector Site Frontside reference Q(Site least square plane) Derivation), 및 ZDD(Z-axis Double Derivative)를 획득하는 단계;  
                   상기 기재 기판들을 기반으로 하는 에피텍셀 웨이퍼들의 Delta ZDD 및 ESFQR(Edge sector Site Frontside reference Q(Site least square plane) Range)을 획득하는 단계;  
                   상기 에피텍셀 웨이퍼들의 ESFQR에 기초하여, 상기 에피텍셀 웨이퍼들의 평탄도에 대한 불량률을 판단하는 단계; 및  
                   상기 기재 기판들의 ESFQD 및 상기 에피텍셀 웨이퍼들의 Delta ZDD에 기초하여, 상기 에피텍셀 웨이퍼의 평탄도 불량률 그래프를 획득하는 단계를 포함하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 4]     제3항에 있어서, 상기 에피텍셀 웨이퍼들의 Delta ZDD 및 ESFQR을 획득하는 단계는,  
                   상기 에피텍셀 웨이퍼들의 ZDD 및 ESFQR을 획득하는 단계; 및  
                   상기 기재 기판들의 ZDD와 상기 에피텍셀 웨이퍼들의 ZDD의 차이를 이용하여, 상기 에피텍셀 웨이퍼들 각각에 대한 Delta ZDD를 획득하는 단계를 포함하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 5]     제1항에 있어서, 상기 보정값을 산출하는 단계는,  
                   상기 평탄도 불량률 그래프의 불량률에 기초하여, 타겟용 구간을 설정하는 단계; 및  
                   상기 적어도 하나의 샘플 에피텍셀 웨이퍼의 Delta ZDD 및 상기 타겟용

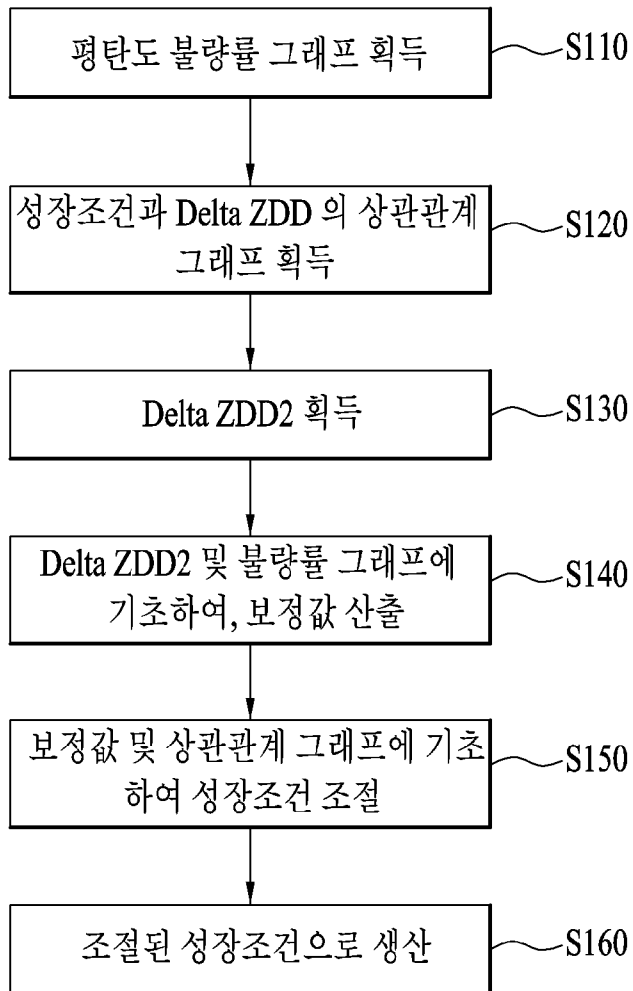
- 구간에 기초하여, 상기 보정값을 산출하는 단계를 포함하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 6] 제3항에 있어서, 상기 에피텍셀 웨이퍼들의 평탄도에 대한 불량을 판단하는 단계는, 상기 에피텍셀 웨이퍼들의 ESFQR과 기설정된 기준 값과 비교한 결과에 기초하여, 상기 에피텍셀 웨이퍼들의 평탄도에 대한 불량을 판단하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 7] 제6항에 있어서, 상기 기설정된 기준 값은 100nm ~ 120nm인 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 8] 제3항에 있어서, 상기 에피텍셀 웨이퍼의 평탄도 불량을 그래프의 X축은 상기 기재 기판들의 ESFQD을 나타내고, Y축은 상기 에피텍셀 웨이퍼들의 Delta ZDD를 나타내고, 상기 기재 기판들의 ESFQD 및 상기 에피텍셀 웨이퍼들의 Delta ZDD에 기초하여, 상기 에피텍셀 웨이퍼들의 불량은 복수의 영역들로 구분되는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 9] 제1항에 있어서, 상기 상관 관계 그래프를 획득하는 단계는, 서로 다른 성장 조건들에서 생산된 상관 관계용 에피텍셀 웨이퍼들의 Delta ZDD를 획득하고, 상기 성장 조건들과 상기 획득된 상관 관계용 에피텍셀 웨이퍼들의 Delta ZDD를 이용하여 상기 상관 관계 그래프를 획득하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 10] 제9항에 있어서, 상기 상관 관계 그래프를 획득하는 단계에서의 성장 조건 및 상기 제1 성장 조건은 H<sub>2</sub> 가스의 유량, TCS의 유량, 또는 성장 온도인 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 11] 제5항에 있어서, 상기 타겟용 구간을 설정하는 단계는, 상기 기재 기판들의 ESFQD의 전 범위에 대하여 평탄도 불량률이 기설정된 기준 값보다 작은 구간인 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 12] 제11항에 있어서, 상기 기설정된 기준 값은 0.1% ~ 15%인 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 13] 제5항에 있어서, 상기 보정값은 상기 타겟용 구간에 속하는 기설정된 타겟값과 상기 적어도 하나의 샘플 에피텍셀 웨이퍼의 Delta ZDD의 차이인 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 14] 제13항에 있어서, 상기 기설정된 타겟값은 상기 타겟용 구간의 하한치, 상한치, 또는

- 중간치인 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 15] 제1항에 있어서, 상기 제1 성장 조건을 조절하는 단계는, 상기 제1 에피텍셀 반응기의 제1 성장 조건에서의 Delta ZDD에 상기 보정값을 더한 값에 대응하는 제2 성장 조건으로 상기 제1 성장 조건을 조절하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 16] 제1 기재 기판들의 ESFQD(Edge sector Site Frontside reference Q(Site least square plane) Derivation) 및 제1 ZDD(Z-axis Double Derivative)를 획득하는 단계;  
 상기 제1 기재 기판들을 기반으로 하는 제1 에피텍셀 웨이퍼들의 ESFQR 및 제2 ZDD를 획득하는 단계;  
 상기 제1 에피텍셀 웨이퍼들의 제1 Delta ZDD를 획득하는 단계;  
 상기 제1 에피텍셀 웨이퍼들의 ESFQR에 기초하여 상기 제1 에피텍셀 웨이퍼들의 평탄도 불량을 판단하고, 평탄도 불량률 그래프를 획득하는 단계;  
 제2 에피텍셀 웨이퍼의 에피텍셀층 성장 조건과 상기 제2 에피텍셀 웨이퍼의 Delta ZDD의 상관 관계 그래프를 획득하는 단계;  
 제1 성장 조건으로 생산된 적어도 하나의 제3 에피텍셀 웨이퍼의 제2 Delta ZDD를 획득하는 단계;  
 상기 제2 Delta ZDD 및 상기 평탄도 불량률 그래프에 기초하여 보정값을 산출하는 단계; 및  
 상기 보정값 및 상기 상관 관계 그래프에 기초하여, 상기 제1 성장 조건을 제2 성장 조건으로 조절하는 단계를 포함하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 17] 제16항에 있어서,  
 상기 제2 성장 조건으로 에피텍셀 웨이퍼를 생산하는 단계를 더 포함하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 18] 제16항에 있어서, 상기 상관 관계 그래프를 획득하는 단계는, 동일 성장 조건 항목의 서로 다른 성장 조건들에서 제2 기재 기판들에 에피텍셀층을 성장시켜 상기 제2 에피텍셀 웨이퍼들을 생산하는 단계;  
 상기 생산된 제2 에피텍셀 웨이퍼들의 Delta ZDD를 획득하는 단계;  
 상기 서로 다른 성장 조건들과 상기 제2 에피텍셀 웨이퍼들의 Delta ZDD를 이용하여 상기 상관 관계 그래프를 획득하는 단계를 포함하는 에피텍셀 웨이퍼의 평탄도를 조절하는 방법.
- [청구항 19] 제16항에 있어서, 상기 제2 Delta ZDD를 획득하는 단계는,  
 상기 제1 성장 조건으로 복수 개의 제3 기재 기판들에 에피텍셀층을 성장시켜 복수 개의 제3 에피텍셀 웨이퍼들을 생산하는 단계; 및  
 상기 복수 개의 제3 에피텍셀 웨이퍼들의 Delta ZDD를 획득하고, 획득된 상기 복수 개의 제3 에피텍셀 웨이퍼들의 Delta ZDD의 평균을 상기 제2

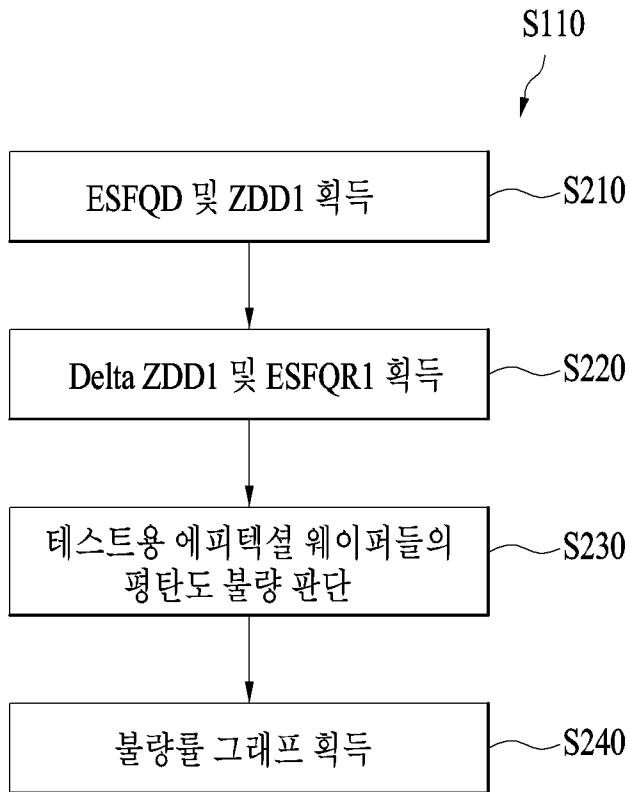
Delta ZDD로 설정하는 단계를 포함하는 에피텍셜 웨이퍼의 평탄도를 조절하는 방법.

- [청구항 20] 제16항에 있어서, 상기 보정값을 산출하는 단계는, 상기 평탄도 불량률 그래프에서 평탄도 불량률이 기설정된 기준 값보다 작은 타겟용 구간을 설정하는 단계; 및 상기 제2 Delta ZDD가 상기 타겟용 구간에 속하도록 상기 보정값을 산출하는 단계를 포함하는 에피텍셜 웨이퍼의 평탄도를 조절하는 방법.

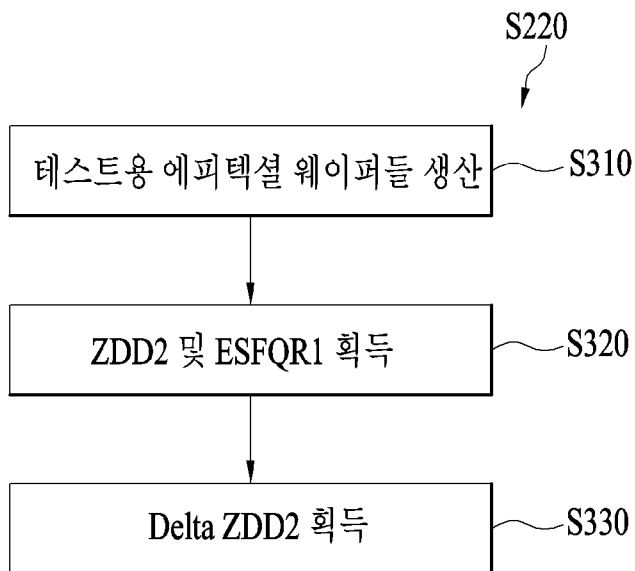
[도1]



[도2]

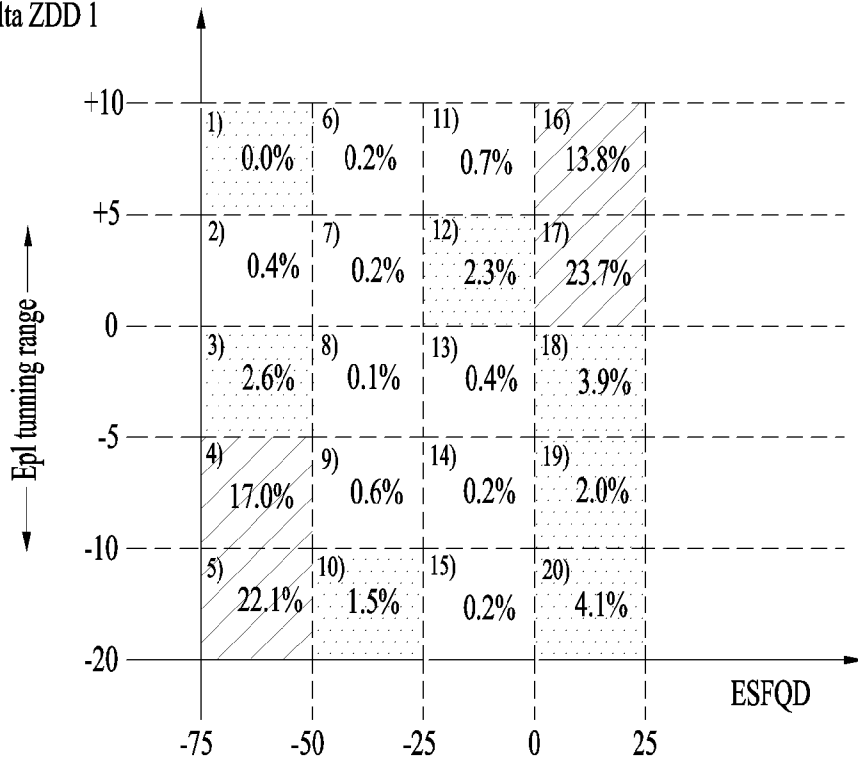


[도3]

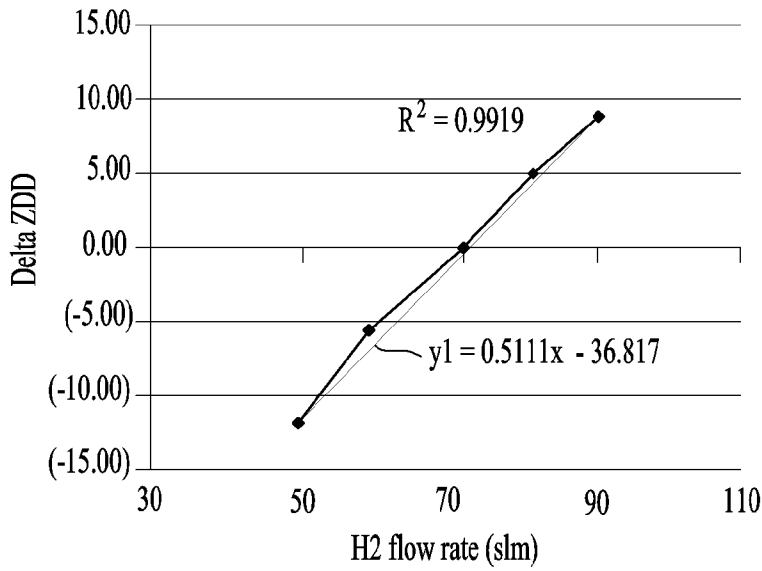


[도4]

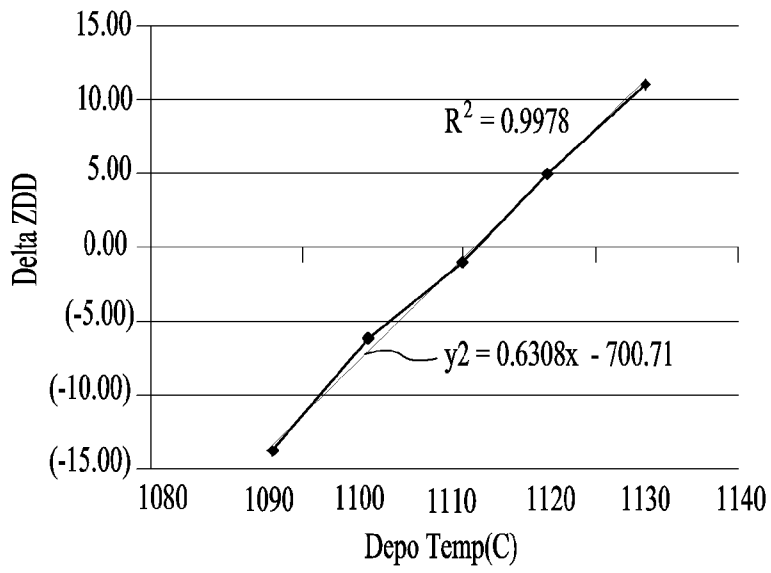
Delta ZDD 1



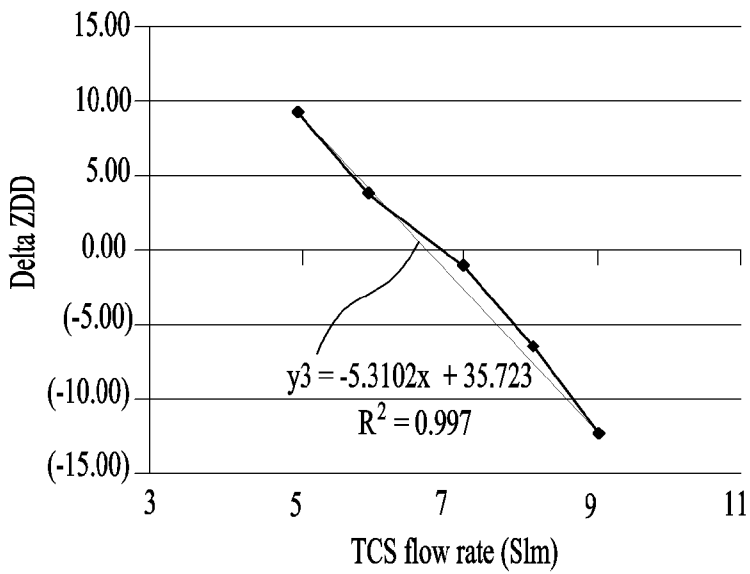
[도5a]



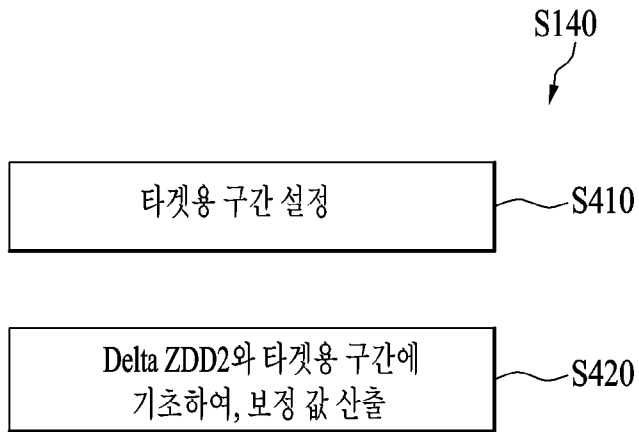
[도5b]



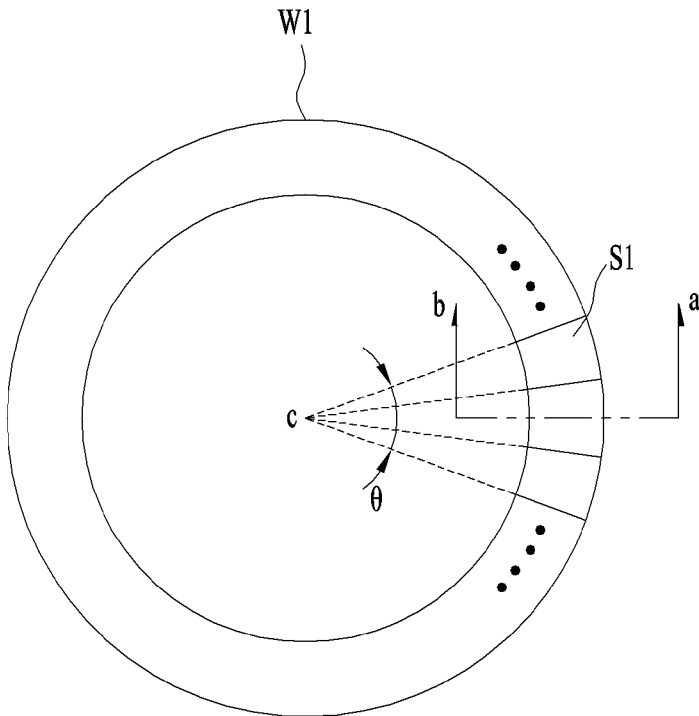
[도5c]



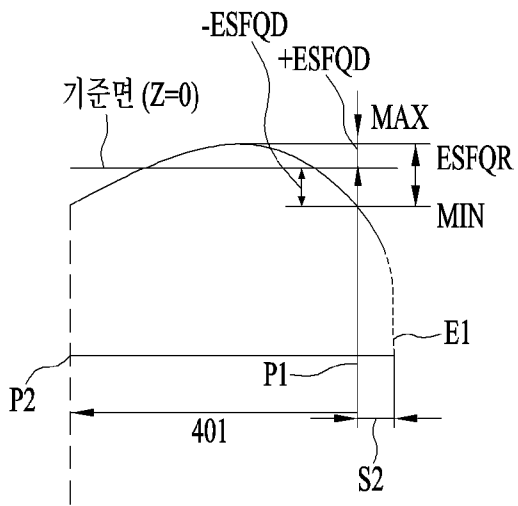
[도6]



[도7a]



[도 7b]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/000724

## A. CLASSIFICATION OF SUBJECT MATTER

*H01L 21/66(2006.01)i, H01L 21/321(2006.01)i, H01L 21/02(2006.01)i, H01L 21/304(2006.01)i*

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 21/66; H01L 21/304; C30B 25/18; H01L 21/20; H01L 21/205; C30B 25/16; C30B 29/06; H01L 21/321; H01L 21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Korean Utility models and applications for Utility models: IPC as above  
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) &amp; Keywords: epitaxial, flatness, defect rate, ZDD

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2010-0121837 A (SILTRON INCORPORATED) 19 November 2010 See paragraphs [0017]-[0033] and figures 1-7.	1-20
A	KR 10-0830997 B1 (SILTRON INCORPORATED) 20 May 2008 See paragraphs [0028]-[0055] and figures 1-7b.	1-20
A	JP 2009-267159 A (SUMCO TECHXIV CORP.) 12 November 2009 See paragraphs [0020]-[0065] and figures 1-11.	1-20
A	JP 2001-302395 A (SUMITOMO METAL IND. LTD.) 31 October 2001 See paragraphs [0011]-[0024] and figures 1-2.	1-20
A	JP 2002-043230 A (MITSUBISHI MATERIALS SILICON CORP.) 08 February 2002 See paragraphs [0015]-[0025] and figures 1-4.	1-20

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

27 APRIL 2017 (27.04.2017)

Date of mailing of the international search report

28 APRIL 2017 (28.04.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office  
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,  
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/KR2017/000724**

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2010-0121837 A	19/11/2010	NONE	
KR 10-0830997 B1	20/05/2008	NONE	
JP 2009-267159 A	12/11/2009	TW 201001589 A TW 1384541 B US 2009-0269861 A1 US 8196545 B2	01/01/2010 01/02/2013 29/10/2009 12/06/2012
JP 2001-302395 A	31/10/2001	NONE	
JP 2002-043230 A	08/02/2002	JP 3897963 B2	28/03/2007

**A. 발명이 속하는 기술분류(국제특허분류(IPC))**  
H01L 21/66(2006.01)i, H01L 21/321(2006.01)i, H01L 21/02(2006.01)i, H01L 21/304(2006.01)i

**B. 조사된 분야**  
조사된 최소문헌(국제특허분류를 기재)  
H01L 21/66; H01L 21/304; C30B 25/18; H01L 21/20; H01L 21/205; C30B 25/16; C30B 29/06; H01L 21/321; H01L 21/02

조사된 기술분야에 속하는 최소문헌 이외의 문헌  
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC  
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))  
eKOMPASS(특허청 내부 검색시스템) & 키워드: 에피택셜, 평탄도, 불량률, ZDD

**C. 관련 문헌**

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2010-0121837 A (주식회사 실트론) 2010.11.19 단락 [0017]-[0033] 및 도면 1-7 참조.	1-20
A	KR 10-0830997 B1 (주식회사 실트론) 2008.05.20 단락 [0028]-[0055] 및 도면 1-7b 참조.	1-20
A	JP 2009-267159 A (SUMCO TECHXIV CORP.) 2009.11.12 단락 [0020]-[0065] 및 도면 1-11 참조.	1-20
A	JP 2001-302395 A (SUMITOMO METAL IND LTD.) 2001.10.31 단락 [0011]-[0024] 및 도면 1-2 참조.	1-20
A	JP 2002-043230 A (MITSUBISHI MATERIALS SILICON CORP.) 2002.02.08 단락 [0015]-[0025] 및 도면 1-4 참조.	1-20

추가 문헌이 C(계속)에 기재되어 있습니다.  대응특허에 관한 별지를 참조하십시오.

\* 인용된 문헌의 특별 카테고리:  
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌  
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌  
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌  
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌  
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌  
 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌  
 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.  
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.  
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일 2017년 04월 27일 (27.04.2017)	국제조사보고서 발송일 2017년 04월 28일 (28.04.2017)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 최상원 전화번호 +82-42-481-8291
---	------------------------------------

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2010-0121837 A	2010/11/19	없음	
KR 10-0830997 B1	2008/05/20	없음	
JP 2009-267159 A	2009/11/12	TW 201001589 A TW I384541 B US 2009-0269861 A1 US 8196545 B2	2010/01/01 2013/02/01 2009/10/29 2012/06/12
JP 2001-302395 A	2001/10/31	없음	
JP 2002-043230 A	2002/02/08	JP 3897963 B2	2007/03/28