



(12) 发明专利

(10) 授权公告号 CN 101127244 B

(45) 授权公告日 2010.09.22

(21) 申请号 200710135773.0

KR 20030091274 A, 2003.12.03, 全文.

(22) 申请日 2007.08.16

US 6831294 B1, 2004.12.14, 说明书第 22、25 - 26 栏, 附图 10、12、18.

(30) 优先权数据

2006-221774 2006.08.16 JP

JP 8316427 A, 1996.11.29, 全文.

审查员 于春晖

(73) 专利权人 富士通半导体股份有限公司

地址 日本神奈川县

(72) 发明人 富田浩由

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 赵淑萍

(51) Int. Cl.

G11C 29/24 (2006.01)

G11C 29/44 (2006.01)

G11C 17/18 (2006.01)

(56) 对比文件

US 5821771 A, 1998.10.13, 说明书第 2 栏 65 行至第 6 栏 51 行, 附图 1A、1B、2.

JP 9017964 A, 1997.01.17, 全文.

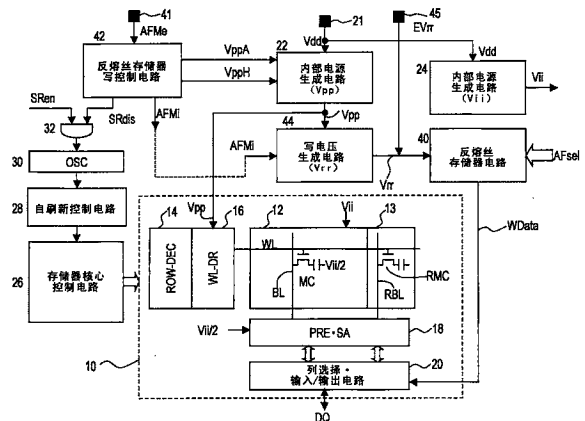
权利要求书 3 页 说明书 12 页 附图 14 页

(54) 发明名称

包含反熔丝写电压生成电路的半导体存储器装置

(57) 摘要

一种包含反熔丝写电压生成电路的半导体存储器装置, 其能够减小反熔丝写电压生成电路的电路规模。该半导体存储器装置具有用于对外部电源电压升压以生成第一内部电源的第一内部电源生成电路、被提供了第一内部电源的存储器核心、用于写预定信息的反熔丝存储器, 以及对第一内部电源升压以生成反熔丝写电压的写电压生成电路。



1. 一种被施加外部电源电压的半导体存储器装置,包括:

第一内部电源生成电路,所述第一内部电源生成电路对所述外部电源电压升压,以生成第一内部电源;

存储器核心,所述第一内部电源被提供到所述存储器核心;

反熔丝存储器,预定信息被写入其中;以及

写电压生成电路,所述写电压生成电路对所述第一内部电源升压,以生成反熔丝写电压,其中

通过对反熔丝存储器的反熔丝施加所述反熔丝写电压,对所述反熔丝存储器的反熔丝的写入被执行,

其中,当所述半导体存储器装置处于激活状态时,所述第一内部电源生成电路将所述第一内部电源升压到第一电位,并且

所述半导体存储器装置还包括反熔丝写控制电路,所述反熔丝写控制电路用于控制所述第一内部电源生成电路,以使得在反熔丝写入期间,所述第一内部电源升高到比所述第一电位高的第二电位。

2. 根据权利要求 1 所述的半导体存储器装置,其中:

所述第一内部电源被用作所述存储器核心中的字线驱动电源,并且

所述半导体存储器装置还包括自刷新控制电路,当电力接通时,所述自刷新控制电路在预定的周期,相继执行存储单元的刷新操作;并且其中

所述反熔丝写控制电路执行控制,以使得在反熔丝写入期间禁止所述自刷新控制电路的刷新操作。

3. 根据权利要求 1 所述的半导体存储器装置,其中:

所述第一内部电源生成电路具有振荡器、通过由所述振荡器生成的时钟将所述第一内部电源升压到所述反熔丝写电压的泵浦电路、以及限幅器电路,所述限幅器电路监测所述第一内部电源的电位,如果所述被监测的电位变得比预定参考值低,则将所述振荡器设置成操作状态,并且当所述被监测的电位超过所述参考值时,将所述振荡器设置成失效状态,其中,

当所述半导体存储器装置处于反熔丝写状态时,所述限幅器电路的所述预定参考值的有效电平设置得要比当所述半导体存储器装置处于激活状态时的高。

4. 一种被施加外部电源电压的半导体存储器装置,包括:

第一内部电源生成电路,所述第一内部电源生成电路对所述外部电源电压升压,以生成第一内部电源;

存储器核心,所述第一内部电源被提供到所述存储器核心;

反熔丝存储器,预定信息被写入其中;以及

写电压生成电路,所述写电压生成电路对所述第一内部电源升压,以生成反熔丝写电压,其中

通过反熔丝存储器的反熔丝施加所述反熔丝写电压,对所述反熔丝存储器的反熔丝的写入被执行,

所述半导体存储器装置还包括:

被施加比所述第一内部电源电平高的外部反熔丝写电压的高电压外部端子,其中

在晶片检测中,所述写电压生成电路的输出被设置成高阻抗状态,所述外部反熔丝写电压从所述高电压外部端子被施加,以在所述反熔丝存储器中执行写入,并且,在组装后的封装检测中,由所述写电压生成电路生成的反熔丝写高电压被施加,以在所述反熔丝存储器中执行写入。

5. 一种被施加外部电源电压的半导体存储器装置,包括:

第一内部电源生成电路,所述第一内部电源生成电路对所述外部电源电压升压,以生成第一内部电源;

存储器核心,所述第一内部电源被提供到所述存储器核心;

反熔丝存储器,预定信息被写入其中;以及

写电压生成电路,所述写电压生成电路对所述第一内部电源升压,以生成反熔丝写电压,其中

通过反熔丝存储器的反熔丝施加所述反熔丝写电压,对所述反熔丝存储器的反熔丝的写入被执行,

所述半导体存储器装置还包括:

第二内部电源生成电路,所述第二内部电源生成电路从所述外部电源电压生成具有恒定电平的所述第二内部电源,所述第二内部电源被提供到所述存储器核心;并且

所述第一内部电源具有比所述第二内部电源高的电平。

6. 根据权利要求 1、4、5 中任意一个所述的半导体存储器装置,其中:

当所述半导体存储器装置处于待机状态时,所述第一内部电源生成电路被控制成慢速模式,在所述慢速模式中,使得要被升压的第一内部电源电平跟随所希望的电平的响应操作的速度被降低,并且,当所述半导体存储器装置处于激活状态时,所述第一内部电源生成电路被控制成快速模式,在所述快速模式中,所述响应操作的速度被增加,并且

所述半导体存储器装置还包括反熔丝写控制电路,所述反熔丝写控制电路用于在反熔丝写入期间,将所述第一内部电源生成电路控制成慢速模式。

7. 根据权利要求 6 所述的半导体存储器装置,其中:

所述第一内部电源生成电路具有振荡器、通过由所述振荡器生成的时钟将所述第一内部电源升压到所述反熔丝写电压的泵浦电路、以及限幅器电路,所述限幅器电路监测所述第一内部电源的电位,如果所述被监测的电位变得比预定参考值低,则将所述振荡器设置成操作状态,并且当所述被监测的电位超过所述参考值时,将所述振荡器设置成失效状态,其中,

在所述慢速模式中,所述限幅器电路的响应速度被降低,并且在所述快速模式中,所述限幅器电路的响应速度被增加得快于所述慢速模式。

8. 根据权利要求 1、4、5 中任意一个所述的半导体存储器装置,其中,所述反熔丝存储器的反熔丝是由将 MOS 晶体管的源极和漏极短路的第一端子以及栅极的第二端子组成的,并且所述写入是通过在所述第一端子和所述第二端子之间施加写电压来执行的。

9. 根据权利要求 8 所述的半导体存储器装置,其中,在所述反熔丝写入之后,所述第一内部电源电压被施加在所述第一端子和所述第二端子之间,并且写入状态被读出。

10. 一种被施加外部电源电压的半导体存储器装置,包括:

第一内部电源生成电路,所述第一内部电源生成电路对所述外部电源电压升压,以生

成第一内部电源；

第二内部电源生成电路，所述第二内部电源生成电路从所述外部电源电压生成比所述第一内部电源低的第二内部电源；

存储器核心，所述存储器核心具有存储器阵列，在所述存储器阵列中，字线由所述第一内部电源驱动，并且所述第二内部电源被连接到存储单元的电容器上；

反熔丝存储器，位于所述存储器阵列中的缺陷位修正信息被写在所述反熔丝存储器中；以及

写电压生成电路，所述写电压生成电路对所述第一内部电源升压，以生成反熔丝写电压，其中

所述反熔丝写电压被施加到所述反熔丝存储器的反熔丝上，以执行对其的写入，

所述半导体存储器装置还包括：

反熔丝写控制电路，所述反熔丝写控制电路响应于反熔丝写模式信号而启动所述写电压生成电路；并且

在晶片检测中，所述反熔丝写入是通过使用从外部端子提供的外部写电压而执行的，并且，在封装检测中，所述反熔丝写控制电路启动所述写电压生成电路，并且所述反熔丝写入是通过使用所述生成的内部写电压来执行的。

11. 根据权利要求 10 所述的半导体存储器装置，其中：

当所述半导体存储器装置处于待机状态时，所述第一内部电源生成电路被控制成慢速模式，在所述慢速模式中，使得将被升压的第一内部电源电平跟随所希望的电平的响应操作的速度被降低，并且，当所述半导体存储器装置处于激活状态时，所述第一内部电源生成电路被控制成快速模式，在所述快速模式中，所述响应操作的速度被增加，并且

在所述反熔丝写入期间，所述反熔丝写控制电路将所述第一内部电源生成电路控制成所述快速模式。

12. 根据权利要求 10 所述的半导体存储器装置，其中：

当所述半导体存储器装置处于激活状态时，所述第一电源生成电路将所述第一内部电源升压到第一电位，以及

所述反熔丝写控制电路控制所述第一内部电源生成电路，使得在所述反熔丝写入期间，所述第一内部电源升高到比所述第一电位高的第二电位。

13. 根据权利要求 12 所述的半导体存储器装置，还包括：

自刷新控制电路，当电力接通时，所述自刷新控制电路在预定的周期，相继执行存储单元的刷新操作；并且

所述反熔丝写控制电路执行控制，以使得在反熔丝写入期间禁止所述自刷新电路的刷新操作。

包含反熔丝写电压生成电路的半导体存储器装置

技术领域

[0001] 本发明涉及包含反熔丝写电压生成电路的半导体存储器装置,更具体地说,涉及其中反熔丝写电压生成电路的电路规模被减小的半导体存储器装置。

背景技术

[0002] 在大容量半导体存储器,特别是 DRAM 中,冗余存储器用于提高产率,并且出现缺陷位的列或字被冗余存储器替代。此外,在半导体存储器中,在存储器内部生成的高电位的内部电源的电平被精细地调整,或者输出晶体管的阻抗被精细地调整。通过将指示哪些缺陷位将被替代的地址信息写入 ROM 中来执行利用冗余存储器的替代,以及通过将精细调整信息写入 ROM 中来执行电平或者阻抗的精细调整。

[0003] 熔丝 ROM 已经被广泛用于在制造过程的最后阶段进行写信息的 ROM 中。例如,在日本专利申请早期公开 No. 07-287922、日本专利申请早期公开 No. 2004-13930 中对此进行了描述。换句话说,通过使用激光照射熔丝元件以及烧断和切断熔丝元件来写入必要信息。

[0004] 这样的熔丝元件 ROM 具有下述的局限性。这样,需要大规模的激光照射装置,而且仅可在晶片阶段执行熔丝的熔断。

[0005] 因此,近来提出了反熔丝元件 ROM,以替代熔丝 ROM。反熔丝具有与电容器基本等同的结构。在非写状态中,反熔丝的两个端子是开路的,并且,如果执行写操作,则电容器的介电层被短路,并且这两个端子处于短路状态。与熔丝的情形相比,通过使用反熔丝可以减小表面积,使得大的激光照射装置变得不再必要,可以通过内部生成的高电压来进行写操作,因此可以在组装过程之后进行写操作,并且可以提高产量。例如,在日本专利申请早期公开 No. 11-328991 中描述了使用这样的反熔丝的存储器装置。

发明内容

[0006] 反熔丝写操作要求使用相对高的电压。因此,在存储器装置内部必须配置有用于反熔丝写操作的高电压生成电路。因为用于写操作的必要电压高于从外部提供的外部电压的电平,所以高电压生成电路通过由振荡器生成的时钟来驱动泵浦电路,并通过对外部电源升压来生成高电压。

[0007] 然而,因为反熔丝写电压大大高于外部电源,所以必须增加泵浦电路的规模,从集成的角度来看,这是一个缺点。而且,该反熔丝写电压在制造过程中是必要的,但在通常操作中却是不必要的。因此,不希望增大写电压生成电路的电路规模。

[0008] 因此,本发明的一个目的是提供一种其中反熔丝写电压生成电路的电路规模被减小的半导体存储器装置。

[0009] 此外,本发明的另一目的是提供一种其中由高电压生成电路生成的用于反熔丝写操作的电压被稳定的半导体存储器装置。

[0010] 本发明的另一目的是提供一种其中缩短了用于反熔丝写操作的高电压生成电路的升压时间,并避免了与之相关的对内部存储器的影响的半导体存储器装置。

[0011] 为了达到上述目的,根据本发明的第一方面,提供了一种半导体存储器装置,该装置具有:第一内部电源生成电路,用于对外部电源电压升压,以生成第一内部电源;被提供了第一内部电源的存储器核心;反熔丝存储器,预定信息被写入其中;以及写电压生成电路,用于对第一内部电源升压,以生成反熔丝写电压。

[0012] 具有这样的配置,写电压生成电路使用了比用在存储器核心中以生成较高的写电压的外部电源更高的第一内部电源。因此,可以减小写电压生成电路的电路规模。多种类型的信息,例如,将被冗余单元替代的缺陷单元的信息、内部电源生成电路的电平调整的信息,以及输出电路的阻抗调整的信息,被存储在反熔丝存储器中。关于这些种类的信息,不仅在晶片检测的过程中,而且在组装之后的封装检测过程中,执行用于缺陷单元修补的缺陷单元信息的写操作。

[0013] 在第一方面的上述配置的优选实施例中,当存储器处于待机状态时,第一内部电源生成电路被控制成慢速模式,在该慢速模式中,使得将被升压的第一内部电源电平跟随所希望的电平的响应操作的速度被降低,当存储器处于激活状态时,第一内部电源生成电路被控制成快速模式,在该快速模式中,响应操作的速度被增加,并且第一内部电源电平被稳定到所希望的电平,并且在反熔丝写入期间,第一内部电源生成电路被强制地控制成快速模式。结果,在反熔丝写入期间中,第一内部电源电平被稳定,通过对第一内部电源电平升压而生成的写电压也被稳定,并反熔丝写入的可靠性增加。

[0014] 在第一方面的上述配置的另一优选实施例中,当存储器处于激活状态时,控制第一内部电源生成电路,以使得将第一内部电源升压到第一电位,并且在反熔丝写入期间,将第一内部电源升压到比第一电位高的第二电位。结果,升压操作中作为源电压的第一内部电源被设置得高于通常操作。因此,可以在短的时间间隔内将写电压生成电路的电压升压到写电压,并且可以减小电路的规模。

[0015] 在其中第一内部电源被用于核心中的字线驱动电源,并配置有当电力接通时以预定周期执行刷新操作的自刷新控制电路的存储器装置中,执行控制,以使得在反熔丝写入期间禁止自刷新控制电路的操作。即使第一内部电源被升压到较高的第二电位,也可以通过禁止自刷新控制电路的操作,来防止诸如在第二电位处驱动字线以及单元晶体管击穿的负效用。

[0016] 在第一方面的上述配置的另一优选实施例中,高电压外部端子被提供用于施加用于反熔丝写操作的高电压,并且在晶片检测中,写电压生成电路的输出被设置成高阻抗状态,从高电压外部端子施加用于写操作的高电压,并执行反熔丝写操作,并且在组装之后的封装检测中,施加由写电压生成电路生成的用于写操作的高电压,并执行反熔丝写操作。

[0017] 为了达到上述目的,根据本发明的第二方面,提供了一种外部电源电被压施加到其上的半导体存储器装置,具有:第一内部电源生成电路,用于对外部电源电压升压,以生成第一内部电源;存储器核心,第一内部电源被施加到其上;反熔丝存储器,预定信息被写入其中;以及写电压生成电路,用于对第一内部电源升压,以生成反熔丝写电压,其中,通过施加所述反熔丝写电压来执行反熔丝存储器的反熔丝的写操作,并且其中,当半导体存储器装置处于激活状态时,第一内部电源生成电路将第一内部电源升压到第一电位,并且半导体存储器装置还包括反熔丝写控制电路,反熔丝写控制电路用于控制第一内部电源生成电路,以使得在反熔丝写入期间,第一内部电源升高到比第一电位高的第二电位。

[0018] 在根据第二方面的一个实施例中,第一内部电源被用作存储器核心中的字线驱动电源,并且半导体存储器装置还包括自刷新控制电路,当电力接通时,自刷新控制电路在预定的周期,相继执行存储单元的刷新操作;并且其中反熔丝写控制电路执行控制,以使得在反熔丝写入期间禁止自刷新控制电路的刷新操作。

[0019] 在根据第二方面的一个实施例中,第一内部电源生成电路具有振荡器、通过由振荡器生成的时钟将第一内部电源升压到反熔丝写电压的泵浦电路、以及限幅器电路,限幅器电路监测第一内部电源的电位,如果被监测的电位变得比预定参考值低,则将振荡器设置成操作状态,并且当被监测的电位超过参考值时,将振荡器设置成失效状态,其中,当半导体存储器装置处于反熔丝写状态时,限幅器电路的预定参考值的有效电平设置得要比当半导体存储器装置处于激活状态时的高。

[0020] 根据本发明的第三方面,提供了一种被施加外部电源电压的半导体存储器装置,包括:第一内部电源生成电路,第一内部电源生成电路对外部电源电压升压,以生成第一内部电源;存储器核心,第一内部电源被提供到存储器核心;反熔丝存储器,预定信息被写入其中;以及写电压生成电路,写电压生成电路对第一内部电源升压,以生成反熔丝写电压,其中通过反熔丝存储器的反熔丝施加反熔丝写电压,对反熔丝存储器的反熔丝的写入被执行,半导体存储器装置还包括:被施加比第一内部电源电平高的外部反熔丝写电压的高电压外部端子,其中在晶片检测中,写电压生成电路的输出被设置成高阻抗状态,外部反熔丝写电压从高电压外部端子被施加,以在反熔丝存储器中执行写入,并且,在组装后的封装检测中,由写电压生成电路生成的反熔丝写高电压被施加,以在反熔丝存储器中执行写入。

[0021] 根据本发明的第四方面,提供了一种被施加外部电源电压的半导体存储器装置,包括:第一内部电源生成电路,第一内部电源生成电路对外部电源电压升压,以生成第一内部电源;存储器核心,第一内部电源被提供到存储器核心;反熔丝存储器,预定信息被写入其中;以及写电压生成电路,写电压生成电路对第一内部电源升压,以生成反熔丝写电压,其中通过反熔丝存储器的反熔丝施加反熔丝写电压,对反熔丝存储器的反熔丝的写入被执行,半导体存储器装置还包括:第二内部电源生成电路,第二内部电源生成电路从外部电源电压生成具有恒定电平的第二内部电源,第二内部电源被提供到存储器核心;并且第一内部电源具有比第二内部电源高的电平。

[0022] 在根据上述第二至第四方面的一个实施例中,当半导体存储器装置处于待机状态时,第一内部电源生成电路被控制成慢速模式,在慢速模式中,使得要被升压的第一内部电源电平跟随所希望的电平的响应操作的速度被降低,并且,当半导体存储器装置处于激活状态时,第一内部电源生成电路被控制成快速模式,在快速模式中,响应操作的速度被增加,并且半导体存储器装置还包括反熔丝写控制电路,反熔丝写控制电路用于在反熔丝写入期间,将第一内部电源生成电路控制成慢速模式。

[0023] 在进一步的实施例中,第一内部电源生成电路具有振荡器、通过由振荡器生成的时钟将第一内部电源升压到反熔丝写电压的泵浦电路、以及限幅器电路,限幅器电路监测第一内部电源的电位,如果被监测的电位变得比预定参考值低,则将振荡器设置成操作状态,并且当被监测的电位超过参考值时,将振荡器设置成失效状态,其中,在慢速模式中,限幅器电路的响应速度被降低,并且在快速模式中,限幅器电路的响应速度被增加得快于慢速模式。

[0024] 根据上述第二至第四方面的一个实施例,反熔丝存储器的反熔丝是由将 MOS 晶体管的源极和漏极短路的第一端子以及栅极的第二端子组成的,并且写入是通过在第一端子和第二端子之间施加写电压来执行的。

[0025] 在进一步的实施例中,在反熔丝写入之后,第一内部电源电压被施加在第一端子和第二端子之间,并且写入状态被读出。

[0026] 为了达到上述目的,根据本发明的第五方面,提供了一种外部电源电压被施加到其上的半导体存储器装置,该装置具有:第一内部电源生成电路,用于对将外部电源电压升压,以生成第一内部电源;第二内部电源生成电路,其生成低于来自外部电源电压的第一内部电源的第二内部电源;存储器核心,具有存储器阵列,其中,字线由第一内部电源驱动并且第二内部电源被连接到存储单元的电容器上;反熔丝存储器,在其中写入位于存储器阵列中的缺陷位修正信息;以及写电压生成电路,用于对第一内部电源升压,以生成反熔丝写电压,其中,通过施加反熔丝写电压来执行反熔丝存储器的反熔丝的写操作,并且半导体存储器装置还包括:反熔丝写控制电路,反熔丝写控制电路响应于反熔丝写模式信号而启动写电压生成电路;并且在晶片检测中,反熔丝写入是通过使用从外部端子提供的外部写电压而执行的,并且,在封装检测中,反熔丝写控制电路启动写电压生成电路,并且反熔丝写入是通过使用生成的内部写电压来执行的。

[0027] 在根据第五方面的一个实施例中,当半导体存储器装置处于待机状态时,第一内部电源生成电路被控制成慢速模式,在慢速模式中,使得将被升压的第一内部电源电平跟随所希望的电平的响应操作的速度被降低,并且,当半导体存储器装置处于激活状态时,第一内部电源生成电路被控制成快速模式,在快速模式中,响应操作的速度被增加,并且在反熔丝写入期间,反熔丝写控制电路将第一内部电源生成电路控制成快速模式。

[0028] 在根据第五方面的一个实施例中,当半导体存储器装置处于激活状态时,第一电源生成电路将第一内部电源升压到第一电位,以及反熔丝写控制电路控制第一内部电源生成电路,使得在反熔丝写入期间,第一内部电源升高到比第一电位高的第二电位。

[0029] 在进一步的实施例中,半导体存储器装置还包括自刷新控制电路,当电力接通时,自刷新控制电路在预定的周期,相继执行存储单元的刷新操作;并且反熔丝写控制电路执行控制,以使得在反熔丝写入期间禁止自刷新电路的刷新操作。

[0030] 本发明使得能够减小在写入反熔丝存储器的过程中生成将被施加的电压的写电压生成电路的电路规模。

附图说明

[0031] 图 1 是当前实施例的半导体存储器装置的结构图。

[0032] 图 2 示出了当前实施例的半导体存储器装置中的内部电源。

[0033] 图 3A ~ 3B 示出了存储器核心电路和其操作波形。

[0034] 图 4 是当前实施例的反熔丝存储器写控制电路的操作流程图。

[0035] 图 5 是反熔丝写电压生成电路的结构图。

[0036] 图 6 是 V_{rr} 控制电路的电路图。

[0037] 图 7 是反熔丝存储器电路的电路图。

[0038] 图 8 是第一内部电源生成电路的电路图。

- [0039] 图 9 是第一内部电源生成电路的电路图。
- [0040] 图 10 示出了内部电源生成电路 22 的上升电压 V_{pp} 的波形。
- [0041] 图 11A ~ 11B 是示出了当前实施例中禁止刷新操作的结构图。
- [0042] 图 12 示出了内部电源生成电路 22 的上升电压 V_{pp} 的波形。
- [0043] 图 13 是当前实施例中晶片检测和封装检测间的关系的流程图。

具体实施方式

[0044] 下面将参考附图描述本发明的实施例。然而,本发明的技术范围并不限于这些实施例,并且包括权利要求和其等同物所描述的内容。

[0045] 图 1 是当前实施例的半导体存储器装置的结构图。在存储器核心 10 的内部,配置有具有普通存储单元 MC 的普通存储单元阵列 12、具有冗余存储单元 RMC 的冗余存储单元阵列 13、行译码器 14、驱动由行译码器选择的字线 WL 的字线驱动电路 16、对位线 BL 进行预充电并检测读电平的预充电读出放大电路 18,以及选择位线并执行数据输入 / 输出的列选择 - 输入 / 输出电路 20。输入输出电路 20 被连接到数据输入输出端 DQ。此外,存储单元阵列 12、13 具有多个字线 WL 和多个位线 BL,并且由一个晶体管和一个电容器组成的存储单元 MC、RMC 被提供在字线和位线的交叉部分。

[0046] 此外,为了操作存储器核心 10,存储器装置还具有通过对外部电源电压 V_{dd} 升压来生成第一内部电源 V_{pp} 的第一内部电源生成电路 22,以及从外部电源 V_{dd} 生成稳定的第二内部电源 V_{ii} 的第二内部电源生成电路 24。如下所述,如果一个字线 WL 被选择,则它被第一内部电源 V_{pp} 驱动。此外,存储单元的电容器的相对的电极被连接到第二内部电源 V_{ii} 的中间电位 $V_{ii}/2$ 。预充电电路 18 将位线 BL 预充电到 $V_{ii}/2$ 电平。

[0047] 存储器核心控制电路 26 控制存储器核心 10 的诸如读和写之类的操作。此外,自刷新控制电路 28 响应于由振荡器 30 生成的具有预定周期的触发信号,经由存储器核心控制电路 26,顺序地控制包括字线驱动、读出放大器激活、以及重写的刷新操作。通常,当外部电源 V_{dd} 被启动时,自刷新启动信号 S_{Ren} 采用激活电平,并启动振荡器 30,并且刷新操作按照预定周期重复。

[0048] 图 2 示出了当前实施例的半导体存储器装置中的内部电源。在图中,横坐标标示时间,纵坐标标示电压。当电源被启动时,外部电源 V_{dd} 随着时间上升。图 1 中所示的第一内部电源生成电路 22 对外部电源 V_{dd} 升压,并生成第一内部电源 V_{pp} ,并且第二内部电源生成电路 24 从外部电源 V_{dd} 生成内部电源 V_{ii} 。虚线之间的范围 25 是标准所允许的外部电源 V_{dd} ,并且第一和第二内部电源 V_{pp} 、 V_{ii} 的电位必须恒定在该范围内。

[0049] 图 3A ~ 3B 示出存储器核心电路以及其操作波形。结合图 3B 中所示的操作波形来说明存储器的操作。首先,预充电电路 PRE 将位线 BL、/BL 预充电到预充电电平 $V_{ii}/2$ 。在此预充电状态中,字驱动器 16 驱动字线 WL,以将其升压到第一内部电源 V_{pp} 。结果,导致存储单元 MC 的晶体管导通,并且电容器的电荷流出到位线 BL。该图示出了 H 电平被存储在存储单元 MC 中的状态;通过存储单元晶体管的导通状态,位线 BL 的电位被轻微增加。因此,如果读出放大器 SA 被激活,则 H 侧的位线 BL 被驱动到第二内部电源 V_{ii} ,参考侧的位线 /BL 被拉低到地电位 V_{ss} 。此外,通过再次将字线 WL 降低到地电位 V_{ss} ,位线 BL 的 H 电平状态被存储到单元 MC 的电容器中。

[0050] 这样,为了将被写入存储单元MC的电容器中的H侧的写电平设置成内部电源 V_{ii} ,并为了在读过程中将写电平 V_{ii} 充分输出到位线BL,字线WL被驱动到第一内部电源 V_{pp} 的高电平。换句话说,驱动字线的第一内部电源 V_{pp} 被设置得高于作为单元内的电源的第二内部电源 V_{ii} 。

[0051] 返回图1,在当前的实施例中,半导体存储器具有有多个反熔丝的反熔丝存储器电路40。要通过使用冗余存储单元来修正的有缺陷存储单元的地址信息被写入到反熔丝存储器电路40中。另外,用于精细调整由内部电源生成电路22、24生成的内部电源电平的设置信息,以及用于精细调整输入/输出电路20的阻抗的设置信息,也可以存储到反熔丝存储器电路40中。

[0052] 反熔丝基本上具有两个端子处于开路状态的电容器结构,但是,当在两个端子之间施加高电压时,电容器的介电层被击穿,从而两个端子被短路。由内部写电压生成电路44生成被施加用于使反熔丝短路的写电压 V_{rr} 。写电压 V_{rr} 必须具有例如从几伏特到大约十伏特和十几伏特的电位。因此,由写电压生成电路44生成的反熔丝写电压 V_{rr} 具有比第一内部电源 V_{pp} 更高的电位。

[0053] 此外,在当前实施例中,除了用于施加外部电源 V_{dd} 的电源端子21之外,提供了用于施加外部写电压 EV_{rr} 的外部端子45,并且在晶片检测中,可以从外部端子45施加外部写电压 EV_{rr} 。

[0054] 在当前实施例中,反熔丝写电压生成电路44对经升压的第一内部电位 V_{pp} 升压,以生成比该第一内部电源 V_{pp} 高的反熔丝写电压 V_{rr} 。第一内部电源 V_{pp} 由对外部电源 V_{dd} 升压的第一内部电源生成电路22生成。因此,因为写电压生成电路44通过对比外部电源 V_{dd} 高的第一内部电源 V_{pp} 升压,而不是对外部电源 V_{dd} 升压,来生成写电压 V_{rr} ,因此可以减少用于升压的被结合的泵浦电路的升压电容器的数量和容量,并且可以减小电路规模。

[0055] 因此,在当前实施例中,第一内部电源生成电路22通过对外部电源 V_{dd} 升压来生成第一内部电压 V_{pp} ,并且写电压生成电路44通过对第一内部电压 V_{pp} 升压来生成反熔丝写电压 V_{rr} 。

[0056] 此外,存储器装置还具有反熔丝存储器写控制电路42,当对反熔丝存储器执行写入时,反熔丝存储器写控制电路42激活反熔丝写电压生成电路44,并将第一内部电源生成电路22控制到特定的操作模式。如果具有预定电平的反熔丝写模式信号 $AFMe$ 被施加到用于写操作的外部端子41,则反熔丝存储器控制电路42被激活。作为响应,反熔丝写存储器控制电路42将 V_{pp} 内部电源生成电路22设置到特定模式,激活并对反熔丝写电压生成电路44赋能。第一特定模式是由快速模式信号 V_{ppA} 控制的 V_{pp} 内部电源生成电路22的快速模式。第二特定模式是其中内部电源 V_{pp} 被提高到存储器通常操作期间的电压之上的模式;该模式由高电压模式信号 V_{ppH} 控制。此外,当 V_{pp} 内部电源生成电路22被设置成特定模式并且内部电源 V_{pp} 变得较高时,为了防止字线WL被这样高的内部电源 V_{pp} 驱动,并为了防止存储器单元晶体管的击穿,反熔丝存储器写控制电路42输出停止自刷新操作的自刷新停止信号 $SRdis$ 。结果,禁止了自刷新操作,并且禁止了由字驱动器驱动字线WL的操作。

[0057] 此外,反熔丝写电压生成电路44被控制,以通过来自反熔丝存储器写控制电路42的反熔丝模式信号 $AFMi$ 来启动升压操作。响应于反熔丝模式信号 $AFMi$,写电压生成电路

44 将输出 V_{rr} 控制到反熔丝读电平 V_{pp} 、地电平,以及高电感状态。

[0058] 响应于选择信号 AF_{sel} ,写电压 V_{rr} 被施加到反熔丝存储器电路 40,并且对所选择的反熔丝执行写操作。写入的数据 $WData$ 被提供给列选择电路 20,并用于转变与冗余存储单元相关的信息。或者,写入的数据也可以被用于内部电源生成电路 22、24 的电位电平调整的设置信息,或者用于写电压生成电路 44 的电位电平调整的设置信息(该配置未在图中示出)。

[0059] 图 4 是说明当前实施例中反熔丝存储器写控制电路的操作的流程图。如果外部反熔丝模式信号 AF_{Me} 被施加到外部端子 41,则反熔丝存储器写控制电路 42 启动反熔丝写操作。首先,从外部检测装置提取将被写入反熔丝存储器中的写信息 ($S1$)。然后,在写电压生成电路 44 的升压操作被启动 ($S5$) 之前,执行包括在虚线框中的步骤 $S2$ 、 $S3$ 和 $S4$ 。

[0060] 首先,写控制电路 42 将激活模式信号 V_{ppA} 提供到 V_{pp} 内部电源生成电路,并将 V_{pp} 内部电源 V_{pp} 生成电路 22 控制成激活模式,即,快速模式。当存储器处于激活状态时, V_{pp} 内部电源生成电路 22 被控制成激活模式,并且在具有快速响应特性的模式中操作。具有快速响应特性的模式是这样的模式:其中,如果被升压的内部电源 V_{pp} 跟随存储器核心的操作而降低,则电路对该降低作出迅速响应,并且执行内部电源 V_{pp} 的升压操作,从而阻止其下降。相反,当电源 V_{pp} 在升压操作之后上升,则电路对该上升增加作出迅速响应,并且停止该电源 V_{pp} 的升压操作,从而阻止该电源增加到必要的电平之上。另一方面,当存储器处于待机模式时, V_{pp} 内部电源生成电路 22 被控制成非激活模式,并且在具有慢速响应特性的模式中操作。结果,可以减少功耗。

[0061] 此外,因为反熔丝写操作是在检测阶段执行的,所以,存储器处于待机模式。然而,因为写电压 V_{pp} 是从升压内部电源 V_{pp} 生成的,所以为了将写电压 V_{rr} 保持到充分的电平以及阻止写操作中出现错误, V_{pp} 内部电源生成电路 22 被控制成激活模式,即,在反熔丝写操作期间以高速执行响应操作的快速模式。

[0062] 然后,反熔丝写控制电路 42 输出自刷新停止信号 SR_{dis} ,并将自刷新操作强制设置成停止模式 ($S3$)。换句话说,在反熔丝写操作期间,外部电源 V_{dd} 被激活,但是,如果在存储器装置中启动外部电源 V_{dd} ,则自刷新使能信号 SR_{en} 自动采用使能状态。同时,振荡器 30 开始振荡,对于每个固定周期,触发信号被输出,并且自刷新控制电路 28 执行自刷新操作。因此,在当前实施例中,写控制电路 42 被强制设置成停止模式,以使得不执行该自刷新操作。停止信号也可以被施加到自刷新控制电路 28。

[0063] 此外,写控制电路 42 利用高电压模式信号 V_{ppH} ,将 V_{pp} 内部电源生成电路 22 的 V_{pp} 电平设置得高于通常情况 ($S4$)。根据高电压模式信号 V_{ppH} , V_{pp} 内部电源生成电路 22 的 V_{pp} 电平被精细调整,并被增加到通常电平之上。通过增加 V_{pp} 电平,可以减小经升压的由写电压生成电路 44 生成的电压的宽度,并且可以减小电路规模或者缩短用于升压的时间。内部电源 V_{pp} 被提供到存储器核心 10,并用作字线 WL 的驱动电源。因此,内部电源 V_{pp} 的高电压被施加到存储单元晶体管的栅极电极上。然而,因为自刷新操作停止,所以字线没有在存储器核心内部被驱动,并且可以消除被增加的 V_{pp} 电平对存储器核心的影响。

[0064] 最后,写控制电路 42 通过反熔丝模式信号 AF_{Mi} ,控制写电压生成电路的升压操作的启动 ($S5$)。结果,写电压生成电路 44 将升压内部电源 V_{pp} 升压到更高,并且生成写电压 V_{rr} 。然后写入反熔丝存储器的操作被执行 ($S6$)。通过施加经升压的写电压 V_{rr} ,执行对在

反熔丝存储器 40 中所选择的反熔丝的写操作。该写操作包括利用写电压 V_{rr} 的写操作以及检查被写的数据的读操作。

[0065] 如上所述,因为 V_{pp} 内部电源生成电路 22 已经被设置成快速响应模式,所以 V_{pp} 被维持在稳定的电平。此外,因为 V_{pp} 已经被设置成高于通常的电平,所以有助于写电压生成电路 44 的升压操作。此外,即使 V_{pp} 电平被设置得高于通常情况,因为在作出此设置之前停止了自刷新操作,所以防止了存储单元晶体管由于通过字线的高 V_{pp} 而击穿。

[0066] 下面将更加详细地描述反熔丝写电压生成电路 44,反熔丝存储器电路 40,以及 V_{pp} 内部电源生成电路 22。

[0067] 图 5 是反熔丝写电压生成电路的结构图。反熔丝写电压生成电路 44 具有 V_{rr} 升压电路 440、 V_{rr} 电压控制电路 450、以及 V_{rrh} 生成电路 452。 V_{rr} 升压电路 440 具有由运算放大器 442、反馈电阻器 R_a 和可调电阻器 R_b 组成的限幅器电路 (limiter circuit) 441, 响应于来自运算放大器 442 的使能信号 EN 而振荡的振荡电路 444, 从由振荡电路 444 生成的时钟生成四相时钟并将时钟的电平从电源 V_{dd} 的电平转换成升压电源 V_{pp} 的电平的四相时钟生成电路 446, 以及通过四相时钟 CLK 升压的升压泵浦电路 448。升压内部电源 V_{pp} 被提供到升压泵浦电路 448, 并且通过高达反熔丝写电压电平的 V_{pp} 电平的四相时钟 CLK 来执行升压操作。如下述图 8 中所示,升压泵浦电路 448 是由二极管和电容器组成的通常的泵浦电路。然而,因为从升压内部电源 V_{pp} 执行升压,所以可以减少电容器的数量和容量,并减小电路规模。

[0068] 在限幅器电路 441 中,经升压的写电压 V_{rr} 经由电阻器 R_a 通过反馈被返回,并且节点 N1 的电平被输入到运算放大器 442 中,其中在节点 N1 处写电压被电阻器 R_a 和 R_b 分压。预定的参考电压 V_{ref} 被输入运算放大器 442 的另一个输入端中。通过运算放大器 442 的操作来控制节点 N1 的电位,以使得其与参考电压 V_{ref} 相匹配。换句话说,如果节点 N1 的电位变得低于参考电压 V_{ref} ,则使能信号 EN 采用 H 电平,并且振荡电路 444 的振荡操作被启动。结果,启动了升压泵浦电路 448 的升压操作。如果写电压 V_{rr} 因此升高,则节点 N1 的电位也升高,并且如果该电位超过参考电压 V_{ref} ,则使能信号 EN 采用 L 电平,并且停止振荡电路 444 的振荡操作。

[0069] 在检测过程中,通过调节信号 TEST,可调电阻器 R_b 被调节到希望的值,从而生成的写电压 V_{rr} 的电平被监视,并且采用最佳电平的调节信号被写入反熔丝存储器电路 443 中。一旦调节结束,电阻器 R_b 的电阻值通过来自反熔丝存储器电路 443 的调节信号被设置。

[0070] 在写电压生成电路 44 中, V_{rr} 升压电路 440 使得输出电压 V_{rr} 达到增加的写电压电平,并且 V_{rr} 控制电路 450 首先将输出电压 V_{rr} 控制到用于读反熔丝存储器的电压 V_{pp} , 其次,在与反熔丝写操作时间间隔不同的一个周期中,将输出电压 V_{rr} 控制到地,再次,将输出电压 V_{rr} 的端子控制到高阻抗,从而使得在晶片检测期间输出了从外部端子 45 施加的外部反熔丝写电压 $E_{V_{rr}}$ 。 V_{rr} 控制电路 450 根据反熔丝写模式信号 AFM_i 的状态执行上述控制。

[0071] 此外, V_{rrh} 生成电路 450 通过电阻器来对写电压 V_{rr} 和升压内部电源 V_{pp} 之间的电压进行分压,以生成其中间电压 V_{rrh} 。在写电压 V_{rr} 还未被升压的期间,响应于电源被导通时的信号 P_{on} , V_{rrh} 生成电路 450 输出升压内部电源 V_{pp} 作为中间电压 V_{rrh} 。

[0072] 图 6 示出了 V_{rr} 控制电路的电路图。 V_{rr} 控制电路 450 将 V_{rr} 升压电路 440 的输

出端 V_{rr} (1) 在反熔丝写操作期间设置成经升压写电压, (2) 在反熔读操作 (确认写操作) 期间设置成电压 $V_{pp}-V_{th}$, (3) 在晶片检测期间在施加来自外部端子 45 的外部写电压 E_{vrr} 时设置成高阻抗, 以及 (4) 在存储器的正常操作期间设置成地电位。

[0073] 由晶体管 Q1、Q2、Q3 组成的电路生成上述 (4) 状态。 V_{rrh} ($V_{pp} < V_{rrh} < V_{rr}$) 电压被施加到晶体管 Q1 的栅极, V_{pp} 电压被施加到晶体管 Q2 的栅极, 根据反熔丝模式信号 AFMi 生成的控制信号 CNT1 被施加到晶体管 Q3 的栅极。当控制信号 CNT1 位于 L 电平并且晶体管 Q3 关断时, 如果高电压 V_{rr} 被直接施加到晶体管 Q3, 则有时会导致晶体管 Q3 击穿。因此, 电压 V_{rr} 被晶体管 Q1、Q2 分压。如果控制信号 CNT1 采用 H 电平, 则晶体管 Q3 被转换为导通, 并且输出端 V_{rr} 被拉低到地电位 V_{ss} 。

[0074] 晶体管 Q4 的电路生成上述 (2) 状态。根据反熔丝模式信号 AFMi 生成控制信号 CNT2, 并且, 当控制信号 CNT2 采用 H 电平时, 晶体管 Q4 被转换为导通, 并且输出端 V_{rr} 被设置成 $V_{pp}-V_{th}$ 电压。结果, 对被写的反熔丝执行了读操作并且写入被确认。

[0075] 当晶体管 Q3 和 Q4 都处于关断状态时, V_{rr} 升压电路 440 执行升压操作, 从而在输出端 V_{rr} 生成经升压的电压 (上述 (1) 状态), 并且如果 V_{rr} 升压电路 440 停止, 则输出端 V_{rr} 采用高阻抗状态 (上述 (3) 状态)。

[0076] 图 7 是反熔丝存储器电路的电路图。在图 7 中示出两位的反熔丝 AF1、AF2。反熔丝 AF1 是由连接 MOS 晶体管的源极和漏极端的第一端子 N11 和栅极的第二端子组成。写电压生成电路 44 的输出端 V_{rr} 被连接到第一端子 N11。此外, 晶体管 Q11、Q12、Q13 被串联连接在地 V_{ss} 和反熔丝 AF1 的栅极电极之间。 V_{rrh} 电压被施加到晶体管 Q11 的栅极, V_{pp} 电压被施加到晶体管 Q12 的栅极, 选择信号 AFsel 被施加到晶体管 Q13 的栅极。

[0077] 通过示例的方式来原因反熔丝 AF1, 如果写电压 V_{rr} 被施加到端子 N11 并且选择信号 AFsel 采用 H 电平, 以使得在写操作期间晶体管 Q13 被转换成导通, 则写电压 V_{rr} 被施加到反熔丝 AF1 的栅极和源极 - 漏极之间, 且反熔丝的栅极氧化膜被击穿。晶体管 Q11、Q12 具有分压功能, 以使得当选择信号 AFsel 是 L 电平并且晶体管 Q13 是关断时, 高电压 V_{rr} 不因于由具有电容器结构的反熔丝 AF1 产生的耦合动作而被直接施加到晶体管 Q13 上。换句话说, 当晶体管 Q13 关断时, 在晶体管 Q11 的栅极和漏极之间施加 $V_{rr}-V_{rrh}$ 电压, 在晶体管 Q12 的栅极和漏极之间施加 $V_{rrh}-V_{th}-V_{pp}$ 电压, 并且在晶体管 Q13 的栅极和漏极之间施加 $V_{pp}-V_{th}-V_{ss}$ 电压。因此, 不会将高电压施加那些晶体管。

[0078] 在读模式中, 读模式的电压 V_{pp} 被施加到端子 N11, 并节点 N12 的电压被检查。如果写操作已经结束, 则节点 N12 采取高电压电平, 并且如果写操作没有完成, 则节点 N12 采取低电压电平。

[0079] 反熔丝 AF2 执行相同的操作, 但是选择信号 AFsel 与反熔丝 AF1 的选择信号不同。该选择信号 AFsel 是与图 4 的写信息 (S1) 相应的数据信号。

[0080] 图 8 和图 9 是第一内部电源生成电路的电路图。图 8 是示意图, 图 9 是说明快速和慢速模式的电路图。图 8 中所示的 V_{pp} 内部电源生成电路 22 由限幅器电路 221、通过位于限幅器电路中的运算放大器 222 的输出而被操作和控制的振荡器 224, 以及响应于振荡器的输出时钟 CLK 而执行升压操作的泵浦电路 228 组成。通过快速模式信号 V_{ppA} , 运算放大器 222 被控制成快速模式或慢速模式。此外, 通过高电压模式信号 V_{ppH} , 位于限幅器电路 221 中的电阻器 R2 被调节到低的电阻值, 并且升压电压 V_{pp} 被设置成高电平。

[0081] 类似于图 5 中所示的写电压生成电路, 泵浦电路 228 的升压电压 V_{pp} 通过反馈被返回到限幅器电路 221, 升压电压 V_{pp} 被电阻器 R1、R2 分压, 并且节点 N2 的电压被施加到运算放大器 222 的一个输入端。参考电压 V_{ref} 被施加到运算放大器 222 的另一个输入端。电阻器 R2 由多个电阻器 R21 到 R24 组成, 并且通过对晶体管 Q31 到 Q33 的选择, 可以被可变设置。此外, Q31 到 Q33 的晶体管中的一个通过施加到译码器 229 的两位设置信号的译码结果而被转换成导通, 并且电阻器 R2 的电阻值被设置。

[0082] 运算放大器 222 的输入节点 N2 进行操作, 从而与参考电压 V_{ref} 相匹配。如果升压电压 V_{pp} 升高, 则运算放大器输出的使能信号 EN 采用禁止状态 (L 电平), 振荡器 224 被停止, 并且升压操作被停止。如果升压电压 V_{pp} 用在存储器核心中并且降低, 则运算放大器输出的使能信号 EN 再次采用使能状态 (H 电平), 振荡器 224 被激励, 并且升压操作再次启动。因此, 升压电压在参考电压上下波动。

[0083] 如果可变设置的电阻器 R2 的电阻值被设置成低, 则节点 N2 的分压电平被降低。因此, 执行控制以使得升压电压 V_{pp} 升高。另一方面, 如果电阻器 R2 的电阻值被设置成高, 则节点 N2 的分压电平升高。因此, 执行控制以使得升压电压 V_{pp} 下降。

[0084] 三种类型的设置信号被施加到译码器 229。第一信号是在检测期间施加的调节信号 TEST, 第二信号是来自反熔丝存储器电路 223 的调节信号 ADJ, 第三信号是在反熔丝写操作期间施加的高电压模式信号 V_{ppH} 。在检测过程中, 通过其中生成的升压电压 V_{pp} 采用了希望的值的的第一调节信号 TEST, 来检测状态, 并且调节信号 ADJ 被存储到存储器电路 223 中。然后, 在通常的操作中, 通过调节信号 ADJ 设置电阻器 R2 的电阻值。另一方面, 在反熔丝写过程期间, 通过高电压模式信号 V_{ppH} , 电阻器 R2 被设置得低于通常情形, 并且升压电压 V_{pp} 被设置得高于通常情形。

[0085] 译码器 229、晶体管 Q31 ~ Q33、以及电阻器 R2 (R21-R24) 的配置都与图 5 中所示的写电压生成电路中的配置相同。

[0086] 如图 8 所示, 配置有两个电极 D1、D2 和电容器 Cb 的电路是用于泵浦电路 228 的基本的配置, 并且外部电源 V_{dd} 的电平通过振荡器 224 的输出时钟被升压。该泵浦电路的配置也可以应用到图 5 的写电压生成电路的泵浦电路中。然而, 在图 5 的情形下, 用作升压源的电源是被升压的第一内部电源 V_{pp} , 而不是外部电源 V_{dd} 。

[0087] 图 9 示出了与内部电源生成电路 22 的快速模式 (激活模式) 和慢速模式 (非激活模式) 相应的结构。限幅器电路 221 由用于慢速模式的限幅器电路 222s、R1s、R2s 和用于快速模式的限幅器电路 222f、R1f、R2f 组成, 并且振荡器也由用于慢速模式的振荡器 224s 和用于快速模式的振荡器 224f 组成。基于快速模式信号 V_{ppA} , 选择电路 220 激活运算放大器 222s、222f 中的一个, 从而转换为慢速模式或快速模式。在图 8 中示出了可调电阻器 R2s、R2f。

[0088] 如下所述, 用于慢速模式的限幅器电路被如此配置, 以使得电阻器 R1s 被设置到高, 对升压电压 V_{pp} 的改变的响应为慢速, 并且运算放大器 222s 的操作速度也为慢速。相反, 用于快速模式的限幅器电路被如此配置, 以使得电阻器 R1f 被设置到低, 对升压电压 V_{pp} 的变化的响应为快速, 并且运算放大器 222f 的操作速度也为快速。如果快速模式信号 V_{ppA} 是快速模式 (激活模式), 则运算放大器 222f 操作, 而运算放大器 222s 停止。如果快速模式信号 V_{ppA} 是慢速模式 (非激活模式), 则运算放大器 222s 操作, 而运算放大器 222f

停止。

[0089] 此外,慢速侧的振荡器 224s 生成低频时钟,快速侧的振荡器 224f 生成高频时钟。

[0090] 图 10 是运算放大器的电路图。运算放大器 222s、222f 具有电流源的 N 沟道晶体管 Q40、作为检测电压的节点 N2s、N2f 以及参考电压被施加到其上的 N 沟道晶体管 Q41、Q42、构成反射镜电路的 P 沟道晶体管 Q43、Q44,以及构成输出反相器的晶体管 Q45、Q56。如果检测电压 N2s、N2f 小于参考电压,则输出 EN 采用 H 电平(使能)。相反,如果检测电压高于参考电压,则输出 EN 采用 L 电平(失效)。

[0091] 在快速侧的运算放大器中,电流源晶体管 Q40 具有高电流值,并且在慢速侧的运算放大器中,具有低电流值。快速侧的运算放大器以较高的速度操作。由快速模式信号 VppA 生成的选择信号 VppA-s、VppA-f 被施加到电流源晶体管 Q40 的栅极,具有导通电流源的运算放大器采用操作状态,以及具有非导通电流源的运算放大器采用待机状态。在待机状态中,输出 EN 采用 L 电平,并且作为其目的地的振荡器停止。

[0092] 图 11A ~ 11B 示出了内部电源生成电路 22 的升压电压 Vpp 的波形。图 11A 说明具有低响应速度的模式,以及图 11B 说明具有高响应速度的模式。在图 11A 所示的慢速模式中,限幅器电路的响应率是低的,并且振荡器频率也是低的。因此,当升压电压 Vpp 相对于参考电压 VR 大幅下降时,启动电压增加的操作,而当升压电压大大超过参考值时,停止电压增加操作,并且在此电压增加过程中的增加梯度是小的。结果,升压电压 Vpp 相对于作为中心的参考电压 VR,上下大幅波动。

[0093] 另一方面,在图 11B 中的快速模式中,限幅器电路的响应率是高的,并且振荡器频率也是高的。因此,如果升压电压 Vpp 变得轻微低于参考电压 VR,就立即启动升压操作,而一旦升压电压稍稍超过参考电压时,就立即停止升压操作;在此升压过程中的增加梯度是大的。结果,升压电压 Vpp 相对于作为中心的参考电压 VR,上下轻微波动。因此,在快速模式中,因为升压电压 Vpp 的电平保持得与参考电压 VR 相近,所以从该电压 Vpp 生成的写电压 Vrr 也保持与标准值相近,并且由电压下降引起的写错误被避免了。

[0094] 图 12 是说明在当前实施例刷新操作是如何被禁止的结构图。该图示出了由自刷新赋能信号 SRen 启动的振荡器 30、通过使用由振荡器生成的时钟作为触发信号的执行自刷新操作的自刷新控制电路 28、以及存储器核心控制电路 26;这三个元件均在图 1 中已经示出。与图 1 的配置相比较,在图 12 所示的示例中,响应于来自反熔丝存储器写控制电路 42 的自刷新停止信号 SRdis, AND 栅极停止来自自刷新电路 28 的控制信号,并且存储器核心 10 中的自刷新操作被禁止。

[0095] 图 13 是示出当前实施例中的晶片检测和封装检测之间的关系流程图。除了晶片阶段的操作检测之外,被组装的封装件阶段的操作检测近来也变得很重要。具体地说,提出了多芯片封装(MCP)和系统封装(System-in-package),其中,在多芯片封装中,堆叠和容纳了两个相同的芯片,并且这两个芯片的端子都连接到封装件的外部端子,在系统封装中,堆叠了不同的芯片,并且一个芯片的端子被连接到另一芯片,而不连接到封装件的外部端子。在这样的设备中,在组装过程中必须安装多个芯片,组装成本高,并且被封装的最终产品的单位成本也高。因此,需要一种修正方法来应对在组装之后的封装检测中探测到的缺陷。

[0096] 在当前实施例的反熔丝存储器的情况中,即使在封装之后,也可以在内部生成写

电压 V_{rr} 并执行对反熔丝存储器的写入。因此,反熔丝存储器可以很有用地被安装到上述具有高附加值的设备中。

[0097] 如果在图 13 所示的检测过程中晶片检测 S21 探测到缺陷,则从外部端子 45 施加外部写电压 EV_{rr} ,并将缺陷地址信息写入反熔丝存储器中,而不使用被结合的反熔丝存储器写控制电路 42 或写电压生成电路 44(S22)。此外,被修正的好的芯片被组装,成为在前提及的 MCP 或 SiP 封装件(S23)。由于在组装过程中施加的应力,在存储器单元阵列内部有时会出现单个位的缺陷或类似缺陷。因此,在封装检测 S24 中执行操作检测,以探测缺陷(S25),并且如果探测到缺陷,则从外部端子 41 施加反熔丝写模式信号 AFMe,并且将缺陷地址写入反熔丝存储器(S26)。这时,通过由被结合的写电压生成电路 44 生成的写电压 V_{rr} 来执行对反熔丝的写入,并且缺陷被修正。经修正的封装作为好的产品而装运(S27)。

[0098] 如上所述,利用本实施例,用于对反熔丝存储器进行写入的写电压生成电路对用在存储器核心中的升压电压 V_{pp} 进行升压,从而生成写电压 V_{rr} 。因此,与从外部电源 V_{dd} 执行升压的情形相比,可以减小电路规模。而且,在写模式中,通过将生成升压电压 V_{pp} 的内部电源生成电路 22 的响应速度设置成为快速模式(激活模式),从而稳定升压电压 V_{pp} ,并且在停止刷新操作的状态中,通过将升压电压 V_{pp} 设置得高于通常情形,可以进一步减小写电压生成电路的规模并缩短电压被增加电平的时间。

[0099] 相关申请的交叉引用

[0100] 本申请基于并要求 2006 年 8 月 16 日提交的申请号为 2006-221774 的在先日本专利申请的权益和优先权,该申请的全部内容通过引用结合于此。

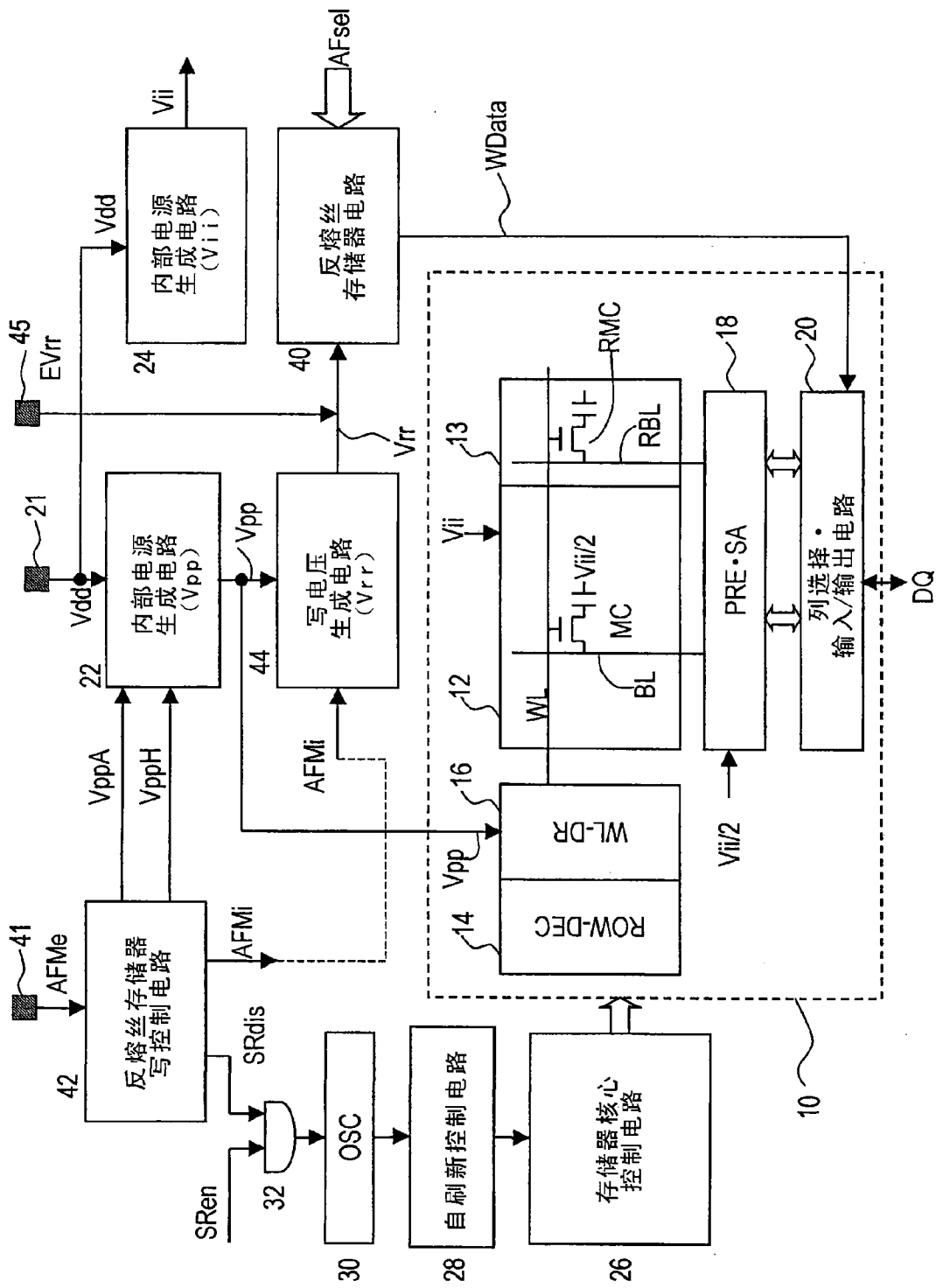


图1

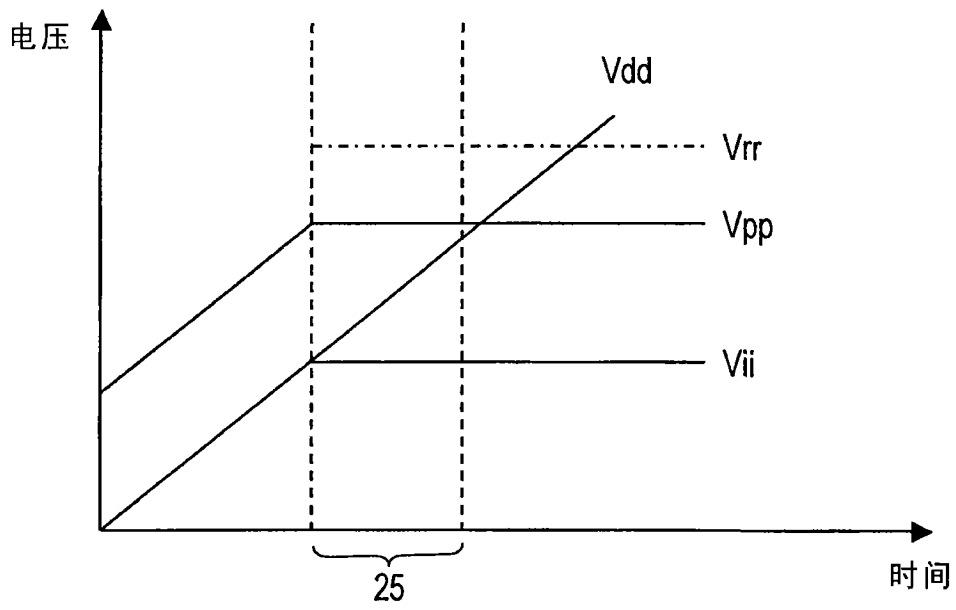


图2

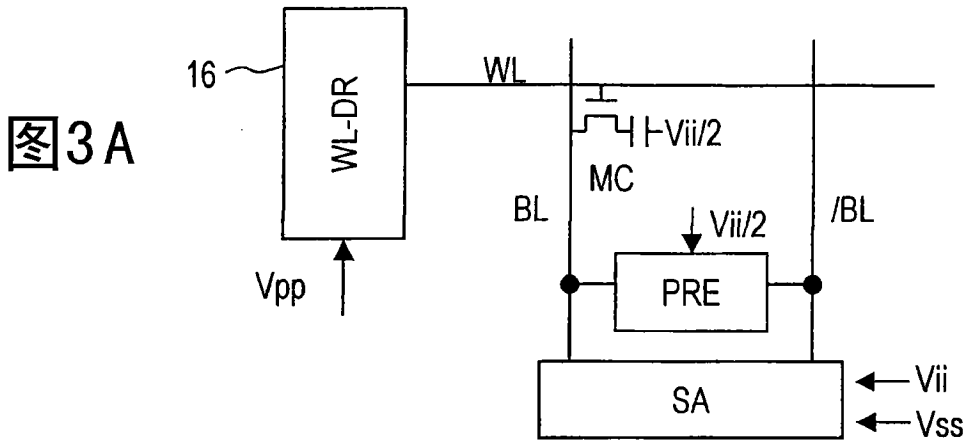


图3A

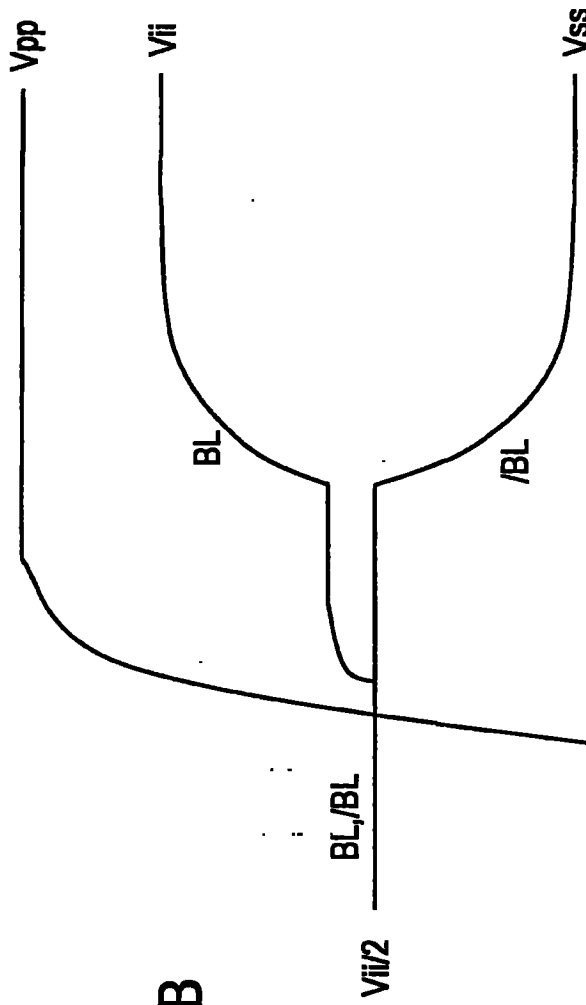


图3B

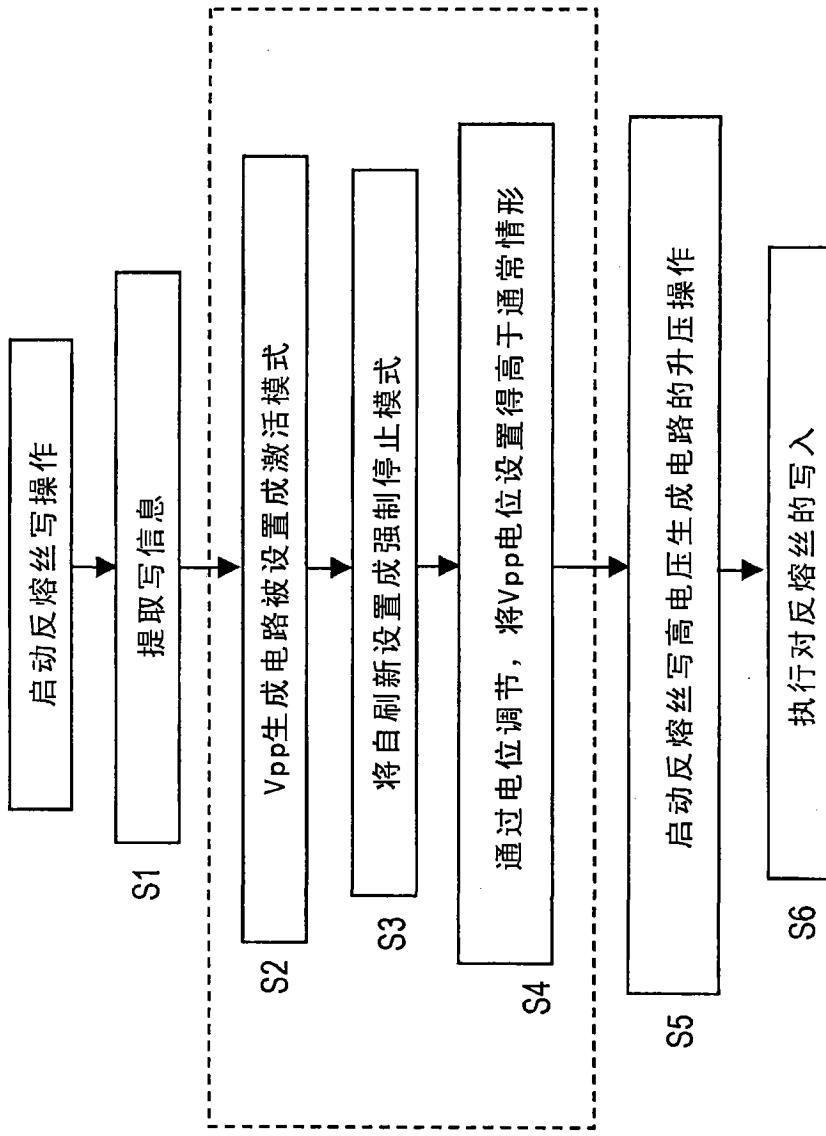


图4

44. 写电压生成电路

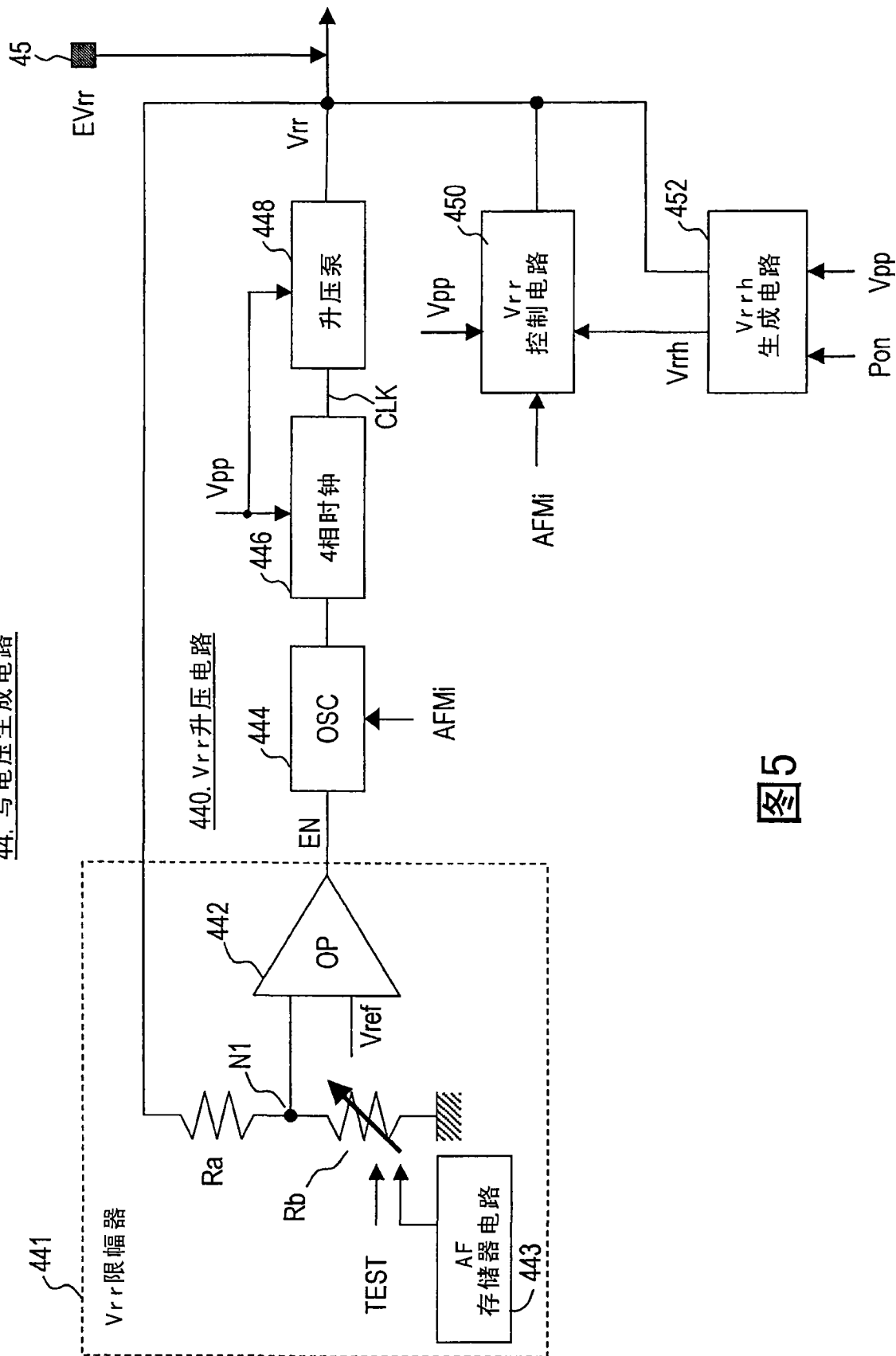


图5

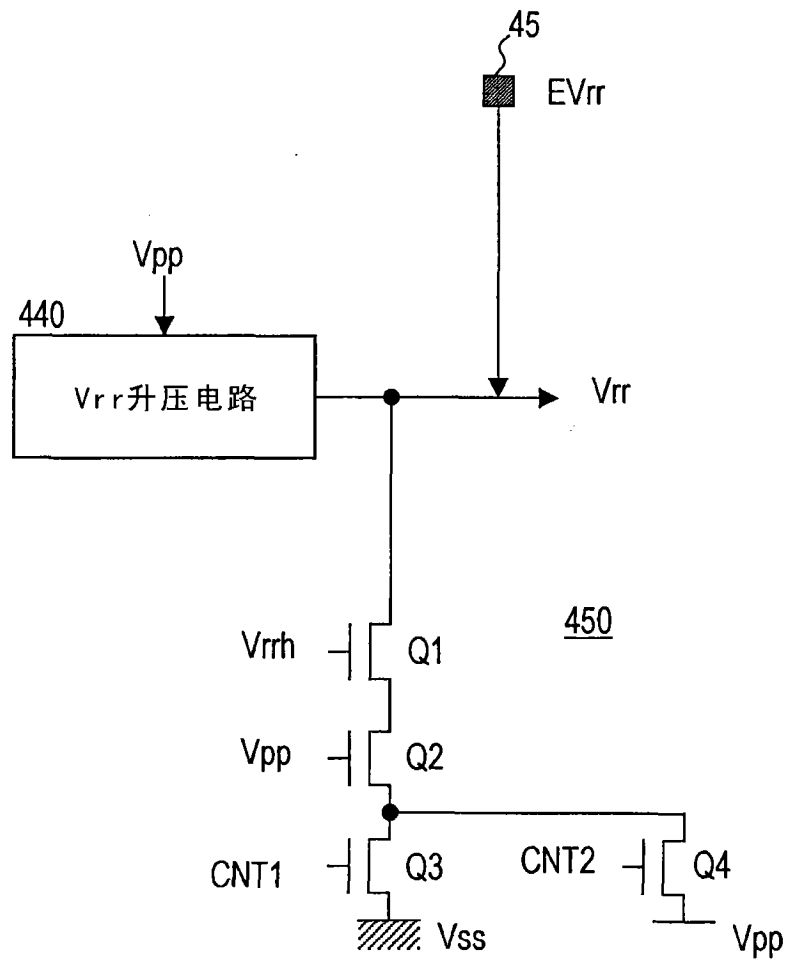


图6

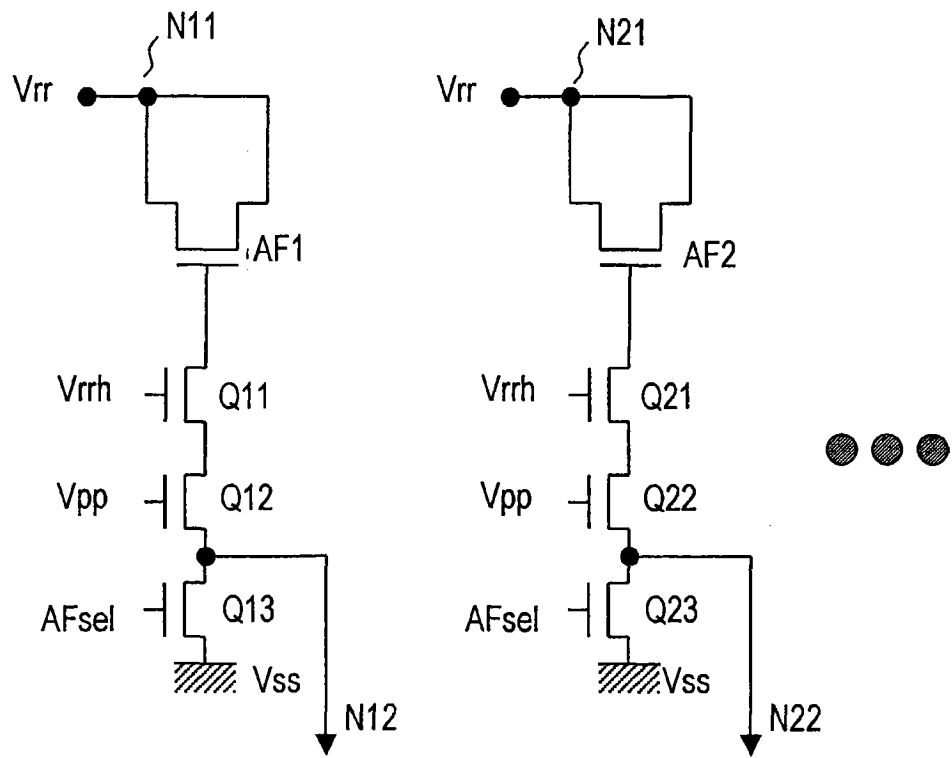


图7

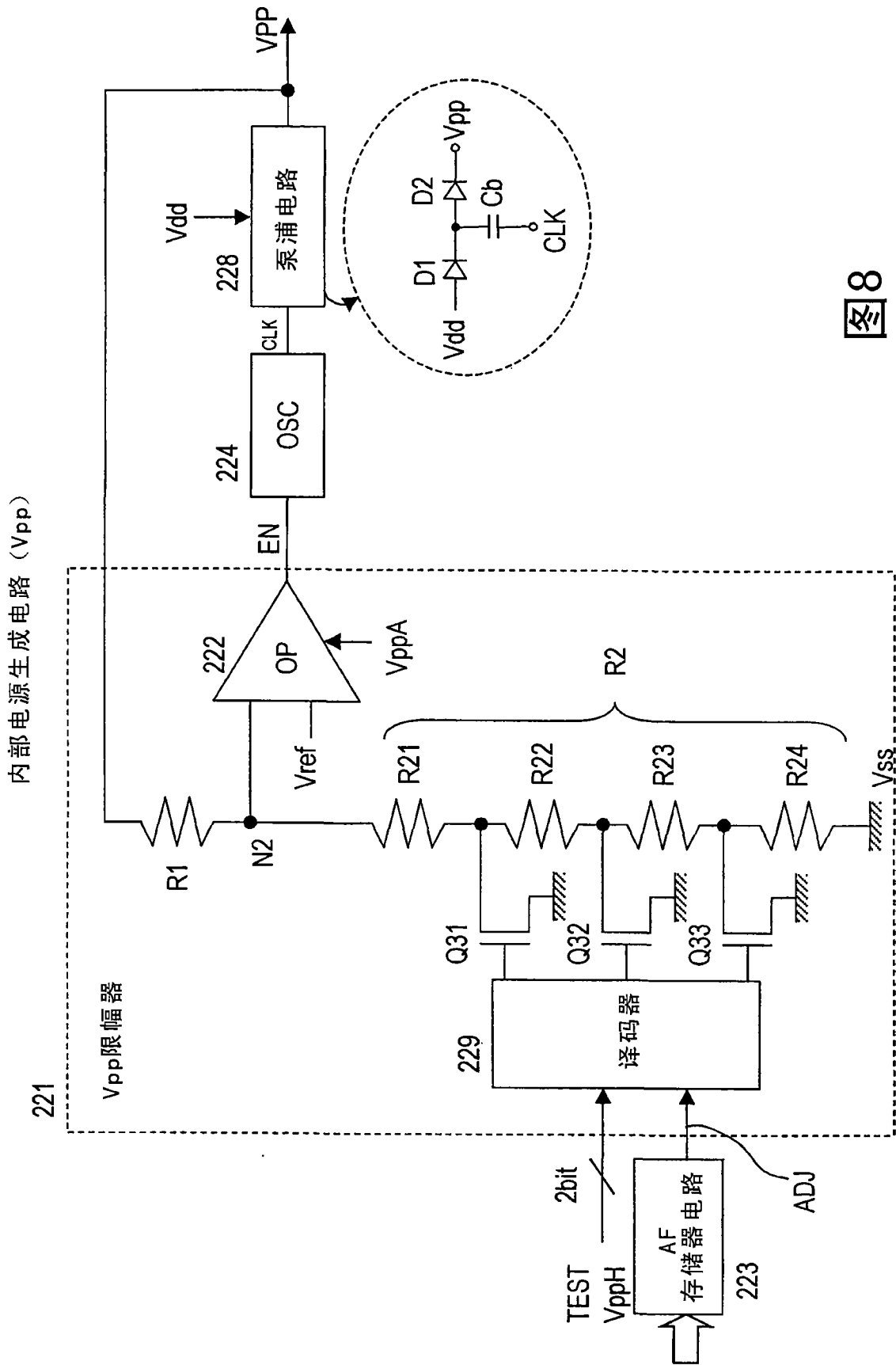


图 8

22. 内部电源生成电路 (Vpp)

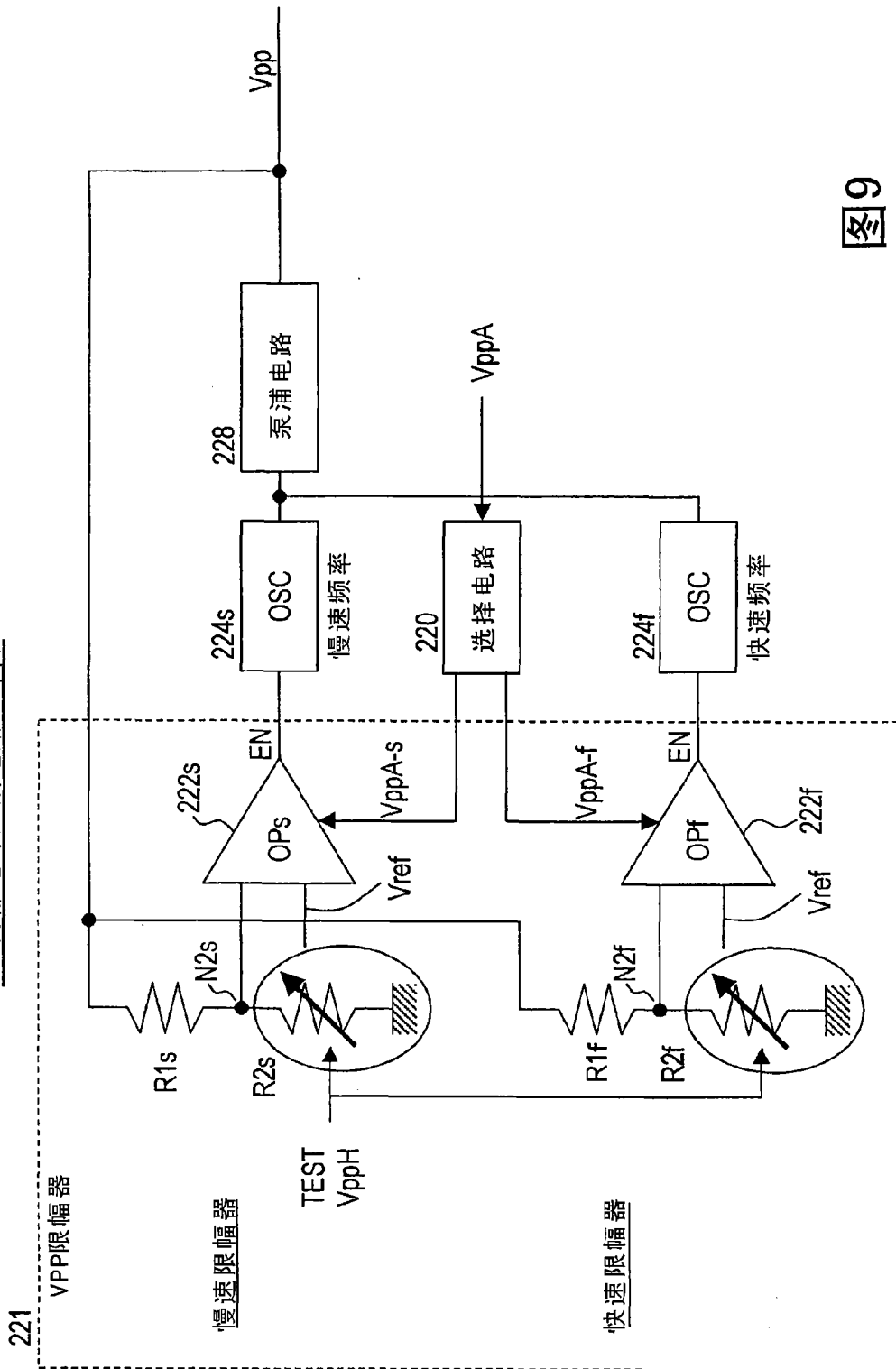


图9

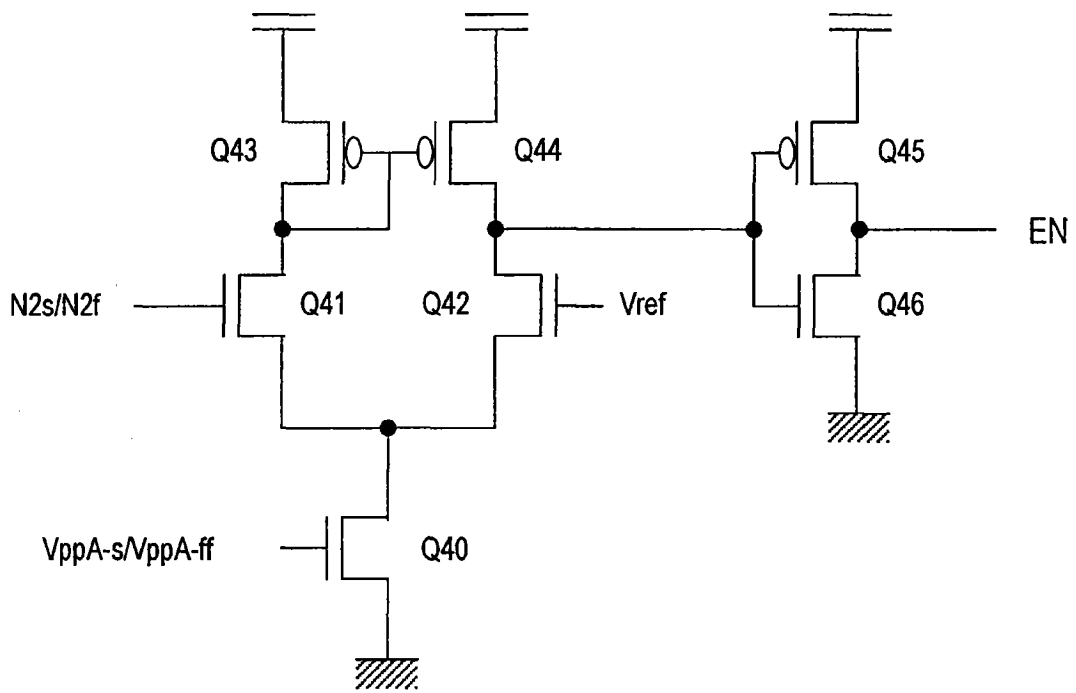


图10

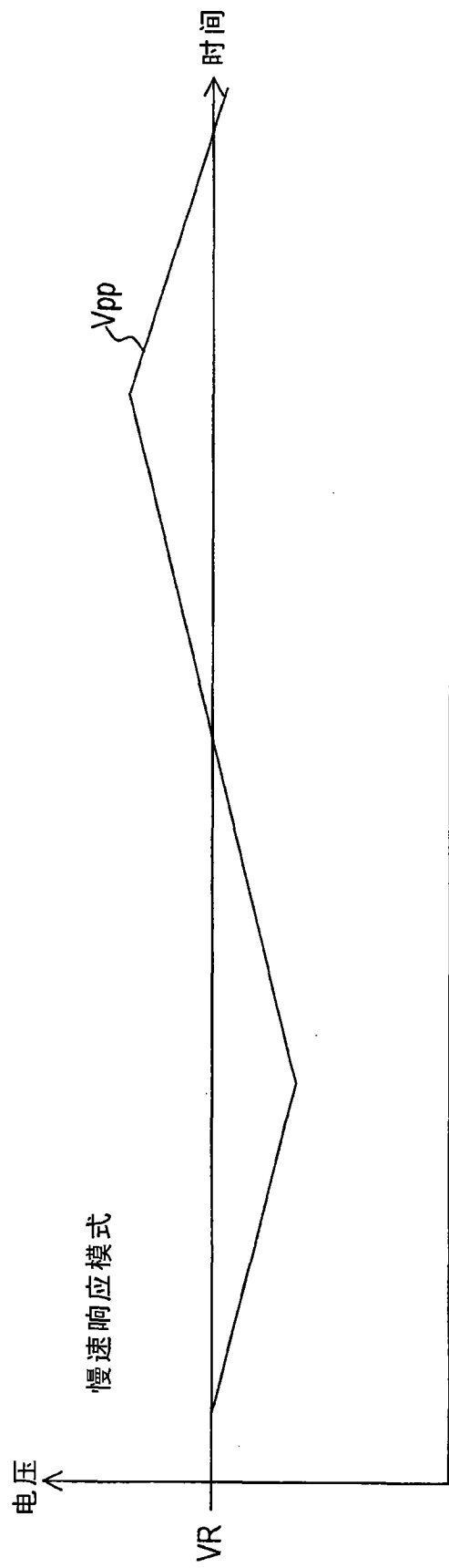


图11A

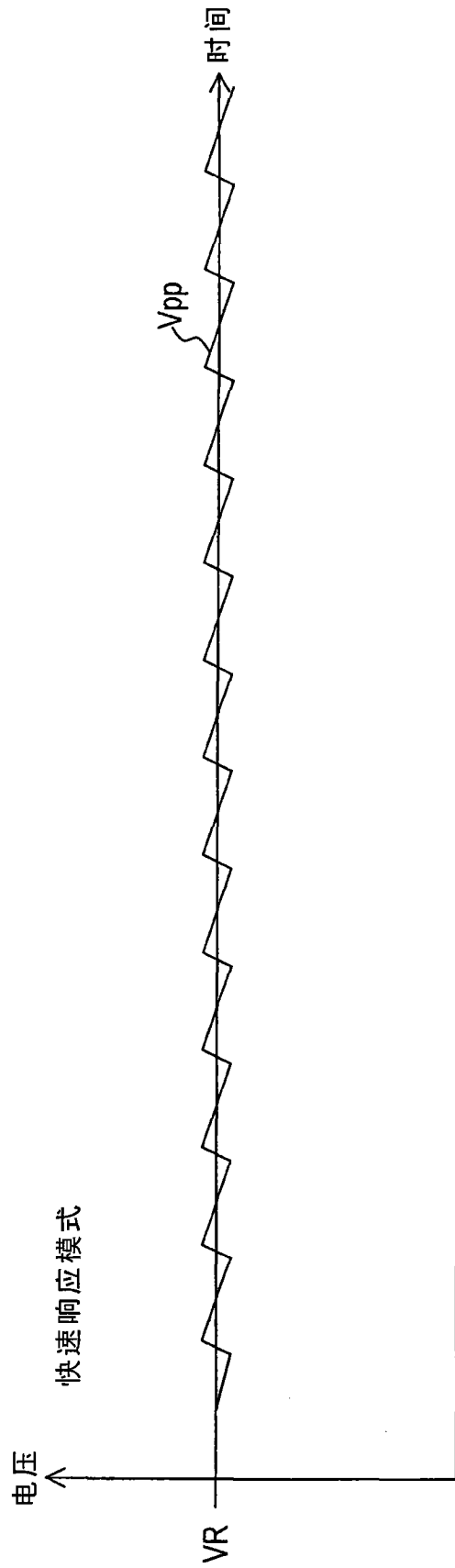


图11B

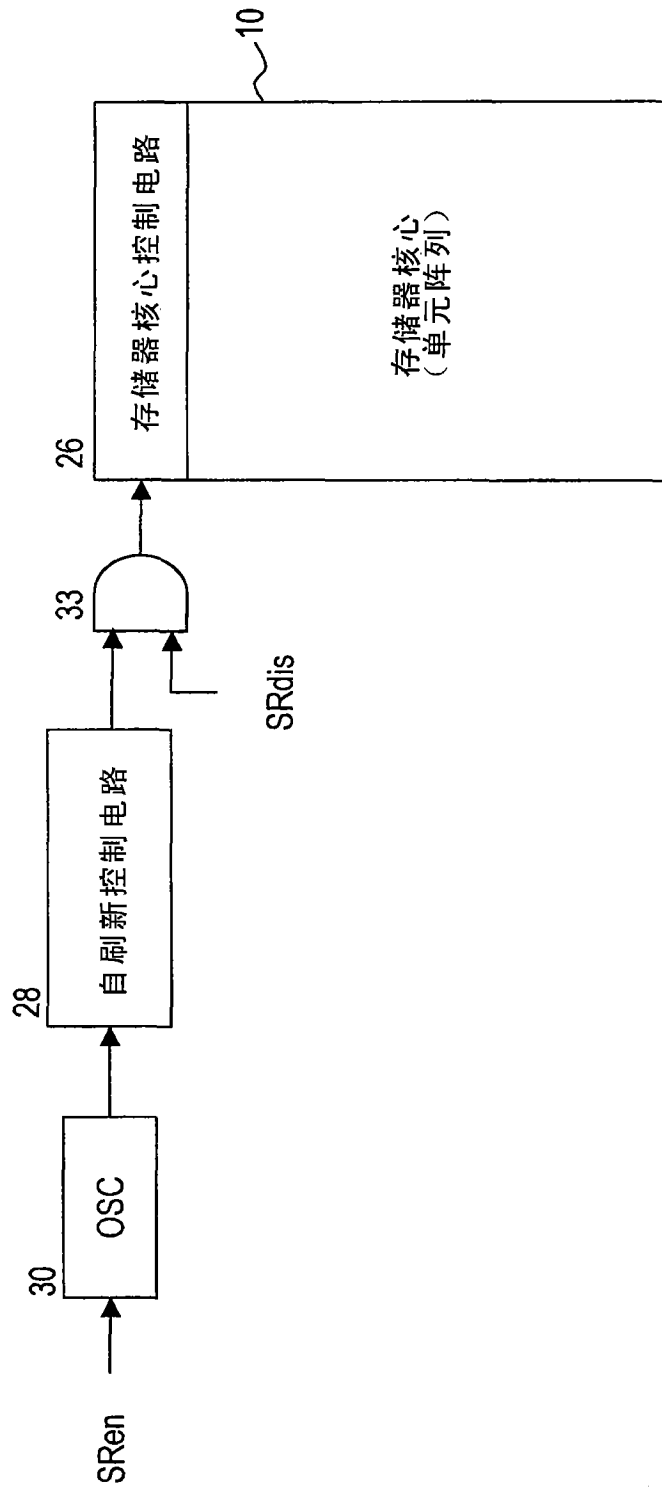


图12

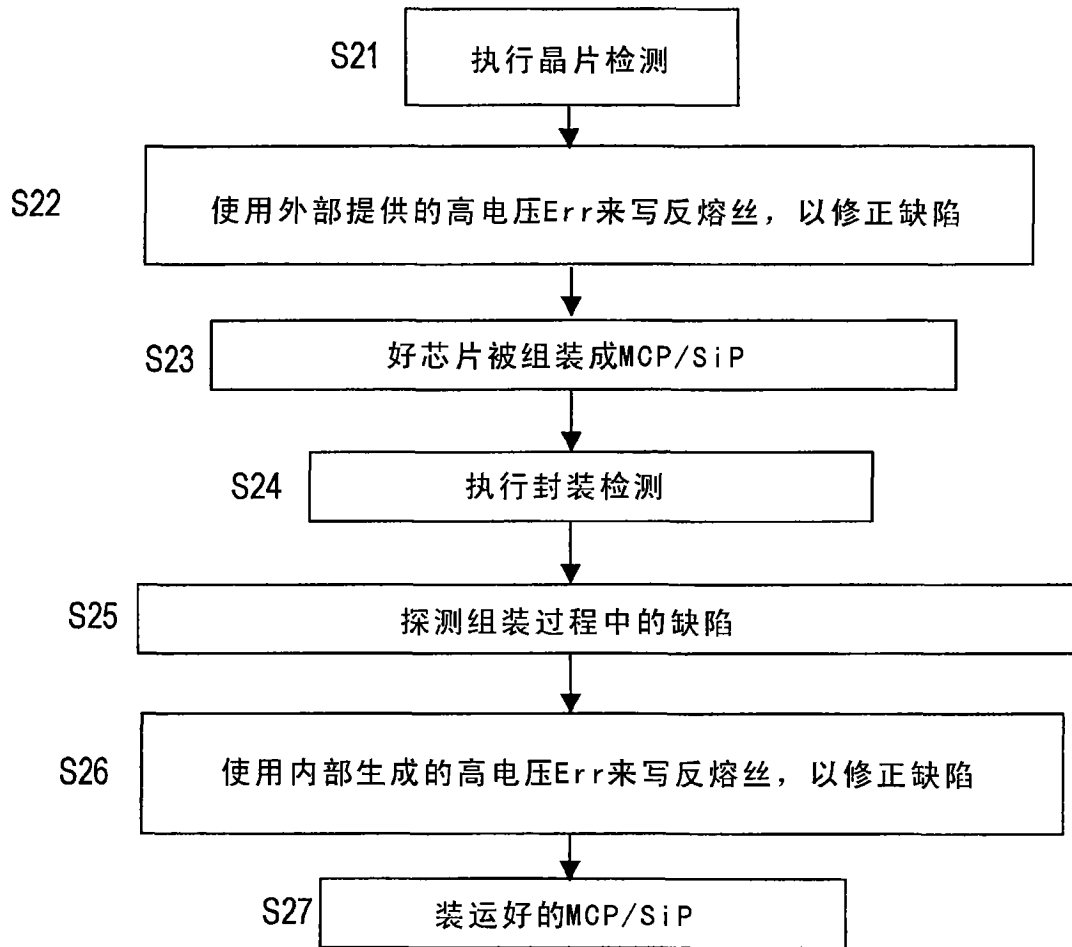


图13