(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 23/52

(11) 공개번호 특2000-0029392
(43) 공개일자 2000년05월25일

(21) 출원번호 10-1999-0047257
(22) 출원일자 1999년10월28일
(30) 우선권주장 98-310834 1998년10월30일 일본(JP)
99-234380 1999년08월20일 일본(JP)
(71) 출원인 신꼬오덴기 고교 가부시키가이샤 모기 쥰이찌
일본국 나가노켄 나가노시 오아자 구리따 아자 사리덴 711
(72) 발명자 히가시미쓰또시
일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키가이샤내
사까구찌히데아끼
일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키가이샤내
이마이가즈나리
일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키가이샤내
교즈까마사히로
일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키가이샤내
시미즈미쓰하루
일본국나가노켄나가노시오아자구리따아자사리덴711신꼬오덴기고교가부시키가이샤내
(74) 대리인 문기상, 문두현

심사청구 : 없음

(54) 외부 접속 단자를 갖는 반도체 장치 및 그 제조 방법

요약

본 발명의 반도체 장치는 전극 단자와 재배선부가 형성되는 전극 형성면을 갖는 반도체 소자를 포함한다. 재배선부는 전극 단자에 전기적으로 접속된다. 배선으로 된 외부 단자는 재배선부와 그로부터 연장되는 말단부에 접속되는 기단부를 갖는다. 외부 단자의 적어도 말단부가 절연 수지의 외부로 노출되도록 전극 형성면에 전기 절연 수지를 피복한다. 전극 형성면을 전기 절연 수지로 피복한 다음, 전기 절연 수지의 일부를 외부 접속 단자의 말단부로부터 제거하여 상기 말단부가 절연 수지 외부로 노출시킨다.

대표도

도1

색인어

반도체 장치, 피복, 수지

명세서

도면의 간단한 설명

도1은 본 발명의 실시예에 따른 반도체 장치의 구조를 나타내는 단면도.

도2a 및 2b는 도1에 나타낸 반도체 장치의 제조 방법을 설명하는 설명도.

도3은 본 발명의 다른 실시예에 따른 반도체 장치의 구조를 나타내는 단면도.

도4는 본 발명의 다른 실시예에 따른 반도체 장치의 구조를 나타내는 단면도.

도5는 본 발명의 다른 실시예에 따른 반도체 장치의 구조를 나타내는 단면도.

도6a～6c 및 7a～7b는 도5에 나타낸 반도체 장치의 제조 방법을 설명하는 설명도.

도8a 및 8b는 반도체 장치를 패키징할 때 땜납의 크리프 업(creep up)을 설명하는 설명도.

도9a 및 9b는 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하는 설명도.

도10은 종래에 공지된 반도체 장치의 구조를 나타내는 단면도.

도11a～11j는 종래의 반도체 장치의 제조 방법을 설명하는 설명도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치와 그 제조 방법에 관한 것이다.

과거에 제안된 바와 같은 반도체 칩과 동일한 사이즈의 반도체 장치가 도10에 도시되어 있다. 이 반도체 장치에서는, 외부 접속 단자(12)로서 사용되는 배선이 굽혀져서 반도체 칩(10)의 전극 단자 형성면에 부착되어 있다. 도10은 반도체 장치의 부분 확대도이다. 참조 번호 14는 반도체 소자(10)의 표면 상에 배치된 전극 단자를 나타낸다. 참조 번호 16은 패시베이션막(passivation film)을 나타내며, 참조 번호 17은 전기 절연층을 나타내고, 참조 번호 18은 재배선부 또는 2차 배선부를 나타낸다. 각각의 재배선부(18)는 일단부가 전극 단자에 접속되고, 다른 단부는 외부 접속 단자(12)를 접속하는 패드 부분으로 형성된다. 외부 접속 단자(12)는 금 배선(12a)의 외면에 니켈 합금 등의 보호 도금(12b)을 피복하여 제조된다.

도11a～11j는 반도체 칩(10)의 전극 단자 형성면 상의 배선을 사용하는 외부 접속 단자(12)를 형성하는 제조 방법을 나타낸다.

도11a는 전극 단자(14)가 노출되는 동안 반도체 소자(10)의 전극 단자 형성면이 패시베이션막(16)으로 피복된 상태를 나타낸다. 도11b는 전기 절연층(17)을 형성하는 단계를 나타낸다. 전기 절연층(17)은 폴리이미드 수지 등의 전기 절연성 수지재로 전극 단자 형성면을 피복한 다음, 전극 단자(14)가 형성되는 부분을 에칭하여 전극 단자(14)를 노출함으로써 형성된다. 도11c는 전극 단자 형성면 상에 재배선부(18)를 형성하는 단계를 나타낸다. 우선, 티타늄 텅스텐 합금을 스퍼터링하여 금속층(18a)을 형성한 다음, 금을 스퍼터링하거나 금으로 도금하여 금층(18b)을 형성한다. 금속층(18a)과 금층(18b)을 적층한 다음, 금층(18a)을 전극 단자(14)에 전기적으로 접속한다.

도11d는 금층(18b)을 형성하기 위해 레지스트 패턴(20)을 형성한 상태를 나타낸다. 에칭하는 동안 금층(18b)이 남아있을 부분을 덮도록 레지스트 패턴(20)을 패턴닝한다. 도11e는 금층(18b)을 에칭하여 소정의 금 패턴(18c)을 형성한 상태를 나타낸다.

도11f는 금 배선을 배선 접합에 의해 금 패턴과 접합하기 위해 금 배선을 접합할 접합부를 남기도록 금 패턴(18c)을 레지스트(22)로 피복한 상태를 나타낸다. 도11g는 금 배선(12a)을 배선 접합법을 사용하여 금 패턴(18c)의 접합부에 접합한 상태를 나타낸다. 금 배선(12a)은 L-형상으로 굽힌 다음, 단부를 절단하여 직각으로 굽힌다. 도11h는 금 배선(12a)의 표면에 니켈 합금 도금 등의 보호 도금(12b)을 행하는 공정을 나타낸다. 이 보호 도금(12b)은 도금 공급선인 금층(18a)을 사용하여 전해 도금에 의해 실행한다.

도11i는 레지스트(22)를 제거한 상태를 나타낸다. 이 상태에서 금속층(18a)을 에칭하여 도11j 내에 도시된 바와 같은 독립 패턴의 재배선부(18)를 형성한다. 금속층(18a)을 에칭하여 재배선부(18)를 형성하는 이 공정에서, 에칭은 금속층(18a)을 에칭하지만 금층(18b)은 부식시키지 않는 식각 용액을 사용하여 실행한다. 결과적으로 독립 배선 패턴을 갖는 재배선부(18)가 반도체 소자(10)의 전극 단자 형성면 상에 형성된 다음, 외부 접속 단자(12)가 재배선부(18) 내에 매설된 뒤에 반도체 장치가 얻어진다.

금 배선(12a)은 외부 접속 단자(12)가 유연성과 소정의 완충 특성을 갖도록 상술한 바와 같이 L-형상으로 굽혀진다. 이 반도체 장치는 패키징되는 한편 각 외부 접속 단자(12)의 말단부가 패키징 기판에 접속된다. 그러므로 외부 접속 단자(12)가 완충 특성을 갖게 되어, 반도체 장치가 패키징 등이 될 때 패키징 기판과 반도체 장치 간에서 발생하는 열응력의 문제를 회피할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나 금 배선(12a)으로 형성된 외부 접속 단자(12)를 갖는 반도체 장치는 각 외부 접속 단자(12)의 말단부를 패키징 기판에 접합하기 위해 사용되는 땜납이 재배선부(18)의 표면에 접착되어 회로 단락이 되고, 또한 습기 흡착으로 인해 리드 배선 간에 이동(migration)이 생기는 문제가 회피된다. 이러한 문제점은 외부 접속 단자(12)와 재배선부(18)가 전극 단자 형성면 상에서 노출되도록 형성되고 또한 땜납이 패키징하는 동안 크리프 업하기 쉽기 때문에 발생한다.

발명의 구성 및 작용

이러한 문제점을 해결하기 위해, 본 발명에서는 배선의 접합에 의해 형성되는 외부 접속 단자를 가지며 또한 반도체 소자의 전극 형성면 상에 형성되는 전극에 전기적으로 접속되는 반도체 장치에 있어서, 상기 외부 접속 단자가 소정의 패키징되는 동안 완충 특성을 갖고 있고, 패키징하는 동안 재배선부가 전기 회로 단락하는 문제점을 신뢰성 있게 제거할 수 있고, 패키징하는 동안 반도체 장치의 취급을 더 용이하게 하는 반도체 장치를 제공하는 데 목적이 있다.

본 발명에 의하면 적어도 하나의 전극 단자와 상기 전극 단자에 전기적으로 접속되는 재배선부가 형성되는 전극 형성면을 갖는 반도체 소자와, 재배선부에 접속되는 기단부와 그로부터 연장되는 말단부를 갖는

배선의 외부 단자와, 적어도 상기 외부 단자의 말단부가 전기 절연 수지로부터 노출되도록 전극 형성면을 덮는 상기 절연 수지를 갖는 반도체 장치를 제공하는 데 있다.

외부 단자는 배선 접합에 의해 재배선부에 접속되며 또한 기부와 그 말단부 간의 중간 위치에서 L-형상을 갖는다.

본 발명의 또 다른 태양에 의하면, 적어도 하나의 전극 단자와 재배선부가 형성되는 전극 형성면을 갖는 반도체 소자를 포함하는 반도체 장치의 제조 방법에 있어서, 배선의 일단부를 상기 재배선부에 접속하여 외부 접속 단자가 상기 재배선부로부터 연장되어 지지되도록 상기 외부 접속 단자를 형성하는 단계와, 상기 전극 형성면과 상기 외부 접속 단자의 외면을 전기 절연 수지로 피복하는 단계와, 상기 외부 접속 단자의 말단부로부터 상기 절연 수지의 일부를 제거하여 상기 절연 수지로부터 상기 말단부를 노출시키는 단계를 포함하는 반도체 장치의 제조 방법이 제공된다.

우선, 접합 공정 동안, 배선의 일단부를 상기 재배선부에 접합한 다음, 그 중간 위치에 L-형상부를 형성한다.

전극 형성면은 스핀 코팅 또는 스프레이 코팅에 의해 전기 절연 수지로 피복된다.

전극 형성면은 액체 절연 수지내에 외부 접속 단자와 함께 상기 반도체 소자를 침지함으로써 전기 절연 수지로서 피복된다.

반도체 소자의 전극 형성면은 상기 외부 접속 단자가 상기 절연 수지 내에 일정 깊이 매립되도록 전기 절연 수지로 피복된 다음, 상기 전기 절연 수지의 일부가 제거되어 상기 외부 접속 단자의 말단부가 상기 절연 수지로부터 노출된다.

전기 절연 수지의 일부는 에칭에 의해 제거된다.

전기 절연 수지의 일부는 박리 용액 내에 상기 외부 접속 단자의 말단부를 침지함으로써 제거된다.

[실시예]

이하 본 발명의 양호한 실시예를 상세히 설명한다.

도1은 본 발명의 일 실시예에 따른 반도체 장치를 나타낸다. 본 실시예에 따른 반도체 장치에서는, 각각의 외부 접속 단자(12)가 측면도에서 볼 수 있는 바와 같이 금 배선(12a)을 L-형상으로 굽혀줌으로써 구성되며, 또한 도10에 나타낸 반도체 장치와 동일한 방식으로 반도체 소자(10)의 전극 단자 형성면 상에 형성되는 2차 배선 또는 재배선부(18)에 접속된다. 본 실시예에서는, 외부 접속 단자(12)가 측면도에서 볼 수 있는 바와 같이 L-형상을 갖지만, S-형상 또는 궁형 등의 만곡 형상과 같은 다른 형상이어도 좋다. 재배선부(18)는 패시베이션 막(16)을 덮는 전기 절연층(17)의 표면 상에 형성되는 한편 그 단부 중 하나는 전극 단자(14)에 전기적으로 접속된다. 참조 번호 18a는 전극 단자(14)에 전기적으로 접속되는 금속층을 나타낸다.

본 실시예의 반도체 장치는 전극 단자 형성면 상에 형성되는 재배선부(18)가 절연 수지(30)로 덮히는 것을 제외하고, 도10에 나타낸 종래의 반도체 장치와 동일한 구조를 갖는다. 외부 접속 단자(12)는 기부로부터 노출되지만 전극 단자 형성면의 전면은 절연 수지(30)로 덮힌다. 전극 단자 형성면은 이러한 식으로 절연 수지(30)로 덮히기 때문에, 재배선부(18)는 외부로 노출되지 않고 보호된다. 결과적으로, 땜납이 재배선부(18)에 접착되어 리드 배선 간에 전기 회로 단락이 되는 문제점과 인접한 재배선부(18) 간에 이동이 발생하는 문제점을 방지할 수 있다. 그 결과, 본 실시예에 따른 반도체 장치는 리드 배선 간의 전기 회로 단락을 야기하지 않고 신뢰성 있게 패키징할 수 있을 뿐만 아니라 패키징하는 동안 용이하게 취급할 수 있다.

반도체 장치의 전극 단자 형성면이 절연 수지(30)로 덮히는 구조를 갖는 반도체 장치의 제조 방법은 제조 단계(j)까지는 도11에 나타낸 종래 기술에 따른 반도체 장치의 제조 방법과 완전 동일하다. 이 공정 단계(j) 후, 전극 단자 형성면은 전기 절연 특성을 갖는 수지재로 피복한 다음 경화된다(도2a). 그 후, 피복하는 동안 외부 접속 단자(12)의 외면에 접착된 수지재(30a)를 에칭에 의해 제거하여(도2b), 반도체 장치를 제공한다. 반도체 소자(10)의 전극 단자 형성면을 수지재로 피복하는 방법은 스핀 코팅, 스프레이 등이 있다.

본 실시예에 따른 반도체 장치는 반도체 소자(10)의 전극 단자 형성면이 절연 수지(30)로 덮히고 또한 외부 접속 단자(12)가 기부로부터 노출된 형이다. 이에 비해, 도3 및 도4에 나타낸 실시예의 반도체 장치는 반도체 소자(10)의 전극 단자 형성면이 절연 수지(30)로 비교적 두껍게 덮히고 또한 외부 접속 단자(12)의 말단부만이 절연 수지(30)의 외면으로부터 노출된 형이다.

도3에 나타낸 실시예에서는, 외부 접속 단자(12)가 상술한 실시예에서와 동일한 방식으로 측면도에서 볼 수 있는 바와 같이 L-형으로 굽혀있고, 외부 접속 단자(12)의 말단부가 절연 수지(30)의 외면으로부터 노출된다. 외부 접속 단자(12)는 금 배선(12a)의 외면 상에 형성되는 보호 도금(12b)을 갖는다.

도4에 나타낸 실시예에서는, 외부 접속 단자(12)가 전극 단자 형성면으로부터 수직한 방향으로 연장하는 식으로 형성된다. 외부 접속 단자(12)의 말단부는 절연 수지(30)의 외면으로부터 돌출하며 또한 외부 접속 단자(12)의 말단부에는 땜납 범프(32)가 형성된다. 땜납 범프(32)는 땜납 페이스트를 인쇄한 후, 외부 접속 단자(12)의 말단부에 도포한 다음 그 땜납을 리플로우 함으로써 외부 접속 단자(12)의 말단부에 형성될 수 있다. 땜납 범프(32)를 외부 접속 단자(12)의 말단부에 접합하기 위해, 외부 접속 단자(12)는 금 배선 자체 또는 백금으로 도금한 금 배선 또는 니켈-코발트 합금으로 도금 후 백금 도금으로 더 도금한 금 배선으로 제조하여 땜납에 의한 습윤성을 향상시킨 것이 바람직하다.

도3 및 도4에 나타낸 실시예에서는, 외부 접속 단자(12)가 절연 수지(30) 내에 매립된다. 그러므로 이 실시예들은 전극 단자 형성면을 절연 수지(30)로 덮는 작업이 비교적 쉬워지는 장점을 제공한다. 이들 반도체 장치가 제조될 때 외부 접속 단자(12)의 형성까지의 공정 단계는 종래의 방법과 동일하다. 외부 접속 단자(12)가 형성된 후, 반도체 소자(10)의 전극 단자 형성면의 전면을 절연 수지(30)로 피복하여 외부 접

속 단자(12)를 매립한 후, 절연 수지(30)의 외면을 에칭하여 외부 접속 단자(12)의 말단면을 절연 수지(30)의 표면으로부터 노출한다.

외부 접속 단자(12)가 도3 및 도4에 나타낸 바와 같이 말단부를 제외하고 절연 수지(30) 내에 매립되면, 저탄성 계수를 갖는 절연 수지(30)를 사용하여 패키징하는 동안 절연 수지(30)의 부분에서 열응력이 완화되도록 하는 것이 바람직하다. 절연 수지(30)로는 1KPa 이하의 탄성 계수를 갖는 수지재가 적합하며, 그러한 수지의 예로는 에폭시 수지, 아크릴 수지, 실리콘 수지 등이 있다. 그러한 저탄성 계수를 갖는 절연 수지(30)가 사용되면, 반도체 장치의 패키징하는 동안 열응력 등이 효과적으로 완화될 수 있다. 더욱이 패키징하는 동안 배선의 전기 회로 단락의 문제점이 제거될 수 있으며, 또한 취급이 용이한 반도체 장치를 제공할 수 있다.

상술한 실시예에 따른 반도체 장치는 금 배선(12a)에 니켈-코발트 합금의 보호 도금(12b)을 피복 함으로써 형성된 외부 접속 단자(12)를 사용한다. 그러나 반도체 칩(10)의 전극 단자 형성면을 도3 및 도4에 나타낸 바와 같이 절연 수지(30)로 덮으면, 외부 접속 단자(12)의 외면이 보호 도금(12b)으로 덮히지 않아도 된다. 절연 수지(30)가 외부 접속 단자(12)를 보호하기 때문이다.

도5는 본 발명의 다른 실시예에 따른 반도체 장치를 나타낸다. 본 실시예에 따른 반도체 장치에서는, 재배선부(18)를 포함하는 전극 단자 형성면이 전기 절연 특성을 갖는 절연 수지(30)로 완전히 덮힌다. 전극 단자 형성면으로부터 돌출하는 외부 접속 단자(12)는 패키징 기판에 접속될 말단부를 제외하고 절연 수지(30)로 덮혀 있다. 재배선부(18)를 포함하는 전극 단자 형성면이 절연 수지(30)로 덮혀 있기 때문에, 재배선부(18)는 외부에 노출되는 것으로부터 보호된다. 결과적으로, 땜납이 재배선부(18)에 접착하여 반도체 장치의 패키징 중에 리드 배선의 전기 회로 단락을 회피할 수 있고 또한 인접한 리드 배선 간의 이동도 방지할 수 있다.

금속층(19)은 재배선층(18)의 금 배선(12a)이 접합하는 영역에 형성된 백금 도금층이다. 그러한 금속층(19)은 항상 필요한 것이 아니다.

절연 수지(30)가 금 배선(12a)의 외면을 덮기 때문에, 본 실시예는 저탄성 계수로 어느 정도의 유연성을 갖는 수지를 사용하며, 그에 의해 절연 수지(30)로 덮혀 있는 상태에서 외부 접속 단자(12)가 필요한 유연성을 가질 수 있다. 1KPa미만의 탄성 계수를 갖는 수지재가 절연 수지(30)용으로 적합하게 사용될 수 있으며, 각 수지의 바람직한 예로서 에폭시, 아크릴계 수지재 또는 실리콘 수지가 있다. 금 배선(12a)의 외면이 낮은 유연성을 갖는 절연 수지(30)로 피복되면, 외부 접속 단자(12)는 종래의 장치에서 제조한 바와 같이 금 배선(12a)이 보호 도금(12b)에 의해 덮힐 때보다 더 높고 충분한 유연성을 가지며, 패키징하는 동안 응력 완화 작용이 더 우수하게 된다.

도6 및 도7은 본 실시예의 반도체 장치의 제조 방법을 나타낸다. 도6a는 반도체 소자(10)의 전극 단자 형성면 상에 재배선부(18)이 형성된 상태를 나타낸다. 본 실시예에서는, 보호 도금(12b)이 외부 접속 단자(12)로서의 금 배선(12a)의 외면에 피복되지 않는다. 그러므로 재배선부(18)는 도11에 나타낸 종래의 공정에서의 공정 단계(e)에서 금속층(18a)을 에칭함으로써 형성될 수 있다. 재배선부(18)를 형성하는 또 다른 방법은 전극 단자 형성면 상에 형성된 전기 절연층(17)의 표면 상에 스퍼터링 등에 의해 도전층을 형성하는 단계와, 상기 도전층의 표면 상에 재배선부(18)가 형성될 부분만을 덮는 레지스트 패턴을 형성하는 단계와, 재배선부(18)를 남기도록 마스크인 레지스트 패턴으로 도전층을 에칭하는 단계를 포함한다.

도6b는 재배선부(18)에 금 배선(12a)을 접합함으로써 외부 접속 단자(12)가 형성된 상태를 나타낸다. 우선 금 배선(12a)을 반도체 장치의 배선 접합용 접합기(24)를 사용하여 재배선부(18)에 접합한 다음, 도면에 나타낸 바와 같이 접합기(24)의 이동을 제어함으로써 외부 접속 단자(12)의 요구 형상인 L-형상으로 굽힌다.

도6c는 반도체 소자(10)의 전극 단자 형성면과 외부 접속 단자(12)의 외면이 절연 수지(30)로 피복될 수 있도록 전극 단자 형성면을 액체 절연 수지(30)내에 침지한 상태를 나타낸다.

그외에, 반도체 소자(10)의 전극 단자 형성면에 액체 절연 수지(30)를 스프레이하여, 액체 절연 수지(30) 내에 반도체 소자(10)의 전극 단자 형성면과 외부 접속 단자(12)를 침지하는 대신 전극 단자 형성면과 외부 접속 단자(12)의 전체 표면을 절연 수지(30)로 덮는 것이 가능하다.

도7a는 반도체 소자(10)의 전극 단자 형성면과 외부 접속 단자(12)의 외면이 상술한 공정 단계에 의해 절연 수지(30)로 덮힌 상태를 나타낸다. 전극 단자 형성면과 외부 접속 단자(12)의 외면이 절연 수지(30)로 덮힌 후 절연 수지(30)를 경화한다.

경화 후, 외부 접속 단자(12)의 말단부를 노출한다. 이 후 외부 접속 단자(12)의 말단부를 우선 도7a에 나타낸 바와 같이 박리 용액(40)에 침지함으로써 외부 접속 단자(12)의 말단부를 덮는 절연 수지(30)를 용해 제거할 수 있다.

그외에도, 절연 수지(30)의 종류에 따라 전극 단자 형성면과 외부 접속 단자(12)의 외면을 절연 수지(30)로 우선 덮은 다음, 절연 수지(30)를 예비 경화하여 외부 접속 단자(12)의 말단부의 절연 수지(30)를 용해 제거한 후, 주된 경화를 실행하는 것이 가능하다. 절연 수지(30)가 예비 경화된 상태는 절연 수지(30)가 쉽게 용해 제거될 수 있는 장점을 제공한다.

도7b는 외부 접속 단자(12)의 말단부가 노출된 후, 그 말단부와 전극 단자 형성면의 전면 이외의 외부 접속 단자(12)의 부분이 상술한 방식으로 절연 수지(30)로 덮힌 상태의 최종 반도체 장치를 나타낸다.

그렇게 제조된 반도체 장치에서는, 외부 접속 단자(12)가 절연 수지(30)로 덮히므로 보강 상태로 지지된다. 절연 수지(30)가 소정의 유연성을 갖기 때문에 외부 접속 단자(12)의 유연성을 제한하지 않지만 반도체 장치의 패키징 공정 동안 열응력을 적당하게 완화할 수 있다.

본 실시예에 따른 반도체 장치에서는, 패키징 시에 외부 접속 단자(12)의 말단부의 노출 거리를 조정함으로써 땜납 습윤성을 조정할 수 있다. 외부 접속 단자(12)의 외면이 도8a에 나타낸 바와 같이 절연 수지(30)로 덮히면 땜납(50)의 크리프 업은 절연 수지(30)가 배치되는 부분에서 체크될 수 있다. 땜납(50)은

외부 접속 단자(12)의 말단부 상에 사전에 형성해도 좋고, 그렇지 않으면 장착 기판의 단자부 상에 사전에 형성해도 좋다. 도8b는 외부 접속 단자(12)가 절연 수지(30)로 덮히지 않아 땜납(50)의 크리프 업이 발생한 상태를 나타낸다.

도9는 외부 접속 단자(12)가 매립되도록 반도체 칩(10)의 전극 단자 형성면이 절연 수지(30)로 덮히는 실시예를 나타낸다.

도9a는 반도체 소자(10)의 전극 단자 형성면이 절연 수지(30)로 덮히고 또한 외부 접속 단자(12)가 절연 수지(30)로 덮힌 상태를 나타낸다. 외부 접속 단자(12)는 상술한 실시예와 동일한 방식으로 금 배선으로 단독으로 형성된다. 외부 접속 단자(12)를 매립하도록 절연 수지(30)로 외부 접속 단자(12)를 덮기 위해 스핀 코팅을 사용하 수 있다.

도9b에 나타낸 바와 같이, 반도체 소자(10)의 전극 단자 형성면이 절연 수지(30)로 덮힌 후 절연 수지(30)의 외면을 절연 수지(30)로 덮고, 절연 수지(30)의 외면을 절연 수지(30)의 박리 용액내에 침지한다. 이러한 방식으로 외부 접속 단자(12)의 말단부를 절연 수지(30)의 표면으로부터 노출시킬 수 있다.

본 발명에 따른 반도체 장치의 제조 방법에서는, 반도체 칩(10)의 전극 단자 형성면을 액상 등의 절연 수지(30)로 덮는 방법 또는 외부 접속 단자(12)의 외면을 덮는 방법을 쉽게 수행할 수 있다. 그러므로 반도체 칩(10)의 전극 단자 형성면을 절연 수지(30)로 쉽게 덮을 수 있다.

본 발명에 따른 반도체 장치의 제조 방법은 개별 반도체 칩을 작업편으로 하는 경우와 반도체 웨이퍼를 작업편으로 하는 경우에 적용할 수 있으며, 또한 효율적으로 제조 방법을 실행할 수 있다. 반도체 웨이퍼가 작업편일 때, 전극 단자 형성면을 절연 수지(30)로 덮는 한편 외부 접속 단자(12)를 반도체 웨이퍼의 전극 단자 형성면에 설치한다. 그 후 반도체 웨이퍼를 개별 반도체 장치로 절단한다.

상술한 실시예는 각각 반도체 칩(10)의 전극 단자 형성면 상에 재배선부(18)를 배치하고 외부 접속 단자(12)를 재배선부(18)에 접속하는 구조를 사용한다. 그러나 외부 접속 단자(12)는 전극 단자 형성면 상에 재배선부(18)를 배치하지 않고 전극 단자(14) 자체에 접속되도록 형성할 수 있다.

절연 수지(30)용으로 UV-경화 수지를 사용할 수 있다. 이 경우, 전극 단자 형성면을 절연 수지(30)로 덮은 후, 자외선을 절연 수지(30)에 조사하여 경화시킨다.

발명의 효과

본 발명에 따른 반도체 장치에서는, 반도체 칩의 전극 단자 형성면 상에 형성된 재배선부를 절연 수지로 덮는다. 그 후, 반도체 칩을 패키징하면, 반도체 장치의 리드 배선 간에 발생하는 전기 회로 단락과 이동 발생의 문제점이 없어진다. 소정의 완충 특성을 갖는 재료를 재배선부를 덮는 절연 수지로서 사용하기 때문에, 패키징 하는 동안 패키지 기판과 반도체 칩 간에 발생하는 열응력을 효과적으로 완화할 수 있고, 또한 고 신뢰성을 갖는 반도체 장치를 얻을 수 있다.

본 발명의 반도체 장치의 제조 방법에 따르면, 반도체 칩의 전극 단자 형성면을 절연 수지로 쉽게 덮을 수 있고, 또한 고신뢰성을 가짐과 동시에 취급이 용이한 반도체 장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1

적어도 하나의 전극 단자와 상기 전극 단자에 전기적으로 접속되는 재배선부가 형성되는 전극 형성면을 갖는 반도체 소자와,

상기 재배선부에 접속되는 기단부와 그로부터 연장되는 말단부를 갖는 배선으로 된 외부 단자와,

적어도 상기 외부 단자의 상기 말단부가 노출되도록 상기 전극 형성면을 덮는 전기 절연 수지

를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 외부 단자는 배선 접합에 의해 상기 재배선부에 접속되며 또한 상기 기단부와 상기 말단부 간의 중간 위치에서 L-형상을 갖는 것을 특징으로 하는 반도체 장치.

청구항 3

적어도 하나의 전극 단자와 재배선부가 형성되는 전극 형성면을 가지며, 상기 재배선부가 상기 전극 단자에 전기적으로 접속되는 반도체 소자를 포함하는 반도체 장치의 제조 방법에 있어서,

외부 접속 단자가 상기 재배선부로부터 연장되어 지지되도록 상기 재배선부에 배선의 일단부를 접합하여 상기 외부 접속 단자를 형성하는 단계와,

상기 전극 형성면과 상기 외부 접속 단자의 외면을 전기 절연 수지로 피복하는 단계와,

상기 외부 접속 단자의 말단부로부터 상기 절연 수지의 일부를 제거하여 상기 절연 수지로부터 상기 말단부를 노출시키는 단계

를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제3항에 있어서,

상기 접합 공정 동안 상기 배선의 일단부를 상기 재배선부에 접합한 다음, 그 중간 위치에 L-형상 부분을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제3항에 있어서,

상기 전극 형성면은 스핀 코팅 또는 스프레이 코팅에 의해 전기 절연 수지로 피복되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

제3항에 있어서,

상기 전극 형성면은 상기 반도체 소자를 상기 외부 접속 단자와 함께 액상 절연 수지 내에 침지함으로써 전기 절연 수지로 피복되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7

제3항에 있어서,

상기 반도체 소자의 전극 형성면이 상기 외부 접속 단자가 상기 절연 수지 내에 매립되는 깊이로 상기 절연 수지로 피복된 다음,

상기 전기 절연 수지의 일부가 제거됨으로써 상기 외부 접속 단자가 상기 절연 수지로부터 노출되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 전기 절연 수지의 일부가 에칭에 의해 제거되는 것을 특징으로 하는 반도체 장치의 제조 방법.

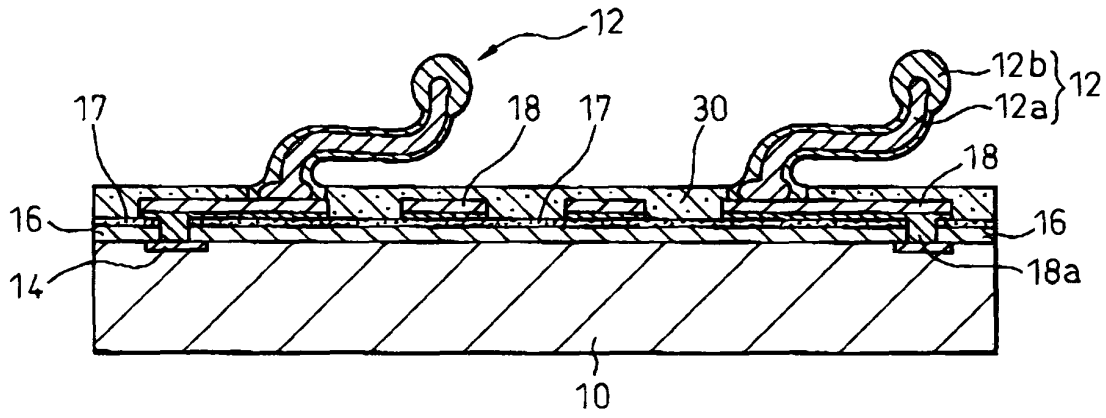
청구항 9

제7항에 있어서,

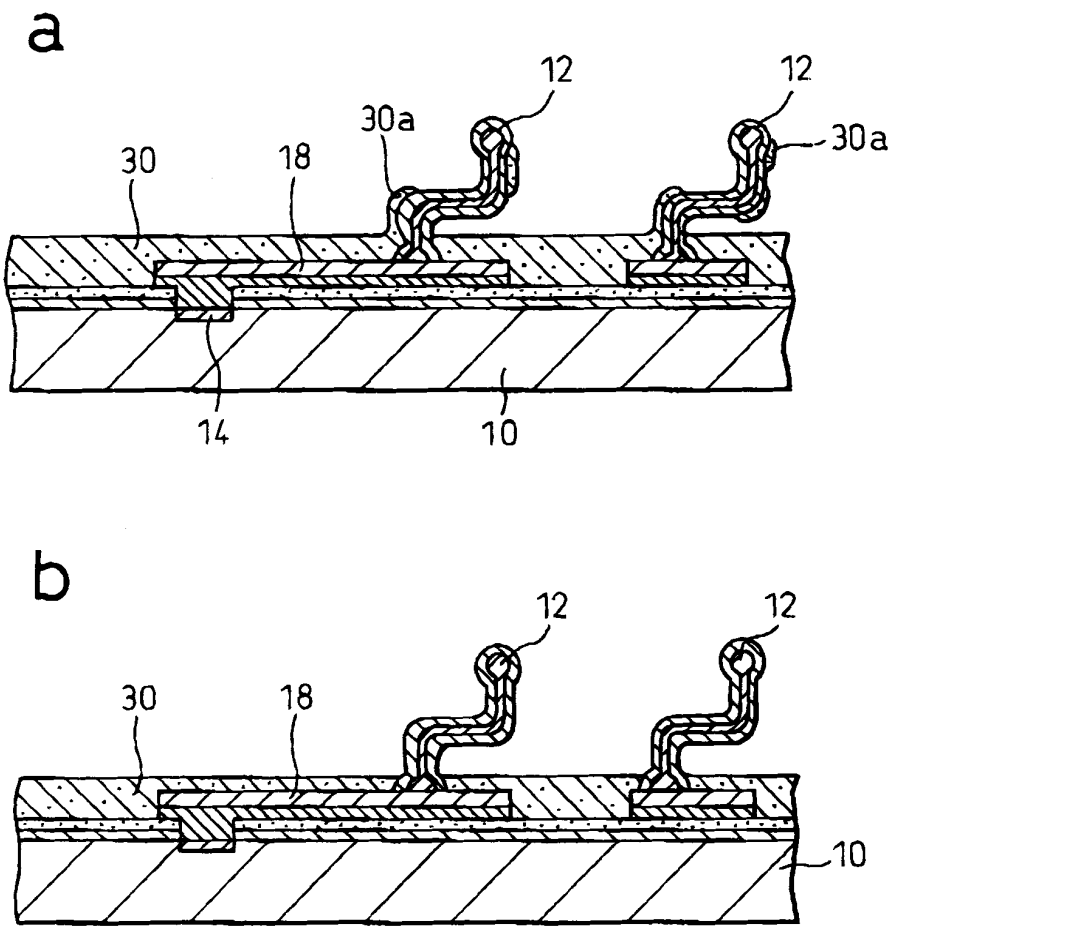
상기 전기 절연 수지의 일부가 상기 외부 접속 단자의 상기 말단부를 박리 용액에 침지함으로써 제거되는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

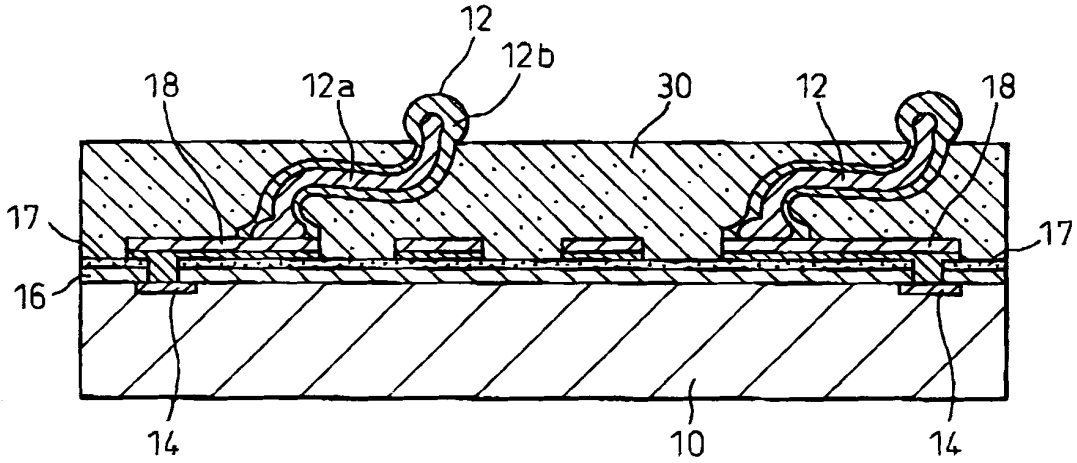
도면1



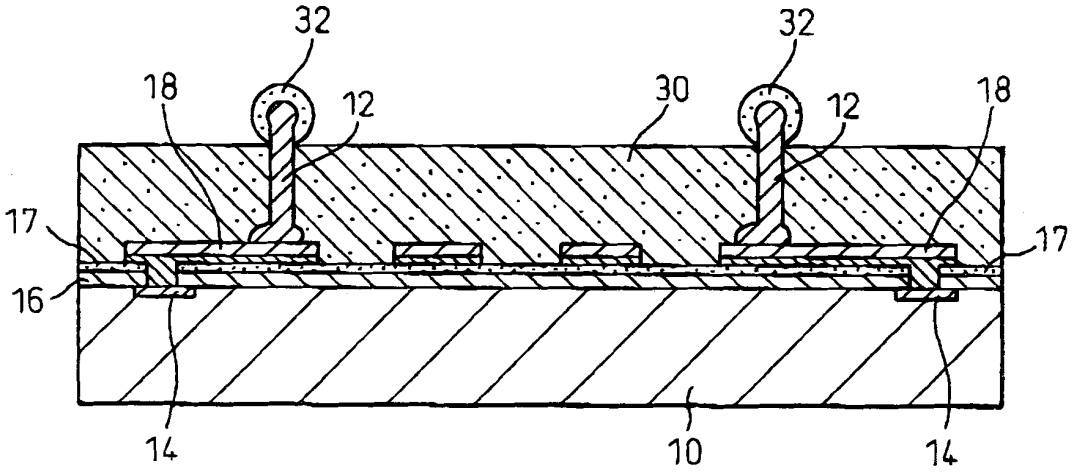
도면2


a
12
12
30a
30a
30
18
14
10
b
12
12
30
18
10

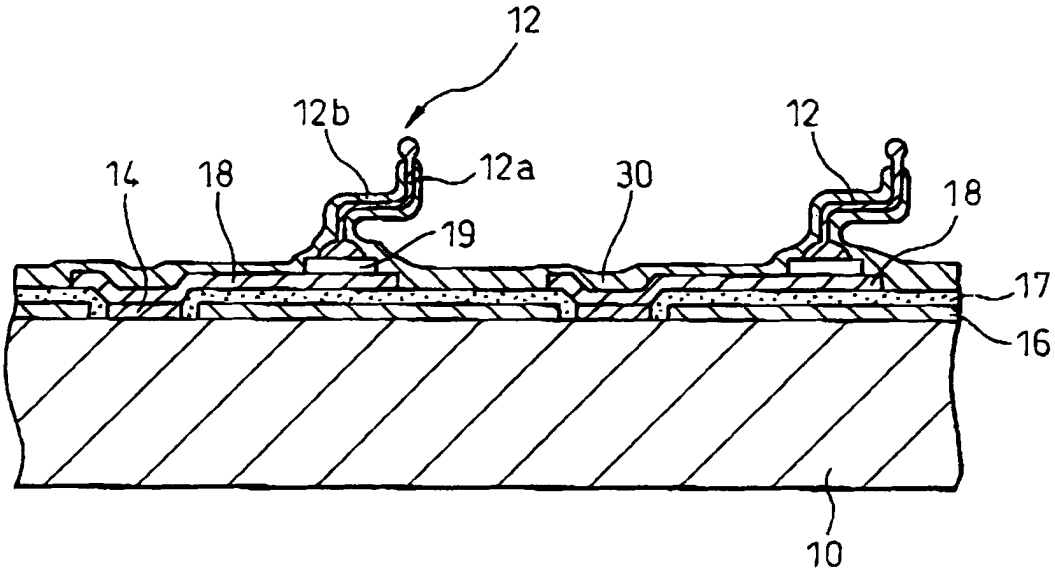
도면3


12
12b
18
12a
30
12
18
17
17
16
14
10
14

도면4

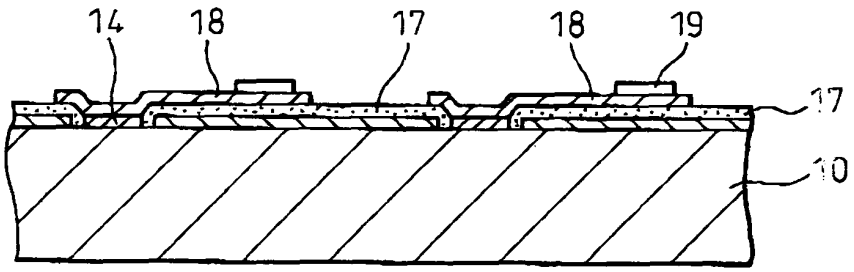

32
32
18
12
30
12
18
17
17
16
14
10
14

도면5

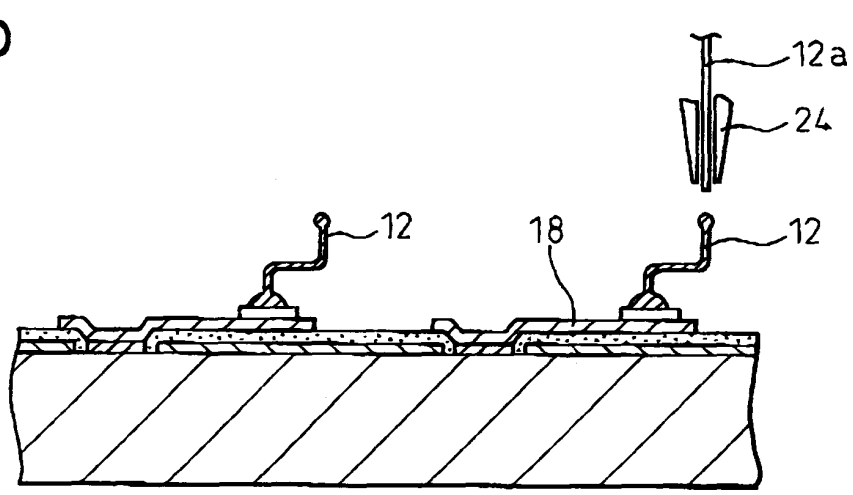

12
12b
12
14
18
12a
30
18
19
17
16
10

도면6

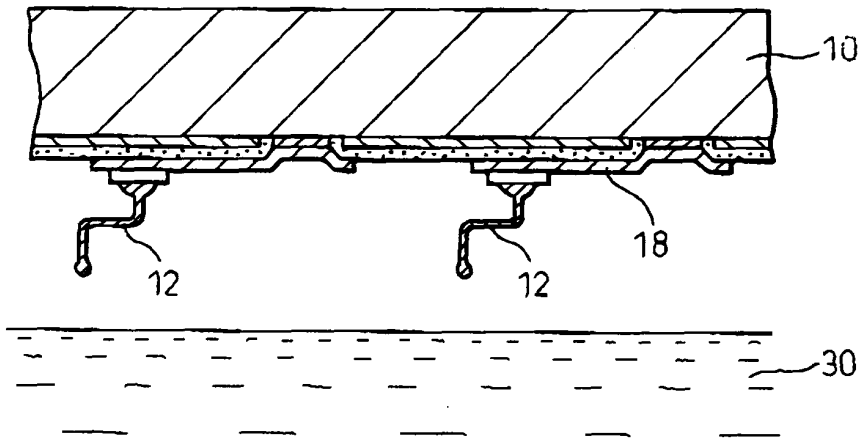
a



b

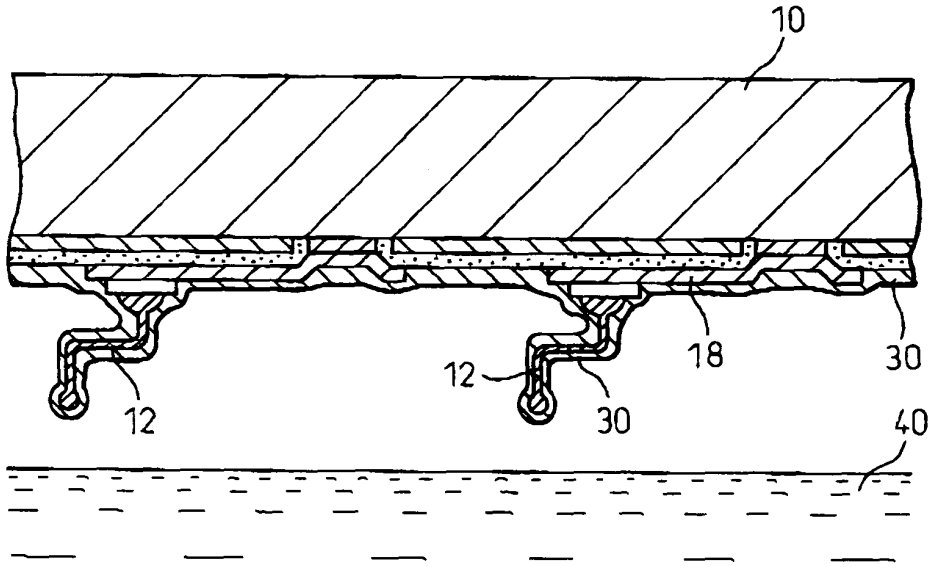


c

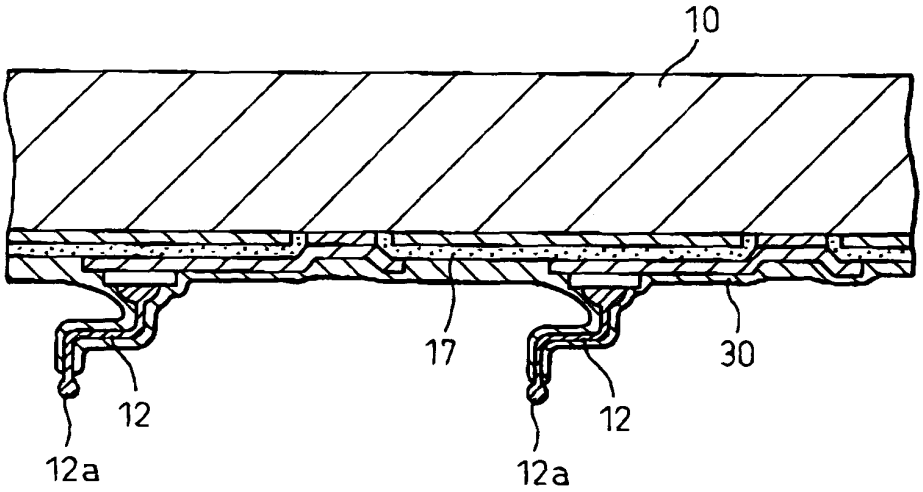


도면7

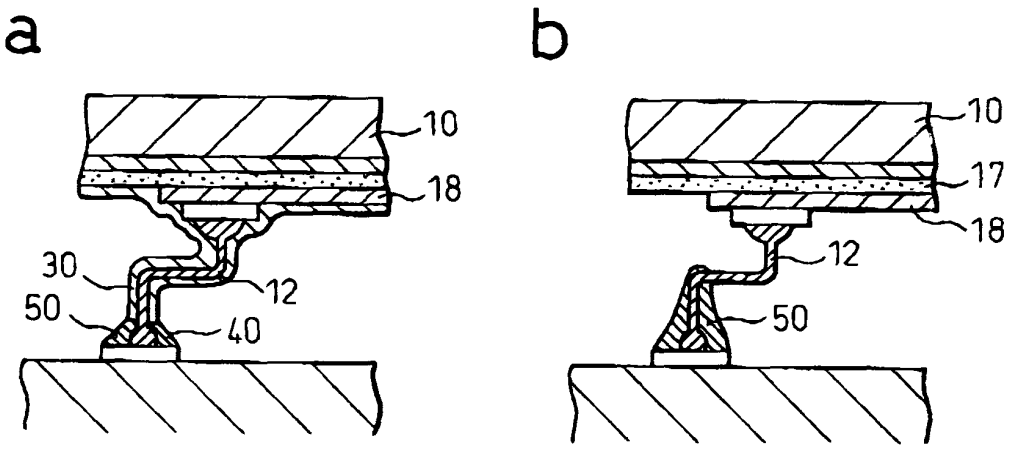
a



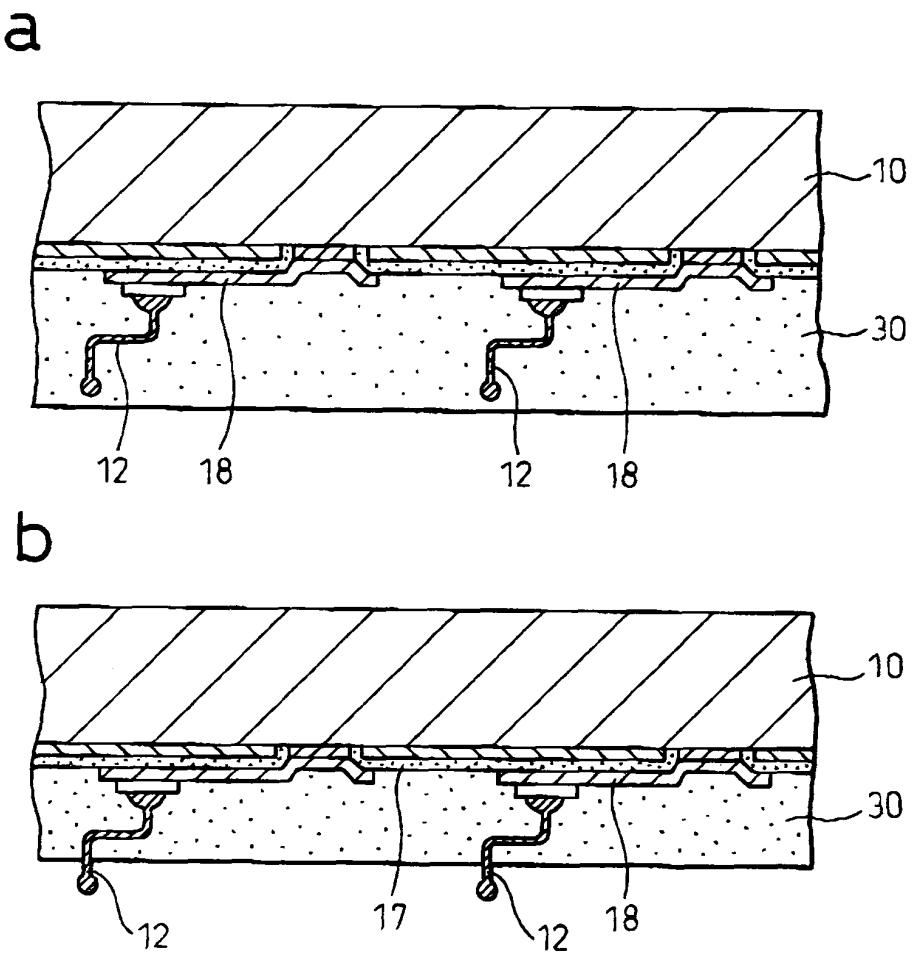
b



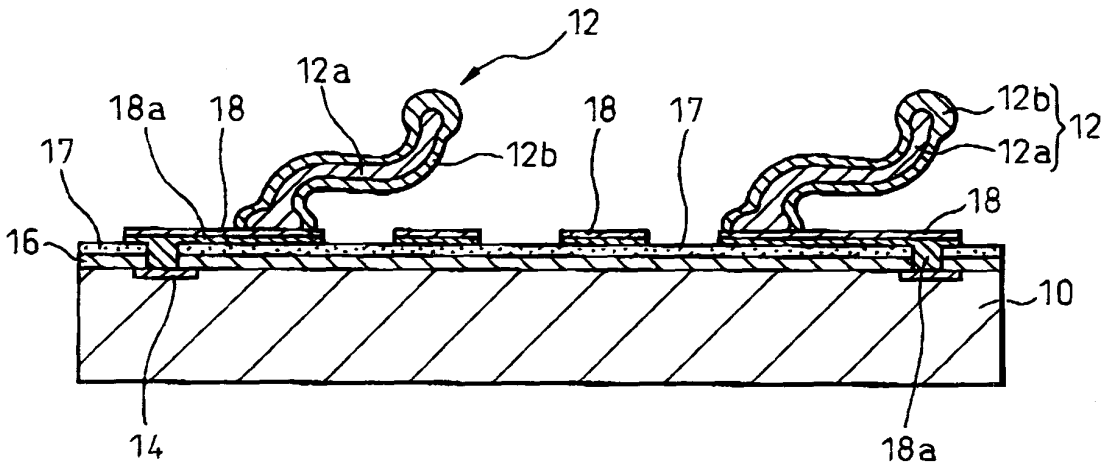
도면8


a
b
10
18
30
12
50
40
10
17
18
12
50

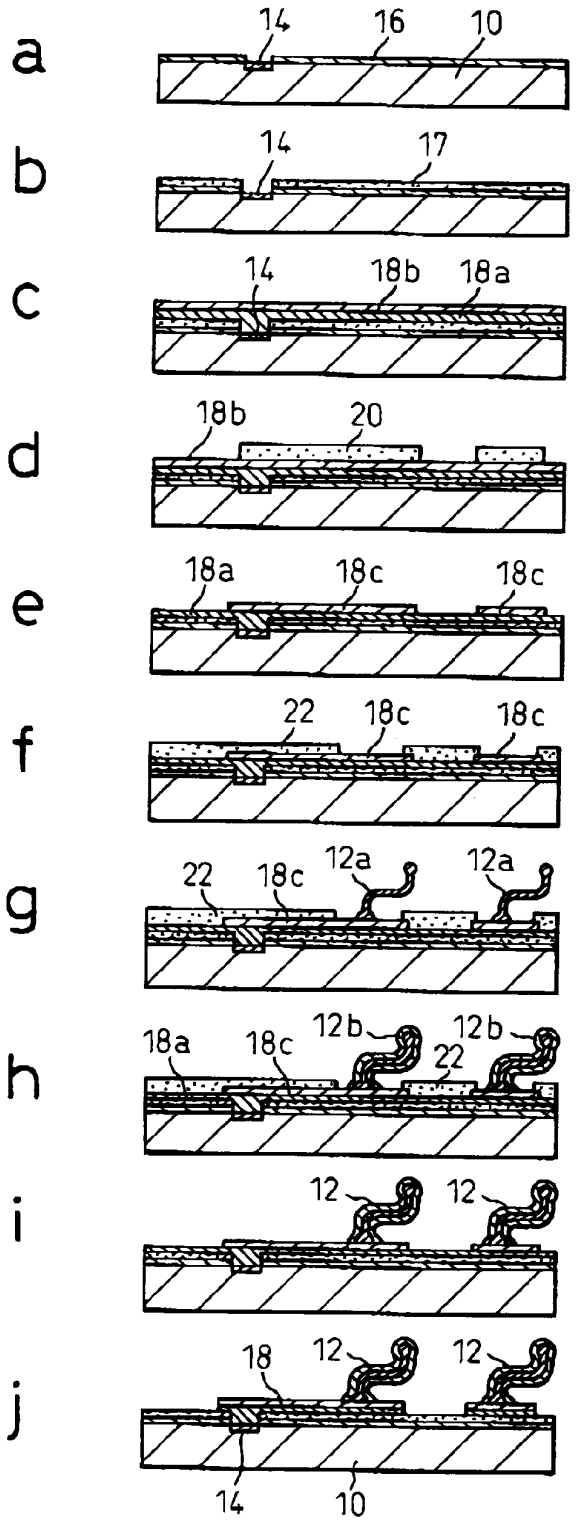
도면9


a
10
30
12
18
12
18
b
10
30
12
17
12
18

도면10



도면11


a
14
16
10
b
14
17
c
14
18b
18a
d
18b
20
e
18a
18c
18c
f
22
18c
18c
g
22
18c
12a
12a
h
18a
18c
12b
12b
22
i
12
12
j
18
12
12
14
10