

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G06F 12/08 (2006.01)  
G06F 13/16 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200880010770.7

[43] 公开日 2010年3月31日

[11] 公开号 CN 101689145A

[22] 申请日 2008.3.19

[21] 申请号 200880010770.7

[30] 优先权

[32] 2007.3.30 [33] US [31] 60/909,359

[86] 国际申请 PCT/US2008/057471 2008.3.19

[87] 国际公布 WO2008/121559 英 2008.10.9

[85] 进入国家阶段日期 2009.9.29

[71] 申请人 拉姆伯斯公司

地址 美国加利福尼亚州

[72] 发明人 C·哈姆佩尔 M·霍罗韦兹

[74] 专利代理机构 北京市金杜律师事务所  
代理人 王茂华 李峥宇

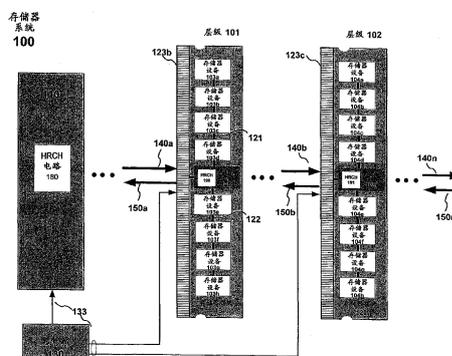
权利要求书 4 页 说明书 19 页 附图 8 页

## [54] 发明名称

包括具有不同类型集成电路存储器设备的分层存储器模块的系统

## [57] 摘要

公开了一种存储器系统，其包括：存储器控制器和定义第一存储器层级的易失性存储器设备的第一集合。该易失性存储器设备的第一集合布置在至少一个第一存储器模块上，其以菊花链式配置耦合至存储器控制器。第一集成电路缓冲器设备包括在该模块上。该系统具有定义第二存储器层级的非易失性存储器设备的第二集合。该非易失性存储器设备的第二集合布置在至少一个第二存储器模块上，其以菊花链式配置耦合至至少一个第一存储器模块。第二模块包括第二集成电路缓冲器设备。配置该系统以使得在存储器控制器和第二存储器层级之间传输的信号通过第一存储器层级。



1. 一种存储器系统，包括：

存储器控制器；

定义第一存储器层级的易失性存储器设备的第一集合，所述易失性存储器设备的第一集合布置在至少一个第一存储器模块上，所述至少一个第一存储器模块以菊花链式配置耦合至所述存储器控制器，并且包括第一集成电路缓冲器设备；

定义第二存储器层级的非易失性存储器设备的第二集合，所述非易失性存储器设备的第二集合布置在至少一个第二存储器模块上，所述至少一个第二存储器模块以菊花链式配置耦合至所述至少一个第一存储器模块，并且包括第二集成电路缓冲器设备。

2. 根据权利要求1所述的存储器系统，其中在所述存储器控制器和所述第二存储器层级之间传输的信号通过所述第一存储器层级。

3. 根据权利要求1所述的存储器系统，其中所述至少一个第一存储器模块包括多个第一存储器模块，所述多个第一存储器模块中的每个包括相应的第一集成电路缓冲器设备，并且其中所述相应的第一集成电路缓冲器设备以菊花链方式经由相应的点到点链接集合耦合。

4. 根据权利要求3所述的存储器系统，其中所述相应的点到点链接集合包括用于向所述存储器控制器传输信号的至少一个上游信号路径，以及用于从所述存储器控制器传输出信号的至少一个下游信号路径。

5. 根据权利要求4所述的存储器系统，其中每个点到点链接包括单向串行链接。

6. 根据权利要求1所述的存储器系统，其中所述易失性存储器设备包括动态随机访问存储器（DRAM）设备。

7. 根据权利要求1所述的存储器系统，其中所述非易失性存储

器设备包括闪存设备。

8. 根据权利要求 1 所述的存储器系统，其中所述至少一个第一存储器模块包括全缓冲双列内插式存储器模块。

9. 根据权利要求 1 所述的存储器系统，其中所述至少一个第二存储器模块包括多个第二存储器模块，所述多个第二存储器模块中的每个包括相应的第二集成电路缓冲器设备，并且其中所述相应的第二集成电路缓冲器设备以菊花链方式经由相应的点到点链接集合彼此耦合。

10. 根据权利要求 9 所述的存储器系统，其中所述相应的点到点链接集合包括用于向所述存储器控制器传输信号的至少一个上游信号路径，以及用于从所述存储器控制器传输信号的至少一个下游信号路径。

11. 根据权利要求 10 所述的存储器系统，其中每个点到点链接包括单向串行链接。

12. 一种用于操作存储器系统的方法，所述存储器系统具有以菊花链方式耦合至易失性存储器设备的第一集合的存储器控制器，所述易失性存储器设备的第一集合布置在至少一个第一存储器模块上，所述存储器系统包括布置在至少一个第二存储器模块上的非易失性存储器设备的第二集合，所述至少一个第二存储器模块以菊花链式耦合至所述至少一个第一存储器模块，所述方法包括：

沿下游信号路径，从所述存储器控制器向所述易失性存储器设备的第一集合的一部分传输写数据；

在所述易失性存储器设备的第一集合的一部分中累积所述写数据；以及

沿第二下游信号路径，将所述写数据从所述易失性存储器设备的第一集合传送到所述非易失性存储器设备的第二集合的一部分。

13. 根据权利要求 12 所述的方法，其中所述传输、累积和传送操作中的至少两个并发发生。

14. 根据权利要求 12 所述的方法，其中所述易失性存储器设备

包括动态随机访问存储器设备, 所述非易失性存储器设备包括闪存设备, 以及

其中累积所述写数据包括将所述写数据写入相同地址处的DRAM设备的平行集合; 以及

其中将所述写数据从所述易失性存储器设备的第一集合传送到所述非易失性存储器设备的第二集合包括: 将所述写数据从所述动态随机访问存储器设备的第一集合中相同地址的所述平行集合重映射到所述闪存设备之一中的块。

15. 一种用于操作存储器系统的方法, 所述存储器系统具有以菊花链方式耦合至易失性存储器设备的第一集合的存储器控制器, 所述易失性存储器设备的第一集合布置在至少一个第一存储器模块上, 所述存储器系统包括布置在至少一个第二存储器模块上的非易失性存储器设备的第二集合, 所述至少一个第二存储器模块以菊花链式耦合至所述至少一个第一存储器模块, 所述方法包括:

沿上游数据路径, 从所述非易失性存储器设备的第二集合的一部分, 向所述易失性存储器设备的第一集合传送读数据;

将所述读数据存储在该所述易失性存储器设备的第一集合的一部分中;

访问存储在所述易失性存储器设备的第一集合的所述一部分中的数据。

16. 根据权利要求15所述的方法, 其中所述传送、存储和访问操作中的至少两个并发发生。

17. 一种用于操作存储器系统的方法, 所述存储器系统具有以菊花链方式耦合至易失性存储器设备的第一集合的存储器控制器, 所述易失性存储器设备的第一集合布置在至少一个第一存储器模块上, 所述存储器系统包括布置在至少一个第二存储器模块上的非易失性存储器设备的第二集合, 所述至少一个第二存储器模块以菊花链式耦合至所述至少一个第一存储器模块, 所述方法包括:

沿第一上游数据路径从所述非易失性存储器设备的第二集合的

第一部分向所述易失性存储器设备的第一集合传送第一读数据;

将所述第一读数据写入所述易失性存储器设备的第一集合的第二部分;

标识所述易失性存储器设备的第一集合的第三部分中存储的第二数据; 以及

通过以下操作将所述第一数据与所述第二数据合并:

沿下游数据路径, 将所述第一读数据和所述第二数据从所述易失性存储器设备的第一集合的所述第一部分和第二部分传送到所述非易失性存储器设备的第二集合, 并且将所述第一数据和第二数据写入所述非易失性存储器设备的第二集合的块部分。

## 包括具有不同类型集成电路存储器设备的 分层存储器模块的系统

### 技术领域

本公开内容在此一般地涉及集成电路设备和/或此类设备的高速信令。

### 背景技术

在各种存储器技术以及实现那些存储器技术中，在存储器系统的性能、耐久性、密度、成本和功耗方面存在着显著差异。虽然特定的存储器技术可以具有相对短的延迟或读取访问时间，但是同一存储器技术可能具有相对较长的写入时间，这可能不适于某些应用。对于特定存储器位置，特定的存储器技术可能限于相对低的写操作数量。在超过限制的写操作数量之后，则可能不能可靠地存储以及从存储器位置取回信息。在密度方面，存储器技术可以约为其他存储器技术的四到十倍，或比其他存储器技术占用小得多的表面积/体积。某些存储器技术的成本约为其他存储器技术的一半。以不同的存储器技术进行存储器访问操作期间，可以使用各种电压或电流，这导致了不同的功耗率。因此，某些存储器技术比其他存储器技术使用更多的功率。

### 附图说明

通过示例的方式、并且不通过限制的方式示出了实施方式。在附图中，类似的标号表示类似的元素。

图 1 示出了基于存储器模块布局和设备类型组织为逻辑和物理层的分层存储器系统。

图 2A 示出了具有层级电路的集成电路缓冲器设备。

图 2B 示出了类似于图 2A 的集成电路缓冲器设备。

图 3A 示出了不同层级模块之间的相关数据映射。

图 3B 示出了不同层级模块之间的相关地址映射。

图 4 示出了具有层级电路的控制器。

图 5A-5D 是示出了操作具有存储器模块层级的存储器系统的方法的流程图。

### 具体实施方式

除其他实施方式之外，存储器系统包括控制器和具有不同类型集成电路存储器设备的存储器模块层级。（存储器模块的）层级包括一个或多个具有特定类型集成电路存储器设备的存储器模块。与具有带有单个类型集成电路存储器设备的存储器模块的系统相比，存储器模块的层级可以增加总系统性能。通过在第一层级中使用第一类型集成电路存储器设备，总系统读取延迟可以减小并且写数据耐久性可以增大；同时通过在第二层级中使用成本更小并且功耗更小的第二类型集成电路存储器设备，而减小了总成本和功耗。例如，至少一个易失性存储器设备布置在第一层级中，并且至少一个非易失性存储器设备布置在第二层级中，从而该第一层级可以充当控制器和第二层级的读取/写入高速缓存。

在实施方式中，层级以菊花链方式耦合。第一信号路径将控制器耦合至具有易失性集成电路存储器设备的第一存储器模块。第二信号路径将第一存储器模块耦合至具有非易失性存储器设备的第二存储器模块。控制器在第一信号路径上传送有待存储在易失性存储器设备中的控制信息和写数据。通过第一存储器模块将用于非易失性存储器设备的控制信息和写数据从控制器传送到第一信号路径上，并且继而传送到第二信号路径上。同样地，控制器通过第一存储器模块从第一信号路径和第二信号路径访问存储在易失性和非易失性存储器设备上的读数据。控制信息、读数据和写数据可以通过布置在第一存储器模块上的集成电路缓冲器设备，来在第一和第二

信号路径之间传送。

在其他实施方式之中，用于操作具有存储器模块层级的存储器系统的方法包括：在第一层级中缓冲/高速缓存已经存储在第二层级中的写数据的块。然后，响应于控制信号，该写数据的块可以通过将高速缓存至第一层级中的写数据的块传送到第二层级中而被重写（或刷新/恢复）。来自于第二层级的读数据可以以块的形式传送到第一层级，同时控制器访问存储（读数据或写数据）在第一层级中的数据。可以将写数据重映射到层级中的不同存储器位置，以分散并最小化写耐久性。将被存储在第二层级中的写数据可以存储在第一层级中，并且由控制器读取，同时写数据的块从第一层级传送并且存储在第二层级中。将被存储在第二层级中的写数据可以被重映射，并且存储在第一层级中，或在检测到有缺陷的存储器位置时存储在第一层级中的不同位置。

图 1 示出了全缓冲存储器系统 100 的一个实施方式，该存储器系统 100 采用存储器控制器 110、第一存储器模块 118 形式的存储器设备的第一集合、以及第二存储器模块 120 形式的存储器设备的第二集合。点到点串行链接 140a、140b 和 150a、150b 形式的各个上游和下游信号路径以菊花链式配置将控制器耦合至存储器模块。时钟源 130 将系统时钟信号分发到控制器和存储器模块。

在实施方式中，存储器控制器 110 可以类似于那些与全缓冲双列内插式存储器模块（FBDIMM）一起使用的那些，其中，该存储器控制器传输串行化的控制、地址和写数据信号，并且接收与 FBDIMM 信令协议一致的串行化的读数据信号。通常，这包括串行链接发送器形式的发送电路，以驱动沿着下游串行链接 140a 从控制器到第一存储器模块的复用控制、地址和写数据信号。控制器上的接收器电路与上游串行链接 150a 接口连接，从而从第一模块 118 接收串行化读数据。控制器可以将层级电路 180 用于管理分层活动，这将在下文更全面地公开。

继续参考图 1，第一存储器模块 118 包括集成电路（IC）125 形

式的缓冲器设备，以及动态随机访问存储器（DRAM）IC 103a-h 形式的多个易失性存储器设备。缓冲器 IC 包括用于与控制器 110 和第二存储器模块 120 通信的各对上游和下游端口。在一个实施方式中，缓冲器 IC 包括层级电路 190，其可以补充或替代控制器层级电路 180。缓冲器 IC 经由各个控制/地址和数据总线（为了清楚起见，示为单个总线）与 DRAM 设备通信。DRAM 设备可以是 XDR (n) 类型或 DDR (n) 类型，通常以非常快速的读取和写入时间以及高密度而著称。

进一步参考图 1，第二存储器模块 120 类似于第一存储器模块 118，具有缓冲器 IC 126 和多个存储器设备 104a-h。然而，用于第二模块的存储器设备是非易失性类型，诸如闪存。闪存设备特征在于低成本、低功率、高密度以及能够以类似于 DRAM 的速率读取数据。然而，对闪存设备的写操作通常包括经常花费数毫秒来完成的擦除时间。此外，按照写入同一存储块的数据，闪存设备具有有限的持久性。为了解决该问题，缓冲器 IC 包括优化对非易失性设备的写入操作的电路，这将在下文更全面地描述。

在实施方式中，第一模块 118 和第二模块 120 通过上游串行链接 150 和下游串行链接 140，以点到点菊花链方式通过各个缓冲器 IC 互连。以此方式，在涉及控制器 110 和第二模块 120 的任何事务中，数据必须流过第一模块 118。通过将易失性存储器设备集合定位在比非易失性设备更接近控制器的位置，可以在 101 和 102 处定义相应的第一和第二水平层级。

上述分层架构可以很多方式扩展。例如，可以将一个或多个易失性存储器模块组织为第一水平层级，并且定位在建立第二水平存储器层级的一个或多个非易失性模块的上游（更接近控制器）。

为了根据每个模块的位置和设备类型定义的层级来支持系统的操作，用于易失性和非易失性存储器模块的缓冲器 IC 125 和 126 包括用于在协调事务中辅助存储器控制器 110 的逻辑，如下文更全面地描述。

图 2A 示出了实施方式中具有 HRCH 电路 190 的 IC 缓冲器设备 200a。IC 缓冲器设备 200a 对应于图 1 所示的缓冲器设备 126，其由一个或多个非易失性存储器模块 120 使用。在备选实施方式中，HRCH 电路 190 的一个或多个电路可以布置在控制器 110 中或分布在控制器 110 和 IC 缓冲器设备 126 之间。IC 缓冲器设备 200a 可以布置在存储器模块上、与 IC 存储器设备或裸片容纳于共同的封装中，或位于主板上，例如个人计算机或服务器中的主存储器。IC 缓冲器设备 200a 还可以在嵌入式存储器子系统中使用，例如，诸如可以用于计算机图形卡、视频游戏控制台或打印机。

继续参考图 2A，示出了接口 210，该接口 210 从信号路径 201 接收控制信息、写数据和读数据，并且向非易失性（与第二水平层级相关联）或易失性集成电路存储器设备（与第一水平层级相关联）的信号路径 202 输出控制信息、写数据和读数据。在实施方式中，信号路径 201 对应于图 1 所示的信号路径 140a-b，同时信号路径 202 对应于信号路径 150a-b。在实施方式中，用于耦合至 IC 缓冲器设备 200a 的集成电路存储器设备的控制信息、写数据和读数据的复用组合经由接口 210 接收，其例如可以提取控制信息。例如，存储器命令和地址信息可以从信号路径 210 上的复用信息解码和分离并且从接口 210 提供给请求和寻址电路 240。可以通过接口 210 将写数据提供给接口 220a-b，并且来自于集成电路存储器设备的读数据可以在一个或多个接口 220a-b 处接收，并且经由复用器 230a-b 提供给接口 210。

接口 220a-b 示出为独立接口，但是可以是组合接口。它们包含用于存储被发送至非易失性存储器设备或从非易失性存储器设备接收的数据的事务队列 221a-b。在缓冲器 200a 应用于非易失性存储器设备的情况中，事务队列存储事务并且将数据引导至单个或有限数量的存储器设备。该数据组织允许通过仅写入几个存储器设备而不是写入所有设备，来服务于事务，因此降低了事务执行的写操作数量。在将数据发送到上游和下游串行接口之前，将发送到存储器设

备的数据以及来自于存储器设备的数据转发至接口 210 中的事务队列 223a。类似地，将从信号路径 201 串行接收的事务存储在事务队列 223a 中，并且继而在发送到存储器设备之前将其转发至接口 220a-b 中的事务队列 221a-b。在该组织中，连接到上游和下游链接的串行接口 210 上的单个事务仅映射到连接至信号路径 121 和 122 的非易失性存储器设备中的一个或两个。

在实施方式中，在信号路径 201 上接收或通过其他信号路径（诸如串行总线）接收时钟信号和其他信息。在实施方式中，接口 210 包括发送电路或发送器以及接收器电路或接收器（或称为收发器的组合形式），以在信号路径 202 上输出信号，并且在信号路径 201 上接收信号。类似地，接口 220a 和 220b 分别经由信号路径 121 和 122 从集成电路存储器设备接收控制信息、读数据和写数据以及向集成电路存储器设备发送控制信息、读数据和写数据。在实施方式中，接口 220a-b 包括发送器和接收器，以在信号路径 121 和 122 上输出并接收信号。在实施方式中，接口 210 和 220a-b 中的发送器和接收器单独地或组合地作为专用的，或由信号路径 121 和 122 中的特定信号线共享。

在实施方式中，接口 220a-b 中的发送器和接收器发送和接收具有标准易失性存储器设备信令特性（或协议）的信号，诸如 Synchronand 或 Nor FLASH 的写入/读取/擦除/控制信号。

在实施方式中，接口 220a-b 包括发送器以在单向信号路径上传送控制信息，同时用于写数据和读数据的发送器和接收器在双向信号路径上传送写数据和读数据。在实施方式中，接口 220a-b 和 210 中的发送器单独地或组合为输出驱动器电路，以将各个信号输出到信号路径 121、122 和 401 上。输出驱动器电路可以是上拉、下拉和/或推拉类型的输出驱动器电路。

根据实施方式，复用器 230a 和 230b 执行接口 210 与接口 220a 和 220b 之间的带宽集中操作，以及将数据从合适的源（即，目标为信号路径的子集、内部数据高速缓存-高速缓存电路 292）路由到合

适的目的地。在实施方式中，带宽集中包括合并多个信号路径实施方式中的每个信号路径的（较小）带宽，从而匹配在较小的信号路径组中利用的（较高）总带宽。带宽集中通常利用对多个信号路径和较小的信号路径组之间的吞吐量的复用和解复用。在实施方式中，IC 缓冲器设备 200a 利用接口 220a 和 220b 的组合带宽来匹配接口 210 的带宽。

进一步参考图 2A，在一个实施方式中，HRCH 电路 190 包括单独的或组合的控制电路 290、映射电路 291、高速缓存（或存储设备）电路 292、耐久性电路 293（包括一个或多个存储的写阈值 293a）和缺陷电路 294（包括一个或多个存储的缺陷存储器地址）。IC 缓冲器 200a 中示出的电路可以如图 4 所示那样耦合。而且，HRCH 电路 190 的一个或多个电路组件可以布置在控制器 110 中，具体是 HRCH 电路 180 中，而不是各个实施方式中的 HRCH 电路 190 中。

控制电路 290 负责向 HRCH 电路 190 中的电路提供控制信号，以及从 HRCH 电路 190 中的电路接收控制信号。在实施方式中，控制电路 290 可以经由信号路径 201 从接口 210 接收控制信号和/或值。可以以命令的形式从控制器 110、可编程电路（诸如 SPD 设备）和/或另一存储器模块提供控制信息。在实施方式中，控制电路 290 是处理器、控制器单元和/或控制逻辑。控制电路 290 通过类似于图 4 所示信号路径 405 的信号路径耦合至 HRCH 中的其他电路。读数据、写数据和地址以及控制信号可以使用该信号路径在电路之间传送。在实施方式中，控制电路 290 还操作 IC 缓冲器设备 200a，并且可以包括压缩/解压缩引擎。

映射电路 291 负责重映射或重分配与写数据/读数据相关联的地址或存储器位置。如图 3A-B 所示，映射电路 291 响应于来自于控制电路 290（和/或耐久性电路 293 以及缺陷电路 294）的控制信号重映射地址和数据。在实施方式中，映射电路 291 可以包括地址转译器电路。映射电路 291 可以重映射地址，该地址连同相关联的读数据/写数据存储存在高速缓存电路 292 中。映射电路 291 将数据从接口 210

引导至接口 220 中的合适事务队列，并且将从接口 210 接收的地址转译为待发送到接口 220a-b 的合适设备选择和存储器地址。通常在易失性存储器系统中，将来自于接口 210 的单个事务引导至一个或几个存储器设备，以减少所需的写操作数量，并且接口 210 上的连续地址被引导至单个存储器设备中的连续位置。

高速缓存电路 292 用于存储来自于控制器或另一存储器模块的读数据/写数据。在实施方式中，该读数据/写数据连同相关联的地址存储到系统 100 的存储器位置。读数据/写数据可以存储以及装配为连续字或字节的组，诸如 64、128、256 和/或 512 Kb 的块。然后，可以将这些块转译并且存储为组。例如，写数据的 256 Kb 的块可以存储在缓冲器设备 125b 的高速缓存电路 292 中（该数据经由信号路径 140a 和 140b 从控制器 110 接收），并且经由信号路径 140c 传送到存储器模块 120c，其中存储了该写数据（或在实施方式中，在先前写入之后恢复）。在另一实施方式中，与特定存储器模块相关联的集成电路存储器设备用于代替高速缓存电路 292 存储数据块。

耐久性电路 293 负责基于已经发生在系统 100 中的特定存储器位置（或多个存储器位置）处的写操作的数量，来确定是否应该重映射写数据/读数据。在实施方式中，耐久性电路 293 包括存储电路，诸如一个或者多个寄存器，所述寄存器用于存储写阈值，或在可能不可靠的位置处进一步写入或存储之前限制对该特定存储器位置的写入数量。在实施方式中，耐久性电路 293 还包括用于计数对特定存储器位置的写入的数量的计数器和用于将计数值与存储的阈值相比较的比较电路。响应于比较，该比较电路继而可以向控制电路 290 输出指示不应对特定存储器位置进行写入的控制信号。映射电路 291 继而可以将新地址分配给将存储在一个或多个存储器模块中的写数据/读数据。耐久性电路 293 还可以生成控制信号，该控制信号指示还未被写入像其他位置那么多次的某些存储器位置，因此映射电路 291 支持在非易失性集成电路存储器设备中的所存储写数据/读数据的分发。

缺陷电路 294 负责确定一个或多个存储器位置是否有缺陷或是否没有准确地存储和输出信息。在实施方式中，缺陷电路 294 存储多个测试值 294a，响应于来自于控制电路 290 的控制信号，将这些多个测试值 294a 写入另一存储器模块的一个或多个存储器位置。继而，其他存储器模块中存储的测试值可以被读回到 IC 缓冲器设备 200a，并且通过比较电路来与存储的多个测试值 294a 进行比较。比较电路响应于比较而输出指示存储器位置有缺陷的信号。然后，可以将控制信号输出到映射电路 291，从而对写数据/读数据的进一步映射将不包括标识的有缺陷的存储器位置。在实施方式中，缺陷电路 294 存储可以由控制电路 290 和/或映射电路 291 访问的有缺陷的存储器位置的地址。在实施方式中，多个测试值 294a 由伪随机数发生器生成，由控制器 110 作为测试模式提供，或通过读取另一存储器模块的内容来获取。

在备选实施方式中，缺陷电路 294 包括感应电路，以感应来自于存储器位置的电流/电压并且将其与表示电流/电压的存储值进行比较，从而确定存储器位置是否有缺陷。

在各种实施方式中，包括 HRCH 电路 190 的 IC 缓冲器设备 200a 以不同的操作模式操作。在第一操作模式中，IC 缓冲器设备 200a 存储将由另一存储器模块和/或控制器访问的读数据/写数据。在第二操作模式中，IC 缓冲器设备 200a 为另一存储器模块中的读数据/写数据分配地址，并且将该数据和地址传送到继而存储该读数据/写数据的另一存储模块。

时钟电路 270 包括一个或多个时钟对准电路，其相对于外部时钟而针对相位或延迟调节内部时钟信号。时钟对准电路可以利用来自于现有时钟发生器的外部时钟（诸如时钟源 130）或提供内部时钟的内部时钟发生器，从而生成具有预定时间关系的内部同步时钟信号。在实施方式中，时钟电路 270 包括锁相环电路或延迟锁定环电路。在实施方式中，时钟对准电路提供与传送的或接收的控制信息、读数据和/或写数据具有时间关系的内部时钟信号。

在实施方式中，接口 220a-b（以及接口 210）中的发送器发送包括编码的时钟信息的差分信号，并且接收器接收包括编码的时钟信息的差分信号。在实施方式中，时钟电路 270 提取利用接收器接收的数据编码的时钟信息。此外，利用发送器发送的数据对时钟信息进行编码。例如，通过确保在给定数据的数据比特中发生最小的信号迁移数量，可以将时钟信息编码为数据信号。

串行接口 274 是用于从控制器 110、实施方式中的另一 IC 缓冲器设备或其他配置电路接收串行信息或者向控制器 110、实施方式中的另一 IC 缓冲器设备或其他配置电路发送串行信息的接口。该串行信息可以包括用于 IC 缓冲器设备 200a 或存储器模块的初始化值/信号。在实施方式中，控制器 110 使用串行接口 274 来存储和/或读取在 HRCH 电路 190 中的值，诸如一个或多个写阈值 293a 和/或测试值 294a。

图 2B 示出了类似于图 2A 示出的缓冲器 IC 200a 的缓冲器 IC 200b，但是与易失性存储器模块 118（图 1）一起使用。两个缓冲器 IC 中的大部分电路是相似的，并且为了简洁，不再赘述。然而，可以采用对该电路的某些修改，诸如省略耐久性电路 293a 和缺陷电路 294a（图 2A）。此外，事务队列和映射电路与非易失性模块缓冲器 IC 200a 不同地处理数据映射。

映射电路 291 通常配置用于将来自接口 220 的数据和至接口 220 的数据引导到并联的所有设备，并且同时将类似的地址发送到所有或大部分设备，很多设备由单个事务选择。

接口 220a-b 示出为独立接口，但是其可以组合。它们包含事务队列 222a-b，用于存储被发送至易失性存储器设备或从易失性存储器设备接收的数据。在缓冲器 200b 应用于例如 DRAM 的易失性存储器设备的情况下，事务队列存储指向以及分布于多个设备的事务。在该情况中，并行地访问设备的组合带宽，从而最大化事务的带宽。在发送到上游和下游串行接口之前，将发送到以及来自于存储器设备的数据转发至接口 210 中的事务队列 223b。类似地，从信号路径

201 串行接收的事务存储在事务队列 223b 中，并且继而在将其发送到存储器设备之前转发至 22a-b 中的事务队列。在该组织中，接口 210 中的上游或下游链接上的单个事务在被从存储器读取或写入时访问多个存储器设备。

如上所述，闪存设备和 DRAM 存储器设备具有很多不同特性。其他差异包括在设备中如何执行数据写操作。

图 3A 示出了基于 DRAM 的 FBDIMM 模块 318 与基于闪存的 FBDIMM 模块 320 之间的相关数据映射的示例。在基于 DRAM 的 FBDIMM 模块中，模块上的 DRAM 设备 303a-h 通常定义数据总线宽度。该宽度继而表示能够同时在每个时钟边沿被写入所有 DRAM 的比特数量。在每个 DRAM 中的相同地址处执行每个同时的写入，如图 3A 的易失性设备 303a-h 中的阴影区域象征性示出的那样。因而，对于每个时钟周期，数据的一部分被写入每个 DRAM。缓冲器 IC 325 提供解串行化电路（未示出）以将从上游串行链接 340a 或下游串行链接 350b 接收的串行流转换为并行数据流，以便沿着并行数据路径 328a-h 传输到独立的 DRAM 设备。

在基于 DRAM 的存储器模块中，虽然同时并行写入机制工作得很好，但是各种原因呈现出此类基于闪存模块的方法是不切实际的。闪存设备经常在称为块的存储器单元中进行擦除和重编程。而且，为了向闪存设备存储或写入数据，块必须是空的或已擦除的。因而，在大部分情况中，在写操作之前进行擦除操作。此外，如上所述，闪存设备通常具有有限的写入持久性。

进一步参考图 3A，基于闪存的 FBDIMM 模块 320 包括缓冲器 IC 326，其以将数据存储在一个或多个指定块 360（示出为阴影块）内的方式，来将从下游串行链接 340b 接收的串行化数据重映射，这里利用了最小数量的设备。这确保了写操作最大化每个块可用的存储利用率，并且最小化了影响所有设备持久性的写操作数量。该映射还可以沿两个模块间的上游路径以相反方向工作。在此类情况中，来自于给定块的数据将重映射到类似于示出的多个 DRAM 中。

图 3B 示出了第一层级地址空间 363 和第二层级地址空间 364 之间的地址映射 362。在实施方式中，第一地址空间 363 对应于层级 101（具有易失性集成电路存储器设备）中的地址空间（或可寻址存储器位置的量），并且层级地址空间 364 对应于层级 102（具有非易失性 IC）中的地址空间。层级地址空间 363 至少包括可寻址存储器位置 366a-n，并且层级地址空间 364 至少包括可寻址存储器位置 368a-t。在实施方式中，层级地址空间 364 显著大于层级地址空间 363。如上所述，电路和/或可执行指令映射或分配数据到层级地址空间 363 或层级地址空间 364。在实施方式中，相关联的数据可以是读数据和/或写数据，所述数据曾经被分配了层级地址空间 363 或 364 之一中的地址，并且继而被重映射或分配先前分配的层级地址空间中的不同存储器位置处的不同地址，或重映射或分配到不同层级地址空间中的不同存储器位置。在实施方式中，图 3B 示出的存储器位置对应于连续存储器位置的块或组。

例如，存储在存储器位置 364a 处或将存储在存储器位置 364a 处的数据被映射或分配地址为存储器位置 363b，并且存储在存储器位置 363b 处。类似地，存储在存储器位置 363n 处或将存储在存储器位置 363n 处的数据被映射地址到存储器位置 364t，并且存储在存储器位置 364t 处。

被分配了存储器位置 364e 的数据还可以被重分配层级地址空间 364 中的存储器位置 364s，并且存储在存储器位置 364s 处。在预定数量的写操作已经在特定存储器位置处发生时和/或在确定特定存储器位置有缺陷或不可靠时，可以发生在层级地址空间 364 中重分配以及存储数据。

图 4 示出了控制器 110，如图 1 所示，其具有 HRCH 电路 180。HRCH 电路 180 的操作类似于图 2A 和图 2B 中示出的 HRCH 电路 190。控制器 110 还包括接口 401，类似于接口 310，用于在信号路径 140a 上传送控制信息和读数据/写数据。控制器 110 还包括时钟电路 403，也类似于时钟电路 370 在同步和传送控制以及读/写数据中

使用。串行接口 402 连同 IC 缓冲器设备 125a-b 和 126a-b 中的串行接口 374，用于提供控制器 110 和 IC 缓冲器设备 125a-b 和 126a-b 之间的串行信息。

在实施方式中，控制器 110 或 IC 缓冲器设备 300 的控制电路 390 从存储电路读取信息，存储电路诸如 SPD 设备，该信息指示系统 100 中的层级数量和类型。然后，控制电路 390 可以响应于从 SPD 设备读取的信息生成合适的控制信号。

在操作中，上述系统可以基于模块位置（例如，上游和下游）以及设备类型（例如，易失性和非易失性）建立层级。当与包括上游和下游路径的 FBDIMM 型基础设施耦合时，此类架构利用易失性和非易失性存储器的益处，同时避免不兼容的问题。

图 5A-5D 示出了用于操作如图 1 所示的系统 100 的方法 500、510、520 和 530。通过利用上述的菊花链式点到点链接架构，下文描述的很多方法包括并发执行的多个操作。而且，在实施方式中，图 5A-5D 示出的逻辑块表示硬件（例如，电路）、软件（可执行指令）或用户的单独或组合操作。例如，图 1 所示的 HRCH 电路，其可以独立地或与其它电路组合地执行该操作。未示出的其他逻辑块可以包括在各种实施方式中。类似地，示出的逻辑块可以在各种实施方式中排除。而且，虽然以顺序逻辑块描述了方法 500、510、520 和 530，但是由方法的逻辑块表示的操作完成非常迅速或几乎是瞬时完成，并且可以并发执行。

图 5A 中所示的方法 500 在 501 处包括写数据缓冲，以及通过从存储器控制器 110 传送写数据到一个或多个存储器模块的第一层级 101 中来开始。在 502 处，在第一层级中，还累积写数据，并且该写数据可以装配为预定数量的连续比特值或写数据的块。然后，在 503 处，第一层级中的累积写数据可以从模块的第一层级传送到一个或多个存储器模块的第二层级 102。在 504 处，存储在第一层级中的写数据可以退隐。在方法 500 中，第一层级充当用于第二层级的写入高速缓存。由于与第二层级模块中的非易失性存储器设备相关联的

写入延迟可以是毫秒量级，所以这是重要的。通过在将数据从第一层级传送到第二层级时在第一层级中高速缓存写数据，控制器可以并发执行其他操作而无需等待第二层级模块。

图 5B 示出了读数据高速缓存的方法 510，其中第一层级 101 充当用于第二层级 102 的读数据(相对于控制器 110)的读取高速缓存。在 511 和 512 处，方法 510 通过以下操作开始：将读数据装配为预定数量的连续比特值或读数据块，然后将该读数据从第二层级传送到第一层级。在 513 处，第一层级能够相对于控制器并发执行写操作和读操作，同时将读数据的块从第二层级传送到第一层级。上述层级系统提供的另一有益方法包括写数据合并。在某些实例中，某些所需数据的一部分可以存储在第一层级 101 内的模块中，而另一部分已经存储在第二层级 102 内的模块中。对第二层级(具有非易失性设备)中的块的任何写入包括首先擦除全部块的内容。因而，为了避免丢失块的原始内容，可以如图 5C 所示采用“读取-修改-写入”系列步骤的形式。

进一步参考图 5C，写数据合并的方法 520 包括如下步骤，即在 521 处，从模块的第一层级 101 中的易失性存储器设备首先读取所需数据“DATA A (数据 A)”。该数据可以临时存储在易失性存储器模块缓冲器 IC 125 或非易失性存储器模块缓冲器 IC 126 之一中。然后，来自于非易失性设备的所需数据“BLOCK B (块 B)”的块从第二层级 102 中的存储器模块中读取，如步骤 522 所示，并且临时存储在存储数据 DATA A 的同一缓冲器 IC 中。然后，在步骤 523 处，由缓冲器电路将数据 DATA A 和 BLOCK B 合并在一起。然后，在 524 处，将合并的数据“DATA A”和“BLOCK B”写回到第二层级的单个数据块“BLOCK C”中。

图 5D 示出了方法 530，该方法开始于 531，将写数据 A 传送到第一层级 101，其中在将写数据的块写入第二层级 102 之前，将写数据 A 存储或高速缓存到写数据的块中。在 532 处，访问高速缓存到第一层级中的写数据 A 的块。然后，在 533 处，将高速缓存的写数

据 A 的块从第一层级传送到第二层级并且存储在第二层级中，同时访问第一层级中的数据 B，诸如通过读取操作。虽然图 5D 示出了包括并发操作的方法的一个实施方式，但是由于将控制器和缓冲器设备 110、125 和 126 互连的菊花链式上游和下游点到点链接 140a-n 和 150a-n，并发操作的各种组合是可能的。例如，读操作和/或写操作可以在控制器 110 和存储器设备的第一层级之间、与第一和第二水平存储器层级之间执行的写操作和/或读操作并发执行。

返回到图 1 所示的实施方式，存储器模块 120a-d 包括带有接口 123a-d 的基板，接口 123a-d 具有多个用于耦合至信号路径 140a-d 的导电触点，诸如管脚和/或球。在实施方式中，多个触点、焊球或管脚包括在接口中以提供接口和存储器模块基板之间的电连接。在实施方式中，接口可以从连接器或基板（诸如印刷电路板）移除。在实施方式中，控制器 110、集成电路存储器设备 103a-p 和 104a-p 以及 IC 缓冲器设备 125a-b 和 126a-b 独立地容纳集成单片电路，和/或组合在多个封装中（例如，存储器设备和单个封装中的缓冲器设备）。该封装可以布置于一个或多个基板上。

在实施方式中，一个或多个信号路径 140a-d 是点到点链接，其表示一个或多个信号线，每个信号线仅具有两个收发器连接点，每个收发器连接点耦合至发送器、接收器或收发器电路。例如，点到点链接可以包括耦合在一端处或一端附近的发送器以及耦合在一端处或一端附近的接收器。

在实施方式中，一个或多个信号路径 140a-d 可以包括不同类型的总线或点到点链接架构。在实施方式中，信号路径还可以具有不同类型的信令和时钟类型架构。具有不同链接架构的实施方式包括同时双向链接、时分复用双向链接和多个单向链接。可以在这些链接或总线架构的任一个中采用电压或电流模式信令。在实施方式中，信号路径 140a-d 包括串行数据总线，诸如 SMBus。串行总线可以经由串行接口 474 将控制器 110 耦合至一个或多个 IC 缓冲器设备 125a-b 和 126a-b。

在实施方式中，一个或多个存储器模块 120a-d 是双列内插式存储器模块（“DIMM”），其具有标准 DIMM 形式因子。在实施方式中，存储器模块可以包括在单个单元封装中，如在“系统级封装”（“SIP”）中。在一个类型的 SIP 实施方式中，存储器模块可以包括一系列堆叠在彼此顶部并且经由导电互连耦合的集成电路裸片（即，存储器设备和缓冲器设备）。焊球或引线可以用作连接器接口，从而存储器模块可以固定地附接至印刷电路板基板。连接器接口还可以是物理上可分离的类型，其例如包括凹凸连接部分，从而存储器模块可从系统的其余部分中拆卸。另一 SIP 实施方式可以包括以二维配置布置在公共基板平面以及位于单个封装外壳内的多个存储器设备和缓冲器设备。

在图 1 所示的实施方式中，集成电路存储器设备 103a-p 和 104a-p 包括不同类型的集成电路存储器设备。例如，集成电路存储器设备 103a-p 可以是易失性集成电路存储器设备，而集成电路存储器设备 104a-p 可以是非易失性集成电路存储器设备。易失性集成电路存储器设备包括多个存储器单元，在一个实施方式中，当从设备移除电源时，该存储器单元中存储的信息丢失。相反，非易失性集成电路存储器设备包括多个存储器单元，当从实施方式的设备移除电源时，该存储器单元中的信息保持。

易失性存储器设备的类型包括但不限于：动态随机访问存储器设备（“DRAM”）、基于分子电荷的（ZettaCore）DRAM、浮体 DRAM 和静态随机访问存储器（“SRAM”）。特定类型的 DRAM 包括双数据速率 SDRAM（“DDR”）或下一代 SDRAM（例如，“DDR”或“DDR3”）以及 XDR™DRAM 或 DIRECT RAMBUS®DRAM（“DRDRAM”）。

非易失性存储器设备的类型包括但不限于：电可擦除程序只读存储器（“EEPROM”）、FLASH（“包括 NAND 和 NOR FLASH”）、ONO FLASH、磁阻式或磁性 RAM（“MARM”）、铁电性 RAM（“FRAM”）、全息介质、奥氏/相变、纳米晶体、纳米管 RAM

(NRAM-Nantero)、MEMS 扫描探针系统、MEMS 悬臂开关、聚合物、分子、纳米晶浮栅和单个电子。

某些类型的非易失性存储器设备的一个特性在于，尽管可以以随机访问的方式每次对其读取或编程/写入一个字节或字，但是必须每次对其进行擦除。从可刷新擦除块开始，块内的任何字节都可以被编程。然而，一旦已经对字节编程，则通常不能对其再次改变，直到擦除整个块。例如，NOR FLASH 存储器设备可以提供随机访问读取和编程操作，但是通常不能提供随机访问重写或擦除操作。

集成电路存储器设备可以包括：二维存储器单元的一个或多个存储阵列（或存储体），其可以按行（经由字线和位线）对其独立访问；以及解码器电路和多个读出放大器。可以将各种电压或电流量应用于存储阵列中的一个或多个存储器单元，以对存储对应于逻辑值（例如，逻辑 1 或 0）的电压值的存储器单元进行编程（写入）、读取和/或擦除。

在图 1 所示的实施方式中，控制器 110 是主设备，其可以是包含其他接口或功能（例如，芯片组的北桥芯片）的集成电路设备。该主设备可以集成在微处理器或图像处理单元（“GPU”）或视觉处理器单元（“VPU”）上。该主设备可以实现为现场可编程门阵列（“FPGA”）。系统 100 可以包括在各种系统或子系统中，诸如服务器（例如，刀片服务器）、个人计算机、图像卡、机顶盒、有线调制解调器、蜂窝电话、游戏控制台、数字电视机（例如，高清电视（“HDTV”））、传真机、有线调制解调器、数字多功能盘（“DVD”）播放器或网络路由器。

在图 1 所示的实施方式中，系统 100 可以在用作搜索引擎来执行或运行的服务器中使用，该服务器响应于输入关键字来提供存储在因特网上的搜索结果，该搜索结果包括到 web 站点（或页面）的超链接、图像和/或视频。在搜索引擎实施方式中，经常被检索的信息（例如，最近搜索结果）可以存储在层级 101 中，而很少被检索的信息（例如，索引）可以存储在层级 102 中。

上述信号可以由电导体在控制器/存储器模块/设备/电路之间和内部发送或接收，并且可以使用任何数量的信令技术（包括但不限于对电信号的电压或电流水平进行调制）来生成。信号可以表示任何类型的控制和定时信息（例如，命令、地址值、时钟信号和配置信息）以及数据。在实施方式中，控制、地址和/或数据信息包括在请求分组中，该请求分组表示特定信号线上的特定比特窗所表示的一个或多个信号。在实施方式中，从控制器向一个或多个存储器模块并且在存储器模块之间提供请求分组。

在实施方式中，信号路径是传送信号的介质，诸如单独的或组合的互连、导电元件、触点、管脚、半导体基板中的区域、线缆、金属布线/信号线或光电导体。在实施方式中，多个信号路径可以代替图中所示的单个信号路径，并且单个信号路径可以代替图中所示的多个信号路径。在实施方式中，信号路径可以包括总线和/或点到点连接。在实施方式中，信号路径包括控制和数据信号线。在备选实施方式中，信号路径仅包括数据信号线或仅包括控制信号线。此外，在其他实施方式中，信号路径是单向（在一个方向上传播的信号）或双向（在两个方向上传播的信号）或单向信号线和双向信号线两者的组合。

应该指出，按照这里公开的各种电路的行为、寄存器传送、逻辑组件、晶体管、布局几何和/或其他特性，这些电路可以使用计算机辅助设计工具描述，并且表达（或表示）为包含在各种计算机可读介质中的数据和/或指令。可以在其中实现此类电路表示的文件和其他对象的格式包括但不限于：支持诸如 C、Verilog 和 HDL 的行为语言的格式；支持例如 RTL 的寄存器级描述语言的格式；支持诸如 GDSII、GDSIII、GDSIV、CIF、MEBES 的几何描述语言的格式；以及任何其他合适的格式和语言。此类格式化数据和/或指令可以包含在其中的计算机可读介质包括但不限于：各种形式的非易失性存储介质（例如，光、磁或半导体存储介质）以及可以用于通过无线、光或有线信令介质或其任何组合传送此类格式化数据和/或指令的载

波。由载波传输此类格式化数据和/或指令的示例包括但不限于：经由一个或多个数据传送协议（例如，HTTP、FTP、SMTP等）在因特网和/或其他计算机网络上传送（上传、下载、电子邮件等）。当经由一个或多个计算机可读介质在计算机系统内接收到时，上述电路基于此类数据和/或指令的表达可以由计算机系统内的处理实体（例如，一个或多个处理器）结合执行一个或多个其他计算机程序来处理，以生成此类电路物理表现的表示或图像，其中所述一个或多个其他计算机程序包括但不限于：网表生成程序、放置和布线路程序等。此后，此类表示或图像可以用于设备制造中，例如，通过支持生成用于形成设备制造过程中的电路各种组件的一个或多个掩膜来实现。

在此描述电路的功能还可以部分地或整体地由在例如系统 100 中存储和执行的计算机/处理器可执行指令（或软件）替换。

已经出于示出和描述的目的提供了优选实施方式的前述描述。其不旨在穷举或限制实施方式为所公开的精确形式。对于本领域的技术人员来说，修改和变形是明显的。为了对本发明的原理及其实际应用进行最佳解释，选择并且描述了实施方式，从而使得本领域的技术人员能够针对适于所构思的特定用途的各种实施方式和各种修改来理解本发明。本发明的范围由后面的权利要求书和其等效物限定。

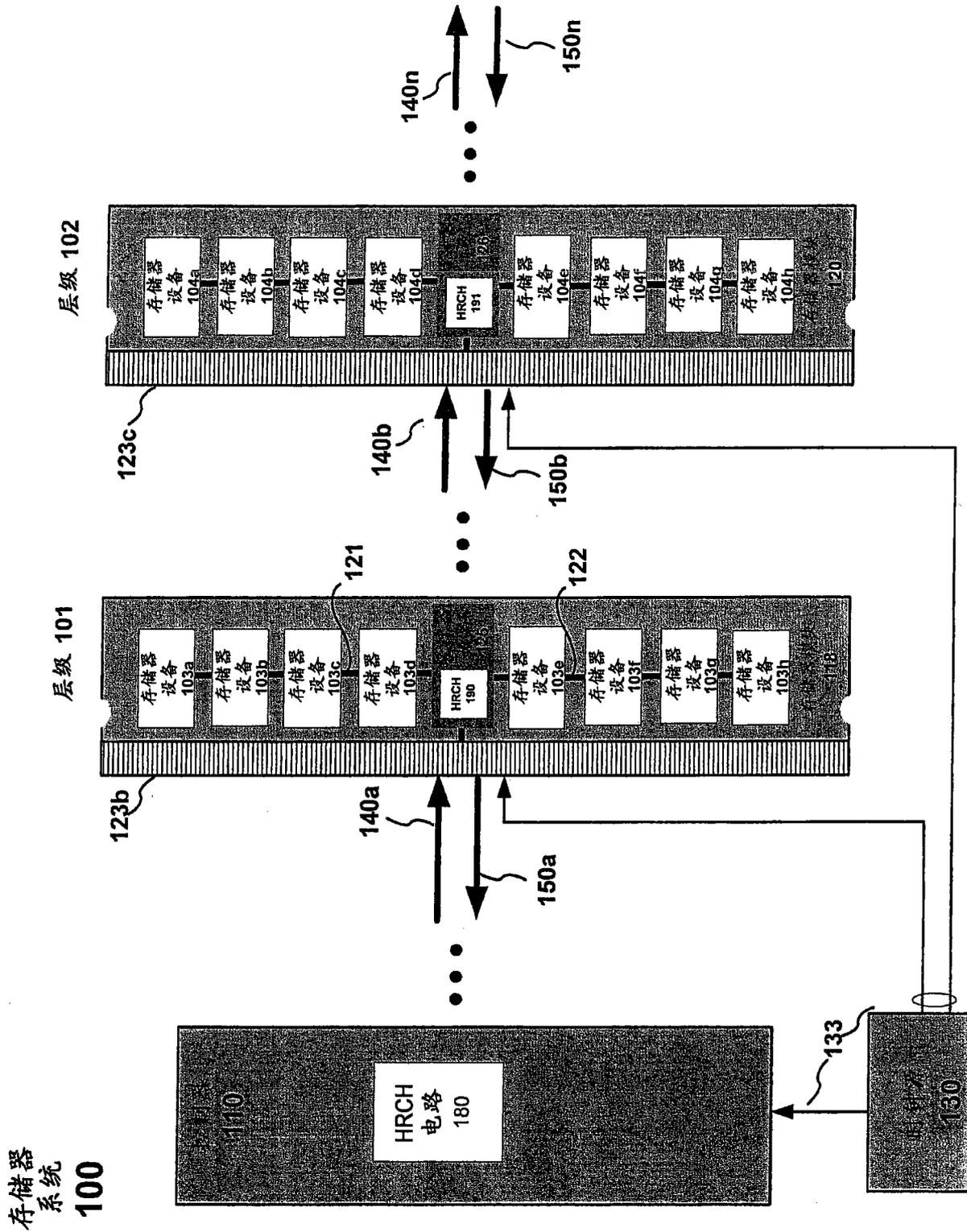


图 1

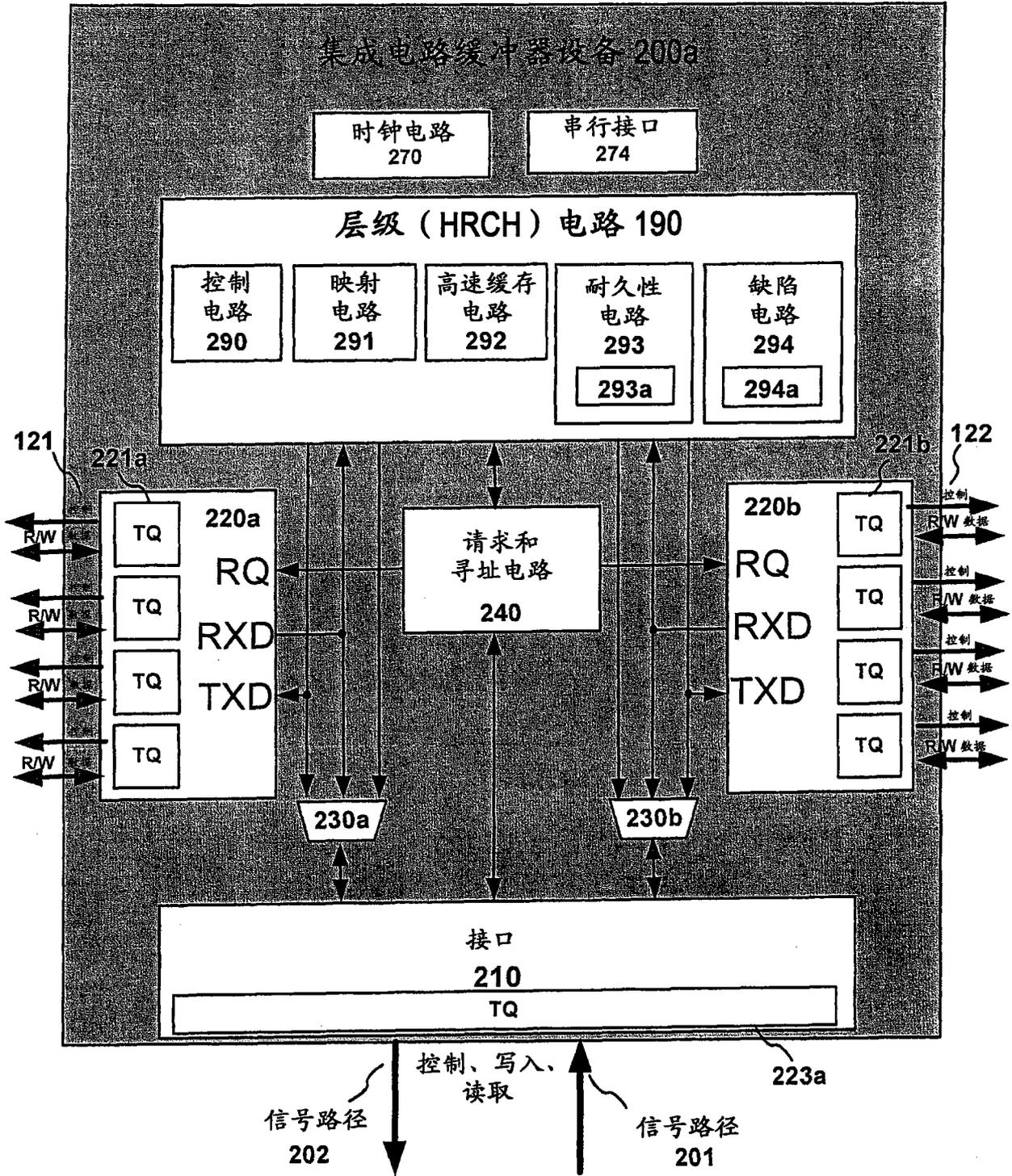


图 2A

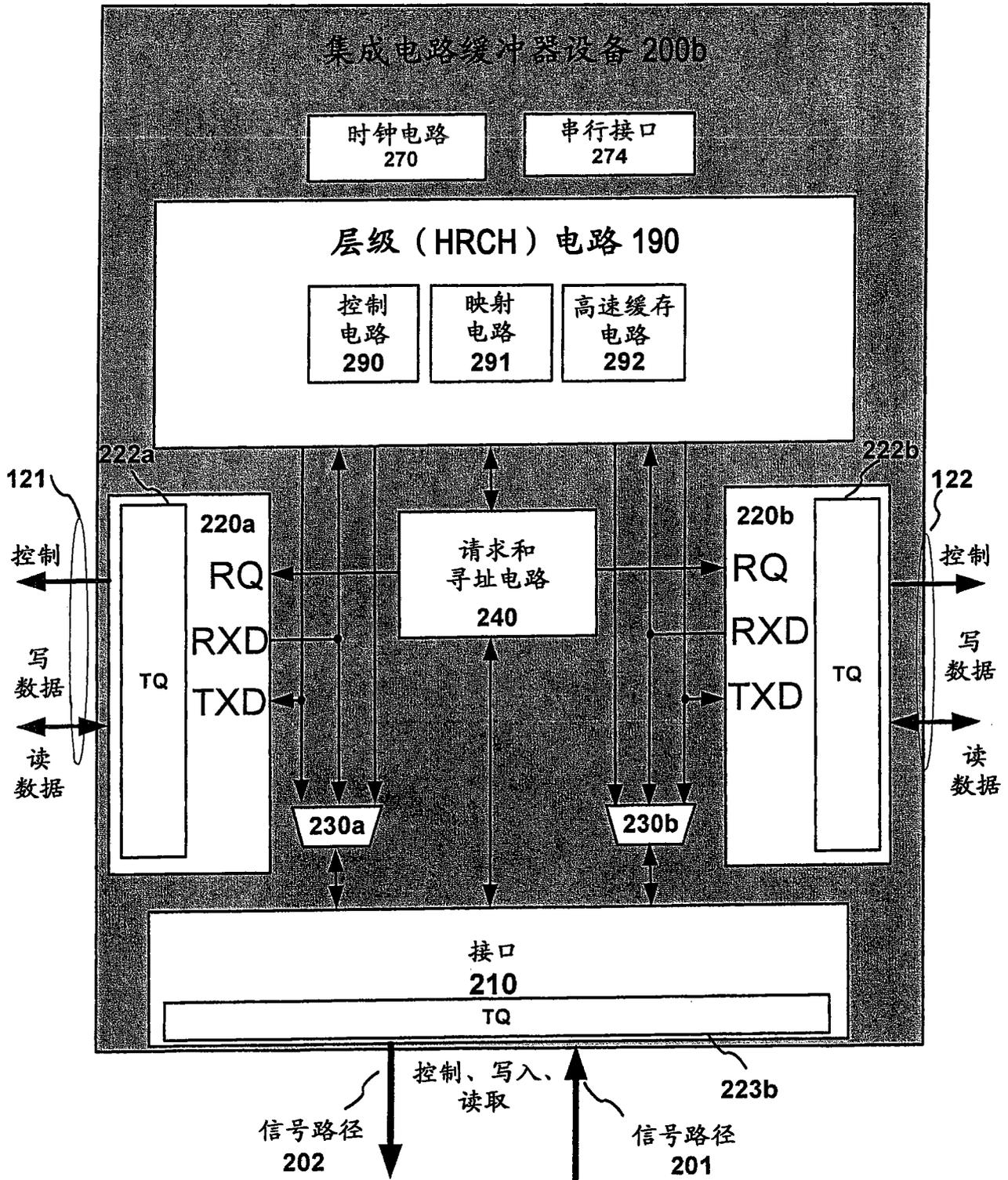


图 2B

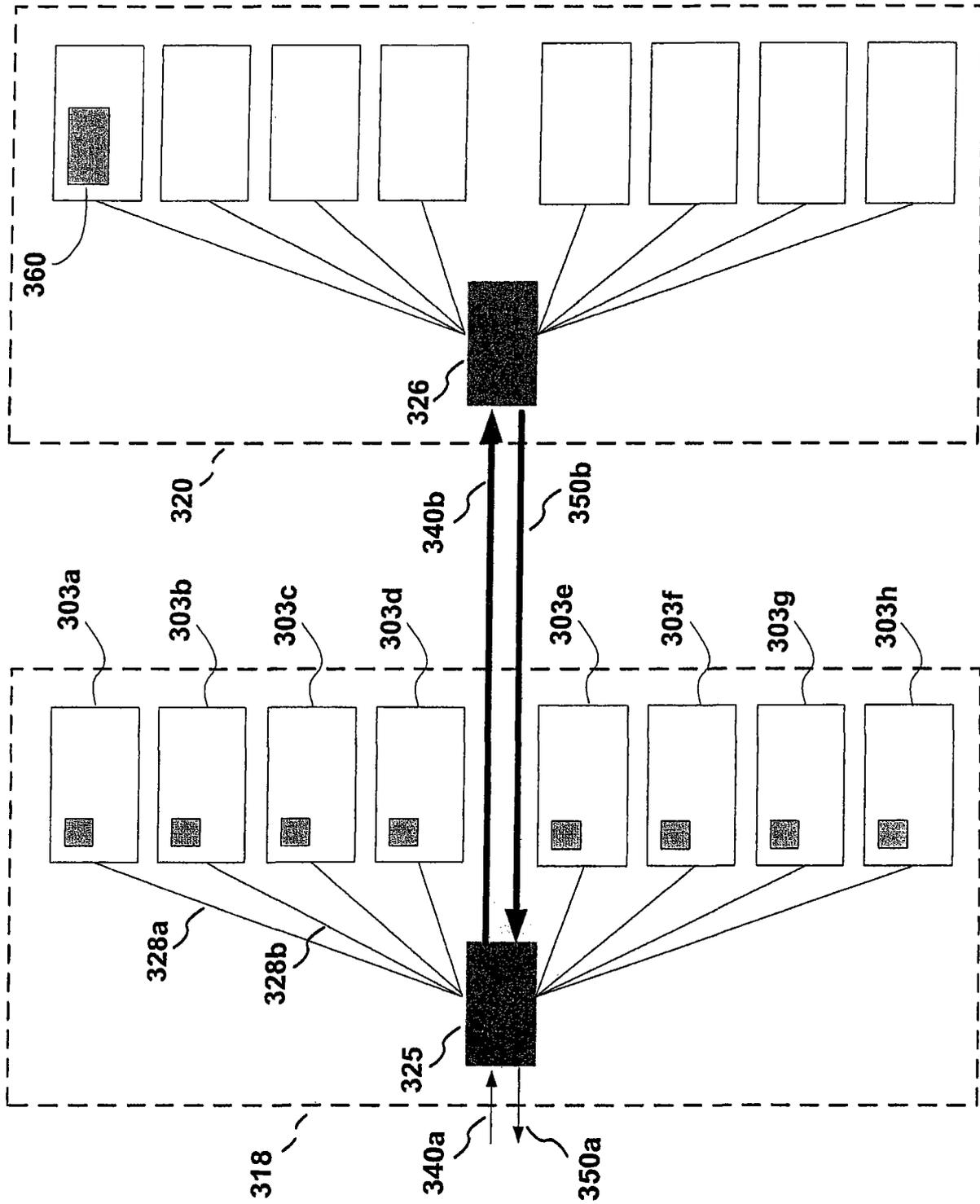


图 3A

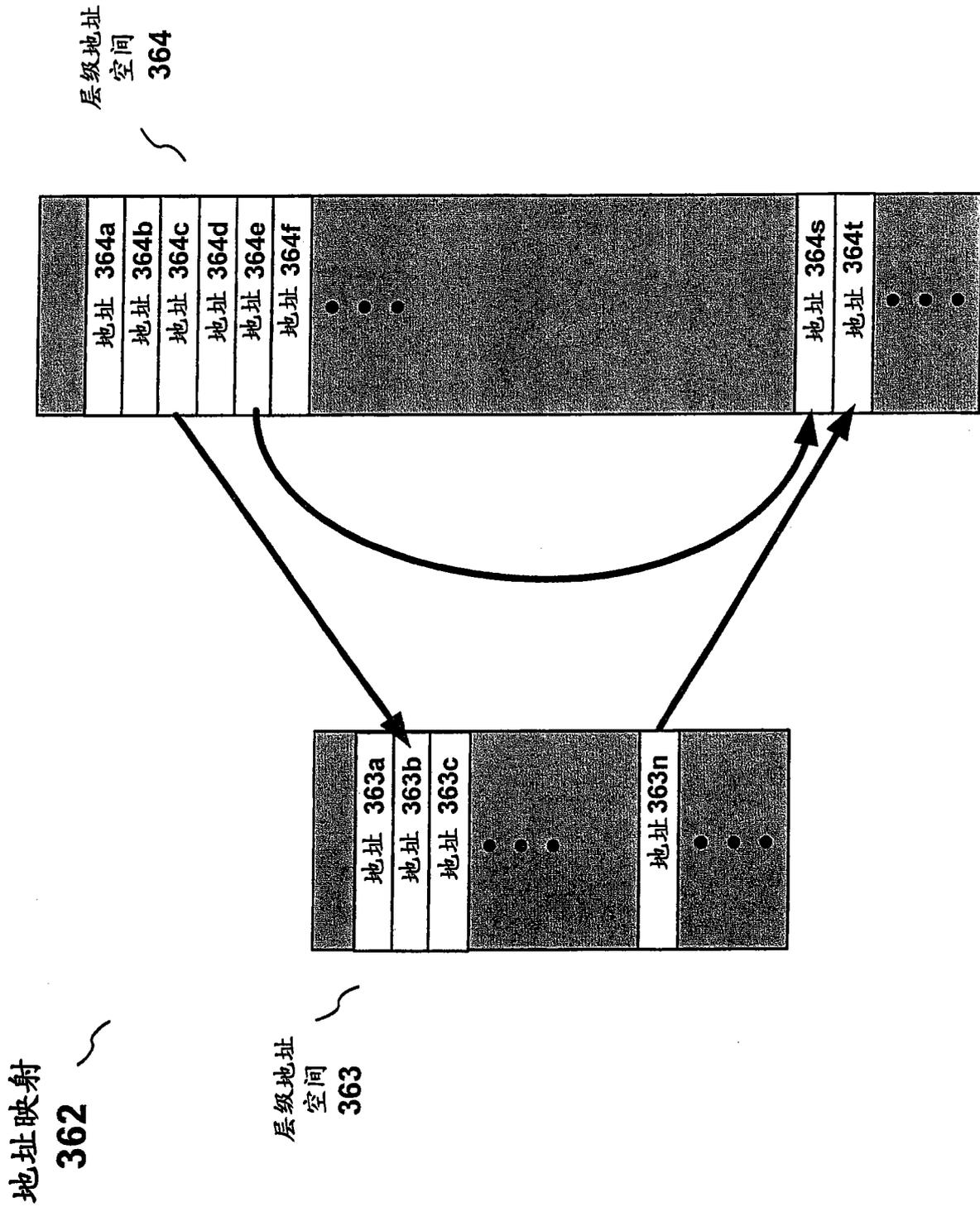


图 3B

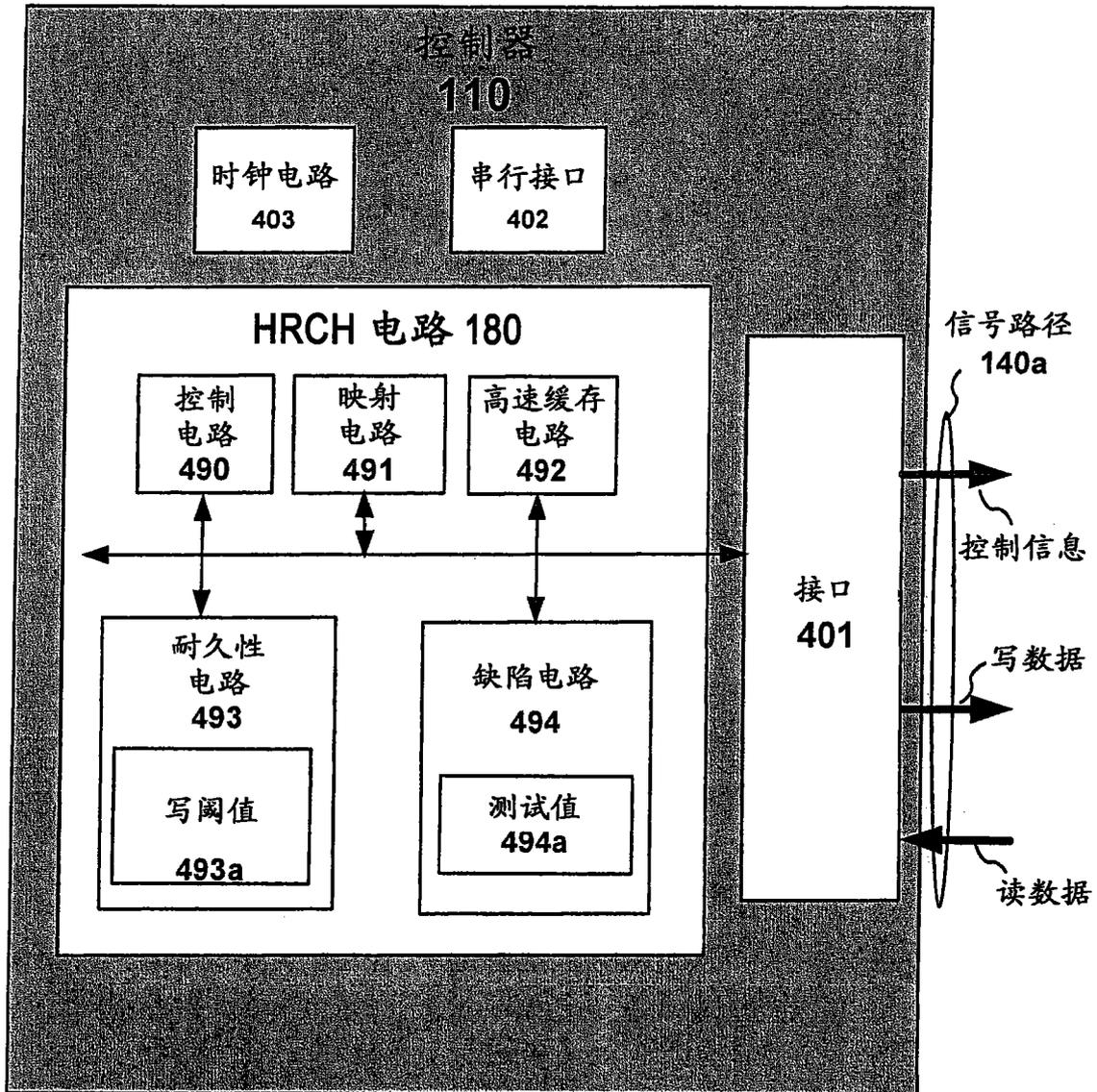


图 4

