公告本

| | |
|---|---|
| 申請日期 | 87 年 9 月 4 日 |
| 案號 | 87114729 |
| 類別 | H01L27/10 |

（以上各欄由本局填註）

A4
C4

441092

# 發明 新型 專利說明書

| | | |
|---|---|---|
| 一、發明 新型 名稱 | 中文 | 半導體積體電路裝置及其製造方法 |
| | 英文 | |
| 二、發明 創作 人 | 姓名 | (1) 大湯靜憲<br>(2) 大倉理<br>(3) 杉本有俊 |
| | 國籍 | (1) 日本 (2) 日本 (3) 日本 |
| | 住、居所 | (1) 日本國東京都青梅市和田町一一八二九－九<br>(2) 日本國東京都府中市押立町一－三三－七－四〇二<br>(3) 日本國東京都文京區白山四－一九－七 |
| 三、申請人 | 姓名（名稱） | (1) 日立製作所股份有限公司<br>株式会社日立製作所 |
| | 國籍 | (1) 日本 |
| | 住、居所（事務所） | (1) 日本國東京都千代田區神田駿河台四丁目六番地 |
| | 代表人姓名 | (1) 金井務 |

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

441092

| | |
|---|---|
| 申請日期 | 87 年 9 月 4 日 |
| 案號 | 87114729 |
| 類別 | |

A4
C4

（以上各欄由本局填註）

# 發明 ~~新型~~ 專利說明書

| | | |
|---|---|---|
| 一、發明 ~~新型~~ 名稱 | 中文 | |
| | 英文 | |
| 二、發明 ~~創作~~ 人 | 姓名 | ⑷ 只木芳隆<br>⑸ 小笠原誠<br>⑹ 堀口真志 |
| | 國籍 | ⑷ 日本 ⑸ 日本 ⑹ 日本 |
| | 住、居所 | ⑷ 日本國埼玉縣飯能市美杉台四－六－一八<br>⑸ 日本國東京都昭島市美堀町二－一二－二０<br>⑹ 日本國神奈川縣川崎市多摩區中野島六－二九－二－二０七 |
| 三、申請人 | 姓名（名稱） | |
| | 國籍 | |
| | 住、居所（事務所） | |
| | 代表人姓名 | |

裝 訂 線

經濟部中央標準局員工消費合作社印製

441092

| | |
|---|---|
| 申請日期 | 87 年 9 月 4 日 |
| 案號 | 87114729 |
| 類別 | |

A4
C4

（以上各欄由本局填註）

# 發明 ~~新型~~ 專利說明書

| | | |
|---|---|---|
| 一、發明 ~~新型~~ 名稱 | 中文 | |
| | 英文 | |
| 二、發明 ~~創作~~ 人 | 姓名 | ⑺ 長谷川昇雄<br>⑻ 深田晉一 |
| | 國籍 | ⑺ 日本　　⑻ 日本 |
| | 住、居所 | ⑺ 日本國東京都西多摩郡日の出町平井二一九六一一七三<br>⑻ 日本國東京都日野市落川九四六 |
| 三、申請人 | 姓名（名稱） | |
| | 國籍 | |
| | 住、居所（事務所） | |
| | 代表人姓名 | |

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

| | |
|---|---|
| 承辦人代碼： | A6<br>B6 |
| 大　　類： | |
| ＩＰＣ分類： | |

本案已向：

| 國（地區） | 申請專利，申請日期： | 案號： | ，□有　□無主張優先權 |
|---|---|---|---|
| 日本 | 1997 年 9 月 24 日 | 9-259105 | ☑有主張優先權 |

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

【技術背景】

本發明係關於半導體積體電路裝置及其製造方法，特別是有關適用於ＤＲＡＭ（Dynamic Random Access Memory）的缺陷救濟構造之有效的技術。

具備有記憶體陣列（藉由互相垂直而配置的複數個字元線及複數個位元線，以及配置於這些字元線與位元線的複數個記憶格所構成者）之ＤＲＡＭ，係於記憶體陣列的一部份預設一含有與通常的記憶格構造及尺寸相同的格之冗餘電路，在晶圓測試時，以冗餘線來替代被檢測出有缺陷格的線（字元線或位元線），而藉此來減低製品的不良率。

在此，日本特開平４－２３２６８８號公報，係揭示用以謀求更新周期的長時間化之ＤＲＡＭ。此ＤＲＡＭ係包含複數個冗餘記憶格，及接受記憶格的位址之解碼器，以及開關電路，並且其更新周期將被調節成比正常記憶格來得長，亦即比資訊保持特性不佳的缺陷格來得長。此外，若所接受的位址爲正常記憶格的位址時，則解碼器將會產生第１輸出，若所接受的位址爲缺陷記憶格的位址時，則解碼器將會產生第２輸出，並且開關電路將配合第１輸出，容許在救濟格中進行存取，而藉此來阻止對缺陷格進行存取。

又，日本特開平７－２４４９９７號公報，係揭示可在不增大晶片大小的情況下使用持有漏電流故障的字元線（連接有資訊保持特性欠佳的缺陷格之字元線）之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（2）

ＤＲＡＭ。此ＤＲＡＭ，係於冗餘位址記憶體中設置用以表示在冗餘字元線中所分配之字元線的故障爲漏電流故障之記憶機構（熔線），而於冗餘字元線中所分配之字元線的故障爲漏電流故障時，使具有同時選擇此字元線與冗餘字元線的功能。藉此，即使在持有漏電流故障的字元線中所分配的冗餘字元線持有同樣的漏電流故障時，還是能夠把記憶格的實質資訊儲存容量擴大成２倍而來施以救濟。

又，日本特開平１－２１３９００號公報，係揭示爲了救濟不良的讀出放大器（因雜音而導致產生錯誤動作），而於救濟格連接高性能讀出放大器的冗餘電路之半導體記憶裝置。由於此讀出放大器是由高驅動能力的ＭＯＳ電晶體所構成（與構成連接於正常記憶格之讀出放大器的ＭＯＳ電晶體比較下，閘極長度及閘極寬度較大），因此不易受到雜音的影響。藉此，即使連接於正常記憶格的讀出放大器因雜音而產生錯誤動作時，還是能夠確實地施以救濟。

又，日本特開平４－６７６６９號公報，係揭示爲了規避因塵埃的附著而導致冗餘電路產生缺陷，而把冗餘電路的微細化度（構成冗餘電路的電晶體，位元線及字元線的尺寸以及間隔）設定成大於主電路部之半導體記憶裝置。

【發明之揭示】

經由本發明者的研討後得知，在上述習知的缺陷救濟

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

技術中分別具有下述的問題。

雖然ＤＲＡＭ的更新時間是根據ＪＥＤＥＣ（Joint Electron Device Engineering Council standards）規格，依每集積度的增加情況而增長，但若集積度增加的話，則由於記憶格大小會形成微細，而使得元件分離長度會變短，因此而會因提高基板的濃度而令接合電場強度變大。其結果，會造成漏電流的增加，而使記憶格的資訊保持時間變短。亦即，若集積度增加的話，則會因爲資訊保持時間爲規格以下的缺陷格數增加，而使得救濟格的數量也不得不跟著增加。

但，救濟格的構造及尺寸與通常的記憶格相同的情況時，隨著集積度的增加而救濟格的數量也跟著增加的話，則即使是在救濟後，含有資訊保持時間較短的格之機率亦會增高。例如，在６４ＭｂｉｔＤＲＡＭ中需要救濟數十位元時，及在２５６ＭｂｉｔＤＲＡＭ中需要救濟數百位元時，以及在１ＧｂｉｔＤＲＡＭ中需要救濟數千位元時，爲了要救濟１位元，而需要使用４條的救濟用位元線來取代元本的位元線，因此而置換了千位元（２５６位元×４）左右，亦即在６４Ｍｂｉｔ，２５６Ｍｂｉｔ，１ＧｂｉｔＤＲＡＭ中將會分別置換數十Ｋｂｉｔ，數百Ｋｂｉｔ及數Ｍｂｉｔ。因此，隨著集積度的增加，即使是在救濟後，在救濟格中含有不良格的機率亦會增高，因此不良品的產生而導致製品良率的下降程度，在６４Ｍｂｉｔ，２５６Ｍｂｉｔ，１ＧｂｉｔＤＲＡＭ中分別

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

爲１％未滿，數％～１０％及數十％～１００％。亦即，隨著集積度的增加，製品良率的下降程度愈顯著。

此外，記載於日本特開平４－２３２６８８號公報中之缺陷救濟構造，由於需要另設供以記憶正常格與缺陷格的位址之電路（非揮發性記憶體），因此而使製程變得非常複雜。又，由於需要另設供以存取救濟格的周邊電路，因此晶片的面積會隨之增大。同樣的，記載於日本特開平７－２４４９９７公報中之缺陷救濟構造，也是因爲需要另設供以雙重選擇字元線與冗餘線的周邊電路，而使得晶片的面積會隨之增大。

另外，即使利用將高性能讀出放大器連接於救濟格的構造（特開平１－２１３９００公報）也無法根本的解決上述之問題，亦即無法解決因集積度的增高而增加救濟格時，救濟後依然含有資訊保持時間較短的記憶格的機率亦會隨之增高之問題。

再者，就冗餘電路的微細化度比主電路部還要大的構造（特開平４－６７６６９公報）而言，雖然利用在ＳＲＡＭ（Static Random Access Memory）時，於佈局上或加工上不會有問題，但若利用於ＤＲＡＭ時，則會在構成記憶格上產生較大的問題。又，僅僅只是將構成冗餘電路的電晶體，位元線及字元線的尺寸、間隔設定成比主電路的部份還要大，並不能實現資訊保持時間的長時間化（ＤＲＡＭ之特有的課題）。

本發明之目的在於提供一種能夠在不會大幅度地增加

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5 ）

晶片的面積及不會導致製程的複雜化之情況下來加長ＤＲＡＭ的救濟格的更新時間之技術。

本發明之上述目的及其它目的以及新穎的特徵，係可由本說明書的記述及添附圖面中明確得知。

以下，將簡單說明有關本案中所揭示之發明中具代表性者的概要。

（１）本發明之半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

形成有上述救濟格之領域的元件分離寬度要比形成有上述記憶格之領域的元件分離寬度來得大。

（２）本發明之半導體積體電路裝置，係其中形成有上述救濟格之領域的元件分離領域下部之半導體基板的雜質濃度要比形成有上述記憶格之領域的元件分離領域下部之半導體基板的雜質濃度來得低。

（３）本發明之半導體積體電路裝置，係其中連接於上述救濟格之位元線的間隔要比連接於上述記憶格之位元線的間隔來得大。

（４）本發明之半導體積體電路裝置，係其中上述救濟格與上述記憶格，係分別由記憶格選擇用ＭＩＳＦＥＴ與直列連接於該記憶格選擇用ＭＩＳＦＥＴ的資訊儲存用電容元件所構成，且上述救濟格之資訊儲存用電容元件的下部電極之占有面積要比上述記憶格之資訊儲存用電容元件的下部電極之占有面積來得大。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

（5）本發明之半導體積體電路裝置，係其中上述救濟格與上述記憶格，係分別由記憶格選擇用ＭＩＳＦＥＴ與直列連接於該記憶格選擇用ＭＩＳＦＥＴ的資訊儲存用電容元件所構成，且在上述記憶格之記憶格選擇用ＭＩＳＦＥＴ的源極、汲極的下部及上述記憶格之記憶格選擇用ＭＩＳＦＥＴ的源極，汲極的下部分別形成有與上述源極、汲極同一導電型的電場緩和層。

（6）本發明之半導體積體電路裝置，係其中根據藉由選擇氧化法所形成的場氧化膜來進行元件分離。

（7）本發明之半導體積體電路裝置，係其中形成有上述救濟格之領域的元件分離寬度爲形成有上述記憶格之領域的元件分離寬度的１．５～２倍。

（8）本發明之半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

形成有上述救濟格之活性領域的寬度要比形成有上述記憶格之活性領域的寬度來得大。

（9）本發明之半導體積體電路裝置，係其中上述記憶格與上述救濟格，係分別由記憶格選擇用ＭＩＳＦＥＴ與直列連接於該記憶格選擇用ＭＩＳＦＥＴ的資訊儲存用電容元件所構成，且連接上述記憶格的記憶格選擇用ＭＩＳＦＥＴ的源極、汲極的一方與資訊儲存用電容元件的下部電極之通孔，係其第１方向的直徑與該第１方向的直徑呈垂直的第２方向的直徑不同。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

（10）本發明之半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

形成有上述救濟格之領域的元件分離寬度要比形成有上述記憶格之領域的元件分離寬度來得大，且形成有上述救濟格之活性領域的寬度要比形成有上述記憶格之活性領域的寬度來得大。

（11）本發明之半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

在構成上述救濟格的ＭＩＳＦＥＴ的閘極的側壁上所形成的側壁間隔件的厚度要比在構成上述記憶格的ＭＩＳＦＥＴ的閘極的側壁上所形成的側壁間隔件的厚度來得大。

（12）本發明之半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

構成上述救濟格的ＭＩＳＦＥＴ的閘極絕緣膜的膜厚要比構成上述記憶格的ＭＩＳＦＥＴ的閘極絕緣膜的膜厚來得大。

（13）本發明之半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

連接於每一條冗餘位元線之救濟格的數量要比連接於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（8 ）

每一條位元線之記憶格的數量來得少。

（１４）本發明之半導體積體電路裝置，係屬於一種具有ＤＲＡＭ之半導體積體電路裝置，該ＤＲＡＭ係於記憶體陣列中形成有包含救濟格之複數個的記憶格，其特徵爲：

在救濟用的讀出放大器中連接有：指標位元的資訊的訊號線之第１位元線，及上述指標位元的相反資訊的訊號線之第２位元線，且根據所定的字元線而選擇之２個格的一方將被連接於上述第１位元線，另一方的格則被連接於上述第２位元線。

（１５）本發明之半導體積體電路裝置，係屬於一種具有ＤＲＡＭ之半導體積體電路裝置，該ＤＲＡＭ係於記憶體陣列中形成有包含救濟格之複數個的記憶格，其特徵爲：

在救濟用的讀出放大器中連接有：指標位元的資訊的訊號線之第１位元線，及上述指標位元的相反資訊的訊號線之第２位元線，且同時被選擇的２條字元線的一方將選擇連接於上述第１位元線的格，另一方則選擇連接於上述第２位元線的格。

（１６）本發明之半導體積體電路裝置，係屬於一種具有ＤＲＡＭ之半導體積體電路裝置，該ＤＲＡＭ係於記憶體陣列中形成有包含救濟格之複數個的記憶格，其特徵爲：

在救濟用的讀出放大器中連接有：指標位元的資訊的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(9　)

訊號線之2條第1位元線，及上述指標位元的相反資訊的訊號線之2條第2位元線，且同時被選擇的2條字元線的一方將選擇連接於上述2條第1位元線的其中之一條的格，另一方則選擇連接於上述2條第2位元線的其中之一條的格。

（17）本發明之半導體積體電路裝置的製造方法，係屬於一種具有於記憶體陣列中形成有複數的通常格與複數的救濟格的DRAM之半導體積體電路裝置的製造方法，其特徵係包含：

（a）對半導體基板進行熱處理，接著在其表面形成第1閘極絕緣膜之後，選擇性的除去通常格領域的第1閘極絕緣膜之工程；及

（b）再度對上述半導體基板進行熱處理，接著在上述通常格領域中形成第2閘極絕緣膜的同時，令救濟格領域的上述第1閘極絕緣膜的膜厚大於上述第2閘極絕緣膜的膜厚之工程；及

（c）令堆積於上述半導體基板上的第1導電膜形成圖案，藉此來使通常格的閘極電極形成於上述通常格領域的上述第2閘極絕緣膜上，以及使救濟格的閘極電極形成於上述救濟格領域的上述第1閘極絕緣膜上之工程；及

（d）在上述通常格領域的上述半導體基板上形成通常格的源極、汲極，以及在上述救濟格領域的上述半導體基板上形成救濟格的源極、汲極之工程；及

（e）在上述半導體基板上堆積第1絕緣膜後，對上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10 ）

述通常格領域的上述第 1 絕緣膜進行選擇性的蝕刻，藉此在上述通常格領域的上述閘極電極的側壁上形成第 1 側壁間隔件之工程；及

（ f ）在上述半導體基板上堆積第 2 絕緣膜後，對上述第 2 絕緣膜進行蝕刻，藉此在上述救濟格領域的上述閘極電極的側壁上形成比上述第 1 側壁間隔件的膜厚還要厚的第 2 側壁間隔件之工程；及

（ g ）對堆積於上述半導體基板上的第 3 絕緣膜進行蝕刻，藉此在上述通常格的源極、汲極的一方上部及上述救濟格的源極、汲極的一方上部分別形成接觸孔之工程；及

（ h ）在上述第 3 絕緣膜的上部分別形成上部通常格的資訊儲存用電容元件及上述救濟格的資訊儲存用電容元件之工程。

（ 1 8 ）本發明之半導體積體電路裝置的製造方法，係於上述通常格的源極、汲極的一方上部及上述救濟格的源極、汲極的一方上部分別形成接觸孔之後，在上述接觸孔內埋入含有與上述源極、汲極相同導電型的雜質之多結晶矽膜。

【實施發明之最佳形態】

以下，根據圖面來詳述本發明之實施形態。並且，在供以說明實施形態的全部圖中，對具有同一功能的構件賦予相同的符號，並省略其重複的說明。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

（實施形態１）

圖１係表示本發明之實施形態１之ＤＲＡＭ之區塊圖。此ＤＲＡＭ的各電路區塊係形成於由單結晶矽所構成的半導體晶片１Ａ上。

同圖中，在半導體晶片１Ａ的縱方向的中央部與橫方向的中央部配置有周邊電路，且在根據這些周邊電路所分割的４個領域中分別配置有記憶體陣列（ＭＡＲＹ）。雖無特別地加以限定，但記憶體陣列（ＭＡＲＹ）全體約具有２５６Ｍｂｉｔ的大記憶體容量。又，１個記憶排係以橫方向延在字元線，縱方向延在位元線之方式加以配置。又，記憶排係以讀出放大器ＳＡ爲中心，於左右兩側配置一對。又，對於配置在左右的一對記憶排而言，讀出放大器ＳＡ係可共通使用，亦即藉由共用讀出放大器方式來構成。又，根據周邊電路所被４分割的記憶體陣列（ＭＡＲＹ）中，在中央部側配置有Ｙ選擇電路ＹＳ。Ｙ選擇線將從Ｙ選擇電路ＹＳ延伸於記憶體陣列（ＭＡＲＹ）的複數個記憶排上，而來進行各記憶排的行開關用ＭＩＳＦＥＴ的開關控制。

此外，在上述半導體晶片１Ａ的橫方向之中央部的右側部份設有：Ｘ位址緩衝器，由Ｘ冗餘電路及Ｘ位址驅動器（邏輯段）所構成的Ｘ系電路８０，ＲＡＳ系控制訊號電路８１，ＷＥ系控制訊號電路８２，及基準電壓產生電路８３。基準電壓產生電路８３係配置於靠近此領域的中央，接受外部電源Ｖｃｃ（例如５Ｖ）而來產生供應給內

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

部電路的定電壓ＶＬ（例如３．３Ｖ）。又，在上述半導體晶片１Ａ的橫方向之中央部的右側部份設有：Ｙ位址緩衝器，由Ｙ冗餘電路及Ｙ位址驅動器（邏輯段）所構成的Ｙ系電路８４，ＣＡＳ系控制訊號電路，及測試電路。又，於晶片中央部設有將電源電壓ＶＣＬ供應給位址緩衝器或解碼器等的周邊電路之內部降壓電路。

如以上所述，當集中配置冗餘電路（包含位址緩衝器與彼對應之位址比較電路），及產生控制時脈之ＣＡＳ，ＲＡＳ系控制訊號電路８１，８５等的情況時，例如可夾著配線通道來分開時脈產生電路與其它的電路，亦即可藉由配線通道的共用來達到高積體化，同時還能夠高速地將訊號傳達給位址驅動器（邏輯段）等。

上述ＲＡＳ系控制訊號電路８１，係供以接受訊號ＲＡＳ而來活化Ｘ位址緩衝器之用。又，取入Ｘ位址緩衝器的位址訊號，係以字元線單位來供應給進行缺陷救濟的Ｘ系冗餘電路，且在此與被記憶的不良位址作比較，而來判定是否在冗餘電路中有無切換。並將此結果及取入Ｘ位址緩衝器的上述位址訊號供應給Ｘ系的預解碼器。又，在此所形成的預解碼訊號，係經由對應於各記憶體陣列而設置的Ｘ位址驅動器來供應給對應於記憶排而設置的各各Ｘ解碼器。

上述ＲＡＳ系的內部訊號，係供應給ＷＥ系的控制電路與ＣＡＳ系的控制電路，例如由ＲＡＳ訊號，ＣＡＳ訊號及ＷＥ訊號的輸入順序之判定來進行自動更新模式（

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（13）

ＣＢＲ），測試模式（ＷＣＢＲ）等之識別。當處於測試模式時，測試電路８６將被活化，並根據當時被供應的特定位址訊號來設定測試函數。

ＣＡＳ系控制訊號電路８５，係供以接受訊號ＣＡＳ而來形成Ｙ系的各種控制訊號之用。並且，與訊號ＣＡＳ的低位準變化同步而被取入Ｙ位址緩衝器中的位址訊號，係以位元線單位來供應給進行缺陷救濟的Ｙ系冗餘電路，且在此與被記憶的不良位址作一比較，而來判定是否在冗餘電路中有無切換。並將此結果及上述位址訊號供應給Ｙ系的預解碼器，且在此形成預解碼訊號。又，此預解碼訊號，係經由對應於各記憶體陣列而設置的Ｙ位址驅動器來供應給各各Ｙ解碼器，另一方面，上述ＣＡＳ系控制電路，係由接受ＲＡＳ訊號及ＷＥ訊號的輸入順序之判定來判定測試模式，並使鄰接的測試電路８６活化。

在上述晶片之縱方向的中央部上側部份配置有對此領域的中心軸而言爲左右對稱合計１６個的記憶排與８個的讀出放大器。其中，對應於左右各４組的記憶排與讀出放大器而設置４個的主放大器８８。其它，在此縱中央上部設置有：接受內部降壓電壓而來選擇字元線等的昇壓電壓產生電路８９，及對應於位址訊號與控制訊號等輸入訊號的墊片區域Ｐｄ，Ｐｃ。並且，對應於上述左右各４組分割成的記憶區塊而分別設置有形成讀出放大器ＳＡ的動作電壓之內部降壓電路。

如此一來，在１個區塊中配置有８個的記憶排與４個

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（14）

的讀出放大器ＳＡ，及以上述縱軸爲中心左右對稱合計配置有１６個的記憶排與８個的讀出放大器ＳＡ之構成中，可至少使用（４個的）主放大器８８，藉由較短的訊號傳遞路徑來將來自各讀出放大器ＳＡ的放大訊號傳達至主放大器８８。

在上述晶片之縱方向的中央部下側部份亦配置有對此領域的中心軸而言爲左右對稱合計１６個的記憶排與８個的讀出放大器。其中，對應於左右各４組的記憶排與讀出放大器而設置４個的主放大器８８。其它，在此縱中央上部設置有：接受內部降壓電壓而來形成必須供應給基板的基板偏壓之基板電壓產生電路９１，及對應於位址訊號與控制訊號等輸入訊號之墊片區域Ｐａ，資料輸出緩衝電路９２，資料輸入緩衝電路９３。並且，對應於上述左右各４組分割成的記憶區塊而分別設置有形成讀出放大器ＳＡ的動作電壓之內部降壓電路９０。藉此，可至少使用（４個的）主放大器８８，藉由較短的訊號傳遞路徑來將來自各讀出放大器ＳＡ的放大訊號傳達至主放大器８８。

在上述內部電壓中，ＶＣＬ爲３.３Ｖ的周邊電路用電源電壓，並藉由內部降壓電路９０來形成共通狀態。ＶＤＬ爲３．３Ｖ的記憶體陣列（ＭＡＲＹ），亦即供應給讀出放大器ＳＡ的電源電壓，且對應於４個的記憶區塊而設置４個。ＶＤＨ爲接受上述內部電壓ＶＤＬ而來選擇被昇壓至例如５．２Ｖ的字元線的選擇位準，共用開關ＭＩＳＦＥＴ之升高電源電壓。ＶＢＢ爲例如－２Ｖ的基

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（15）

板偏壓，ＶＰＬ爲記憶格的屏極電壓，ＶＬ爲供應給內部降壓電路９０之３．３Ｖ的定電壓。

同圖中雖省略，但實際上在上述晶片的中央部沿著縱方向配置一列複數個的接合墊片。而這些接合墊片係經由Ａｕ線來電氣性地連接於ＬＯＣ（Lead On Cnip）方式之導線框等。

接著將利用圖２來說明上述ＤＲＡＭ的缺陷救濟方法之一例。雖在圖示中省略，但實際上通常Ｙ選擇線係經由開關ＭＩＳＦＥＴ而連接有相補性的位元線，且在位元線上連接有通常格。又，冗餘Ｙ選擇線係經由開關ＭＩＳＦＥＴ而連接有相補性的位元線，且在位元線上連接有冗餘格。

在晶圓測試時檢測出含有缺陷格的位址時，將會切斷預設定之冗餘電路的熔斷器，而藉此在選擇該位址時予以切換連接於救濟格，同時令救濟格活化的訊號將被傳達至救濟格。其結果，當上述位址被選擇時，冗餘Ｙ選擇線將被活化，同時在被連接於通常格的解碼器中將被輸入令缺陷位址不活化的訊號。藉此，在上述位址中，將會選擇冗餘Ｙ選擇線來取代含有缺陷格之位址的通常Ｙ選擇線。

又，冗餘電路係具備有可左右含有缺陷格的不良Ｙ選擇線的位址之熔斷器，當該位址被輸入時具有：選擇冗餘Ｙ選擇線之功能，及令對應於該位址的記憶體陣列之通常的Ｙ選擇線不活化之功能。

圖３係表示上述記憶體陣列的一部份（形成有通常的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

記憶格的領域與形成有救濟格的領域）之半導體基板的概略平面圖。圖４係表示沿著圖３之Ａ－Ａ´線之剖面圖。圖５係表示沿著圖３之Ｂ－Ｂ´線與Ｃ－Ｃ´線之剖面圖。並且，在圖３中主要顯示出構成記憶格的導電層（屏極除外），而省略導電層間的絕緣膜及記憶格的上部配線。

本實施形態之記憶格及缺陷救濟用之救濟格，係形成於ｐ型阱２的活性領域Ｌ（該ｐ型阱２的活性領域Ｌ係形成於ｐ型半導體基板１的主面）。並且，救濟格係由：ｎ通道型的記憶格選擇用ＭＩＳＦＥＴＱｓ及與該ｎ通道型的記憶格選擇用ＭＩＳＦＥＴＱｓ直列連接的資訊儲存用電容元件Ｃ所構成。又，救濟格係由：ｎ通道型的記憶格選擇用ＭＩＳＦＥＴＱｒ及與該ｎ通道型的記憶格選擇用ＭＩＳＦＥＴＱｒ直列連接的資訊儲存用電容元件Ｃ所構成。如圖３所示，活性領域Ｌ係由沿著圖的左右方向（Ｘ方向）而延伸之細長島狀的圖案所構成，且其尺寸，例如Ｘ方向爲１．１６μｍ，圖的上下方向（Ｙ方向）爲０．２４μｍ。

又，於包圍上述活性領域Ｌ的元件分離領域中，係藉由習知的選擇氧化（ＬＯＣＯＳ）法來形成場氧化膜３。如圖示，本實施形態的ＤＲＡＭ，係形成有救濟格的領域（救濟格領域）的元件分離寬度，亦即鄰接於Ｙ方向（字元線ＷＬ的延伸方向）的活性領域Ｌ彼此的間隔要比形成有通常的記憶格的領域（通常格領域）的元件分離寬度來得大。在此，通常格領域的元件分離寬度例如爲０．２２

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

μm，救濟格領域的元件分離寬度例如爲0．44μm，亦即爲通常格領域的元件分離寬度的2倍。

又，於包含上述場氧化膜3的下部之p型阱2的內部形成有基板濃度調整用的p型半導體層4。如圖所示，此p型半導體層4（基板濃度調整層）係於救濟格的活性領域下形成於p型阱2的較深領域，而於通常格的活性領域下形成於較淺的領域。並且，藉由將p型半導體層4形成於較深的領域之方式來使接合部的雜質濃度降低。因此，即使是在救濟格中還是能夠單純地降低接合部的雜質濃度。

又，記憶格的記憶格選擇用ＭＩＳＦＥＴＱｓ係主要由構成閘極氧化膜5，閘極6及源極，汲極的一對n型半導體領域7，7所構成。並且，分別在形成於通常格領域的活性領域Ｌ中，彼此共有源極，汲極的一方之2個的記憶格選擇用ＭＩＳＦＥＴＱｓ係鄰接形成於Ｘ方向。同樣的，救濟格的記憶格選擇用ＭＩＳＦＥＴＱｒ係主要由構成閘極氧化膜5，閘極6及源極，汲極的一對n型半導體領域7，7所構成。並且，分別在形成於通常格領域的活性領域Ｌ中，彼此共有源極，汲極的一方之2個的記憶格選擇用ＭＩＳＦＥＴＱｒ係鄰接形成於Ｘ方向。而且，通常格的記憶格選擇用ＭＩＳＦＥＴＱｓ與救濟格的記憶格選擇用ＭＩＳＦＥＴＱｒ係以相同的尺寸構成。

又，於記憶格選擇用ＭＩＳＦＥＴＱｓ的源極，汲極（n型半導體領域7）的下部，係形成有供以緩和此源極

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

，汲極的接合電場之ｎ型半導體層（電場緩和層）８。又，於記憶格選擇用ＭＩＳＦＥＴＱｒ的源極，汲極（ｎ型半導體領域７）的下部，係形成有供以緩和此源極，汲極的接合電場之ｎ型半導體層（電場緩和層）８ｒ。如圖所示，救濟格的電場緩和層８ｒ係與通常格的電場緩和層８比較下形成於ｐ型阱之較深的領域中。在此，電場緩和層８ｒ的深度約爲電場緩和層８的深度的２倍左右。

又，記憶格選擇用ＭＩＳＦＥＴＱｓ的閘極６係與字元線ＷＬ一體構成，並以同一寬度，同一間隔延伸於Ｙ方向。同樣的，記憶格選擇用ＭＩＳＦＥＴＱｒ的閘極６係與字元線ＷＬ一體構成，並以同一寬度，同一間隔延伸於Ｙ方向。而且，閘極６（字元線ＷＬ）的寬度，亦即閘極長度例如爲０．２４μｍ，鄰接之２個閘極６的間隔例如爲０．２２μｍ。

上述閘極６（字元線ＷＬ）係由在例如被植入磷等的ｎ型雜質的低阻抗多結晶矽膜的上部層疊ＷＳｉ₂膜的聚合膜所構成。又，閘極６（字元線ＷＬ）的上部係以氮化矽膜９覆蓋著，且在氮化矽膜９與閘極６（字元線ＷＬ）的側壁形成有由氮化矽膜所構成的側壁間隔件１０。又，於覆蓋閘極６（字元線ＷＬ）的氮化矽膜９的上部形成有氧化矽膜１１，且其表面係形成平坦化（在半導體基板１的全域中幾乎同高度）。

又，於構成記憶格選擇用ＭＩＳＦＥＴＱｓ，Ｑｒ的源極，汲極之一對ｎ型半導體領域７，７的上部形成有貫

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

通氧化矽膜１１而到達ｎ型半導體領域７之接觸孔１３，１４。並且，在這些接觸孔１３，１４的內部埋入有由低阻抗多結晶矽膜所構成的柱塞１５，該低阻抗多結晶矽膜中被植入ｎ型雜質（例如Ｐ）。而且，接觸孔１４係其Ｘ方向的直徑與Ｙ方向的直徑約相同。相對的，另一方的接觸孔１３係其Ｙ方向的直徑要比Ｘ方向的直徑來得大，由約呈長方形的平面圖案所構成，且其中一部份自活性領域Ｌ延伸至場氧化膜３的上部。

又，於形成有上述接觸孔１３，１４的氧化矽膜１１的上部形成有氧化矽膜１６，且在其上部形成有位元線ＢＬ。該位元線ＢＬ係配置於氧化矽膜３的上部，並以同一寬度，同一間隔沿著Ｘ方向而延伸至記憶體陣列的端部。位元線ＢＬ的寬度與通常格領域，救濟格領域同爲０．１４μｍ。又，如上述，由於救濟格領域的元件分離寬度形成通常格領域的元件分離寬度的２倍，因此形成於救濟格領域的位元線ＢＬ彼此間的間隔要比形成於通常格領域的位元線ＢＬ彼此間的間隔來得大，例如形成２倍左右。

又，上述位元線ＢＬ係由在例如被植入ｎ型雜質的低阻抗多結晶矽膜的上部層疊ＷＳｉ$_2$膜的聚合膜所構成。又，通常格領域的位元線ＢＬ係經由形成於氧化矽膜１６的通孔１７來與上述接觸孔１３內的柱塞１５進行電氣性連接，且經由此柱塞１５來與藉由２個記憶格選擇用ＭＩＳＦＥＴＱｓ而共有的ｎ型半導體領域７（源極，汲

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（20）

極的一方）進行電氣性連接。同樣的，救濟格領域的位元線ＢＬ係經由形成於氧化矽膜１６的通孔１７來與上述接觸孔１３內的柱塞１５進行電氣性連接，且經由此柱塞１５來與藉由２個記憶格選擇用ＭＩＳＦＥＴＱｒ而共有的ｎ型半導體領域７（源極，汲極的一方）進行電氣性連接。

又，於上述位元線ＢＬ的上部形成有氧化矽膜１８，且其表面係形成平坦化（在半導體基板１的全域中幾乎同高度）。並且，在氧化矽膜１８的上部形成有資訊儲存用電容元件Ｃ。通常格的資訊儲存用電容元件Ｃ係由下而上層疊下部電極（儲存電極）２０，電容絕緣膜２１及上部電極（屏極）２２而形成之層疊構造所構成。同樣的，救濟格的資訊儲存用電容元件Ｃ係由層疊下部電極（儲存電極）２０ｒ，電容絕緣膜２１及上部電極（屏極）２２而形成之層疊構造所構成。下部電極２０，２０ｒ與上部電極２２係由例如植入有Ｐ（磷）的雜質之低阻抗多結晶矽膜所構成，而電容絕緣膜２１係例如由氧化鉭（$Ta_2O_5$）等之高介電質所構成。

又，資訊儲存用電容元件Ｃ的下部電極２０，２０ｒ係以沿著Ｘ方向而延伸之細長的圖案而構成。並且，通常格的下部電極２０的尺寸，例如Ｘ方向爲０．７７μｍ，Ｙ方向爲０．３１μｍ。又，鄰接之下部電極２０彼此間的間隔，例如Ｘ方向與Ｙ方向同爲０．１５μｍ。另一方面，救濟格的下部電極２０ｒ的尺寸，例如Ｘ方向爲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

０．７７μｍ，Ｙ方向爲０．６２μｍ。又，鄰接之下部電極２０ｒ彼此間的間隔，例如Ｘ方向與Ｙ方向同爲０．１５μｍ。此情況之救濟格的下部電極２０ｒ的占有面積要比通常格的下部電極２０來得大，例如形成２倍。

又，分別在上述下部電極２０，２０ｒ的下部形成有貫通氧化矽膜１８，１６而到達上述接觸孔１４之通孔２３，且其內部埋入有由低阻抗多結晶矽膜所構成的柱塞２４，該低阻抗多結晶矽膜中被植入ｎ型雜質（例如Ｐ）。通常格的下部電極２０，係經由通孔２３內的柱塞２４及接觸孔１４內的柱塞１５來與記憶格選擇用ＭＩＳＦＥＴＱｓ的源極，汲極的另一方進行電氣性連接。同樣的，救濟格的下部電極２０ｒ，係經由通孔２３內的柱塞２４及接觸孔１４內的柱塞１５來與記憶格選擇用ＭＩＳＦＥＴＱｒ的源極，汲極的另一方進行電氣性連接。

又，於上述資訊儲存用電容元件Ｃ的上部形成有氧化矽膜２５，且在其上部形成有金屬配線２６Ａ，２６Ｂ。金屬配線２６Ａ，２６Ｂ係例如以層疊ＴｉＮ膜，Ａｌ合金膜及ＴｉＮ膜等之多層構造所構成。又，於金屬配線２６Ａ，２６Ｂ的上部形成有層間絕緣膜，且在其上部形成有１～２層的金屬配線（圖中省略）。

其次，根據圖６～圖２４來說明上述記憶格及救濟格之製造方法的一例之工程順序。並且在以下的圖中，在其下部附上Ａ，Ａ´的符號之剖面圖全爲沿著圖６的Ａ－

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（22）

A´線之剖面圖，而附上B，B´，C，C´的符號之剖面圖全爲沿著圖6的B－B´線與C－C´線之剖面圖。

首先，如圖6及圖7所示，利用選擇氧化（LOCOS）法在半導體基板1的表面上形成元件分離用的場氧化膜3及圍繞於彼之島狀的活性領域L。此刻，將救濟格領域的元件分離寬度（字元線WL之延在方向的元件分離寬度）形成爲通常格領域的元件分離寬度（W）的2倍（2W）。此情況，救濟格領域的場氧化膜3的膜厚要比通常格領域的場氧化膜3的膜厚厚上許多。這是因爲在元件分離寬度比救濟格領域還要窄的通常格領域中從氮化矽膜所施加的壓縮應力較大，而使得該領域的場氧化矽膜的成長速度變慢所致。

其次，如圖8所示一般，在半導體基板1中植入B（硼）後，對半導體基板1進行熱處理而來使B擴散，藉此而得以形成p型阱2與基板濃度調整用的p型半導體層4。在此，供以形成p型阱2的B（硼）之植入條件：例如通常格領域爲加速能量300keV，劑量$1\times10^{13}$ atoms／$cm^2$，救濟格領域爲加速能量400keV，劑量$1\times10^{13}$ atoms／$cm^2$。又，供以形成p型半導體層4的B（硼）之植入條件，例如通常格領域爲加速能量150keV，劑量$7\times10^{12}$ atoms／$cm^2$及加速能量40keV，劑量$1\times10^{12}$ atoms／$cm^2$，救濟格領域爲加速能量250keV，劑量$7\times10^{12}$ atoms／$cm^2$及加速能量60

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（23）

keV，劑量1×10$^{12}$atoms／cm$^2$。此刻同時以加速能量10keV，劑量5×10$^{12}$atoms／cm$^2$的條件來進行供以調整記憶格選擇用MISFET（Qs，Qr）的臨界值電壓（Vth）之B的植入。

或者，亦可首先在通常格領域及救濟格領域中以加速能量300keV，劑量1×10$^{13}$atoms／cm$^2$，加速能量150keV，劑量1×10$^{12}$atoms／cm$^2$，加速能量40keV，劑量1×10$^{12}$atoms／cm$^2$的條件來植入B（硼），其次僅在通常格領域中以加速能量150keV，劑量5×10$^{12}$atoms／cm$^2$之條件來植入B（硼）。

其次，如圖9及圖10所示，在活性領域L的p型阱2的表面形成記憶格選擇用MISFETQs，Qr的閘極氧化膜5，且在其上部形成閘極6（字元線WL）。並且，以800～900℃的溫度來對p型阱2的表面進行濕式氧化而形成閘極氧化膜5。而且，在半導體基板1上藉由CVD法來順次堆積植入P（磷）的多結晶矽膜，$WSi_2$膜及氮化矽膜9，之後以光阻劑膜爲光罩的蝕刻法來對這些膜形成圖案。

其次，如圖11及圖12所示，在p型阱2中形成記憶格選擇用MISFETQs，Qr的n型半導體領域7′（源極，汲極）。n型半導體領域7′係例如於p型阱2中以加速能量20keV，劑量2×10$^{13}$atoms／cm$^2$的條件植入p（磷）而形成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

其次，如圖１３所示，在閘極６（字元線ＷＬ）的側壁形成側壁間隔件１０。側壁間隔件１０，係於半導體基板１上對氮化矽膜（藉由ＣＶＤ法堆積而成）進行向異性蝕刻而形成。

其次，如圖１４～圖１６所示，在半導體基板１上利用ＣＶＤ法來堆積氧化矽膜１１，接著藉由化學機械研磨法來使其表面平坦化，然後以光阻劑膜作爲光罩來對氧化矽膜１１進行乾蝕刻，藉此來將接觸孔１３，１４形成於記憶格選擇用ＭＩＳＦＥＴＱｓ，Ｑｒ的ｎ型半導體領域７´（源極，汲極）的上部。又，接觸孔１３係以Ｙ方向的直徑能夠大於Ｘ方向的直徑之方式來形成約呈長方形的光罩圖案，另外接觸孔１４係以Ｙ方向的直徑能夠與Ｘ方向的直徑幾乎相同之方式來形成約呈正方形的光罩圖案。又，氧化矽膜１１的乾蝕刻，係以氮化矽膜對氧化矽膜的蝕刻率爲小的條件來進行，而令閘極６（字元線ＷＬ）的上部之氮化矽膜９與側壁之測壁間隔件１０不會深入切削。藉此而得以令接觸孔１３，１４可對閘極６（字元線ＷＬ）自我整合而形成。

其次，如圖１７及圖１８所示，經由接觸孔１３，１４在ｐ型阱２中離子植入Ｐ（磷），藉此在比記憶格選擇用ＭＩＳＦＥＴＱｓ的ｎ型半導體領域７´（源極，汲極）還要深的領域之ｐ型阱２中形成電場緩和用的ｎ型半導體層（電場緩和層）８，且在比記憶格選擇用ＭＩＳＦＥＴＱｒ的ｎ型半導體領域７´（源極，汲極）還

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

要深的領域之ｐ型阱２中形成電場緩和用的ｎ型半導體層（電場緩和層）８ｒ。此刻，在通常格領域的ｐ型阱２中以加速能量１００ｋｅＶ，劑量２×１０$^{13}$ａｔｏｍｓ／ｃｍ$^{2}$的條件來離子植入ｐ（磷），又在救濟格領域的ｐ型阱２中以加速能量１５０ｋｅＶ，劑量１×１０$^{13}$ａｔｏｍｓ／ｃｍ$^{2}$的條件來離子植入ｐ（磷），藉此來使救濟格領域的ｎ型半導體層（電場緩和層）８ｒ所形成的深度要比通常格領域的ｎ型半導體層（電場緩和層）８所形成的深度大上２倍左右。

上述ｎ型半導體層（電場緩和層）８，８ｒ的作用在於使高濃度的ｎ型半導體領域與ｐ型阱２之間的雜質分佈更爲平均，而來緩和兩者間的電場。上述高雜質濃度的ｎ型半導體領域是在其次的工程中將埋入接觸孔１３，１４內部的柱塞１５材料之多結晶矽膜中的ｎ型雜質（例如Ｐ）予以擴散於ｎ型半導體領域７′中而取得者。

其次，如圖１９及圖２０所示，在接觸孔１３，１４的內部形成柱塞１５。此柱塞１５，係以ＣＶＤ法在氧化矽膜１１的上部堆積植入ｎ型雜質（例如Ｐ）的多結晶矽膜，然後以化學機械研磨法來研磨此多結晶矽膜，而使殘留於接觸孔１３，１４的內部。之後，進行約８５０℃的熱處理，藉此來使構成柱塞１５的多結晶矽膜中的ｎ型雜質能夠從接觸孔１３，１４的底部擴散至ｎ型半導體領域７′（源極，汲極）中，而來形成高雜質濃度的ｎ型半導體領域７（源極，汲極）。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（26）

其次，如圖２１～圖２２所示，在氧化矽膜１１的上部利用ＣＶＤ法來堆積氧化矽膜１６，接著藉由以光阻劑膜作爲光罩的乾蝕刻來使通孔１７形成於接觸孔１３上部的氧化矽膜１６中，然後在氧化矽膜１６的上部形成位元線ＢＬ。又，通常格領域的位元線ＢＬ係經由通孔１７及其下部的接觸孔１３來與記憶格選擇用ＭＩＳＦＥＴＱｓ的ｎ型半導體領域７（源極，汲極）的一方進行電氣性的連接。又，救濟格領域的位元線ＢＬ係經由通孔１７及其下部的接觸孔１３來與記憶格選擇用ＭＩＳＦＥＴＱｒ的ｎ型半導體領域７（源極，汲極）的一方進行電氣性的連接。

其次，如圖２３～圖２４所示，藉由ＣＶＤ法在位元線ＢＬ的上部堆積氧化矽膜１８，然後藉由以光阻劑膜作爲光罩的乾蝕刻法來使通孔２３形成於接觸孔１４上部的氧化矽膜１８中。接著，在通孔２３的內部埋入柱塞２４後，在氧化矽膜１８的上部形成資訊儲存用電容元件Ｃ。又，柱塞２４，係例如於氧化矽膜１８的上部藉由ＣＶＤ法來堆積植入ｎ型雜質（例如Ｐ）的多結晶矽膜，然後再利用化學機械研磨法來研磨此多結晶矽膜，而使殘留於通孔２３的內部。此外，就形成資訊儲存用電容元件Ｃ而言，首先是在氧化矽膜１８的上部藉由ＣＶＤ法來堆積植入磷的低阻抗多結晶矽膜，其次，藉由以光阻劑膜作爲光罩的乾蝕刻法來使此多結晶矽膜形成圖案，而形成下部電極（儲存電極）２０。再其次，於下部電極（儲存電極）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

２０的上部利用ＣＶＤ法來堆積氧化鉭膜與植入磷的低阻抗多結晶矽膜，然後再利用以光阻劑膜作爲光罩的乾蝕刻法來使這些膜形成圖案，而形成電容絕緣膜２１及上部電極（屏極）２２。

之後，再藉由ＣＶＤ法來將氧化矽膜２５堆積於資訊儲存用電容元件Ｃ的上部，其次在氧化矽膜２５的上部利用濺射法來順次堆積ＴｉＮ膜，Ａ１合金膜及ＴｉＮ膜，然後再利用以光阻劑膜作爲光罩的乾蝕刻法來使這些膜形成圖案，而形成配線２６Ａ，２６Ｂ，藉此來完成上述圖３～圖５所示的記憶格（通常格及救濟格）。

若利用上述構成之本實施形態的ＤＲＡＭ的話，則可使救濟格的電場緩和層８ｒ的深度大於通常格的電場緩和層８的深度（約２倍左右），藉此可令救濟格之源極，汲極（ｎ型半導體領域７）的空乏層寬於通常格之源極，汲極（ｎ型半導體領域７）的空乏層（約２倍左右），因此而得以使救濟格的接合電場小於通常格的接合電場（約縮小一半左右）。

其結果，若在通常格中最短的資訊保持時間爲１００ｍｓｅｃ的話，則在救濟格中最短的資訊保持時間可拉長至５００ｍｓｅｃ爲止。又，在救濟３００位元分量的情況時，可令更新時間的規格爲２５０ｍｓｅｃ時的製品不良率由對策前的１０％減低至０．２％爲止。在此，１０％的製品不良率是不可忽視的。

又，若利用本實施形態的ＤＲＡＭ的話，則由於可使

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

連接於救濟格的位元線ＢＬ的間隔大於連接於通常格的位元線ＢＬ的間隔（約２倍左右），因此連接於救濟格的位元線ＢＬ比連接於通常格的位元線ＢＬ還要能夠減低其電容量（約減低３０％左右）。

又，若利用本實施形態的ＤＲＡＭ的話，則由於可使救濟格的下部電極２０ｒ的占有面積大於通常格的下部電極２０（約2倍左右），因此救濟格比通常格還要能夠加大其電荷儲存容量（約１.５倍左右）。

其結果，若在通常格中最短的資訊保持時間爲１００ｍｓｅｃ的話，則在救濟格中最短的資訊保持時間可拉長至７００ｍｓｅｃ爲止。又，在救濟３００位元分量的情況時，可令更新時間的規格爲２５０ｍｓｅｃ時的製品不良率由對策前的１０％減低至０．２％爲止。如此程度的製品不良率幾乎可無視於其存在。

又，由於將救濟格領域的元件分離寬度形成爲通常格領域的元件分離寬度的2倍時之晶片大小的增加量僅爲０．０５％左右，因此如此程度的增加量幾乎可無視於其存在。

（實施形態２）

圖２５係表示本實施形態之ＤＲＡＭ的一部份（形成有通常記憶格的領域與形成有救濟格的領域）之半導體基板的剖面圖。

本實施形態之ＤＲＡＭ係與上述實施形態１相同，使

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（29）

救濟格領域的元件分離寬度大於通常格領域的元件分離寬度，例如大約2倍左右。就此情況而言，由於救濟格領域之場氧化膜3的膜厚要比通常格領域之場氧化膜3的膜厚大上許多，因此在此場氧化膜3的下面寄生ＭＯＳ將難以動作。亦即，在增大場氧化膜3的膜厚之情況下，即使降低其下部之ｐ型阱2的雜質濃度，元件分離能力也難以下降。

在此，就本實施形態而言，在通常格領域與救濟格領域中令電場緩和層8的深度幾乎相同，並且令形成於救濟格領域的場氧化膜3下之ｐ型半導體層（基板濃度調整層）4的雜質濃度小於通常格領域的場氧化膜3下之ｐ型半導體層（基板濃度調整層）4的雜質濃度。藉此，由於可以緩和救濟格之元件分離領域端部的接合電場，因此能夠拉長救濟格的更新時間。

例如，令救濟格領域的場氧化膜3下的雜質濃度成爲通常格領域的雜質濃度的3分之1程度（投與量爲２．５×１０$^{12}$ａｔｏｍｓ／ｃｍ$^{2}$）時，可以使救濟格的接合電場減低至通常格的４０％程度爲止。其結果，若在通常格中最短的資訊保持時間爲１００ｍｓｅｃ的話，則在救濟格中最短的資訊保持時間可拉長至３００ｍｓｅｃ爲止。又，如圖２６所示一般，在救濟３００位元分量的情況時，可令更新時間的規格爲２５０ｍｓｅｃ時的製品不良率由對策前的１～１０％（約５％）減低至未滿１％（約０．２％）爲止。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（30）

（實施形態３）

在上述實施形態１，２中，是將救濟格領域之元件分離寬度形成爲通常格領域之元件分離寬度的２倍，而藉此來使連接於救濟格之位元線ＢＬ的間隔成爲連接於通常格之位元線ＢＬ的間隔的２倍，同時還使救濟格之下部電極２０ｒ的占有面積成爲通常格之下部電極２０的２倍。

如此一來，在製造救濟格時的光學成像工程中，形成所望的構造時之必要的圖案之最適條件會局限於非常窄的範圍，亦即加工界限會變小。相對的，若使救濟格領域之元件分離寬度接近通常格領域之元件分離寬度的話，則形成所望的構造時之必要的圖案之最適條件範圍會變寬，亦即加工界限會變大。

在此，於本實施形態中，如圖２７所示一般，將救濟格領域的元件分離寬度形成通常格領域的元件分離寬度（Ｗ）的１．５倍來製造救濟格及通常格。藉此，在上述實施形態１中，將救濟格（爲通常格的２倍深度）的電場緩和層的深度形成１．５倍，而使其接合電場減低至通常格的７０％程度爲止時，若在通常格中最短的資訊保持時間爲１００ｍｓｅｃ的話，則在救濟格中最短的資訊保持時間可拉長至３００ｍｓｅｃ爲止。並且，上述規格爲２５０ｍｓｅｃ時的製品不良率可減低至０．５％爲止。

又，在上述實施形態１中，將救濟格（爲通常格的２倍深度）的位元線間隔形成１．５倍，而使其接合電場減低至通常格的８０％程度爲止，且將救濟格的下部電極的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（31）

占有面積形成通常格的下部電極的１．５倍，而使其電荷儲存容量形成爲通常格的１．２倍時，可將救濟格的最短資訊保持時間拉長至４００ｍｓｅｃ爲止。並且，上述規格爲２５０ｍｓｅｃ時的製品不良率可減低至０．３％爲止。

又，在上述實施形態２中，將救濟格領域（爲通常格領域的３分之１）的場氧化膜３下之雜質濃度形成２分之１時，可將救濟格的最短資訊保持時間拉長至２５０ｍｓｅｃ爲止。並且，上述規格爲２５０ｍｓｅｃ時的製品不良率可減低至１％爲止。

又，由於將救濟格領域的元件分離寬度形成爲通常格領域的元件分離寬度的１．５倍時之晶片大小的增加量僅爲０．０３％左右，因此如此程度的增加量幾乎可無視於其存在。

（實施形態４）

圖２８係表示本實施形態之ＤＲＡＭ的一部份（形成有通常記憶格的領域與形成有救濟格的領域）之半導體基板的平面圖。圖２９係表示沿著圖２８的Ａ－Ａ´線之剖面圖。

本實施形態，係將救濟格的活性領域寬度（字元線ＷＬ之延在方向的活性領域寬度）形成大於通常格的活性領域寬度（例如２倍左右）。同圖中，雖顯示出活性領域與接觸孔１４的接合偏移量爲０的情況，但若活性領域的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（32）

短邊方向的寬度微細到光學成像的解像界限程度的話，則最大會產生此寬度之3成左右的接合偏移。此情況，由於接觸孔14的直徑（字元線WL之延在方向的直徑）幾乎與活性領域寬度相等，因此如圖30所示，在形成接觸孔14時，在活性領域端部近旁的場氧化膜3會有切削產生。因此，藉由來自埋入接觸孔14之多結晶矽的柱塞15之雜質所形成的高雜質濃度之n型半導體領域7會變深。其結果，會使得場氧化膜3下之p型半導體層4的雜質濃度變高，因此而爲了要維持元件分離特性，而導致活性領域端部的接合電場變大。

若利用本實施形態之DRAM的話，則由於即使令救濟格的活性領域寬度大於通常格的活性領域寬度，而導致產生活性領域與接觸孔14之接合偏移時，也不會在活性領域端部近旁的場氧化膜3產生切削，因此而能夠使高雜質濃度之n型半導體領域7形成較淺。藉此，即使令記憶格微細化，還是能夠充分地確保與場氧化膜3下之p型半導體層4的距離，因此而能夠低減n型半導體領域7的端部之接合電場，進而可以拉長救濟格的更新時間。

又，例如分別將形成於救濟格領域的場氧化膜3下的p型半導體層4的雜質濃度及n型半導體領域7的深度形成爲通常格領域的2分之1時，可將救濟格的接合電場低減至通常格的70%程度。其結果，可令救濟格的最短資訊保持時間拉長至250msec爲止。並且，上述規格的製品不良率可減低至0.1%爲止。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（33）

又，在令救濟格的活性領域寬度大於通常格的活性領域寬度時，由於使接觸孔１４的大小形狀在救濟格與通常格中相同時，接觸孔１４的間距（字元線ＷＬ之延在方向的間距）在救濟格領域與通常格領域中會有所不同，因此在形成接觸孔１４的光學蝕刻工程中，供以取得所望的尺寸形狀之最適條件的範圍會變得狹窄，且救濟格領域的接觸孔１４的直徑亦會變得比通常格領域的接觸孔１４的直徑來得大。此結果，在救濟格領域中，於活性領域端部近旁的場氧化膜３會有切削產生，進而導致ｎ型半導體領域７的端部之接合電場變大。

就解決上述問題之對策而言，係例如圖３１所示，在Ｘ方向（位元線ＢＬ的延在方向）的直徑要比Ｙ方向（字元線ＷＬ的延在方向）的直徑來得大之約呈長方形的光罩圖案上形成救濟格領域的接觸孔１４。藉此，因爲可令供以取得所望的尺寸形狀時之必要的圖案最適條件的範圍變大之故，所以幾乎能依照設計的尺寸來形成接觸孔１４的Ｙ方向直徑，進而得以防止產生上述之場氧化膜３的切削。

其結果，能將救濟格的接合電場低減至比通常格的接合電場還要低（例如３５％左右）。又，若在通常格中最短的資訊保持時間爲１００ｍｓｅｃ的話，則在救濟格中最短的資訊保持時間可拉長至２８０ｍｓｅｃ爲止。又，在救濟３００位元分量的情況時，可令更新時間的規格爲２５０ｍｓｅｃ時的製品不良率由對策前的１０％減低至

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

０．７～０．８％爲止。在此，１０％的製品不良率是不可忽視的。

另一方面，在令救濟格的活性領域寬度大於通常格的活性領域寬度時，使接觸孔１４的大小形狀在救濟格與通常格中相同的情況時，救濟格領域的接觸孔１４的直徑也有可能比通常格領域的接觸孔１４的直徑還要小。此情況，係供以形成接觸孔１４的乾蝕刻不夠充分，下部電極（儲存電極）２０與ｎ型半導體領域７形成非導通狀態所致。

因此，若利用本實施形態，亦即在Ｘ方向（位元線ＢＬ的延在方向）的直徑要比Ｙ方向（字元線ＷＬ的延在方向）的直徑來得大之約呈長方形的光罩圖案上形成救濟格領域之接觸孔１４的話，則由於可令供以取得所望的尺寸形狀時之必要的圖案最適條件的範圍變大，因此幾乎能依照設計的尺寸來形成接觸孔１４的Ｙ方向直徑，而得以防止產生上述之場氧化膜３的切削。藉此，由於可令供以取得所望的尺寸形狀時之必要的圖案最適條件的範圍變大，因此而能夠減低下部電極（儲存電極）２０與ｎ型半導體領域７形成非導通狀態的機率，進而可以防止資訊保持特性以外之不良原因所造成之製品不良率的增加。

（實施形態５）

圖３２係表示本實施形態之ＤＲＡＭ的一部份（形成有通常記憶格的領域與形成有救濟格的領域）之半導體基

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（35）

板的平面圖。

本實施形態，係將救濟格領域的元件分離寬度（字元線ＷＬ之延在方向的寬度）形成爲通常格領域的元件分離寬度的１．５倍，同時還把救濟格的活性領域寬度（字元線ＷＬ之延在方向的寬度）形成爲通常格的活性領域寬度的１．５倍。

藉此，分別將救濟格的電場緩和層的深度設定爲通常格的１．５倍程度，及將ｎ型半導體領域（源極，汲極）的深度設定爲通常格的２分之１程度，及將電荷儲存容量設定爲通常格的１．５倍程度，及將位元線容量設定爲通常格的３分之２程度，以及將場氧化膜下的基板的雜質濃度設定爲通常格的２分之１程度的情況時，將可令救濟格的最短資訊保持時間拉長至８００ｍｓｅｃ爲止。並且，上述規格的製品不良率可減低至０．１％爲止。

（實施形態６）

本實施形態之ＤＲＡＭ，係使形成於救濟格的記憶格選擇用ＭＩＳＦＥＴＱｒ之閘極６（字元線ＷＬ）的側壁之側壁間隔件的膜厚要比形成於通常格的記憶格選擇用ＭＩＳＦＥＴＱｓ之閘極６（字元線ＷＬ）的側壁之側壁間隔件的膜厚還大。並且，使救濟格的記憶格選擇用ＭＩＳＦＥＴＱｒ之閘極氧化膜５的膜厚大於通常格的記憶格選擇用ＭＩＳＦＥＴＱｓ之閘極氧化膜５的膜厚。

以下，將利用圖３３～圖４６來說明本實施形態之通

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

常格及救濟格的製造方法。在這些圖中，（ａ）係表示通常格領域的剖面圖。（ｂ）係表示救濟格領域的剖面圖。

首先，如圖３３所示，在對半導體基板１進行蝕刻而形成溝３０ａ之後，如圖３４所示，將藉由化學機械研磨法來研磨氧化矽膜３１（在半導體基板１上利用ＣＶＤ法堆積而成者），而使其殘留於溝３０ａ的內部，藉此而得以形成元件分離溝３０。

其次，如圖３５所示，在半導體基板１中以加速能量３００ｋｅＶ，劑量１×１０$^{13}$ａｔｏｍｓ／ｃｍ$^{2}$，加速能量１５０ｋｅＶ，劑量２×１０$^{12}$ａｔｏｍｓ／ｃｍ$^{2}$，加速能量４０ｋｅＶ，劑量１×１０$^{12}$ａｔｏｍｓ／ｃｍ$^{2}$，加速能量１０ｋｅＶ，劑量５×１０$^{12}$ａｔｏｍｓ／ｃｍ$^{2}$的條件來植入Ｂ（硼），而來形成ｐ型半導體層（基板濃度調整層）４，然後如圖３６所示，對半導體基板１進行濕式氧化，而於活性領域的表面形成膜厚１０ｎｍ程度的閘極氧化膜５ａ。

其次，如圖３７所示，以光阻劑膜４０來覆蓋救濟格領域的表面，並以濕蝕刻法來除去通常格領域的閘極氧化膜５ａ，之後如圖３８所示，再度對半導體基板１進行濕式氧化，而於通常格領域形成膜厚８ｎｍ程度的閘極氧化膜５ｂ。由於救濟格領域的閘極氧化膜５ａ亦可藉此氧化而成長，因此其膜厚將會形成１３ｎｍ左右。亦即，救濟格領域的閘極氧化膜５ａ要比通常格領域的閘極氧化膜５ｂ來得厚。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (37 )

其次，如圖３９所示，在通常格領域的閘極氧化膜５ｂ的上部形成記憶格選擇用ＭＩＳＦＥＴＱｓ的閘極６（字元線ＷＬ），且在救濟格領域的閘極氧化膜５ｂ的上部形成記憶格選擇用ＭＩＳＦＥＴＱｒ的閘極６（字元線ＷＬ）。又，這些閘極６（字元線ＷＬ）在半導體基板１上藉由ＣＶＤ法來順次堆積植入Ｐ（磷）的多結晶矽膜，$WSi_2$膜及氮化矽膜９之後，以光阻劑膜爲光罩的蝕刻法來對這些膜形成圖案。然後，在半導體基板１中植入Ｐ（磷），而形成記憶格選擇用ＭＩＳＦＥＴＱｓ，Ｑｒ的ｎ型半導體領域７´（源極，汲極）。

其次，如圖４０所示，在半導體基板１上藉由ＣＶＤ法來堆積膜厚５０ｎｍ程度的氮化矽膜９ａ，然後如圖４１所示，以光阻劑膜４１來覆蓋救濟格領域的表面，並對通常格領域的氮化矽膜９ａ進行向異性蝕刻，而藉此得以在記憶格選擇用ＭＩＳＦＥＴＱｓ的閘極６（字元線ＷＬ）的側壁上形成膜厚３０ｎｍ程度的側壁間隔件１０ａ。

其次，如圖４２所示，在半導體基板１上藉由ＣＶＤ法來堆積膜厚３０ｎｍ程度的氮化矽膜９ｂ，然後如圖４３所示，對氮化矽膜９ｂ及通常格領域的氮化矽膜９ａ進行向異性蝕刻，而藉此得以在記憶格選擇用ＭＩＳＦＥＴＱｒ的閘極６（字元線ＷＬ）的側壁上形成膜厚７０ｎｍ程度的側壁間隔件１０ｂ。此刻，在通常格的閘極６（字元線ＷＬ）的側壁上所形成的側壁間隔件

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（38）

１０ａ的膜厚將形成５０ｎｍ左右。亦即，救濟格領域的側壁間隔件１０ｂ要比通常格領域的側壁間隔件１０ａ來得厚。

其次，如圖４４所示，對在半導體基板１上藉由ＣＶＤ法所堆積的氧化矽膜１１進行蝕刻而形成接觸孔１３之後，令堆積於氧化矽膜１１上部的導電膜（例如植入Ｐ（磷）的多結晶矽膜與ＷＳｉ$_2$膜）形成圖案，而來形成位元線ＢＬ。

其次，如圖４５所示，對在半導體基板１上藉由ＣＶＤ法所堆積的氧化矽膜１２及其下部的氧化矽膜１１進行蝕刻而形成接觸孔１４之後，經由接觸孔１４來將Ｐ（磷）植入半導體基板１中，藉此來將電場緩和用的半導體層（電場緩和層）８分別形成於記憶格選擇用ＭＩＳＦＥＴＱｓ，Ｑｒ的ｎ型半導體領域７´（源極，汲極）的下部。

之後，如圖４６所示，在接觸孔１４的內部形成多結晶矽的柱塞１５，接著對半導體基板１進行熱處理而來使該多結晶矽膜中的ｎ型雜質（例如Ｐ）擴散於ｎ型半導體領域７´中，然後在形成高雜質濃度的ｎ型半導體領域７（源極，汲極）之後，在柱塞１５的上部形成資訊儲存用電容元件Ｃ。

若利用本實施形態的話，則由於可將救濟格的閘極６的側壁之側壁間隔件１０ｂ的膜厚形成大於通常格的閘極６的側壁之側壁間隔件１０ａ的膜厚，而藉此來增大藉由

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（39）

來自接觸孔１４內的柱塞１５的雜質擴散所形成的高雜質濃度的ｎ型半導體領域７與記憶格選擇用ＭＩＳＦＥＴＱｒ的閘極６（字元線ＷＬ）之間的離間距離，而來緩和閘極６的端部的接合電界，因此將能夠拉長救濟格的資訊保持時間。

又，若利用本實施形態的話，則由於可將救濟格的記憶格選擇用ＭＩＳＦＥＴＱｒ的閘極氧化膜５ａ形成厚於通常格的記憶格選擇用ＭＩＳＦＥＴＱｓ的閘極氧化膜５ｂ，而藉此來減低控制臨界值電壓（Ｖｔｈ）時必要的雜質層（通道領域）的ｐ型雜質濃度，因此將能夠緩和閘極６的端部的接合電界，而藉此得以拉長救濟格的資訊保持時間。

此外，就本實施形態而言，雖是在加大側壁間隔件（形成於救濟格的閘極６的側壁）的膜厚的同時加大閘極氧化膜的膜厚，但並非僅限於此，單靠一方的膜厚增加亦可達到拉長救濟格的資訊保持時間之效果。

另外，在對半導體基板１進行蝕刻而形成的溝３０ａ內部埋入氧化矽膜３１的本實施形態之元件分離構造，亦可適用於上述實施形態１～５的ＤＲＡＭ。

（實施形態７）

圖４７係表示本實施形態之ＤＲＡＭ的一部份（形成有通常記憶格的領域與形成有救濟格的領域）之電路圖。

如圖所示，本實施形態之ＤＲＡＭ，係使連接於每一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（40）

條救濟用的冗餘位元線５１之救濟格的數量少於連接於每一條通常的位元線５３之通常格的數量。圖中之符號５５係表示字元線（ＷＬ），符號６１係表示讀出放大器。

若利用本實施形態的話，則由於可以防止位元線容量所引起的訊號電壓降低，因此而能夠拉長救濟格的資訊保持時間。藉此救濟格的最短的資訊保持時間可拉長至２００ｍｓｅｃ爲止。並且，上述規格的製品不良率可減低至２％左右爲止。又，連接於通常的位元線５３之通常格數爲１時，若將連接於每一條冗餘位元線５４的救濟格數設定成１／２或１／４之比例的話，則將有利於資訊處理。

又，若利用本實施形態的話，則可將以圖４８所示電路而構成的讀出放大器６１之ｐ通道讀出放大器６１０與ｎ通道讀出放大器６１１配置成圖４９所示一般。藉此，由於可使救濟格領域的讀出放大器６１的分佈距離形成爲通常格領域的２分之１，因此讀出放大器６１不會有妨礙到微細化之虞。

（實施形態８）

如圖５０所示，在本實施形態之ＤＲＡＭ中，救濟用的讀出放大器６１係連接有：指標位元（例如格６２）的資訊的訊號線之第１位元線６３，及此指標位元的相反資訊的訊號線之第２位元線６４，且根據所定的字元線而選擇之２個格的一方（例如格６２）將被連接於第１位元線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（41）

63，另一方的格（例如格65）則被連接於第2位元線64。亦即，救濟格，係以2個格（例如格62與格65）來保持1個資訊之方式來予以構成。

圖51係表示上述構成之具體例。就此例而言，救濟用的讀出放大器61係連接有：指標位元（例如格62）的資訊的訊號線之第1位元線63，及此指標位元的相反資訊的訊號線之第2位元線64，且同時被選擇的2條字元線的一方將選擇連接於第1位元線63的格（例如格62），另一方則選擇連接於第2位元線64的格（例如格65）。

又，圖52係表示上述構成之另一具體例。就此例而言，救濟用的讀出放大器61係連接有4條的位元線（例如位元線63，64，73，74）。在4條的位元線中，2條的位元線（例如位元線63，73）爲指標位元（例如格62）的資訊之訊號線，剩下的2條位元線（例如位元線64，74）爲指標位元的相反資訊之訊號線。並且，同時被選擇的2條字元線的一方（例如字元線66）將選擇連接於指標位元的資訊的訊號線之2條位元線的其中之一（例如位元線63）的格（例如格62），另一方（例如字元線67）則選擇連接於指標位元的相反資訊的訊號線之2條位元線的其中之一（例如位元線74）的格（例如格65）。

在以上所述之例中，將可取得以下之效果。首先，指標位元（例如格62）的資訊爲〝1〞資訊（對屏極而言

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（42）

，儲存電極爲帶正電之狀態）的情況時，由於接合逆偏壓較大之故，因此而導致資訊會隨著較大的接合漏電流與電容器電流而受到破壞，資訊保持時間會變短。另一方面，在與指標位元同時被寫入〝0〞資訊（對屏極而言，儲存電極爲帶負電之狀態）之指標位元（例如格62）與逆相位元（例如格65）中，雖然資訊會因電容器漏電流而受到破壞，但由於資訊（電荷）可藉由接合漏電流而被補充，因此只要電容器漏電流不大於接合漏電流，資訊將不會受到破壞。亦即，若利用以2個救濟格（例如格62與格65）來保持1個資訊之本實施形態的話，則能夠使救濟格的不良率減低至通常格的一半。

於上述之例中，在〝1〞資訊的接合漏電流爲10fA／位元，且在10ppm程度的機率下引起不良的接合漏電流爲500fA／位元。又，在〝1〞資訊的電容器漏電流爲0.1fA／位元。因此，無關不良接合漏電流的有無，幾乎〝1〞資訊會因接合漏電流而受到破壞。另一方面，在〝0〞資訊的電容器漏電流爲0.1fA／位元，接合漏電流爲5fA／位元。因此，指標位元（格62）爲〝1〞資訊的情況時，資訊會因接合漏電流而受到破壞，且即使不會放大位元線63的電位，與指標位元（格65）呈逆相的〝0〞資訊也不會受到破壞，而能夠將位元線64，74的電位放大到〝0〞資訊爲止。因此，位元線63，73係形成與位元線64，74相反之〝1〞資訊的電位。亦即，指標位元（格62）的〝1〞資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（43）

訊，就結果而言，由於會被放大成〝1〞資訊，因此資訊將不會受到破壞。但是在〝0〞資訊的情況時，在約1ppm的機率下，由於電容器漏電流會有大於接合漏電流的情況發生，因此〝0〞資訊不會完全不被破壞。

於上述之例中，由於能以〝0〞資訊來彌補於10ppm程度的機率下所產生的不良〝1〞資訊，及以〝1〞資訊來彌補於約1ppm的機率下所產生的不良〝0〞資訊，因此只要雙方的不良狀況不要同時產生，資訊將不會受到破壞。在此，雙方同時產生不良狀況的機率爲$1\times10^{-10}$左右，若以300千位元來救濟300位元，則救濟後的製品不良率約爲$1\times10^{-4}$（0.01%）左右。

又，救濟格的大小與通常格相同。此刻，晶片面積的增加率約爲0.1%左右。雖然即使以500msec的更新時間規格來救濟不良的10000位元時，救濟後的製品不良率亦爲1%左右，但對今後集積度的日益增加而使得必須救濟的位元數亦隨之增多的情況而言，本實施形態可謂幾乎能夠完全解決。

圖53係表示通常格之儲存節點部之雜質濃度分佈圖。圖54係表示救濟格之儲存節點部之雜質濃度分佈圖。在此，救濟格的電場緩和層的深度要比通常格的電場緩和層的深度大上1.5倍。

如圖54所示一般，在使藉由磷（P）的離子植入而形成的電場緩和層的深度比通常格還要深且形成低濃度之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（44）

救濟格中，磷的濃度分佈形成較較緩和，又在接合位置的n型載流子分佈及p型載流子分佈的斜率形成較小。因此，在相同逆方向電壓中，空乏層的擴散狀況將增大至１．５倍左右，其結果，電場將會縮小３０％左右。在此，就電場低減效果而言，在載流子分佈之斜率較小的這一部份爲１０％左右，而於空乏層擴散的這一部份爲２０％左右。

以上，雖是根據上述實施形態來具體說明本發明者所研發出的發明，但實際上本發明並非僅限定於上述實施形態，只要不脫離其主要技術範圍，亦可進行種種的變更。

例如，適宜地組合上述實施形態１～８的構成之實施形態亦包含於本發明中。

以下，將簡單說明根據本發明所取得的效果。

若利用本發明的話，則由於能夠在不大幅度增加晶片的面積及不會導致製程複雜化的情況下可以加長ＤＲＡＭ之救濟格的更新時間，因此能夠減低救濟後之製品的不良率。

【圖面之簡單的說明】

第１圖係表示本發明之實施形態１之ＤＲＡＭ之區塊圖。

第２圖係表示本發明之實施形態１之ＤＲＡＭ之缺陷救濟方法之說明圖。

第３圖係表示本發明之實施形態１之ＤＲＡＭ之平面

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（45）

圖。

第４圖係表示沿著第３圖之Ａ－Ａ'線之剖面圖。

第５圖係表示沿著第３圖之Ｂ－Ｂ'線之剖面圖。

第６圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第７圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第８圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第９圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１０圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１１圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１２圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１３圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１４圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１５圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１６圖係表示本發明之實施形態１之ＤＲＡＭ之製

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（46）

造方法之平面圖。

第１７圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１８圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第１９圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第２０圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第２１圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第２２圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第２３圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第２４圖係表示本發明之實施形態１之ＤＲＡＭ之製造方法之平面圖。

第２５圖係表示本發明之實施形態２之ＤＲＡＭ之剖面圖。

第２６圖係表示本發明之實施形態２之ＤＲＡＭ之效果。

第２７圖係表示本發明之實施形態３之ＤＲＡＭ之元件分離圖案之平面圖。

第２８圖係表示本發明之實施形態４之ＤＲＡＭ之平

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（47）

面圖。

第２９圖係表示沿著第２８圖之Ａ－Ａ'線之剖面圖。

第３０圖係表示本發明之實施形態４之ＤＲＡＭ之一製造工程之剖面圖。

第３１圖係表示本發明之實施形態４之ＤＲＡＭ之平面圖。

第３２圖係表示本發明之實施形態５之ＤＲＡＭ之平面圖。

第３３圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第３４圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第３５圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第３６圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第３７圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第３８圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第３９圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第４０圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（48）

第４１圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第４２圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第４３圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第４４圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第４５圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第４６圖係表示本發明之實施形態６之ＤＲＡＭ之製造方法之剖面圖。

第４７圖係表示本發明之實施形態７之ＤＲＡＭ之電路圖。

第４８圖係表示本發明之實施形態７之ＤＲＡＭ之讀出放大器之電路圖。

第４９圖係表示本發明之實施形態７之ＤＲＡＭ之電路圖。

第５０圖係表示本發明之實施形態８之ＤＲＡＭ之電路圖。

第５１圖係表示本發明之實施形態８之ＤＲＡＭ之電路圖。

第５２圖係表示本發明之實施形態８之ＤＲＡＭ之電路圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（49）

第５３圖係表示通常格之儲存節點部之雜質濃度分佈圖。

第５４圖係表示救濟格之儲存節點部之雜質濃度分佈圖。

【圖號之說明】

| | |
|---|---|
| １Ａ | 半導體晶片 |
| ２ | ｐ型阱 |
| ３ | 場氧化膜 |
| ４ | ｐ型半導體層 |
| ５ | 閘極氧化膜 |
| ６ | 閘極 |
| ７ | ｎ型半導體領域 |
| ８ | ｎ型半導體層（電場緩和層） |
| ９ | 氮化矽膜 |
| １０ | 側壁間隔件 |
| １１ | 氧化矽膜 |
| １３ | 接觸孔 |
| １４ | 接觸孔 |
| １５ | 柱塞 |
| １６ | 氧化矽膜 |
| １７ | 通孔 |
| １８ | 氧化矽膜 |
| ２０ | 下部電極（儲存電極） |

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（50）

| | |
|---|---|
| 21 | 電容絕緣膜 |
| 22 | 上部電極（屏極） |
| 23 | 通孔 |
| 24 | 柱塞 |
| 26A | 金屬配線 |
| 26B | 金屬配線 |
| 81 | RAS系控制訊號電路 |
| 82 | WE系控制訊號電路 |
| 83 | 基準電壓產生電路 |
| 84 | Y系電路 |
| 85 | CAS系控制訊號電路 |
| 86 | 測試電路 |
| 88 | 主放大器 |
| 89 | 昇壓電壓產生電路 |
| 90 | 內部降壓電路 |
| 91 | 基板電壓產生電路 |
| 92 | 資料輸出緩衝電路 |
| WL | 字元線 |
| BL | 位元線 |
| L | 活性領域 |
| MARY | 記憶體陣列 |
| SA | 讀出放大器 |
| Vcc | 外部電源 |
| VL | 定電壓 |

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（51）

| | |
|---|---|
| CBR | 自動更新模式 |
| WCBR | 測試模式 |
| Pb | 墊片區域 |
| Pc | 墊片區域 |
| C | 資訊儲存用電容元件 |

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

本發明係關於半導體積體電路裝置及其製造方法，亦即令形成救濟格的領域之場氧化膜3的寬度比形成通常記憶格的領域之場氧化膜3的寬度還要寬，而藉此來使救濟格之電場緩和層8r的深度比通常記憶格之電場緩和層8r的深度還要深，並且藉由拓寬救濟格之源極、汲極（n型半導體領域7）的空乏層來減低接合電場。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 六、申請專利範圍

第87114729號專利申請案

中文申請專利範圍修正本

民國89年6月修正

1．一種半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的DRAM之半導體積體電路裝置，其特徵爲：

使形成有上述救濟格之領域的元件分離寬度比形成有上述記憶格之領域的元件分離寬度還要大。

2．如申請專利範圍第1項之半導體積體電路裝置，其中使形成有上述救濟格之領域的元件分離領域下部之半導體基板的雜質濃度比形成有上述記憶格之領域的元件分離領域下部之半導體基板的雜質濃度還要低。

3．如申請專利範圍第1或2項之半導體積體電路裝置，其中使連接於上述救濟格之位元線的間隔比連接於上述記憶格之位元線的間隔還要大。

4．如申請專利範圍第1或2項之半導體積體電路裝置，其中上述救濟格與上述記憶格，係分別由記憶格選擇用MISFET與直列連接於該記憶格選擇用MISFET的資訊儲存用電容元件所構成，並且使上述救濟格之資訊儲存用電容元件的下部電極之占有面積比上述記憶格之資訊儲存用電容元件的下部電極之占有面積還要大。

5．如申請專利範圍第1或2項之半導體積體電路裝置，其中上述救濟格與上述記憶格，係分別由記憶格選擇

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 六、申請專利範圍

用ＭＩＳＦＥＴ與直列連接於該記憶格選擇用ＭＩＳＦＥＴ的資訊儲存用電容元件所構成，且在上述記憶格之記憶格選擇用ＭＩＳＦＥＴ的源極、汲極的下部及上述記憶格之記憶格選擇用ＭＩＳＦＥＴ的源極，汲極的下部分別形成有與上述源極、汲極同一導電型的電場緩和層。

６．如申請專利範圍第１項之半導體積體電路裝置，其中根據藉由選擇氧化法所形成的場氧化膜來進行元件分離。

７．如申請專利範圍第１項之半導體積體電路裝置，其中形成有上述救濟格之領域的元件分離寬度爲形成有上述記憶格之領域的元件分離寬度的１．５～２倍。

８．一種半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

使形成有上述救濟格之活性領域的寬度比形成有上述記憶格之活性領域的寬度還要大。

９．如申請專利範圍第８項之半導體積體電路裝置，其中上述記憶格與上述救濟格，係分別由記憶格選擇用ＭＩＳＦＥＴ與直列連接於該記憶格選擇用ＭＩＳＦＥＴ的資訊儲存用電容元件所構成，且連接上述記憶格的記憶格選擇用ＭＩＳＦＥＴ的源極、汲極的一方與資訊儲存用電容元件的下部電極之通孔，係其第１方向的直徑與該第１方向的直徑呈垂直的第２方向的直徑不同。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 六、申請專利範圍

１０．一種半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

使形成有上述救濟格之領域的元件分離寬度比形成有上述記憶格之領域的元件分離寬度還要大，且使形成有上述救濟格之活性領域的寬度比形成有上述記憶格之活性領域的寬度還要大。

１１．一種半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

使在構成上述救濟格的ＭＩＳＦＥＴ的閘極的側壁上所形成的側壁間隔件的厚度比在構成上述記憶格的ＭＩＳＦＥＴ的閘極的側壁上所形成的側壁間隔件的厚度還要大。

１２．一種半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

使構成上述救濟格的ＭＩＳＦＥＴ的閘極絕緣膜的膜厚要比構成上述記憶格的ＭＩＳＦＥＴ的閘極絕緣膜的膜厚還要大。

１３．一種半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的ＤＲＡＭ之半導體積體電路裝置，其特徵爲：

使連接於每一條冗餘位元線之救濟格的數量比連接於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

## 六、申請專利範圍

每一條位元線之記憶格的數量還要少。

１４．一種半導體積體電路裝置，係屬於一種具有ＤＲＡＭ之半導體積體電路裝置，該ＤＲＡＭ係於記憶體陣列中形成有包含救濟格之複數個的記憶格，其特徵爲：

救濟用的讀出放大器係連接有：指標位元的資訊的訊號線之第１位元線，及上述指標位元的相反資訊的訊號線之第２位元線，且根據所定的字元線而選擇之２個格的一方將被連接於上述第１位元線，另一方的格則被連接於上述第２位元線。

１５．一種半導體積體電路裝置，係屬於一種具有ＤＲＡＭ之半導體積體電路裝置，該ＤＲＡＭ係於記憶體陣列中形成有包含救濟格之複數個的記憶格，其特徵爲：

救濟用的讀出放大器係連接有：指標位元的資訊的訊號線之第１位元線，及上述指標位元的相反資訊的訊號線之第２位元線，且同時被選擇的２條字元線的一方將選擇連接於上述第１位元線的格，另一方則選擇連接於上述第２位元線的格。

１６．一種半導體積體電路裝置，係屬於一種具有ＤＲＡＭ之半導體積體電路裝置，該ＤＲＡＭ係於記憶體陣列中形成有包含救濟格之複數個的記憶格，其特徵爲：

救濟用的讀出放大器係連接有：指標位元的資訊的訊號線之２條第１位元線，及上述指標位元的相反資訊的訊號線之２條第２位元線，且同時被選擇的２條字元線的一方將選擇連接於上述２條第１位元線的其中之一條的格，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

另一方則選擇連接於上述2條第2位元線的其中之一條的格。

17.一種半導體積體電路裝置的製造方法，係屬於一種具有於記憶體陣列中形成有複數的通常格與複數的救濟格的DRAM之半導體積體電路裝置的製造方法，其特徵係包含：

（a）對半導體基板進行熱處理，接著在其表面形成第1閘極絕緣膜之後，選擇性的除去通常格領域的第1閘極絕緣膜之工程；及

（b）再度對上述半導體基板進行熱處理，接著在上述通常格領域中形成第2閘極絕緣膜的同時，令救濟格領域的上述第1閘極絕緣膜的膜厚大於上述第2閘極絕緣膜的膜厚之工程；及

（c）令堆積於上述半導體基板上的第1導電膜形成圖案，藉此來使通常格的閘極電極形成於上述通常格領域的上述第2閘極絕緣膜上，以及使救濟格的閘極電極形成於上述救濟格領域的上述第1閘極絕緣膜上之工程；及

（d）在上述通常格領域的上述半導體基板上形成通常格的源極、汲極，以及在上述救濟格領域的上述半導體基板上形成救濟格的源極、汲極之工程；及

（e）在上述半導體基板上堆積第1絕緣膜後，對上述通常格領域的上述第1絕緣膜進行選擇性的蝕刻，藉此在上述通常格領域的上述閘極電極的側壁上形成第1側壁間隔件之工程；及

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

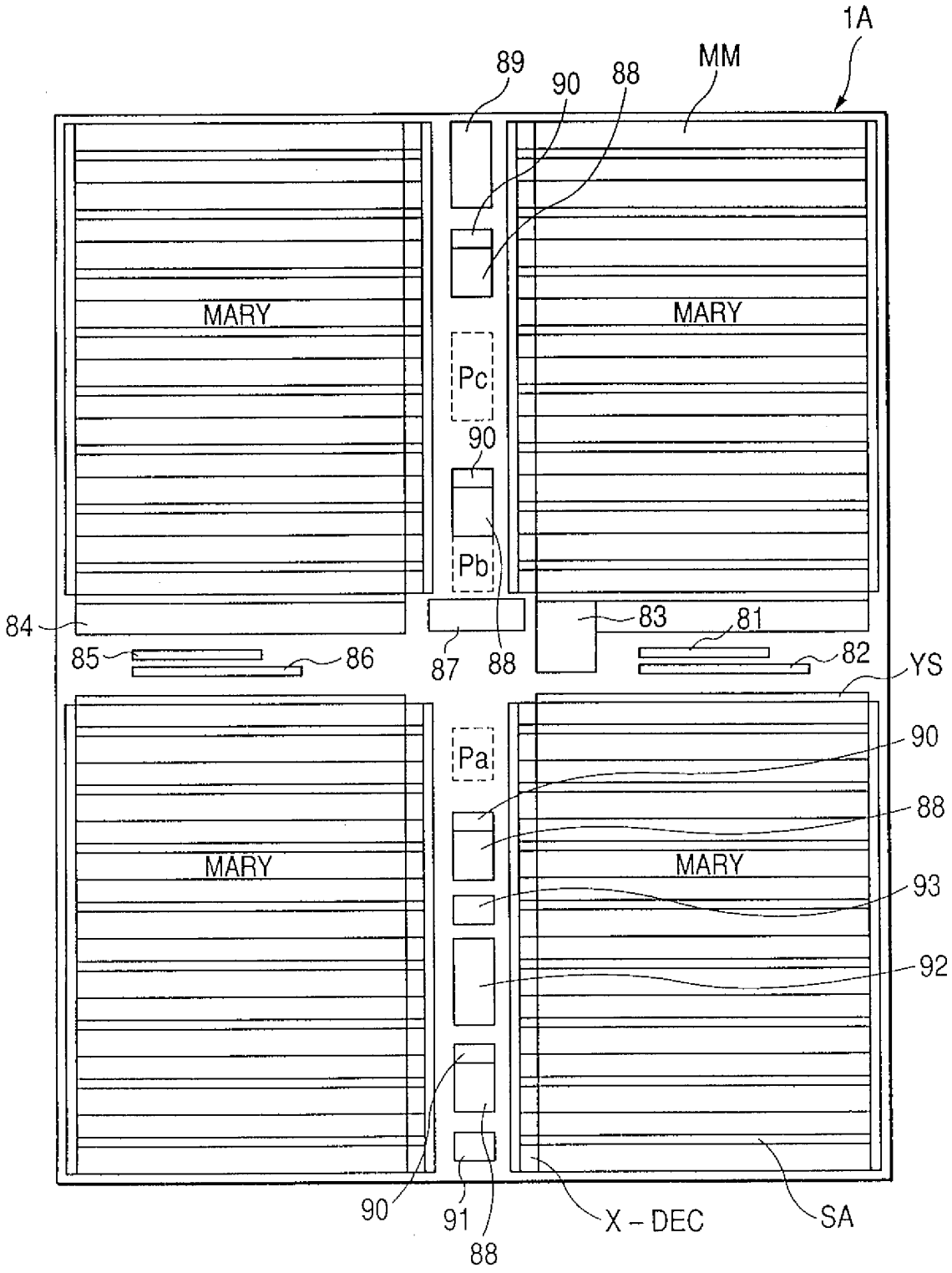
（ｆ）在上述半導體基板上堆積第２絕緣膜後，對上述第２絕緣膜進行蝕刻，藉此在上述救濟格領域的上述閘極電極的側壁上形成比上述第１側壁間隔件的膜厚還要厚的第２側壁間隔件之工程；及

（ｇ）對堆積於上述半導體基板上的第３絕緣膜進行蝕刻，藉此在上述通常格的源極、汲極的一方上部及上述救濟格的源極、汲極的一方上部分別形成接觸孔之工程；及

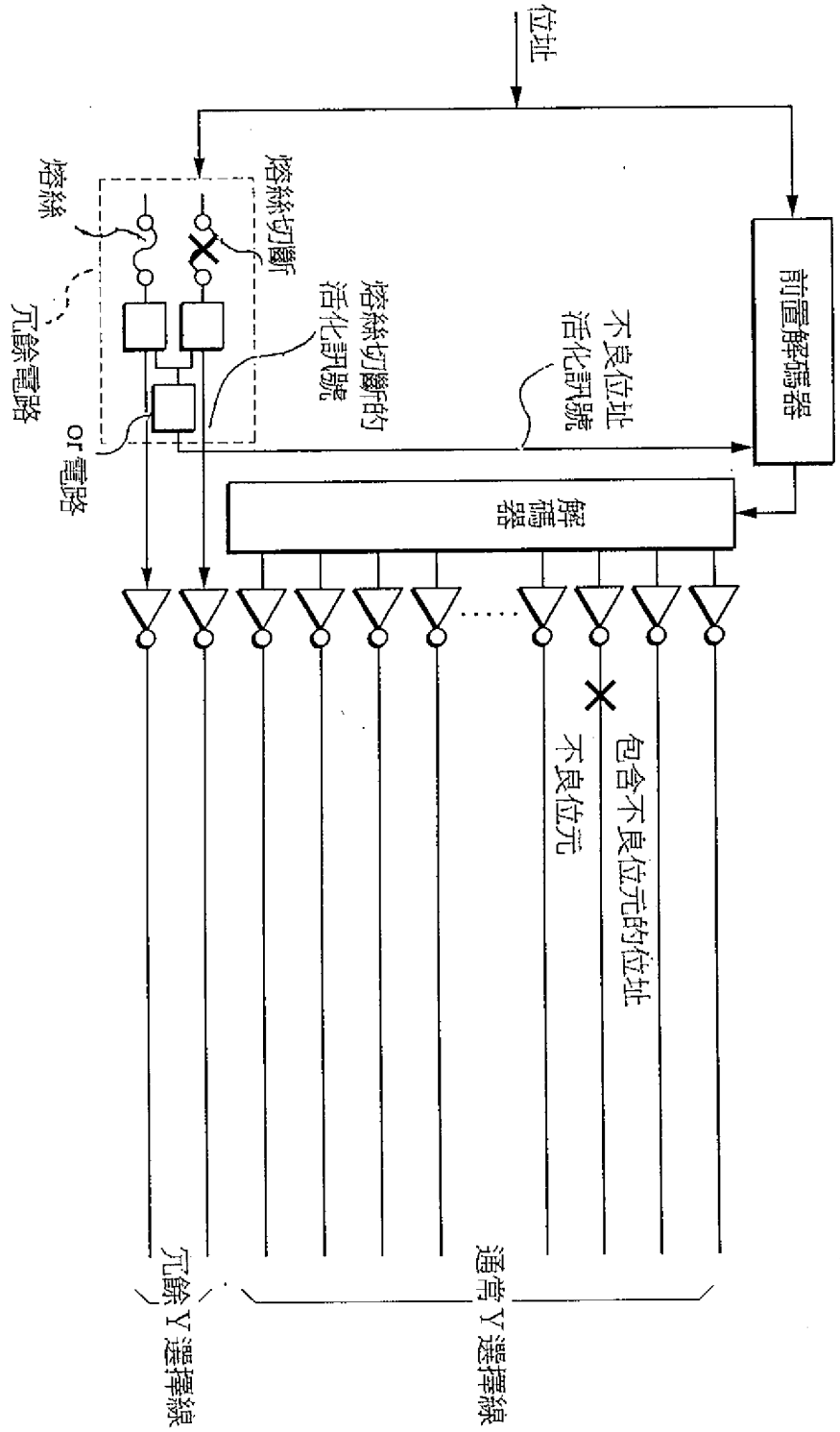
（ｈ）在上述第３絕緣膜的上部分別形成上部通常格的資訊儲存用電容元件及上述救濟格的資訊儲存用電容元件之工程。

１８．如申請專利範圍第１７項之半導體積體電路裝置的製造方法，其中在上述通常格的源極、汲極的一方上部及上述救濟格的源極、汲極的一方上部分別形成接觸孔之後，在上述接觸孔內埋入含有與上述源極、汲極相同導電型的雜質之多結晶矽膜。

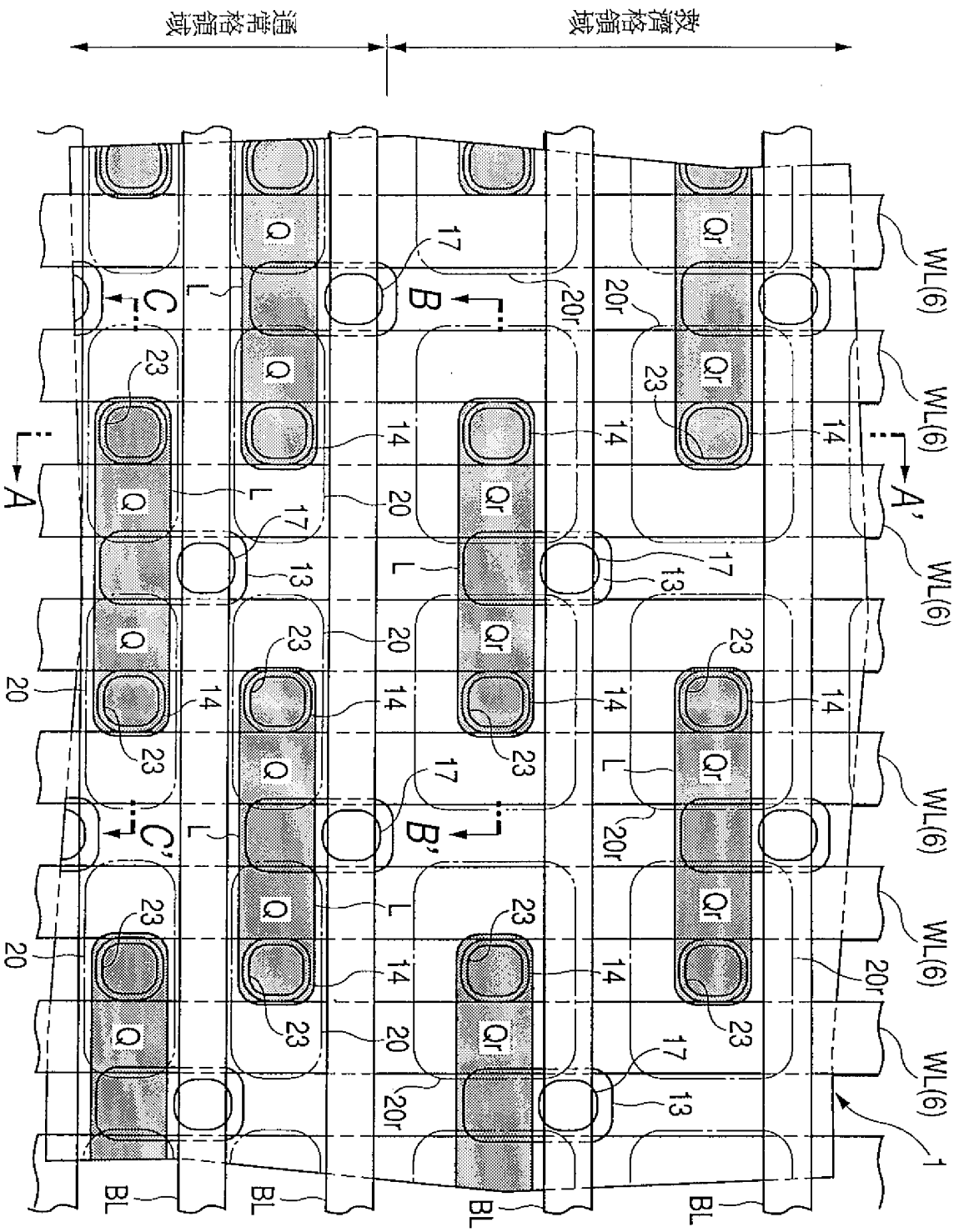
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製


1A
89
90
88
MM
MARY
MARY
Pc
90
Pb
84
85
86
87
88
83
81
82
YS
Pa
90
88
MARY
MARY
93
92
90
91
88
X - DEC
SA

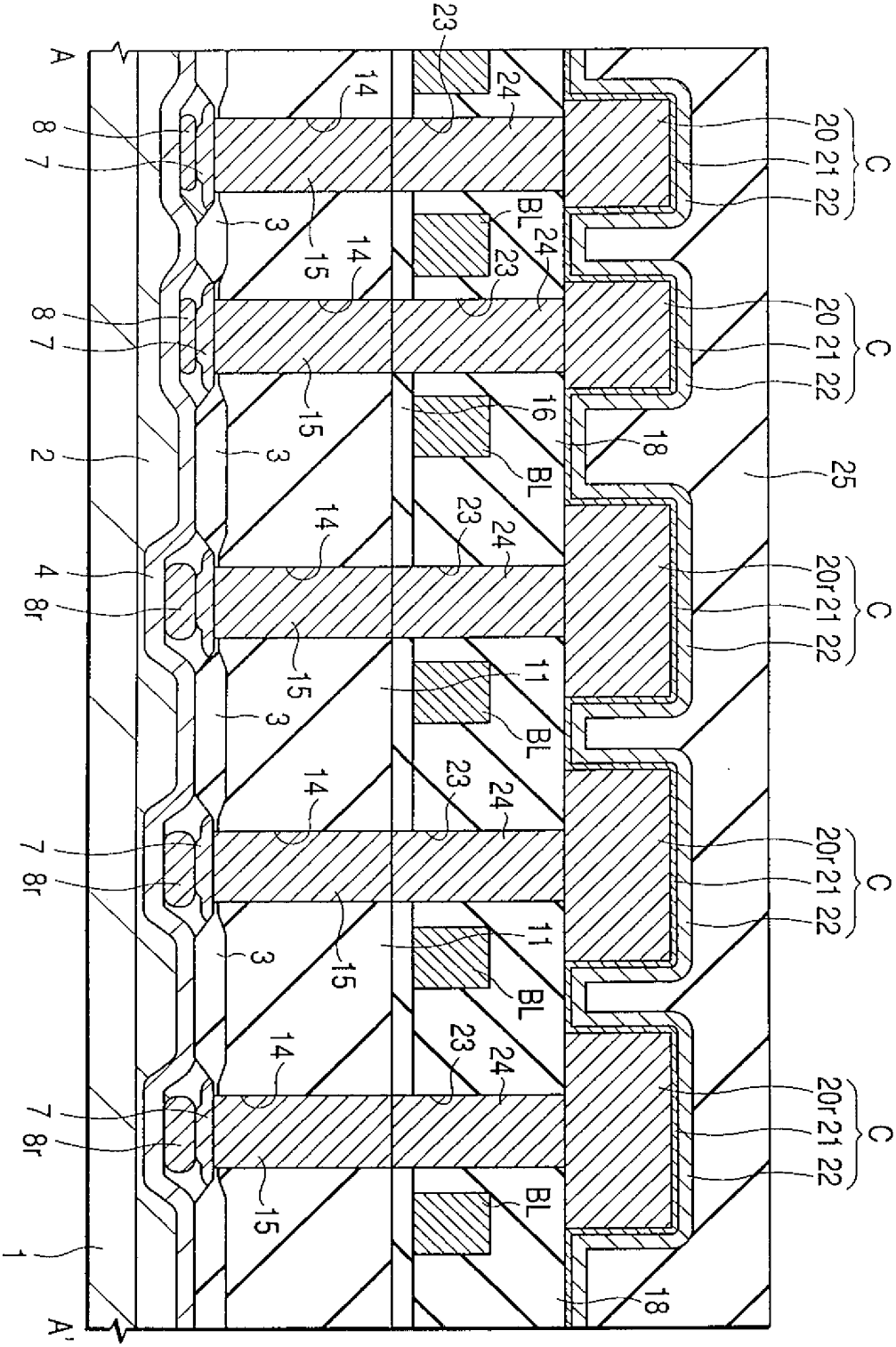
第 1 圖


位址
前置解碼器
不良位址
活化訊號
熔絲切斷的
活化訊號
熔絲切斷
熔絲
冗餘電路
or 電路
解碼器
包含不良位元的位址
不良位元
通常Y選擇線
冗餘Y選擇線

第2圖



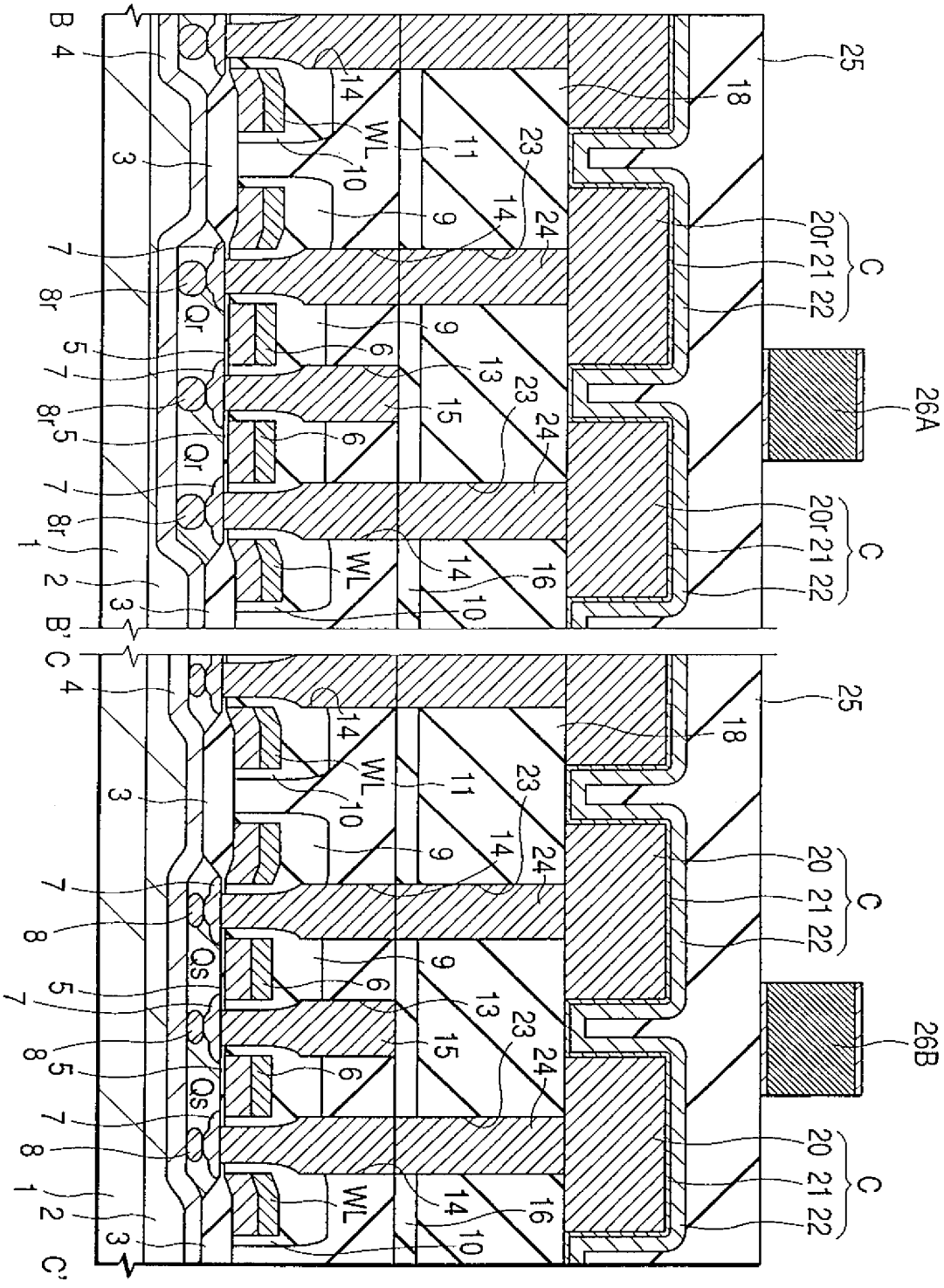

第 3 圖




3:場氧化膜
8、8r：電場緩和層

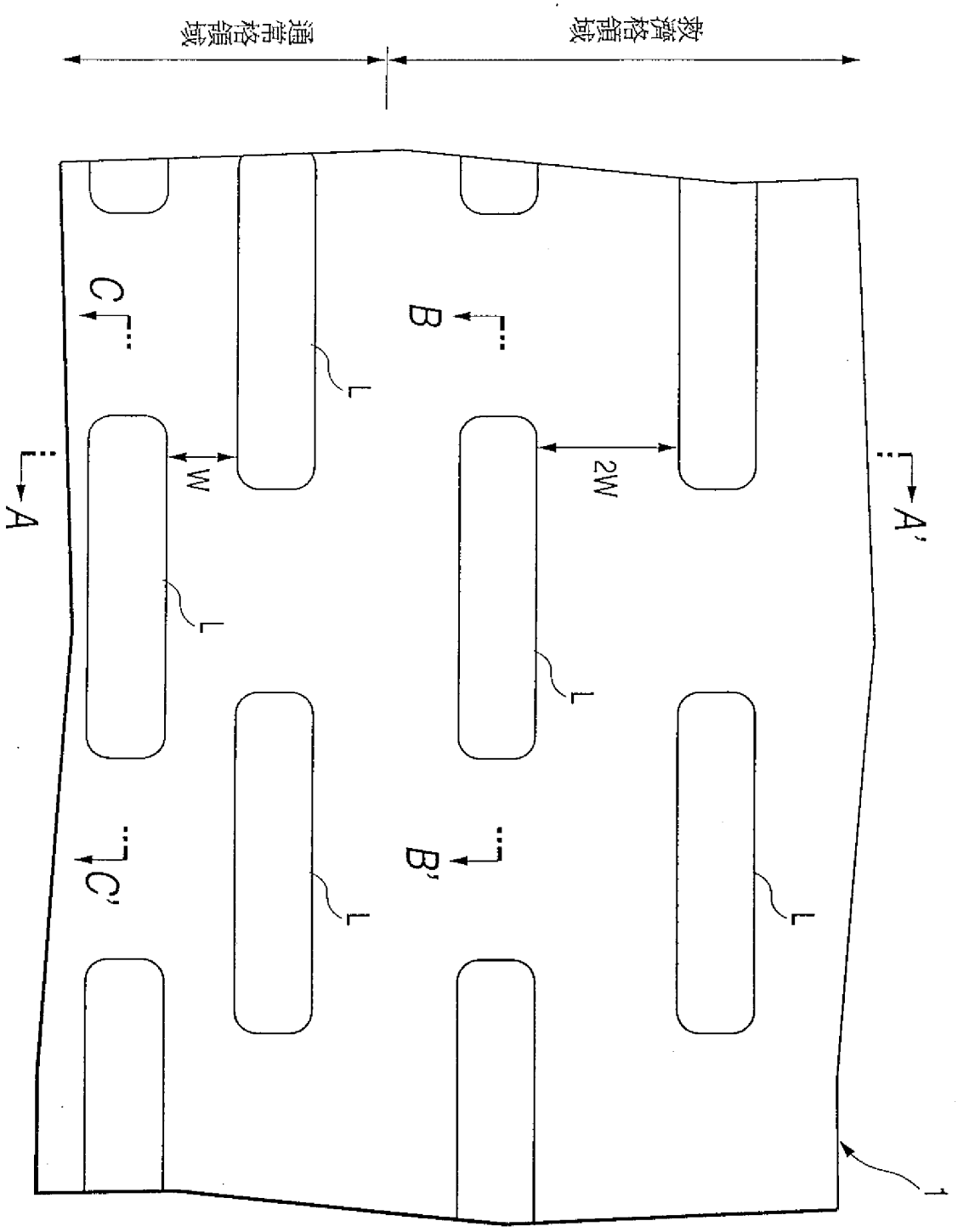
第 4 圖

441092

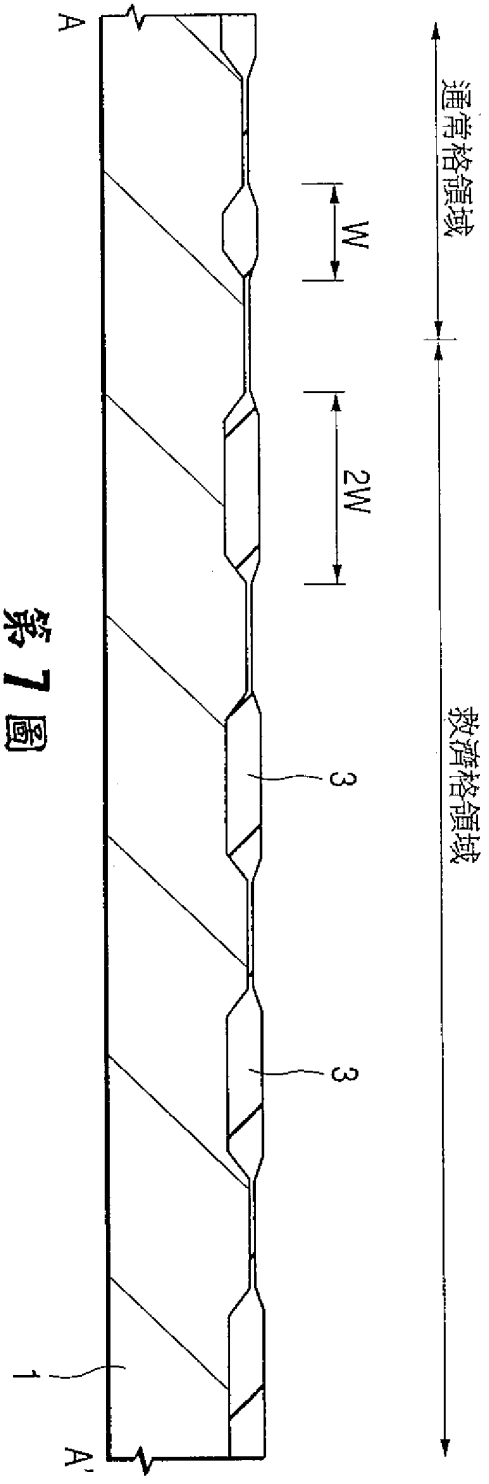


B
4
3
7
8r
5
Qr
1
2
B'
C
Qs
8
C'
WL
10
11
9
6
13
15
14
16
23
24
25
18
20r
21
22
C
26A
26B

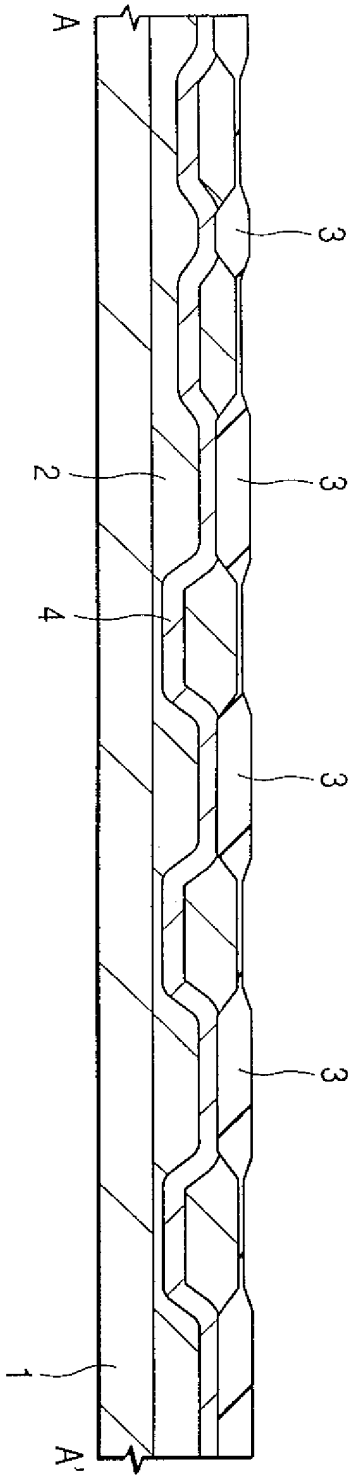

第5圖



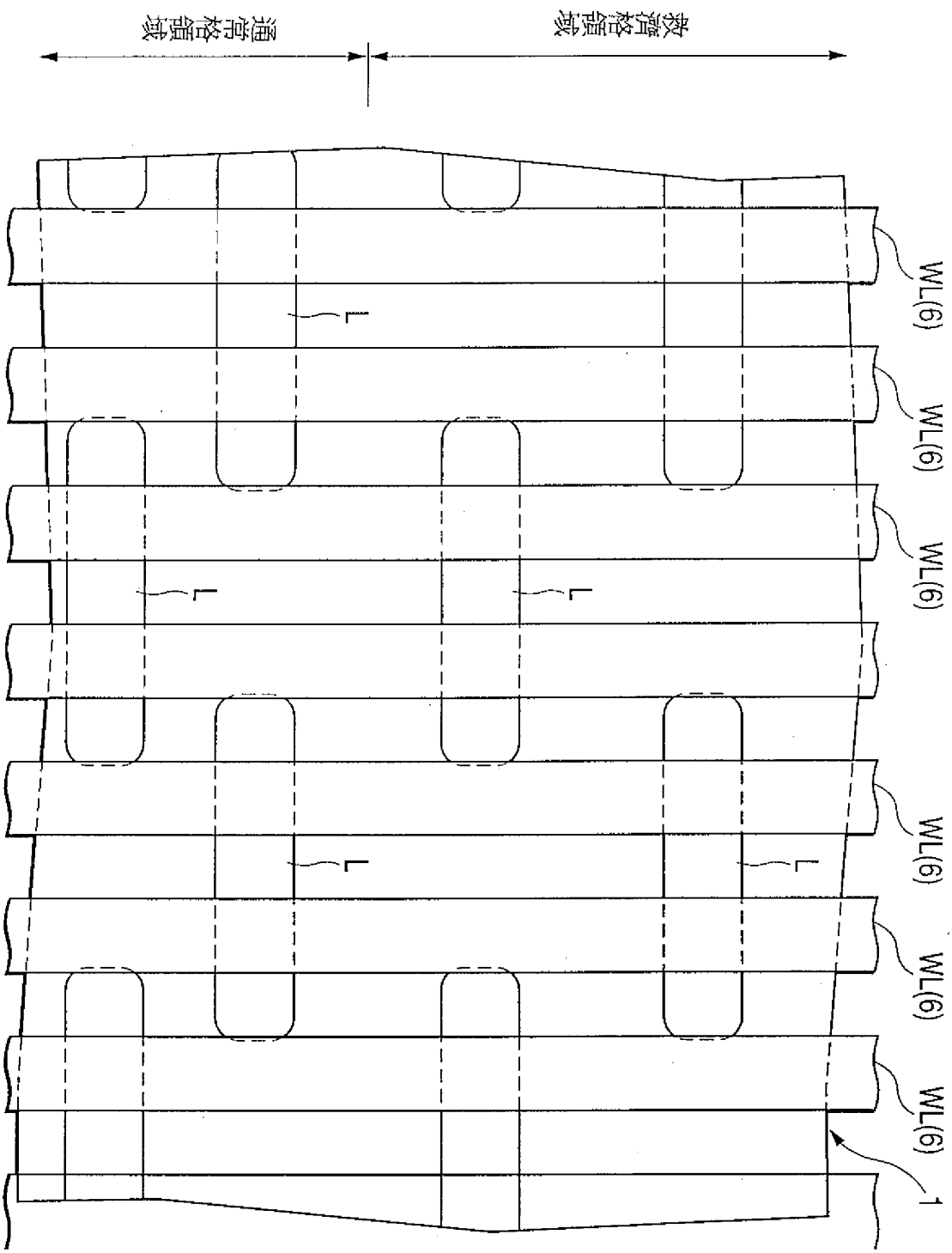

第 6 圖



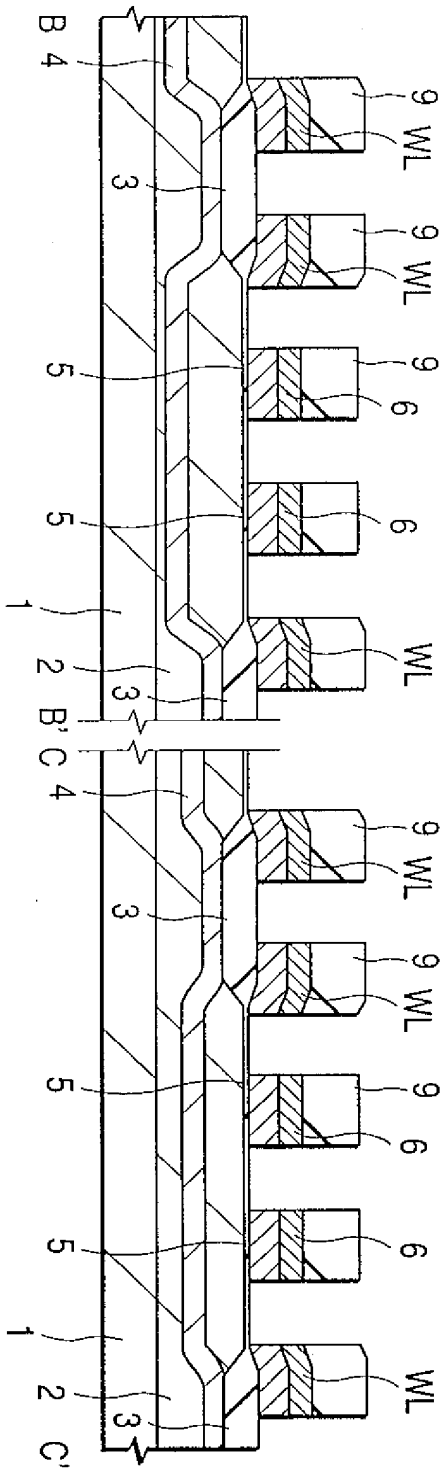

第7圖



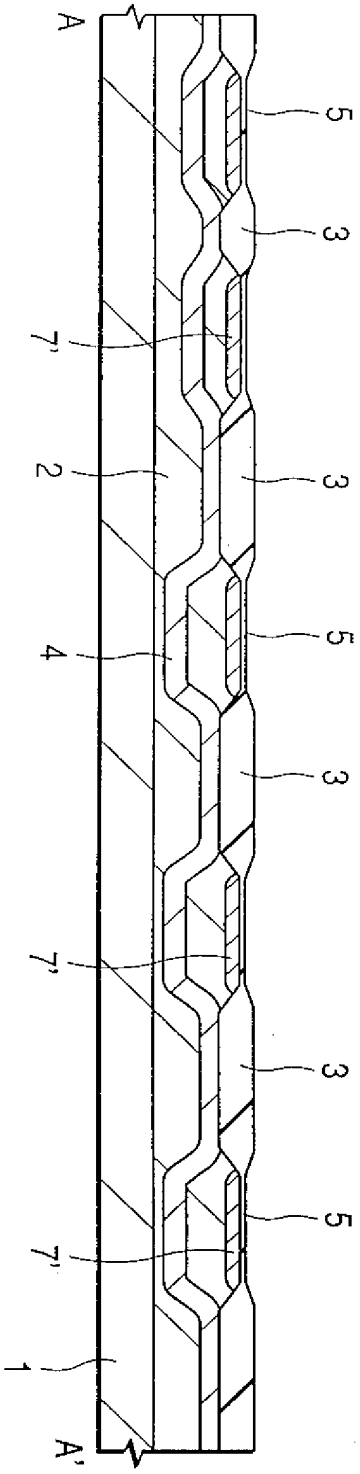

第8圖



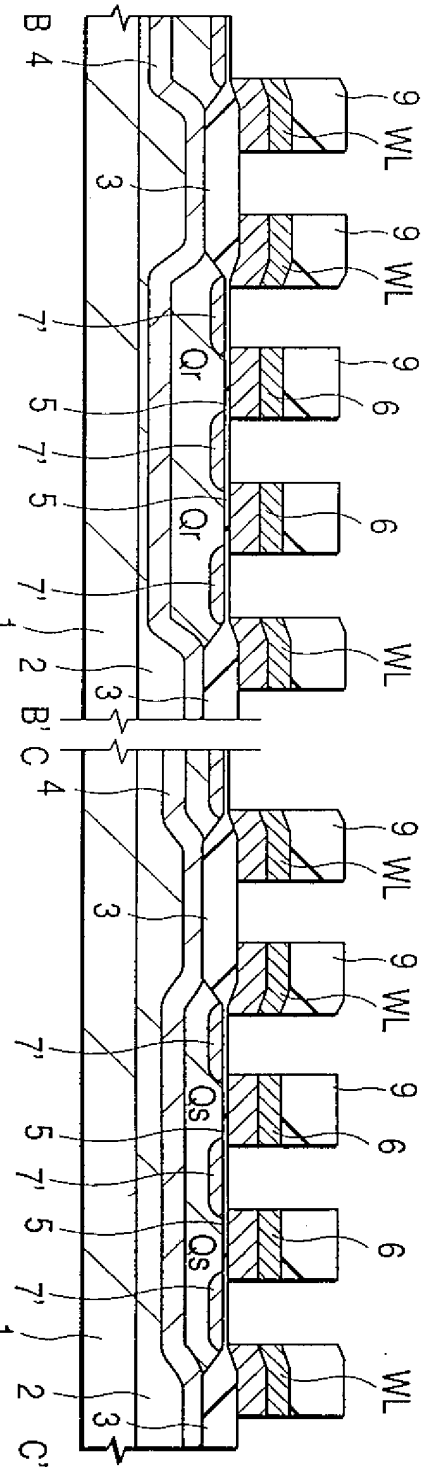

第6図


B
4
9
WL
3
9
WL
5
9
6
5
6
1
2
3
WL
B'
C
4
9
WL
3
9
WL
5
9
6
5
6
1
2
3
WL
C'

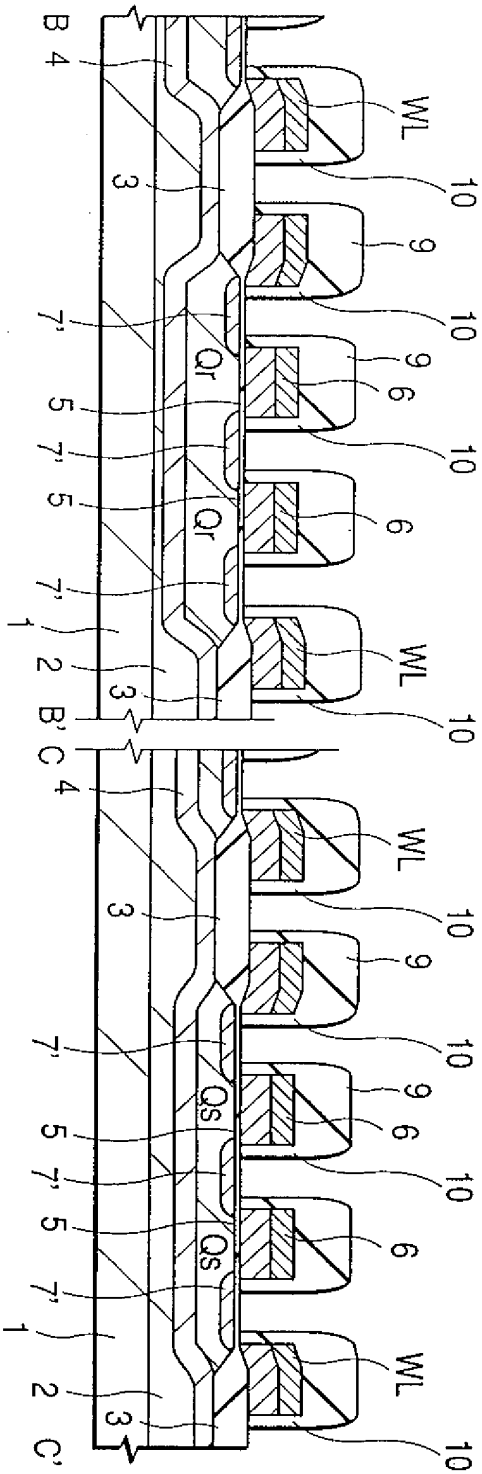
第10圖


A
5
3
7'
2
3
4
5
3
7'
3
5
7'
1
A'

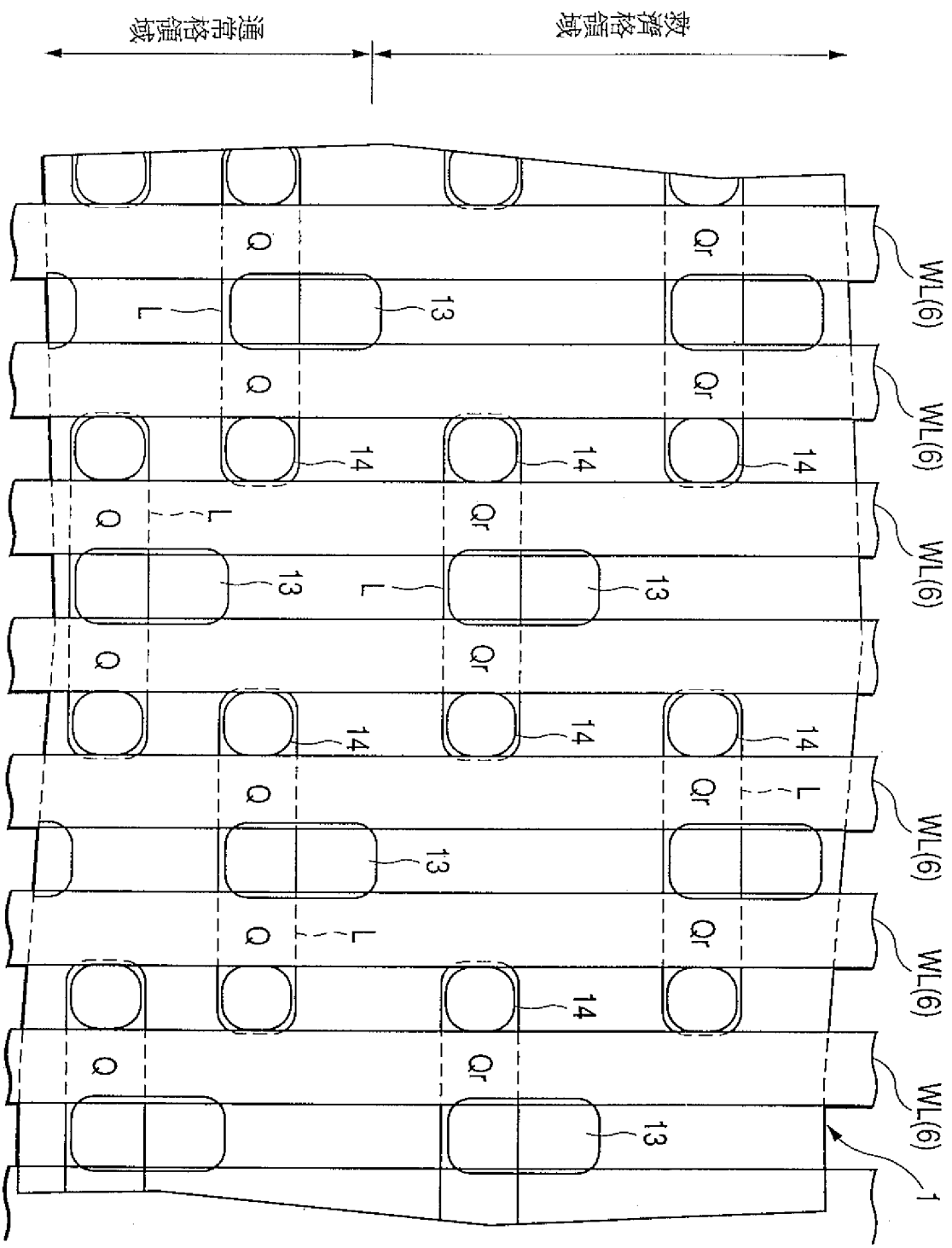
第11圖


B
4
3
7'
Qr
5
7'
5
7'
1
2
3
B'
C
4
3
7'
Qs
5
7'
5
7'
1
2
3
C'
9
WL
6

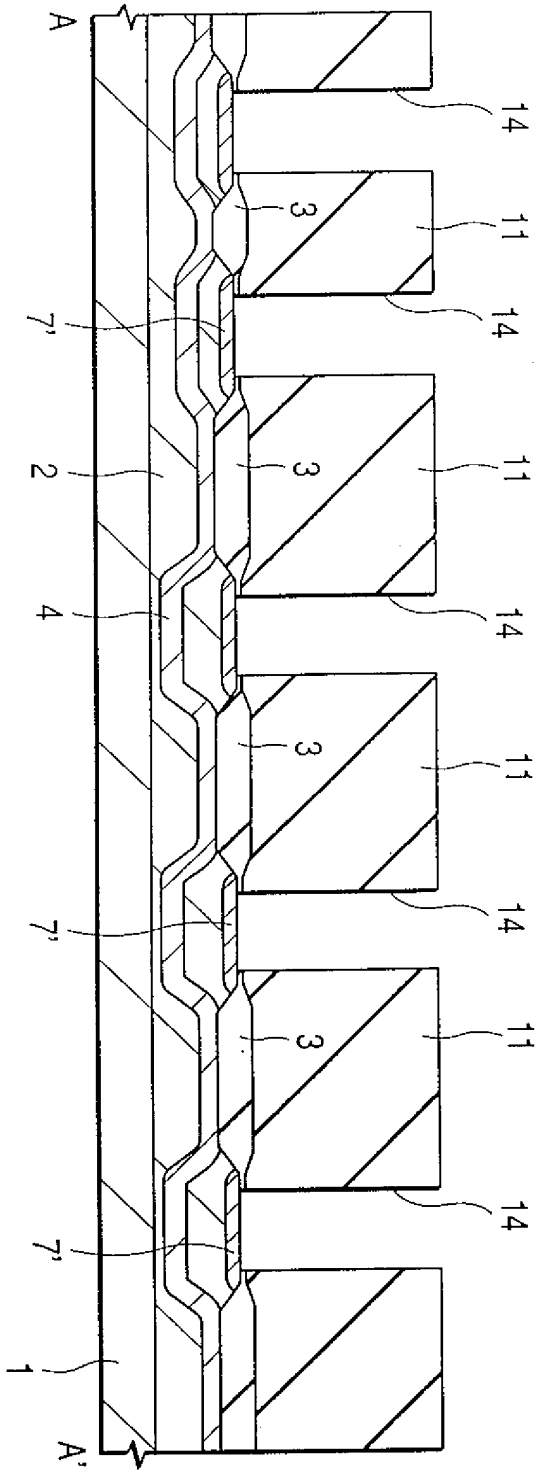
第12圖


B
4
3
7'
Qr
5
7'
5
7'
1
2
3
B'
C
4
3
7'
Qs
5
7'
5
7'
1
2
3
C'
9
WL
10
6

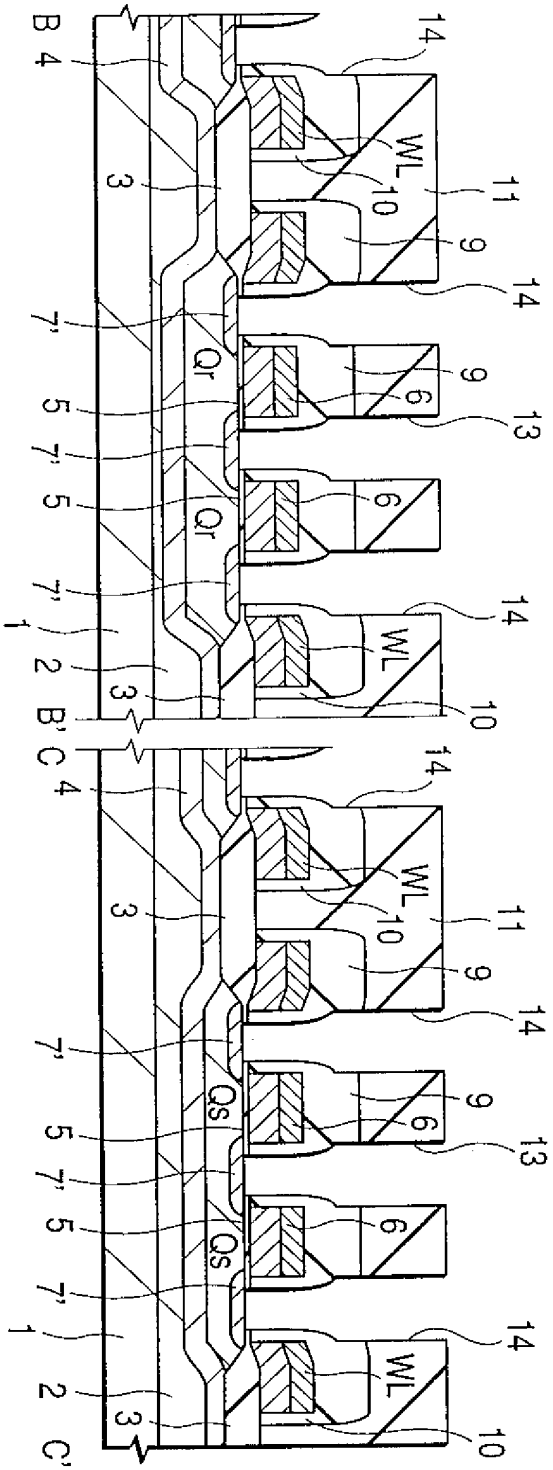
第13圖



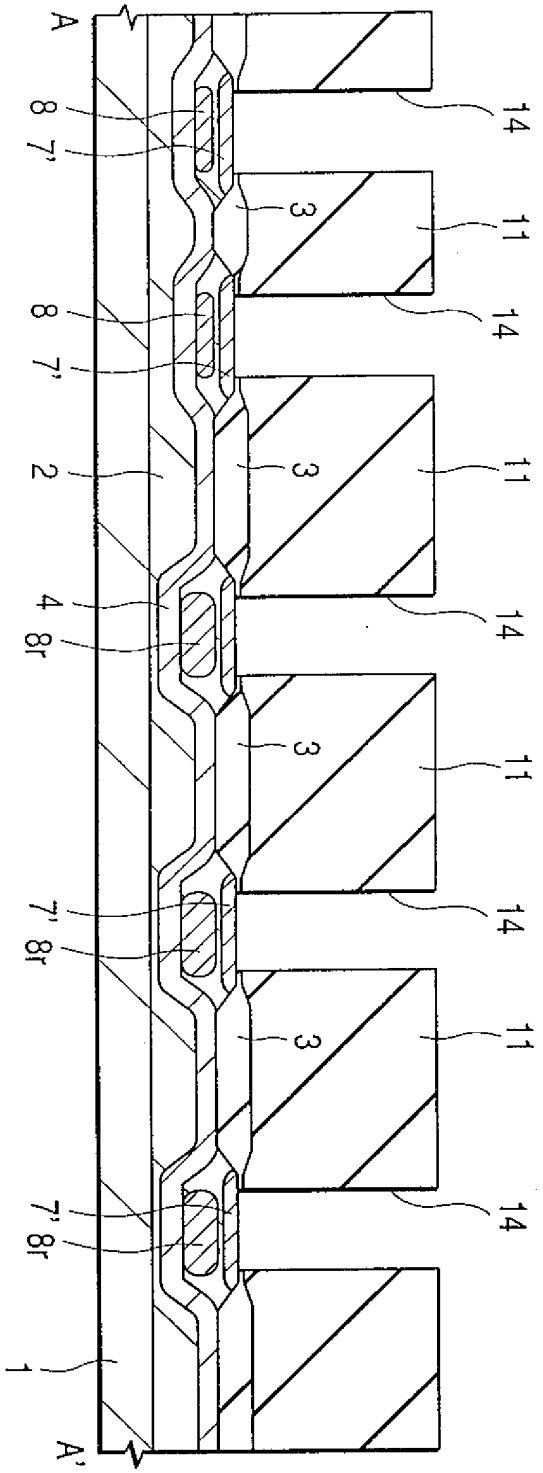

第14圖




第15圖

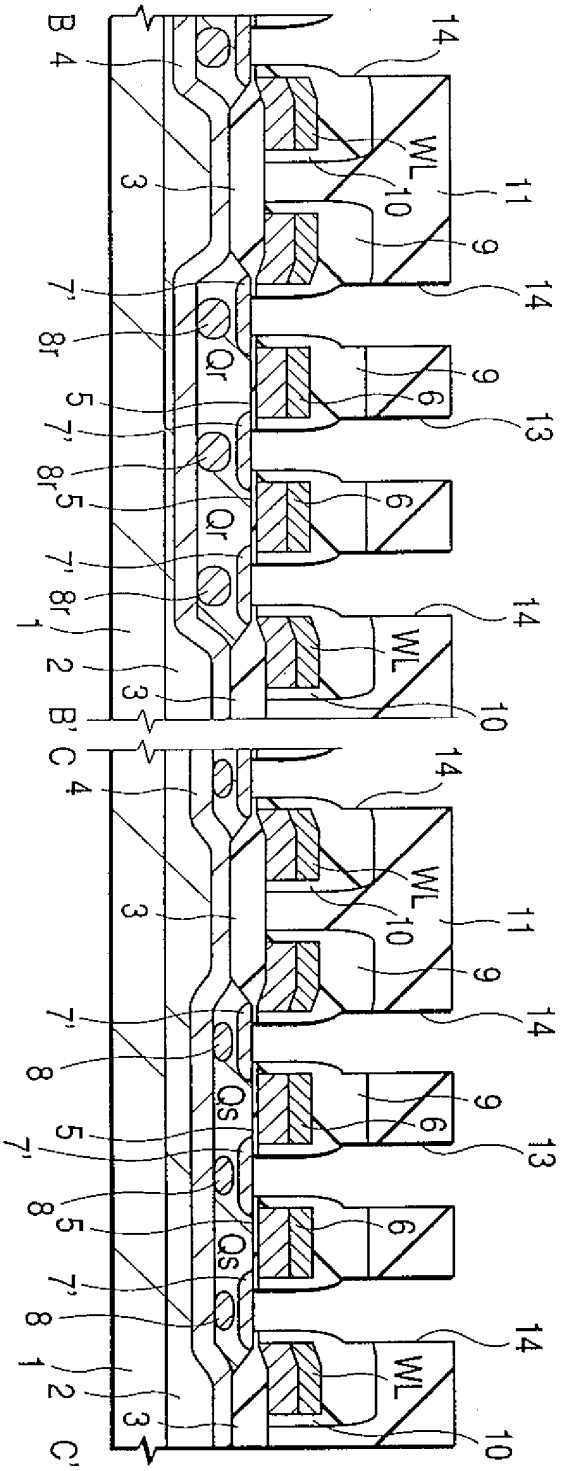



第16圖

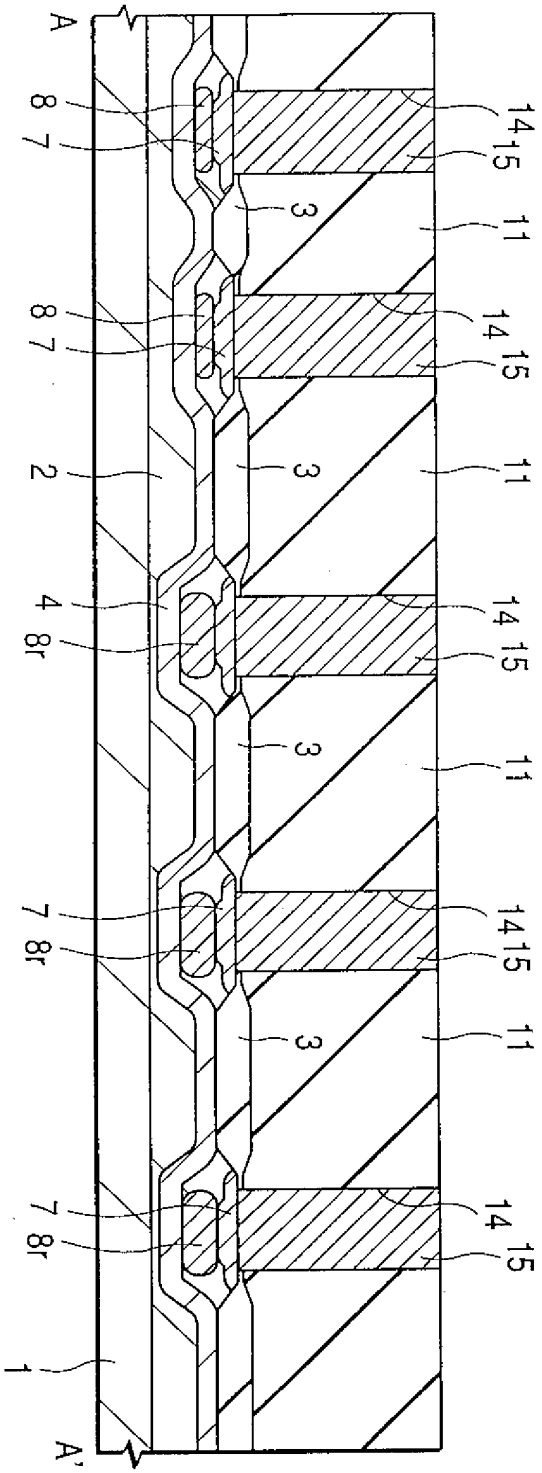



第17圖

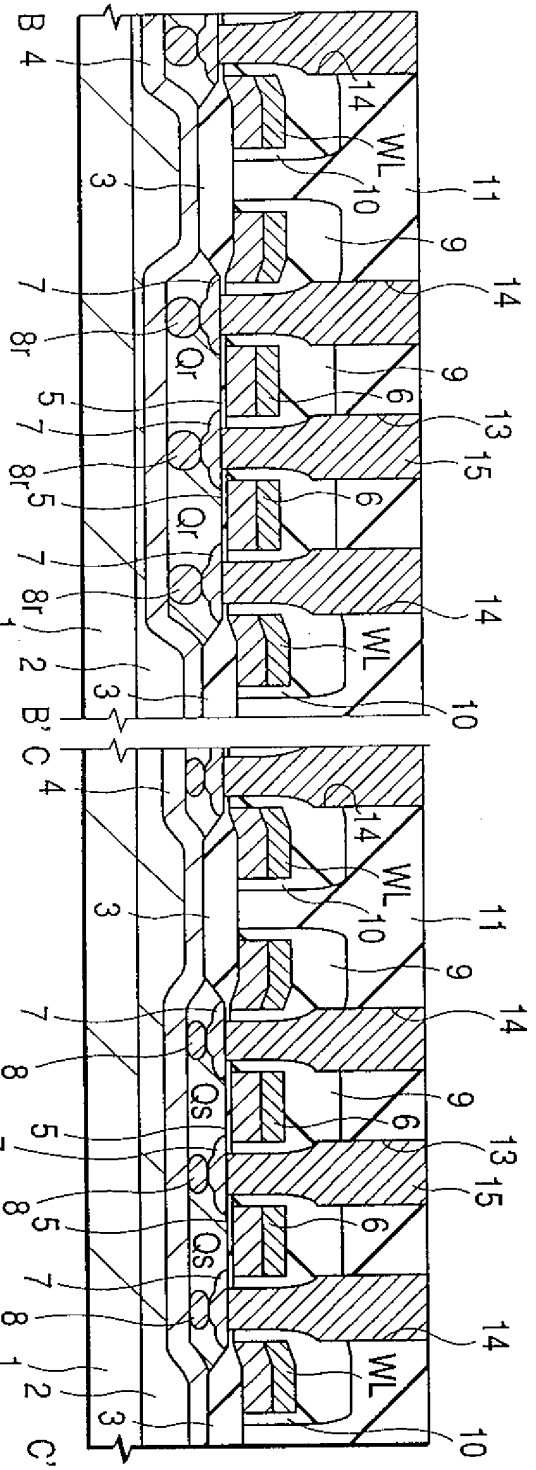
441092



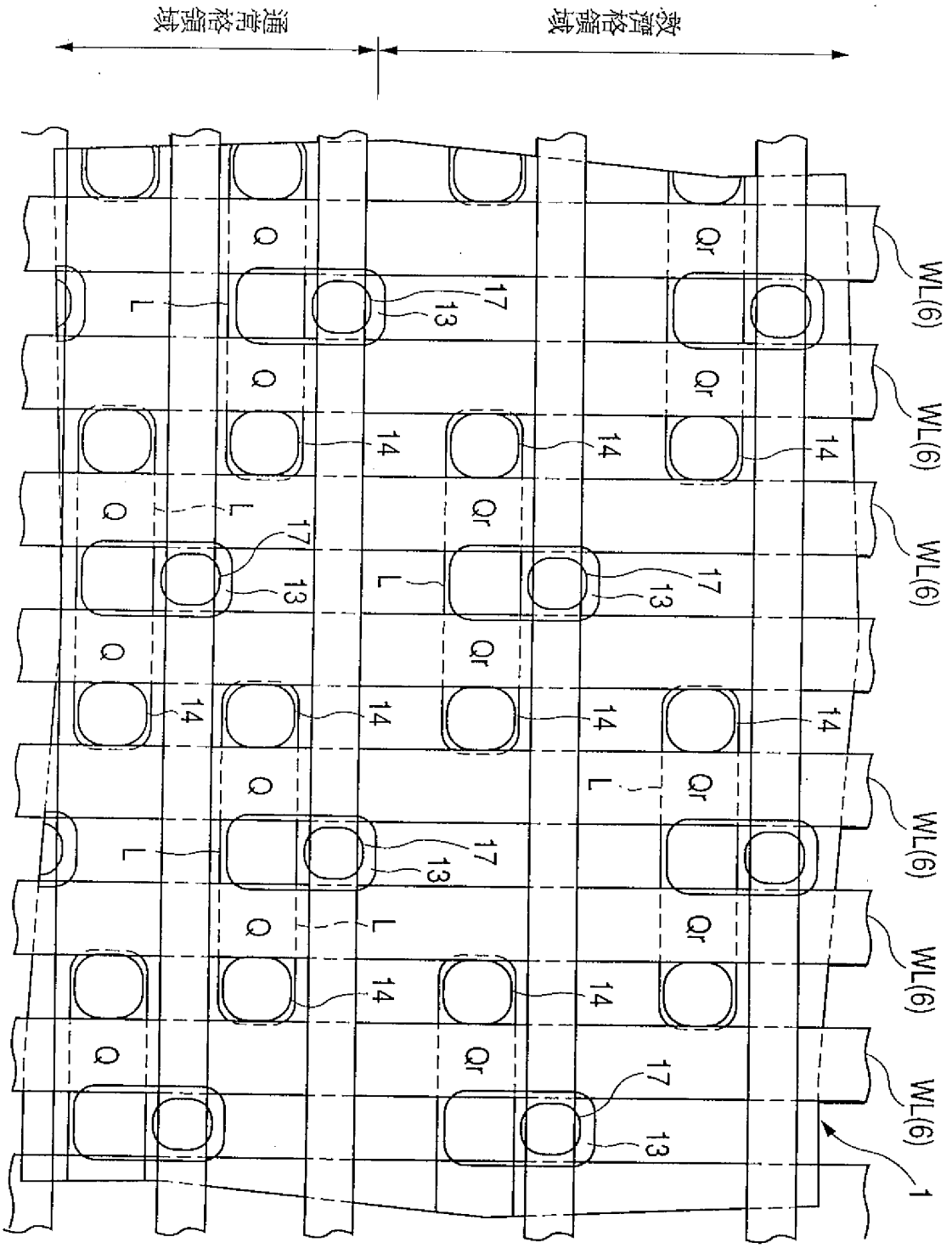

第18圖



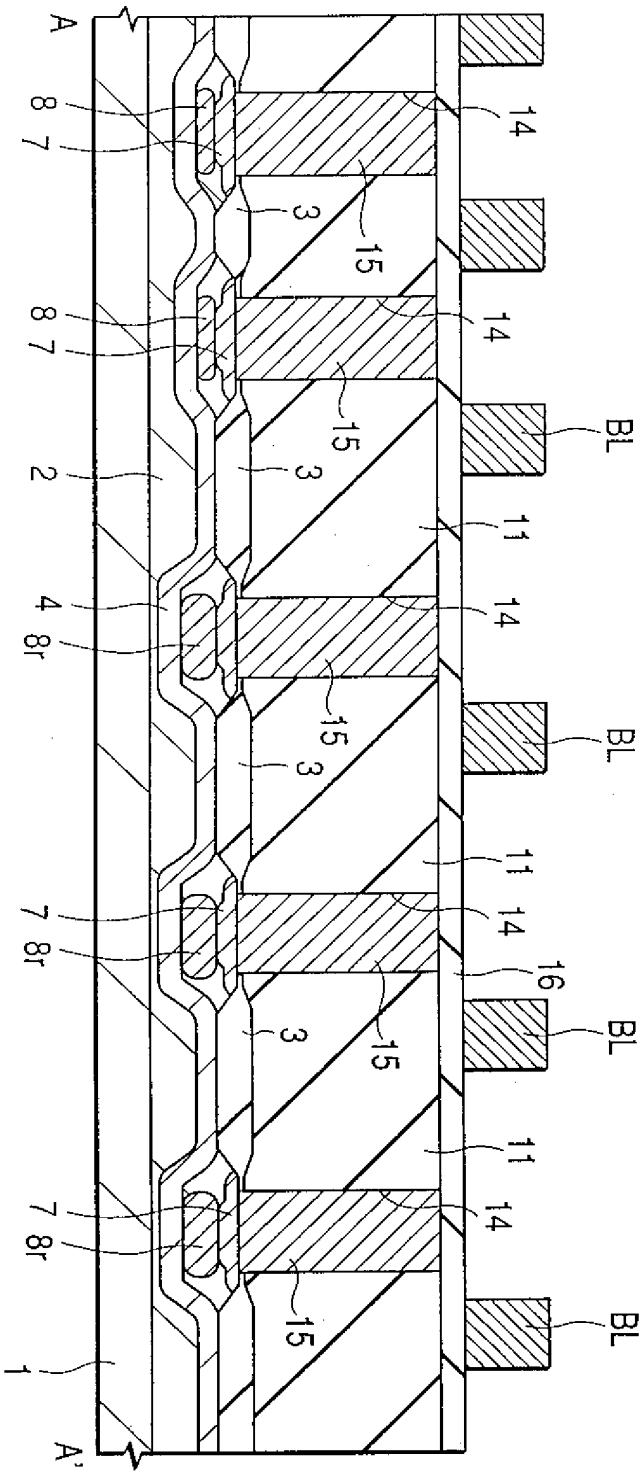

第19圖


B
4
3
7
8r
5
7
8r
5
7
8r
1
2
3
B'
C
4
3
7
8
5
7
8
5
7
8
1
2
3
C'
14
WL
10
11
9
14
6
9
13
15
6
14
WL
10
Qr
Qr
Qs
Qs

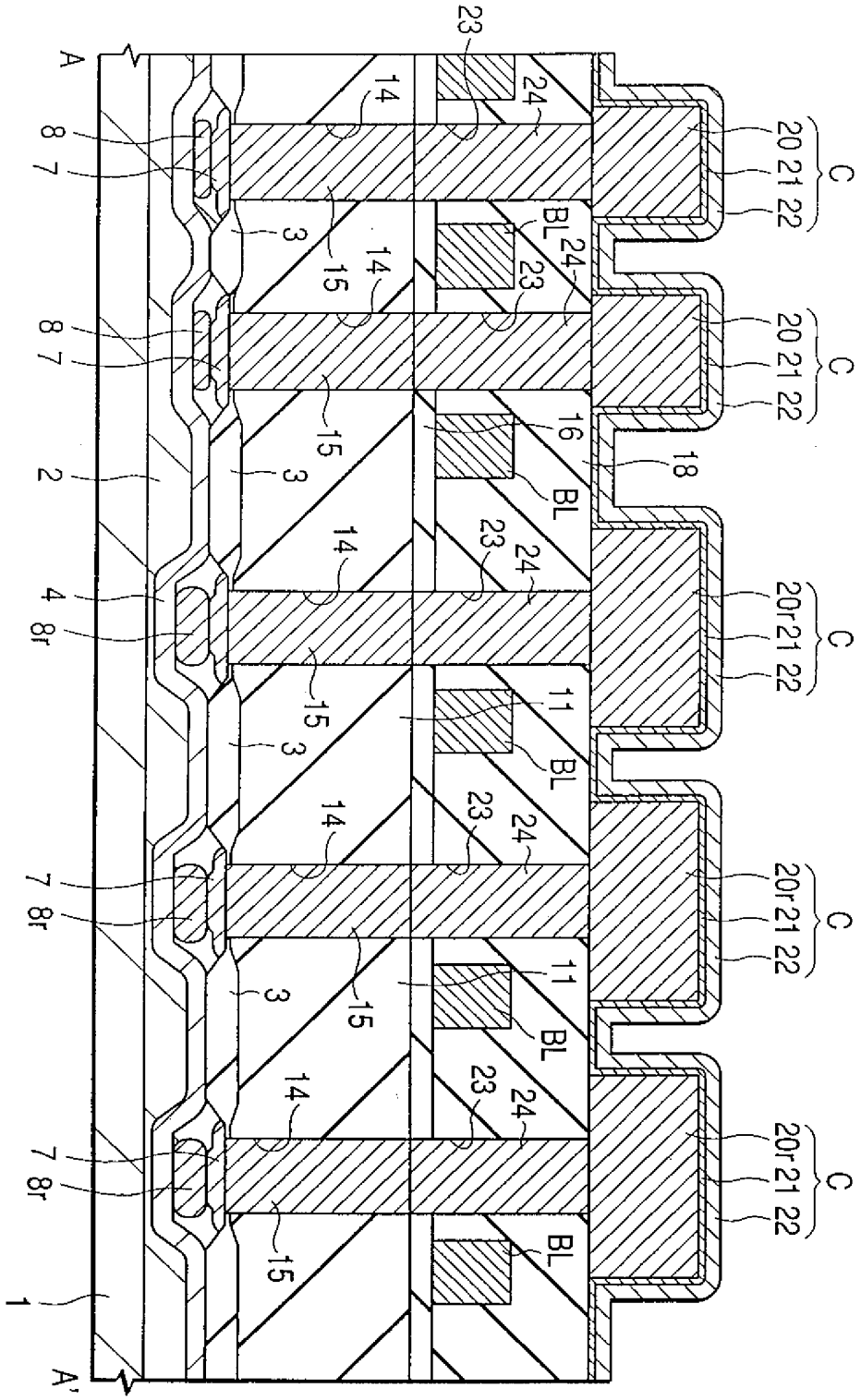
第20圖



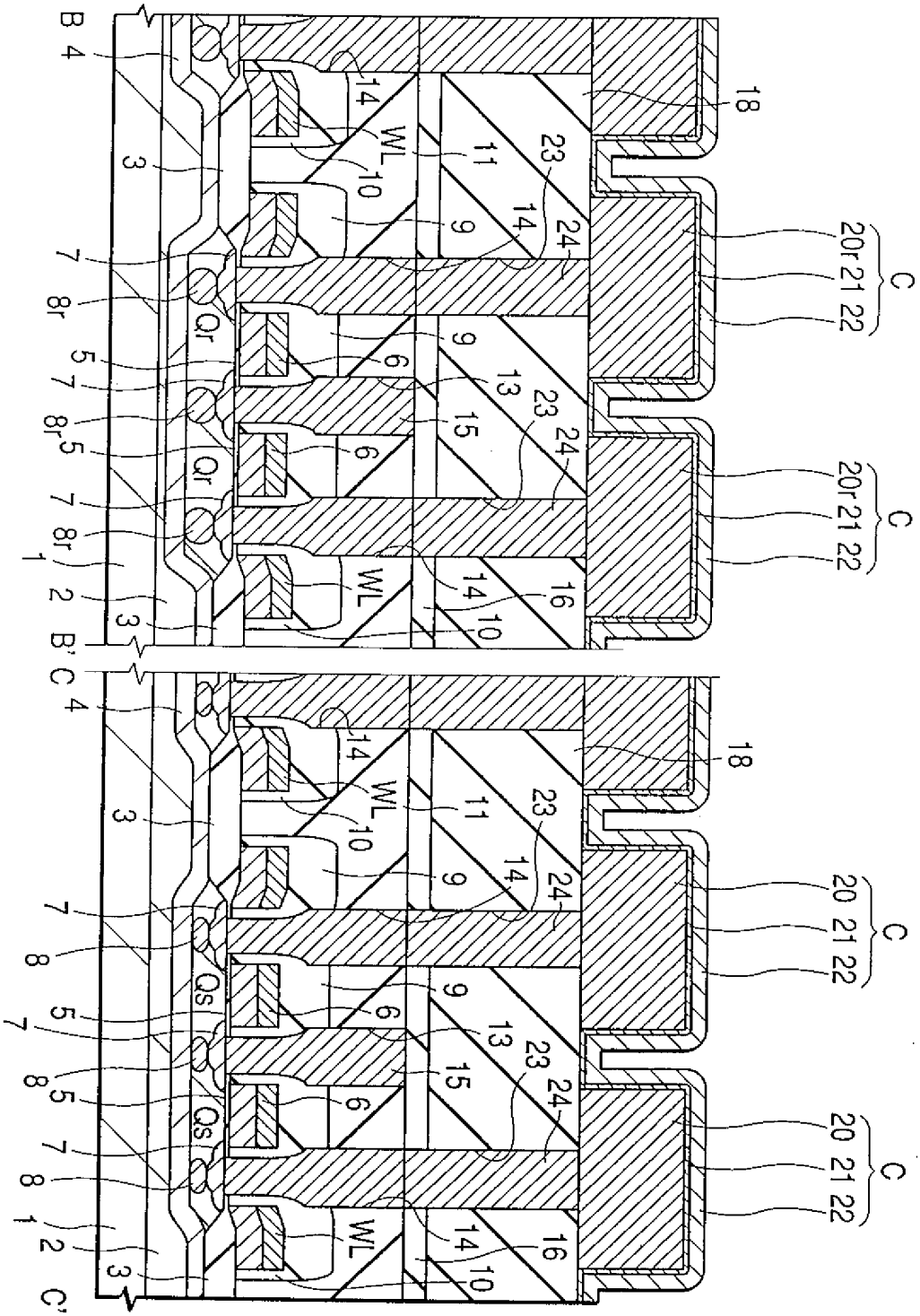

第21圖



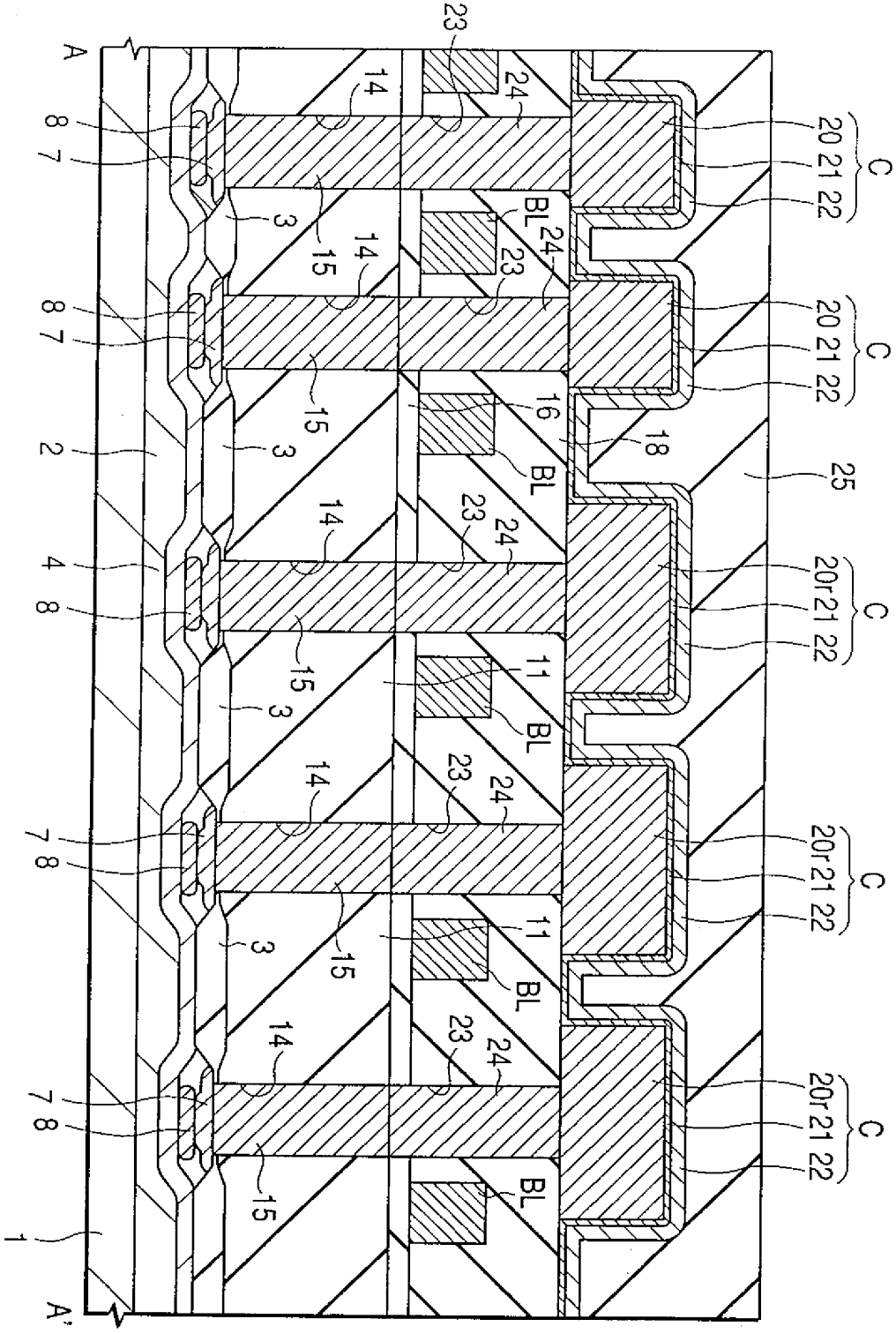

第22圖



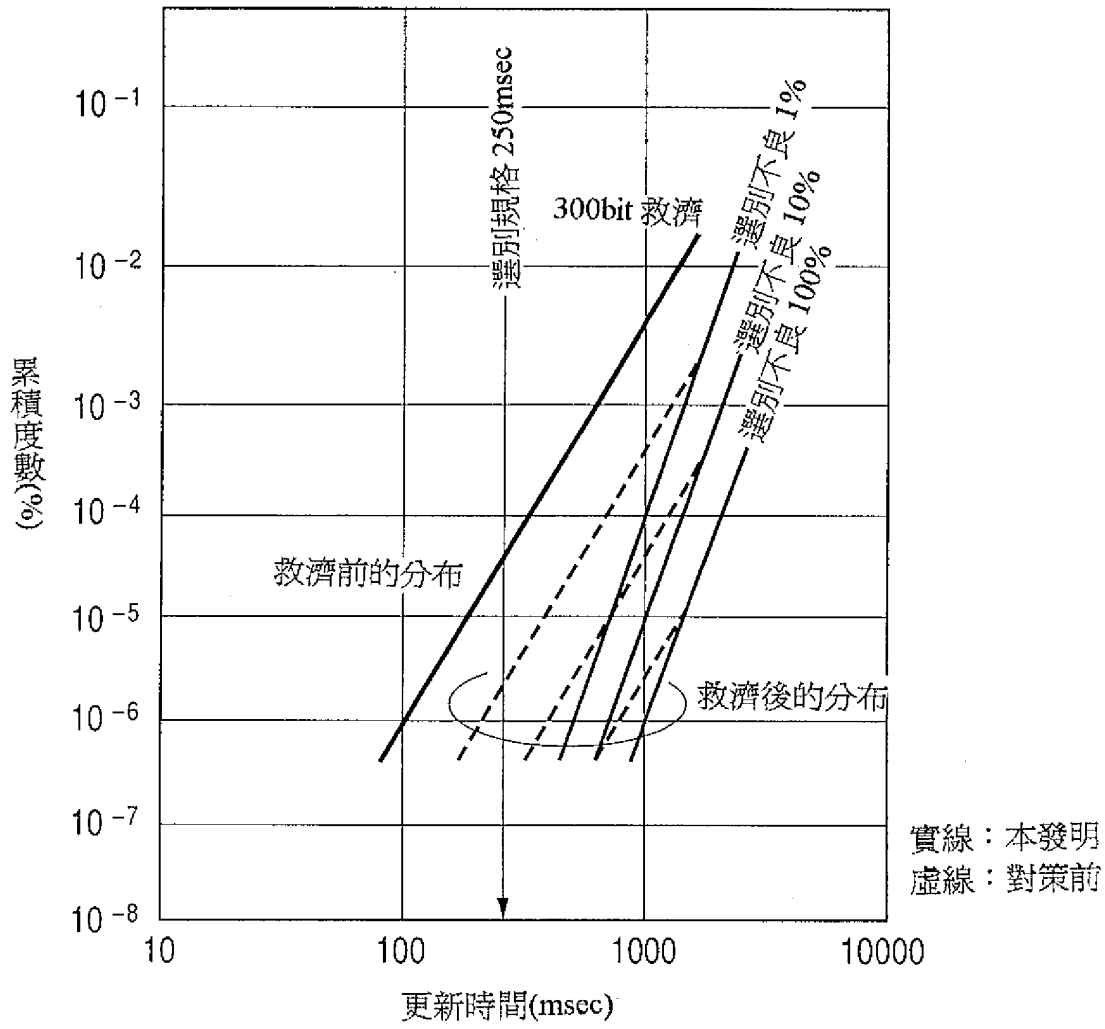

第23圖



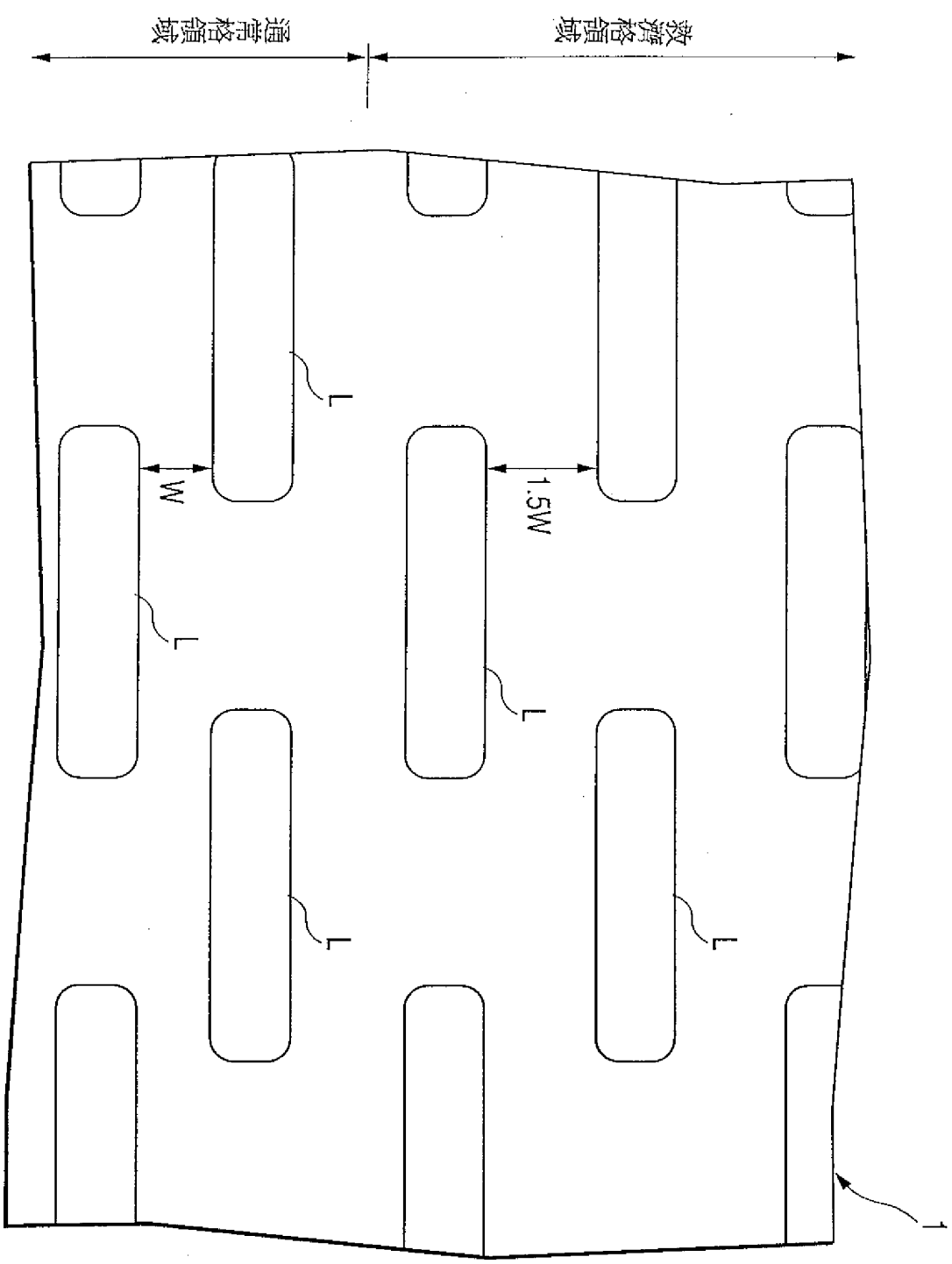

第24圖



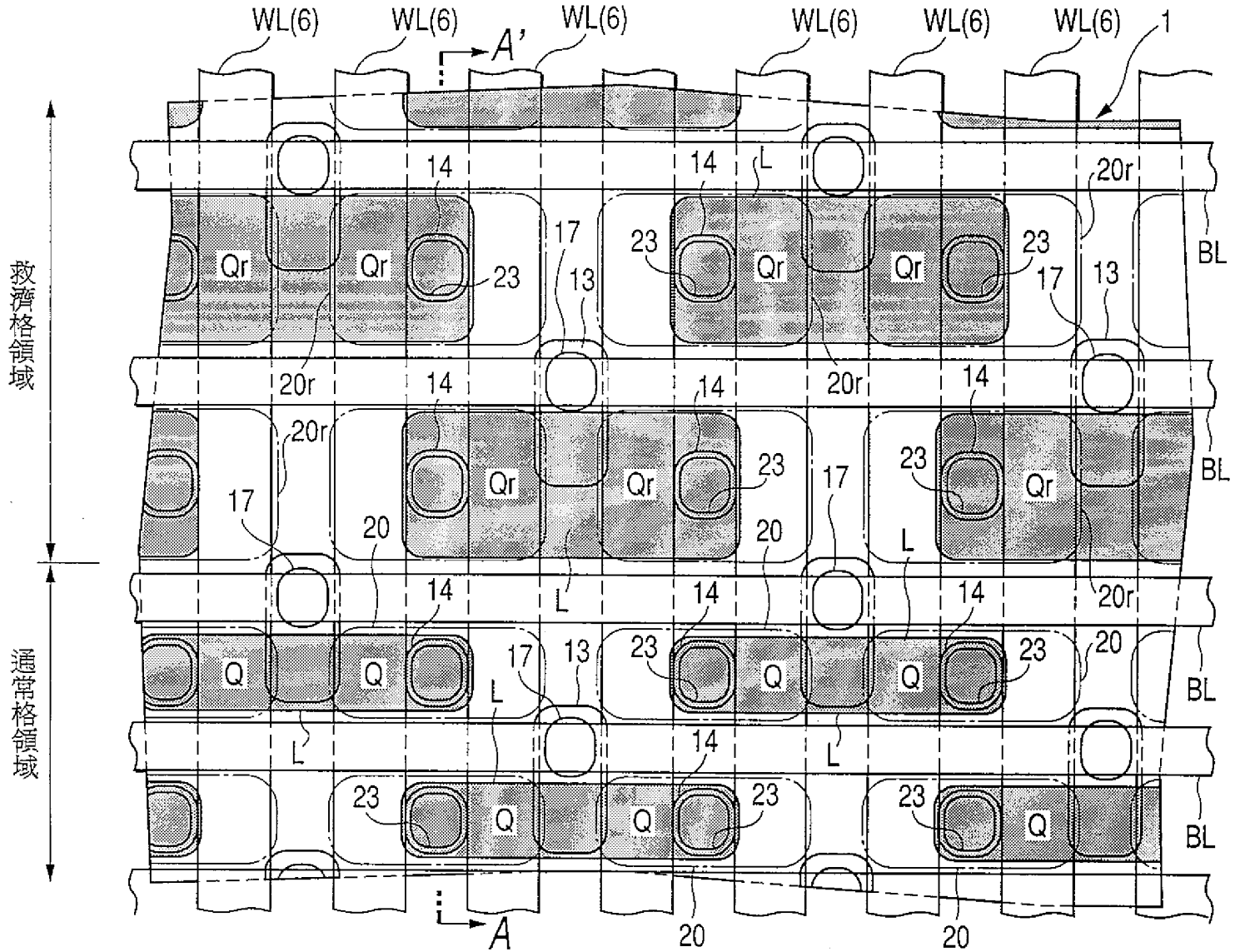

第25圖


累積度數(%)
10 -1
10 -2
10 -3
10 -4
10 -5
10 -6
10 -7
10 -8
10
100
1000
10000
更新時間(msec)
選別規格 250msec
300bit 救濟
選別不良 1%
選別不良 10%
選別不良 100%
救濟前的分布
救濟後的分布
實線：本發明
虛線：對策前

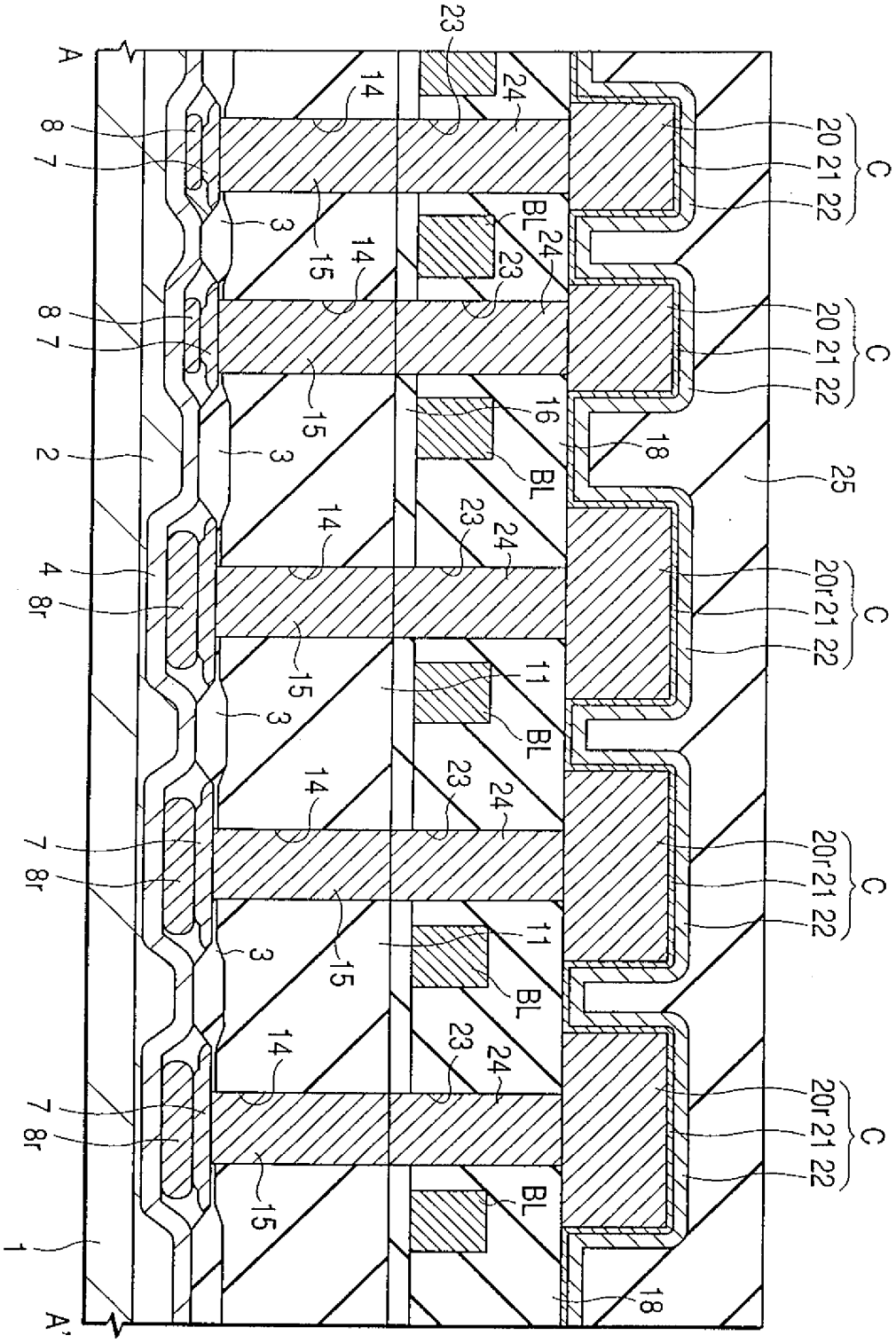
第 26 圖



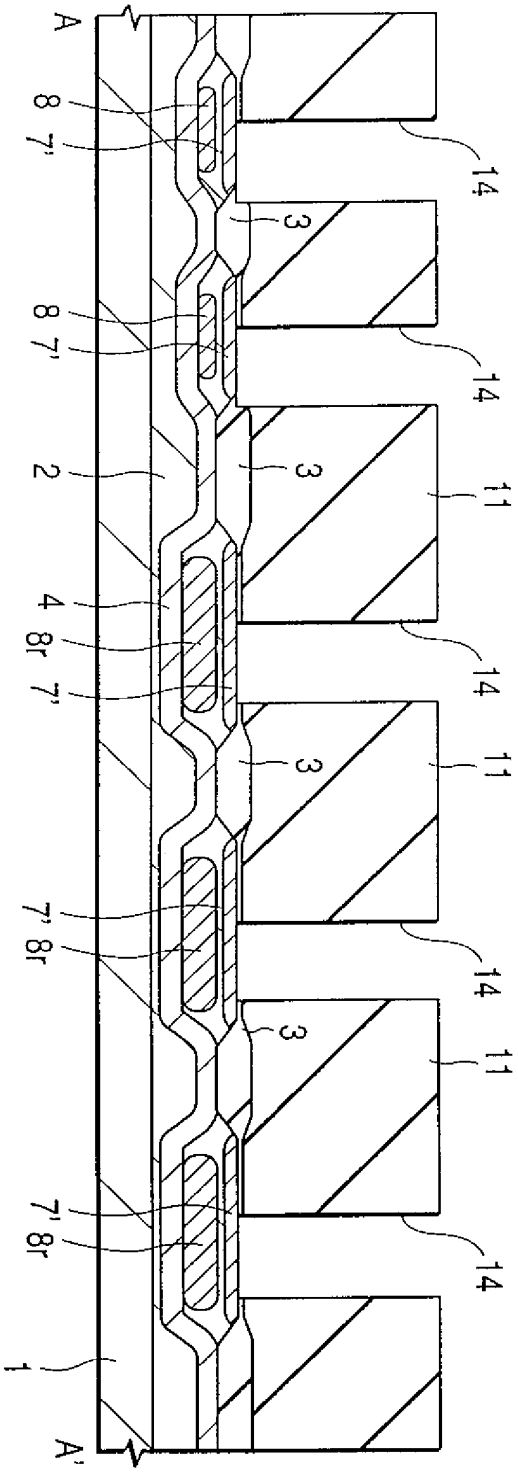

第27圖


WL(6)
WL(6)
A'
WL(6)
WL(6)
WL(6)
WL(6)
1
救濟格領域
通常格領域
14
L
20r
Qr
23
17
13
BL
20
Q
A

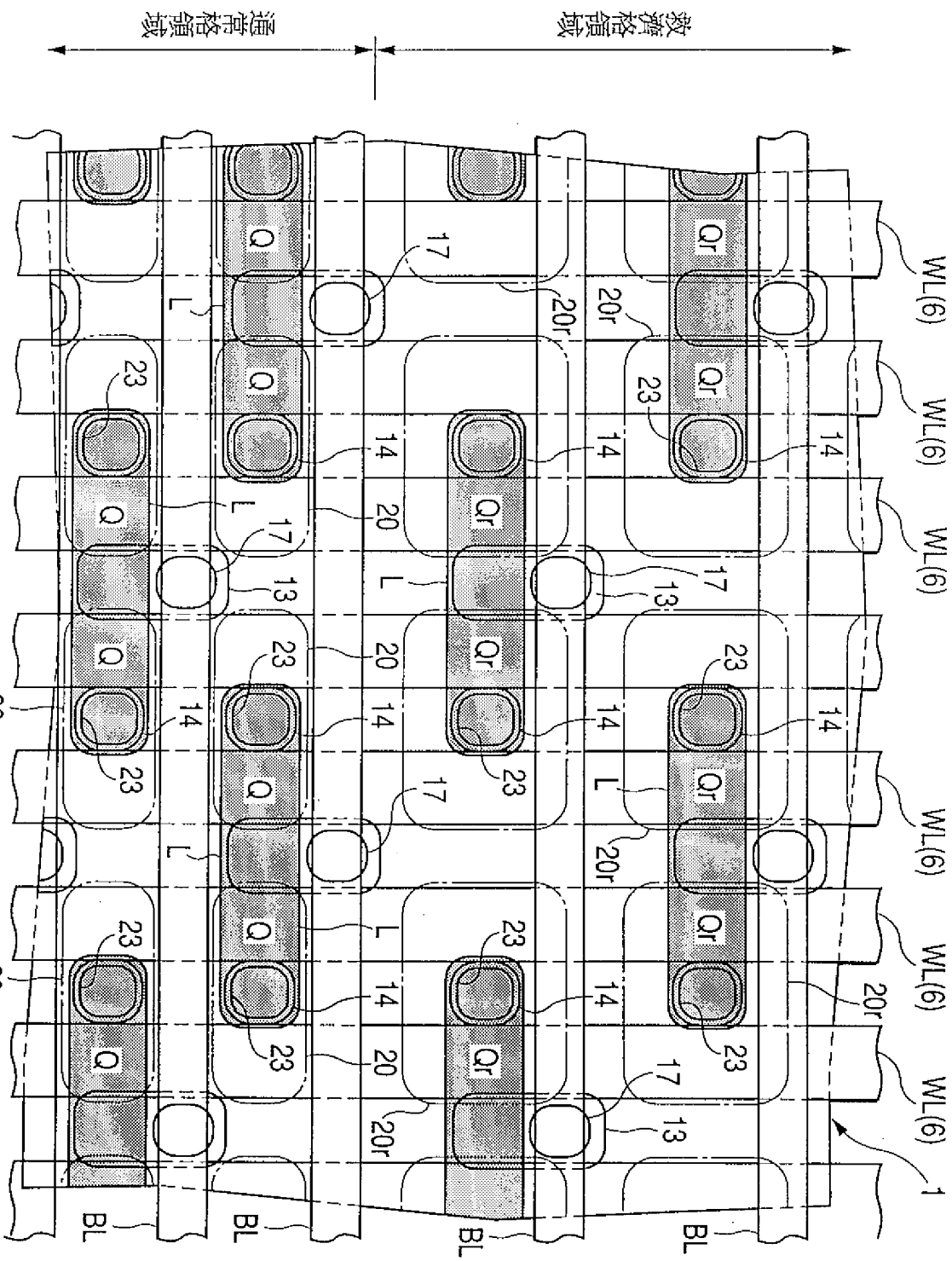
第28圖



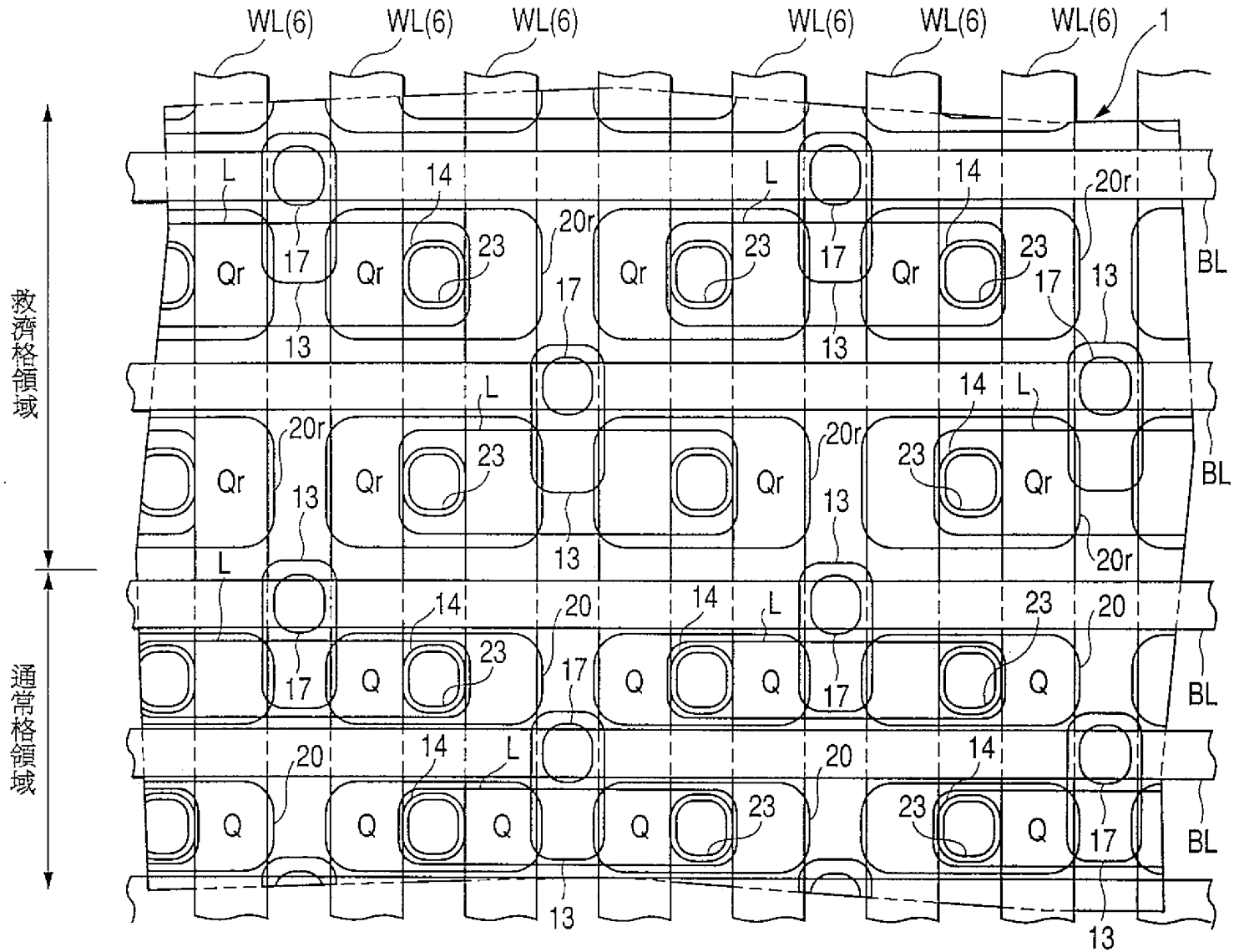

第29圖




第30圖

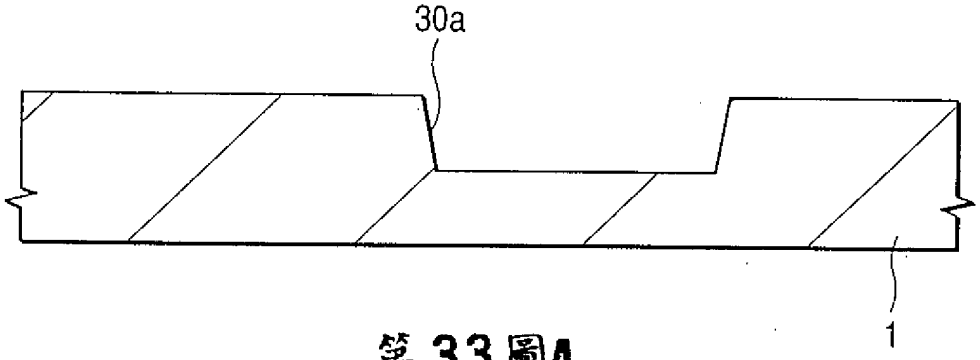



第31圖

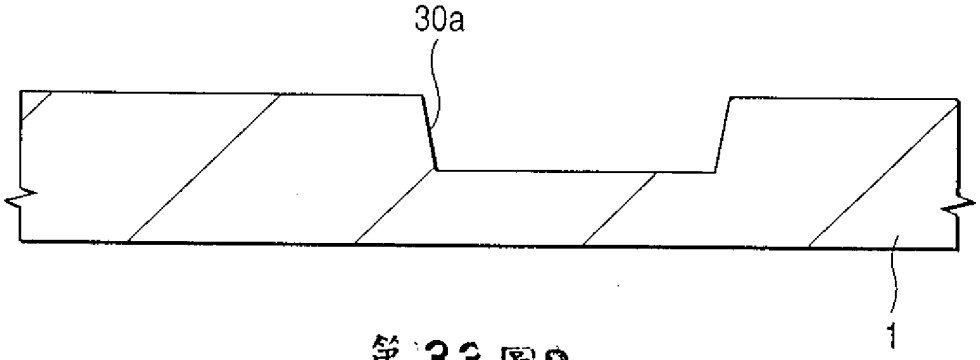



第32圖

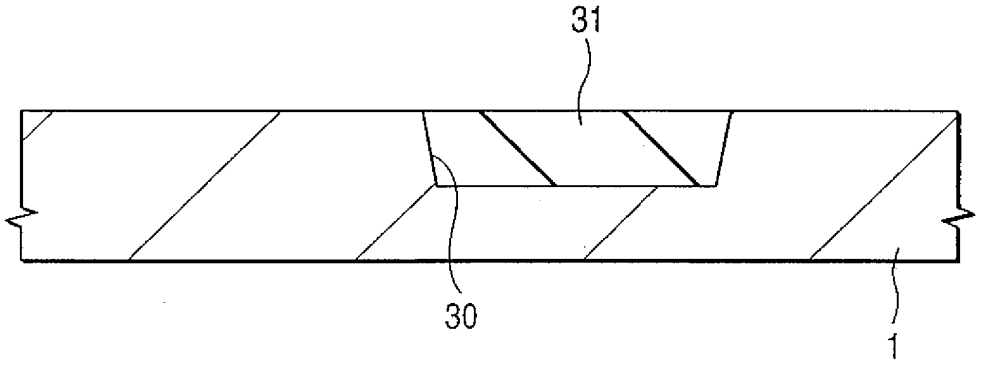
441092



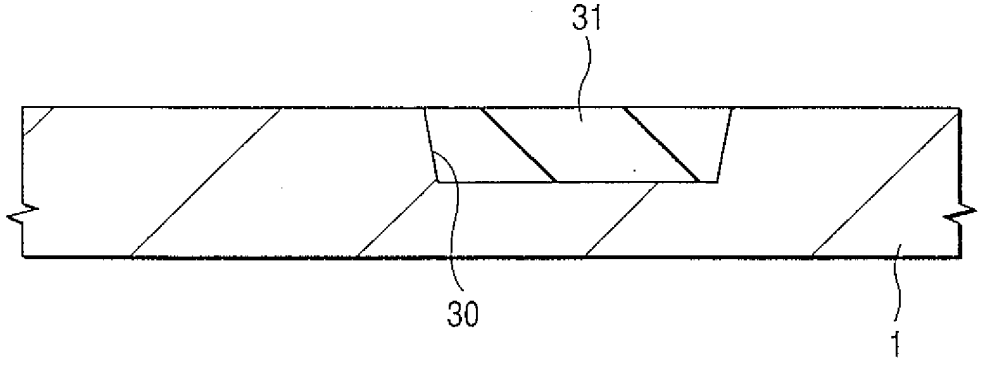

第33圖A



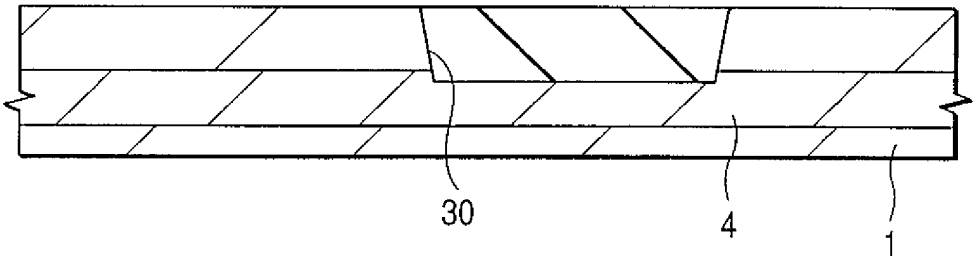

第33圖B



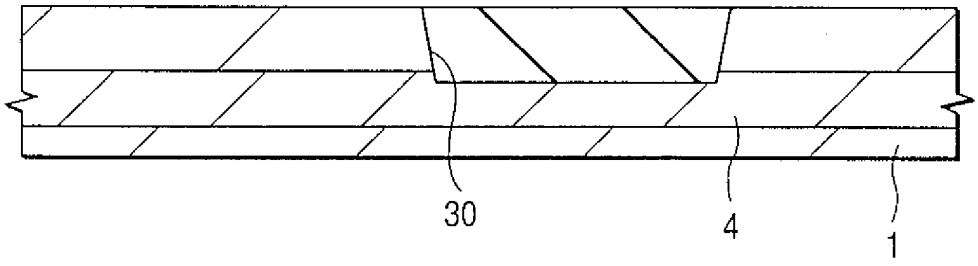

第34圖A



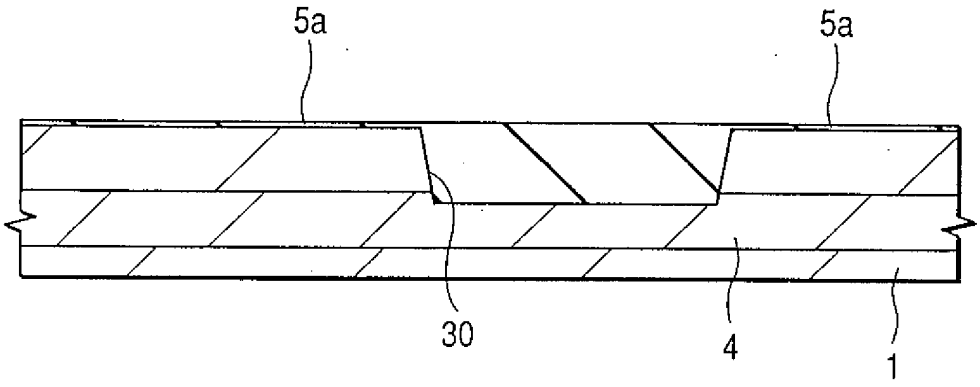

第34圖B



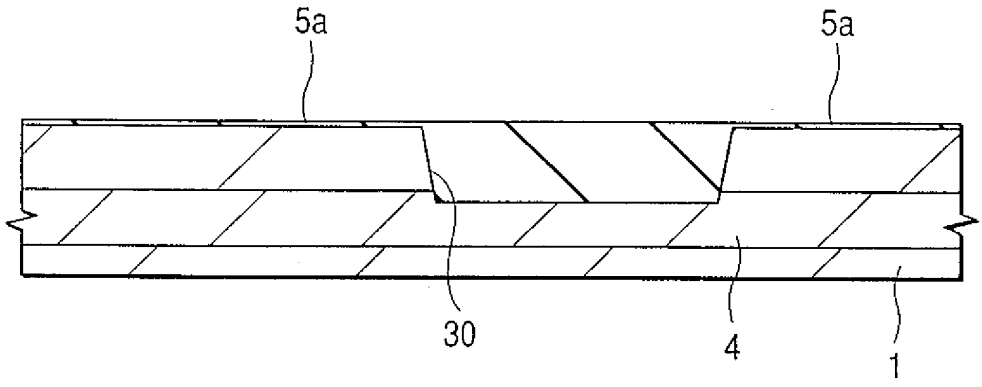

第35圖A



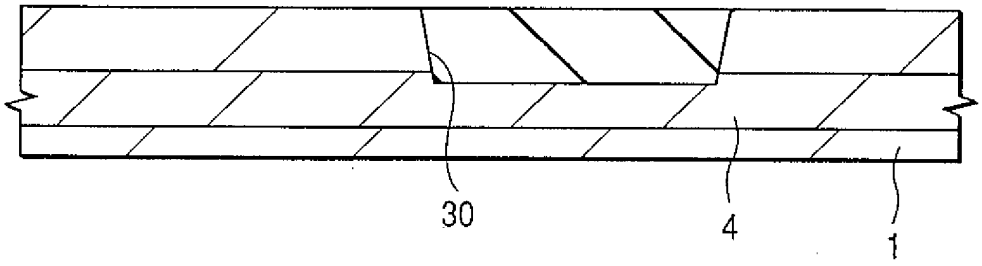

第35圖B



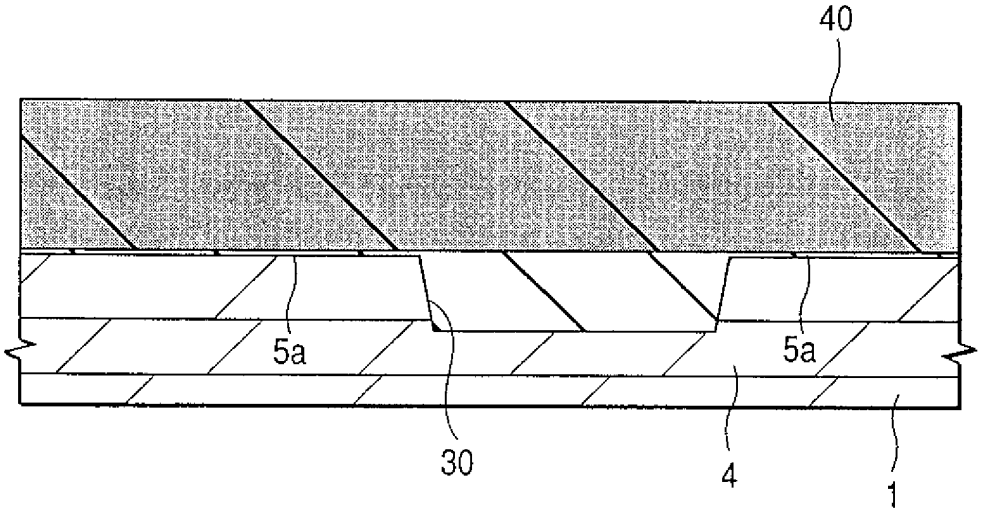

第36圖A



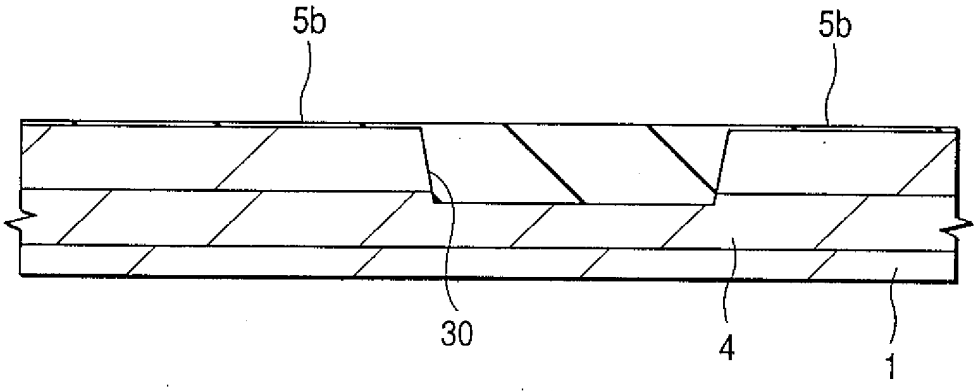

第36圖B



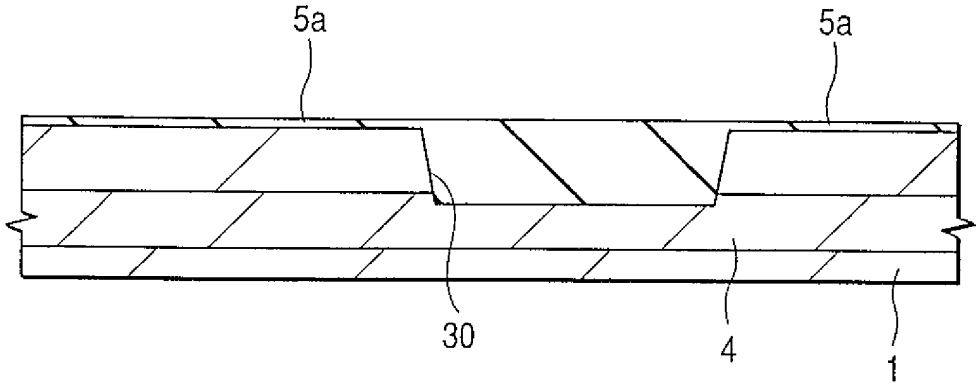

第37圖A



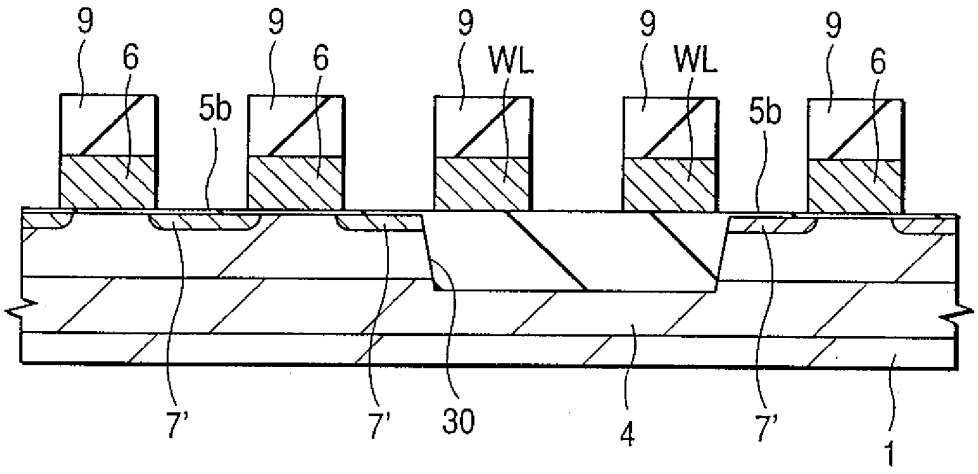

第37圖B



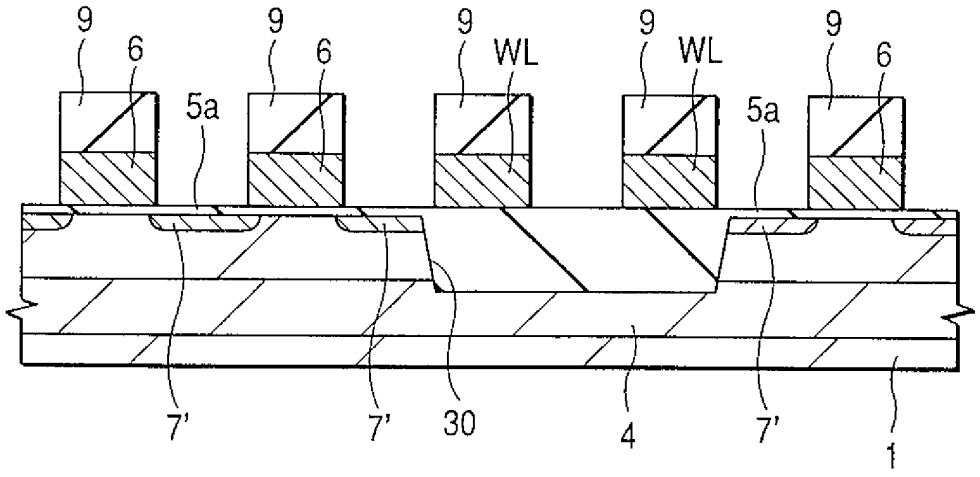

第38圖A



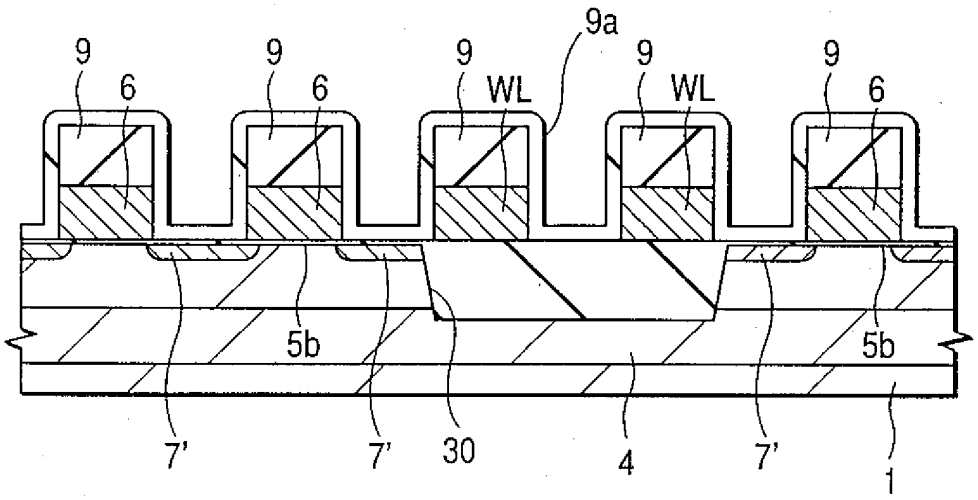

第38圖B



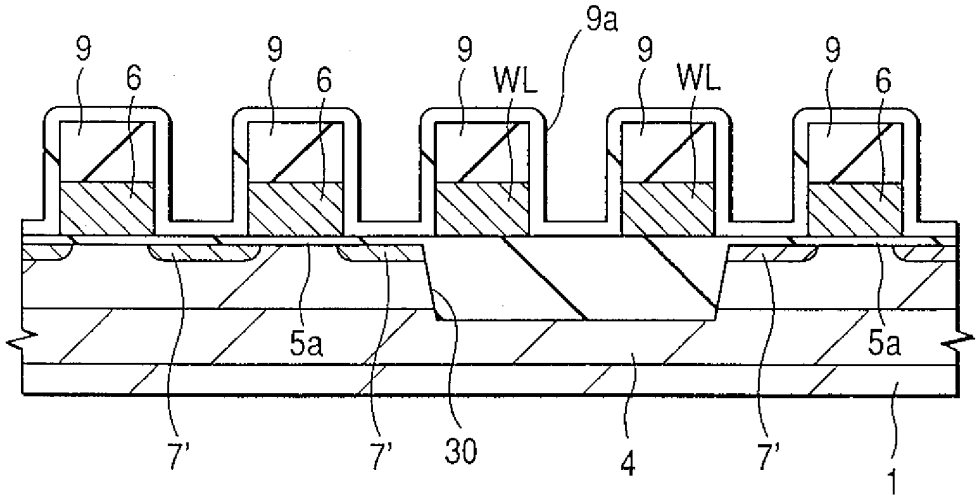

第39圖A



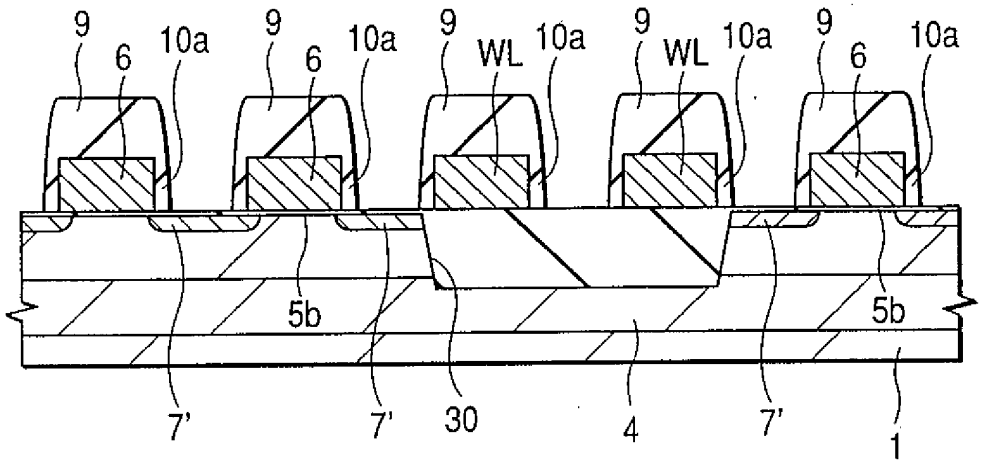

第39圖B


9
6
9
6
9
WL
9a
9
WL
9
6
5b
5b
7'
7'
30
4
7'
1

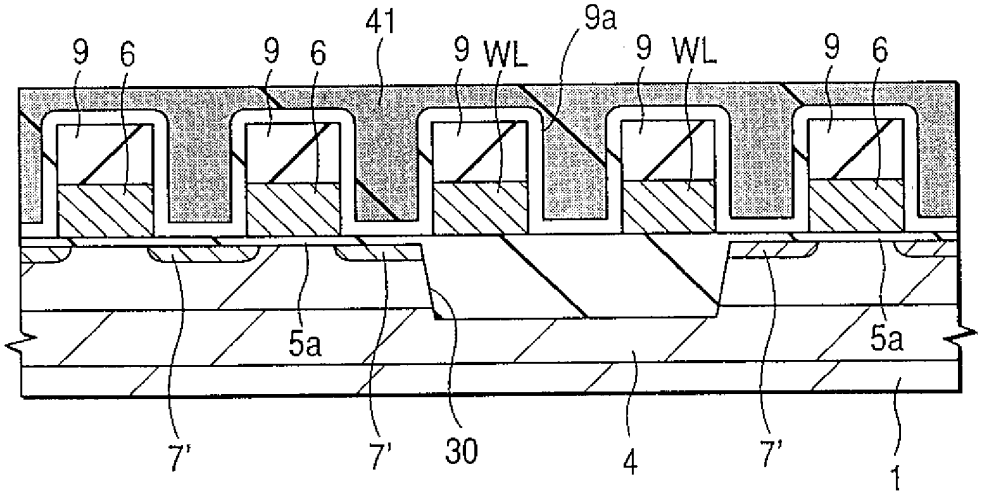
第40圖A


9
6
9
6
9
WL
9a
9
WL
9
6
5a
5a
7'
7'
30
4
7'
1

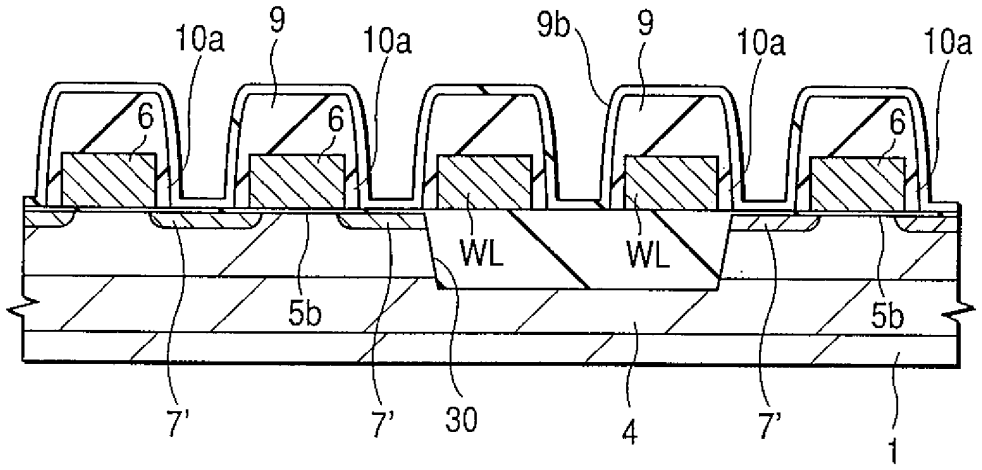
第40圖B


9
6
10a
9
6
10a
9
WL
10a
9
WL
10a
9
6
10a
5b
5b
7'
7'
30
4
7'
1

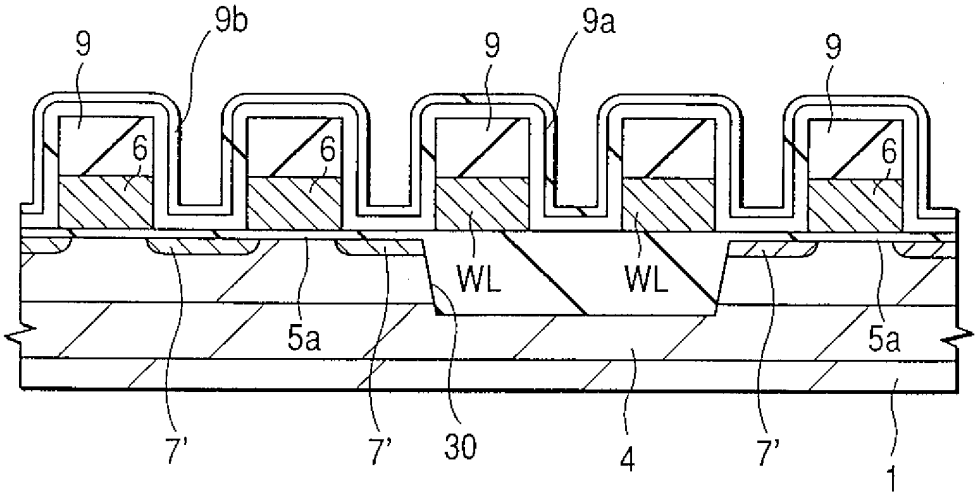
第41圖A


9
6
9
6
41
9
WL
9a
9
WL
9
6
5a
5a
7'
7'
30
4
7'
1

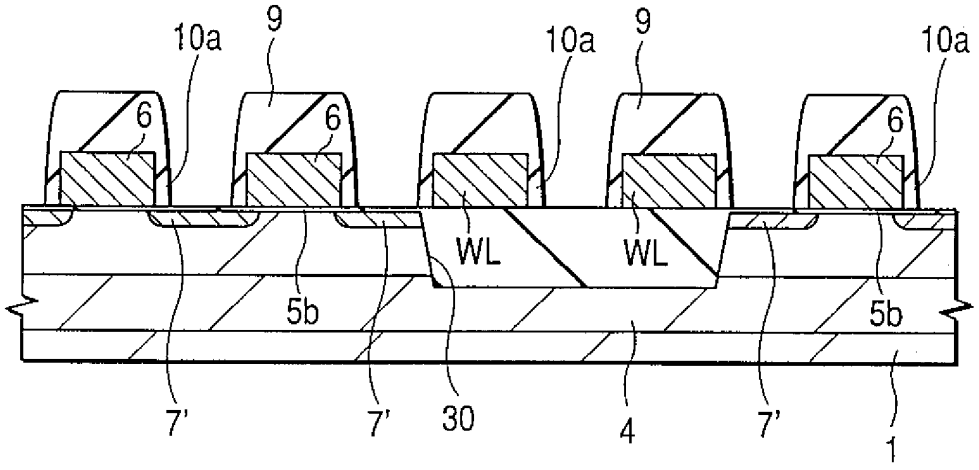
第41圖B


10a
9
10a
9b
9
10a
10a
6
6
6
WL
WL
5b
5b
7'
7'
30
4
7'
1

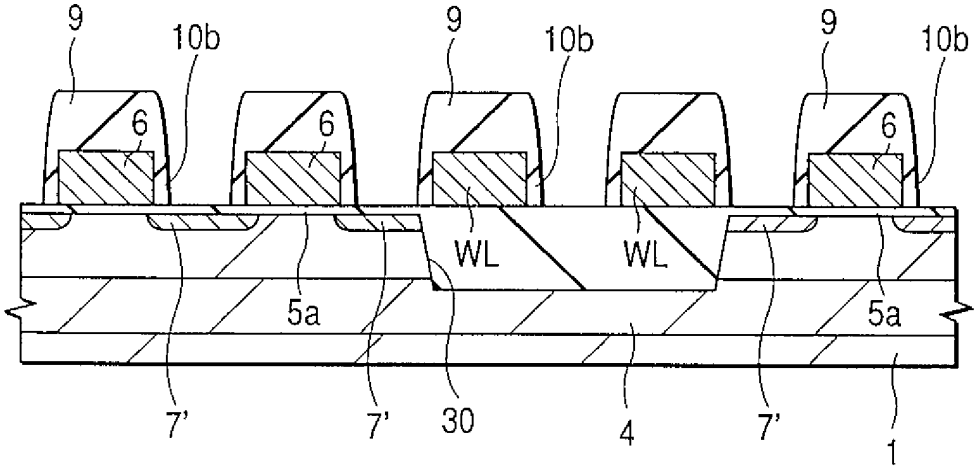
第42圖A


9
9b
9
9a
9
6
6
6
WL
WL
5a
5a
7'
7'
30
4
7'
1

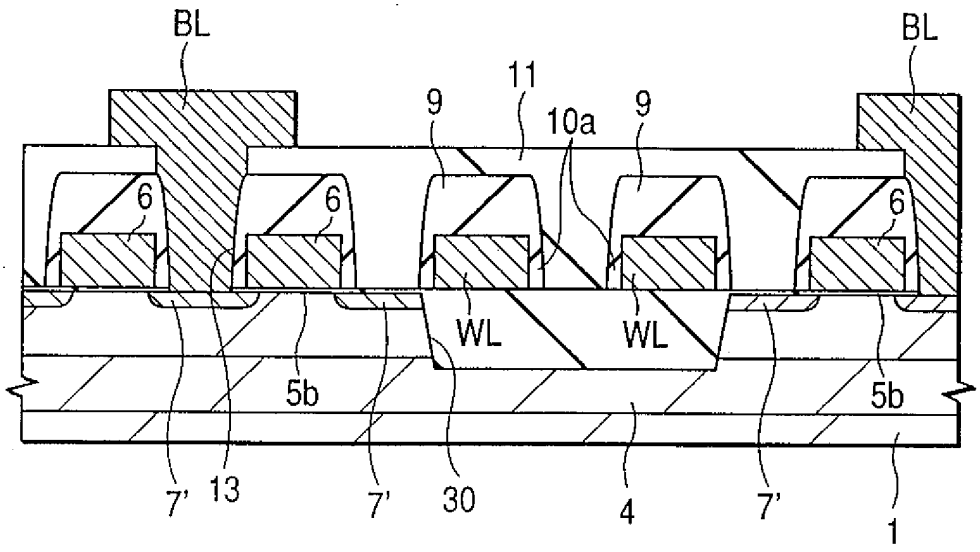
第42圖B


10a
9
10a
9
10a
6
6
6
6
WL
WL
5b
5b
7'
7'
30
4
7'
1

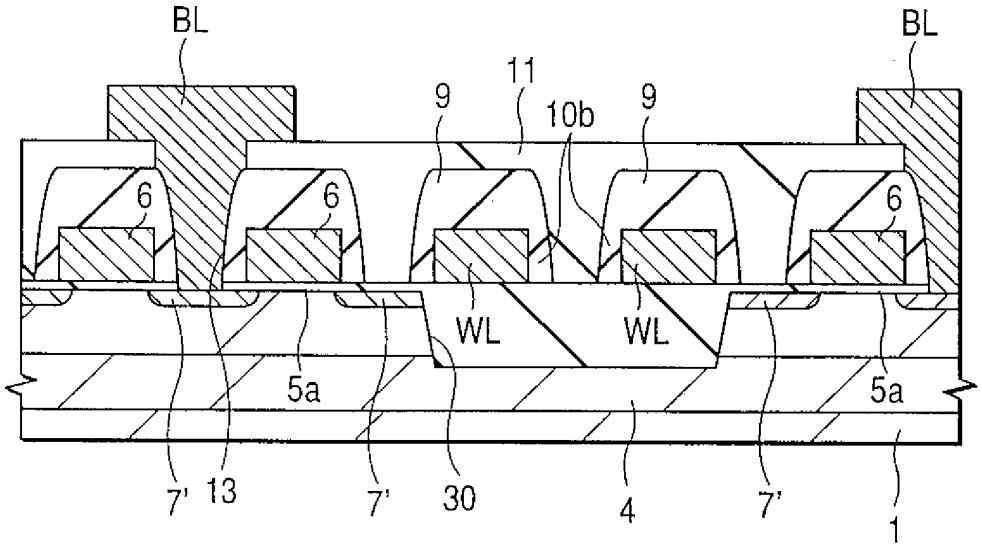
第43圖A


9
10b
9
10b
9
10b
6
6
6
6
WL
WL
5a
5a
7'
7'
30
4
7'
1

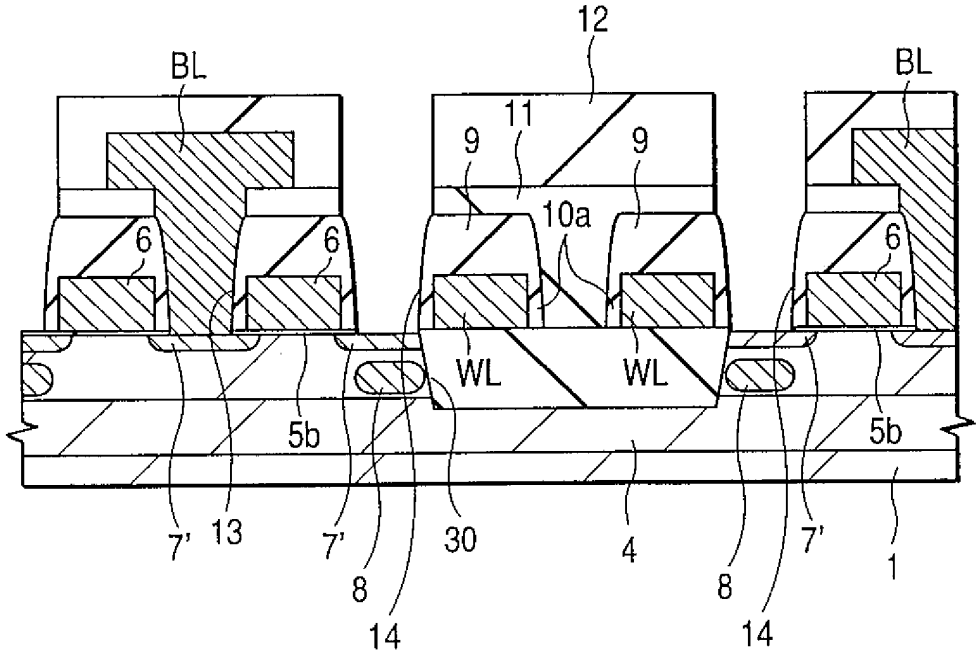
第43圖B


BL
BL
11
9
10a
9
6
6
6
WL
WL
5b
5b
7'
13
7'
30
4
7'
1

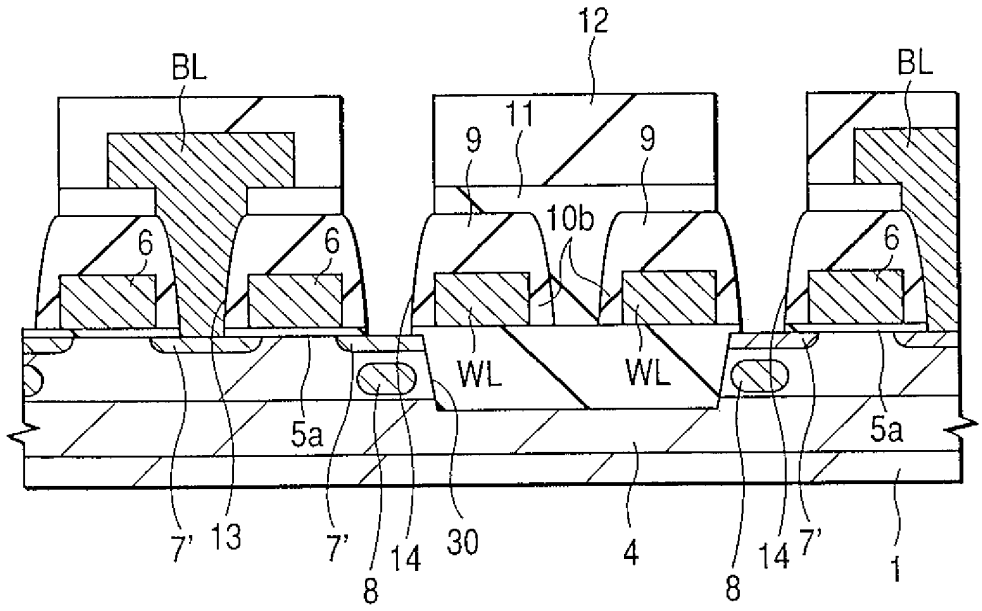
第44圖A


BL
BL
11
9
10b
9
6
6
6
WL
WL
5a
5a
7'
13
7'
30
4
7'
1

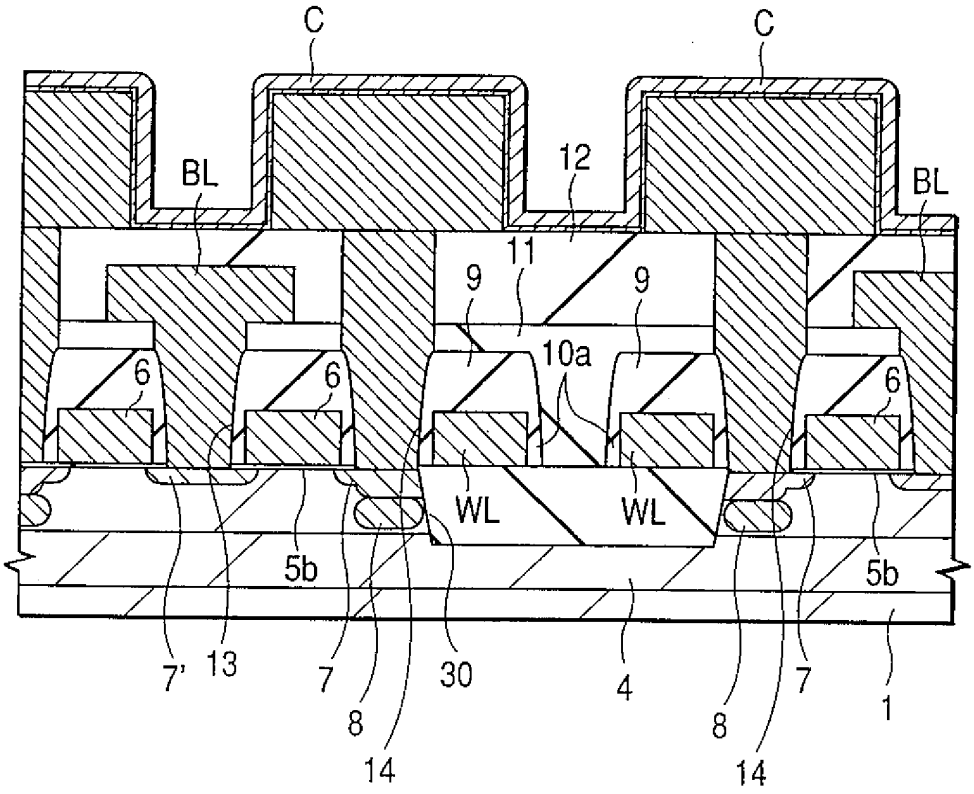
第44圖B


12
BL
BL
11
9
9
10a
6
6
6
WL
WL
5b
5b
7'
13
7'
8
14
30
4
8
14
7'
1

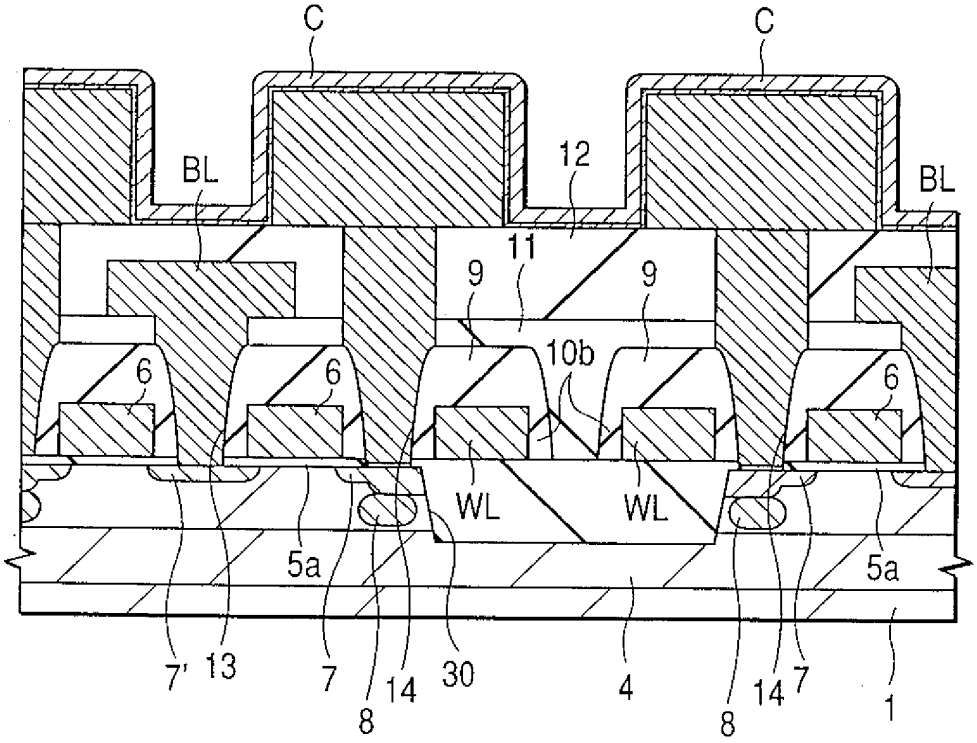
第45圖A


12
BL
BL
11
9
9
10b
6
6
6
WL
WL
5a
5a
7'
13
7'
8
14
30
4
8
14
7'
1

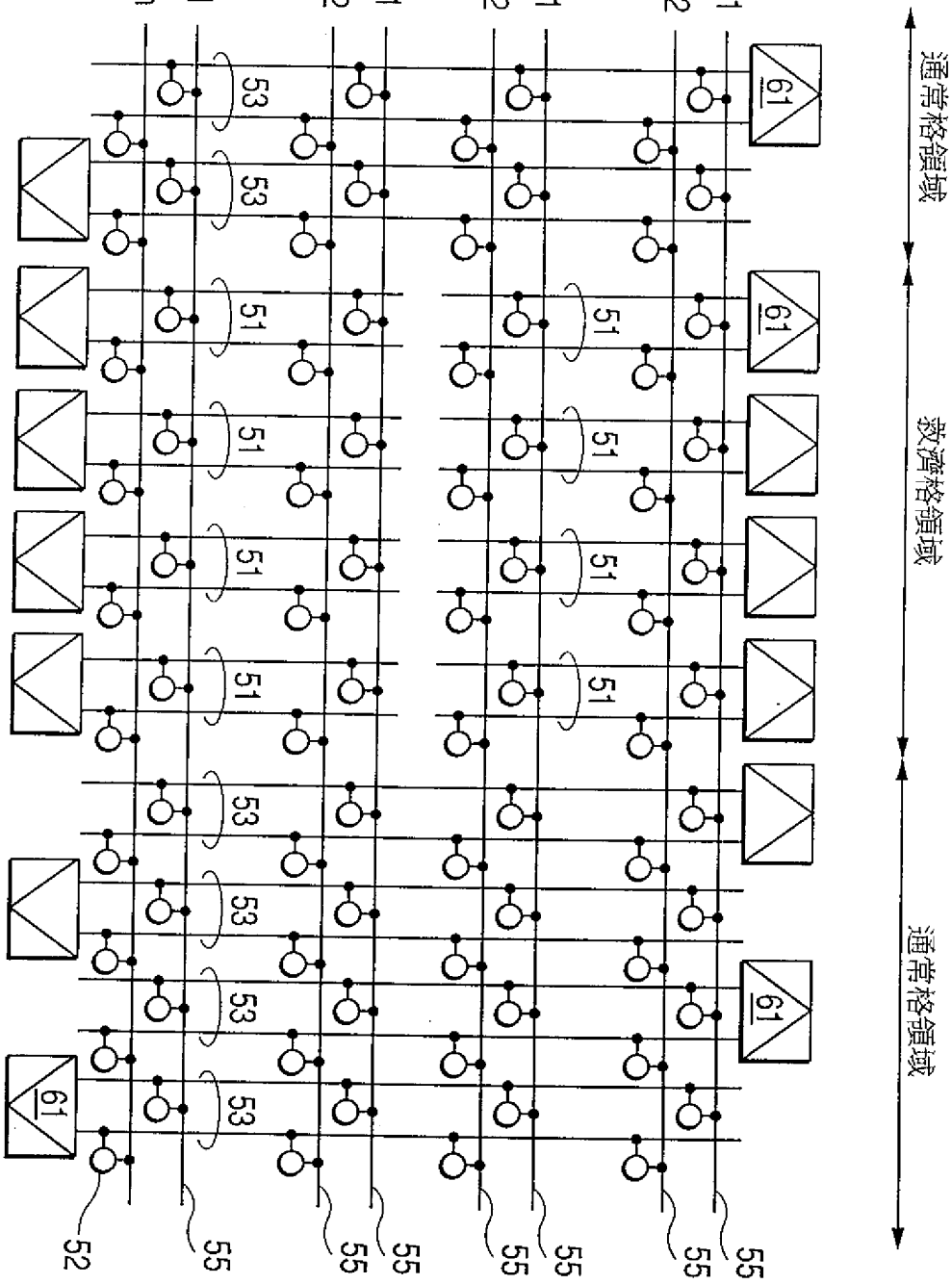
第45圖B


C
C
BL
12
BL
11
9
9
10a
6
6
6
WL
WL
5b
5b
7'
13
7
8
14
30
4
8
14
7
1

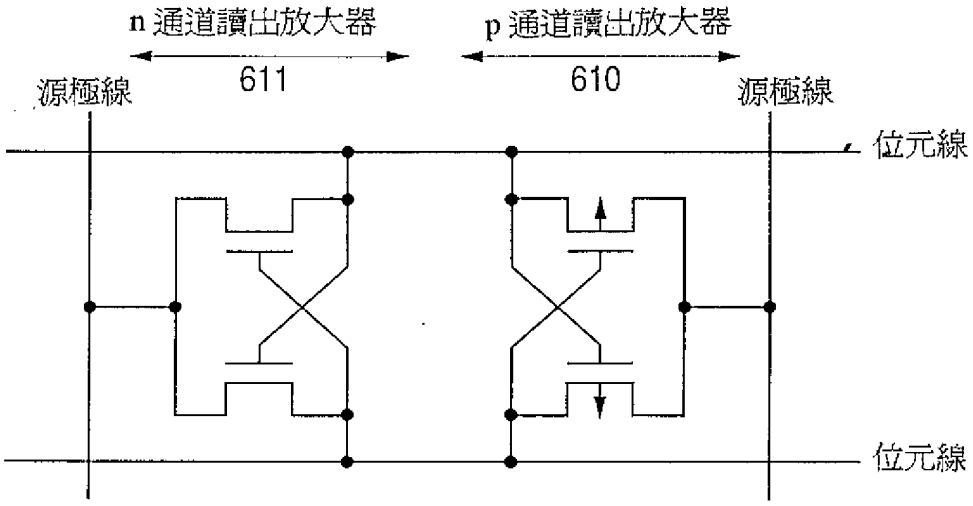
第46圖A


C
C
BL
12
BL
11
9
9
10b
6
6
6
WL
WL
5a
5a
7'
13
7
8
14
30
4
8
14
7
1

第46圖B

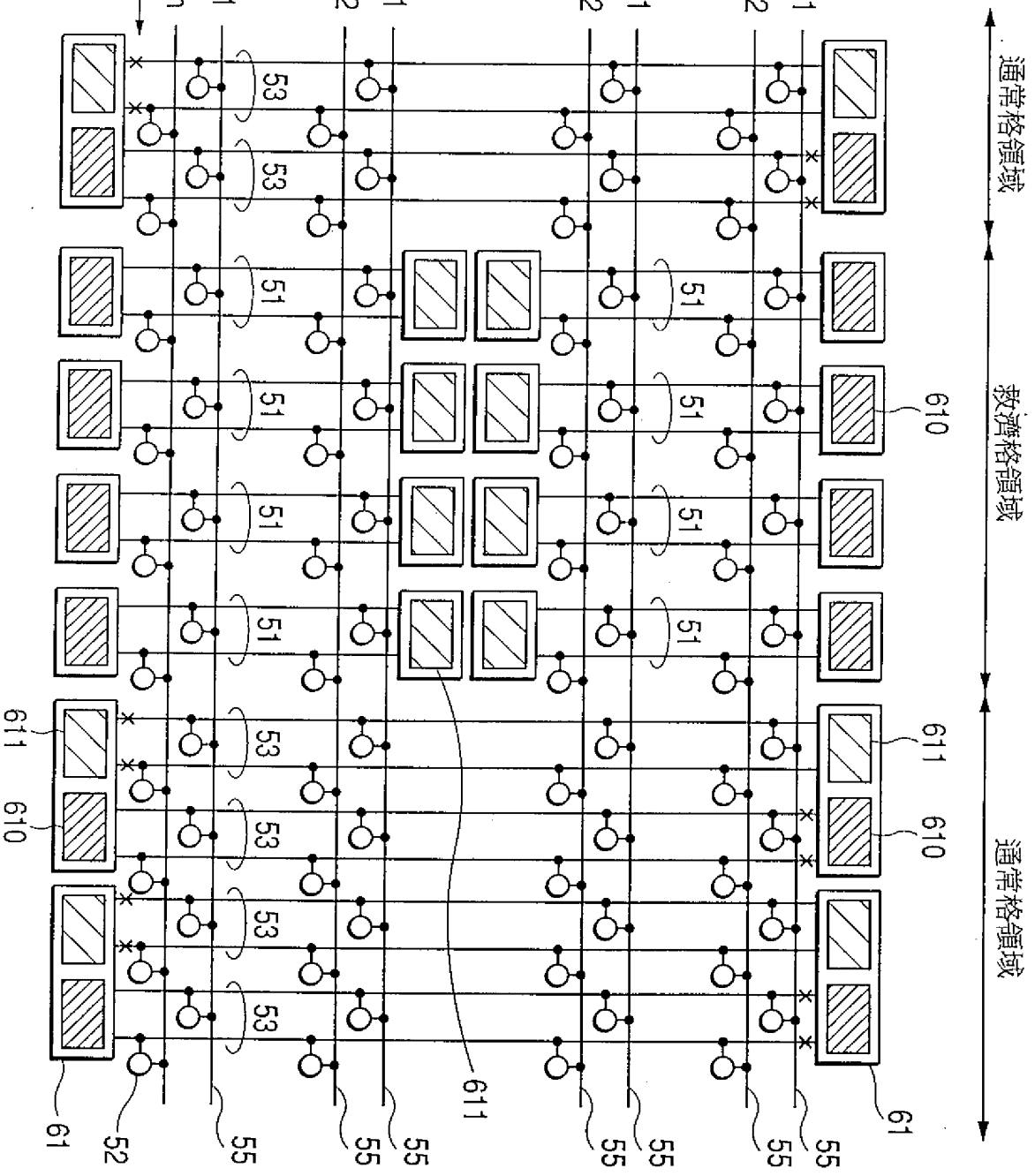

通常格領域
救濟格領域
通常格領域
WL1
WL2
WLn/2-1
WLn/2
WLn/2+1
WLn/2+2
WLn-1
WLn
61
51
53
55
52

第47圖

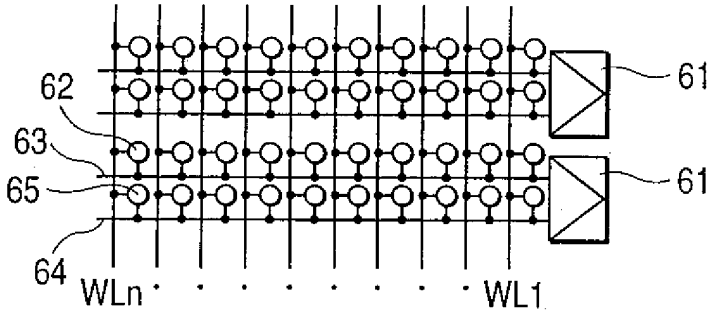



第48圖

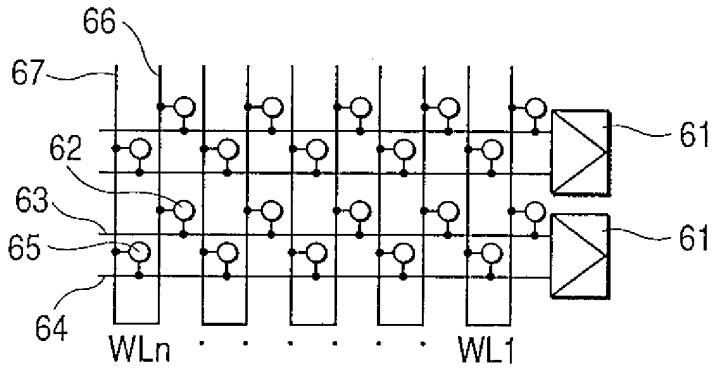
441092


通常格領域
救濟格領域
通常格領域
WL1
WL2
WLn/2
WLn/2-1
WLn/2+1
WLn/2+2
WLn-1
WLn
51
53
55
610
611
61
52

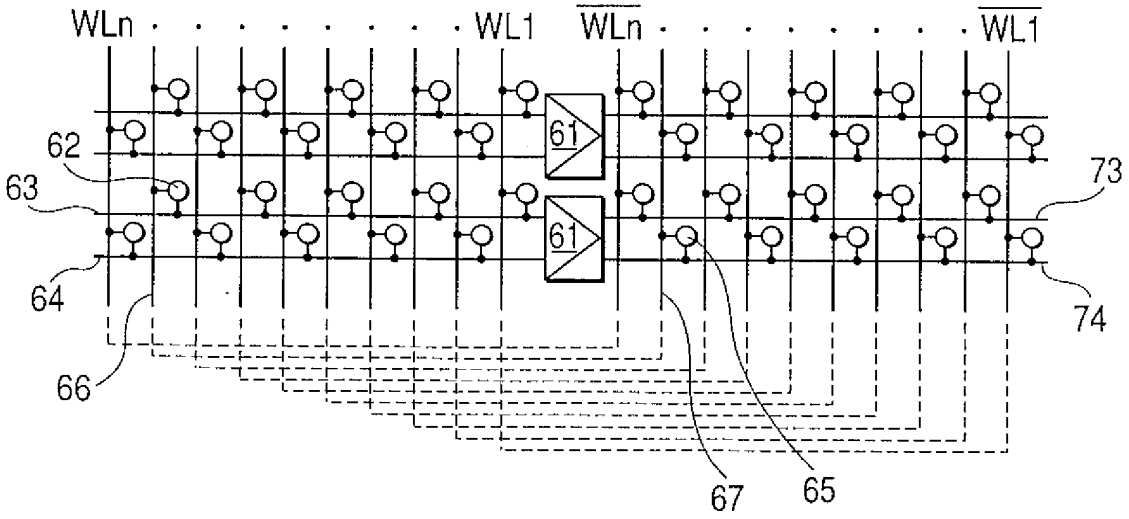
第49圖



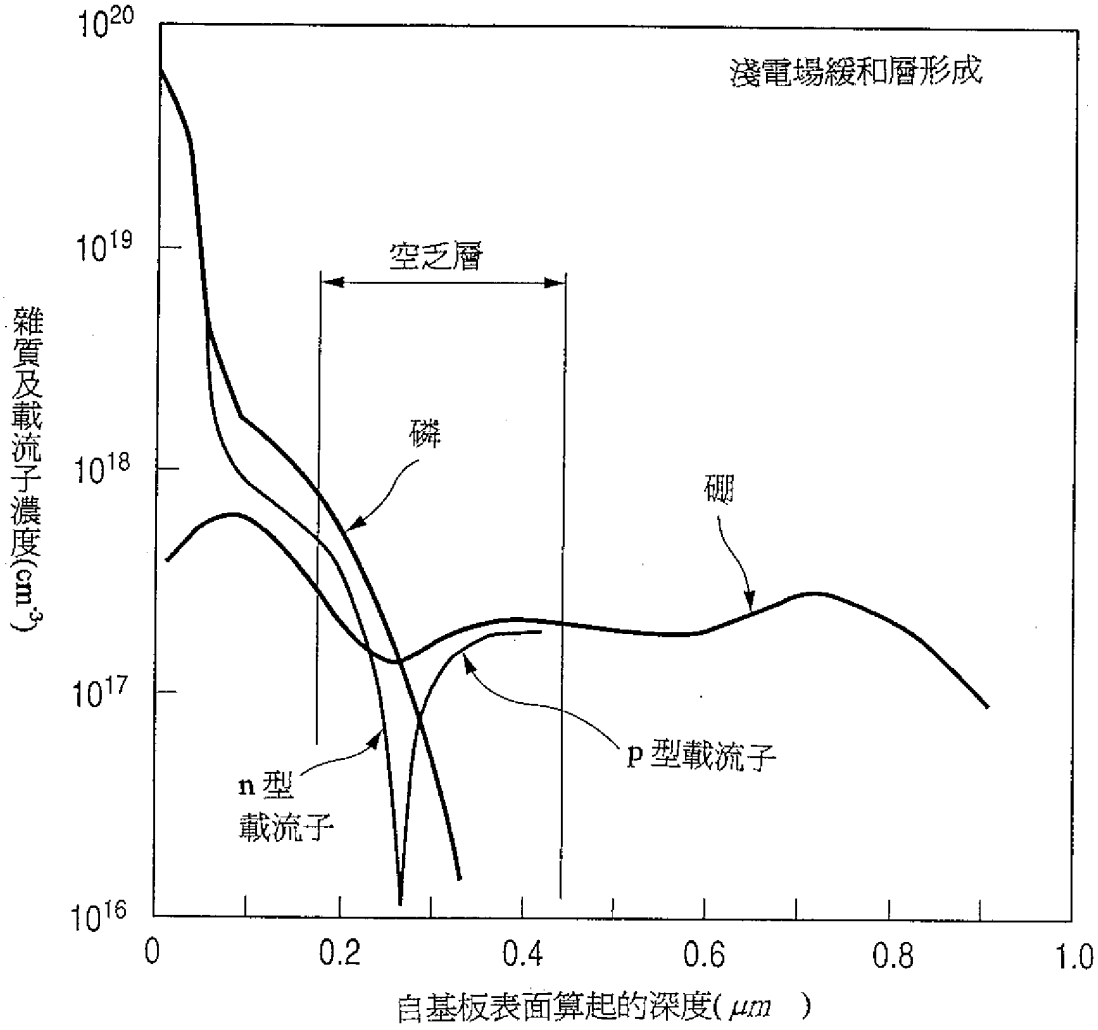

第50圖



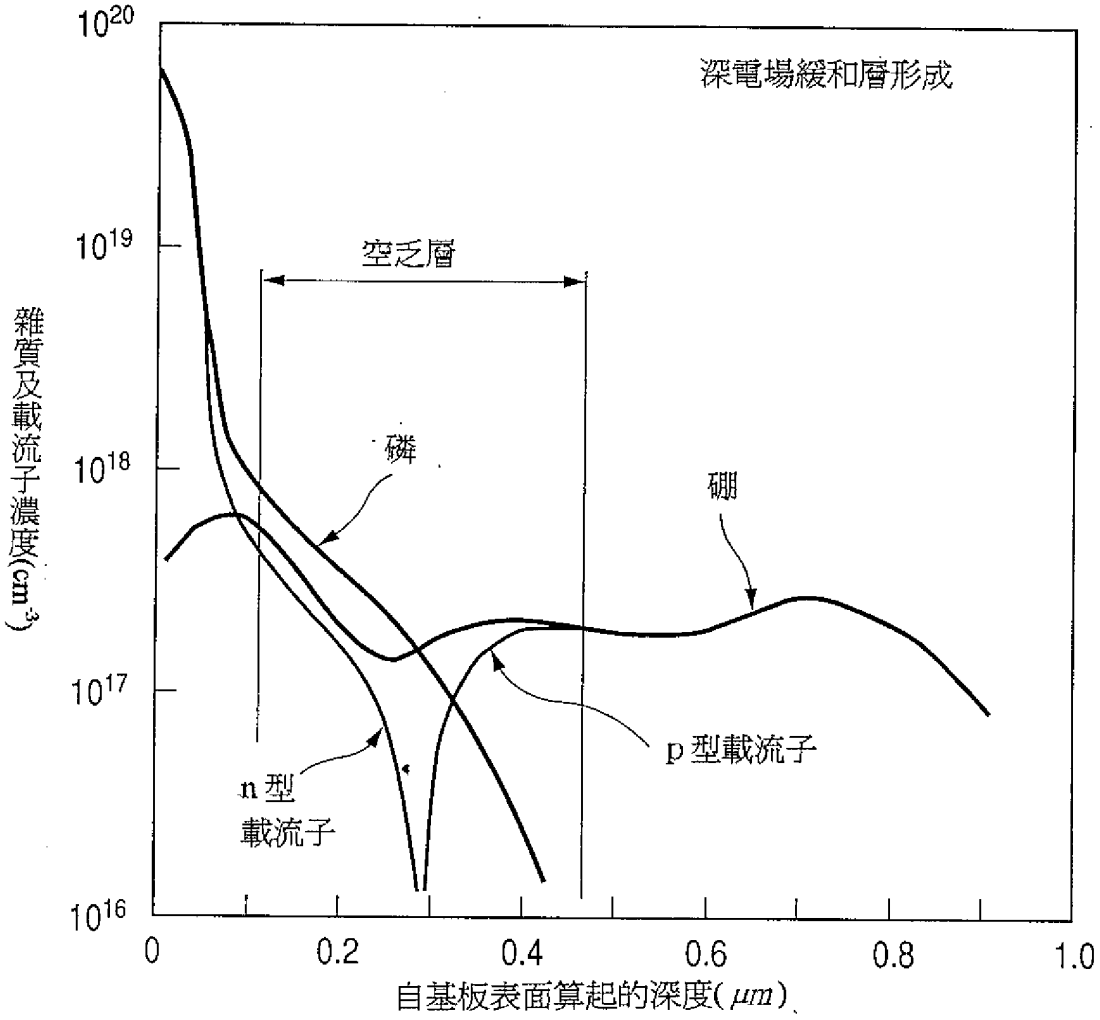

第51圖




第52圖


淺電場緩和層形成
空乏層
磷
硼
n型
載流子
p型載流子
雜質及載流子濃度($cm^{-3}$)
$10^{20}$
$10^{19}$
$10^{18}$
$10^{17}$
$10^{16}$
0
0.2
0.4
0.6
0.8
1.0
自基板表面算起的深度($\mu m$)

第53圖


深電場緩和層形成
空乏層
磷
硼
n 型
載流子
p 型載流子
雜質及載流子濃度($cm^{-3}$)
$10^{20}$
$10^{19}$
$10^{18}$
$10^{17}$
$10^{16}$
0
0.2
0.4
0.6
0.8
1.0
自基板表面算起的深度($\mu m$)

**第54圖**

## 六、申請專利範圍

第87114729號專利申請案

中文申請專利範圍修正本

民國89年6月修正

1．一種半導體積體電路裝置，係屬於一種具有於記憶體陣列中形成有複數的記憶格與複數的救濟格的DRAM之半導體積體電路裝置，其特徵爲：

使形成有上述救濟格之領域的元件分離寬度比形成有上述記憶格之領域的元件分離寬度還要大。

2．如申請專利範圍第1項之半導體積體電路裝置，其中使形成有上述救濟格之領域的元件分離領域下部之半導體基板的雜質濃度比形成有上述記憶格之領域的元件分離領域下部之半導體基板的雜質濃度還要低。

3．如申請專利範圍第1或2項之半導體積體電路裝置，其中使連接於上述救濟格之位元線的間隔比連接於上述記憶格之位元線的間隔還要大。

4．如申請專利範圍第1或2項之半導體積體電路裝置，其中上述救濟格與上述記憶格，係分別由記憶格選擇用MISFET與直列連接於該記憶格選擇用MISFET的資訊儲存用電容元件所構成，並且使上述救濟格之資訊儲存用電容元件的下部電極之占有面積比上述記憶格之資訊儲存用電容元件的下部電極之占有面積還要大。

5．如申請專利範圍第1或2項之半導體積體電路裝置，其中上述救濟格與上述記憶格，係分別由記憶格選擇

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製