

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年3月30日(30.03.2017)



(10) 国際公開番号

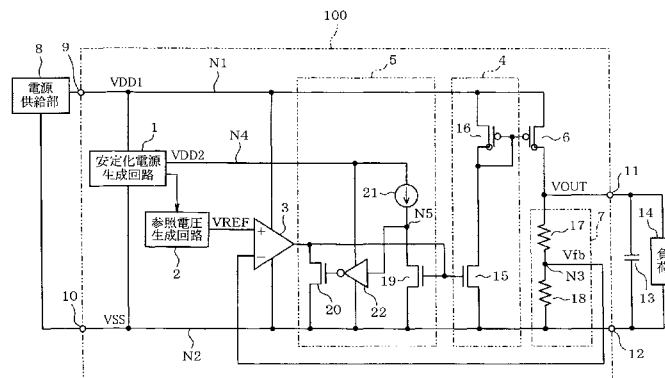
WO 2017/051744 A1

- (51) 国際特許分類:
G05F 1/56 (2006.01)
- (21) 国際出願番号: PCT/JP2016/076875
- (22) 国際出願日: 2016年9月13日(13.09.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-188159 2015年9月25日(25.09.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 藤本 悠(FUJIMOTO Yuu); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 甲斐 芳英(KAI Yoshihide); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(JIN Shunji); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: REGULATOR CIRCUIT PROVIDED WITH PROTECTION CIRCUIT

(54) 発明の名称: 保護回路付きのレギュレータ回路

[図1]



- 1 Stabilized-power-supply generating circuit
2 Reference-voltage generating circuit
8 Power supply unit
14 Load

(57) Abstract: According to the present invention, a buffer stage (4, 804) comprises: a first transistor (15) that has a control terminal that is connected to an output terminal of an op-amp (3); and a second transistor (16) that is connected in series to a main conduction path of the first transistor. When the current flowing in a main conduction path of an output transistor (6) as detected using an overcurrent detection transistor (19) is below a prescribed value, an overcurrent control circuit (5, 205, 305, 405, 505, 605, 705, 805) passes the output voltage of the op-amp through the control terminal of the first transistor so as to make the first transistor operate normally. When the current flowing in the main conduction path of the output transistor is at or above the prescribed value, the overcurrent control circuit controls the output voltage of the op-amp to a prescribed voltage that corresponds to the current flowing in a main conduction path of the overcurrent detection transistor. A regulator circuit is thereby protected from overcurrent.

(57) 要約:

[続葉有]

WO 2017/051744 A1



バッファ段（４、８０４）は、オペアンプ（３）の出力端子に制御端子を接続して構成された第１トランジスタ（１５）、および、第１トランジスタの主通電経路に直列接続された第２トランジスタ（１６）を備える。過電流制御回路（５、２０５、３０５、４０５、５０５、６０５、７０５、８０５）は、過電流検出用トランジスタ（１９）を用いて検出される出力トランジスタ（６）の主通電経路の通電電流が所定値未満のときには、オペアンプの出力電圧を第１トランジスタの制御端子に通電して第１トランジスタを通常動作させ、出力トランジスタの主通電経路の通電電流が所定値以上のときには、オペアンプの出力電圧を、過電流検出用トランジスタの主通電経路に流れる電流に応じた所定の電圧に制御する。これにより、レギュレータ回路を過電流から保護できる。

明 細 書

発明の名称：保護回路付きのレギュレータ回路

関連出願の相互参照

- [0001] 本出願は、2015年9月25日に出願された日本出願番号2015-188159号に基づくもので、ここにその記載内容を援用する。

技術分野

- [0002] 本開示は、保護回路付きのレギュレータ回路に関するものである。

背景技術

- [0003] 例えばレギュレータ回路はオペアンプを用いて安定した降圧電源電圧を出力端子から供給するように構成されている（例えば、特許文献1参照）。特許文献1記載の技術によれば、オペアンプは、参照電圧生成回路による参照電圧と出力端子の出力電圧をフィードバックするフィードバック電圧とを比較し、出力トランジスタの制御端子を駆動することで出力端子から降圧電源電圧を出力する。電源ラインに過電流が流れると、素子破壊したり配線が溶断したりするため、保護回路が設けられることがある。特許文献1記載の保護回路は、センス電流をカレントミラー回路で折り返して基準電流と比較することに基づいて回路を過電流から保護している。

先行技術文献

特許文献

- [0004] 特許文献1：米国特許公開2010/0090665号明細書

発明の概要

- [0005] 発明者らは、オペアンプと出力トランジスタとの間にバッファ段を設けると共に出力端子の出力電圧をオペアンプにフィードバックして構成することを考慮しながら、さらに電源電圧が通常より高くなる場合であっても、過電流制御回路に高耐圧素子の使用を避けながら高電圧から耐えうるレギュレータ回路の開発を試みており、また極力小面積で過電流制限するレギュレータ回路を提供することを目指している。また例えば、PLC（Power Line Comm

unication) を行う場合には電源線に信号が重畳することで電源電圧が変動するが、このような場合でも過電流制限できるようにすることを目指している。

[0006] 本開示は、過電流制限を適切に実行できるようにした保護回路付きのレギュレータ回路を提供することを目的とする。

[0007] 本開示の一態様によれば、レギュレータ回路は、電源供給部から第1電源ラインに電源電圧の供給を受け、参照電圧に応じて出力端子から定電圧を出力し、参照電圧生成回路と、オペアンプと、バッファ段と、出力トランジスタと、過電流制御回路と、を備える。

[0008] 参照電圧生成回路は、参照電圧を生成する。オペアンプは、参照電圧と出力端子の出力電圧に応じてフィードバックされるフィードバック電圧とを比較して出力電圧を出力する。バッファ段は、オペアンプの出力端子に制御端子を接続して構成された第1トランジスタ、および、第1トランジスタの主通電経路に直列接続された第2トランジスタを備えて構成される。出力トランジスタは、バッファ段の後段に接続されると共に、第2トランジスタにカレントミラー接続され、第1電源ラインからレギュレータ回路の出力端子に主通電経路を備える。

[0009] また、過電流制御回路は、主通電経路を有する過電流検出用トランジスタを備える。過電流制御回路は、過電流検出用トランジスタを用いて検出される出力トランジスタの主通電経路の通電電流が所定値未満のときにはオペアンプの出力電圧を第1トランジスタの制御端子に通電して第1トランジスタを通常動作させる。過電流制御回路は、出力トランジスタの主通電経路の通電電流が所定値以上のときには、オペアンプの出力電圧を、過電流検出用トランジスタの主通電経路に流れる電流に応じた所定の電圧に制御する。

[0010] オペアンプの出力電圧を所定の電圧に制御することで、レギュレータ回路を過電流から適切に保護でき、過電流制限を適切に実行できるようになる。

図面の簡単な説明

[0011] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図

面を参照しながら下記の詳細な記述により、より明確になる。図面において、

[図1]第1実施形態におけるレギュレータ回路を概略的に示す電氣的構成図であり、

[図2]起動時における各部の電圧を概略的に示すタイミングチャートであり、

[図3]第1実施形態の第1変形例におけるレギュレータ回路を概略的に示す電氣的構成図であり、

[図4]第1実施形態の第2変形例におけるレギュレータ回路を概略的に示す電氣的構成図であり、

[図5]第2実施形態におけるレギュレータ回路を概略的に示す電氣的構成図であり、

[図6]第2実施形態の変形例におけるレギュレータ回路を概略的に示す電氣的構成図であり、

[図7]第3実施形態におけるレギュレータ回路を概略的に示す電氣的構成図であり、

[図8]起動時における各部の電圧を概略的に示すタイミングチャートであり、

[図9]第3実施形態の変形例におけるレギュレータ回路を概略的に示す電氣的構成図であり、

[図10]第4実施形態におけるレギュレータ回路を概略的に示す電氣的構成図であり、

[図11]第4実施形態の変形例におけるレギュレータ回路を概略的に示す電氣的構成図である。

発明を実施するための形態

[0012] 以下、保護回路付きのレギュレータ回路の幾つかの実施形態について図面を参照しながら説明する。各実施形態間で同一の構成については、その前の実施形態に付した符号と同一の符号を付し後の実施形態では必要に応じて説明を省略する。

[0013] (第1実施形態)

図 1 及び図 2 は第 1 実施形態の説明図を示す。図 1 に示すように、保護回路付きのレギュレータ回路 100 は、安定化電源生成回路 1、参照電圧生成回路 2、オペアンプ 3、バッファ段 4、過電流制御回路 5、出力トランジスタとしての P チャネル型の MOS トランジスタ（以下 PMOS トランジスタ） 6、及び、フィードバック回路 7、を接続して構成される。

[0014] このレギュレータ回路 100 は、電源供給部 8 から電源端子 9 の第 1 電源ライン（または第 1 電源ノード）N1 に電源電圧 VDD1 の供給を受けて動作するものであり、電源電圧 VDD1（例えば 20 [V]）に応じて出力端子 11 から定電圧を出力する。この電源電圧 VDD1 は基準電位 VSS（= 0）を基準とした電圧を示す。なお、以下では断らない限り、他の電圧（例えば VDD2、VREF 等）においても基準電位 VSS を基準とした電圧を示す。

[0015] 出力端子 11 とグランド線 N2 の出力端子 12 との間には、バイパスコンデンサ 13 が接続されている。このバイパスコンデンサ 13 の両端には負荷 14 が接続されており、これにより直流電圧を負荷 14 に供給可能になっている。

[0016] 安定化電源生成回路 1 は、例えばバンドギャップリファレンス（BGR）回路により構成され、電源供給部 8 から電源ライン N1 に供給される電源電圧 VDD1 を降圧して電源電圧 VDD2（例えば 3 [V] ~ 3.5 [V]）を生成し、この生成電圧を第 2 電源ライン N4 に供給出力する。この第 2 電源ライン N4 に供給される電源は、過電流制御回路 5 の動作電源として用いられる。参照電圧生成回路 2 は、電源電圧 VDD2 を用いて基準用の参照電圧 VREF（< VDD2）を生成し、オペアンプ 3 の非反転入力端子に出力する。なお、参照電圧生成回路 2 は電源電圧 VDD1 を用いて基準用の参照電圧 VREF（< VDD2）を生成するようにしても良い。

[0017] オペアンプ 3 は、電源供給部 8 により供給される第 1 電源電圧 VDD1 を用いて動作し、参照電圧生成回路 2 により生成される参照電圧 VREF と、フィードバック回路 7 によりフィードバックされるフィードバック電圧 Vfb

とを比較し、出力端子 11 から比較結果を出力する。オペアンプ 3 は、フィードバック電圧 V_{fb} を参照電圧 V_{REF} に一致させるように出力端子 11 に信号出力する。

[0018] オペアンプ 3 の出力端子は、バッファ段 4 に接続されている。バッファ段 4 は、オペアンプ 3 の出力端子にゲート（制御端子相当）を接続して構成された N チャネル型の MOS トランジスタ（以下 NMOS トランジスタと称す：第 1 トランジスタ相当）15 と、NMOS トランジスタ 15 のドレインソース間（主通電経路相当）に直列接続された P チャネル型の MOS トランジスタ（以下、PMOS トランジスタと称す：第 2 トランジスタ相当）16 と、を備える。

[0019] オペアンプ 3 の出力端子は、NMOS トランジスタ 15 のゲートに接続されており、オペアンプ 3 の出力の制御信号に応じて電流が NMOS トランジスタ 15 のドレインソース間に通電される。第 1 電源ライン N1 とグランド線 N2 との間には、PMOS トランジスタ 16 のソースドレイン間、NMOS トランジスタ 15 のドレインソース間が直列接続されており、PMOS トランジスタ 16 のゲートとドレインとの間は共通接続されている。

[0020] PMOS トランジスタ 16 には PMOS トランジスタ 6 がカレントミラー接続されている。バッファ段 4 の PMOS トランジスタ 16 と PMOS トランジスタ 6 とは、そのゲート（制御端子相当）が共通接続されている。PMOS トランジスタ 6 は、そのドレインソース間（主通電経路相当）が第 1 電源ライン N1 と出力端子 11 との間に接続されている。

[0021] これらの PMOS トランジスタ 16、6 は他のトランジスタ（例えば NMOS トランジスタ 15）とその構造が異なっている。PMOS トランジスタ 16、6 が、他の MOS トランジスタと異なるところは酸化膜の厚さが変わらず、ゲートドレイン間距離が他のトランジスタより大きく構成されているところである。バッファ段 4 の PMOS トランジスタ 16 及び出力の PMOS トランジスタ 6 は、そのドレイン耐圧が、他のトランジスタ（例えば NMOS トランジスタ 15）のドレイン耐圧より高耐圧になっている。

[0022] レギュレータ回路 100 の出力端子 11 とグランド線 N2 との間には、フィードバック回路 7 が接続されている。フィードバック回路 7 は、例えば出力端子 11 とグランド線 N2 との間に抵抗 17、18 を直列接続して構成され、抵抗 17 及び 18 間のノード N3 の電圧をオペアンプ 3 の反転入力端子にフィードバックする。

[0023] オペアンプ 3 の出力端子には、過電流制御回路 5 が接続されている。過電流制御回路 5 は、過電流検出用トランジスタとしての N チャネル型の MOS トランジスタ（以下 NMOS トランジスタ）19 と、遮断用トランジスタとしての N チャネル型の MOS トランジスタ（以下 NMOS トランジスタ）20、通電回路としての電流源 21、及び、NOT ゲート（インバータ）22、を接続して構成される。

[0024] 安定化電源生成回路 1 の第 2 電源ライン N4 とグランド線 N2 との間には、電流源 21 と NMOS トランジスタ 19 のドレインソース間とが直列接続されている。この電流源 21 と NMOS トランジスタ 19 のドレインとの共通接続ノード N5 の信号は、NOT ゲート 22 に入力されている。NOT ゲート 22 は、安定化電源生成回路 1 の出力電源電圧 VDD2 を使用して動作し、NOT ゲート 22 の出力は NMOS トランジスタ 20 のゲートに入力されている。

[0025] NMOS トランジスタ 20 は、そのドレインソース間がオペアンプ 3 の出力とグランド線 N2 との間に接続されており、過電流制御回路 5 は、NMOS トランジスタ 20 をオン動作させることにより、オペアンプ 3 の出力をグランド線 N2 の電位 VSS（基準電位相当）に制御可能になっている。

[0026] 上記構成の作用について説明する。

[0027] <通常時>

説明の便宜上、まず電源が安定的に供給されている通常時の動作について説明する。通常時には、安定化電源生成回路 1 は、電源電圧 VDD1 により安定化電源電圧 VDD2 を生成する。このとき、電流源 21 は電源電圧 VDD2 により定電流を生成し、NOT ゲート 22 の入力容量に電流を流し充電

する。このため、NOTゲート22の入力は「H」レベルとなり、NOTゲート22は「L」を出力し、この結果、NMOSトランジスタ20はオフする。

[0028] ここで、オペアンプ3の出力は、直接バッファ段4を構成するNMOSトランジスタ15のゲートに出力される。例えば、参照電圧生成回路2が出力する参照電圧VREFがフィードバック電圧Vfbを上回るときには、オペアンプ3は高電圧をNMOSトランジスタ15のゲートに出力し、NMOSトランジスタ15はこのゲート電圧に応じてドレインソース間に電流を通電する。

[0029] NMOSトランジスタ15のドレインソース間に通電されると、PMOSトランジスタ16のドレイン電流を引くことでPMOSトランジスタ16のソースドレイン間に通電され、これに応じてPMOSトランジスタ6のソースドレイン間にも通電される。したがって、フィードバック回路7の抵抗17、18に流れる電流は増加する。

[0030] フィードバック回路7の抵抗17、18に流れる電流が増加し、出力電圧VOUTが目標電圧に達すると、フィードバック回路7のフィードバック電圧Vfbは、参照電圧生成回路2の生成参照電圧VREFに近づきオペアンプ3の出力は低下する。これにより、NMOSトランジスタ15のドレインソース間に流れる電流は低下し、これに応じて、電源電圧VDD1の第1電源ラインN1からPMOSトランジスタ6のソースドレイン間に流れる電流も低下する。負荷14の消費電流の大小に応じて、出力電圧VOUTが減少／増加し、これに応じてオペアンプ3の出力も増加／減少する。これにより、出力電圧VOUTを目標電圧に調整制御できる。

[0031] (A) 比較対象例の説明

発明者らは、例えばオペアンプ3の出力に後段出力のPMOSトランジスタ6を接続しその後段にバイパスコンデンサ13を接続した構成を採用することを考慮した。しかし、出力電流能力を大きくする場合には、出力PMOSトランジスタ6のデバイスサイズが大きくなりやすく、PMOSトランジ

スタ6のゲートが大きくなり、ゲートノードに大きな寄生容量を生じることがあると考えている。

[0032] この場合、オペアンプ3の出力ノードの入力抵抗値は、PMOSトランジスタ6のゲート抵抗（ $\sim 1\text{ M}\Omega$ ）となり大きくなるため、出力PMOSトランジスタ6のゲートノードのポール（カットオフ周波数）が低周波側に生じ、出力PMOSトランジスタ6のポールとバイパスコンデンサ13のポール（カットオフ周波数）とを分離できずに位相余裕が低下し、全体回路として安定動作できない虞があることを突き止めている。

[0033] （B）本実施形態のバッファ段の挿入効果

そこで本実施形態の構成ではバッファ段4を設けている。バッファ段4のPMOSトランジスタ16はダイオード接続されているため、このPMOSトランジスタ16の出力抵抗は当該PMOSトランジスタ16の相互コンダクタンス分の1となり低減される。このため、出力のPMOSトランジスタ6のゲートのノードのポール（カットオフ周波数）は高周波側に生じる。バイパスコンデンサ13のポール（カットオフ周波数）を低周波側に設けることで、これらの影響を容易に分離できるようになる。

[0034] また、NMOSトランジスタ15のデバイスサイズはより小さい方が望ましい。この場合、NMOSトランジスタ15のゲートの寄生容量を低減できる。このため、NMOSトランジスタ15のゲートノードのポール（カットオフ周波数）を極力高くできる。このため、十分に位相余裕を確保することができ安定動作させることができる。NMOSトランジスタ15のサイズを十分に小さくすれば、NMOSトランジスタ15のゲートノードのポールは大幅に高い周波数（例えば3rd以上のポール）となり、位相余裕に影響が与えられることがなくなる。

[0035] ＜過電流が印加されるとき（負荷の短絡時）＞

出力端子11に接続される負荷14が何らかの影響により短絡した場合について説明する。

[0036] 負荷14が短絡すると、電流がPMOSトランジスタ6のソースドレイン

間を通じて出力端子 11 からグランド線 N2 に向けて多く流れ、これに伴い、出力の PMOS トランジスタ 6 のゲート電圧が低下する。出力の PMOS トランジスタ 6 のゲート電圧が低下すると、PMOS トランジスタ 6 のソースドレイン間に流れるミラー電流も増加する。すると、バッファ段 4 の NMOS トランジスタ 15 のゲート電圧が上昇し、これに伴い、NMOS トランジスタ 19 のドレインソース間電流も増加する。

[0037] 電流源 21 の出力電流は一定であるため、NMOS トランジスタ 19 のドレインソース間電流が増加すれば、NOT ゲート 22 の入力容量に蓄積されている電荷が NMOS トランジスタ 19 のドレインソース間を通じて放電されることになる。この結果、NOT ゲート 22 の入力「H」→「L」閾値未満となることで NOT ゲート 22 が「H」レベルを出力する。

[0038] この結果、NMOS トランジスタ 20 がオンすることで、NMOS トランジスタ 20 のドレインソース間に通電され、電流源 21 の電流と NMOS トランジスタ 19 のドレイン電流とが釣り合うようにフィードバック制御されるようになる。この結果、オペアンプ 3 の出力電圧はこの制御内容に応じた所定の電圧に制御される。これにより、例えば、負荷 14 の端子間が何らかの影響に応じて短絡した場合であっても過電流制限でき、レギュレータ回路 100 を適切に保護できる。

[0039] <起動時>

次に、起動時の動作について説明する。

[0040] 図 2 は起動時における要部の電圧、電流の変化をタイミングチャートにより概略的に示す。電源供給部 8 が電源電圧 VDD1 をレギュレータ回路 100 に入力し始めると、安定化電源生成回路 1 は、安定化された電源電圧 VDD2 を生成し始める。このとき、安定化電源生成回路 1 は電源電圧 VDD1 を利用して電源電圧 VDD2 (<VDD1) を生成する。

[0041] この電源電圧 VDD2 が電流源 21 の安定動作電圧値及び NOT ゲート 22 の安定動作電圧に対応した所定電圧に達した後、電源電圧 VDD1 が PMOS トランジスタ 6 を通じて電流を出力端子 11 に供給することになれば、

過電流制御回路 5 が正常に動作し始めてから PMOS トランジスタ 6 を通じて出力端子 11 から電圧出力することになる。

[0042] この場合、出力電圧 V_{OUT} を通常出力する前に過電流制御回路 5 が動作するため問題なく動作する。このため、前述したように、負荷 14 が短絡した場合においても通常通り過電流を検出でき、オペアンプ 3 の出力をグラウンド線 N2 のノードに接続することで過電流から保護できる。

[0043] しかし、一般的には、電源電圧 V_{DD2} は電源電圧 V_{DD1} の上昇に遅れて上昇することが多い（図 2 参照）。電源電圧 V_{DD2} が電源電圧 V_{DD1} に遅れて起動する場合、安定化電源生成回路 1 が、電源電圧 V_{DD2} として過電流制御用の NMOS トランジスタ 19 のドレインソース間を通電可能にする電圧を出力しない限り、過電流制御回路 5 は正常に動作しないことになる。

[0044] そこで、安定化電源生成回路 1 が、電源電圧 V_{DD2} を安定化出力してから参照電圧 V_{REF} を起動することが望ましい。具体的には、図 2 に時間的關係を示すように動作させることが望ましい。

[0045] 過電流制御回路 5 は、NOT ゲート 22 が「H」レベルを出力することに伴い、NMOS トランジスタ 20 がオンすることを条件として、電流源 21 の電流と NMOS トランジスタ 19 のドレイン電流とを釣り合わせるようにフィードバック制御する。この結果、オペアンプ 3 の出力電圧もまた、この制御内容に応じた所定の電圧に制御される。

[0046] このとき、NOT ゲート 22 は安定化電源生成回路 1 により生成される電源電圧 V_{DD2} を電源として利用している。電源電圧 V_{DD2} が過電流制御用の NMOS トランジスタ 20 の閾値電圧 V_{th} より上回ることを条件として、NMOS トランジスタ 20 を通常通りオンさせることができ、図 2 のタイミング t_1 以降であれば、NMOS トランジスタ 20 を通常通りオンさせることができる。

[0047] すなわち、安定化電源生成回路 1 が生成する電源電圧 V_{DD2} が、所定の閾値電圧 V_{th} 、つまり NOT ゲート（インバータ）22 の最低動作電圧（ V_t

h程度)を超えると、NOTゲート22には安定的に電源供給されるようになり通常動作できる(タイミングt1以降)。

[0048] 参照電圧生成回路2が、参照電圧VREFを出力し始め、電流源21が参照電流IREFを出力し始めると、オペアンプ3の出力は制御開始され、NMOSトランジスタ15のゲート電圧が上昇する(タイミングt2)。参照電圧生成回路2が起動した後に、フィードバック電圧Vfb及び出力電圧VOUTが上昇可能になるため、タイミングt1より前であればバイパスコンデンサ13に過電流が流れ込むことはない。

[0049] タイミングt2以降には、電流がNMOSトランジスタ15のドレインソース間、PMOSトランジスタ16、6のソースドレイン間に流れるようになり、出力端子11の電圧が上昇する。このとき、仮に負荷14の端子間が短絡したとしても、前述の過電流制御動作と同様に、電流源21の電流とNMOSトランジスタ19のドレイン電流とを釣り合わせるようにフィードバック制御されるようになり、オペアンプ3の出力電圧もこの制御内容に応じた所定の電圧に制御される。これによりレギュレータ回路100を過電流から保護できる。したがって、電源電圧VDD1の起動時においても、レギュレータ回路100を過電流から保護できる。

[0050] <比較対象技術(従来技術)の説明>

従来、センストランジスタとセンス抵抗を用いて、出力端子から流される出力電流を監視し、出力電流に応じて生成された電圧により制御トランジスタを駆動することが一般的である。このような一般的な構成の場合、通常時においても公差や温度特性等に応じて電流検出処理、その検出処理に基づく制御の精度が悪化してしまう。しかも、過電流発生時には、電源供給部8の出力インピーダンスの変動により電源電圧VDD1が変動すると精度が悪化してしまう。また、電流比較方式では、抵抗を削減したり、電流コンパレータを用いることによって精度を改善できるが、使用トランジスタの個数が増えるため、回路構成面積が増大したりする虞がある。

[0051] 本実施形態によれば、オペアンプ3の出力にバッファ段4を接続している

ため、たとえPMOSトランジスタ16、6のサイズが大きいものであっても十分に位相余裕を確保でき、レギュレータ回路100を安定動作させることができる。

[0052] 第1電源ラインN1に流れる電流はNMOSトランジスタ19を用いて検出されるが、過電流制御回路5は、この電流が所定値未満のときにオペアンプ3の出力をNMOSトランジスタ19のゲートに通電して通常動作させ、第1電源ラインN1に流れる電流が所定値以上のときにはオペアンプ3の出力を制御している。

[0053] 前述の例を用いて説明すれば、過電流制御回路5の電流源21が、通電回路として過電流検出用のNMOSトランジスタ19の主通電経路に直列接続されており、過電流制御回路5がこの電流源21を用いて構成されている。この過電流制御回路5が、電流源21からNMOSトランジスタ19に流れる電流を減算した差電流をNOTゲート22の入力容量に充電し、この差電流を充電した電圧が所定電圧以上となるとときには通常動作させている。

[0054] 例えば、負荷14の端子間が短絡するなどして第1電源ラインN1に過電流が流れようとする、過電流制御回路5は、差電流を充電した電圧が所定電圧未満になることでオペアンプ3の出力をプルダウン制御する。その後、レギュレータ回路100は電流の通電／断電動作を繰り返して所定の動作点に収束させることで過電流を制御できる。これにより、例えば負荷14の端子間が何らかの影響に応じて短絡したときであっても過電流制御できるようになり、レギュレータ回路100を保護できる。

[0055] 本実施形態では、電源供給部8が供給する電源電圧VDD1の第1電源ラインN1と、安定化電源生成回路1が生成出力する電源電圧VDD2の第2電源ライン（または第2電源ノード）N4と分けている。したがって、電源電圧VDD2が起動時に上昇するタイミングは、電源電圧VDD1が上昇するタイミングに比較して速くなったり遅くなったりする可能性がある。

[0056] 本実施形態では、安定化電源生成回路1が、所定の閾値電圧 V_{th} 、つまりNOTゲート22（インバータ）の最低動作電圧（ V_{th} 程度）を超える電圧

(過電流制御回路 5 が安定的に動作する電圧) を電源電圧 V_{DD2} として出力してから、参照電圧生成回路 2 の参照電圧 V_{REF} を出力し始めている。このため、電源電圧 V_{DD1} 及び V_{DD2} の起動時のタイムラグの影響があったとしても、レギュレータ回路 100 を保護できる。

[0057] バッファ段 4 の PMOS トランジスタ 16 及び出力の PMOS トランジスタ 6 のドレインソース間の耐圧は、NMOS トランジスタ 15 のドレインソース間の耐圧よりも高耐圧であるため、レギュレータ回路 100 の電源電圧 V_{DD1} に対する耐圧を向上できる。

[0058] また、バッファ段 4 を設けているため、レギュレータ回路 100 の主電源として用いられる電源供給部 8 と、過電流検出及び制御用として用いられる安定化電源生成回路 1 と、を分離して構成できる。

[0059] 電源供給部 8 が供給する電源電圧 V_{DD1} が高電圧であっても、電源電圧 V_{DD2} を生成するために他の安定化電源生成回路 1 を使用しているため、過電流制御回路 5 に高耐圧素子を使用する必要がなくなり、過電流制御回路 5 の構成面積を小面積化できる。このとき、電源電圧 V_{DD2} は安定化電源生成回路 1 により生成されるため、過電流制御回路 5 は、電源電圧 V_{DD1} よりも安定した電源電圧 V_{DD2} を用いて動作させることができ、検出及び制御の精度を向上できる。

[0060] (第 1 実施形態の第 1 変形例)

図 3 は第 1 実施形態の第 1 変形例の追加説明図を示す。図 3 にレギュレータ回路 200 を示すように、電流源 21 に代わる通電回路として抵抗 21a を用いても良い。抵抗 21a を用いて構成すると、この抵抗 21a に通電して NOT ゲート 22 の入力容量を充電できる。第 2 電源ライン N4 の通電電流量が所定より多いときには、抵抗 21a を通じて NOT ゲート 22 の入力容量に充電される。NOT ゲート 22 は入力容量の充電電圧が所定電圧より大きくなると論理を反転する。本変形例においても前述実施形態と同様の効果を奏する。

[0061] (第 1 実施形態の第 2 変形例)

図4は第1実施形態の第2変形例の追加説明図を示す。図4に示すレギュレータ回路300は過電流制御回路305を備える。図4に示すように安定化電源生成回路1を設けていない構成を適用しても良い。

[0062] すなわち、第1実施形態の構成の変形例として説明するならば、第2電源ラインN4が第1電源ラインN1に接続されることで同一の電氣的ノードになっており、電源供給部8はこの電氣的ノードN1に電源電圧VDD1を供給し、NOTゲート22の電源電圧と電流源21の供給元を電源電圧VDD1としている。定常時において、負荷14の短絡等の異常を生じたときにも、前述した第1実施形態と同様の作用を奏することになり、前述実施形態と同様の効果を奏する。

[0063] 本変形例においても、電源供給部8により第1電源ラインN1に所定の閾値電圧 V_{th} 、つまりNOTゲート22（インバータ）の最低動作電圧を超える電圧（過電流制御回路5が安定的に動作する電圧）を電源電圧VDD1として出力してから、参照電圧生成回路2が参照電圧VREFを出力し始めれば、起動時における作用は第1実施形態と同様になり、第1実施形態と同様の効果を奏する。

[0064] （第2実施形態）

図5は第2実施形態の追加説明図を示す。第2実施形態が第1実施形態と異なる部分は過電流制御回路の構成にある。図5に示すレギュレータ回路400は過電流制御回路405を備える。図5に示すように、過電流制御回路405は、過電流検出用トランジスタとなるNMOSTランジスタ19、オペアンプ3の出力をプルダウンするためのNMOSTランジスタ20、カレントミラー回路423、及び、通電回路としての電流源424を備える。

[0065] カレントミラー回路423は、入力トランジスタとしてのPMOSTランジスタ425及び出力トランジスタとしてのPMOSTランジスタ426により一対で構成され、PMOSTランジスタ425が第2電源ラインN4からNMOSTランジスタ19のドレインへの通電経路に介在して接続されることで構成される。このPMOSTランジスタ425のゲートドレイン間は

共通接続されると共に、この共通接続ノードN6はNMOSトランジスタ19のドレインに接続されている。また、PMOSトランジスタ425及び426のゲートは共通接続されている。PMOSトランジスタ425及び426のソースはグラウンド線N2で共通接続されている。

[0066] カレントミラー回路423の出力側のPMOSトランジスタ426のドレインは電流源424及びNMOSトランジスタ20のゲートに接続されている。電流源424は、安定化電源生成回路1により生成される電源電圧VDD2を用いて定電流を生成する。この電流源424は、カレントミラー回路423のPMOSトランジスタ426の出力電流を引くように接続されている。NMOSトランジスタ20のドレインはオペアンプ3の出力に接続されており、NMOSトランジスタ20のソースはグラウンド線N2に接続されている。その他の構成は、第1実施形態の構成と同様であるためその説明を省略する。

[0067] なお、このような構成を用いることで、NMOSトランジスタ15とNMOSトランジスタ19のサイズ比、PMOSトランジスタ425とPMOSトランジスタ426のサイズ比、及び、電流源424の定電流値、に応じて過電流閾値を設定可能となる。

[0068] 上記構成の作用について説明する。

[0069] <通常時>

通常時には、安定化電源生成回路1が安定化電源電圧VDD2を生成し、カレントミラー回路423の電流供給源として出力する。電流源424は定電流を通電するため、通常時においてオペアンプ3がNMOSトランジスタ15のゲートを駆動するときには、NMOSトランジスタ19のゲートも駆動され、これに応じた電流がカレントミラー回路423を構成するPMOSトランジスタ425のドレインを通じて流れる。カレントミラー回路423のPMOSトランジスタ426にはミラー電流が流れるが、電流源424はこのミラー電流を引く。したがって、NMOSトランジスタ20のドレインソース間はオープン状態となり、オペアンプ3の出力はバッファ段4のNM

OSトランジスタ15のゲートに通常通り通電される。したがって、第1実施形態の説明と同様に、フィードバック回路7の抵抗17、18に流れる電流が変動すれば、これに応じて、出力電圧 V_{OUT} をフィードバック制御でき、出力電圧 V_{OUT} を目標電圧に調整制御できる。

[0070] <過電流が印加されるとき（負荷の短絡時）>

負荷14の端子間が短絡したときには、電流がPMOSトランジスタ6のソースドレイン間を通じて出力端子11からグランド線N2に向けて多く流れ、これに伴い、第1実施形態の説明と同様に、NMOSトランジスタ15のゲート電圧が上昇し、これに伴い、NMOSトランジスタ19のドレインソース間電流も増加する。カレントミラー回路423は、NMOSトランジスタ19のドレインソース間電流をカレントミラーして電流源424の側に通電する。このため、電流源424の定電流値を超える電流がNMOSトランジスタ20のゲート入力容量に通電されると、このゲート入力容量に充電されるようになり、NMOSトランジスタ20のゲート電圧が上昇する。

[0071] NMOSトランジスタ20のゲート電圧がその閾値電圧を超えるとオンし、NMOSトランジスタ20のドレインソース間に通電されるようになり、カレントミラー回路423のPMOSトランジスタ426のドレイン電流と電流源424の電流とが釣り合うようにフィードバック制御され、オペアンプ3の出力電圧もこの制御内容に応じた所定の電圧に制御される。これにより、例えば負荷14の端子間が何らかの影響に応じて短絡したときであっても過電流制御でき、レギュレータ回路400を適切に保護できる。

[0072] <起動時>

次に、起動時の動作について説明する。本実施形態では、カレントミラー回路423が構成されているため、起動時にはカレントミラー回路423等が動作する最低動作電圧が供給されれば、過電流制御回路405が正常動作する。

[0073] カレントミラー回路423の最低動作電圧は、PMOSトランジスタ425の閾値電圧 V_{thp} とそのオーバードライブ電圧 V_{ovp} 、さらに、NMOST

ランジスタ 19 のオーバードライブ電圧 V_{ovn} を加算した $V_{thp} + V_{ovp} + V_{ovn}$ となる。他方、NMOS トランジスタ 20 の最低動作電圧は、その閾値電圧 V_{thn} と PMOS トランジスタ 426 のオーバードライブ電圧 V_{ovp} を加算した電圧 $V_{thn} + V_{ovp}$ となる。安定化電源生成回路 1 が、これらの値 ($V_{thp} + V_{ovp} + V_{ovn}$)、($V_{thn} + V_{ovp}$) を共に超える電源電圧 V_{DD2} を出力すれば、過電流制御回路 405 が正常に動作可能になる。仮に、閾値電圧 $V_{thn} = V_{thp}$ とすれば、過電流制御回路 405 はカレントミラー回路 423 の最低動作電圧 $V_{thp} + V_{ovp} + V_{ovn}$ で律速されるようになる。

[0074] このように過電流制御回路 405 が正常に動作することが保証されるタイミングにおいて、参照電圧生成回路 2 が参照電圧 V_{REF} を出力し始めるようにすることが望ましい。この場合、前述実施形態で説明したように、レギュレータ回路 400 の起動時における動作を保証できる。

[0075] 本実施形態によれば、過電流制御回路 405 が、PMOS トランジスタ 425 及び 426 によるカレントミラー回路 423 を用いて構成されている。このため、たとえ NMOS トランジスタ 15、19 のゲート容量の最大値が制限されたとしても、NMOS トランジスタ 15、19 間のミラー比、PMOS トランジスタ 425、426 間のミラー比を調整することで、過電流閾値を設定できるようになり、設計の自由度を大きく保つことができる。なお、カレントミラー回路 423 を用いて電流を折り返しているものの、カレントミラー回路 423 のレイアウトに配慮することで大きな電流誤差になることはない。

[0076] なお、電流源 424 に代えて抵抗（図示せず）を用いても良い。例えば、過電流制限値に高い精度を必要としないときには電流源 424 を必要としない。

[0077] （第 2 実施形態の変形例）

図 6 は第 2 実施形態の変形例の追加説明図を示す。図 6 に示すレギュレータ回路 500 は過電流制御回路 505 を備える。図 6 に示すように安定化電源生成回路 1 を設けていない構成を採用しても良い。

[0078] すなわち、第2実施形態の構成（図5）の変形例として説明するならば、第2電源ラインN4が第1電源ラインN1に接続されることで同一の電氣的ノードになっており、電源供給部8はこの電氣的ノードに電源電圧VDD1を供給し、カレントミラー回路423に代わるカレントミラー回路523の電源供給元（過電流制御回路505の動作電源）を電源電圧VDD1とする。定常時においても、負荷14の端子間短絡等の異常を生じたときにも、前述実施形態と同様に作用することになり、前述実施形態と同様の効果を奏する。

[0079] 本変形例においても、電源供給部8が、カレントミラー回路523及びNMOSトランジスタ20が正常に動作可能な最低動作電圧を超える電圧を第1電源ラインN1に電源電圧VDD1として出力してから、参照電圧生成回路2が参照電圧VREFを出力し始めれば、起動時における作用は第1実施形態と同様になり、前述実施形態と同様の効果を奏する。

[0080] （第3実施形態）

図7及び図8は第3実施形態の追加説明図を示している。図7に示すレギュレータ回路600は過電流制御回路605を備える。図7に示すように、過電流制御回路605は、NMOSトランジスタ19、20、電流源621、参照電圧生成回路627、及び、比較器628を備える。比較器628は例えばオペアンプ629により構成される。

[0081] 参照電圧生成回路627は参照電圧VREF2を生成し、オペアンプ629の非反転入力端子に出力する。参照電圧生成回路627が参照電圧VREF2を変化させることにより過電流制限閾値を任意に設定できる。安定化電源生成回路1が出力する電源電圧VDD2の第2電源ラインN4とNMOSトランジスタ19のドレインとの間には電流源621が接続されている。

[0082] また、電流源621とNMOSトランジスタ19のドレインとの共通接続ノードN5はオペアンプ629の反転入力端子に接続されている。このオペアンプ629は、第2電源ラインN4から電源電圧VDD2の供給を受けて動作し、ノードN5の電圧と参照電圧VREF2とを比較し、この比較結果

を「H」レベル又は「L」レベルとしてNMOSトランジスタ20のゲートに出力する。

[0083] 通常時には、NMOSトランジスタ20のドレインソース間には電流源621の定電流が流れ込むが、オペアンプ629の反転入力端子の入力容量にも流れ込み、反転入力端子の電圧が参照電圧 V_{REF2} より高くなる。この場合、オペアンプ629は「L」レベルを出力する。負荷14の端子間短絡などを生じたときには、NMOSトランジスタ15、19のドレインソース間電流が多くなり、NMOSトランジスタ19はオペアンプ629の反転入力端子の入力容量から電流を引く。

[0084] この結果、ノードN5の電圧は低下し参照電圧生成回路627が出力する参照電圧 V_{REF2} より低くなる。すると、NMOSトランジスタ20がオンすることで、前述実施形態と同様に電流源621の電流とNMOSトランジスタ19のドレイン電流が等しくなるようにフィードバック制御され、オペアンプ3の出力電圧もこの制御内容に応じた所定の電圧に制御される。

[0085] 図8に起動時における各部の電圧をタイミングチャートにより概略的に示している。起動時の動作を考慮すると、安定化電源生成回路1が、所定の閾値電圧、つまりオペアンプ629の最低動作電圧 V_{cp} （一般には $>MOS$ トランジスタの閾値電圧 V_{th} ：NMOSトランジスタ20がオンして過電流制御機能が働きだす電圧）を電源電圧 V_{DD2} として出力（タイミング t_{11} ）してから、参照電圧生成回路2が参照電圧 V_{REF} を出力し始める（タイミング t_{12} ）と良い。すると、電源電圧 V_{DD1} 、 V_{DD2} の起動時のタイムラグの影響があったとしても、レギュレータ回路600を保護できる。

[0086] 本実施形態においても、前述実施形態と同様の作用効果を奏する。また、参照電圧生成回路2が参照電圧 V_{REF2} を生成し、オペアンプ629の比較対象電圧として可変可能にしている。このため、参照電圧 V_{REF2} を調整することで過電流判定用の閾値を容易に調整できる。

[0087] なお、電源供給部8及び安定化電源生成回路1が、電源電圧 V_{DD1} 、電源電圧 V_{DD2} を同時に起動させれば、レギュレータ回路600と過電流制

御回路 605 が同時に起動することになり、この場合も過電流制御機能を正常に動作させることができる。

[0088] (第3実施形態の変形例)

図9は第3実施形態の変形例の追加説明図を示す。図9に示すレギュレータ回路700は過電流制御回路705を備える。図9に示すように、安定化電源生成回路1を設けていない構成を採用しても良い。

[0089] すなわち、第3実施形態の構成(図7)の変形例として説明するならば、第2電源ラインN4が第1電源ラインN1と同一の電氣的ノードになっており、電源供給部8はこれらの同一の電氣的ノードに同一の電源電圧VDD1を供給しており、オペアンプ629(比較部628)の電源電圧と電流源621の電圧供給元を電源電圧VDD1としている。定常時において負荷14の端子間短絡等の異常を生じたときにも、第3実施形態と同様に作用することになり、前述実施形態と同様の効果を奏する。

[0090] 本変形例においても、電源供給部8が第1電源ラインN1に所定の閾値電圧、つまりオペアンプ629の最低動作電圧V_{cp}(図8参照)を超える電圧(過電流制御回路705が安定的に動作する電圧)を電源電圧VDD1として出力してから、参照電圧生成回路2が参照電圧VREFを出力し始めれば、起動時における作用は第3実施形態と同様になり、第3実施形態と同様の効果を奏する。

[0091] (第4実施形態)

図10及び図11は第4実施形態の追加説明図を示している。この図10は図1のバッファ段4の構成をカスコード接続に変更したところにある。バッファ段4に代わるバッファ段804は、NMOSトランジスタ15、PMOSトランジスタ16、及び、Nチャネル型のMOSトランジスタ(以下NMOSトランジスタ:第3トランジスタ相当)830を備える。

[0092] このバッファ段804は、PMOSトランジスタ16とNMOSトランジスタ15との間にNMOSトランジスタ830をカスコード接続して構成している。NMOSトランジスタ830は、例えばゲートドレイン間の幅が他

のNMOSトランジスタ15のゲートドレイン間よりも広く構成された高耐圧素子であり、PMOSトランジスタ16と同類の高耐圧素子である。NMOSトランジスタ830は他のトランジスタ（例えばNMOSトランジスタ15）よりもドレイン側を高耐圧とした素子である。NMOSトランジスタ830のゲートには、安定化電源生成回路1から安定化電源電圧VDD2が与えられる。このような回路構成においては、定常時においても起動時においても前述実施形態（例えば第1実施形態）と同様の作用効果を奏する。

[0093] （第4実施形態の変形例）

また図10に示すレギュレータ回路800では、安定化された電源電圧VDD2をNMOSトランジスタ830のゲートに入力させた形態を示したが、これに限らず、図11にレギュレータ回路900を示すように、安定化電源生成回路931を別途設け、この安定化電源生成回路931の出力電圧VDD3（例えば=VDD2）をNMOSトランジスタ830のゲートに入力させるようにしても良い。

[0094] （他の実施形態）

例えば、安定化電源生成回路1を設けておらず、電源供給部8が過電流制御回路の動作電源を供給する実施形態の構成を用いたときには、起動時において、電源供給部8により過電流制御回路が安定的に動作する電源電圧VDD1が第1電源ラインN1に出力されてから、参照電圧生成回路2が参照電圧VREFを出力し始めるようにすると良い。

[0095] 比較器628にオペアンプ629を用いた形態を示したが、これに代えてコンパレータを用いても良い。

[0096] また、PLC（Power Line Communication）を行う場合においては、第1電源ラインN1に信号が重畳することになるが、このような場合においても、PMOSトランジスタ6のソースドレイン間に過電流が流れるようになれば、前述実施形態と同様に適切に過電流制限できるようになる。

[0097] 図面中、1は安定化電源生成回路、2は参照電圧生成回路、3はオペアンプ、4、804はバッファ段、5、205、305、405、505、60

5、705、805は過電流制御回路、6はPチャネル型のMOSトランジスタ（出力トランジスタ）、7はフィードバック回路、8は電源供給部、9は電源端子、11は出力端子、15はNチャネル型のMOSトランジスタ（第1トランジスタ）、16はPチャネル型のMOSトランジスタ（第2トランジスタ）、21、621は電流源（通電回路）、21aは抵抗（通電回路）、423、523はカレントミラー回路、424は電流源（通電回路）、425はPチャネル型のMOSトランジスタ（入力トランジスタ）、426はPチャネル型のMOSトランジスタ（出力トランジスタ）、628は比較器、629はオペアンプ、830はNチャネル型のMOSトランジスタ（第3トランジスタ）、N1は電源ライン、N4は第2電源ライン、100、200、300、400、500、600、700、800、900はレギュレータ回路、を示す。

[0098] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 電源供給部（８）から第１電源ライン（ $N1$ ）に電源電圧（ $VDD1$ ）の供給を受けて、参照電圧（ $VREF$ ）に応じて出力端子（ 11 ）から定電圧を出力するレギュレータ回路（ 100 、 200 、 300 、 400 、 500 、 600 、 700 、 800 、 900 ）であって、
- 前記参照電圧（ $VREF$ ）を生成する参照電圧生成回路（ 2 ）と、
- 前記参照電圧（ $VREF$ ）と前記出力端子の出力電圧（ $VOUT$ ）に応じてフィードバックされるフィードバック電圧（ Vfb ）とを比較して出力電圧を出力するオペアンプ（ 3 ）と、
- 前記オペアンプの出力端子に制御端子を接続して構成された第１トランジスタ（ 15 ）、および、前記第１トランジスタの主通電経路に直列接続された第２トランジスタ（ 16 ）を備えたバッファ段（ 4 、 804 ）と、
- 前記バッファ段の後段に接続されると共に、前記第２トランジスタにカレントミラー接続され、前記第１電源ライン（ $N1$ ）から前記レギュレータ回路の出力端子に主通電経路を備える出力トランジスタ（ 6 ）と、
- 前記出力トランジスタの主通電経路に直列接続され、前記出力端子の出力電圧に応じた前記フィードバック電圧を出力するフィードバック回路（ 7 ）と、
- 制御端子が前記バッファ段の第１トランジスタの制御端子に共通接続され、主通電経路を有する過電流検出用トランジスタ（ 19 ）を備え、前記過電流検出用トランジスタを用いて検出される前記出力トランジスタの主通電経路の通電電流が所定値未満のときには、前記オペアンプの出力電圧を前記第１トランジスタの制御端子に通電して前記第１トランジスタを通常動作させ、前記出力トランジスタの主通電経路の通電電流が所定値以上のときには、前記オペアンプの出力電圧を、前記過電流検出用トランジスタの主通電経路に流れる電流に応じた

所定の電圧に制御する過電流制御回路（５、２０５、３０５、４０５、５０５、６０５、７０５、８０５）と、

を備えるレギュレータ回路。

[請求項２] 前記過電流制御回路（５、２０５、６０５、７０５、８０５）は、前記過電流検出用トランジスタの主通電経路に直列接続された通電回路（２１、２１ａ、６２１）を備え、

前記通電回路に流れる電流から前記過電流検出用トランジスタに流れる電流を減算した差電流を充電して所定電圧以上になると前記オペアンプの出力電圧を前記第１トランジスタの制御端子に通電して前記第１トランジスタを通常動作させ、

前記差電流を充電した電圧が所定電圧未満になると、前記通電回路に流れる電流と前記過電流検出用トランジスタの主通電経路に流れる電流とが釣り合うように前記オペアンプの出力電圧を前記所定の電圧に制御する、請求項１に記載のレギュレータ回路。

[請求項３] 前記過電流制御回路の通電回路（２１、６２１）は、前記過電流検出用トランジスタの主通電経路に直列接続された電流源（２１、６２１）を備える、請求項２に記載のレギュレータ回路。

[請求項４] 前記過電流制御回路（６０５、７０５）は、前記所定電圧として可変可能な過電流閾値と比較する比較器（６２８）を備える、請求項２又は３に記載のレギュレータ回路。

[請求項５] 前記過電流制御回路（４０５、５０５）は、前記過電流検出用トランジスタの主通電経路に接続された入力トランジスタ（４２５）と前記入力トランジスタにカレントミラー接続された出力トランジスタ（４２６）とを備えたカレントミラー回路（４２３、５２３）と、

前記カレントミラー回路の出力電流を引くように接続された通電回路（４２４）と、を備え、

前記カレントミラー回路の出力電流から前記通電回路に流れる電流

を減算した差電流を充電した電圧が所定電圧未満のときには前記オペアンプの出力電圧を前記第1トランジスタの制御端子に通電して前記第1トランジスタを通常動作させ、前記差電流を充電した電圧が所定電圧以上になると、前記通電回路に流れる電流と前記カレントミラー回路の出力トランジスタの電流とが釣り合うように前記オペアンプの出力電圧を前記所定の電圧に制御する、請求項1に記載のレギュレータ回路。

[請求項6] 前記通電回路は電流源（424）により構成される、請求項5に記載のレギュレータ回路。

[請求項7] 前記バッファ段（804）は、前記第1トランジスタ（15）と前記第2トランジスタ（16）との間にカスコード接続された第3トランジスタ（830）を備える、請求項1から6の何れか一項に記載のレギュレータ回路。

[請求項8] 前記バッファ段の第3トランジスタは、前記第1トランジスタよりも高耐圧である、請求項7に記載のレギュレータ回路。

[請求項9] 前記第1電源ライン（N1）から降圧された安定化電源を、前記過電流制御回路が動作電源として用いる第2電源ライン（N4）に供給する安定化電源生成回路（1）をさらに備える、請求項1から8の何れか一項に記載のレギュレータ回路。

[請求項10] 起動時には、前記安定化電源生成回路（1）が前記第2電源ライン（N4）に前記過電流制御回路が安定的に動作する電源電圧（VDD2）を出力してから前記参照電圧生成回路（2）が参照電圧（VREF）を出力し始める、請求項9に記載のレギュレータ回路。

[請求項11] 前記電源供給部（8）が前記第1電源ライン（N1）に前記過電流制御回路の動作電源を供給する、請求項1から8の何れか一項に記載のレギュレータ回路。

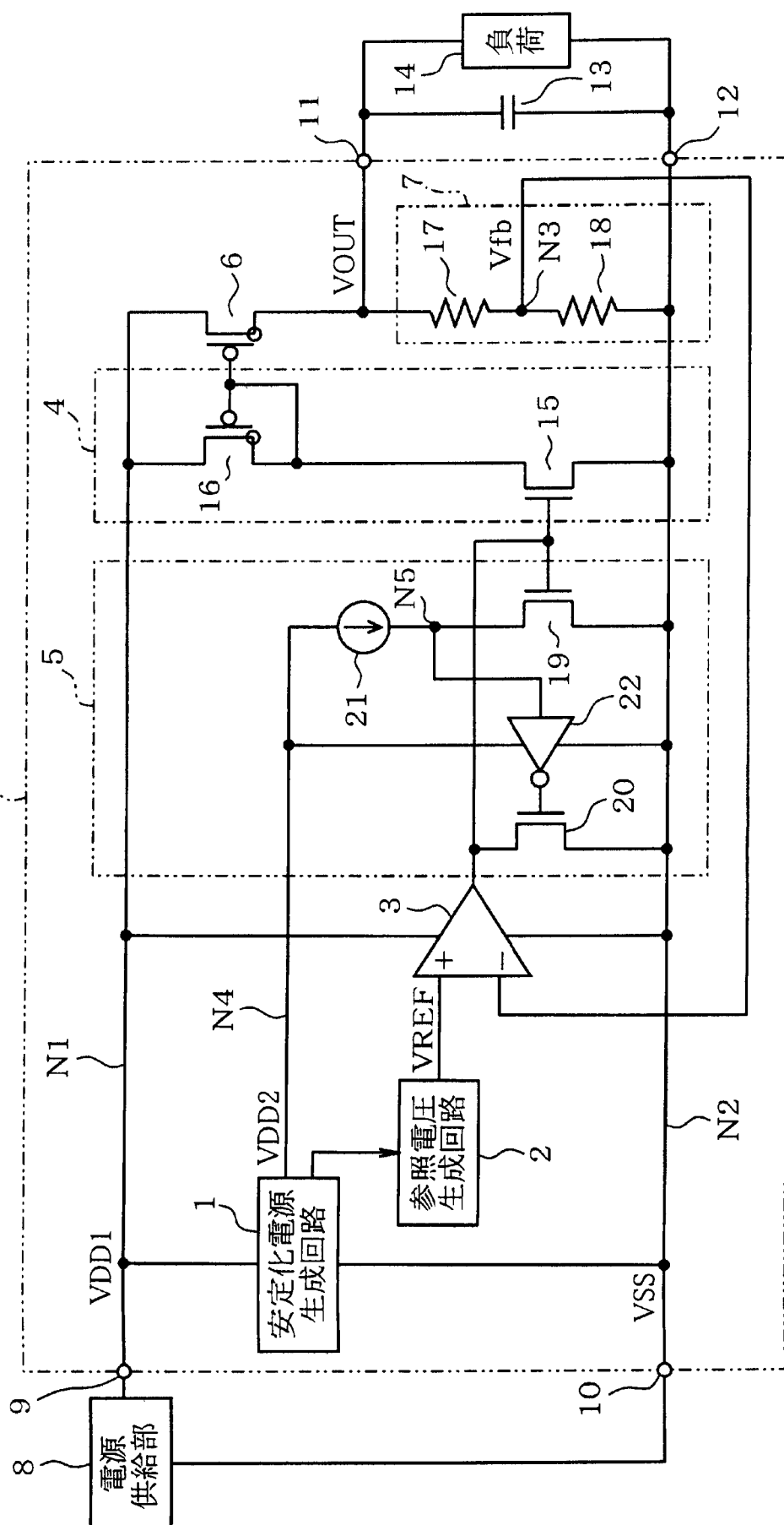
[請求項12] 起動時には、前記電源供給部（8）により前記過電流制御回路が安定的に動作する電源電圧（VDD1）が前記第1電源ラインに出力さ

れてから、前記参照電圧生成回路（２）が参照電圧（ V_{REF} ）を出力し始める、請求項１１に記載のレギュレータ回路。

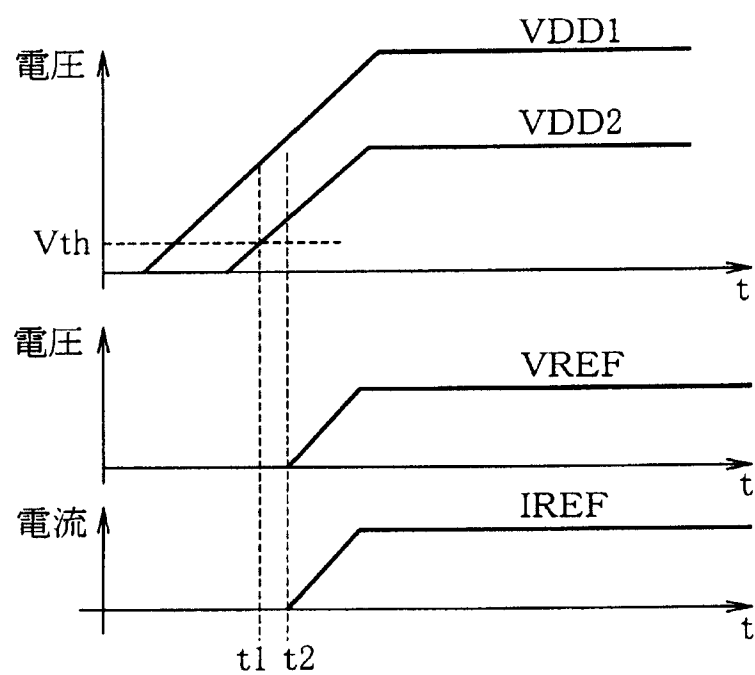
[請求項13] 前記バッファ段の第２トランジスタ（１６）及び前記出力トランジスタ（６）は、その主通電経路の耐圧が前記第１トランジスタ（１５）よりも高耐圧である、請求項１から１２の何れか一項に記載のレギュレータ回路。

[請求項14] 前記参照電圧生成回路、前記オペアンプ、前記バッファ段、前記出力トランジスタ、前記フィードバック回路および前記過電流制御回路が保護回路を構成する、請求項１から１３の何れか一項に記載のレギュレータ回路。

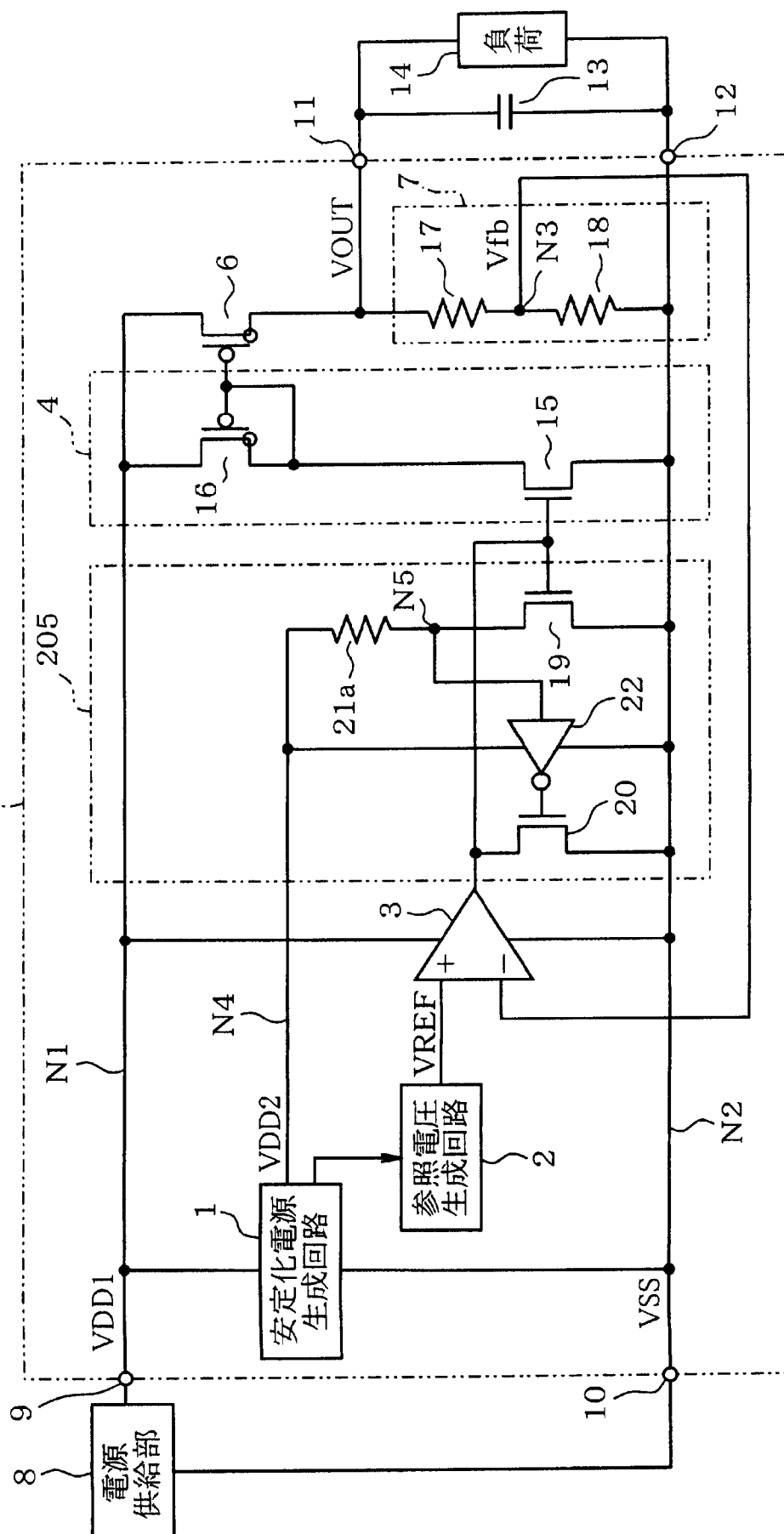
100



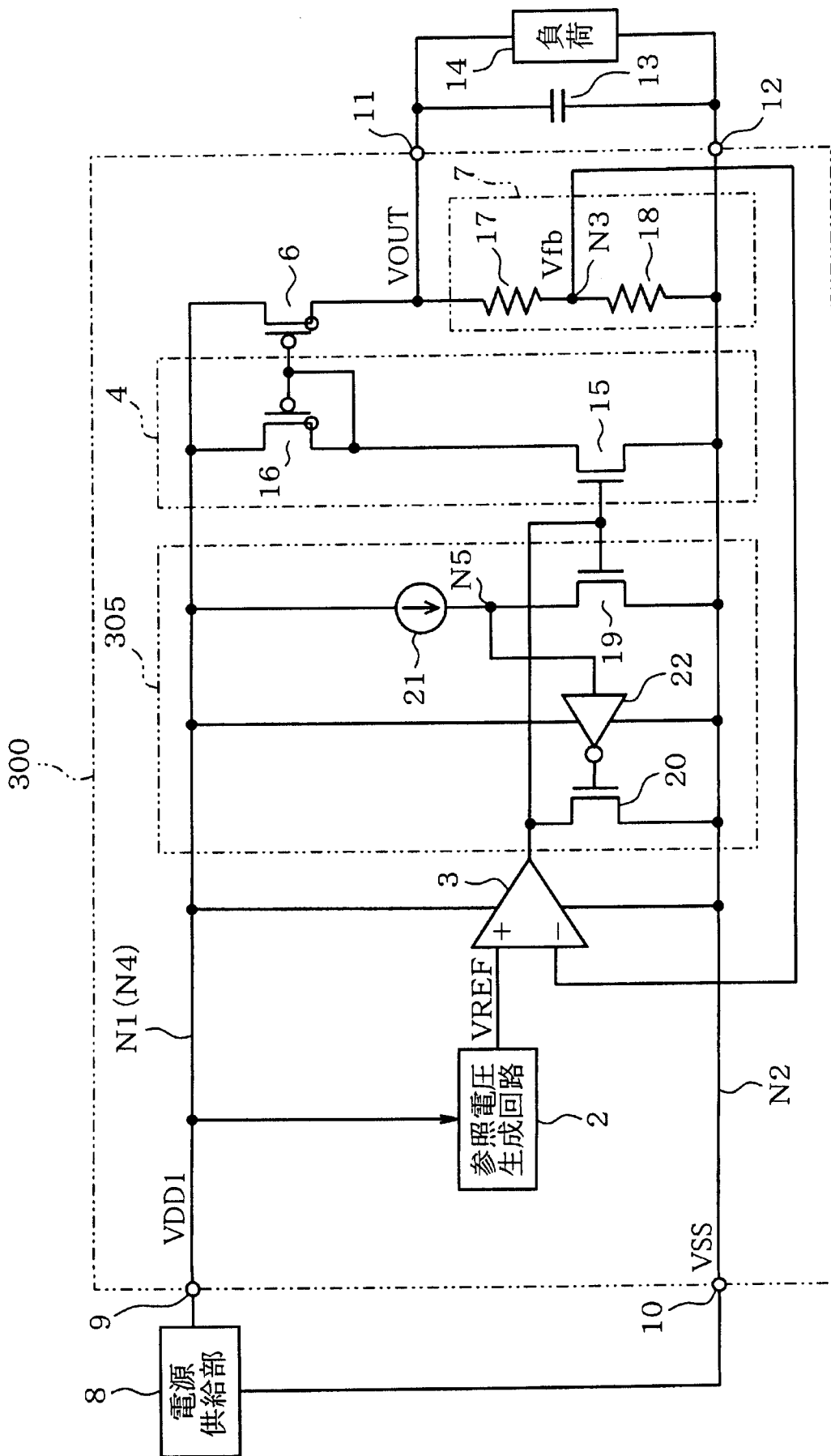
[図2]



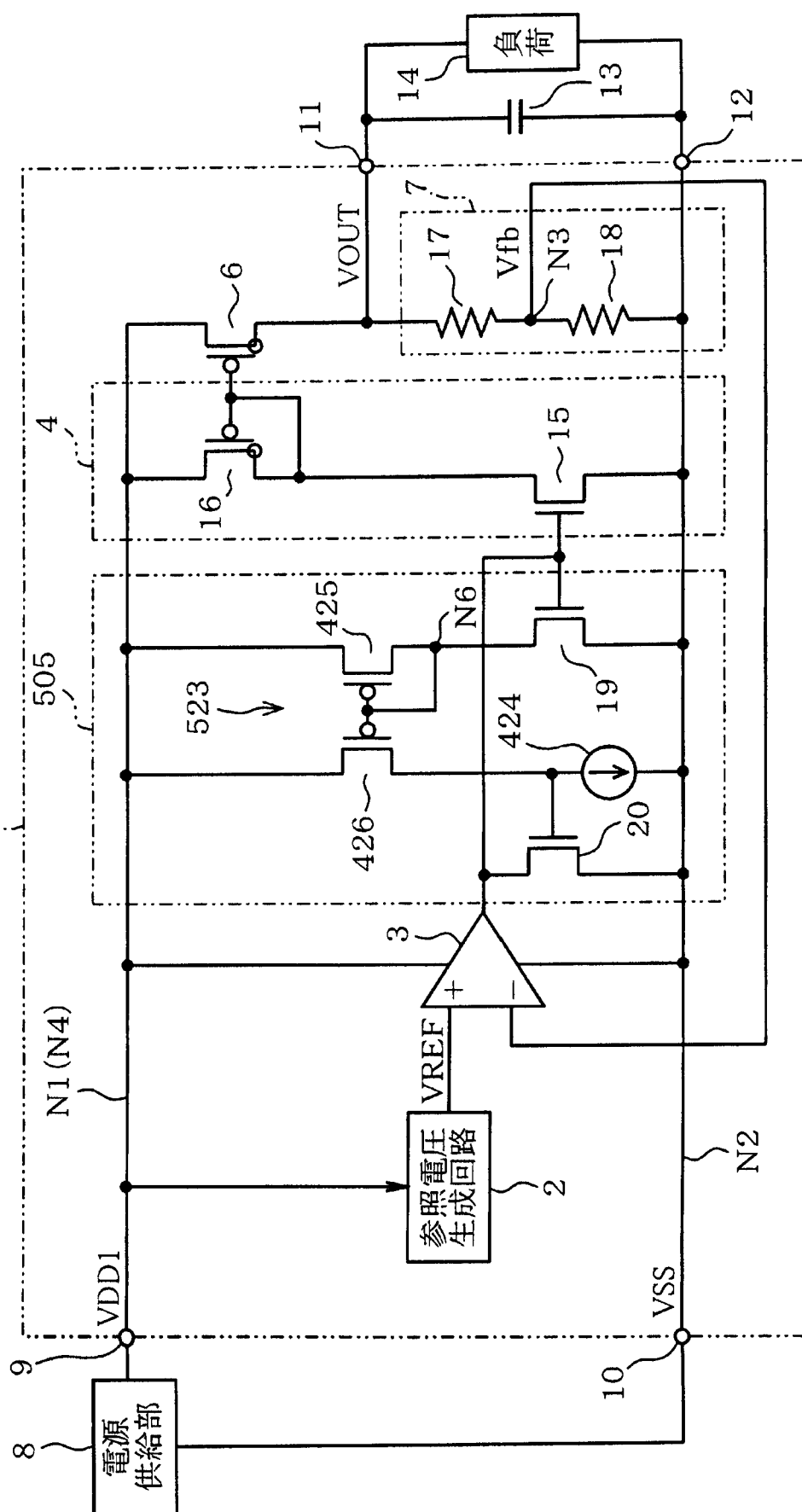
200



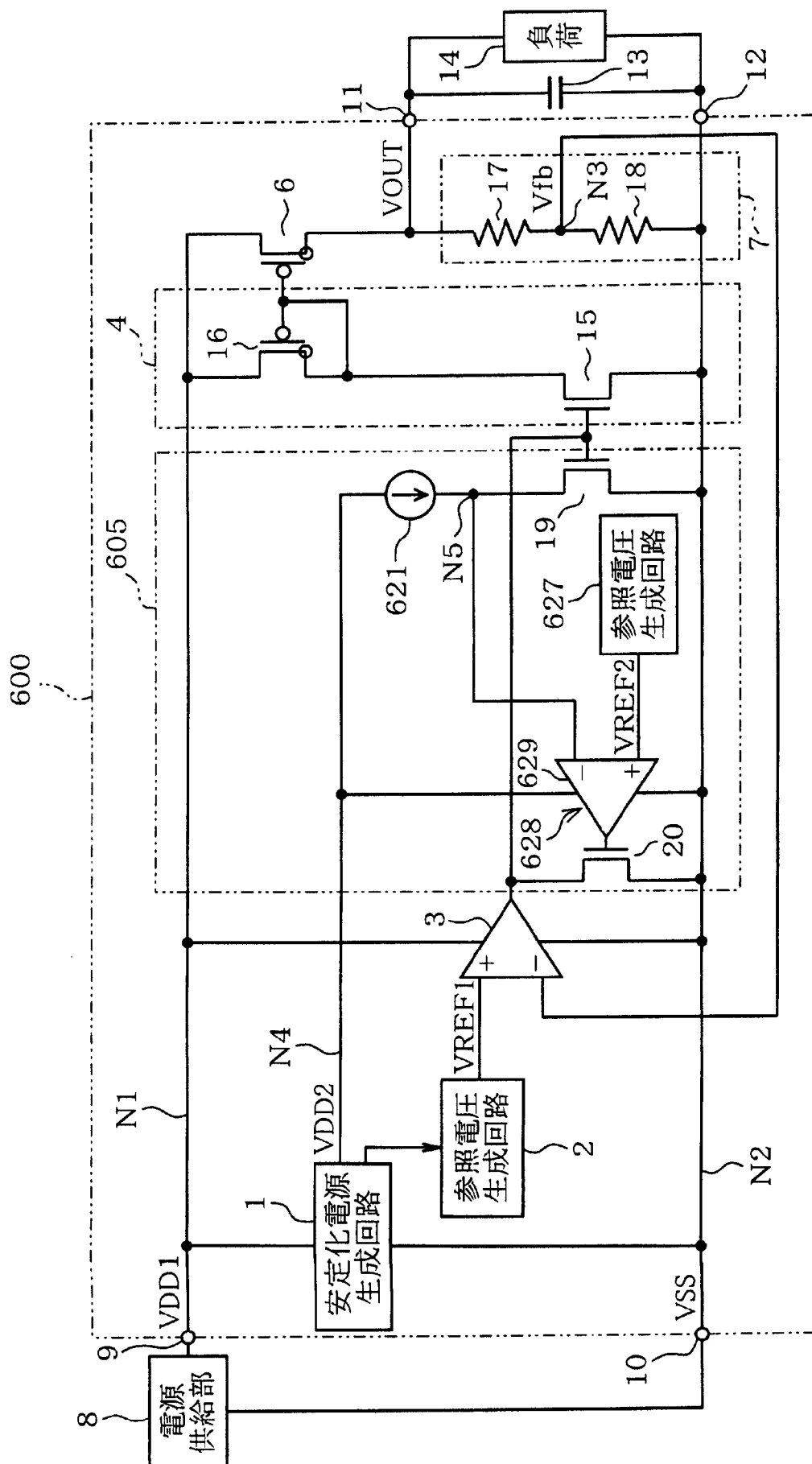
[図4]



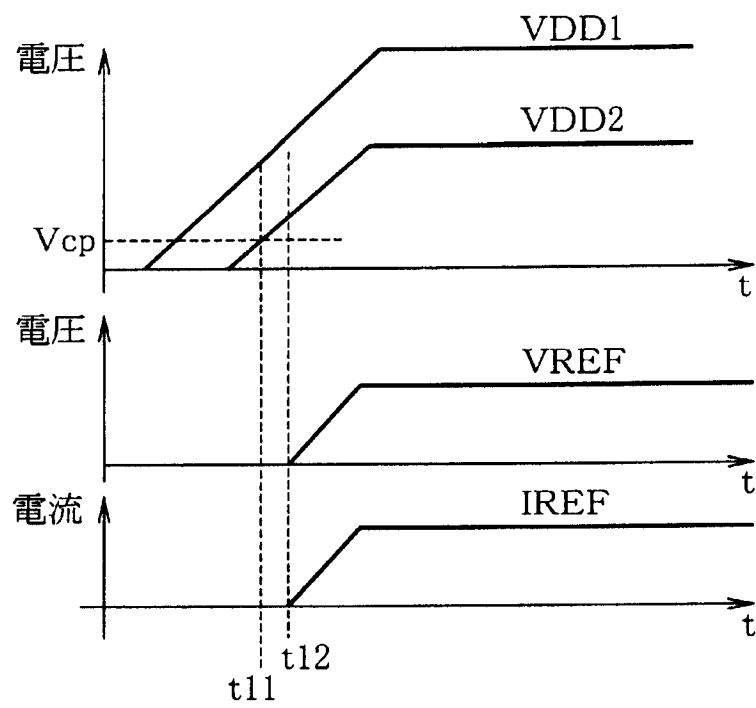
500



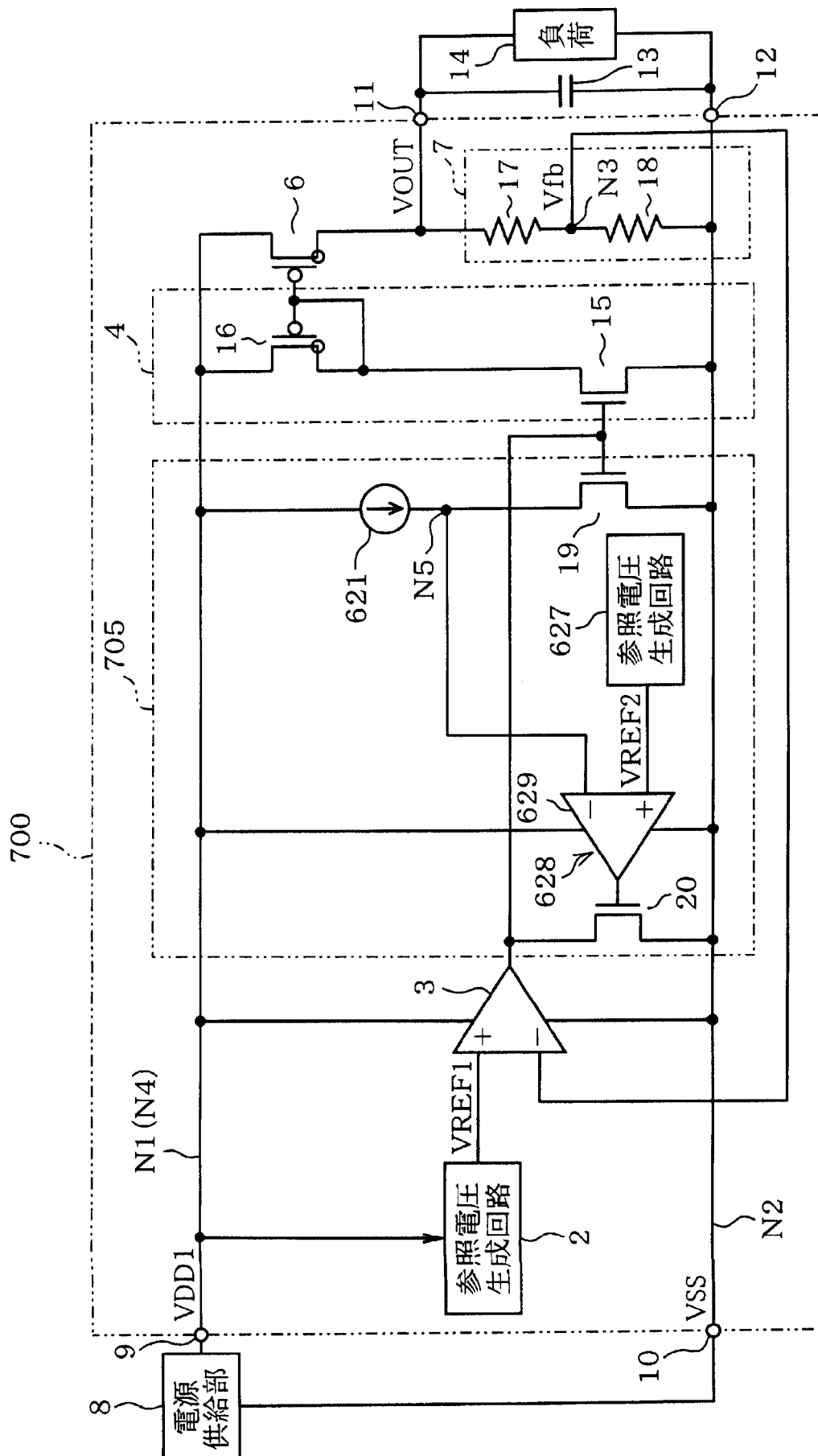
[図7]



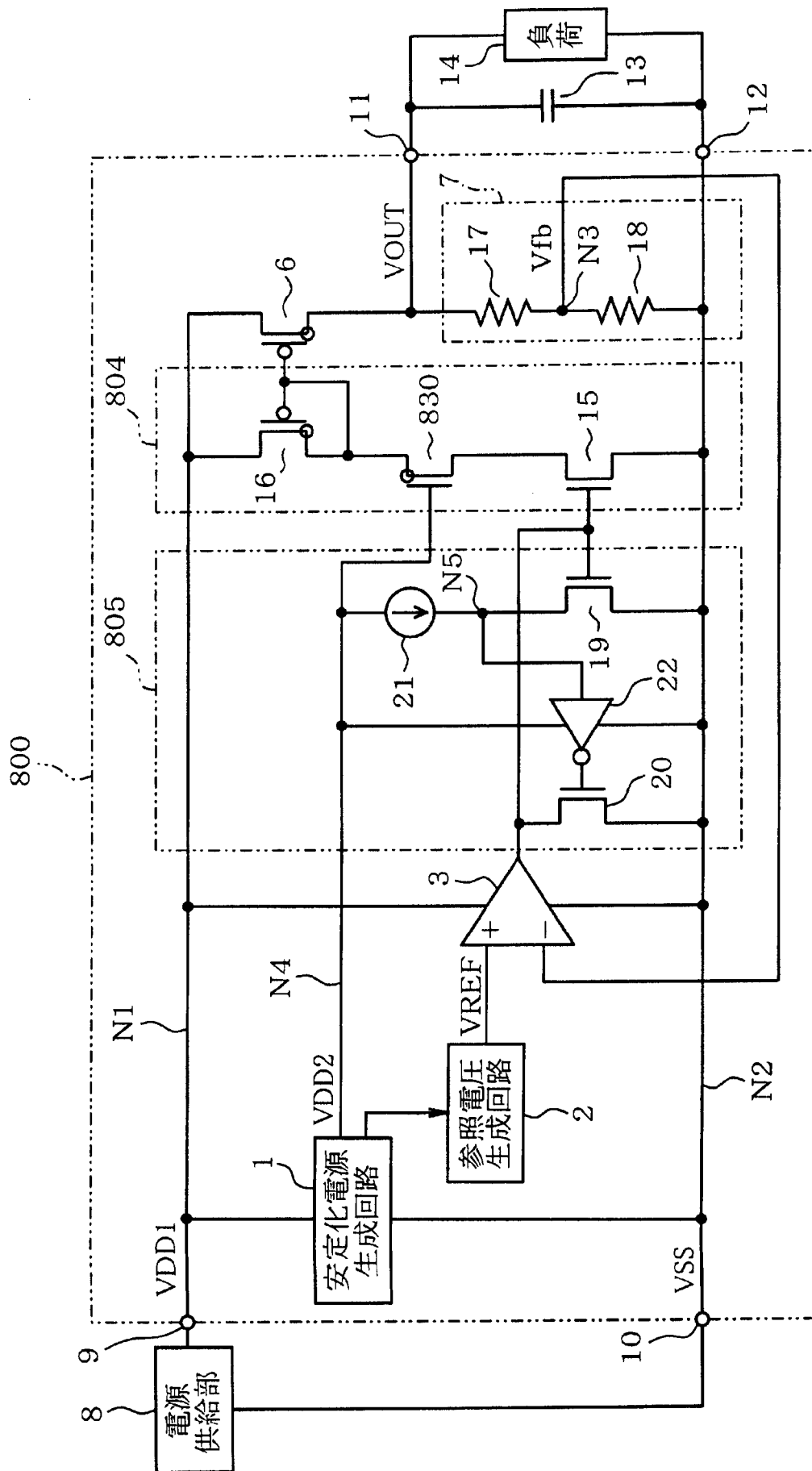
[図8]



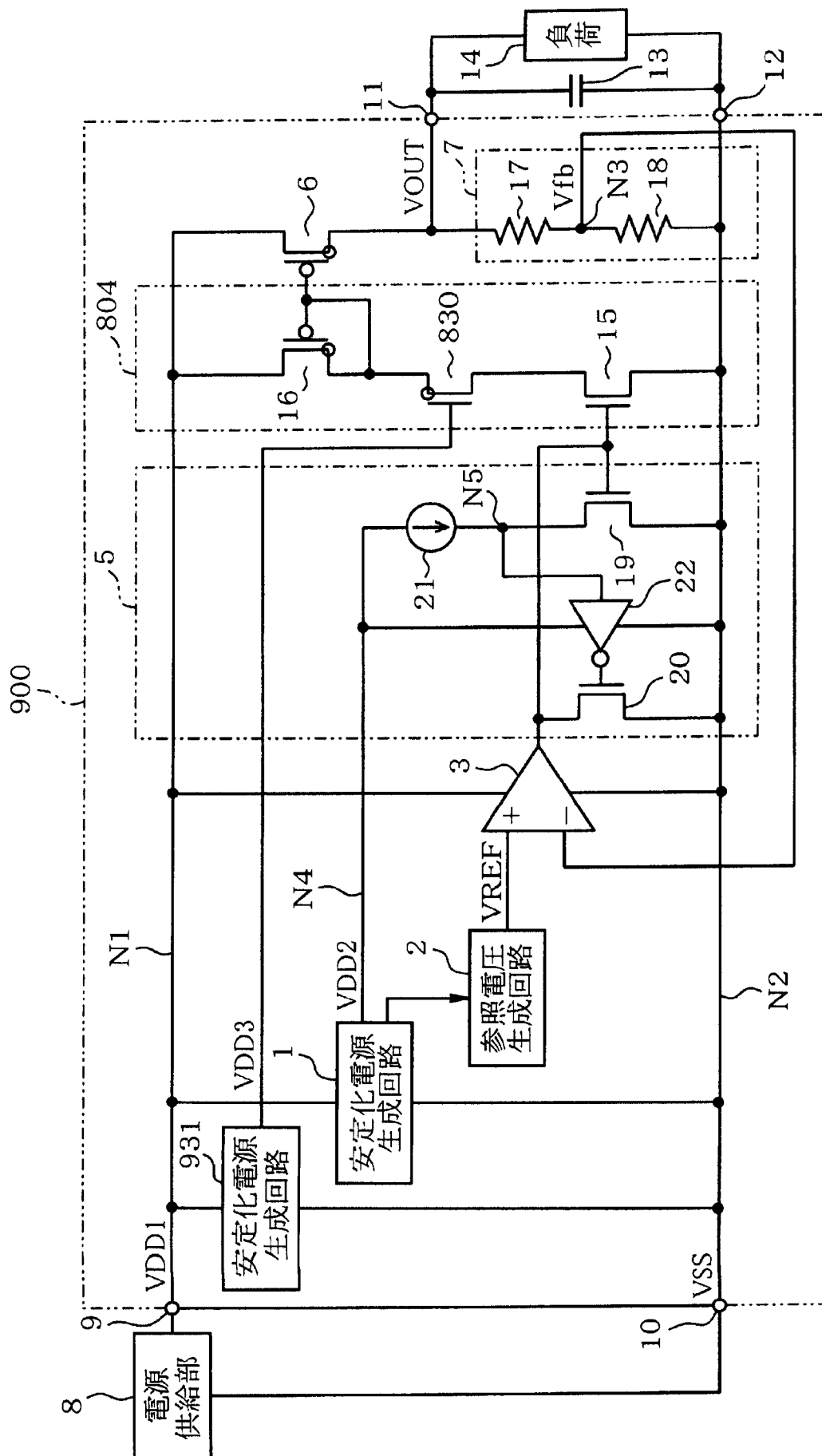
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/076875

A. CLASSIFICATION OF SUBJECT MATTER

G05F1/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-3700 A (Mitsumi Electric Co., Ltd.), 07 January 2013 (07.01.2013), paragraphs [0017] to [0029]; fig. 2, 3 (Family: none)	1-14
A	US 2010/0090665 A1 (HOLTEK SEMICONDUCTOR INC.), 15 April 2010 (15.04.2010), paragraphs [0041] to [0044]; fig. 4 & TW 201015262 A	1-14
A	JP 2014-2458 A (Denso Corp.), 09 January 2014 (09.01.2014), abstract (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 December 2016 (02.12.16)

Date of mailing of the international search report
13 December 2016 (13.12.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/076875

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-23868 A (Ricoh Co., Ltd.), 25 January 2002 (25.01.2002), abstract (Family: none)	1-14
A	JP 2012-88987 A (Mitsumi Electric Co., Ltd.), 10 May 2012 (10.05.2012), abstract & US 2012/0098513 A1 abstract & CN 102455730 A	1-14
A	JP 8-263152 A (Fujitsu Ten Ltd.), 11 October 1996 (11.10.1996), entire text; all drawings & US 5786970 A entire text; all drawings	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G05F1/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G05F1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-3700 A (ミツミ電機株式会社) 2013.01.07, 段落17-29, 図2, 3 (ファミリーなし)	1-14
A	US 2010/0090665 A1 (HOLTEK SEMICONDUCTOR INC.) 2010.04.15, Pars. 41-44, Fig. 4 & TW 201015262 A	1-14
A	JP 2014-2458 A (株式会社デンソー) 2014.01.09, 要約 (ファミリーなし)	1-14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

02.12.2016

国際調査報告の発送日

13.12.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 匡

5G

9650

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-23868 A (株式会社リコー) 2002.01.25, 要約 (ファミリーなし)	1-14
A	JP 2012-88987 A (ミツミ電機株式会社) 2012.05.10, 要約 & US 2012/0098513 A1, 要約 & CN 102455730 A	1-14
A	JP 8-263152 A (富士通テン株式会社) 1996.10.11, 全文, 全図 & US 5786970 A, 全文, 全図	1-14