

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4343158号
(P4343158)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int. Cl. F I
 HO 1 L 23/48 (2006.01) HO 1 L 23/48 G
 HO 1 L 23/40 (2006.01) HO 1 L 23/40 Z

請求項の数 24 (全 13 頁)

(21) 出願番号	特願2005-226633 (P2005-226633)	(73) 特許権者	591074389
(22) 出願日	平成17年8月4日(2005.8.4)		インターナショナル・レクチファイヤー・
(62) 分割の表示	特願2001-573539 (P2001-573539)		コーポレーション
原出願日	平成13年3月29日(2001.3.29)		INTERNATIONAL RECTI
(65) 公開番号	特開2005-354105 (P2005-354105A)		FIER CORPORATION
(43) 公開日	平成17年12月22日(2005.12.22)		アメリカ合衆国90245カリフォルニア
審査請求日	平成17年8月4日(2005.8.4)		州 エル・セグンド、カンザス・ストリー
(31) 優先権主張番号	60/194,522	(74) 代理人	100077481
(32) 優先日	平成12年4月4日(2000.4.4)		弁理士 谷 義一
(33) 優先権主張国	米国 (US)	(74) 代理人	100088915
(31) 優先権主張番号	09/819,774		弁理士 阿部 和夫
(32) 優先日	平成13年3月28日(2001.3.28)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 半導体デバイスのパッケージ製造方法

(57) 【特許請求の範囲】

【請求項1】

MOSゲートデバイスのダイを構成するボディの一側に設けられたドレイン電極と、前記ボディの他側に設けられたソース電極と、前記ボディの他側に設けられ、前記ソース電極と離間して設けられたゲート電極と、前記ボディの他側に設けられ、前記ソース電極と前記ゲート電極とを接触させるための開口を有するパッシベーション層と、前記ドレイン電極に固定されるドレインクリップとからなり、該ドレインクリップがカップ形であり、対向する縁に沿って対向する脚を含み、前記ドレインクリップの前記各々の脚が、前記各々の縁よりも高く延び、表面コンタクトと同一平面上にある平面で終端するような突出面を備えた半導体デバイスのパッケージ製造方法であって、

前記MOSゲートデバイスのウェーハの表面をソルダマスクとして機能する前記パッシベーション層で覆うステップと、

前記ソース電極における間隔を置いて露出された表面領域を形成するために、前記パッシベーション層に開口を形成するとともに、前記ゲート電極を露出する開口を形成し、前記パッシベーション層に形成された前記開口がはんだ付け可能な金属とのコンタクトを可能にするステップと、

前記ウェーハを個々の前記ダイに個別化するステップと、

前記個別化された個々の前記ダイを前記ドレイン電極側の前記ドレインクリップに電気的に取り付けるステップと

を有することを特徴とする半導体デバイスのパッケージ製造方法。

【請求項 2】

前記ドレインクリップが、メッキされることを特徴とする請求項 1 に記載の半導体デバイスのパッケージ製造方法。

【請求項 3】

前記ダイが、導電性エポキシ又ははんだによって前記ドレインクリップに電気的に取り付けられることを特徴とする請求項 1 に記載の半導体デバイスのパッケージ製造方法。

【請求項 4】

前記ドレインクリップが、前記ダイのソース側と脚の底面とが同一平面上になるような少なくとも 1 つの脚を備えることを特徴とする請求項 1 に記載の半導体デバイスのパッケージ製造方法。

10

【請求項 5】

前記ダイと前記ドレインクリップの組立体の部分が少なくともオーバーモールドされることを特徴とする請求項 1 に記載の半導体デバイスのパッケージ製造方法。

【請求項 6】

前記パッシベーション層が、エポキシからなることを特徴とする請求項 1 に記載の半導体デバイスのパッケージ製造方法。

【請求項 7】

前記ウェーハが、スピニングで形成されたパッシベーション層によって覆われることを特徴とする請求項 6 に記載の半導体デバイスのパッケージ製造方法。

【請求項 8】

前記ウェーハが、スクリーニングで形成されたパッシベーション層によって覆われることを特徴とする請求項 6 に記載の半導体デバイスのパッケージ製造方法。

20

【請求項 9】

前記ウェーハが、液体エポキシを付着させることで形成されたパッシベーション層によって覆われることを特徴とする請求項 6 に記載の半導体デバイスのパッケージ製造方法。

【請求項 10】

前記パッシベーション層が、感光性エポキシからなることを特徴とする請求項 1 に記載の半導体デバイスのパッケージ製造方法。

【請求項 11】

前記パッシベーション層が、窒化シリコンからなることを特徴とする請求項 1 に記載の半導体デバイスのパッケージ製造方法。

30

【請求項 12】

MOS ゲートデバイスのダイを構成するボディの一側に設けられたドレイン電極と、前記ボディの他側に設けられたソース電極と、前記ボディの他側に設けられ、前記ソース電極と離間して設けられたゲート電極と、前記ソース電極と前記ゲート電極上に設けられたコンタクトと、前記ボディの他側に設けられたパッシベーション層と、前記ドレイン電極に固定されるドレインクリップとからなり、該ドレインクリップがカップ形であり、対向する縁に沿って対向する脚を含み、前記ドレインクリップの前記各々の脚が、前記各々の縁よりも高く延び、表面コンタクトと同一平面上にある平面で終端するような突出面を備えた半導体デバイスのパッケージ製造方法であって、

40

前記 MOS ゲートデバイスのウェーハの表面をソルダマスク及びメッキレジストとして機能する前記パッシベーション層で覆うステップと、

前記ソース電極における間隔を置いて露出された表面領域を形成するために、前記パッシベーション層に開口を形成するとともに、前記ゲート電極を露出する開口を形成するステップと、

前記ソース電極と前記ゲート電極を、前記メッキレジストとして機能する前記パッシベーション層を用いてメッキし、前記ソース電極上にはんだ付け可能な前記コンタクトを形成するとともに、前記ゲート電極上にはんだ付け可能な前記コンタクトを形成するステップと、

前記ウェーハを個々の前記ダイに個別化するステップと、

50

前記個別化された個々の前記ダイを前記ドレイン電極側の前記ドレインクリップに電気的に取り付けるステップと

を有することを特徴とする半導体デバイスのパッケージ製造方法。

【請求項 1 3】

前記ソース電極とゲート電極が、ニッケル及び金フラッシュ、銅、スズ、その他のはんだ付け可能な金属のいずれかでメッキされることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

【請求項 1 4】

前記はんだ付け可能な金属が、銀であることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

10

【請求項 1 5】

前記ドレインクリップが、メッキされていることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

【請求項 1 6】

前記ダイが、導電性エポキシ又ははんだによって前記ドレインクリップに電気的に取り付けられていることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

【請求項 1 7】

前記ドレインクリップが、前記ダイのソース側と脚の底面とが同一平面上になるような少なくとも 1 つの脚を備えることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

20

【請求項 1 8】

前記ダイと前記ドレインクリップの組立体の部分が少なくともオーバーモールドされることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

【請求項 1 9】

前記パッシベーション層が、エポキシからなることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

【請求項 2 0】

前記ウェーハが、スピニングで形成されたパッシベーション層によって覆われることを特徴とする請求項 1 9 に記載の半導体デバイスのパッケージ製造方法。

30

【請求項 2 1】

前記ウェーハが、スクリーニングで形成されたパッシベーション層によって覆われることを特徴とする請求項 1 9 に記載の半導体デバイスのパッケージ製造方法。

【請求項 2 2】

前記ウェーハが、液体エポキシを付着させることで形成されたパッシベーション層によって覆われることを特徴とする請求項 1 9 に記載の半導体デバイスのパッケージ製造方法。

【請求項 2 3】

前記パッシベーション層が、感光性エポキシからなることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

40

【請求項 2 4】

前記パッシベーション層が、窒化シリコンからなることを特徴とする請求項 1 2 に記載の半導体デバイスのパッケージ製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体デバイスのパッケージ製造方法に関し、より詳細には、新規の半導体デバイスを低コストで製造する半導体デバイスのパッケージ製造方法に関する。

【背景技術】

【0 0 0 2】

50

半導体デバイス及びハウジングはよく知られている。従来技術のデバイスではしばしば、ハウジングの面積が半導体デバイスの面積の何倍、何十倍にもなる。さらに、知られている多くの半導体デバイスパッケージでは、熱がダイの片側、通常は底面だけから放散される。さらに、現在のパッケージでは製造プロセスが、単一デバイスハンドリング技法を使用した高価なプロセスとなっている。

【0003】

より具体的には、現在の半導体デバイス、特にパワーMOSゲートデバイス (power MOS gated device) では、上面のコンタクト(ソース)が一般に、シリコンを約1.0%含むアルミニウムコンタクト(以下、アルミニウムコンタクトという)である。このアルミニウムコンタクトが使用されるのは、ウェーハ製造プロセスによく適合しているためである。しかし、このようなアルミニウムコンタクトへの電気接続を形成することは難しく、そのため通常は、その下のアルミニウムコンタクトにワイヤを超音波で結線するワイヤボンディングプロセスが使用される。これらのワイヤボンディング接続は限られた面積を有し、したがって、動作中の電気抵抗 ($R_{DS(ON)}$) 源及び発熱源となる。しかし、底面のドレインコンタクトはしばしば、例えば、特許文献1に示されているように、はんだ付け又はその他の方法で広い面積のコンタクト表面に電氣的に容易に接続可能な、ワイヤボンディングを用いない三金属 (trimetal) コンタクトである。たとえ大部分の熱が上面の接合部及びワイヤボンドで発生するとしても、熱は主に、シリコンダイの裏面のコンタクト表面から除去される。

【0004】

さらに、特許文献2に示されているように、ダイの上面にはんだ付け可能な上面コンタクトを製作することができることも知られている。しかし、このようなはんだ付け可能な上面コンタクト構造に使用されるパッケージは、ダイ面積に比べて非常に大きな「フットプリント」を有する。

【0005】

【特許文献1】米国特許第5,451,544号明細書

【特許文献2】米国特許第5,047,833号明細書

【特許文献3】米国特許第5,795,793号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

したがって、同じダイに対してより小さなパッケージを使用し、同時にMOSゲート半導体型デバイスの $R_{DS(ON)}$ などの電気特性を向上させるパッケージデザイン及びその製造プロセスを開発することが望ましい。さらに、このようなデバイスは、生産ラインの機器が少なく済み、かつコストも安いバッチハンドリングが可能なプロセスで製造されることが望ましい。

【0007】

本発明は、このような状況に鑑みてなされたもので、その目的とするところは、ダイの両面にパワー電極又は他の電極を有する種類の低コストの半導体デバイスのパッケージ製造方法を提供することにある。

【0008】

本発明は、このような半導体デバイスのパッケージ製造方法を提供して、両方の電極を、共通の支持表面、例えば、プリント回路板上の金属被覆されたパターン上への表面実装に対して使用できるようにするものである。

【課題を解決するための手段】

【0009】

本発明の一実施態様によれば、MOSゲートデバイスウェーハのソース側が、パッシベーション層、好ましくは感光性液体エポキシ、窒化シリコン層などで覆われる。ウェーハは、スピニング、スクリーニング又はその他の方法でウェーハ表面に液体エポキシを付着させることによってコーティングされる。次いで材料を乾かし、コーティングされたウェ

10

20

30

40

50

ー八を標準のフォトリソグラフィ技法を使用し露光してウェー八をイメージングし、パッシベーション層に開口を形成して間隔を置いて配置されたその下のソース金属の複数の表面領域を露出させ、同様の開口を形成して、ウェー八上のそれぞれのダイのゲート電極を露出させる。したがって、この新規のパッシベーション層は、従来のパッシベーション層の働きをし、さらに、メッキレジスト（必要な場合）及びはんだ領域を示し成形するソルダマスクの働きをする。新規のパッシベーション層の開口は、下にあるチタン/タングステン/ニッケル/銀金属などの従来のはんだ付け可能な上面金属まで貫通させることができる。あるいは、下にある金属がより一般的なアルミニウム金属である場合には、露出したアルミニウムを、パッシベーションをメッキレジストとして使用して、ニッケル及び金フラッシュ、又は他の一連の金属でメッキし、はんだ付け可能な表面とすることもできる。メッキされた金属セグメントの上面は、容易にはんだ付け可能であり、アルミニウム電極への通常のワイヤボンドの高抵抗接続に比べて低い抵抗で接触する。

10

【0010】

ソースコンタクト領域は、さまざまなジオメトリを有することができ、大面積の単一領域を構成することもできる。

【0011】

次いで、ウェー八をダイシングソー又はその他の方法で個々のダイに個別化する。次いで、個々のダイをソース側を下にして配置し、部分的にメッキされたU字形又はカップ形のドレインクリップを、導電性エポキシ、はんだなどを使用してダイのはんだ付け可能なドレイン側に接続して、ドレインクリップをダイの底面ドレイン電極に接合する。ドレインクリップの脚の底面は、ダイのソース側表面（すなわち、コンタクト突起の上面）と同一平面上にある。次いで、ダイの外表面をモールドトレイ中にオーバーモールドする。このようなドレインクリップを有する多数のダイをモールドトレイ中に同時にモールドすることができる。

20

【0012】

接合材料は、パッシブ材料のフィレットで、又はアSEMBリ全体又は一部をオーバーモールドすることによって保護することができる。これらの部分は、リードフレーム、連続ストリップを使用して、又は単一のブロック中にデバイスをモールドし、そのブロックからデバイスを個別化することによって、生産することができる。

【0013】

モールド後、デバイスを検査し、レーザマークし、再び個々のデバイスに切断する。

30

【発明を実施するための最良の形態】**【0014】**

本発明は、ゲート及びソース電極を一方の面に有し、ドレイン電極を反対側の面に有する垂直導通パワーMOSFETに関して説明されるが、本発明は、さまざまなトポロジのIGBT、サイリスタ、ダイオードなどへも同じように適用可能である。

【0015】

後述するように、新規のダイクリップ(die clip)が、裏面電極(MOSFETのドレイン電極)の少なくとも一部分を取り囲み、かつそれと接触し、クリップの少なくとも1つの脚がダイの縁よりも高く延び、表面コンタクト(MOSFETのゲート及びソース)と同一平面上にある平面で終端する。ただし、この縁は表面コンタクトから絶縁される。次いで、デバイスをダイ及びクリップの裏面及び側面でオーバーモールド(overmold)して、全てのダイ電極について同一平面上にある平らなはんだ付け可能なコンタクト表面を実装表面に提供する。

40

【0016】

新規のソルダマスク(solder mask)を使用して全ての上面コンタクト表面を形成して、容易にはんだ付け可能なコンタクト表面を、ダイがウェー八段階にある間にダイの上面に形成する。次いで、個別化後のダイにドレインクリップを取り付け、ドレインクリップをバッチモールドプロセスでオーバーモールドする。

【0017】

50

以下、図面を参照して本発明の実施の形態について説明する。

【0018】

図1は、本発明を適用することができる一般的なパワーMOSFETを示す図である。このパワーMOSFETであるダイ30は、例えば、特許文献3に示されているタイプのダイであるが、シリコンボディ31、上面アルミニウム（すなわち、シリコンを1.0%含むアルミニウム）ソース電極32、アルミニウムゲート電極33、及び容易にはんだ付け可能な従来の三金属電極とすることができる底面ドレイン電極34を含んだ接合部を有する任意の種類ダイとすることができる。上面アルミニウム層は、適当な他の金属材料とすることもできる。接続は通常、ワイヤボンディングによってアルミニウム電極32及び33に対して実施される。

10

【0019】

本発明によれば、図3及び図4に示すように、容易にはんだ付け可能な複数のコンタクトポスト(contact post)36がソース電極32に固定(ソース電極32上に形成)され、コンタクトポスト37がゲート電極33に固定される。これについては後述する。コンタクト36及び37は、銀トップ金属ダイの場合には、パッシベーション層38の厚さと同じ高さに、メッキアルミニウムトップ金属ダイの場合には、パッシベーション層38の厚さの1/2の厚さと同じ高さになっている。これらの平らなコンタクト上面は互いに同一平面上にある。これらのコンタクト表面への接触は、印刷可能な最小はんだ厚さでパッシベーション層38の約4倍から5倍の厚さのソルダペーストによって実施される。

20

【0020】

コンタクト36のパターンは、図5、図11、図18に示したものなど、さまざまな形態をとることができる。さらに、図6のダイ及び図7、図8のダイのソースコンタクト40、41など、はんだ付け可能な大面積コンタクトを使用することもできる。コンタクト36、37及び40を形成する金属被覆プロセスについては後述する。

【0021】

図3乃至図8に示したように、準備されたダイを含む新規のパッケージの形成では、メッキ(又は部分的にメッキ)された図9の新規の導電性金属クリップ45を使用する。この導電性金属クリップ45は、他の表面への接触を実施するときに少なくとも部分的にメッキされた銀表面を有する銅合金とすることができる。

30

【0022】

また、導電性金属クリップ45は、概ね「U字形」の形状を有し、表面47からポスト36、37の自由面まで測定したダイ31の厚さに金属クリップ45の平らな薄いウェブ(web)48のメッキされた内面47にドレインを接続するのに使用する接着剤の厚さを加えた厚さよりもわずかに長い短い脚(leg)46を有する。金属クリップ45は、例えば、脚46の全長に沿って0.7mmの全厚、表面47から脚46の自由端まで約0.39mmの長さを有し、また、脚46間の距離はダイのサイズによって異なり、インターナショナルレクチファイアコーポレーション(International Rectifier Corporation)社の4.6サイズのダイに対しては距離5.6mmが使用され、それぞれの脚46の全幅は約1.5mmである。

40

【0023】

金属クリップ45には、さらに、図10に示すように、モールドロック開口48及び49を形成することができる。

【0024】

本発明の1つの特徴によれば、ダイ30のはんだ付け可能な底面ドレイン電極34は、図12に示すように、ドレインクリップ(drain clip)45のメッキされた内面に導電性接着剤60によって電氣的に接続され固定される。この導電性接着剤60は、例えば、適当に硬化させた銀を含むエポキシ材料である。ダイ30の側縁と対向するクリップ45の脚46の側面との間にはギャップ61及び62が残される。

【0025】

50

構造の寸法は、脚 4 6 (ドレインコネクタ) の自由面とポスト 3 6 及び 3 7 が同一平面上にあるように決められる。

【 0 0 2 6 】

その後、図 1 3、図 1 4 及び図 1 5 に示すように、図 1 1 及び図 1 2 のデバイスを、モールドコンパウンド 7 0 を用いてモールドトレ中にオーバーモールドする。モールドコンパウンド 7 0 は、脚 4 6 の外側自由面を除くクリップ 4 5 の露出した外面全体に配置される。図 1 3 及び図 1 5 に示すように、モールドコンパウンドはギャップ 6 1 及び 6 2 を埋める。これでデバイスは、コンタクト 3 6、3 7 及び脚 4 6 と整列したプリント回路板上の導電性トレースへ表面実装する準備が整ったことになる。

【 0 0 2 7 】

図 1 6 乃至図 1 9 は、別のクリップジオメトリを使用した本発明の他の実施形態を示す図である。図 1 6 及び図 1 7 のクリップ 8 0 は、ウェブ 8 1 ならびに分割され突出した 3 つの脚 8 2、8 3 及び 8 4 を有する。最初に、図 1 8 及び図 1 9 に示すように、突出したコンタクト 3 6 及び 3 7 を有するダイ 3 0 をそのドレインコンタクト (図示せず) のところで、コンタクト 3 6、3 7 とドレインクリップの突起 8 2、8 3 及び 8 4 の自由面とが同一平面上にあるようにウェブ 8 1 に接着する。次いで、デバイスを、モールドコンパウンド 7 0 を用いて適当なモールドトレ中にオーバーモールドする。

【 0 0 2 8 】

図 2 0 及び図 2 1 は、図 7 及び図 8 に示したダイが、銀メッキされた銅合金であるカップ形クリップの中に装着された本発明の他の実施形態を示す図である。このカップ形クリップ 1 0 0 は、長さ及び幅がダイ 3 0 よりも大きい内部面積を有し、ダイ 3 0 の底面ドレイン電極は、銀を含む (導電性) エポキシ 1 0 2 によって内部ウェブの表面 1 0 1 (図 2 1) に接続される。エポキシを硬化させる。最適には、ダイの縁の周囲に低応力、高接着力のエポキシ 1 0 3 をリング状に塗布し、パッケージを密封し、かつパッケージに構造強さを追加する。

【 0 0 2 9 】

はんだ付け可能なコンタクト 4 0 の上面は、ドレインクリップ 1 0 0 の突出面 1 0 5 と同一平面上にある。したがって、全てのコンタクト 1 0 5、4 0 及び 3 7 が、プリント回路板上のコンタクトトレースと整列する。ドレインコンタクトは適当な任意の形態をとることができ、所望ならば単一のコンタクトを含むことができる。

【 0 0 3 0 】

図 2 2 乃至図 2 4 は、従来のダイのアルミニウム電極上に導電性ポストを形成する新規のプロセスを示す図である。ダイ個別化前のウェーハ 1 1 0 の中に、ゲート電極 3 7 及び分離したソース電極 (符号なし) をそれぞれが有する全く同じ複数のダイが示されている。ウェーハの形態である間に、ウェーハ 1 1 0 の上面を、フォトイメージング可能なソルダマスク 1 1 1 でコーティングする。このソルダマスク 1 1 1 は、パッシベーション層、メッキレジスト (必要な場合)、及びはんだ領域を示し成形するソルダマスクの働きをする感光性液体エポキシである。ただし他のマスク材料、例えば、窒化シリコンを使用することもできる。従来のレチクルを使用して、マスクを貫通してその下にあるダイ上面金属上のソース及びゲートコンタクトに達する複数の開口 1 1 1 a から 1 1 1 d を形成する。これらの開口の形成にはレーザエッチングプロセスを使用することができる。

【 0 0 3 1 】

図 2 4 に示すように、次いで、ウェーハの表面に一連の金属 1 1 2 a から 1 1 2 d をメッキする。メッキは、開口 1 1 1 a から 1 1 1 b を通して露出したソース 3 2 (及び他の電極) の金属に付着し、ソースとのコンタクト 1 1 2 a から 1 1 2 d 及びゲートの同様のコンタクトを形成する。金属 1 1 2 a から 1 1 2 d は、アルミニウムと良好な接触を形成するニッケルの第 1 の層と金フラッシュとから成ることができる。あるいは、ニッケル、続いて銅、すずなどの層、最後に容易にはんだ付け可能な銀などの金属上面とすることもできる。

【 0 0 3 2 】

10

20

30

40

50

次いで、ウェーハを切断して、例えば、線 1 1 2 及び 1 1 3 でダイを切り離し、ダイ 3 0 を個別化する。一般的なダイ 3 0 は、図 3 乃至図 8 に示すような外観を有し、絶縁面よりも高く突き出た、はんだ付け可能な複数のソースコンタクト及びゲートコンタクトを有する。

【 0 0 3 3 】

次いで、個別化したダイは、ドレインソース側を下にして銀又は他の導電性コーティングで内面がメッキされた導電性クリップに入れる。ダイは、上述した導電性エポキシなどの従来の接合材料を使用してクリップに接合する。クリップ/カン (c a n) は、リードフレームの形態をとることができ、後にこのリードフレームからデバイスを個別化することができる。

10

【 0 0 3 4 】

本発明の特定の実施形態に基づいて本発明を説明してきたが、多くの他の変形及び修正ならびに他の使用方法があることは当業者には明白であろう。したがって、本明細書の特定の開示によって本発明が限定されず、本発明が添付の請求項によってのみ限定されることが好ましい。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 本発明に従って収容することができる個別化されたパワー M O S F E T ダイの上面図である。

【 図 2 】 図 1 に示した切断線 2 - 2 における断面図である。

20

【 図 3 】 本発明に従って処理した後の、分離された複数の「はんだ付け可能」なソースコンタクト領域及び「はんだ付け可能」なゲート領域が画定された図 1 のダイの上面図である。

【 図 4 】 図 3 に示した切断線 4 - 4 における断面図である。

【 図 5 】 修正されたソースコンタクトパターンを有するダイを示す、図 3 に類似の図である。

【 図 6 】 大面積の他の「はんだ付け可能」なソースコンタクトパターンを示す、図 3 及び図 5 に類似の図である。

【 図 7 】 本発明のプロセスを使用して形成した (コーナゲートを有する) 他のコンタクトトポロジの上面図である。

30

【 図 8 】 図 7 に示した切断線 8 - 8 における断面図である。

【 図 9 】 本発明におけるドレインクリップの第 1 の実施形態の透視図である。

【 図 1 0 】 モールドロック開口がクリップに形成された図 9 に示したドレインクリップの上面図である。

【 図 1 1 】 図 3 及び図 4 に示したダイと図 9 に示したクリップから成るサブアセンブリの下面図である。

【 図 1 2 】 図 1 1 に示した切断線 1 2 - 1 2 における断面図である。

【 図 1 3 】 モールドトレイ中にオーバーモールドした後の図 1 1 及び図 1 2 のサブアセンブリを示す図である。

【 図 1 4 】 図 1 3 に示した切断線 1 4 - 1 4 における断面図である。

40

【 図 1 5 】 図 1 3 に示した切断線 1 5 - 1 5 における断面図である。

【 図 1 6 】 ドレインクリップの他の実施形態の透視図である。

【 図 1 7 】 図 1 6 に示したクリップの上面図である。

【 図 1 8 】 図 1 6 及び図 1 7 に示したクリップと図 3 及び図 4 に示した一般的な種類のダイとから成るアセンブリの、オーバーモールド後の下面図である。

【 図 1 9 】 図 1 8 に示した切断線 1 9 - 1 9 における断面図である。

【 図 2 0 】 図 7 及び図 8 に示したトポロジのダイを含むカップ形ドレインクリップの下面図である。

【 図 2 1 】 図 2 0 に示した切断線 2 1 - 2 1 における断面図である。

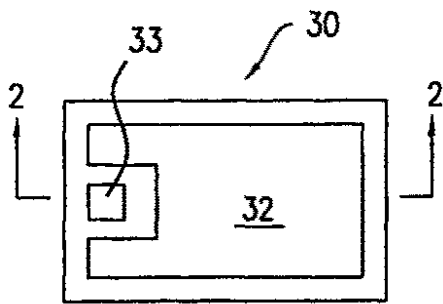
【 図 2 2 】 個別化前の M O S F E T ダイウェーハを示す図である。

50

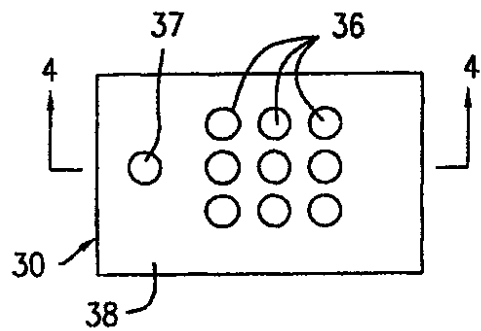
【図23】図22に示したウェーハのソース表面にパッシベーション層を形成し、それをパターニングするプロセス段階を示す図である。

【図24】図23に示したパッシベーション層の上の金属被覆を示す図である。

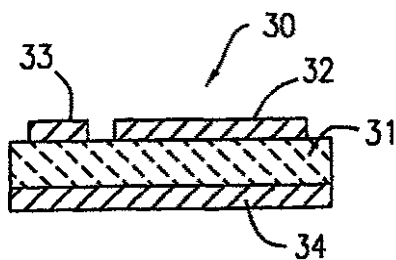
【図1】



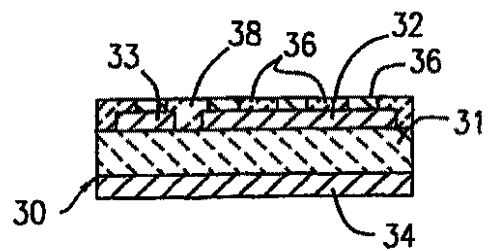
【図3】



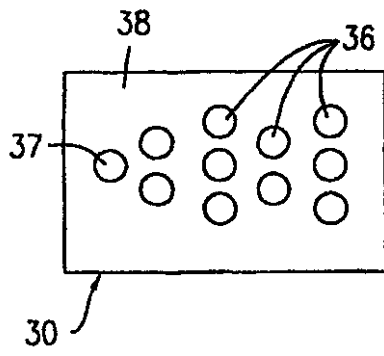
【図2】



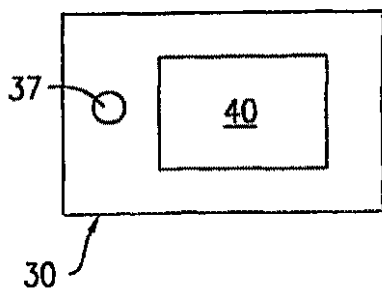
【図4】



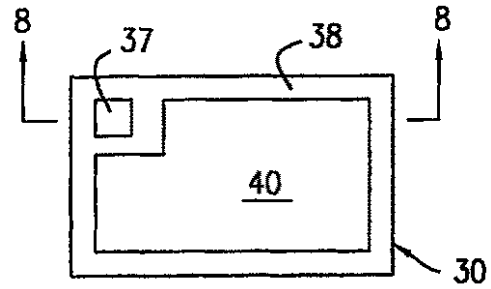
【図5】



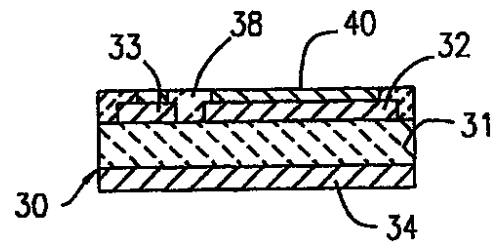
【図6】



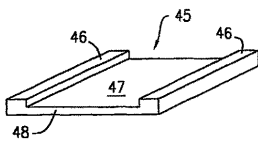
【図7】



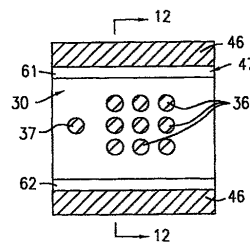
【図8】



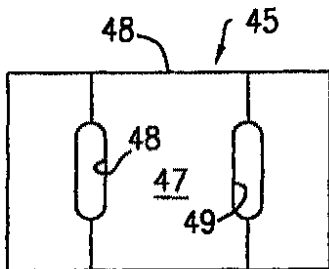
【図9】



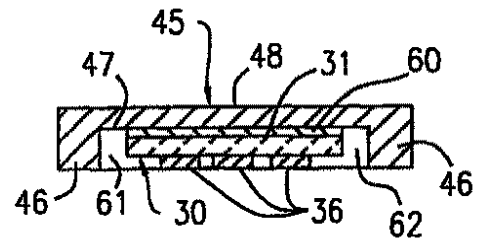
【図11】



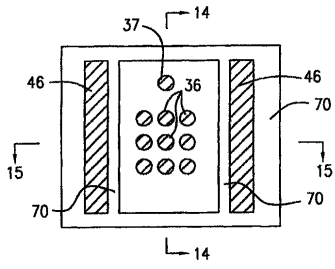
【図10】



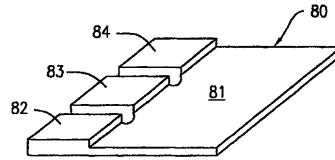
【図12】



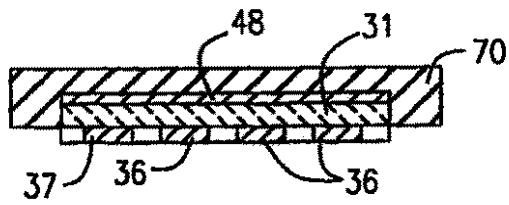
【図 13】



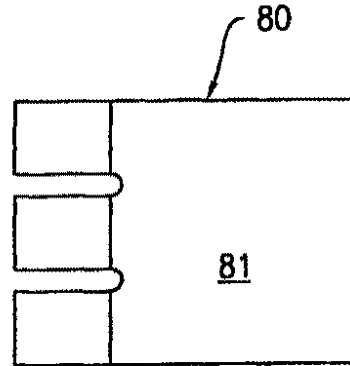
【図 16】



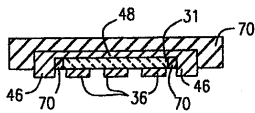
【図 14】



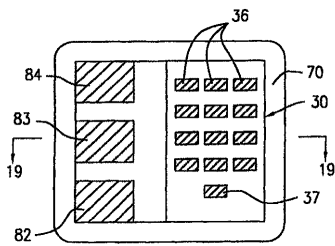
【図 17】



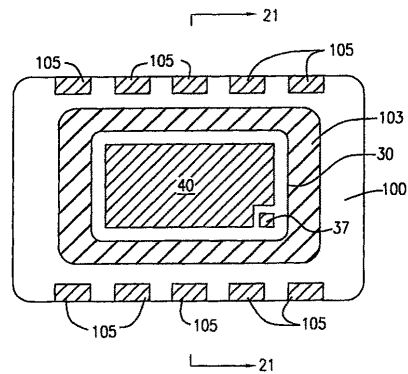
【図 15】



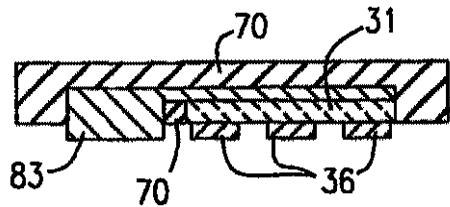
【図 18】



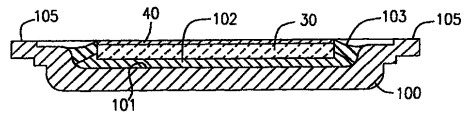
【図 20】



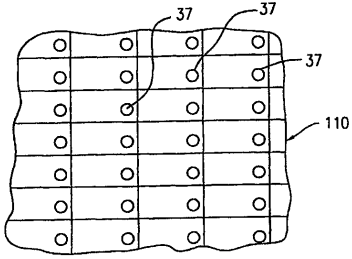
【図 19】



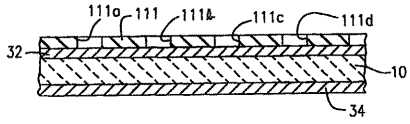
【図 21】



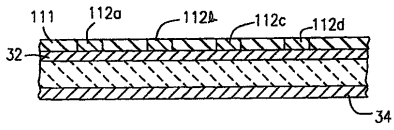
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(72)発明者 マーティン スタンディング
イギリス ティーエヌ9 1エックスディー ケント トンブリッジ バーデン パーク ロード
19

(72)発明者 ハイゼル デボラ スコフィールド
イギリス ティーエヌ10 4ビーキュー ケント トンブリッジ ハント ロード 91

審査官 田中 永一

(56)参考文献 特開2000-243887(JP,A)
特開平08-213428(JP,A)
特開平11-054673(JP,A)
特開平07-202064(JP,A)
特許第3768158(JP,B2)
特開平09-266210(JP,A)
特開平11-135532(JP,A)
特開昭48-003080(JP,A)
特開平08-213402(JP,A)
特開平03-198342(JP,A)
特開平02-291133(JP,A)
特開平02-067731(JP,A)
特開平8-213428(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12
H01L 23/40
H01L 21/52
H01L 21/60
H01L 23/48