

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4527552号  
(P4527552)

(45) 発行日 平成22年8月18日(2010.8.18)

(24) 登録日 平成22年6月11日(2010.6.11)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 6 K

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 6 U

H O 1 L 29/78 6 1 8 C

請求項の数 9 (全 13 頁)

(21) 出願番号 特願2005-8855 (P2005-8855)  
 (22) 出願日 平成17年1月17日(2005.1.17)  
 (65) 公開番号 特開2006-196822 (P2006-196822A)  
 (43) 公開日 平成18年7月27日(2006.7.27)  
 審査請求日 平成18年2月22日(2006.2.22)

(73) 特許権者 308014341  
 富士通セミコンダクター株式会社  
 神奈川県横浜市港北区新横浜二丁目10番  
 23  
 (74) 代理人 100091340  
 弁理士 高橋 敬四郎  
 (72) 発明者 奥野 昌樹  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁性表面を有する支持基板と、

前記支持基板上に形成され、支持基板表面に対してほぼ垂直な一対の側面および前記両側面を接続する上面を有し、第1導電型を有するフィン型半導体領域と、

前記フィン型半導体領域の中間部を横断して形成され、ゲート絶縁膜とその上に形成された導電性ゲート電極とを含む絶縁ゲート電極構造と、

前記導電性ゲート電極両側の前記フィン型半導体領域に第2導電型不純物を添加して形成された、第2導電型を有するソース/ドレイン領域と、

前記導電性ゲート電極の側壁上に形成された第1サイドウォール絶縁膜と、前記フィン型半導体領域の側壁上に形成され、前記ソース/ドレイン領域上において、前記フィン型半導体領域の側面の上端から下端に達する開口を有する第2サイドウォール絶縁膜と、を含むサイドウォール絶縁膜と、

前記サイドウォール絶縁膜の開口内に露出された前記ソース/ドレイン領域の表面に形成されたシリサイド層と、

前記シリサイド層にコンタクトするソース/ドレイン電極と、

前記フィン型半導体領域、前記絶縁ゲート電極構造を埋め込み、前記サイドウォール絶縁膜の開口を露出するコンタクトホールを有する層間絶縁膜と、を有し、前記シリサイド層は前記コンタクトホール内に形成されている半導体装置。

【請求項2】

10

20

前記ソース/ドレイン領域は、前記フィン型半導体領域の側面および上面に形成され、前記シリサイド層は前記フィン型半導体領域の側面および上面上に形成されている請求項1記載の半導体装置。

【請求項3】

さらに、前記フィン型半導体領域の上面上に形成されている絶縁性保護膜を有し、前記ゲート絶縁膜は前記フィン型半導体層の側面上に形成され、前記シリサイド層は前記フィン型半導体領域の側面上に形成されている請求項1記載の半導体装置。

【請求項4】

前記ソース/ドレイン電極は、前記コンタクトホールを埋め込んで形成されている請求項1記載の半導体装置。

【請求項5】

(a) SOI基板の半導体層をパターニングし、絶縁表面を有する支持基板上に、支持基板表面に対しほぼ垂直な一对の側面および前記両側面を接続する上面を有するフィン型半導体領域を形成する工程と、

(b) 前記フィン型半導体領域の中間部を横断し、ゲート絶縁膜とその上の導電性ゲート電極とを含む絶縁ゲート電極構造を形成する工程と、

(c) 前記フィン型半導体領域および前記絶縁ゲート電極構造の側面上にサイドウォール絶縁膜を形成する工程と、

(d) 前記絶縁ゲート電極構造両側の前記フィン型半導体領域にソース/ドレイン領域を形成する工程と、

(e) 前記サイドウォール絶縁膜を覆って、層間絶縁膜を堆積する工程と、

(f) 前記層間絶縁膜を貫通して前記ソース/ドレイン領域に達するコンタクトホールを開口すると共に、前記コンタクトホール内の前記サイドウォール絶縁膜を除去し、前記ソース/ドレイン領域を露出する工程と、

(g) 前記コンタクトホール内に露出した前記ソース/ドレイン領域にシリサイド層を形成する工程と、  
を含む半導体装置の製造方法。

【請求項6】

前記工程(a)が、上面および側面を露出した構造のフィン型半導体領域を形成し、前記工程(d)が、前記フィン型半導体領域の上面および側面に前記ソース/ドレイン領域を形成し、前記工程(f)が、前記フィン型半導体領域のソース/ドレイン領域の上面および側面を露出し、前記工程(g)が、露出された前記ソース/ドレイン領域の上面および側面上にシリサイド層を形成する請求項5記載の半導体装置の製造方法。

【請求項7】

前記工程(a)が、フィン型半導体領域上に絶縁保護膜を備えたフィン型構造を形成し、前記工程(d)が、前記フィン型半導体領域の側面に前記ソース/ドレイン領域を形成し、前記工程(f)が、前記フィン型半導体領域側面のソース/ドレイン領域を露出し、前記工程(g)が、露出された前記フィン型半導体領域側面のソース/ドレイン領域上にシリサイド層を形成する請求項5記載の半導体装置の製造方法。

【請求項8】

さらに、(h) 前記コンタクトホール内にソース/ドレイン電極を埋め込む工程を含む請求項5～7のいずれか1項記載の半導体装置の製造方法。

【請求項9】

さらに、(i) 前記SOI基板に窒化処理を行い、半導体層と埋め込み絶縁膜との界面に窒化膜を形成する工程を含む請求項5～8のいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関し、特にフィン型構造を持つ電界効果トラン

10

20

30

40

50

ジスタを含む半導体装置とその製造方法に関する。

【0002】

なお、フィン型構造を持つ電界効果トランジスタとは、一般的にFin-FETまたはダブルゲートFin-FETと呼ばれ、基板の表面に対してチャネルの面が垂直になっている3次元型の電界効果トランジスタであって、基板の面に対して垂直な薄い壁（フィン）状の突起があり、フィンの両側面上にゲート絶縁膜、ゲート電極が形成され、ゲート両側のフィンにソース/ドレイン領域が形成されている構造を有する。

【背景技術】

【0003】

フィン型構造を持つ電界効果トランジスタは、チャネル面を基板表面に垂直に配置するため、基板上の占有面積を低減でき、誘電体分離を容易とし、微細化、高速動作化に対する適応性が高い。絶縁膜上にシリコン層を配置したSOI (semiconductor on insulator) 基板のシリコン層上に酸化膜や、酸化膜/窒化膜積層等のキャップ層を設け、パターニングしてシリコンのフィンを形成する。フィン表面に酸化シリコン、窒化酸化シリコン等のゲート絶縁膜を形成した後、ポリシリコン層を堆積し、パターニングして絶縁ゲート電極を形成する。ゲート電極両側のフィン領域をドーピングしてソース/ドレイン領域を形成すれば、基本的なFET構造を形成できる。

【0004】

Fin-FETの構成例を、図5に示す。図5において、SOI基板のシリコン層をパターニングして、フィン51とその両側で幅を広げたコンタクト領域52, 53が形成される。シリコン層の上にはキャップ層61が残る。フィン側壁に犠牲酸化膜を形成し、除去した後ゲート絶縁膜62を酸化、窒化などにより形成する。基板上にポリシリコン層を堆積し、パターニングしてゲート電極71を形成する。ゲート電極71の端部には幅を広げたコンタクト領域72が形成される。イオン注入などで不純物を添加してソース/ドレインを形成する。層間絶縁膜でトランジスタ構造を埋め込んだ後、コンタクト領域に達するコンタクトホールを開口し、タングステンプラグ等の導電性プラグ80をコンタクトホール内に埋め込む。ゲート電極をポリシリコン層とシリサイド層の積層とすることによりゲート抵抗を低減化することもできる。

【非特許文献1】Fu-Liang Yang et al.; 2002 Symposium onVLSI Technology Digest of Technical Papers, p. 104, 2002

【非特許文献2】Bin Yu et al.; IEDM Tech. Dig., p251, 2002 Fin-FETのチャネルは、ゲート絶縁膜を介してゲート電極と対向する側面に形成される。チャネル長は、ゲート電極（ポリシリコン層）の幅で決定される。チャネル幅はフィンの高さで決定される。フィンの長さはプロセス精度などによって決定されるが、幅狭のソース/ドレインの引き出し部は、ソース/ドレインの抵抗を高くする。フィンの端部を拡げず、フィンを切断して金属層を埋め込み、ショットキコンタクトを形成する提案もある。

【0005】

【特許文献1】特開2002-289871号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、高性能の、フィン型構造を持つ電界効果トランジスタを含む半導体装置とその製造方法を提供することである。

【0007】

本発明の他の目的は、ソース/ドレインのコンタクト抵抗が低い、フィン型構造を持つ電界効果トランジスタを含む半導体装置とその製造方法を提供することである。

【課題を解決するための手段】

【0008】

本発明の一観点によれば、  
絶縁性表面を有する支持基板と、

10

20

30

40

50

前記支持基板上に形成され、支持基板表面に対してほぼ垂直な一对の側面および前記両側面を接続する上面を有し、第1導電性を有するフィン型半導体領域と、

前記フィン型半導体領域の中間部を横断して形成され、ゲート絶縁膜とその上に形成された導電性ゲート電極とを含む絶縁ゲート電極構造と、

前記導電性ゲート電極両側の前記フィン型半導体領域に第2導電型不純物を添加して形成された、第2導電性を有するソース/ドレイン領域と、

前記導電性ゲート電極の側壁上に形成された第1サイドウォール絶縁膜と、前記フィン型半導体領域の側壁上に形成され、前記ソース/ドレイン領域上において、前記フィン型半導体領域の側面の上端から下端に達する開口を有する第2サイドウォール絶縁膜と、を含むサイドウォール絶縁膜と、

10

前記サイドウォール絶縁膜の開口内に露出された前記ソース/ドレイン領域の表面に形成されたシリサイド層と、

前記シリサイド層にコンタクトするソース/ドレイン電極と、

前記フィン型半導体領域、前記絶縁ゲート電極構造を埋め込み、前記サイドウォール絶縁膜の開口を露出するコンタクトホールを有する層間絶縁膜と、  
を有し、前記シリサイド層は前記コンタクトホール内に形成されている半導体装置が提供される。

#### 【0009】

本発明の他の観点によれば、

(a) SOI基板の半導体層をパターニングし、絶縁表面を有する支持基板上に、支持基板表面に対しほぼ垂直な一对の側面および前記両側面を接続する上面を有するフィン型半導体領域を形成する工程と、

20

(b) 前記フィン型半導体領域の中間部を横断し、ゲート絶縁膜とその上の導電性ゲート電極とを含む絶縁ゲート電極構造を形成する工程と、

(c) 前記フィン型半導体領域および前記絶縁ゲート電極構造の側面上にサイドウォール絶縁膜を形成する工程と、

(d) 前記絶縁ゲート電極構造両側の前記フィン型半導体領域にソース/ドレイン領域を形成する工程と、

(e) 前記サイドウォール絶縁膜を覆って、層間絶縁膜を堆積する工程と、

(f) 前記層間絶縁膜を貫通して前記ソース/ドレイン領域に達するコンタクトホールを開口すると共に、前記コンタクトホール内の前記サイドウォール絶縁膜を除去し、前記ソース/ドレイン領域を露出する工程と、

30

(g) 前記コンタクトホール内に露出した前記ソース/ドレイン領域にシリサイド層を形成する工程と、

を含む半導体装置の製造方法

が提供される。

#### 【発明の効果】

#### 【0010】

ゲート電極の側面上にサイドウォール絶縁膜を形成しつつ、ソース/ドレイン領域のコンタクト部分ではサイドウォール絶縁膜を除去し、シリコン層の側面にシリサイド層を形成するため、ソース/ドレインのコンタクト抵抗を低減化できる。

40

#### 【発明を実施するための最良の形態】

#### 【0011】

以下、図面を参照して本発明の実施例を説明する。

#### 【0012】

図1A-1Yは、本発明の実施例によるフィン型構造を持つ電界効果トランジスタを含む半導体装置の製造方法を説明するための断面図、平面図、及び斜視図である。

#### 【0013】

図1Aに示すように、シリコン支持基板11の上に、埋め込み酸化シリコン層12を設け、その上に薄いシリコン層13を備えたSOI基板を準備する。半導体素子を形成する

50

シリコン層 13 は、例えば厚さ 100 nm に調整する。このシリコン層の厚さは、後に形成するフィン型領域の高さとなり、フィン型電界効果トランジスタのチャネル幅を決定する。

【0014】

図 1 B に示すように、 $N_2$ 、 $NO$ 、 $NH_3$ 、 $NF_3$ 、 $N_2O$ 、エレクトロンサイクロトロンレゾナンス (ECR) プラズマで活性化した窒素雰囲気等の窒化性雰囲気中で SOI 基板を 800 ~ 1000 に加熱し、5 分 ~ 60 分のアニールを行なう。シリコン層 13 と埋め込み酸化膜 12 との界面に窒化シリコン膜 14 x が形成されると共に、シリコン層 13 の表面にも窒化シリコン層 14 y が形成される。窒化シリコン層 14 x は、エッチストップパとしての機能を有する。なお、窒化性雰囲気中での熱処理に関しては、特開 2002 - 26299 号公報、段落 0016 ~ 0026 を参照できる。

10

【0015】

図 1 C 1 に示すように、表面の窒化シリコン層 14 y を熱燐酸等により除去する。

【0016】

図 1 C 2 に示すように、シリコン層 13 の上に、酸化シリコン層と窒化シリコン層との積層等のキャップ層 CL を形成することもできる。なお、図 1 B に示す窒化シリコン層 14 y をそのままキャップ層として用いても良い。以下、主にキャップ層 CL がない構造を例にとって説明するが、キャップ層 CL を設けた場合についても適宜説明する。

図 1 D に示すように、シリコン層 13 の上に酸化シリコン層 15 を例えば厚さ 10 nm ~ 20 nm CVD により堆積し、ハードマスク層を形成する。酸化シリコン層 15 の上に、レジストマスク RM1 を形成する。このレジストマスク RM1 は、シリコン層 13 をエッチしてフィンを形成するためのマスクである。フィンの幅は、例えば約 20 nm である。レジストマスク RM1 をエッチングマスクとし、ハードマスク層 15 をエッチングする。続いて、レジストマスク RM1 及びハードマスク層 15 をマスクとしてシリコン層 13 をエッチングする。

20

【0017】

図 1 E に示すように、レジストマスク RM1 の形状にならってシリコン層 13 がエッチングされる。シリコン層 13 下の窒化シリコン層 14 は、エッチングストップとして機能する。

【0018】

図 1 F に示すように、酸系の溶液を用い、レジストマスク RM1 及びハードマスク層 15 を溶液洗浄により除去する。

30

【0019】

図 1 G 1 に示すように、800 ~ 1200 の温度で酸素を含むガス中で酸化処理を行なうことにより、シリコン層 13 表面に厚さ 0.6 nm ~ 2 nm のゲート絶縁膜を形成する。その後、800 ~ 1200 の温度で窒素を含むガス中で窒化処理を行なうことにより、ゲート絶縁膜を酸窒化膜とする。窒素を含むガスとしては、上述同様の  $N_2$ 、 $NO$ 、 $NH_3$ 、 $NF_3$ 、 $N_2O$ 、エレクトロンサイクロトロンレゾナンス (ECR) プラズマで活性化した窒素雰囲気等の窒化性雰囲気等を用いればよい。

このようにして、シリコン層 13 の上面及び側面に酸窒化膜のゲート絶縁膜 15 が形成される。

40

【0020】

図 1 G 2 に示すように、キャップ層 CL がある場合は、ゲート絶縁膜 15 はシリコン層 13 の両側面にのみ形成される。

【0021】

図 1 H に示すように、フィン型構造を覆ってポリシリコン層 16 を厚さ約 100 nm CVD により堆積する。フィン型半導体領域上およびその近傍では、ポリシリコン層 16 の高さは約 200 nm となる。

【0022】

図 1 I に示すように、ポリシリコン 16 の上に、厚さ 10 nm ~ 20 nm の酸化シリコ

50

ン層 17 を C V D により形成し、上述同様のハードマスク層を形成する。酸化シリコン層 17 の上にポリシリコン層 16 をエッチングするためのレジストマスク R M 2 を形成する。レジストマスク R M 2 は、ゲート電極をエッチングするためのマスクであり、ゲート長を決定するその幅は、100 nm 以下、例えば 50 nm とする。レジストマスク R M 2 をマスクとし、ハードマスク層 17 をエッチングし、レジストマスク R M 2 とハードマスク層 17 をマスクとしてポリシリコン層 16 をエッチングする。その後、酸系の溶液洗浄によりレジストマスク R M 2 及びハードマスク層 17 を除去する。

図 1 J、1 K に示すように、フィン型半導体領域 13 の中間部を横断するポリシリコンのゲート電極 16 が形成される。図 1 J はゲート電極を通る断面図であり、図 1 K は、ゲート電極 16 を形成した状態の平面図である。幅約 20 nm のフィン型半導体領域 13 の中間部を横断して、幅約 50 nm のポリシリコンゲート電極 16 が形成されている。

10

#### 【0023】

図 1 L に示すように、基板全面上に厚さ 10 nm ~ 20 nm の酸化シリコン層 21 p を C V D により堆積する。続いてリアクティブイオンエッチング (R I E) を行ない、平坦部上の酸化シリコン層 21 p を除去する。酸化シリコン層 21 p は、基板表面に対してほぼ垂直な側面上にのみ残る。

#### 【0024】

図 1 M、1 N、1 O が酸化シリコンのサイドウォール 21 を形成した状態の平面図及び X 1 - X 1 方向及び X 2 - X 2 方向の断面図である。ゲート電極 16 およびフィン型半導体領域の側壁上に酸化シリコンのサイドウォールが形成されている。

20

#### 【0025】

図 1 P に示すように、フィン型シリコン領域 13 に対して斜め方向からイオン注入を行ない、ソース/ドレイン領域のエクステンション、高濃度領域を形成する。必要に応じて逆導電型のポケット領域をイオン注入してもよい。なお、これらのイオン注入は、公知の方法で行なえばよい。例えば、サイドウォール絶縁膜 21 を作る前にエクステンションとポケットのイオン注入を行い、サイドウォール 21 を作成した後高濃度領域のイオン注入を行なってもよい。

#### 【0026】

図 1 Q 1 は、キャップ層がない場合のフィン型シリコン領域 13 に形成されたソース/ドレイン領域 18 の断面形状を示す。n チャネル M O S トランジスタの場合、p 型のフィン型シリコン領域 13 の上面及び両側面に n 型のソース/ドレイン領域 18 が形成される。

30

#### 【0027】

図 1 Q 2 は、キャップ層 C L を有する場合の形状を示す。フィン型シリコン領域 13 の両側面にのみソース/ドレイン領域 18 が形成されている。イオン注入後、800 ~ 1200 の温度でアニールし、イオン注入した不純物を活性化する。

#### 【0028】

以上の工程により、フィン型シリコン領域 13 を横切ってポリシリコンのゲート電極 16 が形成され、ポリシリコンゲート電極 16 の両側にソース/ドレイン領域が形成されて基本的な F E T 構造が作成される。

40

#### 【0029】

図 1 R、1 S、1 T は、フィン型 F E T 構造を覆って酸化シリコン膜、P S G 膜、B P S G 膜等により層間絶縁膜 22 を堆積し、その上にコンタクトホール開口用のレジストマスク R M 3 を形成した状態を示す。層間絶縁膜 22 は、例えば厚さ 200 nm ~ 1000 nm であり、C V D 又はスパッタリングにより形成することができる。なお、下地の凹凸を反映した層間絶縁膜 22 を図示したが、厚い層間絶縁膜を形成し、化学機械研磨 (C M P) 等により表面を平坦化し、その上にレジストマスク R M 3 を形成してもよい。

レジストマスク R M 3 は、フィン型半導体領域 13 のソース/ドレインに対するコンタクトを形成する領域に窓 W 1、W 2 を有する。このレジストマスク R M 3 をエッチングマスクとし、R I E により層間絶縁膜 22 をエッチングする。酸化シリコンの層間絶縁膜 22

50

がエッチングされる際に、酸化シリコンのサイドウォール絶縁膜 2 1 も同時にエッチングされる。

図 1 U は、層間絶縁膜を貫通してコンタクトホール C H がエッチされ、サイドウォール絶縁膜も除去されてシリコンのフィン型半導体領域 1 3 が露出した状態を示す。なお、コンタクトホール C H をエッチングする反応性ガスとしてはフッ素を含むガス、例えば  $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{C}_2\text{F}_6$ 、 $\text{C}_4\text{F}_8$  等を圧力  $1\text{ Pa} \sim 100\text{ Pa}$  とし、 $13.56\text{ MHz}$  の高周波電力を印加した R I E により行なうことができる。酸化シリコンのエッチングは、窒化シリコン層 1 4 でストップされる。エッチング終了後、希フッ酸水溶液でウェットエッチングを行なうことにより、シリコン層 1 3 表面の酸化膜を完全に除去する。

図 1 V は、コンタクトホール C H 1、C H 2 を形成した状態の平面図を示す。コンタクトホール内においては酸化シリコンのサイドウォール絶縁膜が除去され、フィン型シリコン領域 1 3 の上面及び側面が露出する。

#### 【 0 0 3 0 】

図 1 W 1 に示すように、C o、N i 等のシリサイド反応可能な金属層 2 3 を、例えば厚さ  $2\text{ nm} \sim 30\text{ nm}$  スパッタリングにより堆積し、 $200 \sim 600$  のアニールで一次シリサイド反応を生じさせる。シリコン層上に堆積した金属層 2 3 は、一次シリサイド反応を行なってシリサイド層 2 4 が形成される。未反応の金属層 2 3 を酸溶液処理等により除去し、再度  $300 \sim 900$  のアニールで 2 次シリサイド反応を行ない、低抵抗のシリサイド層 2 4 とする。

#### 【 0 0 3 1 】

図 1 W 2 はキャップ層 C L が存在する場合の断面構造を示す。フィン型シリコン領域の上面には窒化シリコンのキャップ層 C L が形成されているため、シリサイド層 2 4 はフィン型構造の両側面にのみ形成される。

#### 【 0 0 3 2 】

図 1 X に示すように、例えば T i、T i N 等のバリア層を厚さ  $5\text{ nm} \sim 20\text{ nm}$  スパッタリング又は C V D により堆積し、その上に W 層を C V D により堆積してコンタクトホール内にタングステンプラグ 2 6 を形成する。その後、公知の技術によりタングステン層を C M P、エッチング等によりパターニングし、引き出し配線を形成する。必要に応じて、層間絶縁膜形成、配線層形成を繰り返し、半導体装置を完成する。

#### 【 0 0 3 3 】

図 1 Y は、シリサイド層 2 4 を形成した段階のフィン型 F E T 構造を示す斜視図である。ゲート電極は端部において幅が広げられ、その上にコンタクトホールが形成されてシリサイド層 2 4 が形成される。フィン型シリコン領域 1 3 は、図中水平方向に延在し、コンタクトホールが形成されてその内部においてサイドウォール絶縁膜 2 1 が除去され、上面及び両側面を覆うシリサイド層 2 4 が形成されている。なお、キャップ層を設けた場合にはシリサイド層 2 4 はフィン型シリコン領域 1 3 の両側面に形成される。

#### 【 0 0 3 4 】

フィン型領域の幅が高さよりも狭い場合、上面のみでコンタクトを取ると、その抵抗を十分低くすることは難しい。本実施例に従えば、シリサイド層がフィン型シリコン領域の両側面、及びキャップ層がない場合には上面にも、形成され、シリサイド層にソース/ドレイン電極が接触するために、ソース/ドレインのコンタクト抵抗を低減し、ソース/ドレイン間のシリーズ抵抗を低減することができる。

#### 【 0 0 3 5 】

上述の実施例においては、シリコン層 1 3 を介して窒化処理を行なうことにより、シリコン層と埋め込み酸化膜との界面に窒化シリコン層を形成した。この窒化シリコン層作成工程を省略することもできる。

#### 【 0 0 3 6 】

図 2 A に示すように、シリコン支持基板 1 1、埋め込み酸化膜 1 2、シリコン結晶層 1 3 を有する S O I 基板を準備する。窒化シリコン層を形成する工程は行なわない。

#### 【 0 0 3 7 】

10

20

30

40

50

図 2 B に示すように、シリコン層 1 3 の上に酸化シリコン層 1 5 を C V D で堆積し、その上にシリコン層 1 3 をエッチングするためのレジストマスク R M 1 を作成する。

【 0 0 3 8 】

図 2 C に示すように、前述の実施例同様レジストマスク R M 1 をマスクとしてハードマスク層 1 5 をエッチングし、ハードマスク層 1 5 とレジストマスク R M 1 をマスクとしてシリコン層 1 3 をエッチングしてフィン型構造を形成する。この状態は図 1 E に相当する。その後前述の実施例同様の工程を行ない、層間絶縁膜を形成した後、コンタクトホールをエッチングにより形成する。この層間絶縁膜のエッチングにおいて、基板表面にはエッチストップパとして機能する窒化シリコン層が存在しないため、埋め込み酸化シリコン層 1 2 がエッチングされてコンタクトホール内に凹みが生じる。この状態を図 2 D に示す。

10

【 0 0 3 9 】

図 3 A ~ 3 D は、他の変形例を示す。埋め込み絶縁層を酸化シリコン層ではなく、窒化シリコン層又は酸窒化シリコン層 1 2 x で形成した S O I 基板を用いる。この場合、窒化シリコン層を形成しなくても埋め込み絶縁層 1 2 x 自身がエッチストップパとして機能する。図 3 A ~ 3 C は、図 2 A ~ 2 C に対応する工程を示す。

【 0 0 4 0 】

フィン型シリコン領域 1 3 の平面形状を図 3 D に示すように、ソース/ドレインのコンタクト領域で幅広にする。この幅広のコンタクト領域においてシリサイド層 2 4 を形成し、その上に引き出し電極を形成する。フィン型構造の幅が狭くなると、ソース/ドレイン領域のコンタクト領域において両側面にシリサイド層を形成した時、シリサイド層が相互に接してしまう場合が生じ得る。シリサイドは、金属に対して十分シリサイド反応が進んだ状態が低抵抗状態である。両側面からのシリサイド層が接してしまうと、シリコンが不足する場合が生じ得る。すると、シリサイド層の低抵抗化を十分行なうことができなくなる。コンタクト領域を幅広にすることにより、このような可能性を排除し、十分低抵抗のシリサイド層を形成することができる。

20

【 0 0 4 1 】

図 4 A ~ 4 D は、さらの他の変形例を示す。図 4 A、4 B は、サイドウォール絶縁層 2 1 を形成した状態を示す断面図である。図 4 A がゲート電極 1 6 を含む位置の断面図、図 4 B がゲート電極から外れたソース/ドレイン領域での断面図である。この状態において、ソース/ドレイン領域のシリコン層 1 3 は上面が露出し、ゲート電極 1 6 もその平坦部の上面は露出している。斜めイオン注入などにより、ソース/ドレイン領域 18 を形成する。

30

【 0 0 4 2 】

図 4 C、4 D は、この状態でシリサイド反応を行なった構成を示す。露出しているシリコン層にシリサイド層 2 5 が形成される。

【 0 0 4 3 】

その後、層間絶縁膜堆積、コンタクトホール形成、シリサイド反応を行なうことにより、サイドウォール絶縁層 2 1 が存在していた部分にもシリサイド層が形成される。フィン型シリコン領域の上面には、2 回シリサイド処理が行なわれることになる。

【 0 0 4 4 】

40

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【図面の簡単な説明】

【 0 0 4 5 】

【図 1 - 1】本発明の実施例による半導体装置の製造工程を説明するための断面図である。

【図 1 - 2】本発明の実施例による半導体装置の製造工程を説明するための断面図である。

【図 1 - 3】本発明の実施例による半導体装置の製造工程を説明するための断面図及び平面図である。

50



【図１－４】本発明の実施例による半導体装置の製造工程を説明するための断面図及び平面図である。

【図１－５】本発明の実施例による半導体装置の製造工程を説明するための断面図及び平面図である。

【図１－６】本発明の実施例による半導体装置の製造工程を説明するための断面図及び平面図である。

【図１－７】本発明の実施例による半導体装置の製造工程を説明するための断面図及び斜視図である。

【図２】実施例の変形例を示す断面図及び斜視図である。

【図３】変形例を示す断面図及び斜視図である。

10

【図４】変形例を示す断面図である。

【図５】従来技術の例を示す斜視図である。

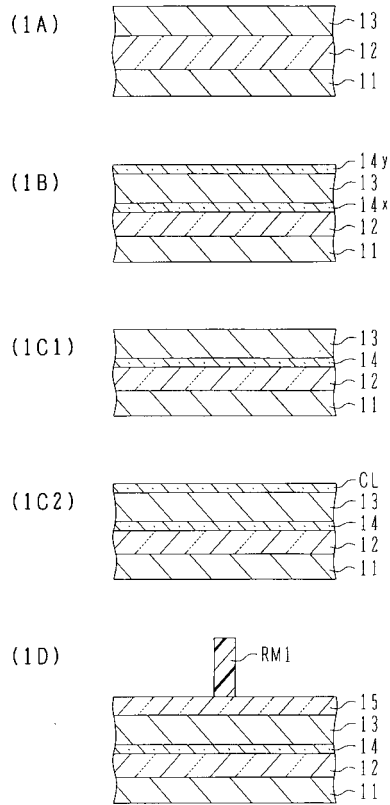
【符号の説明】

【００４６】

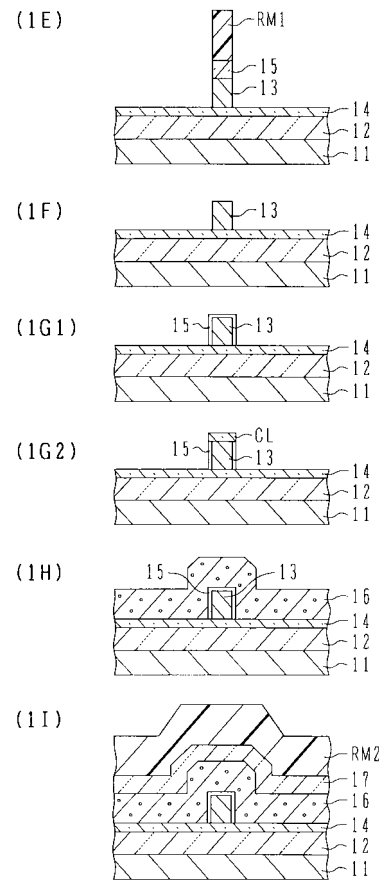
１１	(Ｓｉ)支持基板
１２	埋め込み酸化シリコン層(ＢＯＸ層)
１２ｘ	窒化シリコン(酸化窒化シリコン)層
１３	シリコン層(フィン型半導体領域)
１４	窒化シリコン層
１５、１７	ＣＶＤ酸化シリコン層
１６	ポリシリコン層
１８	ソース/ドレイン領域
ＲＭ	レジストマスク
ＣＬ	キャップ層
２１	サイドウォール酸化膜(絶縁層)
２２	層間絶縁層
２３	金属(Ｃｏ, Ｎｉ)層
２４	シリサイド層
ＣＨ	コンタクトホール

20

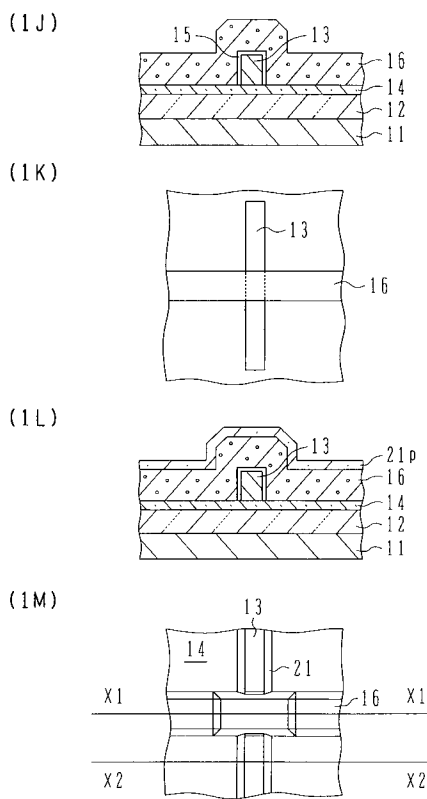
【図 1 - 1】



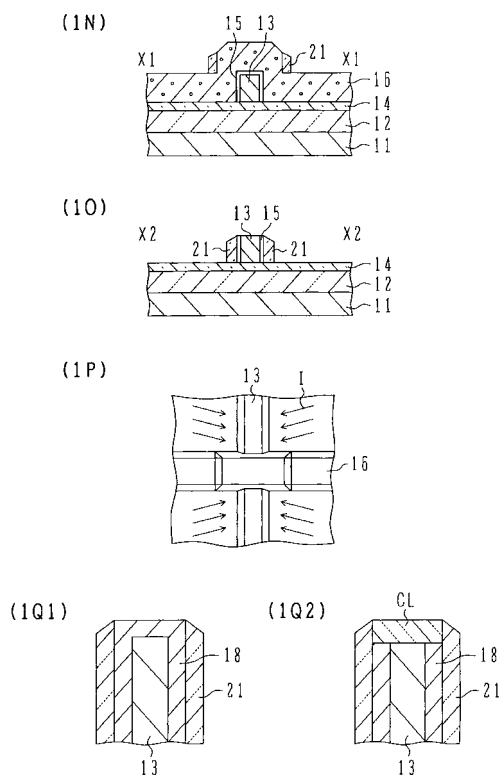
【図 1 - 2】



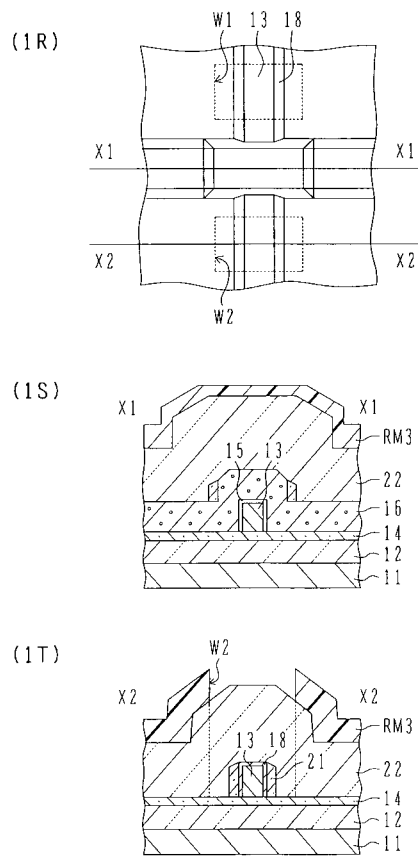
【図 1 - 3】



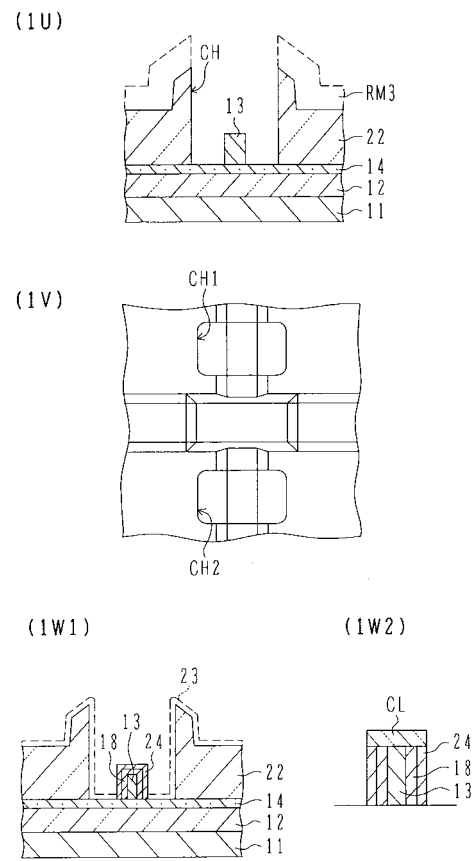
【図 1 - 4】



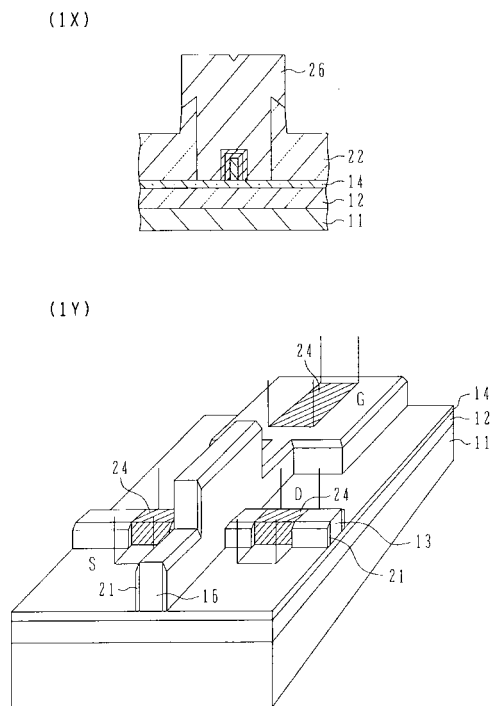
【図 1 - 5】



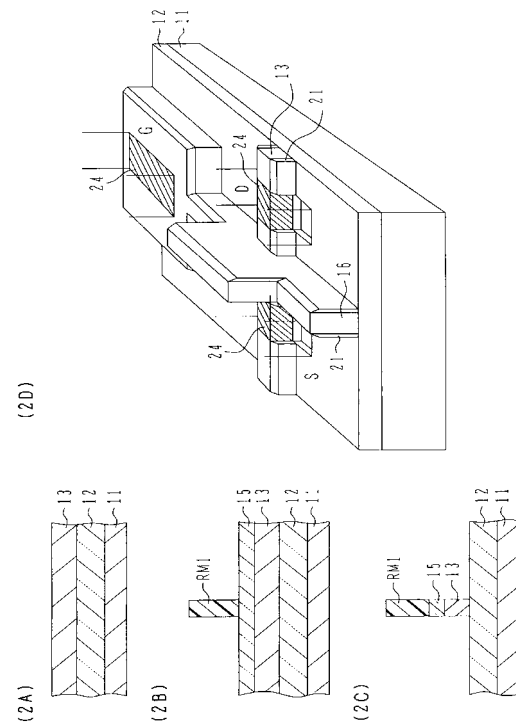
【図 1 - 6】



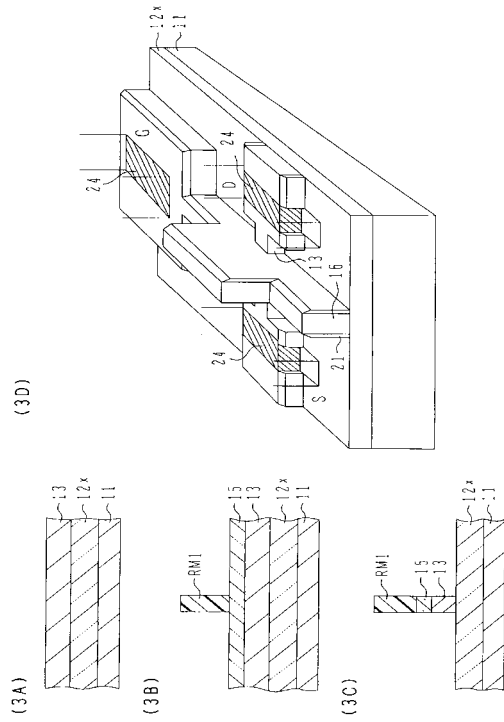
【図 1 - 7】



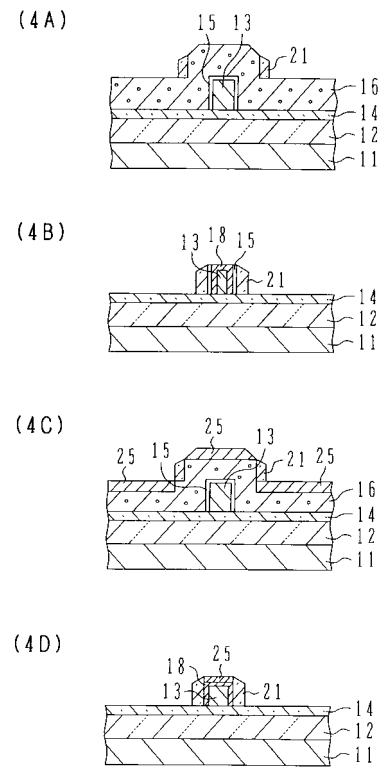
【図 2】



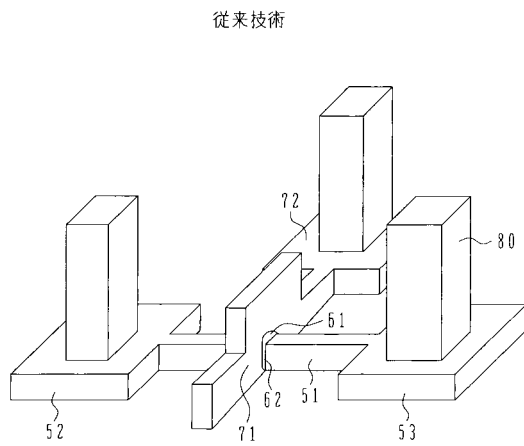
【図 3】



【図 4】



【図 5】



---

フロントページの続き

(56)参考文献 国際公開第2004/019414(WO,A1)  
特開2002-118255(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 21/336

H01L 29/786