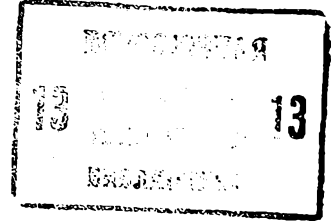




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3680518/24-24  
 (22) 27.12.83  
 (46) 15.03.85. Бюл. № 10  
 (72) В.И. Грубов и В.И. Мовчан  
 (53) 621.398(088.8)  
 (56) 1. Авторское свидетельство СССР № 432566, кл. G 08 C 19/281, 1976.  
 2. Авторское свидетельство СССР № 647719, кл. G 08 C 19/28, 1978 (прототип).  
 (54) (57) УСТРОЙСТВО ДЛЯ ПЕРЕДАЧИ ТЕЛЕМЕТРИЧЕСКОЙ ИНФОРМАЦИИ, содержащее коммутатор, информационные входы которого являются входами устройства, выход коммутатора соединен с информационным входом блока сокращения избыточности информации, выход которого соединен с первым информационным входом блока кодирования существенных отсчетов, синхронизатор, выход кадровых импульсов которого соединен с первыми синхронизируемыми входами коммутатора, блока сокращения избыточности информации и блока кодирования адреса, выход канальных импульсов синхронизатора соединен с синхронизирующим входом блока кодирования отсчета и вторыми синхронизируемыми входами коммутатора, блока сокращения избыточности информации и блока кодирования адреса, выходы которого соединены с соответствующими информационными входами регистра сдвига кода адреса, синхронизирующий вход которого соединен с выходом тактовых импульсов синхронизатора, отличающееся тем, что, с целью повышения быстродействия устройства, в него введены регистр сдвига кодов существенных

отсчетов, блок кодирования числа существенных отсчетов, блок буферной памяти кодов числа существенных отсчетов, дешифратор кодов числа существенных отсчетов, регистр сдвига маркера конца кадра, блок буферной памяти информационных импульсов, частотный модулятор, элементы ЗАПРЕТ, инвертор, элемент ИЛИ-НЕ, элементы И и элементы задержки, выход блока сокращения избыточности информации соединен с информационным входом блока кодирования числа существенных отсчетов и через первый элемент задержки - с информационным входом блока кодирования адреса, входом инвертора и вторым информационным входом блока кодирования существенных отсчетов, выходы которого соединены с информационными входами регистра сдвига кодов существенных отсчетов, синхронизирующий вход которого объединен с первым входом первого элемента ЗАПРЕТ и подключен к выходу тактовых импульсов синхронизатора, выход регистра сдвига кодов существенных отсчетов соединен с объединенными первыми входами элемента ИЛИ-НЕ, второго и третьего элементов ЗАПРЕТ и второго элемента И, объединенные вторые входы которых подключены к выходу регистра сдвига кода адреса, выход инвертора соединен с третьим входом элемента ИЛИ-НЕ, выход которого соединен с первым входом блока буферной памяти информационных импульсов, второй, третий, четвертый и пятый входы которого соединены с выходами соответственно второго элемента ЗАПРЕТ,

третьего элемента ЗАПРЕТ, первого элемента И и первого элемента ЗАПРЕТ, выход кадровых импульсов синхронизатора соединен непосредственно с первым синхронизирующим входом и через второй элемент задержки - с вторым синхронизирующим входом блока кодирования числа существенных отсчетов, выходы которого соединены с соответствующими первыми входами блока буферной памяти кодов числа существенных отсчетов, выходы которого через дешифратор кодов числа существенных отсчетов соединены с соответствующими первыми входами регистра сдвига маркера конца кадра, выход регистра сдвига маркера конца кадра соединен с первым входом второго элемента И,

выход которого соединен с первым входом частотного модулятора и вторым входом блока буферной памяти кодов числа существенных отсчетов, третий вход которого объединен с пятым входом блока буферной памяти информационных импульсов и подключен к выходу "Пуск" синхронизатора, вторые входы регистра сдвига маркера конца кадра и второго элемента И подключены к выходу канальных импульсов синхронизатора, выход первого элемента ЗАПРЕТ соединен с шестым входом блока буферной памяти информационных импульсов, выходы которого соединены с вторыми входами частотного модулятора, выход которого является выходом устройства.

1

Изобретение относится к технике передачи информации и может быть использовано в адаптивных многоканальных цифровых телеметрических системах для увеличения технической скорости передачи сообщений.

Известно устройство для передачи информации, содержащее последовательно соединенные коммутатор каналов и блок кодирования измерительной информации, блок кодирования адресов каналов, многоканальный блок памяти и блок кодирования времени, входы которых подключены к выходам синхронизатора, анализатор сигналов, один вход которого соединен с выходом многоканального блока памяти, другой - с выходом блока кодирования измерительной информации, блок памяти, вход которого подключен к выходу анализатора сигналов, блок анализа пар корреляционных моментов, вход которого подключен к соответствующему выходу синхронизатора, элемент ИЛИ, первый вход которого непосредственно, второй вход через блоки кодирования адресов каналов и анализа пар корреляционных моментов подключены к выходам блока памяти, третий вход элемента ИЛИ соединен с выходом блока

2

кодирования времени, выход блока кодирования адресов каналов соединен с входом блока памяти [1].

Однако в указанном устройстве эффективность сжатия сообщений, а следовательно, и увеличение скорости передачи сообщений снижается за счет введения адресных сообщений.

Наиболее близким по технической сущности к изобретению является устройство, содержащее синхронизатор, выход которого соединен с входами блоков сокращения избыточности, кодирования адреса и существенного отсчета, регистра адреса и блок формирования кодовой группы, входы которых соединены вместе и подключены к выходу блока сокращения избыточности, другой выход которого подключен к второму входу блока кодирования существенного отсчета, его выход соединен с вторым входом блока формирования кодовой группы, третий вход которого одновременно подключен к выходу блока кодирования адреса и к входам регистра адреса и блока сравнения, его второй вход соединен с выходом регистра адреса, выход - с вторым входом блока сокращения избыточности, третий

вход которого является входом устройства, выход блока формирования кодовой группы является выходом устройства [2].

В устройстве-прототипе увеличение скорости передачи сообщений достигается за счет исключения из кадров избыточных отсчетов. Однако для однозначного разнесения кодов существенных отсчетов по соответствующим каналам на приемной стороне в кадры вводятся коды адресов каналов, что существенно снижает скорость передачи сообщений.

Техническая задача изобретения заключается в минимизации числа адресных сообщений или вообще в отказе от известного принципа адресации существенных отсчетов. Это легко реализовать, если каждому из четырех возможных сочетаний одноименных разрядов кода существенного отсчета и кода адреса данного канала (0 и 0, 0 и 1, 1, 1 и 0, 1 и 1) поставить в соответствие частотный признак. В этом случае в линию связи вместо кода существенного отсчета и его кода адреса можно передавать комбинацию радиоимпульсов с частотами заполнения (несущие частоты)  $f_1, f_2, f_3$  и  $f_4$ . Например, имеем код существенного отсчета 100101 и код его адреса 1011. При анализе этих кодов, начиная с младших разрядов (справа налево), получим последовательные сочетания двоичных единиц одноименных разрядов 11, 01, 10, 01, 00 и 10 (т.е. если в рассматриваемом случае код адреса короче кода существенного отсчета, то перед кодом адреса для выравнивания разрядности до кода существенного отсчета дописаны незначащие нули). При этом в линию связи будет выдано последовательно шесть радиоимпульсов с частотами заполнения  $f_4, f_2, f_3, f_2, f_1$  и  $f_3$ . Аналогично формируются сообщения и по другим каналам, имеющим существенные отсчеты выборок. Указанные частотные признаки передаваемых радиоимпульсов позволяют на приемной стороне однозначно восстановить коды существенных отсчетов и их коды адресов каналов, а постоянное число радиоимпульсов в канальном сообщении - отделить канал от канала. Вполне очевидно, для восстановления сжатых сообщений по каждому

каналу на приемной стороне должен передаваться радиоимпульс с частотой заполнения  $f_0$ , соответствующий началу или концу телеметрического кадра.

Цель изобретения - повышение эффективности устройства путем уменьшения размеров телеметрических кадров за счет частотных признаков возможных комбинаций двоичных единиц в одноименных разрядах кодов адреса и существенного отсчета.

Поставленная цель достигается тем, что в устройство для передачи телеметрической информации, содержащее коммутатор, информационные входы которого являются входами устройства, выход коммутатора соединен с информационным входом блока сокращения избыточности информации, выход которого соединен с первым информационным входом блока кодирования существенных отсчетов, синхронизатор, выход кадровых импульсов которого соединен с первыми синхронизирующими входами коммутатора, блока сокращения избыточности информации и блока кодирования адреса, выход канальных импульсов синхронизатора соединен с синхронизирующим входом блока кодирования отсчета и вторыми синхронизирующими входами коммутатора, блока сокращения избыточности информации и блока кодирования адреса, выходы которого соединены с соответствующими информационными входами регистра сдвига кода адреса, синхронизирующий вход которого соединен с выходом тактовых импульсов синхронизатора, введены регистр сдвига кодов существенных отсчетов, блок кодирования числа существенных отсчетов, блок буферной памяти кодов числа существенных отсчетов, дешифратор кодов числа существенных отсчетов, регистр сдвига маркера конца кадра, блок буферной памяти информационных импульсов, частотный модулятор, элементы ЗАПРЕТ, инвертор, элемент ИЛИ-НЕ, элементы И и элементы задержки, выход блока сокращения избыточности информации соединен с информационным входом блока кодирования числа существенных отсчетов и через первый элемент задержки с информационным входом блока кодирования адреса, входом инвертора и вторым информационным входом блока кодирования существенных отсчетов,

выходы которого соединены с информационными входами регистра сдвига кодов существенных отсчетов, синхронизирующий вход которого объединен с первым входом первого элемента ЗАПРЕТ и подключен к выходу тактовых импульсов синхронизатора, выход регистра сдвига кодов существенных отсчетов соединен с объединенными первыми входами элемента ИЛИ-НЕ, второго и третьего элементов ЗАПРЕТ и второго элемента И, объединенные вторые входы которых подключены к выходу регистра сдвига кода адреса, выход инвертора соединен с третьим входом элемента ИЛИ-НЕ, выход которого соединен с первым входом блока буферной памяти информационных импульсов, второй, третий, четвертый и пятый входы которого соединены с выходами соответственно второго элемента ЗАПРЕТ, третьего элемента ЗАПРЕТ, первого элемента И и первого элемента ЗАПРЕТ, выход кадровых импульсов синхронизатора соединен непосредственно с первым синхронизирующим входом и через второй элемент задержки - с вторым синхронизирующим входом блока кодирования числа существенных отсчетов, выходы которого соединены с соответствующими первыми входами блока буферной памяти кодов числа существенных отсчетов, выходы которого через дешифратор кодов числа существенных отсчетов соединены с соответствующими первыми входами регистра сдвига маркера конца кадра, выход регистра маркера конца кадра соединен с первым входом второго элемента И, выход которого соединен с первым входом частотного модулятора и вторым входом блока буферной памяти кодов числа существенных отсчетов, третий вход которого объединен с пятым входом блока буферной памяти информационных импульсов и подключен к выходу "Пуск" синхронизатора, вторые входы регистра сдвига маркера конца кадра и второго элемента И подключены к выходу канальных импульсов синхронизатора, выход первого элемента ЗАПРЕТ соединен с шестым входом блока буферной памяти информационных импульсов, выходы которого соединены с вторыми входами частотного модулятора, выход которого является выходом устройства.

На чертеже приведена функциональная схема предлагаемого устройства.

Устройство содержит коммутатор 1 каналов, блок 2 сокращения избыточности информации, блок 3 кодирования адреса (в качестве которого может использоваться двоичный счетчик импульсов), блок 4 кодирования существенных отсчетов (например, аналого-цифровой преобразователь),  $n$ -разрядный регистр 5 сдвига кода адреса,  $l$ -разрядный регистр 6 сдвига кодов существенных отсчетов, элемент ИЛИ-НЕ 7, элемент ЗАПРЕТ 8 (с запретом по входу разрядных сигналов кода существенного отсчета), элемент ЗАПРЕТ 9 (с запретом по входу разрядных сигналов по коду адреса), первый элемент И 10, инвертор 11, элемент 12 задержки, блок 13 кодирования числа существенных отсчетов в кадре (например,  $n$ -разрядный двоичный счетчик), блок 14 буферной памяти кодов числа существенных отсчетов, дешифратор 15 кодов числа существенных отсчетов,  $(N+1)$ -разрядный регистр 16 сдвига маркера конца кадра, второй элемент И 17, элемент ЗАПРЕТ 18 (с запретом по входу маркера конца кадра), частотный модулятор 19 радиопередатчика, блок 20 буферной памяти информационных импульсов, второй элемент 21 задержки, синхронизатор 22.

Работа предлагаемого устройства происходит следующим образом.

Кадровые и канальные импульсы синхронизатора 22 управляют работой коммутатора 1 каналов и блока 2 сокращения избыточности. С помощью коммутатора 1 каналов на вход блока 2 поочередно поступают аналогичные сигналы всех  $N$  телеметрируемых каналов. Блок 2 сокращения избыточности выдает существенные отсчеты, которые в блоке 4 преобразуются в  $l$ -разрядные двоичные комбинации, соответствующие мгновенным значениям существенных отсчетов. В блоке 3, работающем по принципу суммирующего двоичного счетчика, с поступлением каждого канального импульса значение  $n$ -разрядного кода адреса увеличивается на единицу. Таким образом, в блоке 3 кодирования адреса в каждый канальный интервал оказывается записанный соответствующий ему  $n$ -разрядный код адреса, незави-

симо от того, была ли выборка по данному каналу существенной или избыточной. С выхода элемента 12 задержки сигнал существенного отсчета через время, равное длительности формирования кодов адреса и существенного отсчета в блоках 3 и 4 соответственно, производит считывание этих кодов в параллельной форме в регистрах 5 и 6 соответственно. После этого очередной каналный импульс устанавливает в ноль содержимое блока 4, а в блоке 3 увеличивает код адреса на единицу. Одновременно с этим тактовые импульсы (частота тактовых импульсов кратна частоте каналных и кадровых импульсов), вырабатываемые синхронизатором 22, вызывают сдвиг кодов адреса и существенного отсчета в регистрах 5 и 6 соответственно. Начиная с младших разрядов, сигналы одноименных разрядов указанных кодов одновременно подаются на входы логических элементов 7, 8, 9 и 10. В соответствии с таблицами истинности каждый из указанных логических элементов вырабатывает на своем выходе сигнал, соответствующий единице (импульс), только при одной комбинации из четырех возможных двоичных сигналов на его входах. Так, при наличии нулей в одноименных разрядах кодов адреса и существенного отсчета импульс вырабатывает только элемент ИЛИ-НЕ 7, при "1" в коде адреса и "0" в коде существенного отсчета - элемент ЗАПРЕТ 8, при "0" и "1" - элемент ЗАПРЕТ 9, при "1" и "1" - элемент И 10. В случае соотношений между разрядностями кодов адреса и существенного отсчета: при  $n > \ell$  сравнение старших разрядов кода адреса происходит сзначающими нулями перед старшим разрядом кода существенного отсчета (в этом случае регистр 6 "обнуляется" раньше регистра 5); при  $n < \ell$  сравнение старших разрядов кода существенного отсчета происходит сзначающими нулями перед старшим разрядом кода адреса (в этом случае регистр 5 "обнуляется" раньше регистра 6). Импульсы соответствующие результатам поразрядного сравнения кодов адреса и существенного отсчета, с выходов элементов 7, 8, 9 и 10 поступают на самостоятельные входы блока 20 буферной памяти ин-

формационных импульсов. Данный блок может состоять из четырех линеек регистров сдвига. В первую линейку записываются информационные импульсы с выхода элемента ИЛИ-НЕ 7, во вторую - с элемента ЗАПРЕТ 8, в третью - с элемента ЗАПРЕТ 9 и в четвертую - с элемента И 10. Число разрядов во всех линейках должно быть одинаково и кратно разрядности длинного кода: при  $n > \ell$  (число каналов  $N$  в телеметрической системе больше числа уровней квантования  $L$ , так как  $n = \log_2 N$  и  $l = \log_2 L$ ) кратно  $n$ ; при  $n < \ell$  кратно  $\ell$ . Таким образом, каждая линейка разбивается на несколько подрегистров для возможности накопления информации сразу по группе каналов (число подрегистров определяется коэффициентом сжатия блока 2 сокращения избыточности). Например, предлагаемое устройство предусмотрено для работы с разрядностью кодов  $n = 5$  и  $\ell = 7$ . Пусть код адреса имеет структуру 10110, а код существенного отсчета по данному каналу - 1100101. Тогда в результате поразрядного анализа этих каналов (младшие разряды стоят справа) в соответствующие одноименные подрегистры четырех линеек блока 20 будут записаны следующие информационные коды (младшие разряды стоят также справа):

	i-й подрегистр
Первая линейка	0001000
Вторая линейка	0010010
Третья линейка	1100001
Четвертая линейка	0000100

В образовавшейся матрице каждый одноименный столбец содержит только одну единицу. Одновременно с описанным процессом в рассматриваемом кадре блок 13, представляющий собой двоичный счетчик, формирует код числа существенных отсчетов в кадре. Его разрядность должна быть равна разрядности регистра 5, так как для общего случая по всем  $N$  каналам все отсчеты могут оказаться существенными. С поступлением следующего кадрового импульса, во-первых, устанавливается в ноль блок 3 кодирования адреса, во-вторых, происходит считывание  $n$ -разрядного кода числа существенных отсчетов в кадре в параллельной форме в блок 14 буферной памяти, в-третьих, кадровый им-

пульс через элемент 21 задержки Устанавливает в исходное состояние блок 13. Через определенное число кадровых импульсов синхронизатор 22 вырабатывает пусковой импульс, который вызывает первоначальный сдвиг содержимого линеек регистров в блоке 20 и первоначальное считывание кода числа существенных отсчетов в первом кадре с блока 14 на вход дешифратора 15. При этом на одном из  $N$  его выходов (где  $N$  - максимально возможное число существенных отсчетов в кадре) образуется импульсный сигнал, который в разряд, номер которого на единицу больше номера выхода дешифратора 15 с данным импульсным сигналом, регистра 16 маркера конца кадра записывает единицу. Так как первый (младший) разряд регистра 16 не соединен ни с одним выходом дешифратора 15, то в исходном состоянии в нем записан двоичный ноль. Вслед за пусковым импульсом первый каналный импульс вызывает сдвиг регистра 16 и открывает элемент И 17 по одному из двух входов. Так как в первом разряде регистра 16 был записан ноль, то сигнал на его выходе отсутствует и элемент И 17 оказывается закрытым по другому входу. Таким образом на его выходе отсутствует и элемент ЗАПРЕТ 18 оказывается открытым по запрещающему входу. Следовательно, тактовые импульсы, поступающие на его вход, производят поразрядный сдвиг содержимого всех четырех линеек блока 20. В соответствии с приведенным выше примером импульсные сигналы последовательно появляются на выходах третьей, второй, четвертой, первой, второй, третьей и снова третьей линеек блока 20. Эти импульсы подаются на соответствующие входы частотного модулятора 19 радиопередатчика, который на выход устройства выдает последовательность радиоимпульсов с частотами заполнения  $f_3, f_2, f_4, f_1, f_2, f_3, f_3$ . Если в первоначальном состоянии и во втором разряде регистра 16 был записан ноль, на выход устройства выдается очередная комбинация из семи радиоимпульсов, закон чередования частот заполнения которых однозначно определяет номер канала и значение его существенной выборки. В результате сдвигов ка-

нальными импульсами в регистре 16 и тактовыми в блоке 20 выдача радиоимпульсов продолжается до тех пор, пока сигнал двоичной единицы, соответствующий числу существенных отсчетов в данном кадре, с выхода регистра 16 не поступит на закрытый вход логического элемента И 17. При наличии открывающего сигнала и на этом входе элемент И 17 открывается и выдает запирающий сигнал на элемент ЗАПРЕТ 18. При этом поступление через него сдвигающих тактовых импульсов в блок 20 прекращается, а следовательно, прекращается и выдача информационных радиоимпульсов на выход устройства. Одновременно с этим импульс с выхода элемента И 17 поступает на самостоятельный вход частотного модулятора 19, который, в свою очередь, выдает на выход устройства радиоимпульс с частотой заполнения  $f_0$ , свидетельствующий, что существенные выборки в данном кадре закончены и за ним будут следовать информационные радиоимпульсы, относящиеся к следующему телеметрическому кадру. Таким образом, частотный признак (частота заполнения  $f_0$ ) данного радиоимпульса однозначно определяет конец кадра. Кроме того, импульс с выхода элемента И 17 производит считывание кода числа существенных отсчетов во втором кадре из блока 14 на дешифратор 15, и все описанные процессы в устройстве повторяются. Частотный модулятор 19 радиопередатчика может представлять собой пять самостоятельных автогенераторов с частотами генерации  $f_0, f_1, f_2, f_3$  и  $f_4$ , запертых в исходном состоянии и открываемых импульсами с выходов элемента И 17 и блока 20 соответственно. Элемент ЗАПРЕТ 11 необходим для защиты элемента ИЛИ-НЕ 7 от ложного срабатывания, когда выборка по соответствующему каналу является избыточной (несущественной). В этом случае регистры 5 и 6 оказываются обнуленными, а в блок 20 ничего не должно записываться. Но ведь элемент ИЛИ-НЕ 7 должен реагировать именно на нулевую комбинацию сигналов на его двух входах. С этой целью этот элемент имеет дополнительный третий вход, подключенный через инвертор 11 и элемент 12 задержки к выходу

блока 2 сокращения избыточности. Благодаря этому при отсутствии сигнала существенного отсчета на его выходе на третьем входе элемента ИЛИ-НЕ 7 сигнал соответствует единице, а на выходе равен нулю и ложной записи импульсов в первую линейку блока 20 не происходит.

Таким образом, дополнительное введение новых блоков и элементов в предлагаемое устройство позволяет увеличить скорость передачи сообщений по сравнению с устройством прототипа в  $(1 - \frac{n}{\ell})$  раз при разрядности

кода адреса меньшей кода существенного отсчета ( $n < \ell$ ) или а  $(1 - \frac{\ell}{n})$

5 раз при  $n > \ell$  за счет введения частотного признака в информационные импульсы, где  $n$  и  $\ell$  - разрядность кодов адреса и существенного отсчета соответственно. Для предлагаемого устройства с параметрами  $N = 127$  и  $L = 63$  по сравнению с выбранным базовым объектом в 1,86 раза уменьшаются экономические затраты, связанные с его эксплуатацией.

