【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成20年3月6日(2008.3.6)

【公表番号】特表2007-527071(P2007-527071A)
【公表日】平成19年9月20日(2007.9.20)
【年通号数】公開・登録公報2007-036
【出願番号】特願2007-501776(P2007-501776)
【国際特許分類】
Ｇ０６Ｆ　13/28　　(2006.01)
Ｇ０６Ｆ　12/02　　(2006.01)
【ＦＩ】
Ｇ０６Ｆ　13/28　　３１０Ｄ
Ｇ０６Ｆ　12/02　　５８０Ｊ

【手続補正書】
【提出日】平成20年1月21日(2008.1.21)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
方法であって、
バーストリクエストをマスターから受信すること、
リクエストされたバーストに対応するバースト特性を求めること、
複数のバーストエラープロトコルの一つを前記バースト特性に基づいて選択することであって、前記バースト特性を求めることは、前記リクエストされたバーストに対応するバーストタイプを決定することを含み、前記選択されたバーストエラープロトコルは、前記バーストタイプに基づいて選択される、複数のバーストエラープロトコルの一つを前記バースト特性に基づいて選択すること、
前記選択されたバーストエラープロトコルに従って前記バーストリクエストに応答すること、
を備える、方法。
【請求項２】
メモリコントローラであって、
リクエストされたバースト転送に対応する少なくとも一つのバースト特性を求め、前記少なくとも一つのバースト特性に基づいてバーストエラープロトコルを選択するバーストプロトコル選択ロジックであって、前記少なくとも一つのバースト特性は、前記リクエストされたバースト転送のバーストタイプを含む、バーストプロトコル選択ロジックと、
前記バーストプロトコル選択ロジックに接続され、前記選択されたバーストエラープロトコルに従って、リクエストされたバーストに応答して前記リクエストされたバースト転送を開始する制御ロジックであって、
前記リクエストされたバースト転送の間にエラーを検出するエラー検出ロジックと、
前記リクエストされたバースト転送を、前記バーストプロトコル選択ロジックから提供された前記選択されたバーストエラープロトコルに基づいて選択的に終了させる終了制御ロジックと、を含む制御ロジックと、
前記バーストプロトコル選択ロジックに接続された制御レジスタであって、前記バーストプロトコル選択ロジックは、前記少なくとも一つのバースト特性及び前記制御レジスタ

に保存された情報に基づいて前記バーストエラープロトコルを選択し、前記制御レジスタに保存された情報は、複数のバーストエラープロトコルを示し、前記バーストプロトコル選択ロジックは、前記バーストエラープロトコルを前記複数のバーストエラープロトコルから選択し、前記複数のバーストエラープロトコルの各々は、あるバーストタイプに対応し、該バーストタイプは、リードバーストタイプ、ライトバーストタイプ、制限されたバーストタイプ、及び制限の無いバーストタイプのうちの少なくとも一つを含む、制御レジスタと、
を備える、メモリコントローラ。
【請求項３】
メモリコントローラであって、
バーストリクエストをマスターから受信する手段と、
リクエストされたバーストに対応するバースト特性を求める手段と、
複数のバーストエラープロトコルの一つを前記バースト特性に基づいて選択する手段と、
前記選択されたバーストエラープロトコルに従って前記バーストリクエストに応答する手段であって、
バースト転送を開始する手段と、
前記バースト転送の間にエラーを検出する手段と、
前記選択されたバーストエラープロトコルに基づいて前記バースト転送を選択的に終了させる手段と、
を備える、メモリコントローラ。
【請求項４】
複数のマスターと通信可能に構成されたメモリコントローラであって、
リクエストされたバースト転送に対応する前記複数のマスターの一つの識別情報を求め、前記複数のマスターの一つの識別情報に基づいてバーストエラープロトコルを選択するバーストプロトコル選択ロジックと、
前記バーストプロトコル選択ロジックに接続された制御レジスタであって、前記バーストプロトコル選択ロジックは、前記複数のマスターの一つの識別情報及び前記制御レジスタに保存された情報に基づいて、前記バーストエラープロトコルを選択する、制御レジスタと、
前記バーストプロトコル選択ロジックに接続され、前記選択されたバーストエラープロトコルに従って、リクエストされたバーストに応答する制御ロジックと、
を備える、メモリコントローラ。
【請求項５】
メモリコントローラであって、
リクエストされたバースト転送に対応する少なくとも一つのバースト特性を求め、前記少なくとも一つのバースト特性に基づいて、複数のバーストエラープロトコルから一つのバーストエラープロトコルを選択するバーストプロトコル選択ロジックであって、当該メモリコントローラは、複数のマスターと通信可能に構成され、前記複数のバーストエラープロトコルの各々は、前記複数のマスターのうちの一つに対応する、バーストプロトコル選択ロジックと、
前記バーストプロトコル選択ロジックに接続され、前記選択されたバーストエラープロトコルに従って、リクエストされたバーストに応答する制御ロジックと、
を備える、メモリコントローラ。