

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成21年3月5日(2009.3.5)

【公開番号】特開2008-198355(P2008-198355A)
 【公開日】平成20年8月28日(2008.8.28)
 【年通号数】公開・登録公報2008-034
 【出願番号】特願2008-130915(P2008-130915)
 【国際特許分類】

G 1 1 C 29/04 (2006.01)

【F I】

G 1 1 C 29/00 6 0 3 D

【手続補正書】

【提出日】平成20年12月26日(2008.12.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

Nビットの外部アドレスから変換されたN+1ビットの変換アドレスにより選択可能な 2^N 個よりも多いM個のメモリセル列により構成されるメモリセルアレイを有するメモリ部と、

前記Nビットの外部アドレスを、前記M個のメモリセル列から不良メモリセル列を避けて 2^N 個以下のメモリセル列を選択する前記N+1ビットの変換アドレスに変換するアドレス変換回路と

を備え、

前記アドレス変換回路は、

外部アドレスが供給される一次アドレス信号線と、

前記メモリ部のメモリセル選択に必要な、前記外部アドレスより1ビットだけビット数の大きい変換アドレスを発生することを可能とした二次アドレス信号線と、

前記一次アドレス信号線と二次アドレス信号線との間でアドレス一次変換を行うプログラマブル論理アレイと

を有することを特徴とする半導体集積回路装置。

【請求項2】

前記プログラマブル論理アレイは、ウェハテストの段階でプログラム可能なものであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】

前記プログラマブル論理アレイは、不良メモリセル列を含んでそれよりも多いメモリセル列を、他の正常なメモリセル列で置き換えるようにプログラムされていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】

前記アドレス変換回路は、半導体チップ内に設けられていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】

前記半導体チップ内に前記メモリ部をアクセスするアドレス信号を発生するロジック回路を有し、前記ロジック回路から出力されるアドレス信号が前記アドレス変換回路に供給されていることを特徴とする請求項4記載の半導体集積回路装置。