



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202201744 A

(43) 公開日：中華民國 111 (2022) 年 01 月 01 日

(21) 申請案號：110117819

(22) 申請日：中華民國 110 (2021) 年 05 月 17 日

(51) Int. Cl. : **H01L27/11514 (2017.01)**

(30) 優先權：2020/06/29 美國 63/045,198

2021/01/22 美國 17/155,085

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING COMPANY, LTD. (TW)

新竹市力行六路八號

(72) 發明人：王聖禎 WANG, SHENG-CHEN (TW)；林孟漢 LIN, MENG-HAN (TW)；楊世  
海 YEONG, SAI-HOOI (MY)；林佑明 LIN, YU-MING (TW)；賈漢中 CHIA,  
HAN-JONG (US)

(74) 代理人：卓俊傑

申請實體審查：無 申請專利範圍項數：1 項 圖式數：20 共 96 頁

(54) 名稱

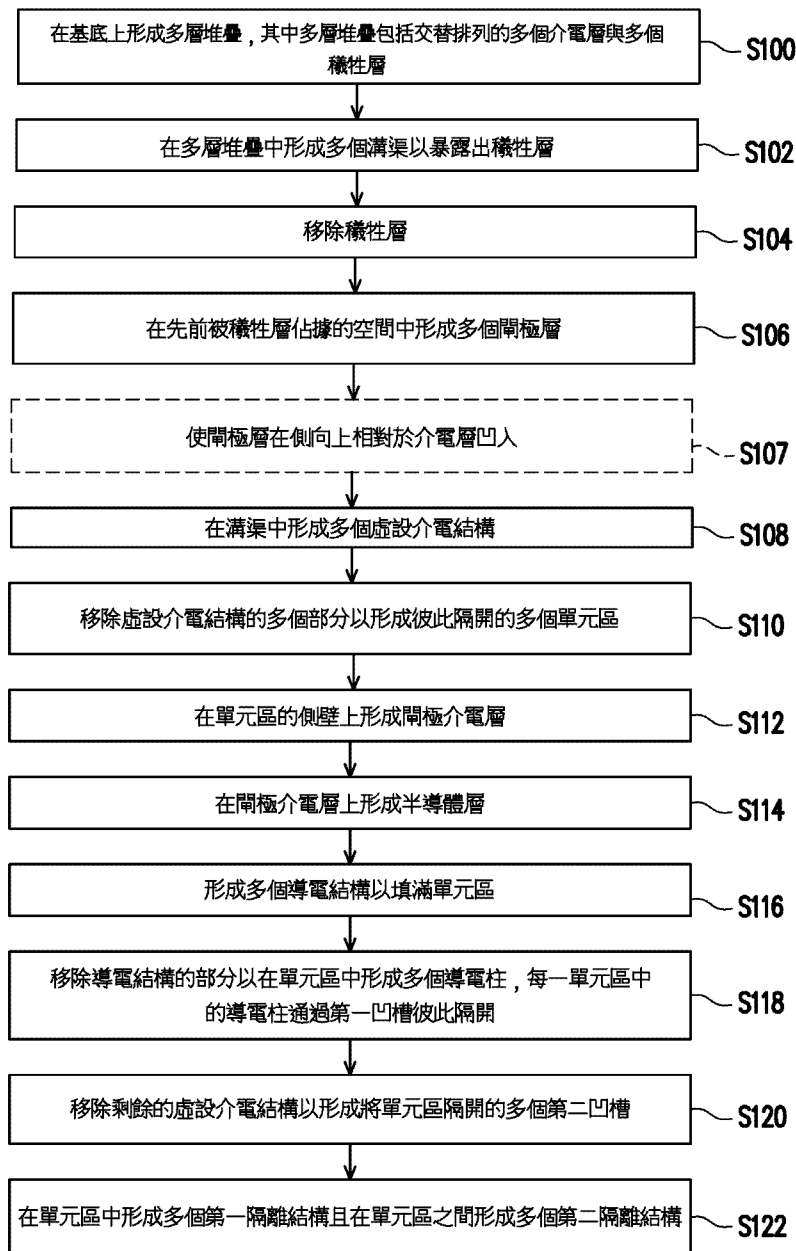
記憶體裝置與其製造方法

(57) 摘要

記憶體裝置包括第一堆疊結構、第二堆疊結構、第一隔離結構、閘極介電層、通道層及導電柱。第一堆疊結構與第二堆疊結構各自包括多個閘極層並位於基底上且通過溝渠彼此隔離。第一隔離結構位於溝渠中，單元區在溝渠中分別被限制在兩個相鄰的第一隔離結構之間，第一隔離結構各自包括第一主層及環繞第一主層的第一襯層，第一襯層將第一主層與第一及第二堆疊結構隔離。閘極介電層位於單元區中，且覆蓋第一與第二堆疊結構的相對側壁及第一隔離結構的相對側壁。通道層覆蓋閘極介電層的內表面。導電柱在單元區內豎立在基底上且在側向上被通道層環繞，至少兩個導電柱位於一個單元區中且在側向上彼此隔離。

A memory device includes a first stacking structure, a second stacking structure, a plurality of first isolation structures, gate dielectric layers, channel layers and conductive pillars. The first stacking structure includes a plurality of first gate layers, and a second stacking structure includes a plurality of second gate layers, where the first stacking structure and the second stacking structure are located on a substrate and separated from each other through a trench. The first isolation structures are located in the trench, where a plurality of cell regions are respectively confined between two adjacent first isolation structures of the first isolation structures in the trench, where the first isolation structures each includes a first main layer and a first liner surrounding the first main layer, where the first liner separates the first main layer from the first stacking structure and the second stacking structure. The gate dielectric layers are respectively located in one of the cell regions, and cover opposing sidewalls of the first stacking structure and the second stacking structure as well as opposing sidewalls of the first isolation structures. The channel layers respectively cover an inner surface of one of the gate dielectric layers. The conductive pillars stand on the substrate within the cell regions, and are laterally surrounded by the channel layers, where at least two of the conductive pillars are located in each of the cell regions, and the at least two conductive pillars in each of the cell regions are laterally separated from one another.

指定代表圖：



【圖2A】

符號簡單說明：

S100、S102、S104、  
S106、S107、S108、  
S110、S112、S114、  
S116、S118、S120、  
S122: 步驟



202201744

**【發明摘要】****【中文發明名稱】** 記憶體裝置與其製造方法**【英文發明名稱】** MEMORY DEVICE AND METHOD OF

MANUFACTURING THE SAME

**【中文】** 記憶體裝置包括第一堆疊結構、第二堆疊結構、第一隔離結構、閘極介電層、通道層及導電柱。第一堆疊結構與第二堆疊結構各自包括多個閘極層並位於基底上且通過溝渠彼此隔開。第一隔離結構位於溝渠中，單元區在溝渠中分別被限制在兩個相鄰的第一隔離結構之間，第一隔離結構各自包括第一主層及環繞第一主層的第一襯層，第一襯層將第一主層與第一及第二堆疊結構隔開。閘極介電層位於單元區中，且覆蓋第一與第二堆疊結構的相對側壁及第一隔離結構的相對側壁。通道層覆蓋閘極介電層的內表面。導電柱在單元區內豎立在基底上且在側向上被通道層環繞，至少兩個導電柱位於一個單元區中且在側向上彼此隔開。

**【英文】** A memory device includes a first stacking structure, a second stacking structure, a plurality of first isolation structures, gate dielectric layers, channel layers and conductive pillars. The first stacking structure includes a plurality of first gate layers, and a second stacking structure includes a plurality of second gate layers, where the first stacking structure and the second stacking structure are located on a substrate and separated from each other through a

trench. The first isolation structures are located in the trench, where a plurality of cell regions are respectively confined between two adjacent first isolation structures of the first isolation structures in the trench, where the first isolation structures each includes a first main layer and a first liner surrounding the first main layer, where the first liner separates the first main layer from the first stacking structure and the second stacking structure. The gate dielectric layers are respectively located in one of the cell regions, and cover opposing sidewalls of the first stacking structure and the second stacking structure as well as opposing sidewalls of the first isolation structures. The channel layers respectively cover an inner surface of one of the gate dielectric layers. The conductive pillars stand on the substrate within the cell regions, and are laterally surrounded by the channel layers, where at least two of the conductive pillars are located in each of the cell regions, and the at least two conductive pillars in each of the cell regions are laterally separated from one another.

【指定代表圖】圖2A。

【代表圖之符號簡單說明】

S100、S102、S104、S106、S107、S108、S110、S112、S114、  
S116、S118、S120、S122：步驟

【特徵化學式】無。

## 【發明說明書】

【中文發明名稱】 記憶體裝置與其製造方法

【英文發明名稱】 MEMORY DEVICE AND METHOD OF  
MANUFACTURING THE SAME

【技術領域】

【0001】 本發明實施例涉及一種三維記憶體裝置及其製造方法。

【先前技術】

【0002】 半導體記憶體用於電子應用（舉例而言包括收音機、電視、手機及個人計算裝置）的積體電路中。半導體記憶體包括兩大類別。一個類別是揮發性記憶體（volatile memory）；另一類別是非揮發性記憶體（non-volatile memory）。揮發性記憶體包括隨機存取記憶體（random access memory，RAM），隨機存取記憶體可被進一步劃分成兩個子類別：靜態隨機存取記憶體（static random access memory，SRAM）及動態隨機存取記憶體（dynamic random access memory，DRAM）。由於 SRAM 及 DRAM 在斷電時將丟失其所儲存的資訊，因此 SRAM 及 DRAM 二者皆是揮發性的。

【0003】 另一方面，非揮發性記憶體可保持儲存於其上的資料。一種類型的非揮發性半導體記憶體是鐵電隨機存取記憶體（ferroelectric random access memory，FeRAM 或 FRAM）。FeRAM 的優點包括其寫入/讀取速度快且尺寸小。

**【發明內容】**

**【0004】** 本發明實施例提供一種記憶體裝置，包括：第一堆疊結構及第二堆疊結構，位於基底上且通過溝渠彼此隔開，所述第一堆疊結構包括多個第一閘極層，所述第二堆疊結構包括多個第二閘極層；多個第一隔離結構，位於所述溝渠中，其中多個單元區在所述溝渠中分別被限制在所述多個第一隔離結構中的兩個相鄰的第一隔離結構之間，其中所述多個第一隔離結構各自包括：第一主層以及第一襯層，所述第一襯層環繞所述第一主層，其中所述第一襯層將所述第一主層與所述第一堆疊結構及所述第二堆疊結構隔開；多個閘極介電層，分別位於所述多個單元區中的一者中，且覆蓋所述第一堆疊結構與所述第二堆疊結構的相對側壁以及所述多個第一隔離結構的相對側壁；多個通道層，分別覆蓋所述多個閘極介電層中的一者的內表面；以及多個導電柱，在所述多個單元區內豎立在所述基底上，且在側向上被所述多個通道層環繞，其中所述多個導電柱中的至少兩個導電柱位於所述多個單元區中的每一者中，且位於所述多個單元區中的每一者中的所述至少兩個導電柱在側向上彼此隔開。

**【圖式簡單說明】**

**【0005】** 藉由結合附圖閱讀以下詳細說明，會最佳地理解本揭露的各態樣。應注意，根據行業中的標準慣例，各種特徵並非按比

例繪製。事實上，為論述清晰起見，可任意增大或減小各種特徵的尺寸。

圖 1 是根據本公開一些實施例的三維記憶體的方塊圖。

圖 2A 及圖 2B 是根據本公開一些實施例的用於形成三維記憶體裝置的製造方法的流程圖。

圖 3A 至圖 10A 示出圖 2A 及圖 2B 中所示三維記憶體裝置的製造方法期間的各個階段的結構的示意性三維視圖。

圖 3B 至圖 10B 分別是沿著圖 3A 至圖 10A 中所示的線 A-A' 的示意性剖視圖。

圖 3C 至圖 10C 分別示出參照圖 3A 至圖 10A 闡述的製程步驟中的三維記憶體裝置的一部分的示意性放大平面圖。

圖 11A 至圖 11D 是示出圖 10A 的三維記憶體裝置的一部分的示意性放大剖視圖。

圖 12 是根據本公開一些實施例的三維記憶體裝置的一部分的等效電路圖。

圖 13 是根據本公開一些實施例的半導體結構的示意性剖視圖。

圖 14A 及圖 14B 是根據本公開一些實施例的三維記憶體裝置的各種示意圖。

圖 15A 及圖 15B 是根據本公開一些實施例的三維記憶體裝置的各種示意圖。

圖 16A 及圖 16B 是根據本公開一些實施例的三維記憶體

裝置的各種示意圖。

圖 17 是根據本公開一些實施例的三維記憶體裝置的一部分的示意性放大平面圖。

圖 18 是根據本公開一些實施例的三維記憶體裝置的一部分的示意性放大平面圖。

圖 19 是根據本公開一些實施例的三維記憶體裝置的一部分的示意性放大平面圖。

圖 20A 及圖 20B 是根據本公開一些實施例的三維記憶體裝置的各種示意圖。

#### 【實施方式】

【0006】 本揭露內容提供用於實施本揭露的不同特徵的諸多不同實施例或實例。以下闡述組件及佈置的具體實例以簡化本揭露。當然，該些僅為實例且不旨在進行限制。舉例而言，在以下說明中，將第一特徵形成於第二特徵之上或第二特徵上可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且亦可包括其中在第一特徵與第二特徵之間可形成有附加特徵、進而使得第一特徵與第二特徵可能不直接接觸的實施例。另外，本揭露可在各種實例中重複使用參考編號及/或字母。此種重複使用是出於簡單及清晰的目的，且本身並不表示所論述的各種實施例及/或配置之間的關係。

【0007】 此外，為易於說明，本文中可能使用例如「在...之下

(beneath)」、「在...下方 (below)」、「下部的 (lower)」、「在...上方 (above)」、「上部的 (upper)」等空間相對性用語來闡述圖中所示的一個元件或特徵與另一 (其他) 元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的取向外亦囊括裝置在使用或操作中的不同取向。設備可具有其他取向 (旋轉 90 度或處於其他取向)，且本文中所使用的空間相對性描述語可同樣相應地進行解釋。

**【0008】** 另外，為便於說明，本文中所使用的例如“第一”、“第二”、“第三”、“第四”等用語用於闡述圖中所示的相似或不同的元件或特徵，且可根據存在的次序或說明的上下文而互換使用。

**【0009】** 三維記憶體 (three-dimensional (3D) memory) 是提高非揮發性記憶體的儲存容量的新發展。通過垂直堆疊多個記憶體單元，可顯著增加儲存容量而不會顯著增加非揮發性記憶體的佔用面積 (footprint area)。

**【0010】** 圖 1 是根據本公開一些實施例的三維記憶體的方塊圖。參照圖 1，在一些實施例中，三維記憶體包括三維記憶體裝置 10、列譯碼器 (row decoder) 12 及行譯碼器 (column decoder) 14。三維記憶體裝置 10、列譯碼器 12 及行譯碼器 14 可各自為同一半導體晶粒的部件，或者可為不同半導體晶粒的部件。舉例來說，三維記憶體裝置 10 可為第一半導體晶粒的部件，而列譯碼器 12 及行譯碼器 14 可為第二半導體晶粒的部件。

【0011】 在一些實施例中，三維記憶體裝置 10 包括多個記憶體單元 MC、多個列線 RL（例如字元線（word line））及多個行線 CL（例如位元線（bit line）和/或源極線（source line））。記憶體單元 MC 被佈置成多個列與多個行（例如，以陣列的形式，其可被稱為記憶體陣列）。列線 RL 及行線 CL 電連接到記憶體單元 MC。列線 RL 是沿著記憶體單元 MC 的列延伸的導電線。行線 CL 是沿著記憶體單元 MC 的行延伸的導電線。

【0012】 列譯碼器 12 可為例如靜態互補金屬氧化物半導體（complementary metal-oxide-semiconductor, CMOS）譯碼器、偽 N 型金屬氧化物半導體（pseudo N-type metal-oxide-semiconductor, pseudo NMOS）譯碼器等。在操作期間，列譯碼器 12 通過啟動列的對應的列線 RL 在三維記憶體裝置 10 的多個列中選擇期望的記憶體單元 MC。行譯碼器 14 可為例如靜態 CMOS 譯碼器、偽 NMOS 譯碼器等，且可包括寫入器驅動器、感測放大器、其組合等。在操作期間，行譯碼器 14 從位在所選擇的列中的三維記憶體裝置 10 的多個行中為期望的記憶體單元 MC 選擇對應的行線 CL，且使用對應的行線 CL 從所選擇的記憶體單元 MC 讀取資料或向所選擇的記憶體單元 MC 寫入資料。

【0013】 圖 2A 及圖 2B 是根據本公開一些實施例的用於形成三維記憶體裝置 10 的製造方法的流程圖。圖 3A 至圖 10A 示出圖 2A 及圖 2B 中所示三維記憶體裝置 10 的製造方法期間的不同階段的結構的示意性三維視圖。圖 3B 至圖 10B 是分別沿著圖 3A 至圖 10A

中所示的線 A-A'的示意性剖視圖。圖 3C 至圖 10C 是分別示出在參照圖 3A 至圖 10A 闡述的製程步驟中三維記憶體裝置 10 的由虛線框 B 指示的一部分的示意性放大平面圖。圖 11A 至圖 11D 是示出圖 10A 所示三維記憶體裝置 10 的一部分的示意性放大剖視圖，所述示意性放大剖視圖是分別沿著圖 10A 中所示線 C-C'、D-D'、E-E'及 F-F'截取的。舉例來說，示出三維記憶體裝置 10 的一部分。

**【0014】** 參照圖 3A 至圖 3C，在一些實施例中，根據圖 2A 所示步驟 S100，提供下伏結構（underlying structure）102，且在下伏結構 102 之上形成多層堆疊（multilayer stack）104。舉例來說，下伏結構 102 是半導體基底（未示出）之上的蝕刻停止層，以防止對 CMOS 積體電路內部的下伏結構下面的層帶來任何不期望的損壞或蝕刻。下伏結構 102 可被稱為三維記憶體裝置 10 的基底。下伏結構 102 可為半導體基底（例如塊狀半導體基底、絕緣體上半導體（semiconductor-on-insulator，SOI）基底等），所述半導體基底可為經摻雜的（例如，使用 p 型摻雜劑或 n 型摻雜劑）或未經摻雜的。下伏結構 102 可為晶圓，例如矽晶圓。一般而言，SOI 基底是形成在絕緣體層上的半導體材料層。絕緣體層可為掩埋氧化物（buried oxide，BOX）層、氧化矽層等。舉例來說，絕緣體層設置在基底（通常是矽基底或玻璃基底）上。還可使用其他基底，例如多層基底（multilayered substrate）或梯度基底（gradient substrate）。在一些實施例中，下伏結構 102 的半導體材料包括：矽；鍺；化合物半導體，包括碳化矽、砷化鎵、磷化鎵、磷化銮、

砷化銮和/或銻化銮；合金半導體，包括矽鍺、砷化鎵磷化物、砷化鋁銮、砷化鋁鎵、砷化鎵銮、磷化鎵銮和/或砷化鎵銮磷化物；或其組合。下伏結構 102 可包含介電材料。舉例來說，下伏結構 102 是介電基底，或者包括半導體基底上的介電層。用於介電基底的可接受的介電材料可包括：氧化物，例如氧化矽；氮化物，例如氮化矽；碳化物，例如碳化矽；類似材料；或其組合，例如氮氧化矽、碳氧化矽、碳氮化矽等。在一些實施例中，如圖 3A 中所示，下伏結構 102 由碳化矽形成。

**【0015】** 在一些實施例中，多層堆疊 104 包括交替的多個第一介電層 104A 與多個第二介電層 104B。舉例來說，第一介電層 104A 由第一介電材料形成，且第二介電層 104B 由第二介電材料形成。第一介電材料及第二介電材料可各自選自下伏結構 102 的候選介電材料。在一些實施例中，第一介電材料不同於第二介電材料。如圖 3A 至圖 10C 中所示，出於例示目的，多層堆疊 104 包括五層第一介電層 104A 及四層第二介電層 104B；然而，本公開不限於此。應理解，多層堆疊 104 可包括任意數目的第一介電層 104A 及第二介電層 104B。

**【0016】** 多層堆疊 104 將在圖 4A~圖 4C 至圖 10A~圖 10C 中繪示的後續處理中被圖案化，以形成多個溝渠及在溝渠中形成的多個電晶體。如此一來，第一介電層 104A 及第二介電層 104B 二者的介電材料相對於下伏結構 102 的蝕刻具有高蝕刻選擇性。換句話說，舉例來說，下伏結構 102 是形成在 CMOS 積體電路之上的

蝕刻停止層。圖案化的第一介電層 104A 是絕緣層，其將用於隔離隨後形成的電晶體。圖案化的第二介電層 104B 是犧牲層（或虛設層），其將在後續處理中被移除，並被用於電晶體的字元線替代。如此一來，第二介電層 104B 的第二介電材料相對於第一介電層 104A 的第一介電材料的蝕刻也具有高蝕刻選擇性。換句話說，在移除第二介電層 104B 期間，第一介電層 104A 可保持實質上完整。在下伏結構 102 由碳化矽形成的實施例中，第一介電層 104A 可由氧化物（例如氧化矽）形成，且第二介電層 104B 可由氮化物（例如氮化矽）形成。也可使用彼此具有可接受的蝕刻選擇性的介電材料的其他組合。

**【0017】** 多層堆疊 104 的每一層可通過可接受的沉積製程（例如化學氣相沉積（chemical vapor deposition, CVD），諸如：電漿增強型化學氣相沉積（plasma-enhanced chemical vapor deposition, PECVD）或可流動化學氣相沉積（flowable chemical vapor deposition, FCVD）、原子層沉積（atomic layer deposition, ALD）、或類似製程等）形成。層中的每一者的厚度可處於約 15 奈米（nm）至約 90 nm 的範圍內。在一些實施例中，第一介電層 104A 被形成為不同於第二介電層 104B 的厚度。舉例來說，第一介電層 104A 可被形成為第一厚度 T1，且第二介電層 104B 可被形成為第二厚度 T2，其中第二厚度 T2 以約 0%到約 100%的比例大於或小於第一厚度 T1。多層堆疊 104 可具有處於約 1000 nm 至約 50000 nm 的範圍內的總高度 H。在本公開中，圖 3C 至圖 10C 各自示意性地

示出方框 B 中繪示的三維記憶體裝置 10 的一部分的放大平面圖，所述一部分是處於例如一個第二介電層 104B 所處的水平處。

**【0018】** 參照圖 4A 至圖 4C，在一些實施例中，根據圖 2A 所示步驟 S102，在多層堆疊 104 中形成多個溝渠 106。舉例來說，如圖 4A 及圖 4B 中所示，溝渠 106 延伸穿過多層堆疊 104 並暴露出下伏結構 102。在替代實施例中，溝渠 106 延伸穿過多層堆疊 104 中的一些層而不是所有層。可使用可接受的微影及蝕刻技術（例如使用對多層堆疊 104 具有選擇性（例如，以比蝕刻下伏結構 102 的材料快的速率來蝕刻第一介電層 104A 及第二介電層 104B 的介電材料）來形成溝渠 106。蝕刻可為任何可接受的蝕刻製程，例如反應離子蝕刻（reactive ion etch, RIE）、中性束蝕刻（neutral beam etch, NBE）、類似蝕刻或其組合。蝕刻可為非等向性的（anisotropic）。在下伏結構 102 由碳化矽形成、第一介電層 104A 由氧化矽形成、且第二介電層 104B 由氮化矽形成的實施例中，溝渠 106 可通過使用混合有氫氣（H<sub>2</sub>）或氧氣（O<sub>2</sub>）的氟系氣體（例如，C<sub>4</sub>F<sub>6</sub>）的乾法蝕刻形成。如圖 4A 至圖 4C 中所示，舉例來說，多層堆疊 104 的一部分設置在溝渠 106 的每一對之間。在一些實施例中，第一介電層 104A 的側壁 SW104A 與第二介電層 104B 的側壁 SW104B 被溝渠 106 暴露出。第一介電層 104A 的側壁 SW104A 可與第二介電層 104B 的側壁 SW104B 實質上共面且齊平。

**【0019】** 參照圖 5A 至圖 5C，在一些實施例中，根據圖 2A 所示步驟 S104，選擇性地移除第二介電層 104B。舉例來說，通過移除第

二介電層 104B，形成多個凹槽 108 以暴露出先前與第二介電層 104B 接觸的第一介電層 104A 的多個表面。在一些實施例中，溝渠 106 與凹槽 108 在空間上彼此連通。

**【0020】** 凹槽 108 可通過可接受的蝕刻製程（例如對第二介電層 104B 的材料具有選擇性（例如，以比蝕刻第一介電層 104A 及下伏結構 102 的材料快的速率選擇性地蝕刻第二介電層 104B 的材料）的蝕刻製程）形成。蝕刻可為等向性的（*isotropic*）。在下伏結構 102 由碳化矽形成、第一介電層 104A 由氧化矽形成、且第二介電層 104B 由氮化矽形成的實施例中，溝渠 106 可通過使用磷酸（ $\text{H}_3\text{PO}_4$ ）的濕法蝕刻來擴展。在替代實施例中，可使用對第二介電層 104B 的材料具有選擇性的乾法蝕刻。由於第一介電層 104A 在移除第二介電層 104B 期間可保持實質上完整，因此凹槽 108 各自可具有實質上等於第二介電層 104B 的第二厚度 T2 的厚度。此外，環繞具有記憶體陣列的陣列區的週邊區（包括在三維記憶體裝置 10 中）具有第二介電層 104B 的未被移除的一些部分（例如，在圖 5A 至圖 5C 及圖 6A 至圖 6C 中闡述的替換製程期間）。因此，在週邊區中的第二介電層 104B 的一些部分還提供進一步的支撐，以防止陣列區中的第一介電層 104A 塌陷（*collapse*）。

**【0021】** 參照圖 6A 至圖 6C，在一些實施例中，根據圖 2A 所示步驟 S106，在凹槽 108 中形成多個導電層 110。在一些實施例中，由導電層 110 替換先前存在的第二介電層 104B。舉例來說，第一介電層 104A 與導電層 110 交替堆疊在下伏結構 102 上，且共同地

形成多個堆疊結構 112。堆疊結構 112 通過溝渠 106 在側向上彼此間隔開，且直接豎立在下伏結構 102 上。在一些實施例中，導電層 110 的側壁 SW110 實質上與第一介電層 104A 的側壁 SW104A 共面且齊平，如圖 6B 中所示。導電層 110 的側壁 SW110 與第一介電層 104A 的側壁 SW104A 可共同地被稱為堆疊結構 112 的側壁 SW112。舉例來說，堆疊結構 112 的側壁 SW112 實質上是垂直側壁，所述垂直側壁實質上是平坦的（planar）且平的（flat），如圖 6A 及圖 6B 中所示。換句話說，堆疊結構 112 的側壁 SW112 是連續的垂直側壁。舉例來說，在圖 6B 的橫截面中，側壁 SW112 包括實質上直的線。導電層 110 可由導電材料（例如金屬，例如鎢、鈦、鉬、鈷、鋁、鎳、銅、銀、金、其合金等）形成。導電層 110 可各自通過可接受的沉積製程（例如 CVD、ALD 等）形成。

**【0022】** 用於形成導電層 110 的方法可包括但不限於：通過沉積製程（例如 CVD 製程或 ALD 製程）使用導電材料填滿第一介電層 104A 之間的溝渠 106 及凹槽 108（如圖 5A 中所示）。此後，通過蝕刻製程（例如，“回蝕”製程）移除未被第一介電層 104A 覆蓋的導電材料的部分。導電材料的剩餘部分形成導電層 110。換句話說，第一介電層 104A 可在此種蝕刻製程期間用作陰影罩幕（shadow mask），且導電材料的此種圖案化可被認為是自對準製程（self-aligning process）。可執行可接受的蝕刻製程（例如乾法蝕刻（例如，RIE、NBE、類似蝕刻）、濕法蝕刻、類似製程或其組合）以從第一介電層 104A 的側壁及下伏結構 102 的頂表面移除

多餘的導電材料。蝕刻可為非等向性的或等向性的。導電層 110 中的每一者可具有與第二介電層 104B 的第二厚度 T2 相似的總厚度（如上方針對圖 3A 所述）。至此，完成使用導電材料替換第二介電層 104B。在本公開中，導電層 110 可被稱為閘極層。導電層 110 可用作電晶體的閘極（gate）。

**【0023】** 此外，儘管未示出，堆疊結構 112 中的一些堆疊結構 112 的端部可被成形為階梯結構（staircase structure），其中多層堆疊 104 的每一膜（一個第一介電層 104A 或一個第二介電層 104B）的端部可相對於上覆的膜突出。在形成溝渠 106 之前，多層堆疊 104 的一個或多個側被成形為階梯結構。在這些實施例中，階梯結構由先階梯製程（staircase-first process）形成。第一介電層 104A 和 /或第二介電層 104B 可分別在階梯結構的臺階處暴露出。用於成形多層堆疊 104 以形成階梯結構的方法可包括修整及蝕刻製程（trim-and-etch process）。此外，介電層（未示出）可隨後形成在具有階梯結構的多層堆疊 104 上。此介電層的頂表面可與多層堆疊 104 的頂表面齊平。如此，隨著第二介電層 104B 被移除並被導電層 110 替換，包括在堆疊結構 112 中的每一者中的導電層 110 及相應的第一介電層 104A 呈階梯結構的形式。

**【0024】** 另外，可在第一介電層 104A 與導電層 110 之間形成一個或多個膠層（glue layer）111（或被稱為阻擋層（barrier layer））。在一些實施例中，如圖 6B 中所示，膠層 111 各自沿著導電層 110 的側（例如，與第一介電層 104A 接觸的頂表面及底表面）延伸。

膠層 111 由與導電層 110 的材料不同的導電材料（例如金屬氮化物）形成。舉例來說，膠層 111 的材料包括氮化鈦、氮化鋁、氮化鉬、氮化鎢、氮化鉛等。膠層 111 的材料是對第一介電層 104A 的材料具有良好粘附性的材料，且導電層 110 的材料是對膠層 111 的材料具有良好粘附性的材料。舉例來說，第一介電層 104A 由氧化物（例如氧化矽）形成，膠層 111 可由氮化鈦形成，且導電層 110 可由鎢形成。此外，每一膠層 111 的厚度可小於第一介電層 104A 的第一厚度 T1 及導電層 110 的厚度，其中位於一個凹槽 108 中的膠層 111 的總厚度與對應的導電層 110 的厚度之和等於此種凹槽 108 的厚度（例如，第二厚度 T2）。由於膠層 111，堆疊結構 112 中的每一堆疊結構 112 中的第一介電層 104A 與導電層 110 之間的粘附力得到增強。出於簡單及例示的目的，在以下的附圖中將省略膠層 111。

**【0025】** 參照圖 7A 至圖 7C，在一些實施例中，根據圖 2A 所示步驟 S108，在溝渠 106 中形成多個虛設介電結構 113m。舉例來說，虛設介電結構 113m 被形成為填滿溝渠 106，其中堆疊結構 112 的側壁 SW112 與虛設介電結構 113m 接觸。虛設介電結構 113m 由介電材料形成。可接受的介電材料可包括：氧化物，例如氧化矽或氧化鋁；氮化物，例如氮化矽；碳化物，例如碳化矽；類似材料；或其組合，例如氮氧化矽、碳氧化矽、碳氮化矽等。虛設介電結構 113m 的材料可與第一介電層 104A 的材料或第二介電層 104B 的材料相同。作為另外一種選擇，虛設介電結構 113m 的材料可不

同於第一介電層 104A 的材料和/或第二介電層 104B 的材料。本公開不限於此。

**【0026】** 用於形成虛設介電結構 113m 的方法可包括但不限於：通過沉積製程（例如 CVD 等）使用介電材料填滿溝渠 106。隨後，可執行平坦化製程以移除介電材料位於堆疊結構 112 的所示頂表面上方的部分。平坦化製程可包括化學機械拋光（chemical mechanical polish, CMP）製程、蝕刻製程（例如，回蝕）或其組合。介電材料位於溝渠 106 內的剩餘部分形成虛設介電結構 113m。如圖 7B 中所示，舉例來說，虛設介電結構 113m 的所示頂表面實質上與堆疊結構 112 的所示頂表面共面且齊平。

**【0027】** 共同地參照圖 7A 至圖 7C 及圖 8A 至圖 8C，在一些實施例中，根據圖 2A 所示步驟 S110，移除虛設介電結構 113m 的部分以形成彼此隔開的多個單元區 CR。舉例來說，溝渠 106 中的虛設介電結構 113m 被部分移除以形成多個單元區 CR，其中溝渠 106 中未移除的虛設介電結構 113m 形成將單元區 CR 彼此隔開的多個剩餘虛設介電結構 113。單元區 CR 可穿透過剩餘虛設介電結構 113，以部分暴露出下伏結構 102 的頂表面及堆疊結構 112 的側壁 SW112。用於形成單元區 CR 的方法可包括但不限於：通過使用微影製程與蝕刻製程來圖案化虛設介電結構 113m，以部分移除虛設介電結構 113m。蝕刻可為任何可接受的蝕刻製程，例如 RIE、NBE、類似製程、或其組合。蝕刻可為非等向性的。

**【0028】** 在形成單元區 CR 之後，可在單元區 CR 中形成膜堆疊。

膜堆疊各自可包括一個介電層 114、一個半導體層 116 及一個導電結構 118m，且可各自形成在單元區 CR 中的一者中。

**【0029】** 根據圖 2A 所示步驟 S112，在多個單元區 CR 的側壁 SW1 上分別形成多個介電層 114。舉例來說，介電層 114 形成在下伏結構 102 的被暴露出的頂表面上及堆疊結構 112 的被暴露出的側壁 SW112 上，如圖 8A 及圖 8B 中所示。換句話說，介電層 114 可分別形成在單元區 CR 中的一者中。如上所述，由於剩餘虛設介電結構 113，可防止單元區 CR 彼此連通。因此，可將分別形成在單元區 CR 中的一者中的介電層 114 彼此隔開。此外，如圖 8A 及圖 8C 中所示，介電層 114 可分別被形成為具有環形俯視圖形狀。舉例來說，每一介電層 114 的俯視圖（在圖 8C 中繪示的 X-Y 平面上）可表現為實質上矩形的環。在一些實施例中，在如圖 8B 中所示的橫截面中，沿著方向 Z，介電層 114 共形地覆蓋堆疊結構 112 的側壁 SW112 及下伏結構 102 的被單元區 CR 暴露出的頂表面。

**【0030】** 在一些實施例中，介電層 114 是由用於儲存數位值的可接受的鐵電材料（例如氧化鉛銻（HZO）；氧化銻（ZrO）；摻雜有鏷（La）、矽（Si）、鋁（Al）等的氧化鉛（HfO）；未經摻雜的氧化鉛（HfO）等）形成的資料儲存層（或膜）。作為另外一種選擇，介電層 114 可為電荷捕獲層（或膜）。電荷捕獲層可包括氧化物-氮化物-氧化物（oxide-nitride-oxide，ONO）層。在一些實施例中，用於形成介電層 114 的方法包括通過沉積製程（例如，CVD、ALD、物理氣相沉積（physical vapor deposition，PVD）等）或磊晶製程

(epitaxial process) 全域地 (globally) 形成介電層以共形地覆蓋如圖 7A 中所示的結構。隨後，可通過例如拋光製程 (例如，CMP 製程)、蝕刻製程或其組合來移除介電層位於堆疊結構 112 的所示頂表面上方的部分。介電層的剩餘部分形成介電層 114。在一些實施例中，介電層 114 被單獨稱為記憶體層 (或記憶體膜) (memory layer or memory film)。另一方面，介電層 114 可用作電晶體的閘極介電層 (gate dielectric layer)。

**【0031】** 根據圖 2A 所示步驟 S114，在介電層 114 上形成多個半導體層 116。半導體層 116 可分別形成在介電層 114 的內表面 S1 上。與介電層 114 相似，半導體層 116 分別形成在單元區中的一者中，並確保彼此隔開。此外，半導體層 116 可分別具有環形俯視圖形狀。舉例來說，每一半導體層 116 的俯視圖可表現為實質上矩形的環。在一些實施例中，半導體層 116 共形地覆蓋堆疊結構 112 的側壁 SW112，如圖 8B 中所示。此外，在一些實施例中，半導體層 116 跨越堆疊結構 112 的側壁 SW112，但是可不在側向上跨越基底 102 的頂表面 (如圖 8A 及圖 8B 中所示)。在這些實施例中，介電層 114 的位於下伏結構 102 的頂表面上的一些部分可能未被半導體層 116 覆蓋。另外，每一半導體層 116 可被認為在其最底部區是不連續的，且可防止隨後在每一單元區 CR 中形成的導電柱 (例如，將參照圖 9A 至圖 9C 闡述稍後形成的導電柱 118) 通過下伏路徑彼此電連接，所述下伏路徑可幾乎不受施加到導電層 110 的閘極電壓的控制。在本公開中，半導體層 116 可被稱為

電晶體的通道層（或通道區）（channel layer or channel region）。

【0032】 在一些實施例中，半導體層 116 由可接受的半導體材料形成，以用作電晶體的通道區。在一些實施例中，可接受的半導體材料是金屬氧化物材料，例如銮系氧化物材料（例如，氧化銮鎵鋅（IGZO）、氧化銮錫（ITO）、氧化銮鎵鋅錫（IGZTO）、氧化鋅（ZnO）、多晶矽、非晶矽等。另外，在一些實施例中，用於形成半導體層 116 的方法包括通過沉積製程（例如，CVD、ALD 或 PVD）全域地形成半導體層以共形地覆蓋介電層 114、下伏結構 102 及堆疊結構 112。隨後，半導體層的位於堆疊結構 112 的頂表面上方的部分以及半導體層的位於下伏結構 102 上的部分可通過例如蝕刻來移除。半導體層的剩餘部分形成半導體層 116。蝕刻可為任何可接受的蝕刻製程，例如 RIE、NBE、類似蝕刻、或其組合。蝕刻可為非等向性的。

【0033】 此後，根據圖 2A 所示步驟 S116，形成多個導電結構 118m 以填滿單元區 CR。如圖 8A 至圖 8C 中所示，舉例來說，導電結構 118m 分別豎立在單元區 CR 中的一者中，且在側向上被半導體層 116 及介電層 114 環繞。導電結構 118m 可分別連續地形成在半導體層 116 的內表面 S2 上。舉例來說，半導體層 116 分別夾置在介電層 114 與導電結構 118m 之間。在半導體層 116 不在側向上跨越下伏結構 102 的頂表面的那些實施例中，導電結構 118m 可豎立在介電層 114 的最底部部分上。導電結構 118m 由導電材料形成。可接受的導電材料包括金屬，例如鎢、鈷、鋁、鎳、銅、銀、金、

其合金等。

**【0034】** 用於形成導電結構 118m 的方法包括通過沉積製程(例如 ALD 或 CVD)、可接受的鍍覆技術(例如電鍍 (electroplating) 或化學鍍 (electroless plating)) 等使用導電材料填滿單元區 CR。隨後,可執行平坦化製程以移除導電材料的位於堆疊結構 112 的頂表面上方的部分,且平坦化製程可包括 CMP 製程、蝕刻製程(例如,回蝕)或其組合。導電材料的剩餘部分形成導電結構 118m。在一些實施例中,導電結構 118m 由鎢製成。可在導電結構 118m 與半導體層 116 之間形成附加的膠層;與導電層 110 相似,膠層的使用取決於導電結構 118m 的導電材料。

**【0035】** 參照圖 9A 至圖 9C,在一些實施例中,根據圖 2A 所示步驟 S118,移除導電結構 118m 的部分以在單元區 CR 內形成多個導電柱 118。舉例來說,單元區 CR 內的導電結構 118m 被部分移除以形成多個第一凹槽 R1,其中單元區 CR 中的每一者中未移除的導電結構 118m 形成一對導電柱 118,所述一對導電柱 118 被一個第一凹槽 R1 彼此隔開。第一凹槽 R1 可穿透過導電柱 118 以部分暴露出介電層 114 的最底部部分的頂表面、半導體層 116 的側壁 SW116 及導電柱 118 的側壁 SW118。

**【0036】** 用於形成第一凹槽 R1 的方法可包括但不限於:通過使用微影製程及蝕刻製程來圖案化導電結構 118m 以部分移除導電結構 118m,從而形成多對導電柱 118。蝕刻可為任何可接受的蝕刻製程,例如 RIE、NBE、類似蝕刻或其組合。蝕刻可為非等向性的。

在本公開中，導電柱 118 可被稱為電晶體的源極/汲極區 (source/drain region)。導電柱 118 可為成對形成的導電柱體，其中每一半導體層 116 接觸每一單元區 CR 中對應的一對導電柱 118。至此，形成在三維記憶體裝置 10 的溝渠 106 中的電晶體已完成製造。每一電晶體至少包括一對導電柱 118 (用作源極/汲極區)、導電層 110 (用作閘極)、以及與導電層 110 相交且位於所述一對導電柱 118 之間的半導體層 116 (用作通道區) 及介電層 114 (用作閘極介電質) 的區。

**【0037】** 在一些實施例中，根據圖 2A 所示步驟 S120，移除剩餘虛設介電結構 113 以形成將單元區 CR 隔開的多個第二凹槽 R2。舉例來說，位於兩個相鄰的單元區 CR 之間的剩餘虛設介電結構 113 各自被完全移除以形成第二凹槽 R2，其中位於一個溝渠 106 中的單元區 CR 通過對應的第二凹槽 R2 在實體上彼此隔開。第二凹槽 R2 可在方向 Z 上延伸穿過溝渠 106，以部分暴露出下伏結構 102 的頂表面以及堆疊結構 112 的側壁 SW112 及單元區 CR 的側壁 SW1 (例如，介電層 114 的不與堆疊結構 112 接觸的外表面)。用於形成第二凹槽 R2 的方法可包括但不限於：通過使用微影製程及蝕刻製程移除剩餘虛設介電結構 113，從而完全移除剩餘虛設介電結構 113。蝕刻可為任何可接受的蝕刻製程，例如 RIE、NBE、類似蝕刻或其組合。蝕刻可為非等向性的。

**【0038】** 在一個實施例中，如所示的實施例中所述，在移除剩餘虛設介電結構 113 之前執行導電柱 118 的形成。然而，本公開不

限於此；作為另外一種選擇，可在移除剩餘虛設介電結構 113 之後，執行導電柱 118 的形成。

**【0039】** 參照圖 10A 至圖 10C，根據圖 2A 所示步驟 S122，在一些實施例中，在溝渠 106 中形成多個隔離結構（例如，第一隔離結構 128、第二隔離結構 130）。在每一溝渠 106 中，隔離結構可包括在單元區 CR 內形成在第一凹槽 R1 中的多個第一隔離結構 128 及在兩個相鄰的單元區 CR 之間形成在第二凹槽 R2 中的多個第二隔離結構 130。第一隔離結構 128 各自將每一單元區 CR 中的所述一對導電柱 118 彼此電隔離並在實體上分開。另一方面，第二隔離結構 130 各自在側向上將相鄰的單元區 CR 彼此電隔離並在實體上分開。由於第一隔離結構 128 及第二隔離結構 130，大大抑制了在垂直上及在水平上定位的相鄰電晶體之間的串擾，從而確保電晶體的電效能的可靠性。在一些實施例中，第一隔離結構 128 各自包括第一襯層 120 及第一主層 124。與第一隔離結構 128 相似，舉例來說，第二隔離結構 130 各自包括第二襯層 122 及第二主層 126。除圖 2B、圖 10A 及圖 10C 之外，還將結合圖 11A 及圖 11D 更詳細地論述第一隔離結構 128 及第二隔離結構 130 的細節。

**【0040】** 根據圖 2B 所示步驟 S122a，可在第一凹槽 R1 的側壁 S5 上形成多個第一襯層 120。舉例來說，如圖 11A 及圖 11B 中所示，第一襯層 120 共形地形成在第一凹槽 R1 中以覆蓋（例如，接觸）導電柱 118 的側壁 SW118 及半導體層 116 的側壁 SW116，並進一步在介電層 114 的最底部部分的頂表面之上延伸。換句話說，第

一襯層 120 完全覆蓋（例如，接觸）介電層 114 的被半導體層 116 及導電柱 118 暴露出的最底部部分。此外，如圖 10A 及圖 10C 中所示，第一襯層 120 可分別被形成為具有環形俯視圖形狀。每一第一襯層 120 的俯視圖（在圖 10C 中繪示的 X-Y 平面上）可表現為實質上矩形的環。第一襯層 120 的厚度 T3 可為約 10 nm 或小於 10 nm。在一些實施例中，第一襯層 120 的厚度 T3 約介於 2 nm 至 5 nm 的範圍內。

**【0041】** 另一方面，根據圖 2B 所示步驟 S122b，可在第二凹槽 R2 的側壁 S6 上形成多個第二襯層 122。舉例來說，如圖 11C 及圖 11D 中所示，第二襯層 122 共形地形成在第二凹槽 R2 中以覆蓋（例如，接觸）單元區 CR 的側壁 SW1 及堆疊結構 112 的側壁 SW112，並進一步在下伏結構 102 的頂表面之上延伸。換句話說，第二襯層 122 完全覆蓋（例如，接觸）下伏結構 102 的被單元區 CR 暴露出的頂表面及堆疊結構 112。此外，如圖 10A 及圖 10C 中所示，第二襯層 122 可分別被形成為具有環形俯視圖形狀。每一第二襯層 122 的俯視圖（在圖 10C 中繪示的 X-Y 平面上）可表現為大致矩形的環。在一些實施例中，在如圖 10B 中沿著方向 Z 所示的橫截面中，第二襯層 122 共形地覆蓋堆疊結構 112 的側壁 SW112 及下伏結構 102 的被單元區 CR 暴露出的頂表面。第二襯層 122 的厚度 T4 可為約 10 nm 或小於 10 nm。在一些實施例中，第二襯層 122 的厚度 T4 約介於 2 nm 至 5 nm 的範圍內。

**【0042】** 在一些實施例中，第一襯層 120 及第二襯層 122 各自由

可接受的介電材料形成。可接受的介電材料可包括：氧化物，例如氧化矽；氮化物，例如氮化矽；碳化物，例如碳化矽；類似材料；或其組合，例如氮氧化矽、碳氧化矽、碳氮化矽等。在一些實施例中，用於形成第一襯層 120 及第二襯層 122 的方法包括通過 ALD 全域地形成介電層以共形地覆蓋如圖 9A 中所示的結構。隨後，可通過例如拋光製程（例如，CMP 製程）、蝕刻製程或其組合來移除介電層位於堆疊結構 112 的所示頂表面上方的部分。介電層的剩餘部分形成第一襯層 120 及第二襯層 122。也就是說，在一些實施例中，第一襯層 120 及第二襯層 122 在同一步驟中同時形成。然而，本公開不限於此；作為另外一種選擇，第一襯層 120 可在形成第二襯層 122 之前形成。或者，第一襯層 120 可在形成第二襯層 122 之後形成。換句話說，第一襯層 120 的材料可與第二襯層 122 的材料相同。作為另外一種選擇，第一襯層 120 的材料可不同於第二襯層 122 的材料。

**【0043】** 根據圖 2B 所示步驟 S122c，可形成第一主層 124 以填滿第一凹槽 R1，從而在第一凹槽 R1 中形成第一隔離結構 128。第一凹槽 R1 的側壁 S5 也可被稱為第一隔離結構 128 的側壁。舉例來說，第一主層 124 連續地形成在第一凹槽 R1 中的第一襯層 120 的內表面 S3 上以覆蓋（例如，接觸）第一襯層 120 的內表面 S3，且進一步在堆疊在介電層 114 的最底部部分上的第一襯層 120 的最底部部分之上延伸。換句話說，第一主層 124 完全覆蓋（例如，接觸）單元區 CR 內部第一襯層 120 的最底部部分。此外，如圖

10C 的俯視圖中所示，第一主層 124 可與第一襯層 120 接觸並被第一襯層 120 包圍。在一些實施例中，第一襯層 120 夾置在第一主層 124 與導電柱 118 之間（例如，沿著方向 Y）以及第一主層 124 與半導體層 116 之間（例如，沿著方向 X），如圖 11A 及圖 11B 中所示。舉例來說，在圖 11A 及圖 11B 的橫截面中，第一襯層 120 各自分別共形地覆蓋第一主層 124 的側壁及底表面。第一襯層 120 在橫截面中可具有碗形形狀（**bowl-shape**）或 U 形形狀，以環繞第一主層 124。在一些實施例中，第一隔離結構 128 各自被稱為設置在單元區 CR 中的導電柱 118 之間的介電插塞（**dielectric plug**）。換句話說，每一第一隔離結構 128 設置在一個電晶體的源極/汲極區（例如，對應的一對導電柱 118）之間。也就是說，對於一個單元區/電晶體，成對的導電柱 118 設置在對應的第一隔離結構 128 的相對側處。因此，每一第一隔離結構 128 將一個電晶體中的相鄰導電柱 118 在實體上及電氣上隔開。

**【0044】** 在一些實施例中，第一主層 124 由可接受的第一介電材料形成。可接受的第一介電材料可包括：氧化物，例如氧化矽；氮化物，例如氮化矽；碳化物，例如碳化矽；類似材料；或其組合，例如氮氧化矽、碳氧化矽、碳氮化矽等。作為另外一種選擇，可接受的第一介電材料可包括介電常數低於 3.9 的低介電常數（**low-K**，**LK**）介電材料或介電常數低於 2.6 的極低介電常數（**extreme low-K**，**ELK**）介電材料。第一介電材料可通過 CVD（例如，PECVD、FCVD）、旋塗等被形成為填滿第一凹槽 R1 而形成

第一主層 124，從而在單元區 CR 中形成第一隔離結構 128。由於第一襯層 120 由 ALD 形成，因此第一襯層 120 的結構比第一主層 124 的結構更精細（例如，更少的空隙和/或更小的空隙尺寸），且在其中第一襯層 120 與第一主層 124 結合在一起的位置處可存在介面。在一些實施例中，第一襯層 120 與第一主層 124 的蝕刻速率為約 1:5。由於第一襯層 120，因此可防止或大大抑制在每一單元區 CR 或在每一電晶體中的導體（即，導電柱 118）之間形成金屬填充滲漏路徑（metal filling leakage path），且因此提高三維記憶體裝置 10 的效能。

【0045】與第一主層 124 相似，根據圖 2B 所示步驟 S122d，可形成第二主層 126 以填滿第二凹槽 R2，從而在第二凹槽 R2 中形成第二隔離結構 130。第二凹槽 R2 的側壁 S6 也可被稱為第二隔離結構 130 的側壁。舉例來說，第二主層 126 連續地形成在第二凹槽 R2 中的第二襯層 122 的內表面 S4 上，以覆蓋（例如，接觸）第二襯層 122 的內表面 S4，並進一步在第二襯層 122 的堆疊在下伏結構 102 的頂表面上的最底部部分之上延伸。換句話說，第二主層 126 完全覆蓋（例如，接觸）單元區 CR 內部第二襯層 122 的最底部部分，如圖 10B 中所示。此外，如圖 10C 的俯視圖中所示，第二主層 126 可與第二襯層 122 接觸並被第二襯層 122 包圍。舉例來說，第二襯層 122 夾置在第二主層 126 與單元區 CR 之間（例如，沿著方向 Y）以及第二主層 126 與導電層 110 之間（例如，沿著方向 X），如圖 11C 及圖 11D 中所示。舉例來說，在圖 11C

及圖 11D 的橫截面中，第二襯層 122 各自分別共形地覆蓋第二主層 126 的側壁及底表面。第二襯層 122 在橫截面上可具有碗形形狀或 U 形形狀，以環繞第二主層 126。在一些實施例中，第二隔離結構 130 各自被稱為設置在一個單元區 CR 的導電柱 118 與另一單元區 CR 的導電柱 118 之間的介電插塞。換句話說，每一第二隔離結構 130 設置在一個電晶體的源極/汲極區中的一者與另一電晶體的源極/汲極區中的一者之間。換句話說，一個單元區 CR/電晶體中的成對的導電柱 118 與另一單元區 CR/電晶體中的成對的導電柱 118 設置在對應的第二隔離結構 130 的相對側處。因此，每一第二隔離結構 130 將相鄰的單元區 CR/電晶體在實體上及電氣上隔離。

**【0046】** 在一些實施例中，第二主層 126 由可接受的第二介電材料形成。可接受的第二介電材料可包括：氧化物，例如氧化矽；氮化物，例如氮化矽；碳化物，例如碳化矽；類似材料；或其組合，例如氮氧化矽、碳氧化矽、碳氮化矽等。作為另外一種選擇，可接受的第二介電材料可包括介電常數低於 3.9 的低介電常數 (LK) 介電材料或介電常數低於 2.6 的極低介電常數 (ELK) 介電材料。第二介電材料可被形成為填滿第二凹槽 R2，從而通過 CVD (例如，PECVD、FCVD)、旋塗等形成第二主層 126，從而在單元區 CR 外部形成第二隔離結構 130。第二介電材料可與第一介電材料相同。作為另外一種選擇，第二介電材料可與第一介電材料不同。由於第二襯層 122 通過 ALD 形成，因此第二襯層 122

的結構比第二主層 126 的結構更精細（例如，更少的空隙和/或更小的空隙尺寸），且在其中第二襯層 122 與第二主層 126 結合在一起的位置處可存在介面。在一些實施例中，第二襯層 122 與第二主層 126 的蝕刻速率為約 1:5。由於第二襯層 122，因此可防止或大大抑制在鄰近單元區 CR 或在鄰近電晶體中的導體（即，導電層 110）之間形成金屬填充滲漏路徑，且因此提高三維記憶體裝置 10 的效能。

**【0047】** 第一主層 124 與第二主層 126 可在同一步驟中同時形成。在一些實施例中，用於形成第一主層 124 及第二主層 126 的方法包括通過 CVD（例如 PECVD 或 FCVD）以毯覆式形成介電層以覆蓋如圖 9A 中所示的結構。隨後，可通過例如拋光製程（例如，CMP 製程）、蝕刻製程或其組合來移除介電層位於堆疊結構 112 的所示頂表面上方的部分。介電層的剩餘部分形成第一主層 124 及第二主層 126。在此種實施例中，第一主層 124 與第二主層 126 的材料是相同的。然而，本公開不限於此；作為另外一種選擇，第一主層 124 可在形成第二主層 126 之前形成。或者，第一主層 124 可在形成第二主層 126 之後形成。換句話說，第一主層 124 與第二主層 126 的材料可相同或不同。至此，製造了三維記憶體裝置 10。

**【0048】** 在一些實施例中，第一襯層 120 與第二襯層 122 的總體積是 A1，一個溝渠 106（例如，兩個相鄰的堆疊結構 112 之間）的總體積為 B1，且 A1 對 B1 的比例為 10%或以上。在一些實施例

中，第一襯層 120 的體積是  $A_2$ ，一個單元區 CR 的總體積是  $B_2$ ，且  $A_2$  對  $B_2$  的比例約介於 10%至 25%的範圍內。在本公開中，第一隔離結構 128 及第二隔離結構 130 的第一襯層 120 及第二襯層 122 用作遮罩層，用於防止在單個單元區 CR 內部或鄰近單元區 CR 中在導體（例如，圖 11A 中繪示的相鄰導電柱 118 及圖 11D 中繪示的相鄰導電層 110）之間形成金屬填充滲漏路徑，以改善三維記憶體裝置 10 的裝置效能。

**【0049】** 如圖 10C 的三維記憶體裝置 10 中所示，舉例來說，每一堆疊結構 112 中的導電層 110 的部分及單元區 CR 中在側向上相鄰於導電層 110 的所述部分的介電層 114、半導體層 116 及導電柱 118 的最近部分構成電晶體（例如場效應電晶體（field effect transistor, FET）），所述電晶體用作三維記憶體裝置 10 中所包括的記憶體單元 MC。在介電層 114 是由鐵電材料形成的那些實施例中，相反方向上的偶極矩（dipole moment）可儲存在介電層 114 中。故，FET 具有與偶極矩對應的不同閾值電壓，因此 FET 可被識別為具有不同的邏輯狀態。在這些實施例中，記憶體單元 MC 是鐵電 FET。另一方面，在介電層 114 是電荷俘獲層的那些實施例中，電荷可記憶體在介電層 114 中，故 FET 可根據儲存在介電層 114 中的電荷量而定具有不同的閾值電壓。因此，FET 也可被識別為具有不同的邏輯狀態。在這些實施例中，記憶體單元 MC 可被稱為電荷捕獲快閃（charge trap flash, CTF）電晶體。

**【0050】** 三維記憶體裝置 10 可包括在側向上及在垂直方向上佈置

成陣列形式的多個記憶體單元 MC。舉例來說，在每一堆疊結構 112 中沿著垂直方向（例如，方向 Z）堆疊的導電層 110 以及在這些導電層 110 旁邊的單元區 CR 中的介電層 114、半導體層 116 及所述一對導電柱 118 的部分形成記憶體單元 MC 堆疊。另外，多個記憶體單元 MC 堆疊可沿著溝渠 106 的延伸方向（例如，方向 Y，可被稱為溝渠方向）佈置，其中溝渠 106 沿著側向方向（例如，方向 X）並排（例如，平行地）佈置。側向方向（例如，X）、溝渠方向（例如，Y）及垂直方向（例如，Z）可能彼此不同。舉例來說，方向 X 與方向 Y 實質上垂直於方向 Z，且方向 X 實質上垂直於方向 Y。在一些實施例中，同一單元區 CR 中的介電層 114、半導體層 116 及一對導電柱 118 由包括位於此單元區 CR 的相對側處的導電層 110 的相鄰記憶體單元 MC 堆疊共用，且這些記憶體單元 MC 的導電通道形成在半導體層 116 的不同區段中。在三維記憶體裝置 10 是由圖 2A 及圖 2B 所示方法製造的實施例中，導電柱 118 中的每一者的至少三個側被半導體層 116 的相應一者及介電層 114 中的相應一者覆蓋，且半導體層 116 中的每一者的至少三個側被介電層 114 中的相應一者覆蓋。

**【0051】** 圖 12 是圖 10A 中所示的三維記憶體裝置 10 的一部分的等效電路圖。

**【0052】** 參照圖 10A 及圖 12，圖 10A 中所示的每一堆疊結構 112 中的導電層 110 可用作字元線 WL，如圖 12 中所示。字元線 WL 沿著垂直方向（例如，方向 Z）佈置。每一字元線 WL 連接在側向

上相鄰的兩個記憶體單元 MC 的行的閘極端子 G (例如, 在 X-Y 平面上)。另外, 在圖 10A 中所示的單元區 CR 中的一者中每一對導電柱 118 各別地連接到沿著垂直方向 (例如, 方向 Z) 堆疊的記憶體單元 MC 的源極端子 S 及汲極端子 D, 如圖 12 中所示。如圖 12 中所示, 每一記憶體單元 MC 堆疊的閘極端子 G 分別連接到字元線 WL 中的一者。另外, 每一記憶體單元 MC 堆疊的源極端子 S 通過導電柱 118 中的一者連接在一起, 且每一記憶體單元 MC 堆疊的汲極端子 D 通過導電柱 118 中的另一者連接在一起。換句話說, 每一記憶體單元 MC 堆疊的源極端子 S 與汲極端子 D 之間的通道 CH 被並聯連接。因此, 每一記憶體單元 MC 堆疊可被視為通過反或快閃 (NOR-flash) 配置連接, 且三維記憶體裝置 10 可被稱為三維反或 (NOR) 記憶體裝置。

**【0053】** 圖 13 是根據本公開一些實施例的半導體結構 20 的示意性剖視圖。

**【0054】** 參照圖 10A 至圖 10C 及圖 13, 圖 13 中所示的半導體結構 20 包括參照圖 10A 至圖 10C 闡述的三維記憶體裝置 10。在那些三維記憶體裝置 10 的下伏結構 102 是蝕刻停止層的那些實施例中, CMOS 積體電路 LC 可位於下伏結構 102 之下, 且 CMOS 積體電路 LC 也可被稱為陣列下 CMOS (CMOS-under-array, CUA)。雖未示出, 但是導電層 110 及導電柱 118 可被布線到 CMOS 積體電路 LC, 且三維記憶體裝置 10 可由 CMOS 積體電路 LC 控制。CMOS 積體電路 LC 與導電層 110 之間以及 CMOS 積體電路 LC 與

導電柱 118 之間的電連接的細節將在稍後結合圖 14A 至圖 14B 及圖 15A 至圖 15B 更詳細地論述。在一些實施例中，參照圖 10A 至圖 10C 闡述的三維記憶體裝置 10 嵌入在圖 13 中所示的半導體結構 20 的後段製程（back end of line，BEOL）結構中，且在圖 13 中所示的半導體結構 20 的前段製程（front-end-of-line，FEOL）結構上形成 CMOS 積體電路 LC。

**【0055】** 在一些實施例中，CMOS 積體電路 LC 被構建在半導體基底 200 上。半導體基底 200 可為半導體晶圓或絕緣體上半導體（SOI）晶圓。CMOS 積體電路 LC 可包括形成在半導體基底 200 的表面區上的多個主動裝置。在一些實施例中，主動裝置包括金屬氧化物半導體（metal-oxide-semiconductor，MOS）電晶體 202。MOS 電晶體 202 可分別包括形成在半導體基底 200 之上的閘極結構 204。在一些實施例中，閘極結構 204 包括閘極電極 206、閘極介電層 208 及閘極間隔件 210。閘極介電層 208 可在閘極電極 206 與半導體基底 200 之間擴展，且可或可不進一步覆蓋閘極電極 206 的側壁。閘極間隔件 210 可在側向上環繞閘極電極 206 及閘極介電層 208。此外，MOS 電晶體 202 還可包括多個源極/汲極區 212。源極/汲極區 212 可形成在半導體基底 200 中，且位於閘極結構 204 的相對側處。在一些實施例中，源極/汲極區 212 可為磊晶結構，且可從半導體基底 200 的表面突出。應注意，儘管 MOS 電晶體 202 被繪示為沿著半導體基底 200 的表面形成導電通道（未示出）的平面型 MOS 電晶體，但是作為另外一種選擇 MOS 電晶體 202 可

為 鰭型 MOS 電晶體（或被稱為 finFET）、全環繞閘極（gate-all-around，GAA）FET 等。

【0056】 在一些實施例中，CMOS 積體電路 LC 還包括堆疊在半導體基底 200 上的多個介電層 214，且包括形成在介電層 214 堆疊中的多個接觸插塞 216 及多個內連線 218。最底部的介電層 214 可在側向上環繞閘極結構 204，且覆蓋源極/汲極區 212。為了建立與源極/汲極區 212 的電連接，接觸插塞 216 中的一些接觸插塞 216 可穿透過介電層 214 中的最底部一者，而接觸插塞 216 中的其他接觸插塞 216 可豎立在閘極結構 204 上並電連接到閘極結構 204 的閘極電極 206。內連線 218 可在接觸插塞 216 上擴展，且電連接到接觸插塞 216。內連線 218 可包括多個導電跡線及多個導通孔。導電跡線分別位於介電層 214 中的一者上，而導通孔分別穿透過介電層 214 中的一者或多者並電連接到導電跡線中的一者或多者。

【0057】 在一些實施例中，三維記憶體裝置 10 設置在介電層 214 堆疊上。在這些實施例中，三維記憶體裝置 10 的導電層 110 及導電柱 118 可通過延伸穿過下伏結構 102 及介電層 214 中的最頂部一者的導電路徑（未示出）被布線到介電層 214 的堆疊中的內連線 218。舉例來說，導電層 110（例如，具有擁有階梯配置從堆疊結構 112 暴露出的端部的字元線）可被布線到由通過內連線 218 的一部分內連的主動裝置中的一些主動裝置形成的字元線驅動器，且導電柱 118（例如，位元線和/或源極線）可被布線到由通過內連線 218 的另一部分內連的主動裝置中的其他主動裝置形成

的感測放大器。

【0058】 圖 14A 是根據本公開一些實施例的三維記憶體裝置 10a 的示意性三維視圖。圖 14B 是三維記憶體裝置 10a 的沿著圖 14A 中所示的源極線 SL2 的延伸方向的一部分的示意性剖視圖。圖 14A 及圖 14B 中所示的三維記憶體裝置 10a 與參照圖 10A 至圖 10C 闡述的三維記憶體裝置 10 相似。將僅闡述三維記憶體裝置 10a 與三維記憶體裝置 10 之間的差異，相同或類似部分將不再重複。另外，在圖 14A 中省略將參照圖 14B 闡述的介電層 302。

【0059】 參照圖 14A，在一些實施例中，三維記憶體裝置 10a 還包括多個位元線 BL 及多個源極線 SL。位元線 BL 及源極線 SL 通過例如多個導通孔 CV 電連接到導電柱 118。單元區 CR 中的每一者中的導電柱 118 分別連接到位元線 BL 中的一者及源極線 SL 中的一者。在一些實施例中，位元線 BL 及源極線 SL 沿著與行方向（例如，方向 Y）相交的列方向（例如，方向 X）延伸，相鄰的堆疊結構 112 之間的單元區 CR 沿著所述行方向佈置。在單元區 CR 的行相對於其他行交替偏移開的那些實施例中，單元區 CR 的相鄰行中的導電柱 118 可連接到不同的位元線 BL 及不同的源極線 SL。舉例來說，單元區 CR 的奇數行中的導電柱 118 可連接到位元線 BL1 及源極線 SL1，而單元區 CR 的偶數行中的導電柱 118 可連接到位元線 BL2 及源極線 SL2。因此，單元區 CR 的相鄰行中的記憶體單元 MC 可由不同的位元線 BL（例如，位元線 BL1 及位元線 BL2）與不同的源極線 SL（例如，源極線 SL1 及源極線

SL2) 控制，因此可減少單元區 CR 的相鄰行中的記憶體單元 MC 之間的干擾。

**【0060】** 參照圖 14A 及圖 14B，在一些實施例中，位元線 BL 及源極線 SL 在堆疊結構 112 上方延伸。位元線 BL、源極線 SL 及導通孔 CV 可形成在形成於堆疊結構 112 上的介電層 302 堆疊中。導通孔 CV 可穿透過介電層 302 的最底部一者（多者），以建立從導電柱 118 到位於導通孔 CV 上方的位元線 BL 及源極線 SL 的電連接。在下伏結構 102 是形成在 CMOS 積體電路（例如，參照圖 13 闡述的 CMOS 積體電路 LC）之上的蝕刻停止層的那些實施例中，位元線 BL 及源極線 SL 可通過形成在堆疊結構 112 旁邊並穿透過下伏結構 102 的導電路徑（未示出）進一步布線到下伏的 CMOS 積體電路。

**【0061】** 圖 15A 是根據本公開一些實施例的三維記憶體裝置 10b 的示意性三維視圖。圖 15B 是三維記憶體裝置 10b 的沿著圖 15A 中所示源極線 SL 中的一者（例如，SL1）的延伸方向的一部分的示意性剖視圖。圖 15A 及圖 15B 中所示的三維記憶體裝置 10b 與參照圖 14A 及圖 14B 闡述的三維記憶體裝置 10a 相似。將僅闡述三維記憶體裝置 10b 與三維記憶體裝置 10a 之間的差異，相同或類似的部分將不再重複。

**【0062】** 參照圖 15A 及圖 15B，在一些實施例中，源極線 SL 在下伏結構 102 下方延伸，而位元線 BL 在堆疊結構 112 上方延伸。在這些實施例中，如圖 15B 中所示，源極線 SL 可形成在下伏結構

102 下方的介電層 402 堆疊（如參照圖 13 所述的介電層 214）中。源極線 SL 可位於介電層 402 中的一者上。另外，可進一步形成多個導通孔 CV'，以將導電柱 118 中的一些導電柱 118 電連接到下伏源極線 SL。導通孔 CV' 可從導電柱 118 中的一些導電柱 118 的底表面延伸，並穿透過下伏介電層 114、下伏結構 102 及介電層 402 的最頂部一者（多者）到達源極線 SL。

**【0063】** 在替代實施例中，對調源極線 SL 與位元線 BL 的位置。換句話說，源極線 SL 可在堆疊結構 112 上方延伸，且可電連接到導電柱 118 中的一些導電柱 118，如參照圖 14A 及圖 14B 所述。另一方面，位元線 BL 可在堆疊結構 112 下方的介電層 402 中延伸，且可通過導通孔 CV' 電連接到導電柱 118 中的其他導電柱 118。

**【0064】** 在本公開中，圖 10A、圖 14A 及圖 15A 中繪示的三維記憶體裝置 10、10a 及 10b 被形成為具有例如在相鄰溝渠 106 中以交錯佈局（staggered layout）佈置的導電柱 118。舉例來說，在沿著方向 Y 延伸的奇數溝渠 106 中形成的導電柱 118 在方向 X 上實質上彼此對準，而在沿著方向 Y 延伸的偶數溝渠 106 中形成的導電柱 118 在方向 X 上實質上彼此對準。換句話說，在奇數溝渠 106 中形成的導電柱 118 在方向 X 上與在偶數溝渠 106 中形成的導電柱 118 偏移開（不對準）。

**【0065】** 然而，本公開不限於此；作為另外一種選擇，三維記憶體裝置（例如，如圖 16A 及圖 16B 中繪示的 30）的導電柱 118 可以對準佈局（aligned layout）（例如，以週期性的方式）佈置。

【0066】 圖 16A 是根據本公開一些實施例的三維記憶體裝置 30 的示意性三維視圖，且圖 16B 是三維記憶體裝置 30 的沿著圖 16A 中所示的線 A-A' 的示意性剖視圖。圖 16A 及圖 16B 中所示的三維記憶體裝置 30 與參照圖 10A 至圖 10C 闡述的三維記憶體裝置 10 相似。將僅闡述三維記憶體裝置 30 與三維記憶體裝置 10 之間的差異，相同或類似的部分將不再重複。舉例來說，如圖 16A 及圖 16B 中所示，形成在沿著方向 Y 延伸的奇數溝渠 106 中的導電柱 118 在 X 方向上與形成在沿著方向 Y 延伸的偶數溝渠 106 中的導電柱 118 實質上全部彼此對準。換句話說，形成在奇數溝渠 106 中的導電柱 118 分別在方向 X 上與形成在偶數溝渠 106 中的導電柱 118 對齊。

【0067】 圖 17、圖 18 及圖 19 各自是示出分別根據本公開一些實施例的三維記憶體裝置（例如，40、50 及 60）的一部分的示意性放大平面圖。這些三維記憶體裝置 40、50 及 60 與參照 10A 至圖 10C 闡述的三維記憶體裝置 10 相似。將僅闡述三維記憶體裝置 40、50 及 60 與三維記憶體裝置 10 之間的差異，為了簡單起見，相同或類似的部分將不再重複。

【0068】 舉例來說，圖 10A、圖 14A、圖 15A 及圖 16A 中繪示的三維記憶體裝置 10、10a、10b 及 30 被形成為具有各自形成為實質上矩形的俯視圖形狀的單元區 CR 及導電柱 118。然而，本公開不限於此；作為另外一種選擇，單元區 CR 及導電柱 118 各自可被形成為實質上圓形（circular）的俯視圖形狀，如圖 17 中繪示的三

維記憶體裝置 40 中所示。作為另外一種選擇，圖 17 中繪示的導電柱 118 可被形成為實質上橢圓形（*elliptical*）或卵形（*oval*）的俯視圖形狀。在其他實施例中，導電柱 118 各自可被形成為實質上橢圓形的俯視圖形狀，而單元區 CR 各自被形成為實質上矩形的俯視圖形狀，如圖 18 中繪示的三維記憶體裝置 50 中所示。作為另外一種選擇，圖 18 中繪示的導電柱 118 可被形成為實質上圓形或卵形的俯視圖形狀。在另一些實施例中，導電柱 118 各自可被形成為實質上截頭的橢圓形（*truncated-elliptical*）俯視圖形狀，而單元區 CR 各自被形成為實質上矩形的俯視圖形狀，如圖 19 中繪示的三維記憶體裝置 50 中所示。作為另外一種選擇，圖 19 中繪示的導電柱 118 可被形成為實質上截頭的卵形（*truncated-oval*）或截頭的圓形（*truncated-circular*）的俯視圖形狀。

**【0069】** 在三維記憶體裝置 40、50 及 60 中，第一襯層 120 各自共形地覆蓋第一主層 124 的相應一者以形成第一隔離結構 128，且第二襯層 122 各自共形地覆蓋第二主層 126 的相應一者，以形成第二隔離結構 130。在本公開中，第一隔離結構 128 及第二隔離結構 130 的第一襯層 120 及第二襯層 122 用作遮罩層，用於防止在單個單元區 CR 內部或鄰近單元區 CR 中在導體（例如，一個單元區內的相鄰導電柱 118 及位於相鄰堆疊結構 112 中的導電層 110）之間形成金屬填充滲漏路徑，以提高三維記憶體裝置 40、50 及 60 的裝置效能。

**【0070】** 如圖 17 至圖 19 的平面圖（例如，X-Y 平面）中所示，

舉例來說，在一個單元區中的成對導電柱 118 之間的距離沿著與溝渠 106 的延伸方向垂直的方向從溝渠 106 的中心到溝渠 106 的邊緣增加。利用此種配置，一個單元區 CR 中的 FET 的通道長度與單元區 CR 的面積保持相同，同時導電柱 118 的總面積增加，從而降低導電柱 118（例如，源極/汲極區）中的接觸電阻，而記憶體密度將保持不變。另一方面，在圖 18 及圖 19 中所示的實施例中，在單元區 CR 中形成介電層 114'，以覆蓋對應堆疊結構 112 的側壁 SW112，而不在緊鄰的第二隔離結構 130 的側壁之上延伸；從而不僅增大導電柱 118 的總面積，而且降低記憶體單元 MC 的阻抗。作為另外一種選擇，如圖 19 中所示，半導體層 116' 也可形成在單元區 CR 中，以覆蓋位於對應堆疊結構 112 的側壁 SW112 上的介電層 114'，且不在緊鄰的第二隔離結構 130 的側壁之上延伸，以進一步增加導電柱 118 的總面積並降低記憶體單元 MC 的阻抗。介電層 114' 的材料可與圖 8A 至圖 8C 中闡述的介電層 114 的材料相同或相似，半導體層 116' 的材料可與圖 8A 至圖 8C 中闡述的半導體層 116 的材料相同或相似，且因此為簡潔起見省略。

**【0071】** 用於形成介電層 114' 的方法可包括但不限於：僅在對應堆疊結構 112 的側壁 SW112 及下伏結構 102 的由單元區 CR 暴露出的頂表面上選擇性地沉積介電材料，以形成介電層 114'。作為另外一種選擇，介電材料可全域地形成在單元區 CR 的側壁及底表面上，且通過圖案化從緊鄰的第二隔離結構 130 的側壁移除介電材料以形成介電層 114'。用於形成半導體層 116' 的方法可包括但

不限於：僅在對應的介電層 114' 的側壁上選擇性地沉積半導體材料以形成半導體層 116'。作為另外一種選擇，半導體材料可全域地形成在設置有介電層 114' 的單元區 CR 之上，且通過圖案化從緊鄰的第二隔離結構 130 的側壁移除半導體材料以形成半導體層 116'。圖案化可包括微影製程及蝕刻製程。

【0072】 另外，三維記憶體裝置 30 還可採用三維記憶體裝置 40、50、60 中的單元區 CR 的俯視圖佈局。本公開不限於此。

【0073】 在一些實施例中，分別在圖 10A、圖 14A、圖 15A、圖 16A 及圖 17 至圖 19 中繪示的三維記憶體裝置 10、10a、10b、30 至 60 被形成為具有堆疊結構 112，所述堆疊結構 112 各自具有連續的(例如均勻的)垂直側壁 SW112(如參照圖 6A 至圖 6C 所述)。然而，本公開不限於此；作為另外一種選擇，三維記憶體裝置(例如，圖 20A 及圖 20B 中繪示的 70)可包括多個堆疊結構 112'，所述多個堆疊結構 112'各自具有不連續的(例如不均勻的)垂直的側壁 SW112'。

【0074】 圖 20A 及圖 20B 是根據本公開一些實施例的三維記憶體裝置 70 的各種示意圖，其中圖 20A 是示出三維記憶體裝置 70 的示意性三維視圖，且圖 20B 是沿著圖 20A 中所示線 A-A' 的示意性剖視圖。圖 20A 及圖 20B 中所示的三維記憶體裝置 70 與參照圖 10A 至圖 10C 闡述的三維記憶體裝置 10 相似；不同之處在於對於圖 20A 及圖 20B 中繪示的三維記憶體裝置 70 採用堆疊結構 112'，而不是堆疊結構 112。將僅闡述三維記憶體裝置 70 與三維記憶體

裝置 10 之間的差異，為了簡單起見，相同或類似的部分將不再重複。

**【0075】** 參照圖 20A 及圖 20B，在一些實施例中，堆疊結構 112' 各自包括多個第一介電層 104A 及多個導電層 110a。第一介電層 104A 及導電層 110a 交替堆疊在下伏結構 102 上。導電層 110a 的側壁 SW110a 及第一介電層 104A 的側壁 SW104A 可共同地被稱為堆疊結構 112' 的側壁 SW112'。在一些實施例中，在每一堆疊結構 112' 的最外側(例如，側壁 SW112')處，導電層 110a 的側壁 SW110a 在第一介電層 104A 與導電層 110a 的堆疊方向(例如，方向 Z)上相對於第一介電層 104A 的側壁 SW104A 偏移開，每一堆疊結構 112' 的最外側被溝渠 106 暴露出，如圖 20B 中所示。換句話說，導電層 110a 的側壁 SW110a 與第一介電層 104A 的側壁 SW104A 不共面且不齊平，而是在側向上相對於第一介電層 104A 的側壁 SW104A 凹入。也就是說，堆疊結構 112' 的側壁 SW112' 各自具有凹凸表面 (concave-convex surface)。舉例來說，在圖 20B 的橫截面中，側壁 SW112' 各自包括實質上非直線。導電層 110a 的側壁 SW110a 可分別通過凹槽 R3 與第一介電層 104A 的側壁 SW104A 間隔開。在一些實施例中，凹槽 R3 的寬度 W 約介於 80 nm 至 150 nm 的範圍內。

**【0076】** 舉例來說，如圖 20A 及圖 20B 中所示，堆疊結構 112' 通過溝渠 106 在側向上彼此間隔開，且直接豎立在下伏結構 102 上。介電層 114、半導體層 116 及導電柱 118 位於溝渠 106 內的單元區

CR 中，其中每一堆疊結構 112' 中的導電層 110a 的一部分以及單元區 CR 中在側向上相鄰於導電層 110 的所述部分的介電層 114、半導體層 116 及導電柱 118 的最近部分構成電晶體（例如，FET），所述電晶體用作三維記憶體裝置 70 中所包括的記憶體單元 MC。在一些實施例中，第一隔離結構 128 位於單元區 CR 內，以將每一單元區 CR 中的導電柱 118 隔開並在實體上隔離，而第二隔離結構 130 位於單元區 CR 外部，以將每一溝渠 106 中的單元區 CR 隔開並在實體上隔離。在本公開中，第一隔離結構 128 及第二隔離結構 130 的第一襯層 120 及第二襯層 122 用作遮罩層，用於防止在單個單元區 CR 內部或鄰近單元區 CR 中在導體（例如，一個單元區內的相鄰導電柱 118 及位於相鄰堆疊結構 112' 中的導電層 110a）之間形成金屬填充滲漏路徑，以改善三維記憶體裝置 70 的裝置效能。

**【0077】** 用於形成包括堆疊結構 112' 的三維記憶體裝置 70 的方法可包括但不限於：在執行如圖 6A 至圖 6C 中所述的過程（例如，圖 2A 所示步驟 S106）之後且在如圖 7A 至圖 7C 中所述的過程（例如，圖 2A 所示步驟 S108）之前，根據圖 2A 所示步驟 S107，使導電層 110 在側向上相對於第一介電層 104A 凹入形成多個凹槽 R3，以形成導電層 110a，使得製成堆疊結構 112'。舉例來說，用於使導電層 110 在側向上凹入的方法包括蝕刻製程，例如等向性蝕刻製程。在一些實施例中，在導電層 110a 的形成期間，由於相對於導電層 110 具有足夠的蝕刻選擇性，因此第一介電層 104A 及

下伏結構 102 可在蝕刻製程期間幾乎不被蝕刻（例如，實質上完整）。在形成凹槽 R3 之後，凹槽 R3 可在空間上與溝渠 106 連通，以暴露出第一介電層 104 的與導電層 110 接觸的主表面的部分。

**【0078】** 在形成堆疊結構 112' 之後，在堆疊結構 112' 上執行圖 2A 所示步驟 S108 至 S122 及圖 2B 所示步驟 S122a 至 S122d 的過程，以便製造三維記憶體裝置 70。下伏結構 102、第一介電層 104A、導電層 110、介電層 114、半導體層 116、導電柱 118、第一隔離結構 128(包括第一襯層 120 及第一主層 124)及第二隔離結構 130 (包括第二襯層 122 及第二主層 126)中的每一者的形成及材料先前已結合圖 2A 及圖 2B 在圖 1A 至圖 10C 中闡述，且因此為了簡單起見此處不再重複。

**【0079】** 另外，三維記憶體裝置 70 還可採用三維記憶體裝置 30 中的單元區 CR 的佈置和/或三維記憶體裝置 40、50、60 中的單元區 CR 的俯視圖佈局。本公開不限於此。

**【0080】** 根據一些實施例，一種記憶體裝置包括第一堆疊結構、第二堆疊結構、多個第一隔離結構、多個閘極介電層、多個通道層及多個導電柱。所述第一堆疊結構包括多個第一閘極層，且第二堆疊結構包括多個第二閘極層，其中所述第一堆疊結構及所述第二堆疊結構位於基底上且通過溝渠彼此隔開。所述多個第一隔離結構位於所述溝渠中，其中多個單元區在所述溝渠中分別被限制在所述多個第一隔離結構中的兩個相鄰的第一隔離結構之間，其中所述多個第一隔離結構各自包括：第一主層；以及第一襯層，

環繞所述第一主層，其中所述第一襯層將所述第一主層與所述第一堆疊結構及所述第二堆疊結構隔開。所述多個閘極介電層分別位於所述多個單元區中的一者中，且覆蓋所述第一堆疊結構與所述第二堆疊結構的相對側壁以及所述多個第一隔離結構的相對側壁。所述多個通道層分別覆蓋所述多個閘極介電層中的一者的內表面。所述多個導電柱在所述多個單元區內豎立在所述基底上，且在側向上被所述多個通道層環繞，其中所述多個導電柱中的至少兩個導電柱位於所述多個單元區中的每一者中，且位於所述多個單元區中的每一者中的所述至少兩個導電柱在側向上彼此隔開。

**【0081】** 根據一些實施例，在所述的記憶體裝置中，其中所述第一襯層分別覆蓋所述第一主層中的一者的側壁及底表面，其中所述第一襯層各自接觸所述基底的部分、所述第一堆疊結構與所述第二堆疊結構的所述相對側壁的被所述多個閘極介電層暴露出的部分、以及所述多個閘極介電層的不接觸所述第一堆疊結構及所述第二堆疊結構的部分。根據一些實施例，在所述的記憶體裝置中，其中所述多個單元區中的每一者具有第一體積，所述第一襯層共同地具有第二體積，且所述第二體積對所述第一體積的比例為介於 10%至 25%的範圍內。根據一些實施例，在所述的記憶體裝置中，其中所述第一襯層各自包括具有介於 2 nm 至 5 nm 的厚度範圍內的共形介電層。根據一些實施例，在所述的記憶體裝置中，其中所述多個導電柱中的至少一者的三個側被所述多個通道

層中的相應一者環繞。根據一些實施例，所述的記憶體裝置更包括多個第二隔離結構，分別位於所述多個單元區中的一者中，其中所述多個第二隔離結構各自將所述多個單元區中的每一者中的所述多個導電柱中的所述至少兩個導電柱隔開。根據一些實施例，在所述的記憶體裝置中，其中所述多個第二隔離結構各自包括：第二主層以及第二襯層，所述第二襯層環繞所述第二主層，其中所述第二襯層將所述第二主層與所述多個單元區中的每一者中的所述多個導電柱中的所述至少兩個導電柱及所述多個通道層中的相應一者隔開。根據一些實施例，在所述的記憶體裝置中，其中所述溝渠具有第三體積，所述第一襯層及所述第二襯層共同地具有第四體積，且所述第四體積對所述第三體積的比例為 10% 或以上。根據一些實施例，在所述的記憶體裝置中，其中所述第二襯層各自包括具有介於 2 nm 至 5 nm 的厚度範圍內的共形介電層。根據一些實施例，在所述記憶體裝置中，其中所述第一襯層及所述第二襯層的材料包括通過原子層沉積形成的介電材料。

**【0082】** 根據一些實施例，一種記憶體裝置包括第一堆疊結構、第二堆疊結構、多個第一隔離結構、多個閘極介電層、多個通道層、多個導電柱及多個第二隔離結構。所述第一堆疊結構及所述第二堆疊結構形成在基底上且通過溝渠在側向上彼此間隔開，其中所述第一堆疊結構包括交替堆疊在所述基底上的多個第一絕緣層與多個第一閘極層，所述第二堆疊結構包括交替堆疊在所述基底上的多個第二絕緣層與多個第二閘極層，且所述第一堆疊結構

與所述第二堆疊結構彼此隔開。所述多個第一隔離結構位於所述溝渠中，其中多個單元區在所述溝渠中分別被限制在所述多個第一隔離結構中的兩個相鄰的第一隔離結構之間。所述多個閘極介電層分別位於所述多個單元區中的一者中，且覆蓋所述第一堆疊結構與所述第二堆疊結構的相對側壁。所述多個通道層分別覆蓋所述多個閘極介電層中的一者的內表面。所述多個導電柱在所述多個單元區內豎立在所述基底上，且在側向上被所述多個通道層環繞，其中所述多個導電柱中的至少兩個導電柱位於所述多個單元區中的每一者中。所述多個第二隔離結構分別位於所述多個單元區中的一者中，且在所述多個單元區中的每一者中將所述多個導電柱中的所述至少兩個導電柱隔開，其中所述多個第一隔離結構及所述多個第二隔離結構中的至少一者各自包括：主層；以及襯層，環繞所述主層並與所述主層接觸。

**【0083】** 根據一些實施例，在所述的記憶體裝置中，其中在所述記憶體裝置的沿著與所述基底及所述第一堆疊結構的堆疊方向垂直的平面的俯視圖中，所述多個閘極介電層各自包括實質上環形的俯視圖形狀。根據一些實施例，在所述的記憶體裝置中，其中在所述記憶體裝置的沿著與所述基底及所述第一堆疊結構的堆疊方向垂直的平面的俯視圖中，所述多個通道層各自包括實質上環形的俯視圖形狀。根據一些實施例，在所述的記憶體裝置中，其中在所述記憶體裝置的沿著與所述基底及所述第一堆疊結構的堆疊方向垂直的平面的俯視圖中，所述多個導電柱各自包括實質上

為矩形的形狀、實質上為圓形或橢圓形的形狀、或者實質上為截頭圓形或截頭橢圓形的形狀的俯視圖。根據一些實施例，在所述的記憶體裝置中，其中在所述記憶體裝置的沿著所述基底及所述第一堆疊結構的堆疊方向的剖視圖中，所述多個第一絕緣層的最外側壁相對於所述多個第一閘極層的最外側壁偏移，且所述多個第二絕緣層的最外側壁相對於所述多個第二閘極層的最外側壁偏移。

**【0084】** 根據一些實施例，一種製造記憶體裝置的方法包括以下步驟：形成多層堆疊，所述多層堆疊包括交替佈置的多個絕緣層與多個犧牲層；在所述多層堆疊中形成多個溝渠；使用多個閘極層代替所述多個犧牲層；在所述多個溝渠中形成多個虛設介電結構以形成彼此隔開的多個單元區；在所述多個單元區的側壁上形成多個記憶體膜；在所述多個記憶體膜上形成多個通道層；形成多個導電結構以填滿所述多個單元區；對所述多個導電結構進行圖案化，以在所述多個單元區中的每一者中形成至少兩個導電柱；移除所述多個虛設介電結構；以及在所述多個單元區中的每一者中在所述至少兩個導電柱之間形成第一隔離結構，且在所述多個單元區之間形成多個第二隔離結構，其中形成各個所述第一隔離結構包括：通過 ALD 在所述多個單元區中的每一者中在所述至少兩個導電柱的相對側壁上以及在所述多個通道層中的相應一者的被所述至少兩個導電柱暴露出的相對側壁上各自形成第一襯層；以及使用第一介電材料填滿所述多個單元區，以形成分別被

所述第一襯層環繞的各個所述第一隔離結構。

【0085】 根據一些實施例，在所述的製造記憶體裝置的方法中，其中形成所述多個第二隔離結構包括：通過原子層沉積在所述多個溝渠中的每一者中在兩個相鄰單元區的相對側壁上以及在所述多個溝渠中的每一者的被所述兩個相鄰單元區暴露出的相對側壁上各自形成第二襯層；以及使用第二介電材料在所述多個溝渠中的每一者中填滿分別夾置在所述兩個相鄰單元區之間間隙，以形成各自被所述第二襯層環繞的所述多個第二隔離結構。根據一些實施例，在所述的製造記憶體裝置的方法中，在所述多個溝渠中形成所述多個虛設介電結構之前且在使用所述多個閘極層替換所述多個犧牲層之後，還包括：使所述多個閘極層在側向上相對於所述多個絕緣層凹入。根據一些實施例，在所述的製造記憶體裝置的方法中，其中在所述多個溝渠中形成所述多個虛設介電結構以形成彼此隔開的所述多個單元區包括：在所述多個溝渠中形成虛設介電材料；以及移除所述虛設介電材料的部分以形成將所述多個單元區彼此隔開的所述多個虛設介電結構。根據一些實施例，在所述的製造記憶體裝置的方法中，其中在所述多個單元區的側壁上形成所述多個記憶體膜包括：在所述多個單元區上共形地形成所述多個記憶體膜，以分別覆蓋所述多個單元區中的每一者的所有側壁及底表面；或者在所述多個單元區上選擇性地形成所述多個記憶體膜，以分別覆蓋所述多個單元區中的每一者的位於所述多層堆疊處的側壁。

**【0086】** 以上概述了若干實施例的特徵，以使熟習此項技術者可更佳地理解本揭露的各態樣。熟習此項技術者應理解，他們可容易地使用本揭露作為設計或修改其他製程及結構的基礎來施行與本文中所介紹的實施例相同的目的及/或達成與本文中所介紹的實施例相同的優點。熟習此項技術者亦應認識到，此種等效構造並不背離本揭露的精神及範圍，且他們可在不背離本揭露的精神及範圍的條件下在本文中作出各種改變、替代及變更。

**【符號說明】**

**【0087】**

100A：第一 3D 記憶體陣列

10、10a、10b、30、40、50、60、70：三維記憶體裝置

12：列譯碼器

14：行譯碼器

20：半導體結構

102：下伏結構

104：多層堆疊

104A：第一介電層

104B：第二介電層

106：溝渠

108：凹槽

110、110a：導電層

- 111：膠層
- 112、112'：堆疊結構
- 113：剩餘虛設介電結構
- 113m：虛設介電結構
- 114、114'、214、302、402：介電層
- 116、116'：半導體層
- 118：導電柱
- 118m：導電結構
- 120：第一襯層
- 122：第二襯層
- 124：第一主層
- 126：第二主層
- 128：隔離結構/第一隔離結構
- 130：隔離結構/第二隔離結構
- 200：半導體基底
- 202：金屬氧化物半導體（MOS）電晶體
- 204：閘極結構
- 206：閘極電極
- 208：閘極介電層
- 210：閘極間隔件
- 212：源極/汲極區
- 216：接觸插塞

218：內連線

A-A'、C-C'、D-D'、E-E'、F-F'：線

B：虛線框

BL、BL1、BL2：位元線

CH：通道

CL：行線

CR：單元區

CV、CV'：導通孔

D：汲極端子

G：閘極端子

H：總高度

LC：CMOS 積體電路

MC：記憶體單元

R1：第一凹槽

R2：第二凹槽

R3：凹槽

RL：列線

S：源極端子

S1、S2、S3、S4：內表面

S5、S6、SW1、SW104A、SW104B、SW110、SW110a、SW112、  
SW112'、SW116、SW118：側壁

S100、S102、S104、S106、S107、S108、S110、S112、S114、

S116、S118、S120、S122、S122a、S122b、S122c、S122d：步驟

SL、SL1、SL2：源極線

T1：第一厚度

T2：第二厚度

T3、T4：厚度

W：寬度

WL：字元線

X-Y：平面

X、Y、Z：方向

## 【發明申請專利範圍】

【請求項1】 一種記憶體裝置，包括：

第一堆疊結構及第二堆疊結構，位於基底上且通過溝渠彼此隔開，所述第一堆疊結構包括多個第一閘極層，所述第二堆疊結構包括多個第二閘極層；

多個第一隔離結構，位於所述溝渠中，其中多個單元區在所述溝渠中分別被限制在所述多個第一隔離結構中的兩個相鄰的第一隔離結構之間，其中所述多個第一隔離結構各自包括：

第一主層；以及

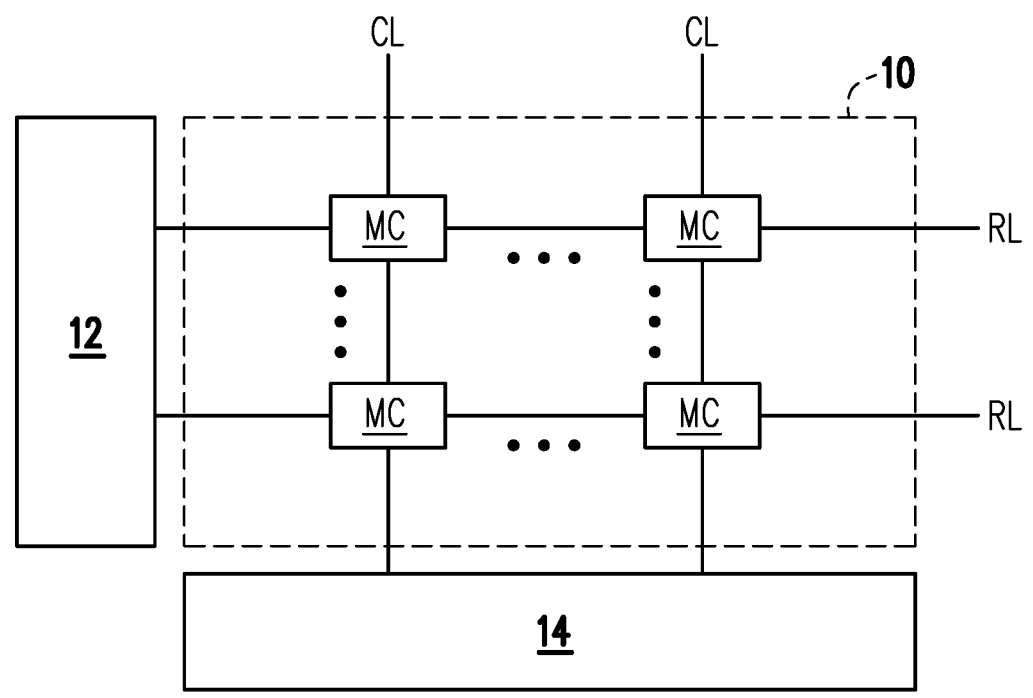
第一襯層，環繞所述第一主層，其中所述第一襯層將所述第一主層與所述第一堆疊結構及所述第二堆疊結構隔開；

多個閘極介電層，分別位於所述多個單元區中的一者中，且覆蓋所述第一堆疊結構與所述第二堆疊結構的相對側壁以及所述多個第一隔離結構的相對側壁；

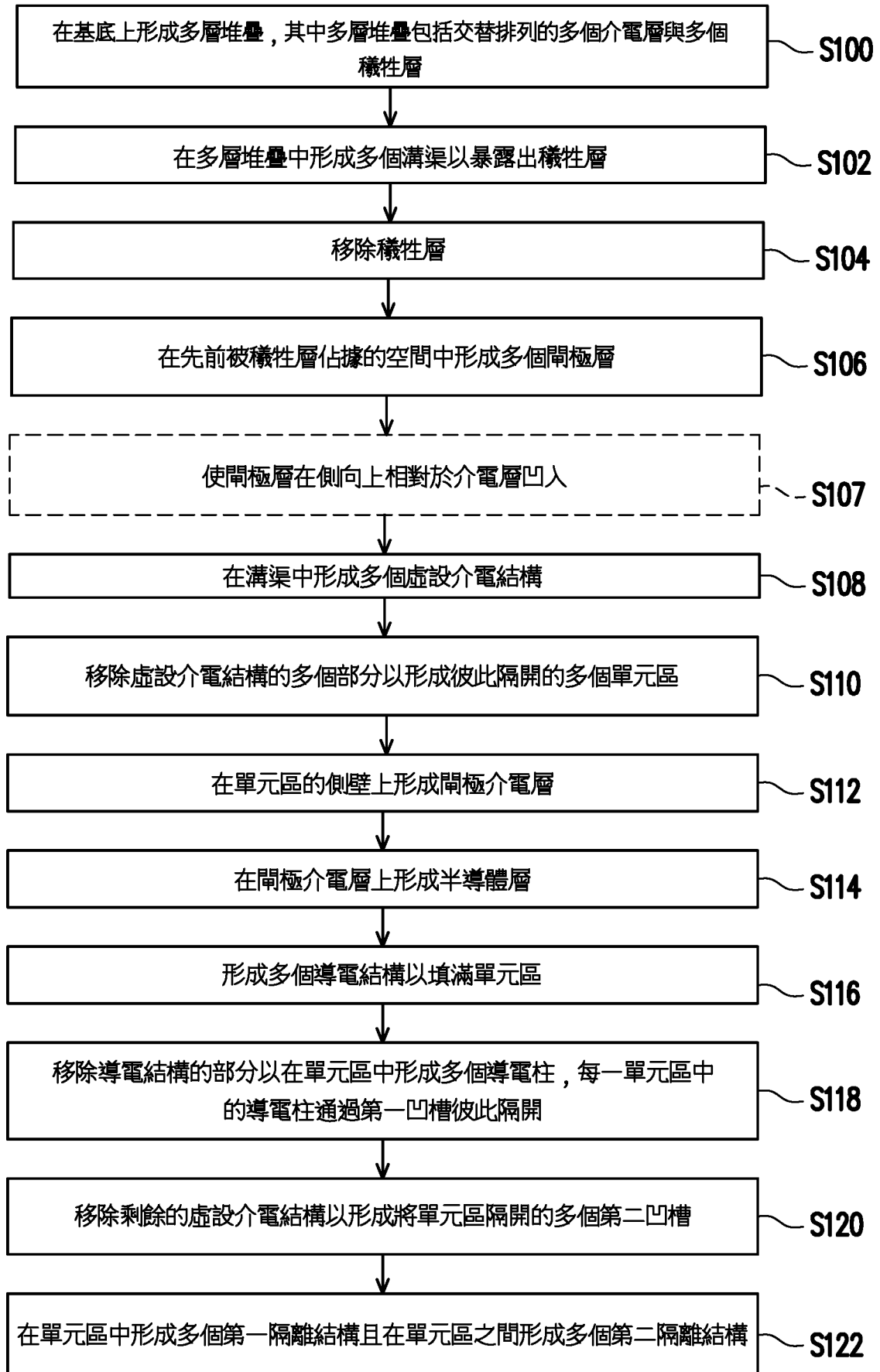
多個通道層，分別覆蓋所述多個閘極介電層中的一者的內表面；以及

多個導電柱，在所述多個單元區內豎立在所述基底上，且在側向上被所述多個通道層環繞，其中所述多個導電柱中的至少兩個導電柱位於所述多個單元區中的每一者中，且位於所述多個單元區中的每一者中的所述至少兩個導電柱在側向上彼此隔開。

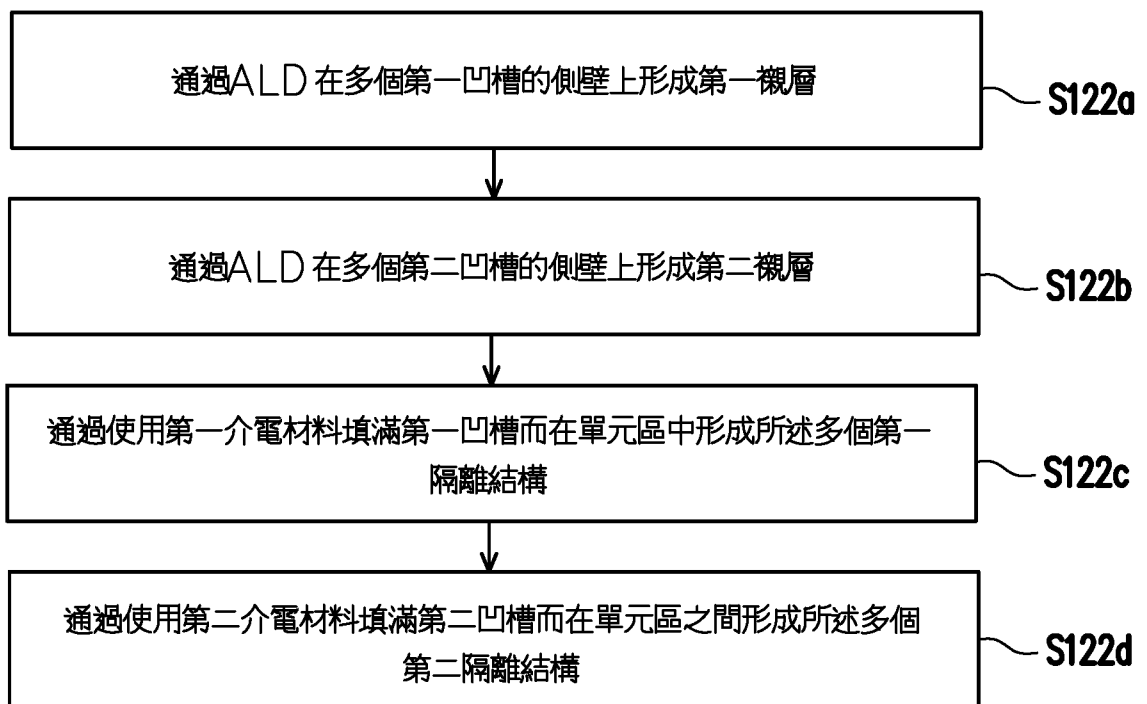
【發明圖式】



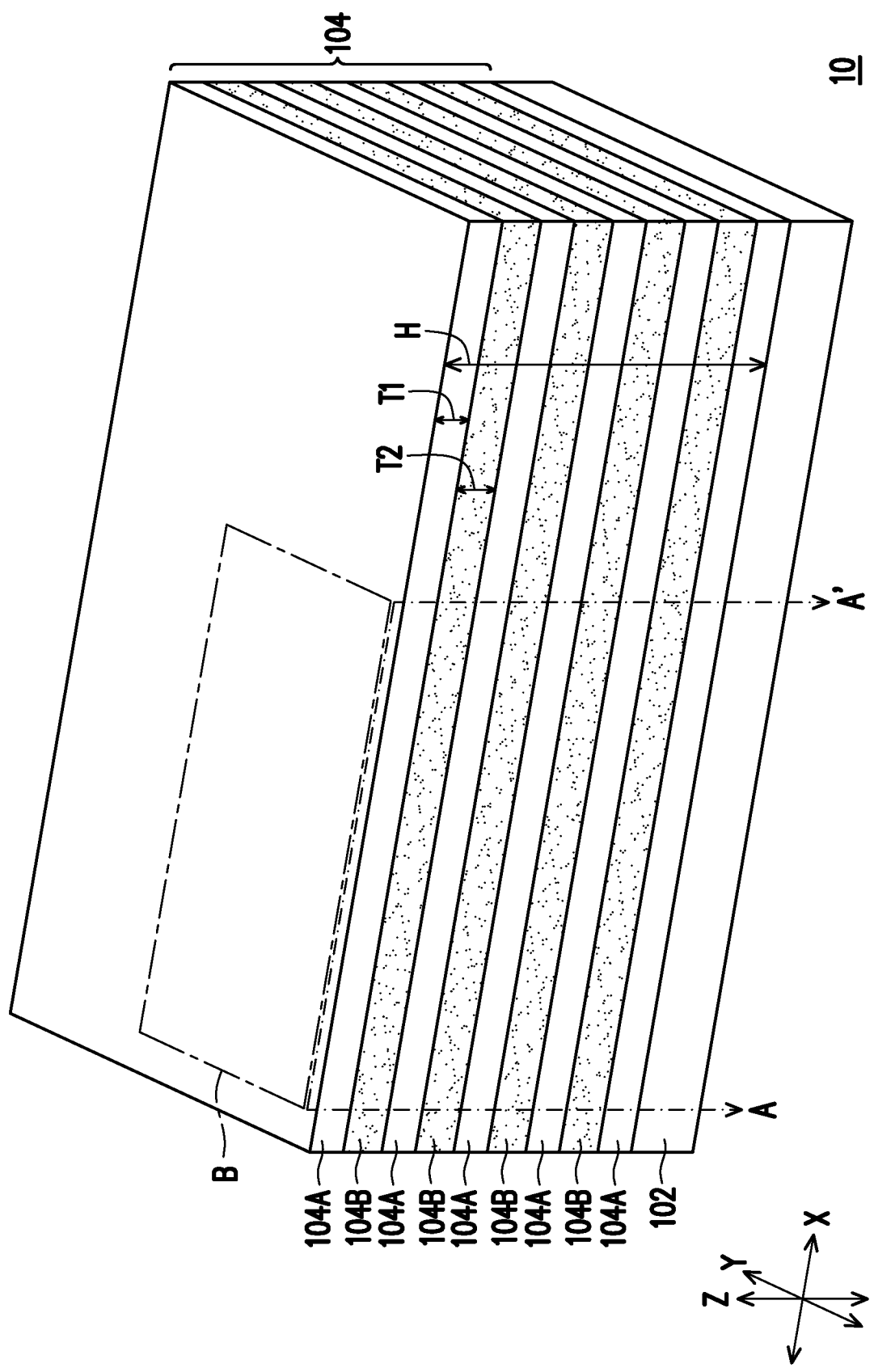
【圖1】



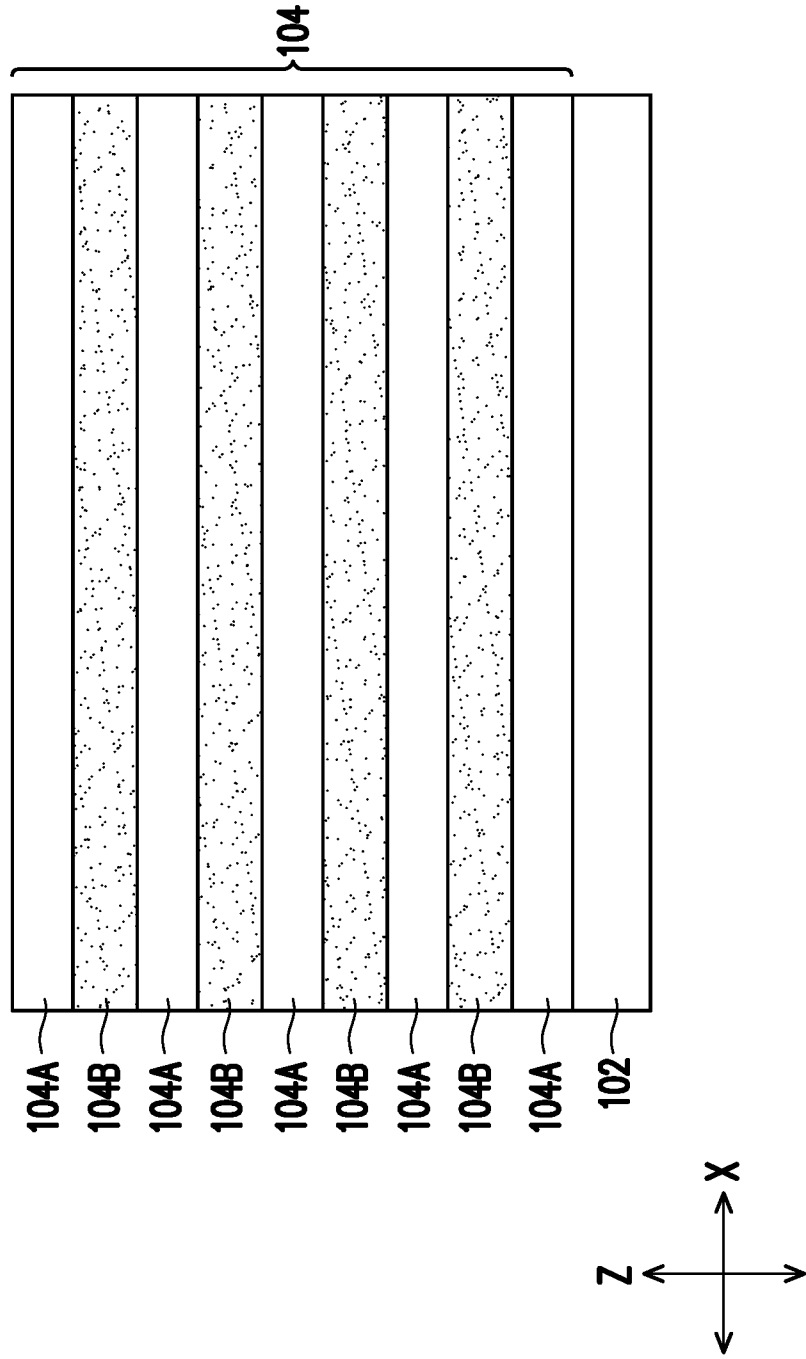
【圖2A】



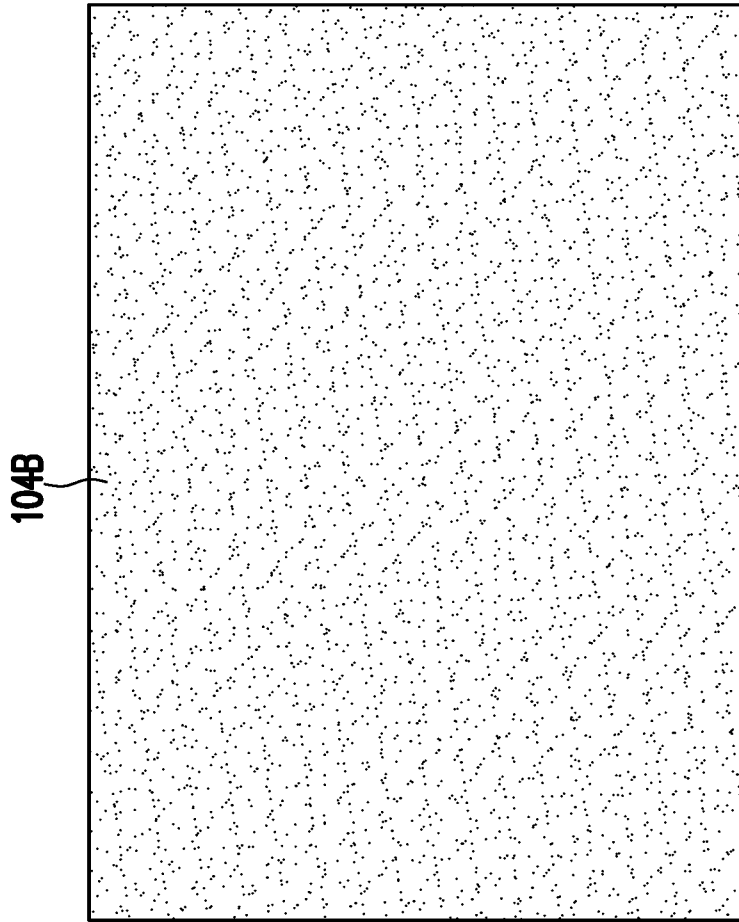
【圖2B】



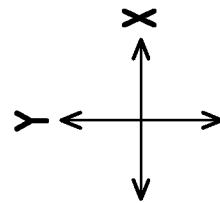
【圖3A】

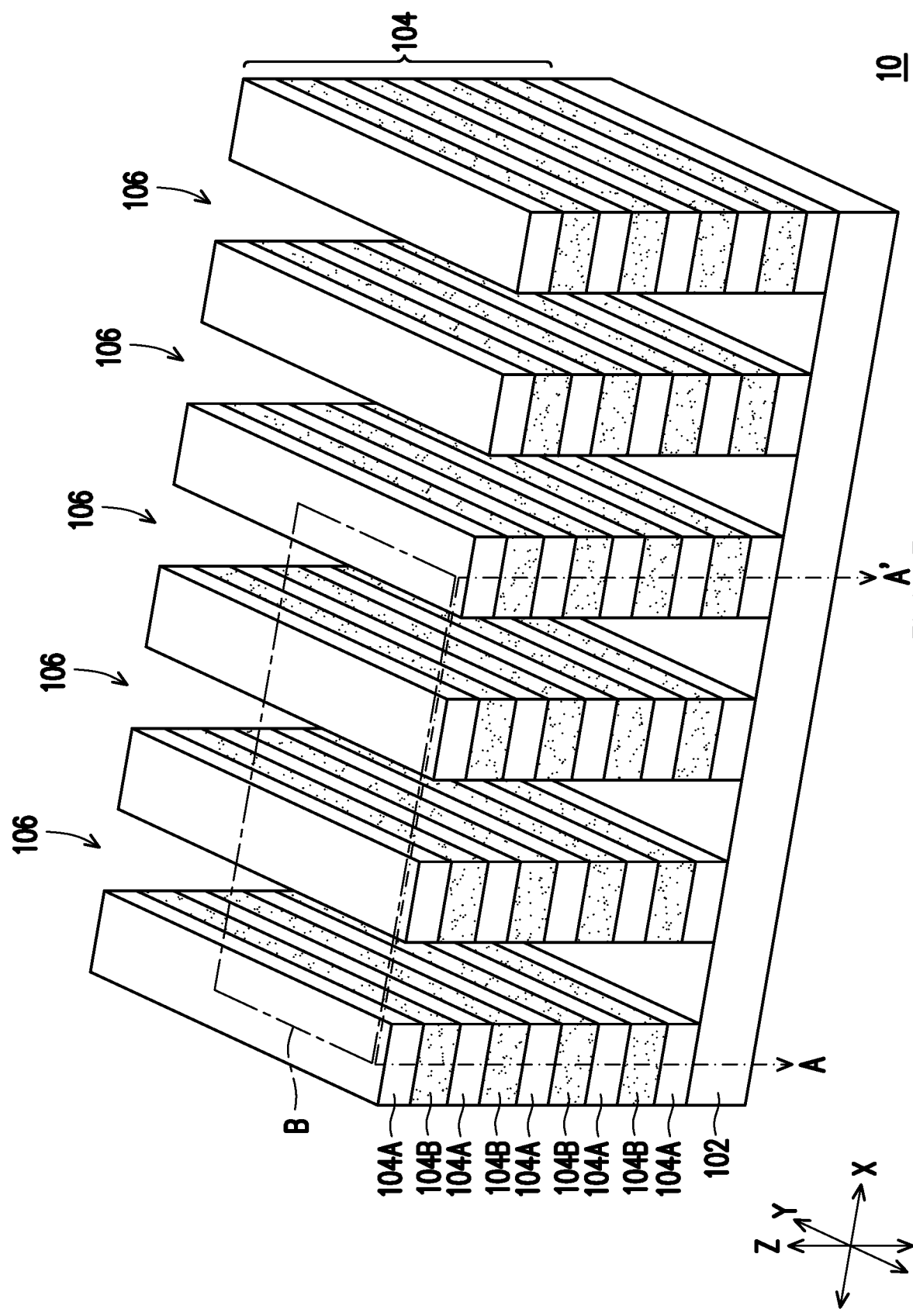


【圖3B】

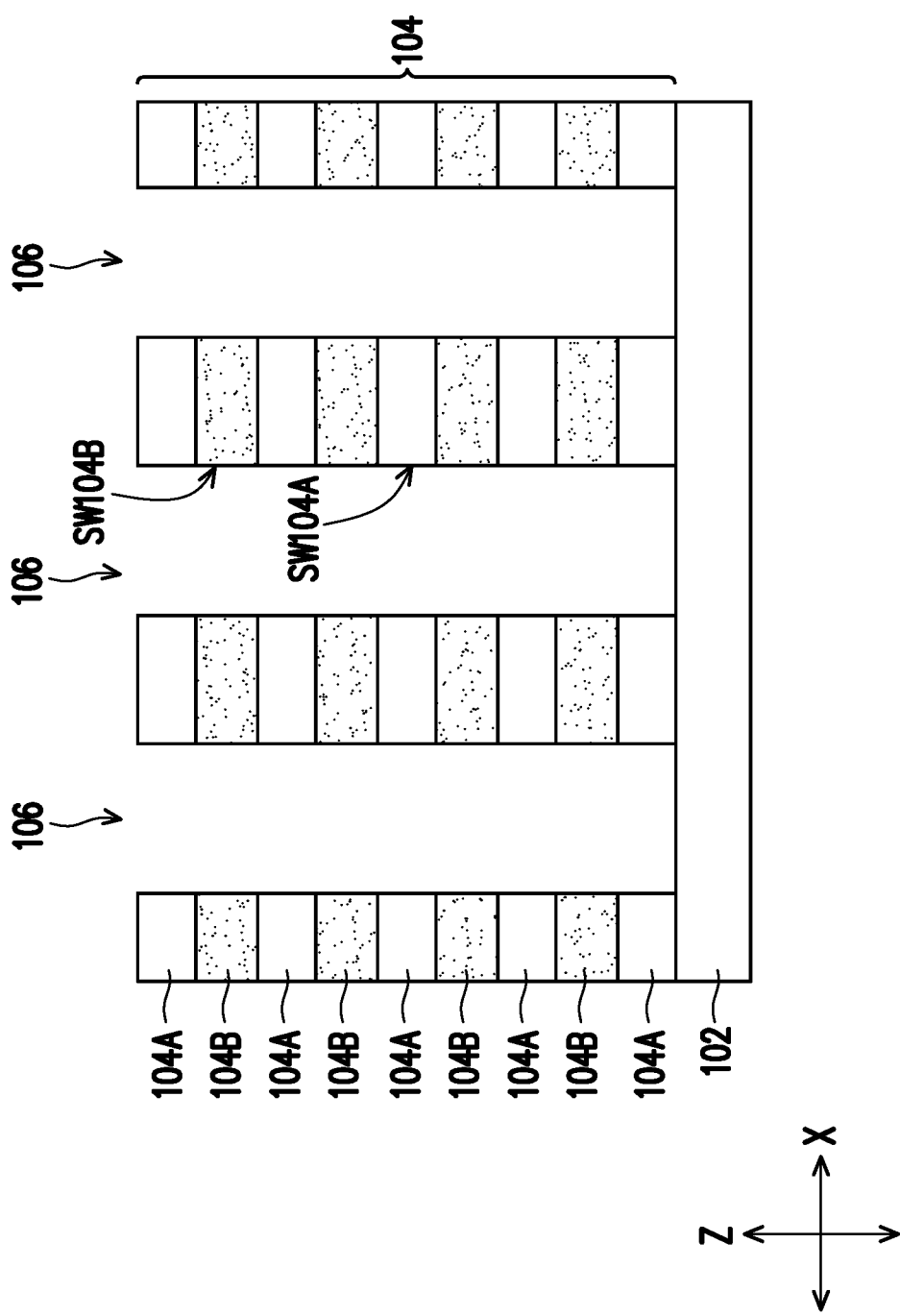


【圖3C】

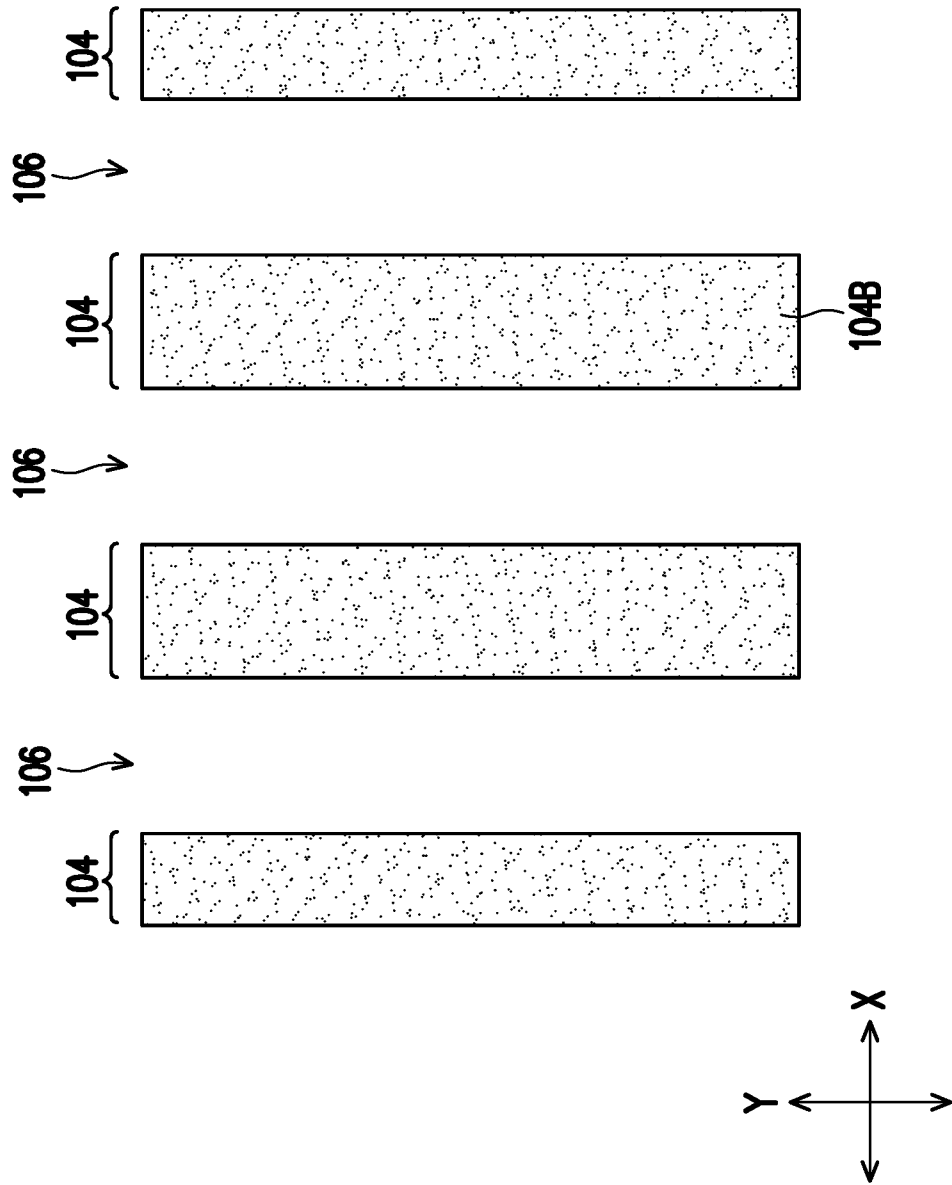




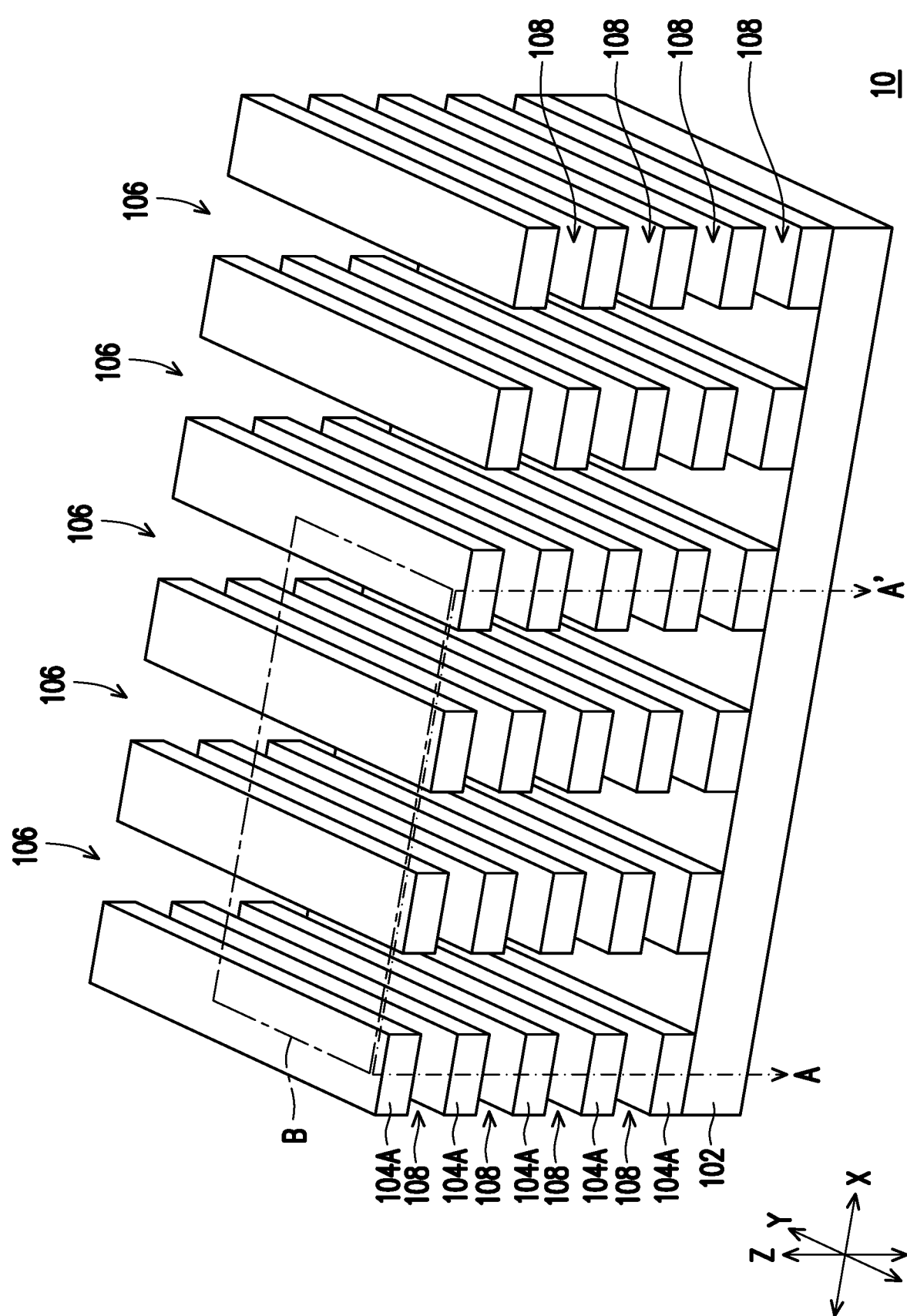
【圖4A】



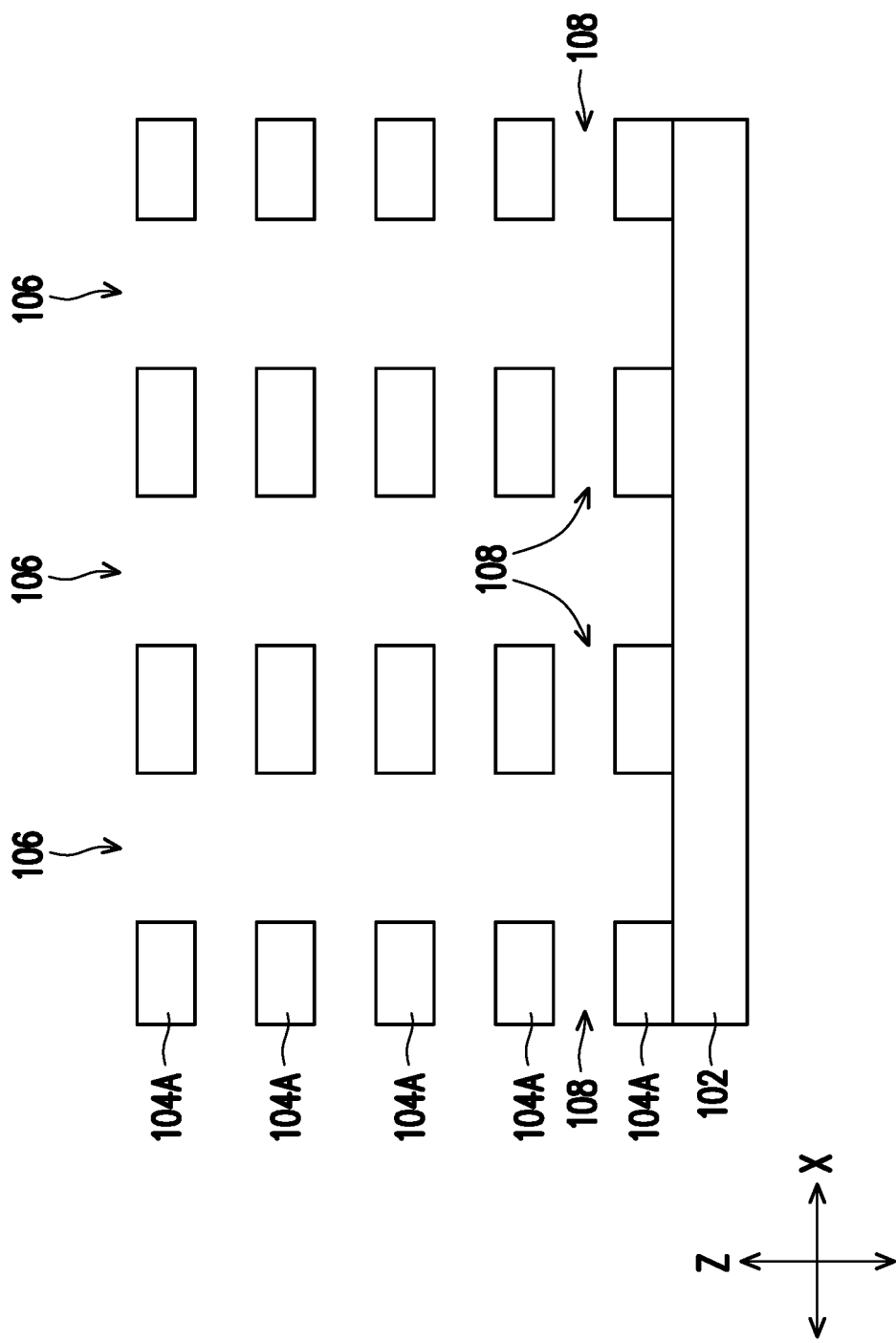
【圖4B】



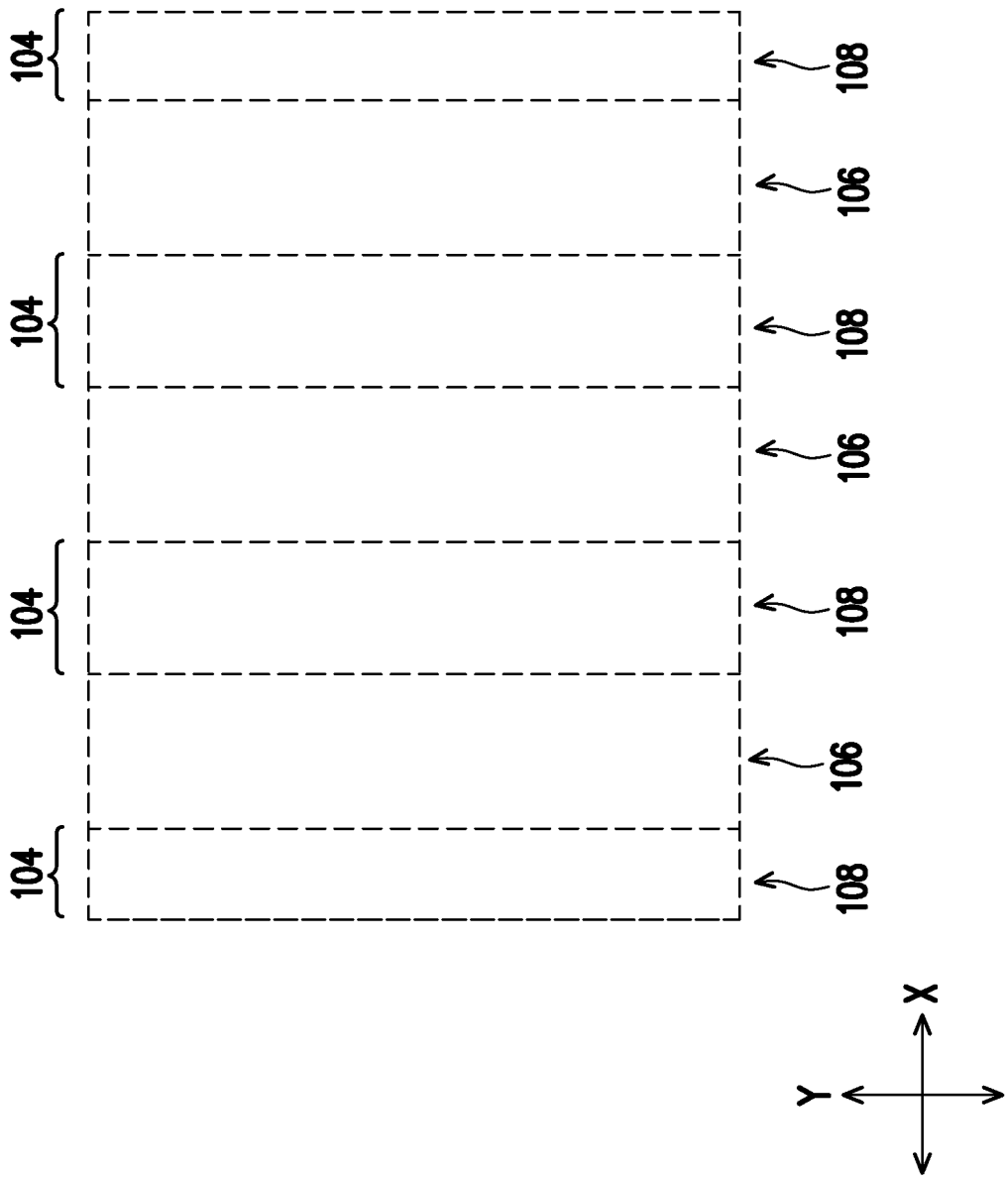
【圖4C】



【圖5A】

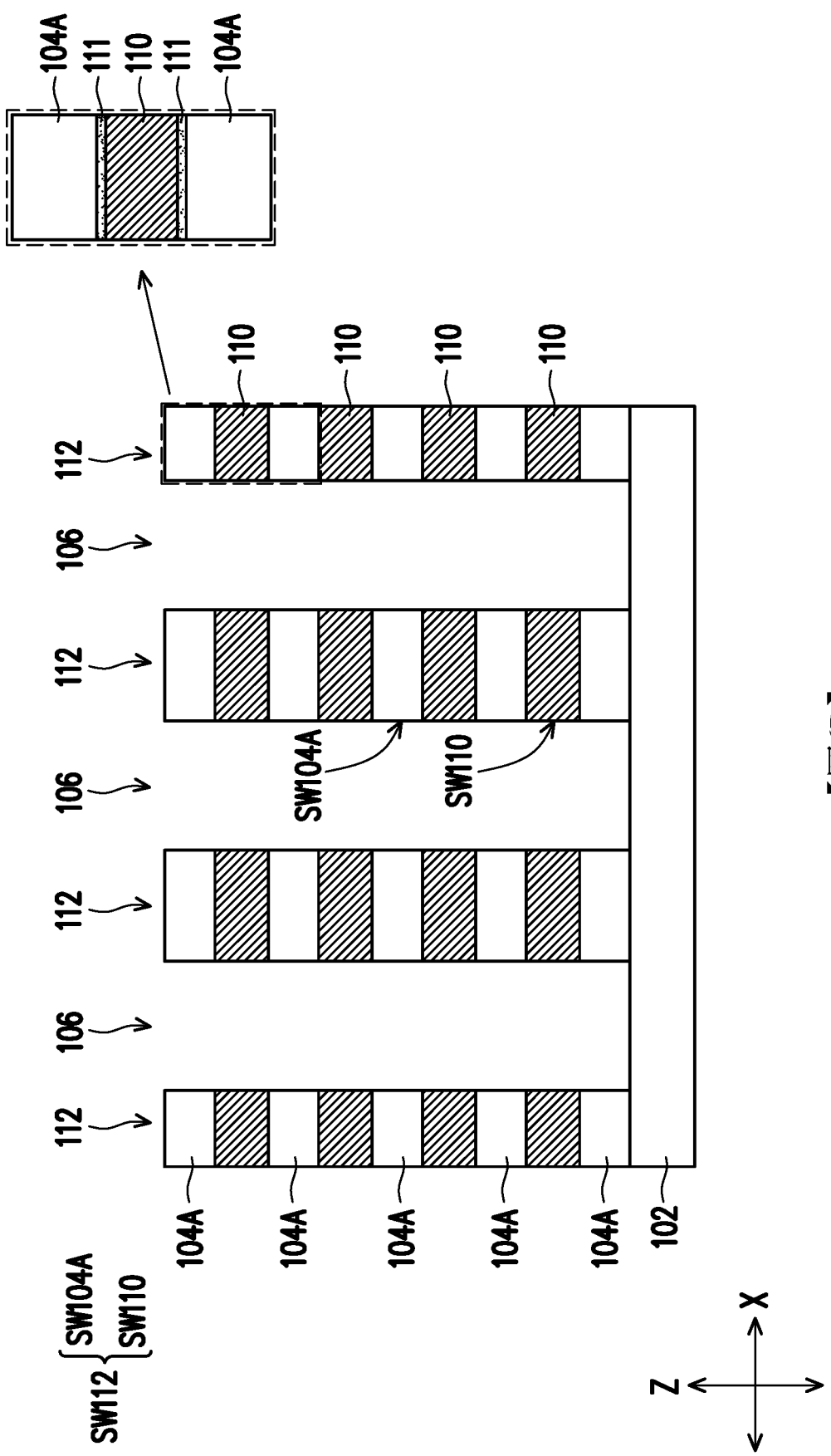


【圖5B】

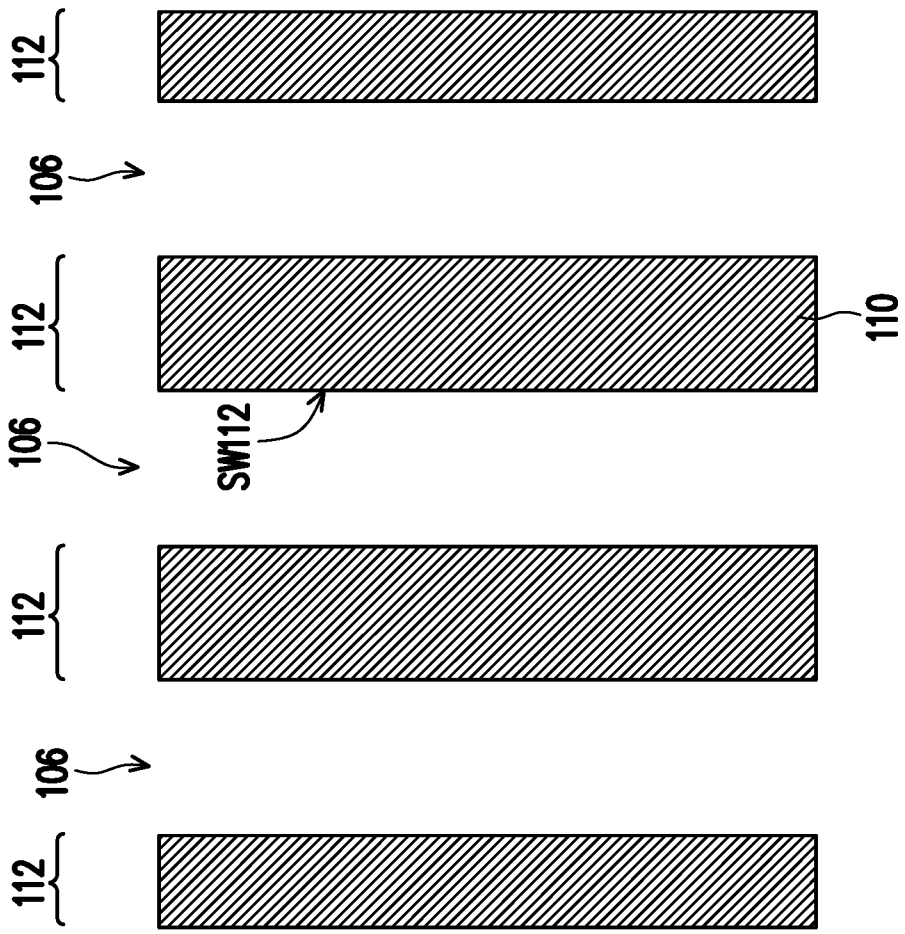


【圖5C】



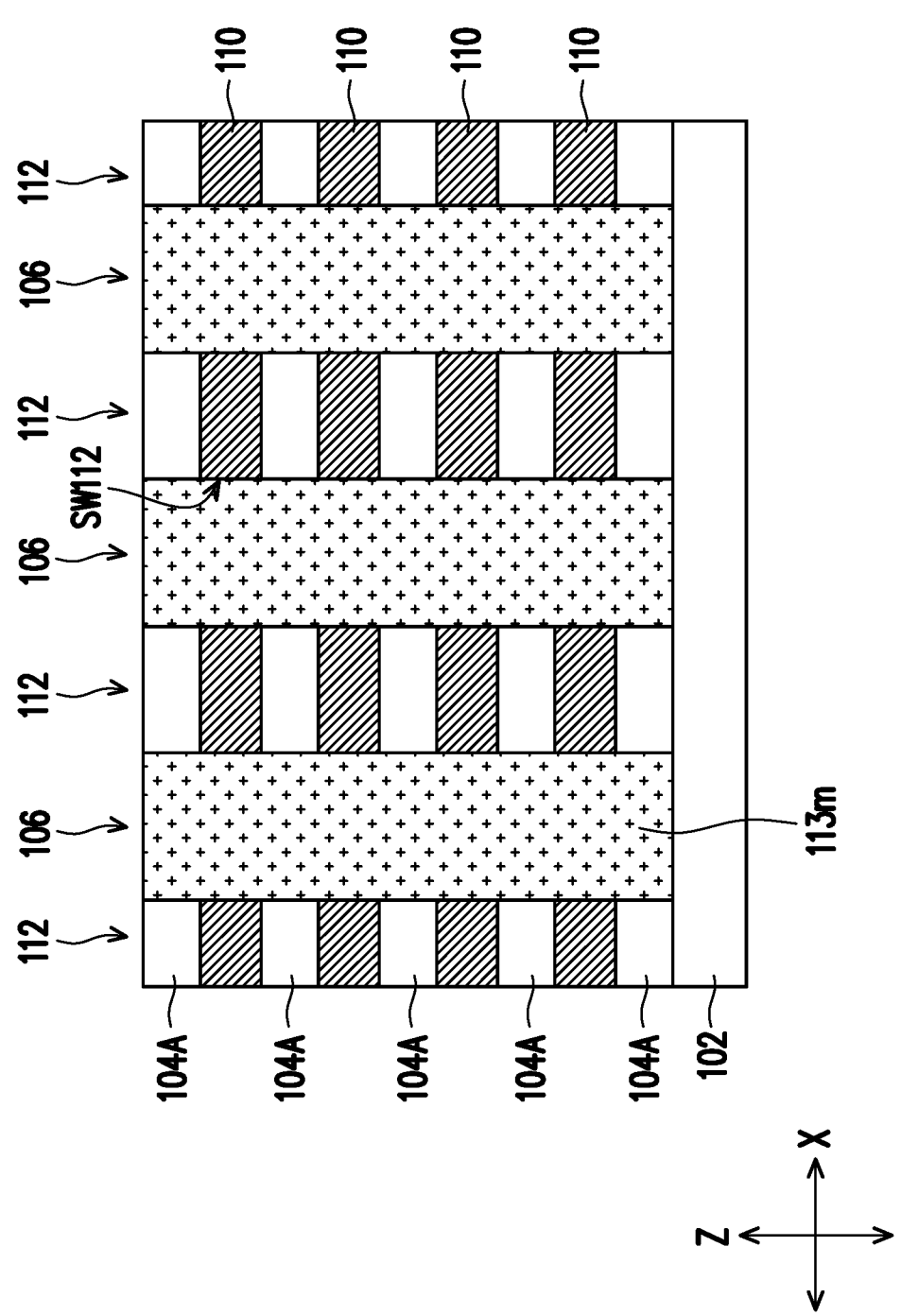


【圖6B】

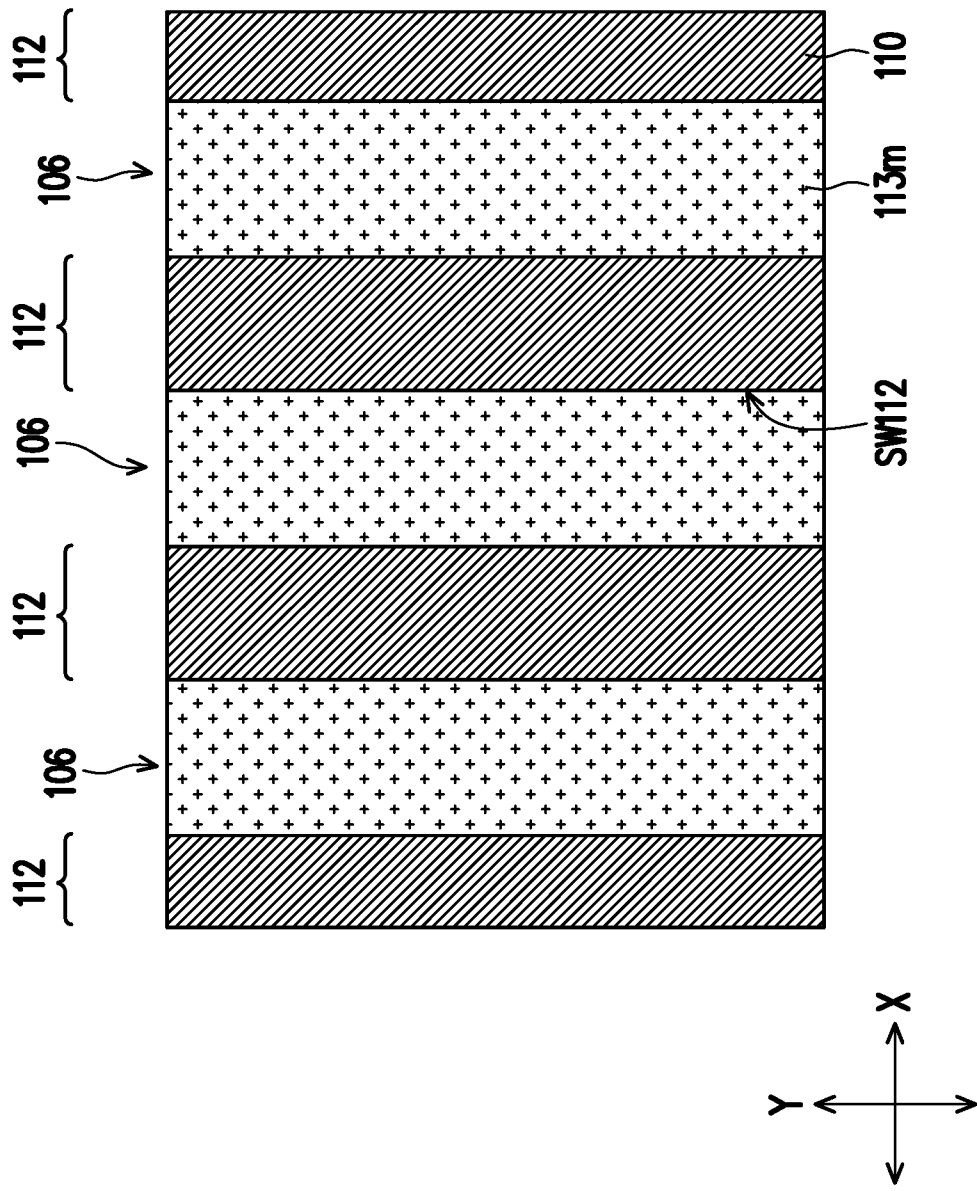


【圖6C】

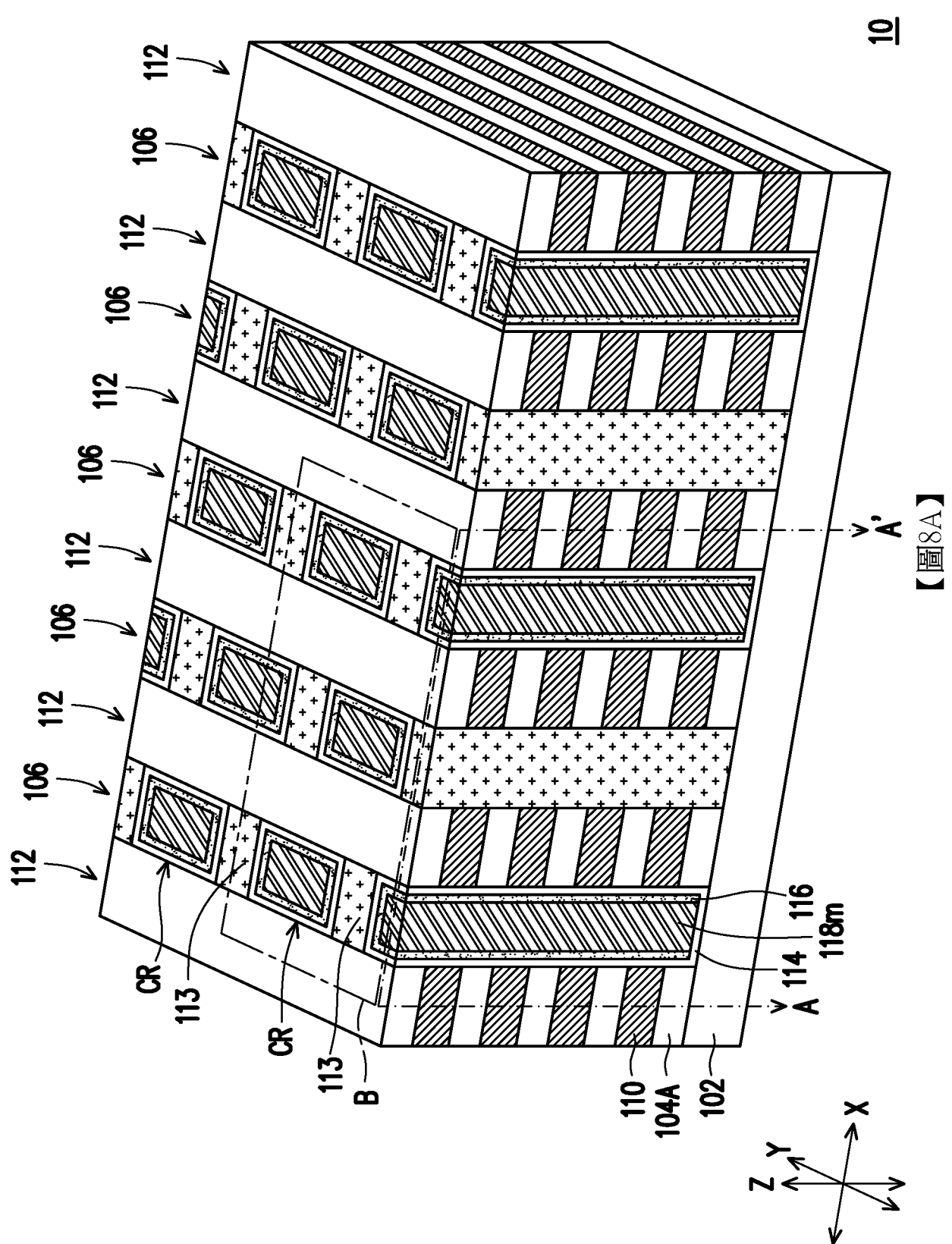


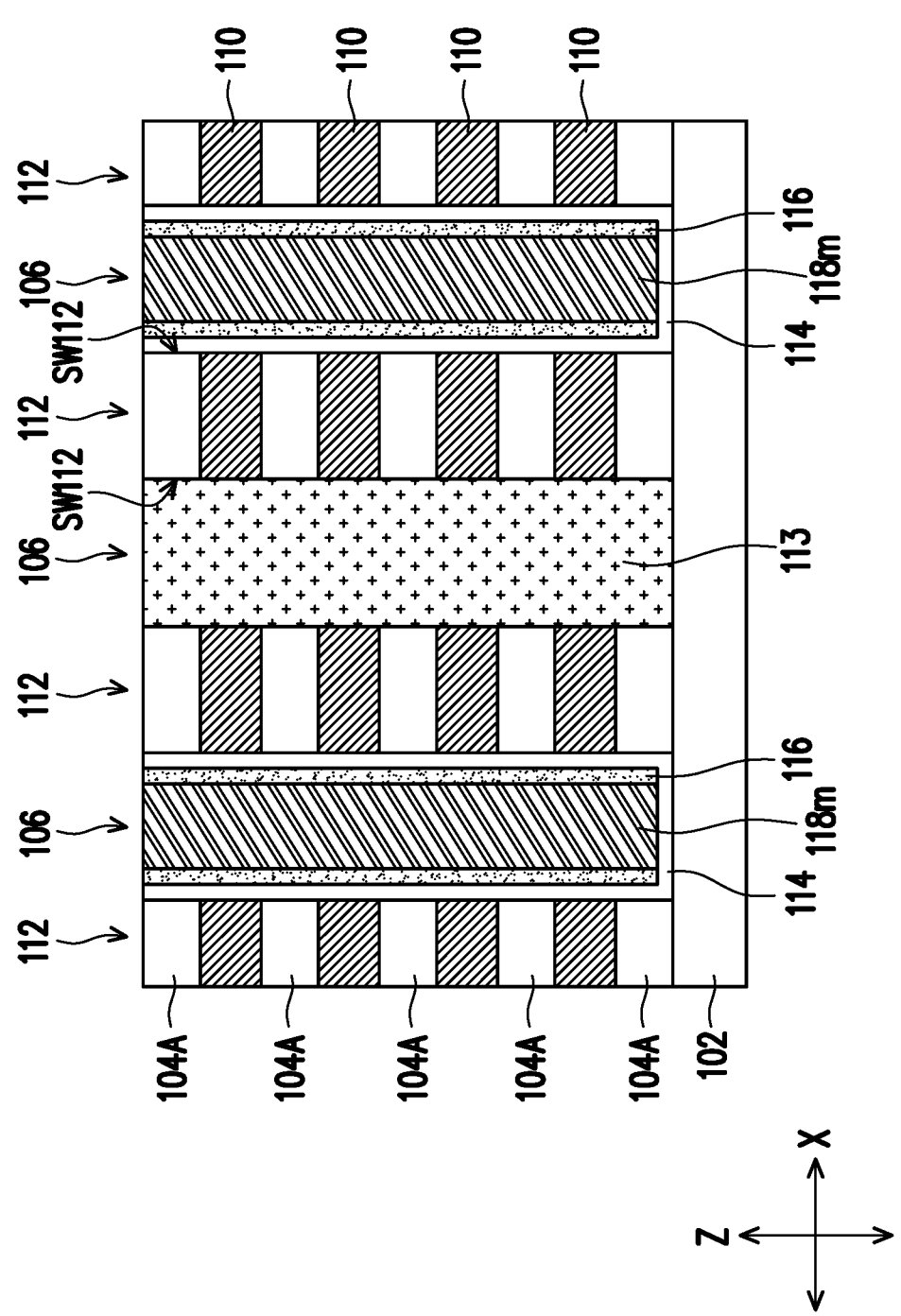


【圖7B】

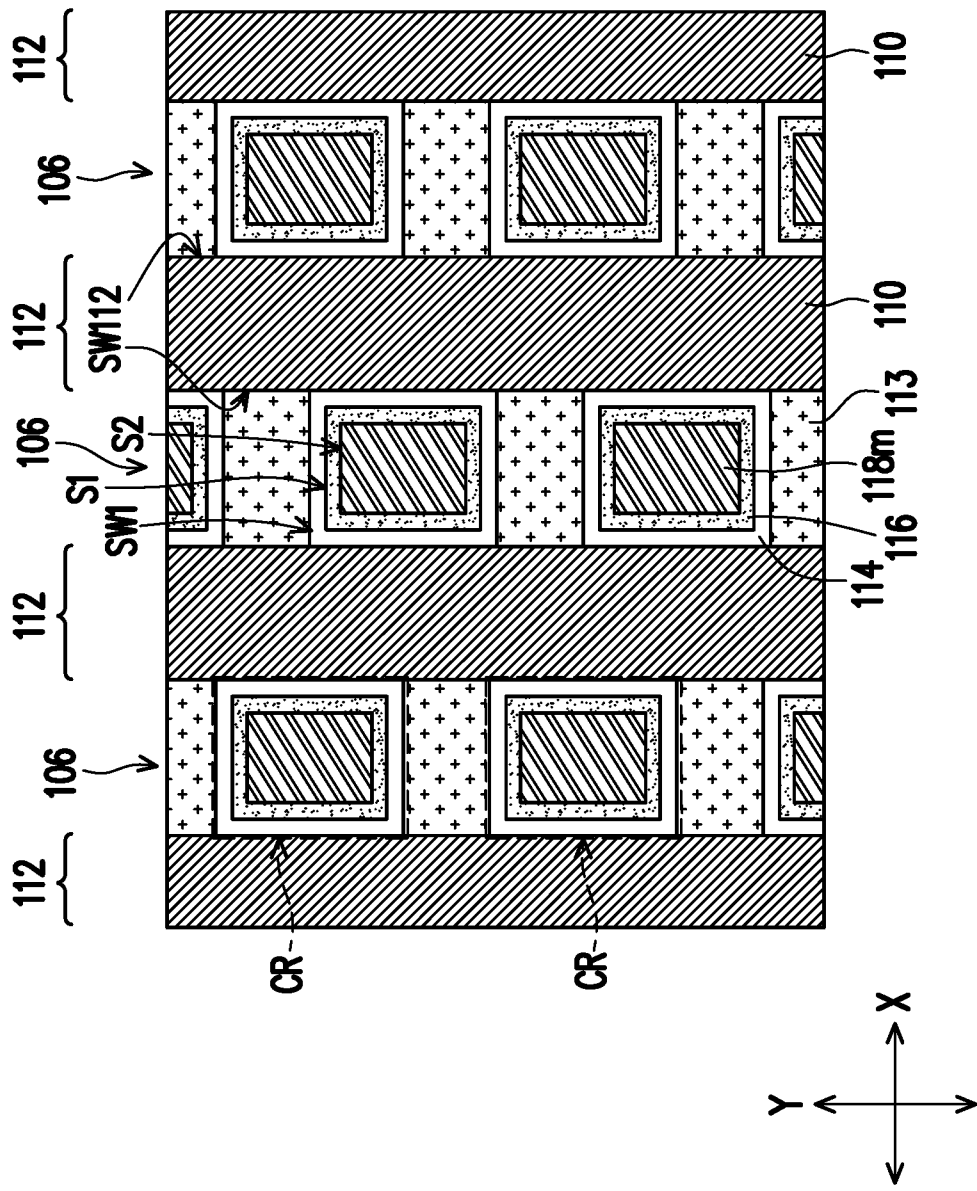


【圖7C】

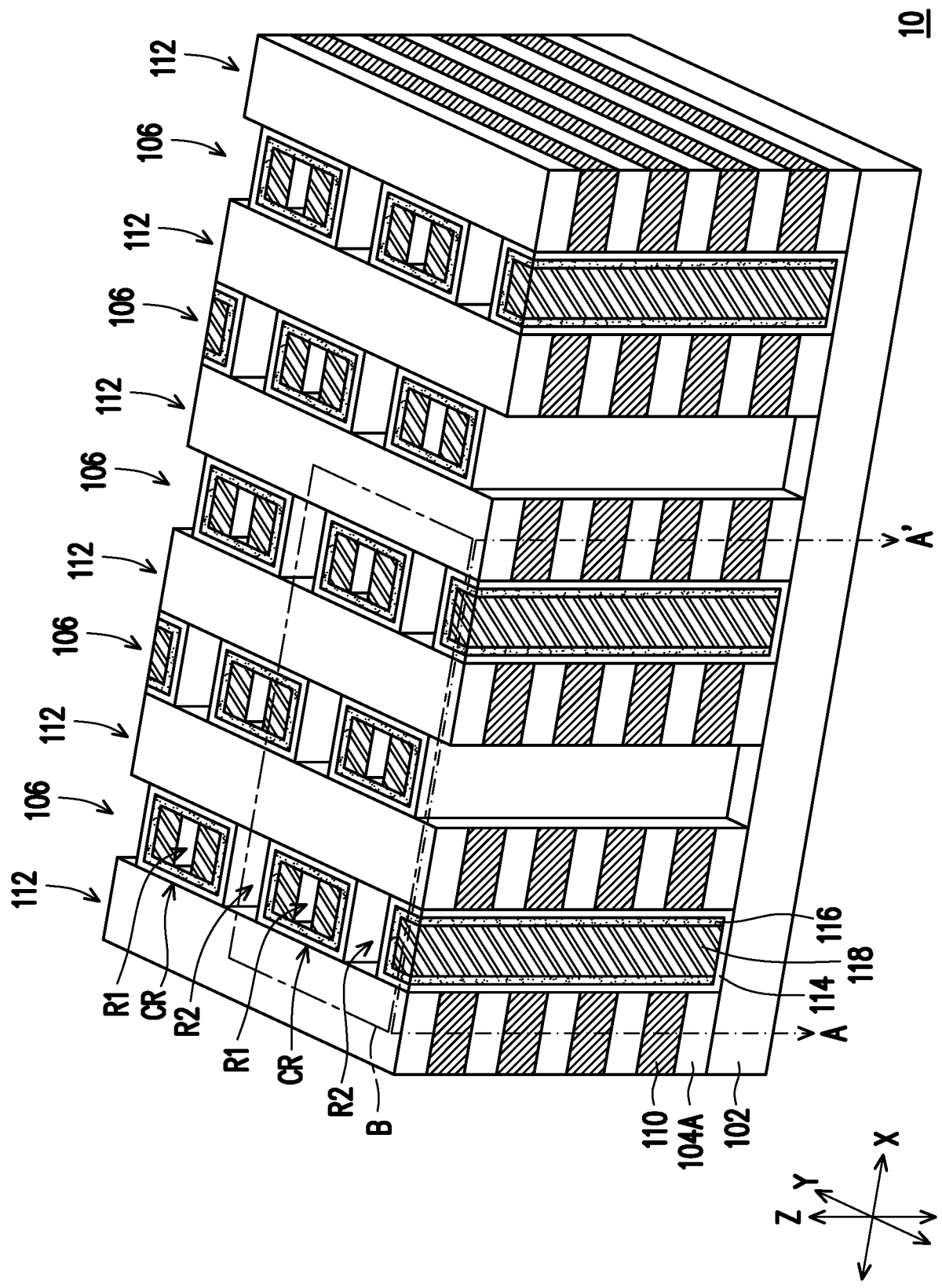




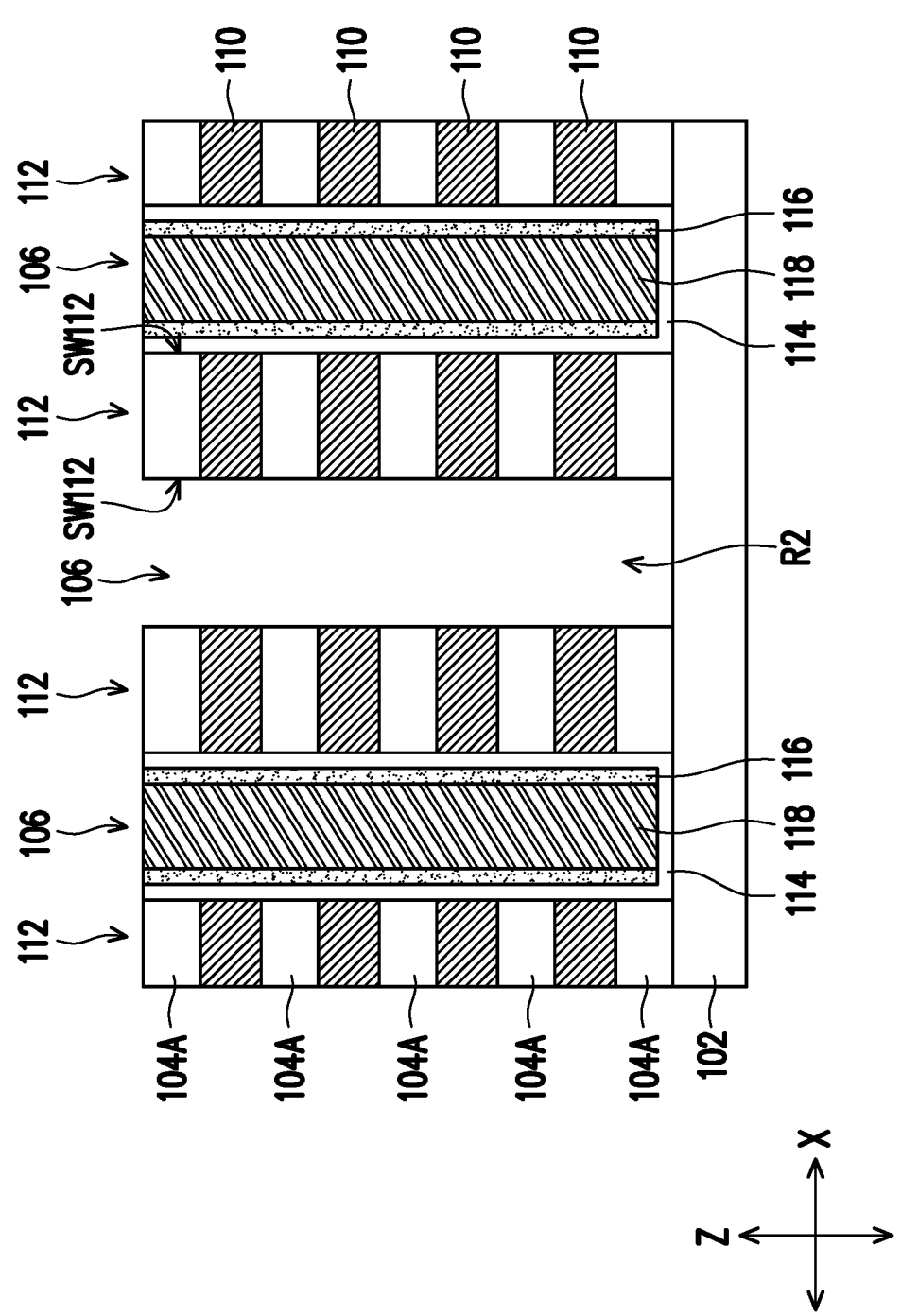
【圖8B】



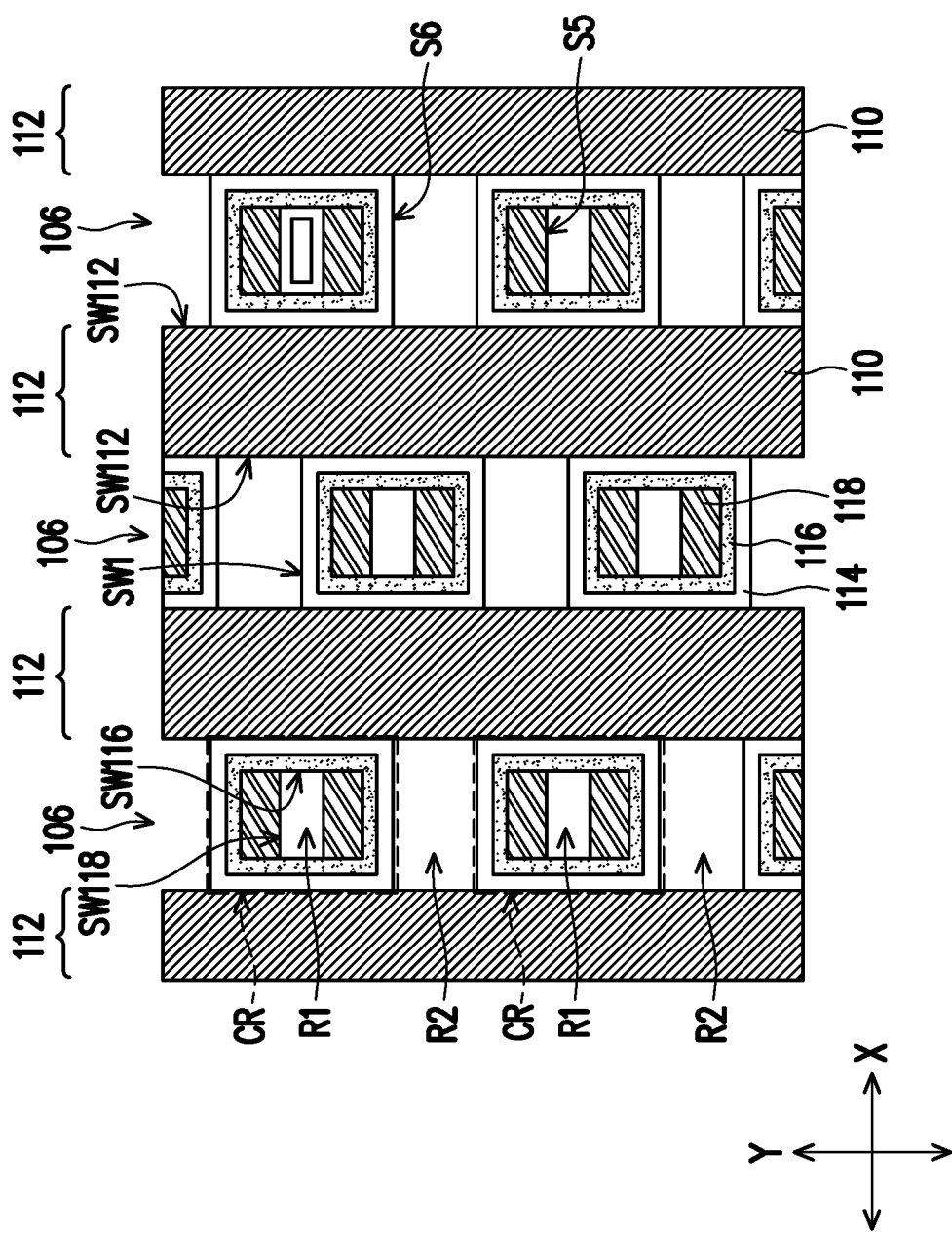
【圖8C】



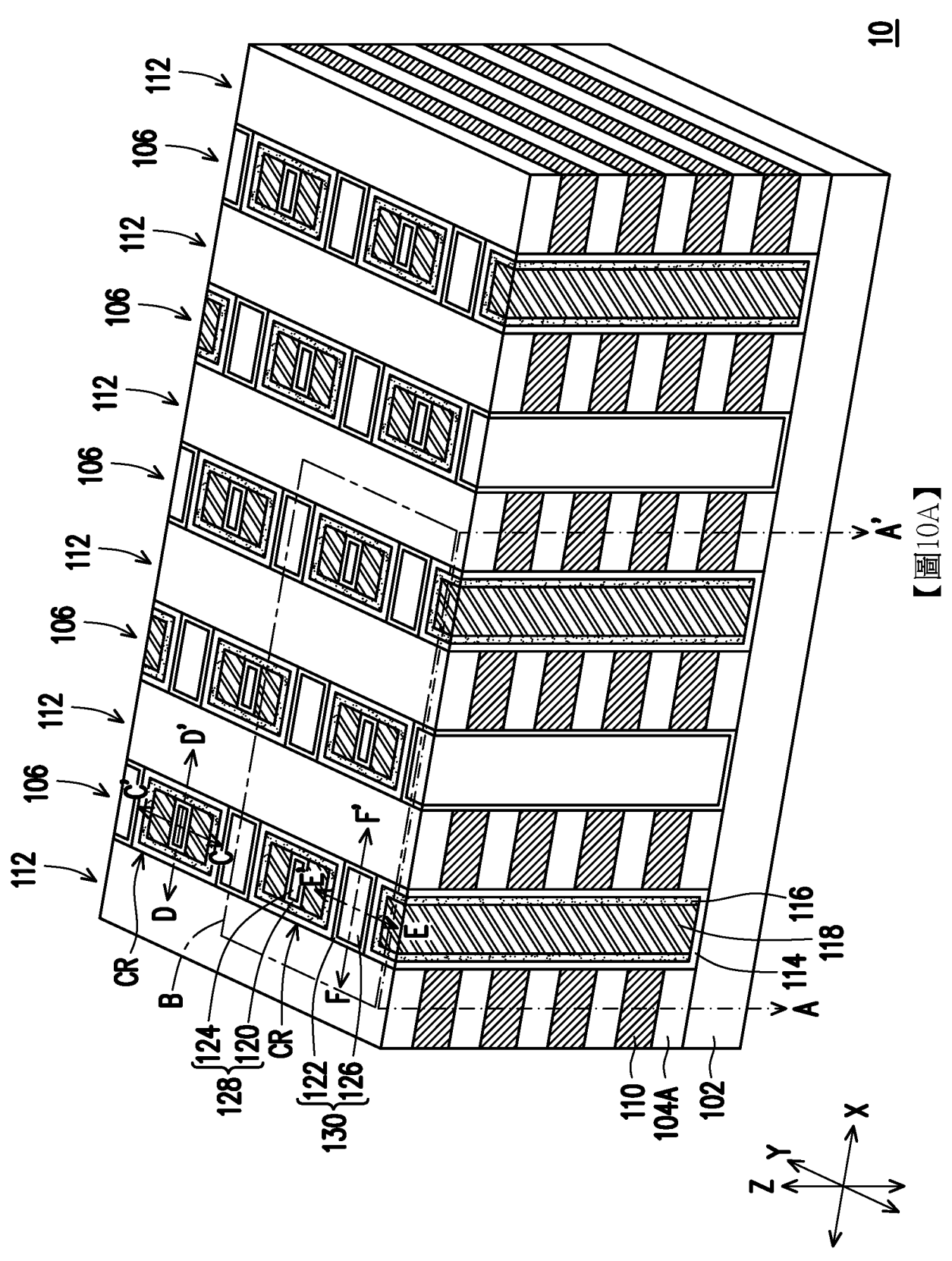
【圖9A】



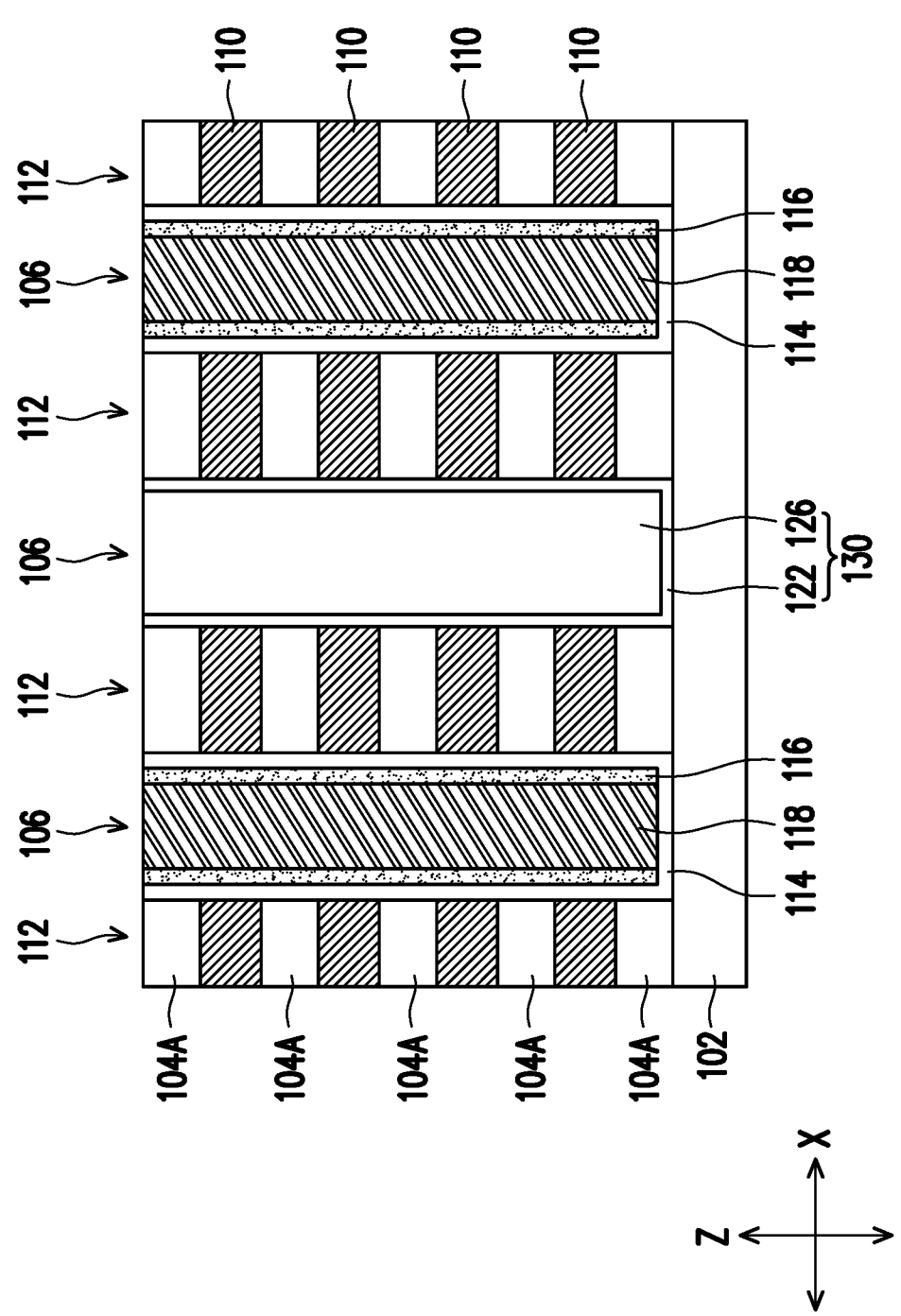
【圖9B】



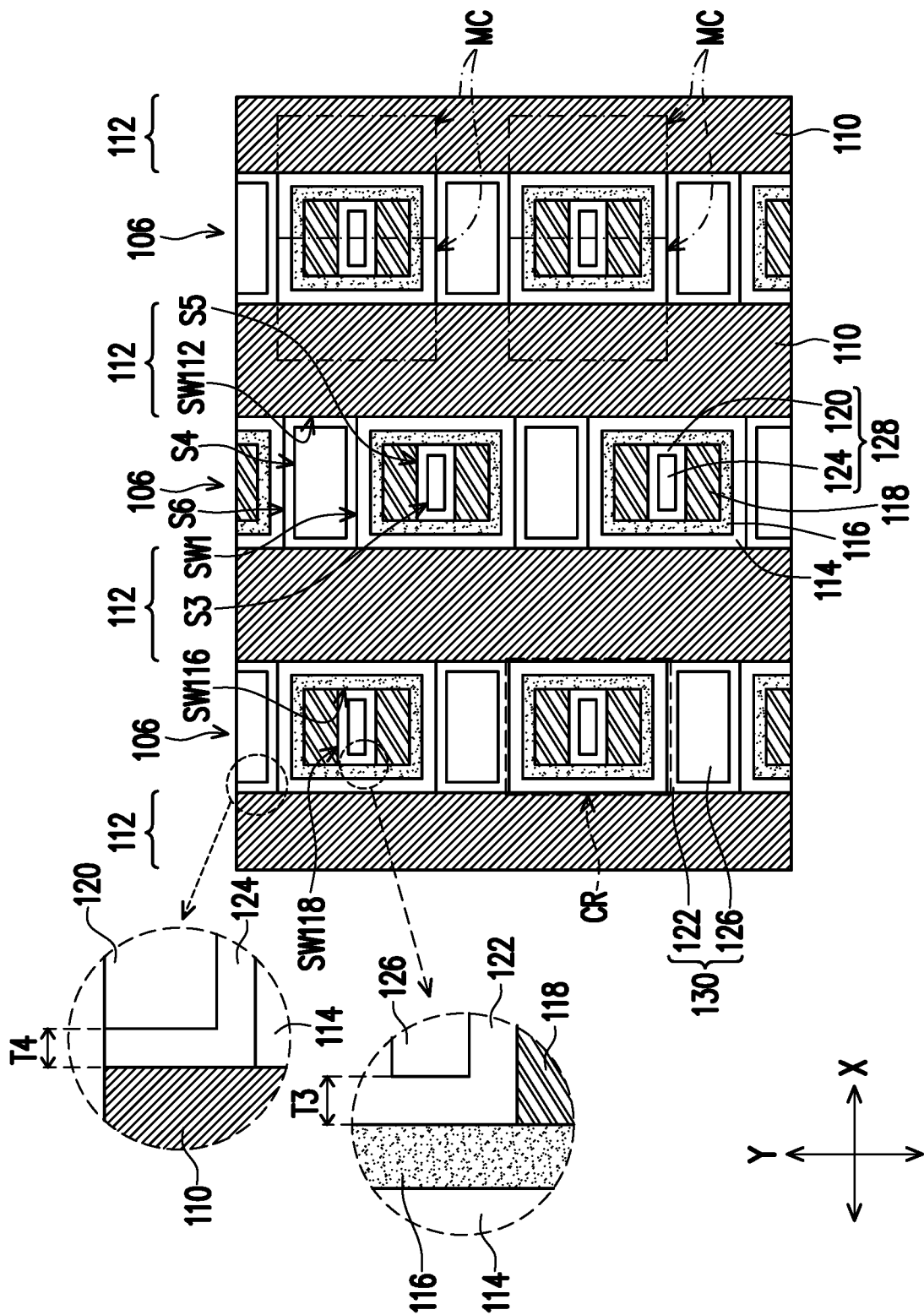
【圖9C】



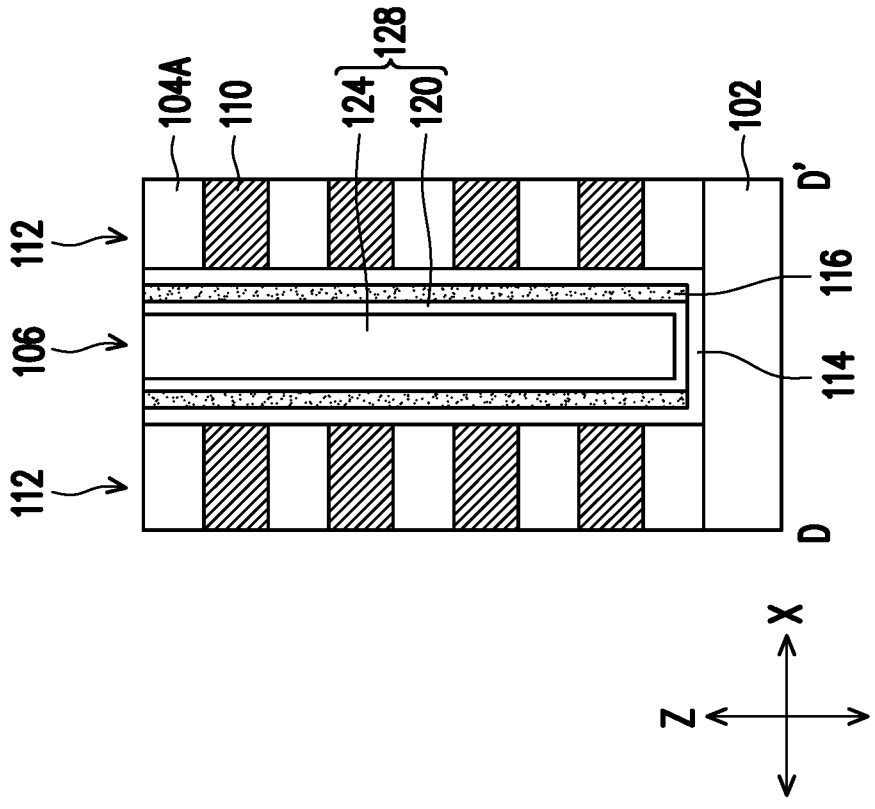
【圖10A】



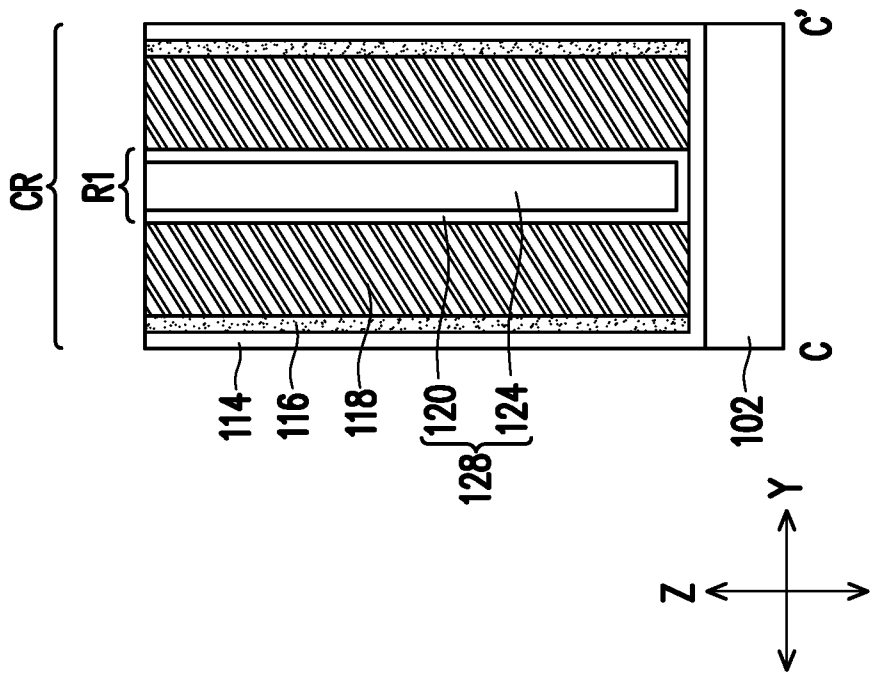
【圖10B】



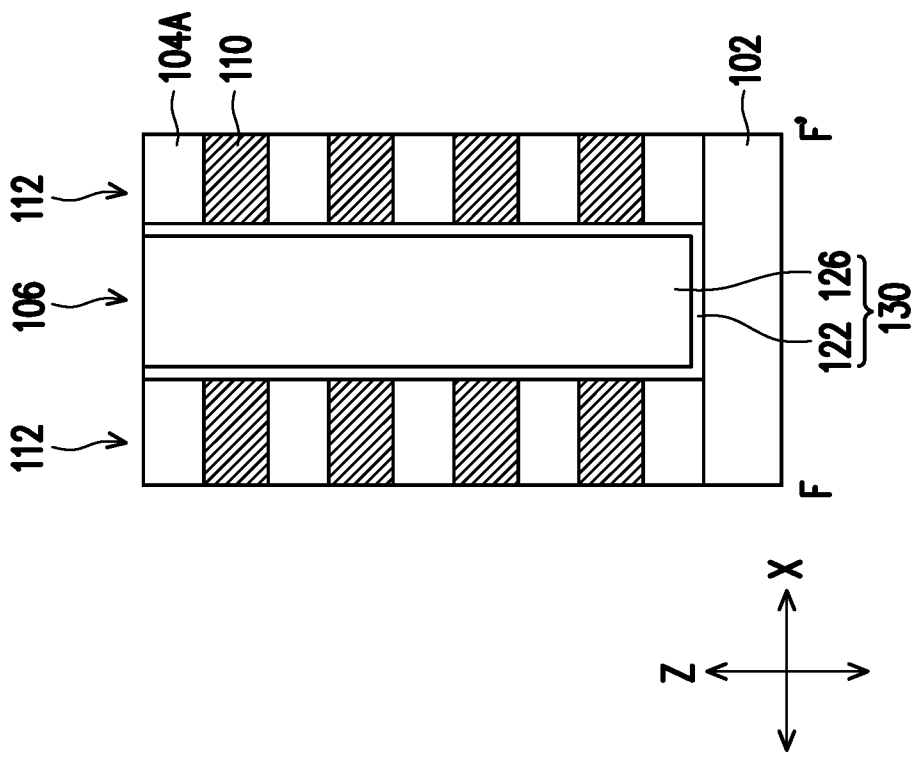
【圖10C】



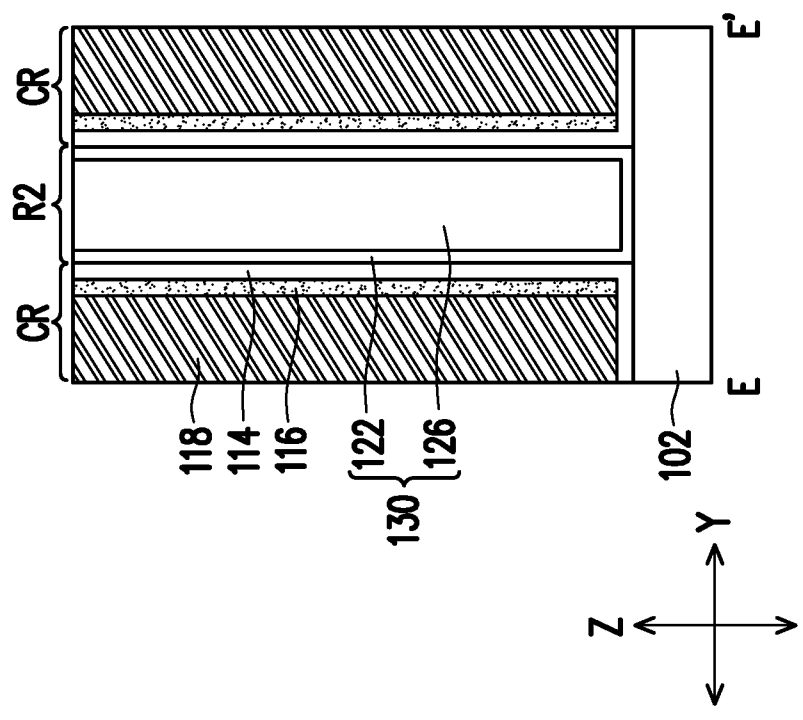
【圖11B】



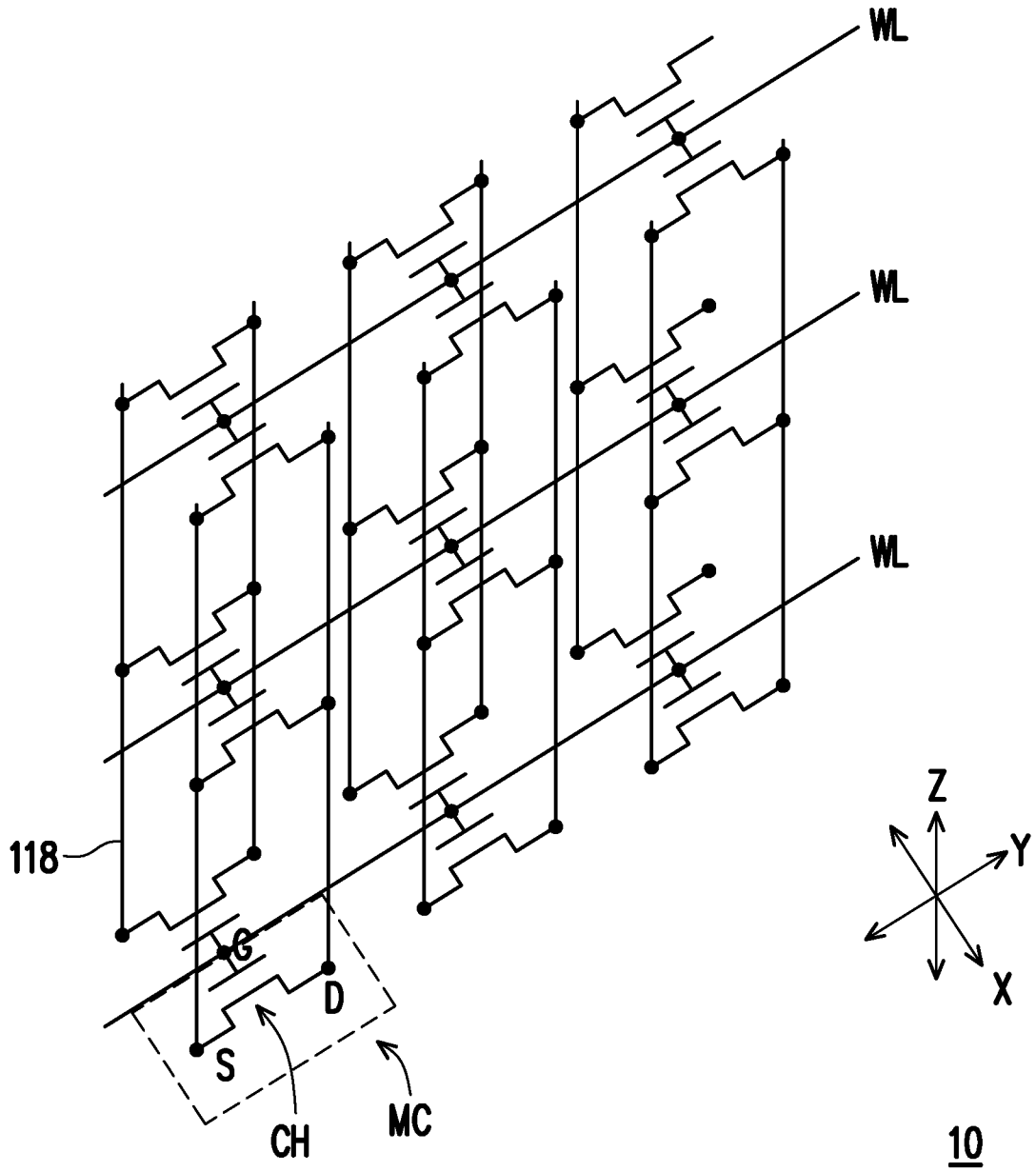
【圖11A】



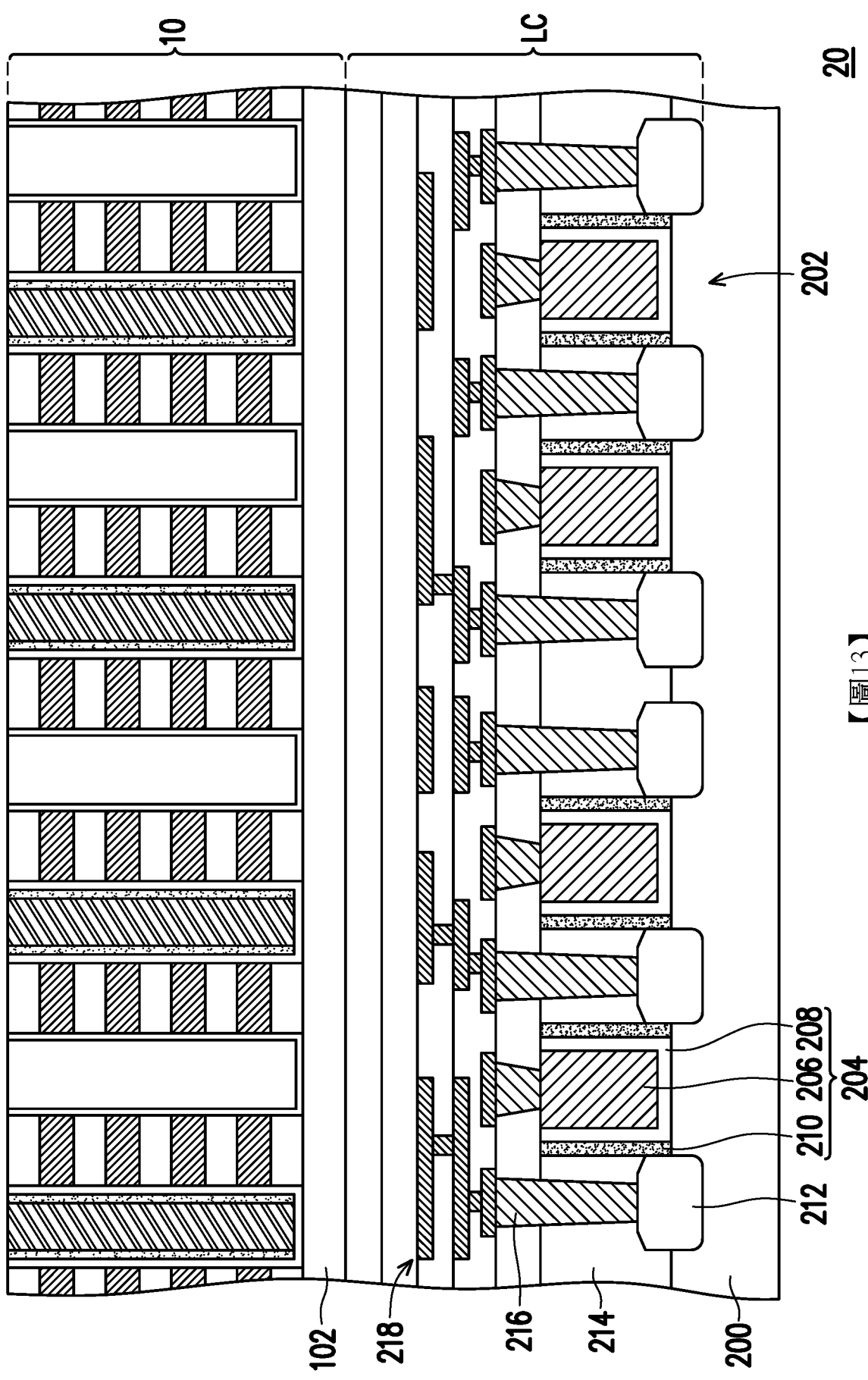
【圖11D】



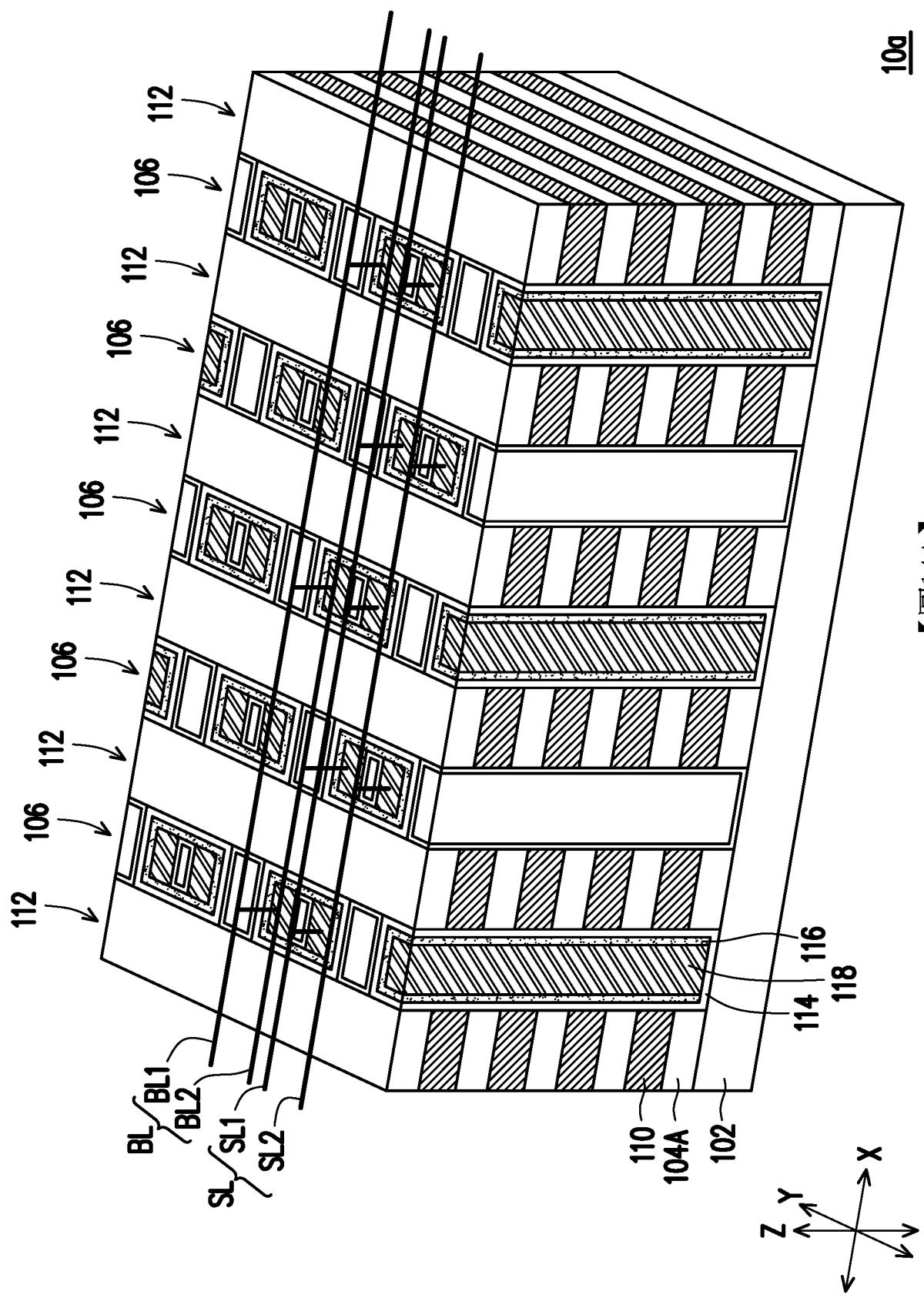
【圖11C】



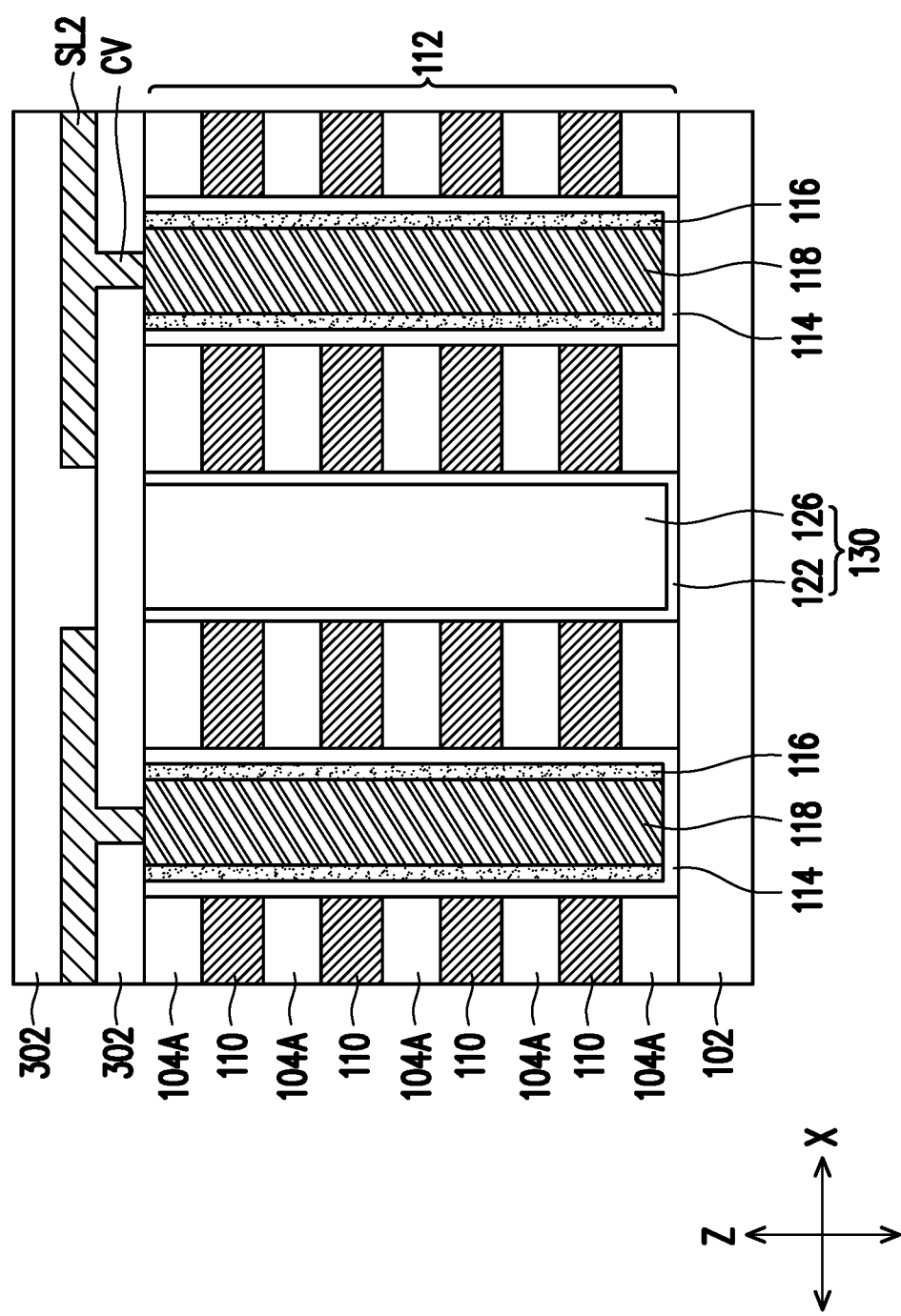
【圖12】



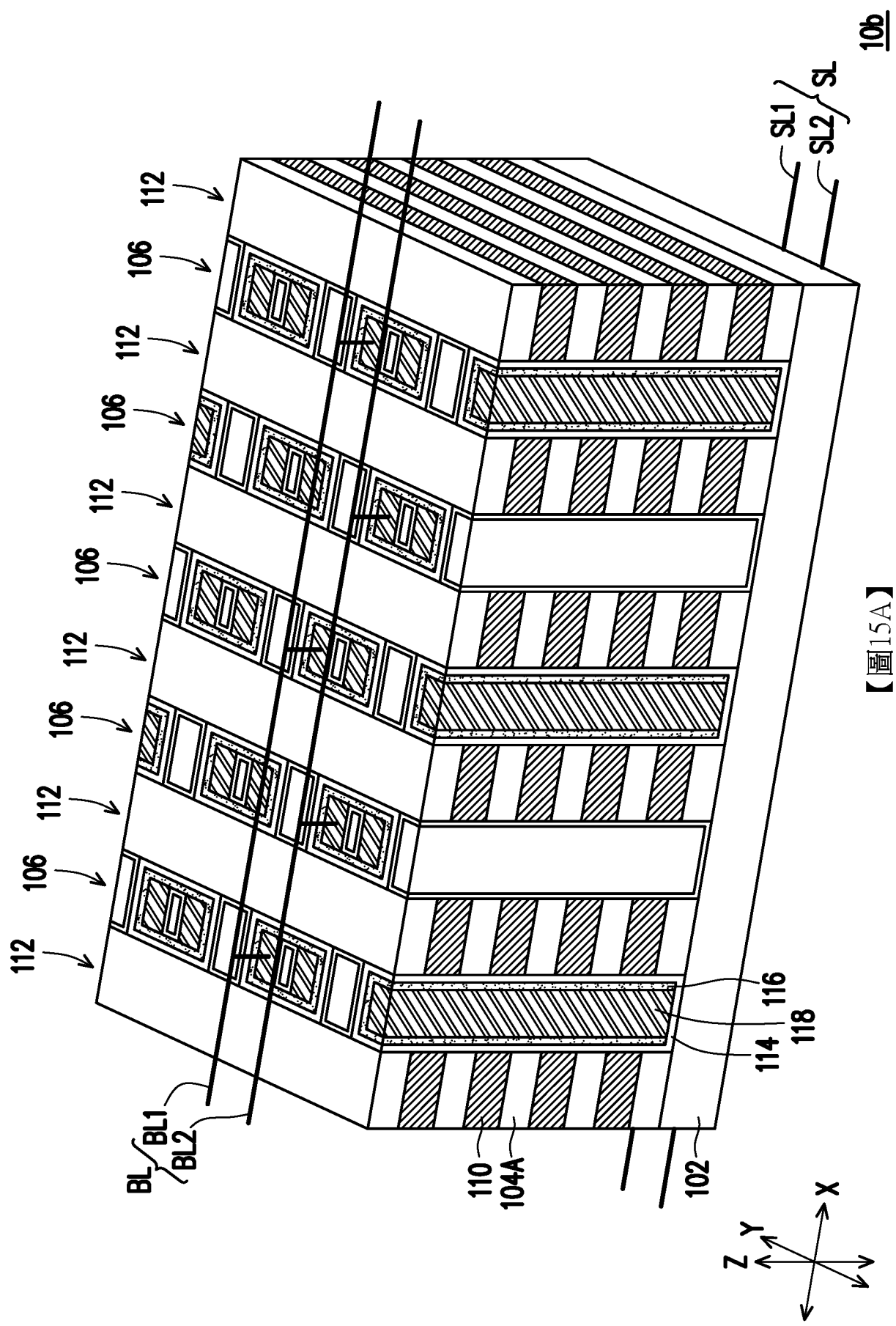
【圖13】



【圖14A】



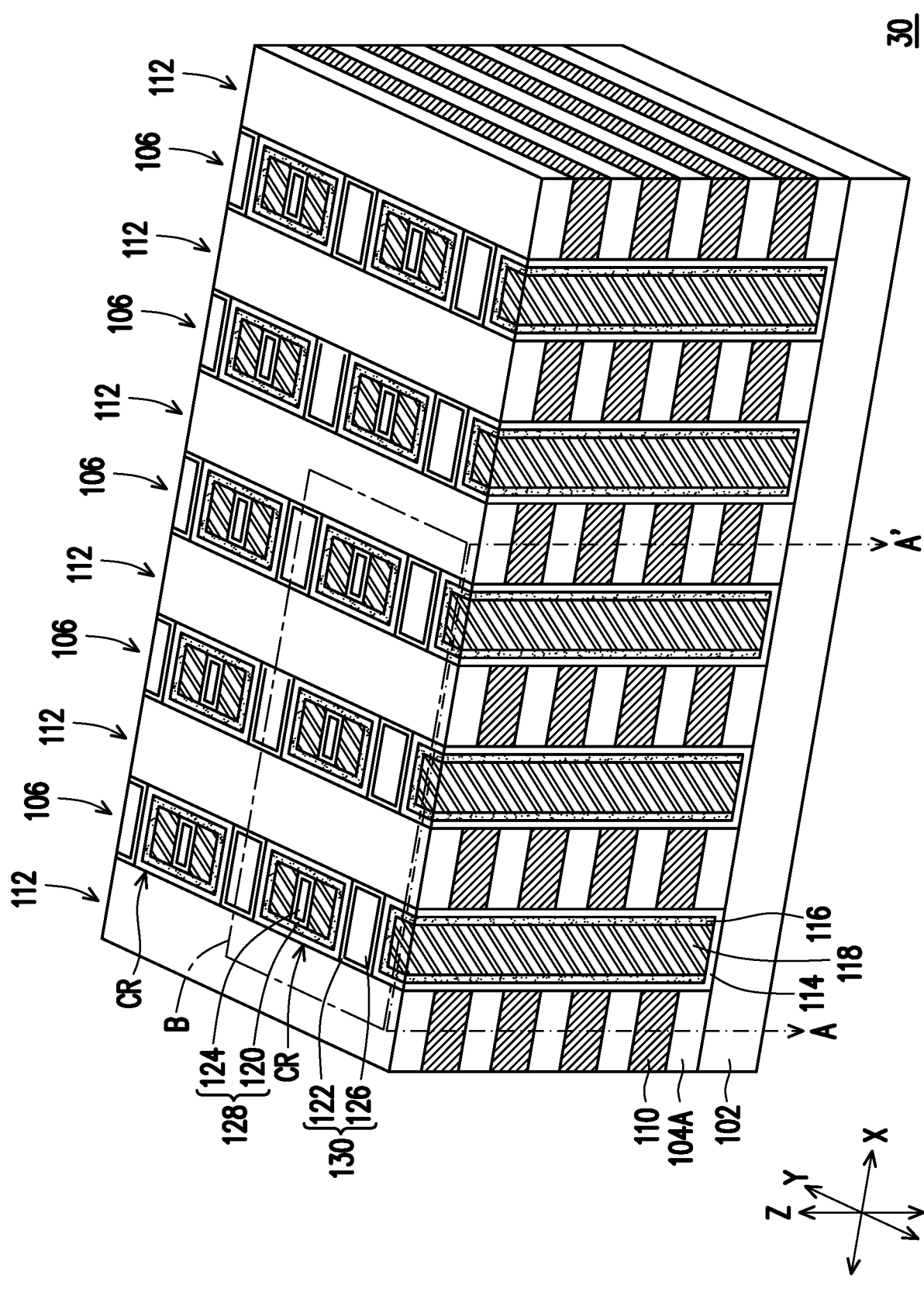
【圖14B】



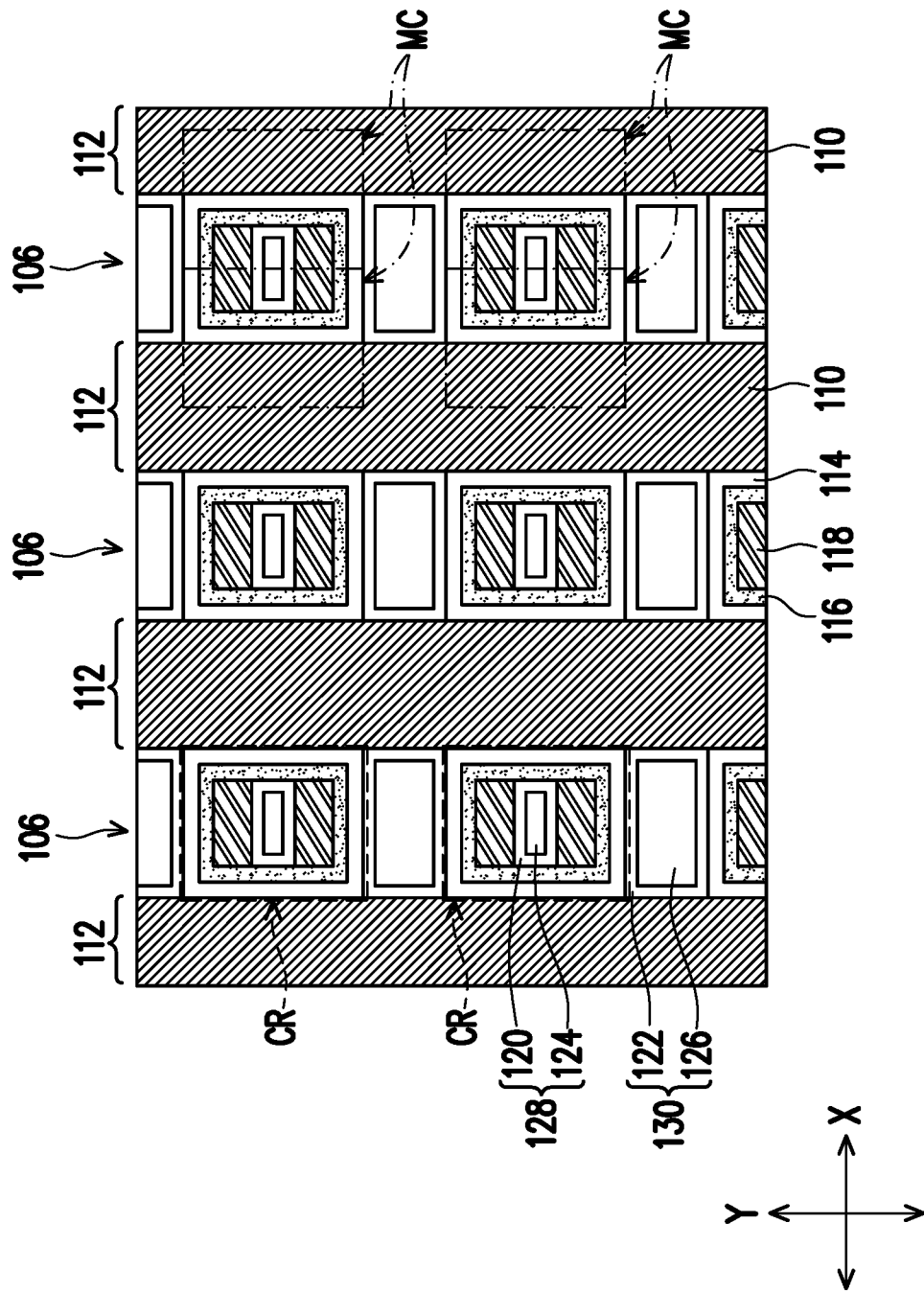
【圖15A】



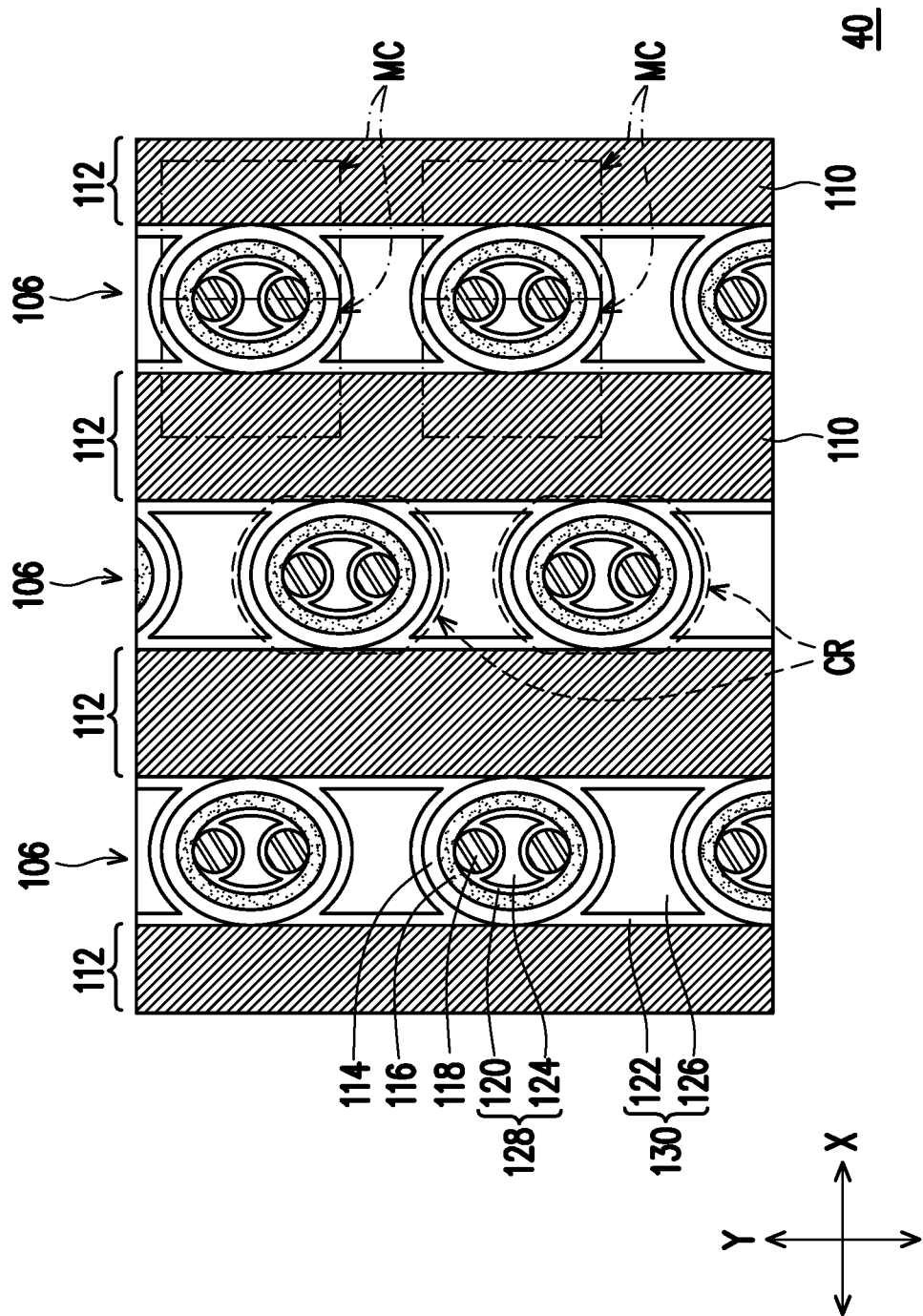
【圖15B】



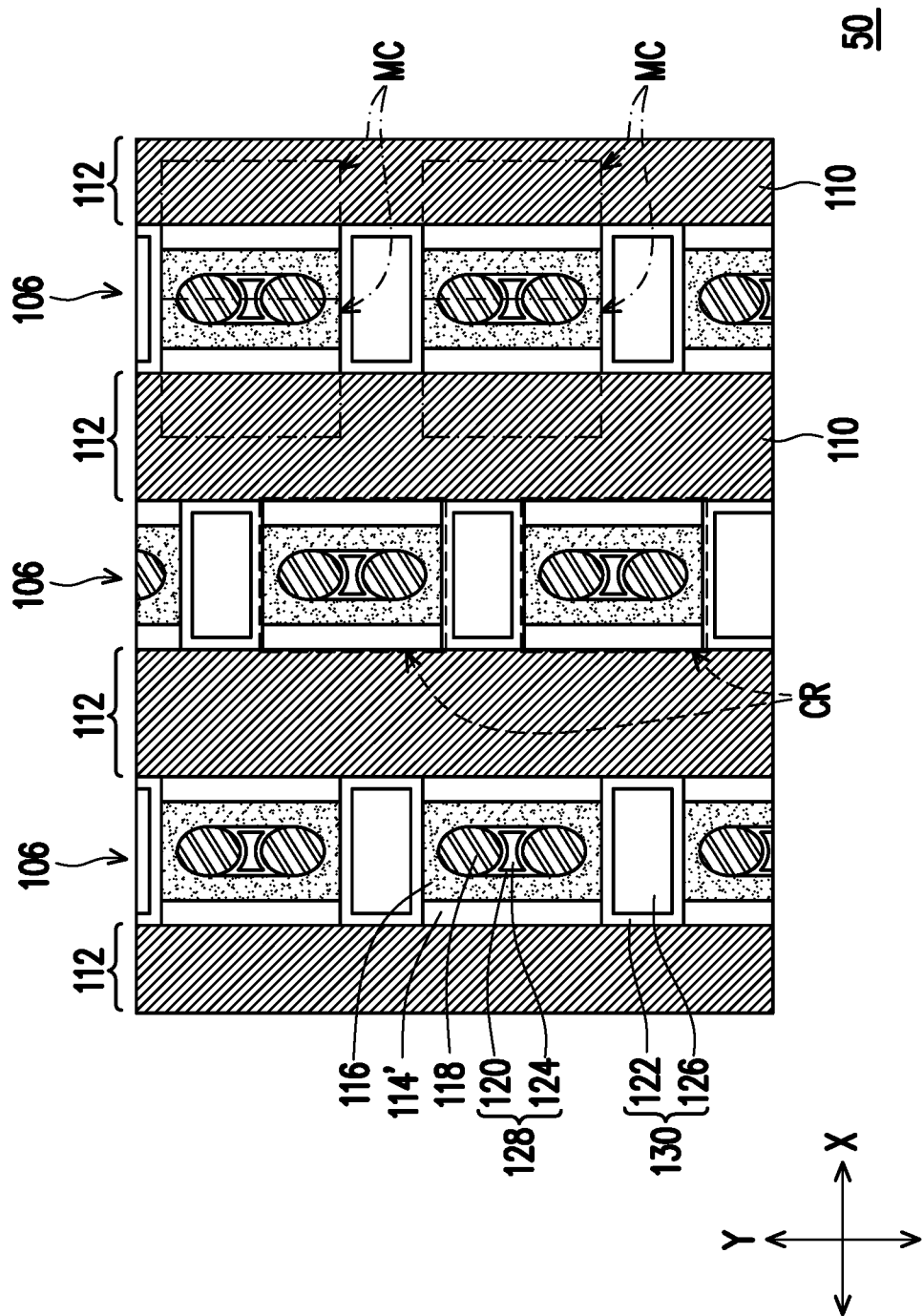
【圖16A】



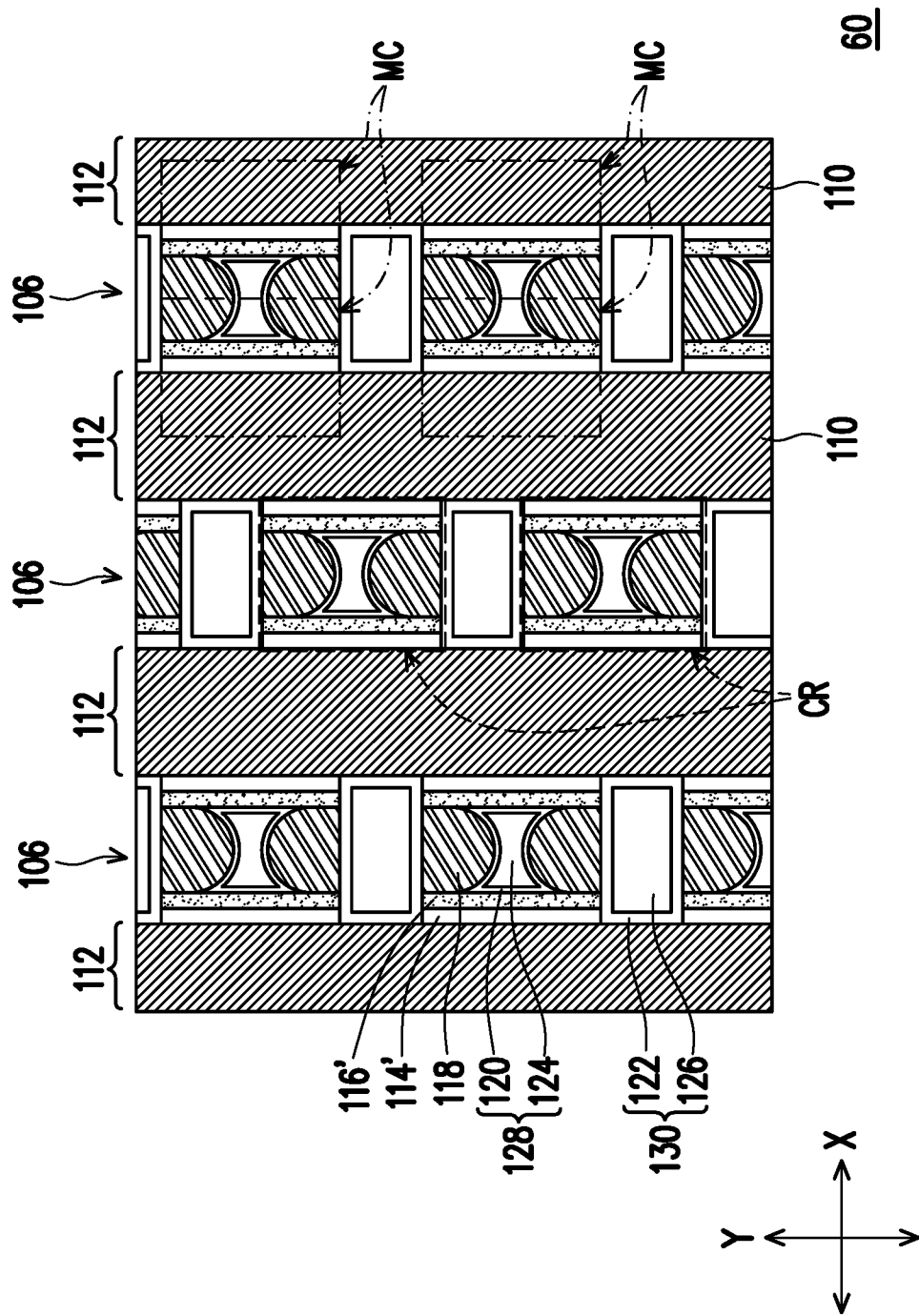
【圖16B】



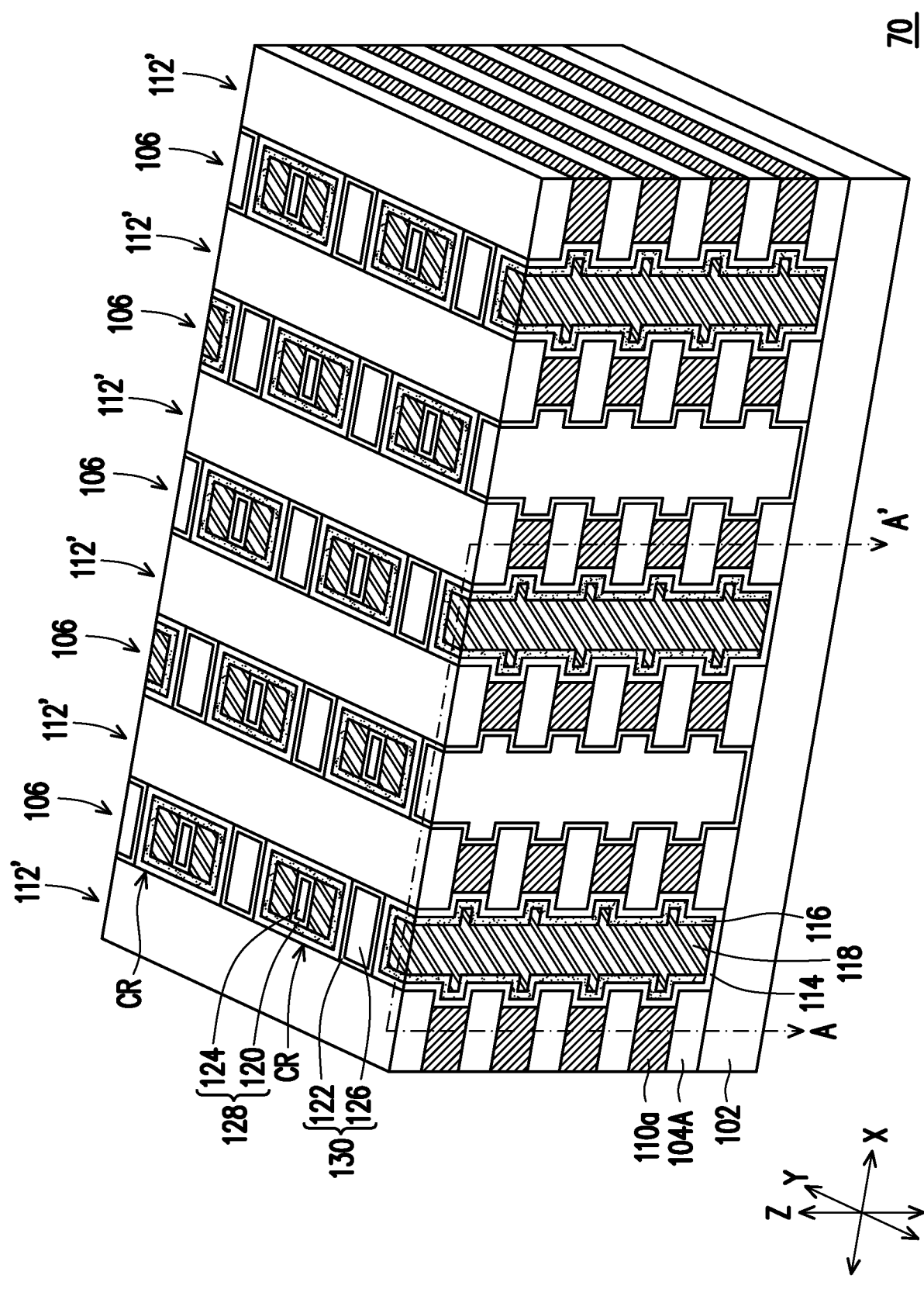
【圖17】



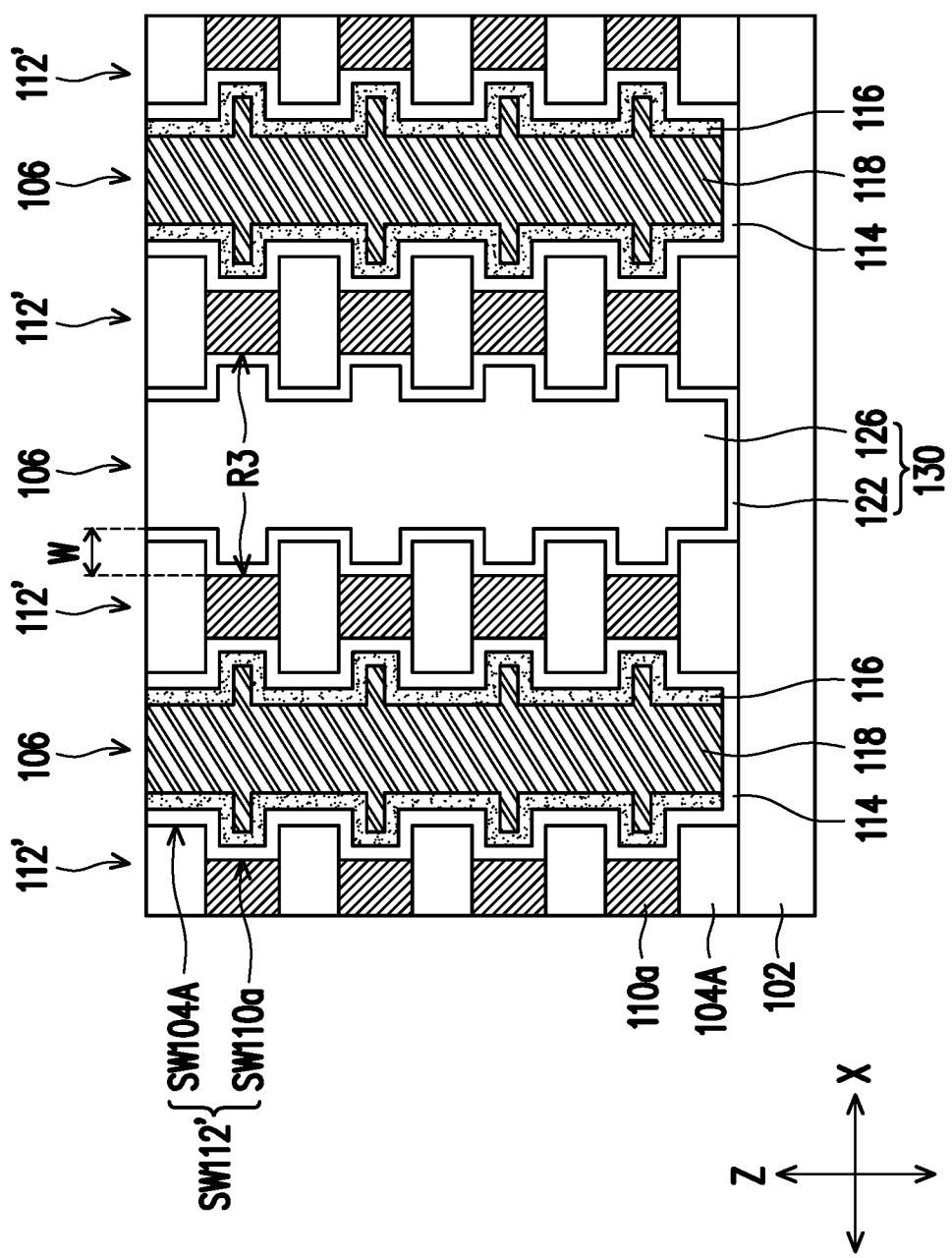
【圖18】



【圖19】



【圖20A】



【圖20B】