

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200480040446.1

[51] Int. Cl.

H01L 23/485 (2006.01)

H01L 27/02 (2006.01)

G06F 17/50 (2006.01)

[43] 公开日 2007 年 2 月 7 日

[11] 公开号 CN 1910752A

[22] 申请日 2004. 12. 17

[21] 申请号 200480040446.1

[30] 优先权

[32] 2004. 1. 14 [33] US [31] 10/758,148

[86] 国际申请 PCT/US2004/042879 2004. 12. 17

[87] 国际公布 WO2005/071749 英 2005. 8. 4

[85] 进入国家阶段日期 2006. 7. 14

[71] 申请人 斯班逊有限公司

地址 美国加利福尼亚州

[72] 发明人 N·杨 H·小川 Y·吴

K-T·常 Y·孙

D·G·哈密尔顿

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈 泊 程 伟

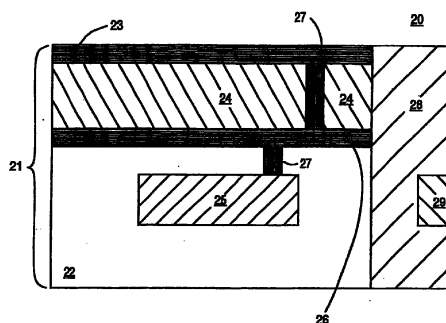
权利要求书 2 页 说明书 8 页 附图 10 页

[54] 发明名称

以垫下装置方式之晶圆区域的有效使用

[57] 摘要

更有效的使用硅面积系藉由加入有源装置(25)于半导体结构(20)的垫区(21)下方而达成。该垫区(21)包含上有第一金属层(23)之衬底(22)。第二金属层(26)则位在该第一金属层(23)的下方。该有源装置(25)是在第二金属层(26)下方的衬底(22)内。介电层(24)系将该第一(23)与第二金属层(26)隔开。在该介电层(24)内之一导通孔(27)系使该第一(23)与第二金属层(26)电性连接。一导通孔(27)系连接至该有源装置(25)。随后的金属层(424, 425, 426)系经布置成在该第一(23)与第二金属层(26)之间。



1. 一种半导体结构(20)，包含：
垫区(21)；以及
该半导体结构(20)的有源装置(25)，配置在该垫区(21)的下方。
2. 如权利要求 1 所述的半导体结构(20)，其中该有源装置(25)包含晶体管。
3. 如权利要求 1 所述的半导体结构(20)，其中该半导体结构(20)的组件(29)执行逻辑功能。
4. 如权利要求 1 所述的半导体结构(20)，其中该半导体结构(20)的组件(29)执行存储功能。
5. 如权利要求 1 所述的半导体结构(20)，其中该有源装置(25)包含第一装置，该半导体结构(20)进一步包含：
非垫区(28)，该非垫区至少部分地以该垫区(21)为界；以及
第二装置(29)，配置在该非垫区(28)内。
6. 如权利要求 5 所述的半导体结构(20)，其中该第一(25)与该第二装置(29)执行类似的功能。
7. 如权利要求 1 所述的半导体结构(20)，其中该垫区(21)包含：
衬底(22)；
第一金属层(26)，配置在该衬底(22)的上方，其中该有源装置(25)配置在该第一金属层(26)的下方；
第二金属层(23)，配置在该第一金属层(26)的上方。
8. 如权利要求 7 所述的半导体结构(20)，进一步包含：
介电层(24)，配置在该第一金属层(26)与该第二金属层(23)之间；

和

导通孔(27)，配置在该介电层(24)内，其中该导通孔(27)使该第一金属层(26)与该第二金属层(23)电性连接。

9. 如权利要求 7 所述的半导体结构(20)，在该第一(26)与该第二金属层(23)之间进一步包含后续金属层(424)。

10. 一种用于半导体结构(20)的垫区装置(21)，包含：

衬底(22)；

第一金属层(26)，配置在该衬底(22)的上方；

第二金属层(23)，配置在该第一金属层(26)的上方；以及

有源装置(25)，其中该有源装置(25)配置在该衬底(22)内。

以垫下装置方式之晶圆区域的有效使用

技术领域

本发明之具体实施例系有关半导体装置设计之领域。更特别的是，本发明之具体实施例系有关以垫下装置提供晶圆区域更有效的使用。

背景技术

半导体电路设计与制造技术的发展已成就极复杂又密集且运作于低电压的装置，例如闪存、集成电路、与逻辑电路以及其它装置。由于尺度缩放(scaling)系设计复杂又密集的半导体芯片所固有，因此有效使用可用的硅面积(silicon area)而不牺牲效能或劣化物理特性成为一项重要的考量。

有些芯片与晶圆之设计系加上一垫区(pad area)。该垫区通常是在集成电路与外部电路或系统之间可建立的界面处。芯片与外部电路且/或系统之间的界面可包含例如接合(bonding)、针测(probing)、与封装用之界面。为有效建立此等界面，相对于内部电路该垫区通常是宽大的。因此，该垫区明显占用不少芯片的硅面积。

以先进的闪存为例，该垫区占用包含 512 千位的典型内存扇区一半以上的面积。一典型垫之尺寸约为 80 微米 x 80 微米，因而覆盖的面积为 6,400 平方微米。对于有数个垫的芯片，例如范例的闪存芯片有 40 个垫，则垫区所覆盖的硅面积变为相当显著。例如，范例的闪存芯片上有 40 个垫，各覆盖 6,400 平方微米，则总共覆盖 50 万平方微米以上的硅衬底。

该垫区习知系与芯片内的其它电路隔开。垫与芯片内部电路隔开系有利于针测、接合、与封装，且使该垫区也可用来保护芯片免于静电释放(ESD)的潜在有害效应。与垫隔开后，芯片的电路与装置特性则运作于芯片内的其它地方。图 1 系图标习知半导体结构 10 之布局。半导体装置 10 的垫 11 与内部电路 12 的有源装置(active device)是被隔开的。

不过，随着芯片尺寸与工作电压的缩降，垫区所覆盖的硅面积之显著性则变得愈来愈大。该垫通常有数层金属层，最顶端一层用于接合、针测、与封装，下方的数个金属层通常是用来导引垫讯号在芯片的内部电路与例如外部系统之间的进出。最底下的金属层则直接连接于包含芯片之硅衬底。不过，在典型的垫下方之衬底内没有有源装置。

发明内容

由于芯片被设计成愈来愈密集、复杂且由于工作电压减少，以致想要更有效地使用硅。本发明之具体实施例可更有效地使用硅面积。在本发明之一具体实施例中，数个包含快闪或 SRAM 内存、集成电路、或其类似物的晶粒之半导体结构(例如晶圆片)系加上有源装置于垫区下方。该半导体结构的组件则可执行存储功能、逻辑功能、或其它功能。

兹揭示一种垫区下有有源装置之半导体结构。在一具体实施例中，半导体结构系具有垫区与配置于该垫区下方的有源装置。该有源装置可为例如，晶体管或电路。该有源装置可为该半导体结构数个装置中的一个，该半导体结构也可包含一个至少部份以该垫区为界之非垫区(non-pad)与另一配置于该非垫区内的有源装置。在一具体实施例中，该等数个装置执行类似之功能。

在一具体实施例中，该垫区包含衬底，其系带有配置于其上方之第一金属层且有第二金属层配置于该第一金属层下方。该有源装置(active component)配置在该第二金属层的下方。在一具体实施例中，该半导体结构也有配置于第一与第二金属层之间的介电层与配置于该介电层内的导通孔(via)，该介电层系使该第一与第二金属层电性连接。一导通孔则连接至该有源装置。可将后续的金属层配置在该第一与第二金属层之间。

一具体实施例系提供一种半导体结构用的垫区装置，该半导体结构在金属层下方具有配置于衬底内的有源装置。一具体实施例系提供一种用于制造半导体结构之方法，该半导体结构包含垫区，该垫区下有有源装置。

附图说明

为本专利说明书之一部份的附图系图解本发明之具体实施例，且与实施方式一并用来说明本发明之原理。诸图均不按比例图标。

图 1 系图标一习知半导体结构之上视图。

图 2 系根据本发明之一具体实施例图标于垫区下具有有源装置的半导体结构之断面图。

图 3 系根据本发明之一具体实施例图标于垫区下具有有源装置的半导体结构之上视图。

图 4 系根据本发明之一具体实施例图标底下有有源装置的垫区之断面图。

图 5 系根据本发明之一具体实施例图标底下有两个晶体管作为有源装置的垫区之断面图。

图 6 系根据本发明之一具体实施例图标用于制造半导体结构之方法的流程图。

图 7 系根据本发明之一具体实施例图标用于制造半导体结构之方法的流程图。

图 8 系根据本发明之一具体实施例图标用于制造垫区之方法的流程图。

图 9 系根据本发明之一具体实施例图标用于制造垫区之方法的流程图。

图 10 系根据本发明之一具体实施例图标用于制造垫区之方法的流程图。

具体实施方式

兹揭示一种垫区下有有源装置之半导体结构。以下本发明的详细说明中系提出许多供彻底了解本发明之特定细节。不过，显然熟谙此艺者可实施本发明而不需该等特定细节或者是等效者。其它的实施例、习知方法、制程、程序、组件、以及电路等不予详述以免模糊本发明之观点。

以下就方法这方面提出本发明具体实施例的部份详细说明。虽然方法的特定步骤与顺序系揭露于描述这些方法操作(例如方法 60、80、

90、与 100)的各图中(例如,图 6 至图 10),但这些步骤与顺序仅为范例。本发明之具体实施例均适合执行多种其它的步骤或本文流程图所描述诸步骤之变化,且顺序可不同于所图标与描述之顺序。

在此主要系以垫区下具有有源装置的半导体结构说明本发明。此半导体结构系垫下装置方式提供晶圆区域有效使用。在一具体实施例中,半导体结构系具有垫区与配置于该垫区下方的该半导体结构的有源装置。藉由加入装置于该垫区下方,本发明之具体实施例可改善硅面积的使用有效性。根据本发明具体实施例制造半导体结构除能提供经济效益,也可改善晶圆可用的个别晶粒之产量。

示范结构

图 2 系图标本发明一具体实施例的半导体结构 20 之断面图。半导体结构 20 有垫区 21,其系与非垫区 28 毗邻。非垫区 28 系至少部份以垫区 21 为界。半导体结构 20 有配置于该垫区 21 下方的有源装置 25。有源装置 25 可为例如晶体管。有源装置 25 可为半导体结构 20 的数个组件中之一个。例如,可将另一装置 29 配置于该非垫区 28 内。在一具体实施例中,装置 25 与 29 执行类似的功能。

该垫区 21 包含衬底 22。衬底 22 具有配置于其上方的第一金属层 26。衬底 22 也有第二金属层 23,其配置在该第一金属层 26 的上方。该有源装置 25 配置在该第一金属层 26 的下方。在一具体实施例中,该半导体结构 20 也有介电层 24,其配置在第一金属层 23 与第二金属层 26 之间。在一具体实施例中,导通孔 27 配置在该介电层 24 内。导通孔 27 系使该第一金属层 23 与第二金属层 26 电性连接。在一具体实施例中,导通孔 27 系连接至该有源装置。随后的金属层也可被配置在该第一金属层 23 与第二金属层 26 之间。

在一具体实施例中,衬底 22 包含硅。在一具体实施例中,该介电层 24 系层间介电质(ILD)且可包含材料,例如正硅酸乙酯(TEOS)、类似的介电材料、或其它的介电材料。金属层 23 与 26(以及任一层间的金属层)与导通孔 27 可包含任何导电材料,包含,但不受限于,铜、铝、金、银、钨、或任何其它导电金属、或其它的导电材料,尤其是例如复晶硅(POLY)与硅化钨。

图 3 系根据本发明之一具体实施例图标垫区 21 下具有有源装置(例

如,晶体管,电路,或其类似物,等等)的半导体结构 20 之上视图。半导体装置 20 的部份非垫区 29 系以垫区 21 为界。在一示范具体实施例中,半导体装置 20 包含闪存。

在此闪存中,该垫之尺寸可约为 80 微米 x 80 微米且半导体装置 20 的垂直尺寸约为 3,000 微米。在一示范性的具体实作中,可由半导体结构 20 之非垫区 29 切割 100 个个别的晶粒(例如,个别的有源装置)且可由该垫区 21 下方多切 3 个个别的有源装置。相较于垫区下无有源装置的半导体结构,此具体实作可增加百分之 3 的有源装置。

图 4 系根据本发明之一具体实施例图标底下有有源装置 25 的垫区 400 之断面图。垫区 400 配置在硅衬底 22 的上方,其中系配置有源装置 25。

在一具体实施例中,顶部金属层 23 系形成垫区 400 之上表面。在另一具体实施例中,顶部金属层 23 的上方可具有另一材料层,例如涂层,氧化物层,等等。第二金属层 424 配置在该顶部金属层 23 下方。层间介电层(ILD)24 被配置在顶部金属层 23 与第二金属层 424 之间。顶部金属层 23 与第二金属层 424 系藉由导通孔 27 而电性互连,在一具体实施例中,其包含复数个个别的导通孔。

第二金属层 424 下方系配置一第三金属层 425。第四金属层 426 配置在第三金属层 425 的下方。层间介电层(ILD)24 配置在第三金属层 425 与第四金属层 426 之间。第三金属层 425 与第四金属层 426 系藉由导通孔 27 而电性互连,在一具体实施例中,其包含复数个个别的导通孔。一导通孔 27 可使第三金属层 425 与第二金属层 424 电性连接。

底部金属层(M1)26 配置在硅衬底 22 上方且在第四金属层 426 下方。在一具体实施例中,可配置任何数层的额外金属层于底部金属层 26 上方以及于第四金属层 426 下方。可将层间介电层(ILD)24 配置于附加的金属层之间、附加金属层中之一层与底部金属层 26 且/或第四金属层 426 之间,且/或于该第三金属层 425 与第二金属层 424 之间。

导通孔 27 可使该等附加金属层中之任何一层电性相互连接且/或可使彼等电性连接于任一其它的金属层,例如底部金属层 26、或第四金属层 426。导通孔 27 可使底部金属层 26 电性连接于配置于其上方之任一金属层。导通孔 27 可使有源装置 25 电性连接于任一金属层,例

如底部金属层 26 或配置于其上方之任一金属层。

图 5 系根据本发明之一具体实施例图标底下有两个作为有源装置的晶体管 598 与 599 的垫区 500 之断面图。晶体管 598 与 599 均被配置在垫区 500 底下的硅衬底 22 内。垫区 500 系具有配置于衬底 22 上方的底部(M1)金属层 26。

晶体管 598 包含源极区 501 与汲极区 502，经配置在衬底 22 的适当掺杂区内。源极区 501 与汲极区 502 系各自藉由一个别的导通孔 527 电性连接于底部金属层 26 (或连接至另一金属层)。晶体管 598 也包含可为复晶硅 II(POLY-II)或另一闸极材料之闸极 503，其配置在源极区 501 与闸极区 502 的上方及其间且在底部金属层 26 的下方。

晶体管 599 包含源极区 504 与汲极区 505，经配置在衬底 22 的适当掺杂区内。源极区 504 与汲极区 505 系各自藉由一个别的导通孔 527 电性连接于底部金属层 26(或连接至另一金属层)。晶体管 599 也包含可为 POLY-II 或另一闸极材料之闸极 506，其配置在源极区 504 与闸极区 505 的上方及其间且在底部金属层 26 的下方。

在一具体实施例中，顶部金属层 23 系形成垫区 500 之上表面。第二金属层 424 配置在顶部金属层 23 的下方。层间介电层(ILD)24 配置在顶部金属层 23 与第二金属层 424 之间。顶部金属层 23 与第二金属层 424 系藉由导通孔 27 而电性互连，在一具体实施例中，其包含复数个个别的导通孔。

第二金属层 424 的下方系配置第三金属层 425。第四金属层 426 配置在第三金属层 425 的下方。层间介电层(ILD)24 配置在第三金属层 425 与第四金属层 426 之间。第三金属层 425 与第四金属层 426 系藉由导通孔 27 而电性互连，在一具体实施例中，其包含复数个个别的导通孔。导通孔 27 可使第三金属层 425 与第二金属层 424 电性连接。

底部金属层(M1)26 配置在硅衬底 22 上方与第四金属层 426 下方。在一具体实施例中，于底部金属层 26 上方与第四金属层 426 下方可配置任意数量的额外金属层。可将层间介电层(ILD)24 配置在附加金属层之间、附加金属层中之一层与底部金属层 26 且/或第四金属层 426 之间，且/或该第三金属层 425 与第二金属层 424 之间。导通孔 27 可使该等附加金属层中之任何一层电性相互连接且/或可使彼等电性连接于任一其

它的金属层，例如底部金属层 26、或第四金属层 426。导通孔 27 可使底部金属层 26 电性连接于配置于其上方之任一金属层。

示范方法

以下描述的方法系解释用于制造半导体结构与半导体结构用的垫区的方法。该方法可使用本技艺所习知的技术而予以具体实作，从而在此不予详述以免混淆本发明之具体实施例。例如，方法 80(图 8)之步骤 81 包含形成一衬底。形成衬底乃本技艺所习知，且任一可应用的技术均可用来完成步骤 81。同样，可适当应用任何一习知技术实施本发明之具体实施例。

此外，为求简明，系以列于一示范性顺序中的个别步骤说明以下所描述的方法。尽管将彼等之特定步骤与顺序揭示于本文的各图中(例如，图 6 至图 10)用来描述该方法(例如，方法 60、70、80、90、与 100)之作业，该等步骤及顺序仍只具示范性。本发明之具体实施例均适合多种其它的步骤或本文流程图所描述诸步骤之变体的执行，且顺序可不同于所图标与描述的顺序。

用于制造半导体结构之示范方法

图 6 系根据本发明之一具体实施例图标一种制造半导体结构用之方法 60 的流程图。方法 60 由步骤 61 开始，其中设置垫区。在步骤 62，有源装置(例如，晶体管)配置在该垫区的下方，即完成方法 60。

图 7 系根据本发明之一具体实施例图标用于制造半导体结构之方法 70 的流程图。方法 70 系由步骤 71 开始，其中设置垫区。在步骤 72，有源装置配置在该垫区的下方。

步骤 73 中，系设置非垫区，使得该非垫区至少部份以该垫区为界。步骤 74 中，系将第二组件(例如，有源装置、电路、等等)配置在该非垫区内，即完成方法 70。

用于制造半导体结构用的垫区的示范方法

图 8 系根据本发明之一具体实施例图标用于制造半导体结构用的垫区的方法 80 之流程图。方法 80 系由步骤 81 开始，其中系形成衬底。在步骤 82，有源装置(例如晶体管)配置在该衬底内。

在步骤 83，第一金属层配置在该衬底的上方。该第一金属层，于一具体实施例中，其包含配置于该衬底上方的底部(M1)金属层。步骤

84 中, 第二金属层配置在该第一金属层的上方, 即完成方法 80。

图 9 系根据本发明之一具体实施例图标用于制造垫区之方法 90 的流程图。方法 90 系由步骤 91 开始, 其中形成衬底。步骤 92 中, 有源装置(例如, 晶体管)配置在该衬底内。

在步骤 93, 第一金属层配置在该衬底的上方。该第一金属层, 在一具体实施例中, 包含配置于该衬底上方的底部(M1)金属层。步骤 94 中, 第二金属层配置在该第一金属层的上方。

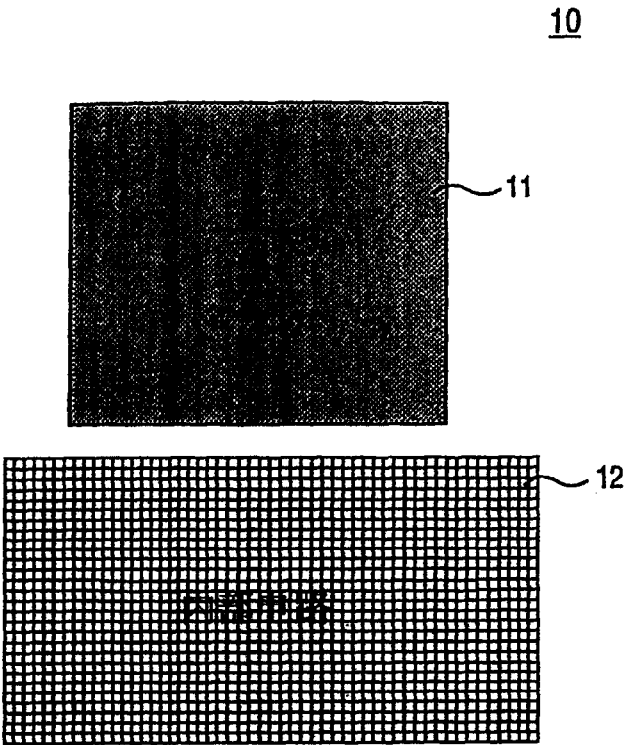
在步骤 95, 介电层, 例如层间介电层(ILD), 配置在该第一与第二金属层之间。步骤 96 中, 导通孔配置在该介电层内藉以使该第一与第二金属层电性连接。步骤 97 中, 一导通孔配置在该衬底内且在该第二金属层的下方, 藉以使该有源装置电性连接至一金属层, 即完成方法 90。

图 10 的流程图系根据本发明之一具体实施例图标制造半导体组件用的垫区的方法 100。方法 100 由步骤 101 开始, 其中系形成衬底。步骤 102 中, 有源装置, 例如晶体管, 配置在该衬底内。

步骤 103 中, 第一金属层配置在该衬底的上方。在一具体实施例中, 该第一金属层包含配置于该衬底上方的底部(M1)金属层。步骤 104 中, 第二金属层配置在该第一金属层的上方。

在步骤 105, 随后一金属层配置在该第一与第二金属层之间, 在一具体实施例中, 即完成 100。在另一具体实施例中, 可配置数层介电层藉以电性隔开数个金属层。在另一具体实施例中, 导通孔可经配置在该介电层内藉以使金属层电性相互连接且/或连接至该有源装置。

从而以本发明之具体实施例描述一种以垫下的装置更有效使用晶圆区域的方法。尽管已用特定的具体实施例描述本发明, 应了解, 本发明不应被解释成是受限于该等具体实施例, 反而是根据以下之申请专利范围解释本发明。



上视图

(先前技术)
图1

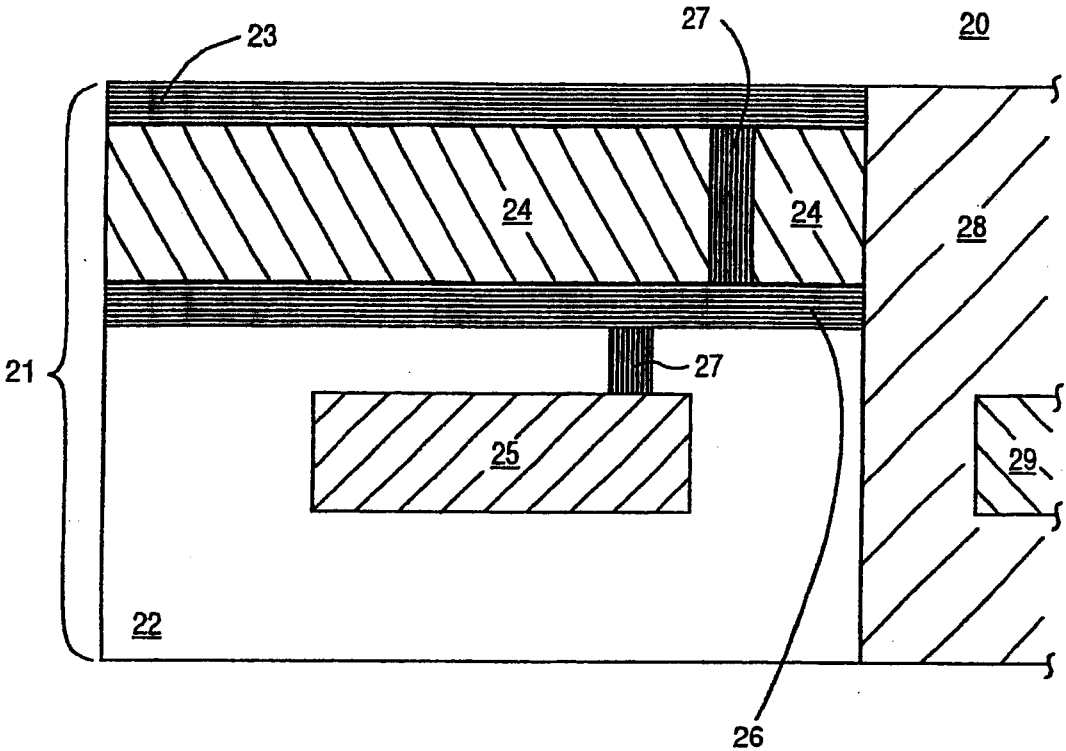
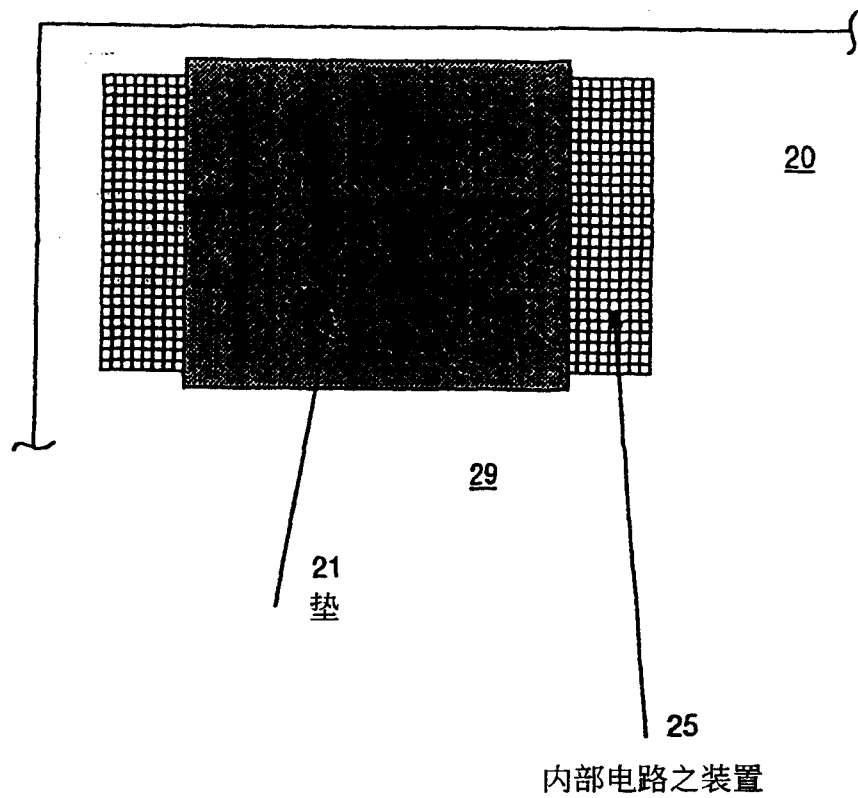
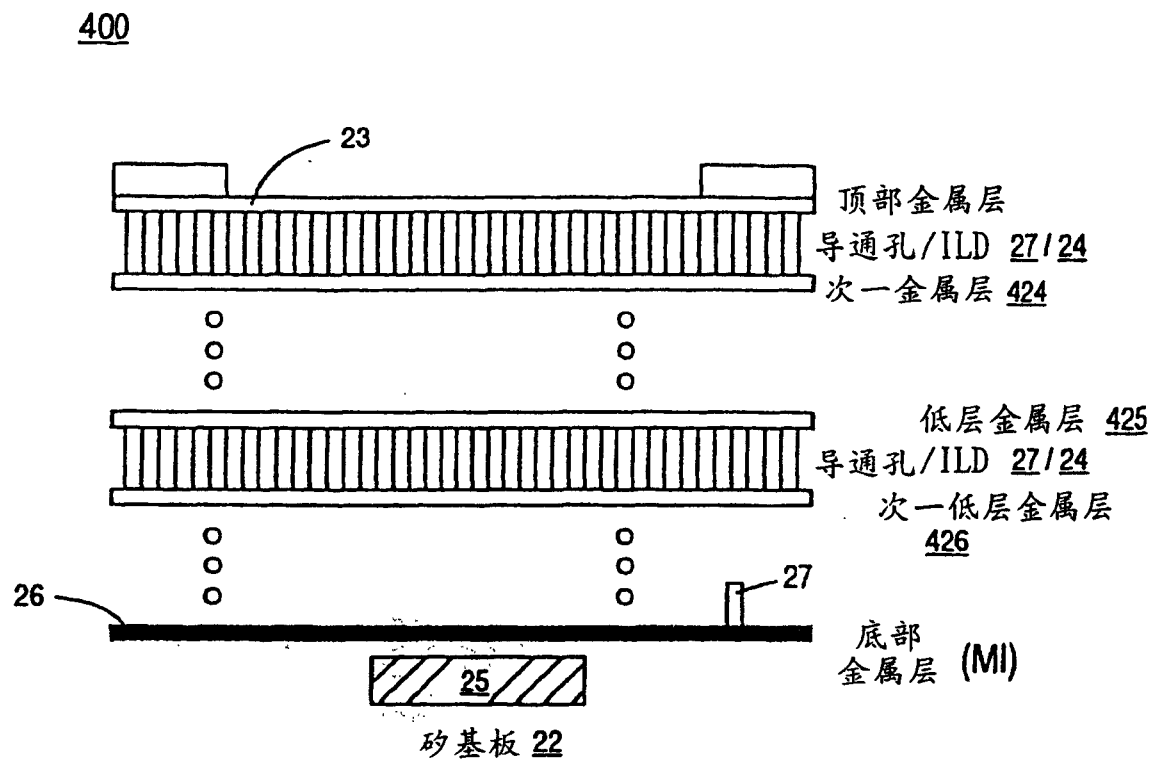


图2



上视图

图3



断面图

图 4

60 制造半导体结构

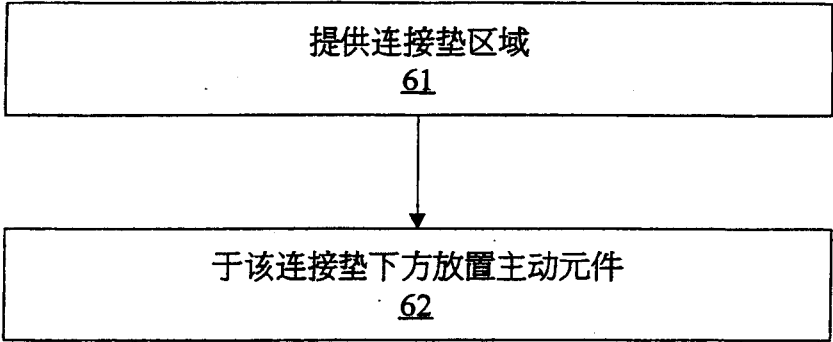


图6

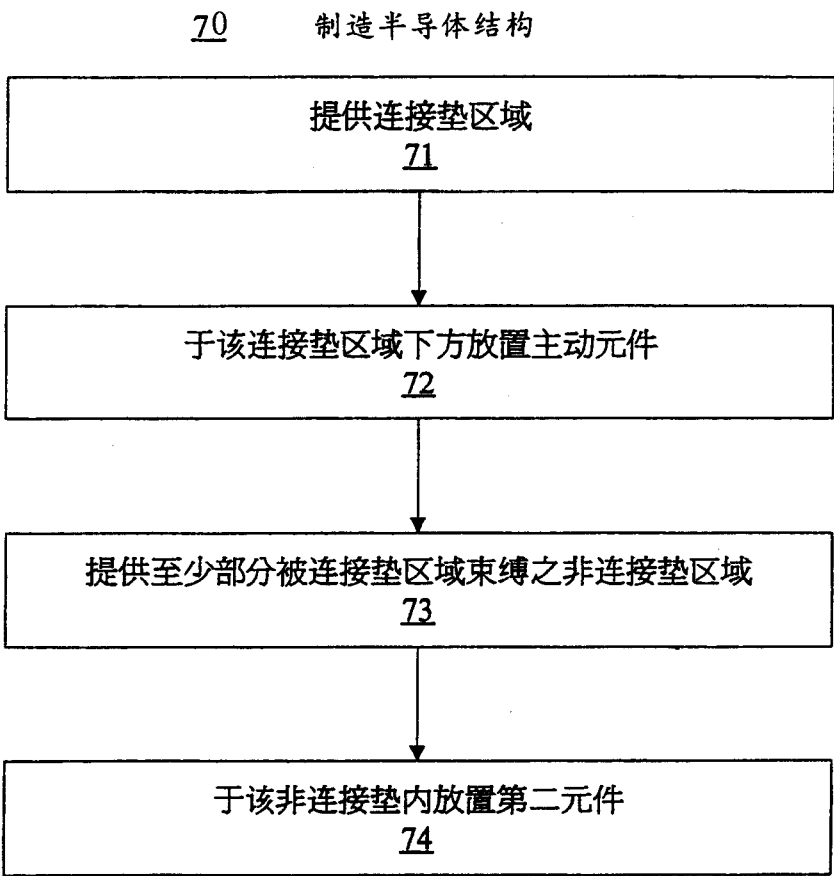


图7

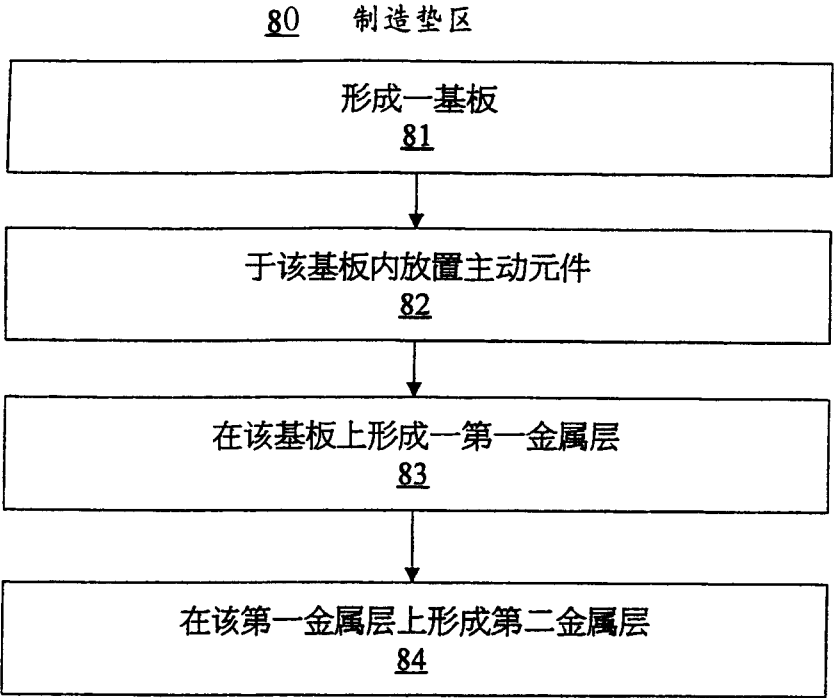


图8

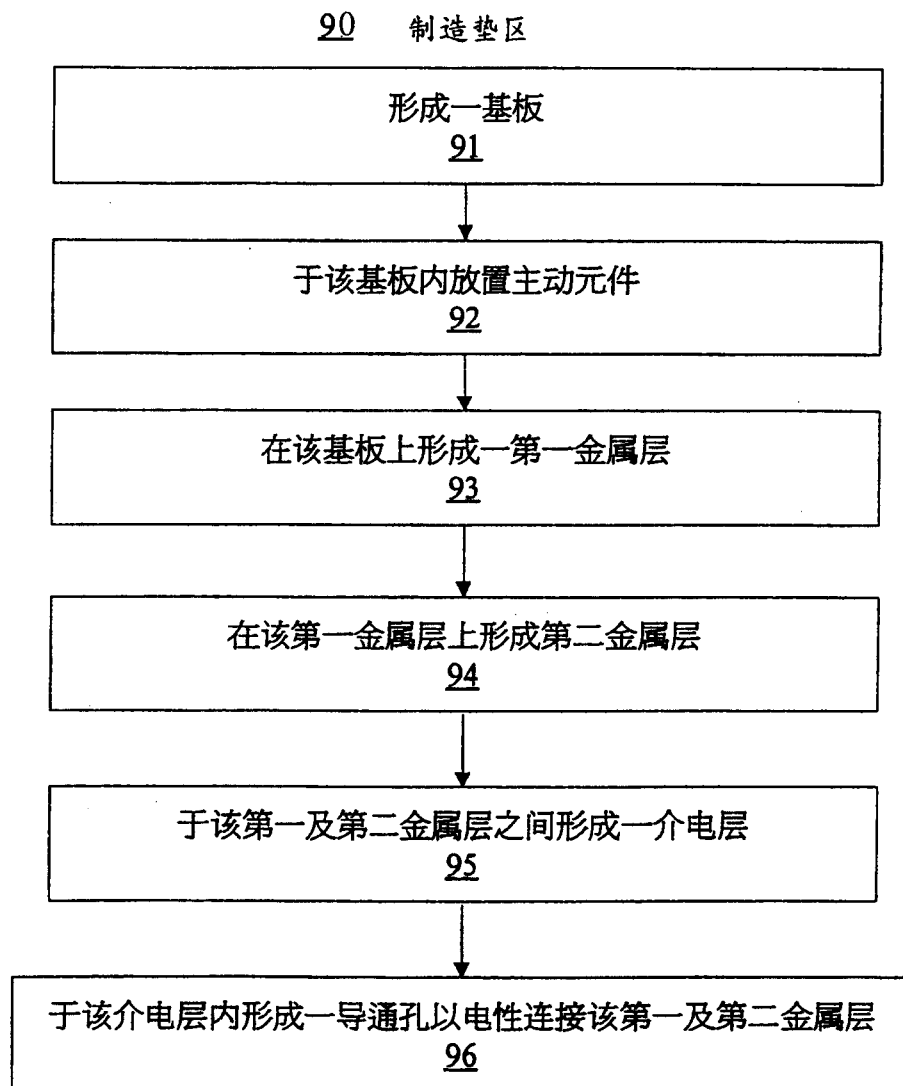


图 9

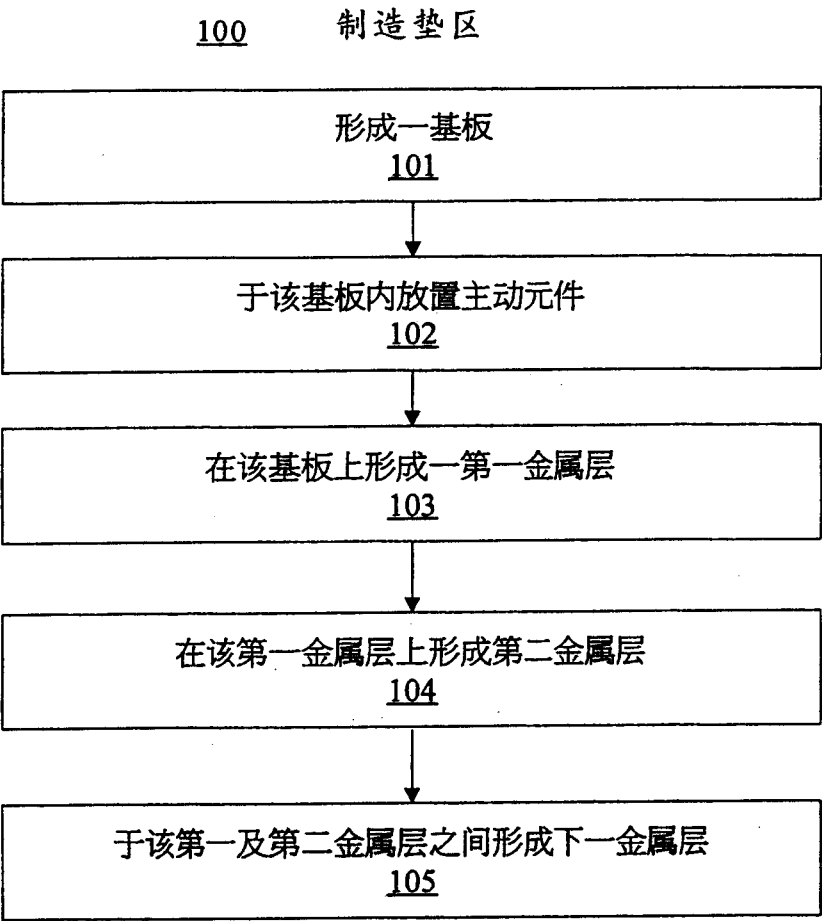


图10