

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年1月7日(2010.1.7)

【公開番号】特開2008-47602(P2008-47602A)

【公開日】平成20年2月28日(2008.2.28)

【年通号数】公開・登録公報2008-008

【出願番号】特願2006-219477(P2006-219477)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 6 5 2 H

H 01 L 29/78 6 5 8 G

H 01 L 29/78 6 5 8 E

H 01 L 29/78 6 5 8 A

【手続補正書】

【提出日】平成21年11月17日(2009.11.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型のNチャネル型半導体素子を備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)内に前記第1の第2導電型層(3)を形成することで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(10)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項2】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上または前記第2の第1導電型層(1)の面方向に隣接する第2の第2導電型層(19)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)または前記第2の第2導電型層(19)の面方向に繰り返し配置された繰り返し構造をなしており、

前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型のNチャネル

型半導体素子と前記第1の第2導電型層(3)をドリフト領域とする縦型のPチャネル型半導体素子とを備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)内に前記第1の第2導電型層(3)を形成することで、前記第1導電型の基板(10)を前記第1の第1導電型層(2)とした領域と前記第1の第2導電型層(3)との繰り返し構造を形成する工程と、

前記トレンチ(11)内に前記第1の第2導電型層(3)を形成することで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記第1導電型の基板(10)の裏面側において前記繰り返し構造のうち前記Nチャネル型半導体素子が形成された領域に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成し、前記繰り返し構造のうち前記Pチャネル型半導体素子が形成された領域に前記第1の第2導電型層(3)よりも不純物濃度が高い前記第2の第2導電型層(19)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項3】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)の不純物濃度を測定する工程およびトレンチ幅を測定する工程を含んでおり、

前記第1の第2導電型層(3)を形成する工程では、前記不純物濃度を測定する工程で得られた前記第1導電型の基板(10)の不純物濃度とトレンチ幅を測定する工程で得られた前記各第1の第2導電型層(3)の間の前記第1の第1導電型層(2)の幅との積が、前記各第1の第1導電型層(2)の間の前記第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積に等しくなるように、前記第1の第2導電型層(3)の不純物濃度を調整しつつ当該第1の第2導電型層(3)を形成することを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】

前記第1の第2導電型層(3)を形成する工程では、前記第1導電型の基板(10)の温度を段階的に下げる事なく当該第1の第2導電型層(3)を形成することを特徴とする請求項1ないし3のいずれか1つに記載の半導体装置の製造方法。

【請求項5】

前記繰り返し構造を形成する工程の後、当該繰り返し構造を構成する前記第1の第1導電型層(2)の表層部に前記縦型のNチャネル型半導体素子を形成する工程を含んでいることを特徴とする請求項1ないし4のいずれか1つに記載の半導体装置の製造方法。

【請求項6】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)を用意した後、前記第1導電型の基板(10)の表層部に前記縦型のNチャネル型半導体素子を形成する工程を含んでおり、

前記トレンチ(11)を形成する工程では、前記第1導電型の基板(10)のうち前記各縦型のNチャネル型半導体素子の間に前記トレンチ(11)を形成することを特徴とする請求項1ないし4のいずれか1つに記載の半導体装置の製造方法。

【請求項7】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

当該繰り返し構造を挟むように前記第2の第1導電型層(1)の面方向に酸化膜(13)が配置され、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型

のNチャネル型半導体素子を備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面に当該トレンチ(11)の幅の半分以下の厚さで前記第1の第2導電型層(3)をエピタキシャル成膜する工程と、

前記第1の第2導電型層(3)上に前記酸化膜(13)を形成して当該酸化膜(13)で前記トレンチ(11)を埋めることで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(10)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項8】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

当該繰り返し構造を挟むように前記第2の第1導電型層(1)の面方向に酸化膜(13)が配置され、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型のNチャネル型半導体素子を備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面を気相拡散するか若しくは前記トレンチ(11)の内壁面にイオン注入を行うことで前記トレンチ(11)の壁面を前記第1の第2導電型層(3)に形成する工程と、

前記第1の第2導電型層(3)上に酸化膜(13)を形成して当該酸化膜(13)で前記トレンチ(11)を埋めることで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(10)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項9】

前記繰り返し構造を形成する工程の後、当該繰り返し構造を構成する前記第1の第1導電型層(2)の表層部に前記縦型のNチャネル型半導体素子を形成する工程を含んでいることを特徴とする請求項7または8に記載の半導体装置の製造方法。

【請求項10】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(2)を用意した後、前記第1導電型の基板(10)の表層部に前記縦型のNチャネル型半導体素子を形成する工程を含んでおり、

前記トレンチ(11)を形成する工程では、前記第1導電型の基板(10)のうち前記各縦型のNチャネル型半導体素子の間に前記トレンチ(11)を形成することを特徴とする請求項7または8に記載の半導体装置の製造方法。

【請求項11】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)の不純物濃度を測定する工程を含んでおり、

前記縦型のNチャネル型半導体素子を形成する工程では、前記縦型のNチャネル型半導

体素子を形成した後、当該縦型のNチャネル型半導体素子の耐圧を測定する工程を含んでおり、

当該耐圧を測定する工程では、前記耐圧が基準値よりも低い場合、前記第1導電型の基板(10)の不純物濃度と前記各第1の第2導電型層(3)の間の前記第1の第1導電型層(2)の幅との積が、前記各第1の第1導電型層(2)の間の前記第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積に等しくなるように、前記第1導電型の基板(10)を熱処理して前記第1の第2導電型層(3)から当該第1の第2導電型層(3)に含まれる不純物イオンを前記酸化膜(13)に吸い出させる工程を含んでいることを特徴とする請求項9または10に記載の半導体装置の製造方法。

【請求項12】

前記第1の第2導電型層(3)を形成する工程では、当該第1の第2導電型層(3)の不純物濃度が前記第1導電型の基板(10)の不純物濃度よりも高くなるように前記第1の第2導電型層(3)を形成することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】

前記第1の第2導電型層(3)を形成する工程では、前記第1導電型の基板(10)の不純物濃度と前記各第1の第2導電型層(3)の間の前記第1の第1導電型層(2)の幅との積よりも、前記各第1の第1導電型層(2)の間の前記第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積が大きくなるように前記第1の第2導電型層(3)を形成することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項14】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)として、リン、もしくはヒ素、もしくはアンチモンを不純物としてドープしたものを用意することを特徴とする請求項1ないし13のいずれか1つに記載の半導体装置の製造方法。

【請求項15】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)として、不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下のものを用意することを特徴とする請求項1ないし14のいずれか1つに記載の半導体装置の製造方法。

【請求項16】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が前記第1の第1導電型層(2)よりも不純物濃度が低い第3の第1導電型層(15)に形成され、前記第3の第1導電型層(15)が外縁部に位置するように前記第1の第1導電型層(2)、前記第1の第2導電型層(3)、前記第3の第1導電型層(15)が第2の第1導電型層(1)上に形成されており、

さらに、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

当該繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)と、前記各第1の第1導電型層(2)間の第3の第1導電型層(15)をドリフト領域とする縦型のNチャネル型半導体素子を備えた半導体装置の製造方法であって、

第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意する工程と、

前記第1導電型の基板(18)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面を気相拡散するか若しくは前記トレンチ(11)の内壁面にイオン注入を行うことで前記トレンチ(11)の壁面を前記第1の第1導電型層(2)に形成する工程と、

前記第1の第1導電型層(2)上に第1の第2導電型層(3)をエピタキシャル成膜することで、前記第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(18)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成し、前記第2の第1導電型層(1)上の外縁部に前記第1導電型の基板(18)に基づく前記第3の第1導電型層(15)を構成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項17】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(2)が前記第1の第1導電型層(2)よりも不純物濃度が低い第3の第1導電型層(15)に形成されたトレンチ(11)内に配置され、前記第3の第1導電型層(15)が外縁部に位置するように前記第1の第1導電型層(2)、前記第1の第2導電型層(3)、前記第3の第1導電型層(15)が第2の第1導電型層(1)上に形成されており、

前記トレンチ(11)内では、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

さらに、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)と、当該第1の第1導電型層(2)に挟まれた前記第3の第1導電型層(15)をドリフト領域とする縦型のNチャネル型半導体素子を備えた半導体装置の製造方法であって、

前記第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意する工程と、

前記第1導電型の基板(18)の表面側に前記トレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面に前記第1の第1導電型層(2)をエピタキシャル成膜する工程と、

前記第1の第1導電型層(2)上に第1の第2導電型層(3)をエピタキシャル成膜することで、前記第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(18)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成し、前記第2の第1導電型層(1)上の外縁部に前記第1導電型の基板(18)に基づく前記第3の第1導電型層(15)を構成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項18】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上で当該第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

前記各繰り返し構造の間に前記第1の第1導電型層(2)よりも不純物濃度が低い第3の第1導電型層(15)が形成され、当該第3の第1導電型層(15)を挟んだ前記各繰り返し構造が酸化膜(13)に挟まれた状態になっており、

前記第3の第1導電型層(15)が外縁部に位置するように前記繰り返し構造、前記酸化膜(13)、前記第3の第1導電型層(15)が前記第2の第1導電型層(1)上に形成され、さらに前記第1の第1導電型層(2)と、前記各第1の第1導電型層(2)の間の前記第3の第1導電型層(15)をドリフト領域とする縦型のNチャネル型半導体素子を備えた半導体装置の製造方法であって、

前記第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意する工程と、

前記第1導電型の基板(18)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面を気相拡散するか若しくは前記トレンチ(11)の内壁面にイオン注入を行うことで前記トレンチ(11)の壁面を前記第1の第1導電型層(2)に形成する工程と、

前記トレンチ(11)の内壁面に前記第1の第2導電型層(3)をエピタキシャル成膜

することで、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)で構成される前記繰り返し構造を形成し、前記各繰り返し構造に挟まれた前記第1導電型の基板(18)を前記第3の第1導電型層(15)として構成する工程と、

前記第1の第2導電型層(3)上に前記酸化膜(13)を形成して当該酸化膜(13)で前記トレンチ(11)を埋める工程と、

前記繰り返し構造が形成された前記第1導電型の基板(18)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項19】

前記第1導電型の基板(18)を用意する工程では、当該第1導電型の基板(18)を用意した後、前記第1導電型の基板(18)の表層部に前記縦型のNチャネル型半導体素子を形成する工程を含んでおり、

前記トレンチ(11)を形成する工程では、前記第1導電型の基板(18)のうち前記各縦型のNチャネル型半導体素子の間に前記トレンチ(11)を形成することを特徴とする請求項16ないし18のいずれか1つに記載の半導体装置の製造方法。

【請求項20】

前記第1導電型の基板(18)の裏面側を薄膜化して、当該裏面側に前記第2の第1導電型層(1)を形成する工程の前に、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記各第1の第1導電型層(2)に挟まれた前記第3の第1導電型層(15)の表層部に前記縦型のNチャネル型半導体素子を形成する工程を含んでいることを特徴とする請求項16ないし18のいずれか1つに記載の半導体装置の製造方法。

【請求項21】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型半導体素子を備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表層部に前記縦型半導体素子を形成する工程と、

前記縦型の半導体素子を形成する工程のうち、最も熱履歴の大きな工程の後に、前記第1導電型の基板(10)の前記各縦型半導体素子の間に表面側よりトレンチ(11)を形成する工程と、

前記トレンチ(11)内に前記第1の第2導電型層(3)を形成することで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された後に、表面側に電極を形成する工程を含んでいることを特徴とする半導体装置の製造方法。

【請求項22】

前記縦型の半導体素子とは、MOSゲート構造であり、前記トレンチ(11)を形成する工程が、ゲート構造を形成された後になされることを特徴とする請求項21に記載の半導体装置の製造方法。

【請求項23】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)の不純物濃度を測定する工程を含んでおり、

前記トレンチ(11)を形成する工程では、トレンチ幅を測定する工程を含んでおり、

前記第1の第2導電型層(3)を形成する工程では、前記不純物濃度を測定する工程で得られた前記第1導電型の基板(10)の不純物濃度とトレンチ幅を測定する工程で得ら

れた前記各第1の第2導電型層(3)の間の前記第1の第1導電型層(2)の幅との積が、前記各第1の第1導電型層(2)の間の前記第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積に等しくなるように、前記第1の第2導電型層(3)の不純物濃度を調整しつつ当該第1の第2導電型層(3)を形成することを特徴とする請求項21または22に記載の半導体装置の製造方法。

【請求項24】

前記第1の第2導電型層(3)を形成する工程では、前記第1導電型の基板(10)の温度を段階的に下げるのことなく当該第1の第2導電型層(3)を形成することを特徴とする請求項21ないし23のいずれか1つに記載の半導体装置の製造方法。

【請求項25】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

当該繰り返し構造を挟むように前記第2の第1導電型層(1)の面方向に酸化膜(13)が配置され、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型半導体素子を備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表層部に前記縦型半導体素子を形成する工程と、前記縦型の半導体素子を形成工程のうち、最も熱履歴の大きな工程の後に、前記第1導電型の基板(10)の前記各縦型半導体素子の間に表面側よりトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面に当該トレンチ(11)の幅の半分以下の厚さで前記第1の第2導電型層(3)をエピタキシャル成膜する工程と、

前記第1の第2導電型層(3)上に前記酸化膜(13)を形成して当該酸化膜(13)で前記トレンチ(11)を埋めることで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された後に、表面側に電極を形成する工程を含んでいることを特徴とする半導体装置の製造方法。

【請求項26】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

当該繰り返し構造を挟むように前記第2の第1導電型層(1)の面方向に酸化膜(13)が配置され、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型のNチャネル型半導体素子を備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表層部に前記縦型半導体素子を形成する工程と、前記縦型の半導体素子を形成工程のうち、最も熱履歴の大きな工程の後に、前記第1導電型の基板(10)の前記各縦型半導体素子の間に表面側よりトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面を気相拡散するか若しくは前記トレンチ(11)の内壁面にイオン注入を行うことで前記トレンチ(11)の壁面を前記第1の第2導電型層(3)に形成する工程と、

前記第1の第2導電型層(3)上に酸化膜(13)を形成して当該酸化膜(13)で前

記トレンチ(11)を埋めることで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された後に、表面側に電極を形成する工程を含んでいることを特徴とする半導体装置の製造方法。

【請求項27】

前記縦型の半導体素子とは、MOSゲート構造であり、前記トレンチ(11)を形成する工程が、ゲート構造を形成された後になされることを特徴とする請求項25または26に記載の半導体装置の製造方法。

【請求項28】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)の不純物濃度を測定する工程を含んでおり、

前記縦型半導体素子を形成する工程では、前記縦型半導体素子を形成し前記繰り返し構造が形成された後に、当該縦型半導体素子の耐圧を測定する工程を含んでおり、

当該耐圧を測定する工程では、前記耐圧が基準値よりも低い場合、前記第1導電型の基板(10)の不純物濃度と前記各第1の第2導電型層(3)の間の前記第1の第1導電型層(2)の幅との積が、前記各第1の第1導電型層(2)の間の前記第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積に等しくなるように、前記第1導電型の基板(10)を熱処理して前記第1の第2導電型層(3)から当該第1の第2導電型層(3)に含まれる不純物イオンを前記酸化膜(13)に吸い出させる工程を含んでいることを特徴とする請求項25ないし27のいずれか1つに記載の半導体装置の製造方法。

【請求項29】

前記第1の第2導電型層(3)を形成する工程では、当該第1の第2導電型層(3)の不純物濃度が前記第1導電型の基板(10)の不純物濃度よりも高くなるように前記第1の第2導電型層(3)を形成することを特徴とする請求項28に記載の半導体装置の製造方法。

【請求項30】

前記第1の第2導電型層(3)を形成する工程では、前記第1導電型の基板(10)の不純物濃度と前記各第1の第2導電型層(3)の間の前記第1の第1導電型層(2)の幅との積よりも、前記各第1の第1導電型層(2)の間の前記第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積が大きくなるように前記第1の第2導電型層(3)を形成することを特徴とする請求項28に記載の半導体装置の製造方法。

【請求項31】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)として、リン、もしくはヒ素、もしくはアンチモンを不純物としてドープしたものを用意することを特徴とする請求項21ないし30のいずれか1つに記載の半導体装置の製造方法。

【請求項32】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)として、不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下のものを用意することを特徴とする請求項21ないし31のいずれか1つに記載の半導体装置の製造方法。

【請求項33】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が前記第1の第1導電型層(2)よりも不純物濃度が低い第3の第1導電型層(15)に形成され、前記第3の第1導電型層(15)が外縁部に位置するように前記第1の第1導電型層(2)、前記第1の第2導電型層(3)、前記第3の第1導電型層(15)が第2の第1導電型層(1)上に形成されており、

さらに、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

当該繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)と、前記各第1の第1導電型層(2)間の第3の第1導電型層(15)をドリフト領域とする縦型半導体素子を備えた半導体装置の製造方法であって、

前記第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意する工程と、

前記第1導電型の基板(18)の表層部に前記縦型半導体素子を形成する工程と、

前記縦型の半導体素子を形成工程のうち、最も熱履歴の大きな工程の後に、前記第1導電型の基板(18)の前記各縦型半導体素子の間に表面側よりトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面を気相拡散するか若しくは前記トレンチ(11)の内壁面にイオン注入を行うことで前記トレンチ(11)の壁面を前記第1の第1導電型層(2)に形成する工程と、

前記第1の第1導電型層(2)上に第1の第2導電型層(3)をエピタキシャル成膜することで、前記第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された後に、表面側に電極を形成する工程を含んでいることを特徴とする半導体装置の製造方法。

【請求項34】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(2)が前記第1の第1導電型層(2)よりも不純物濃度が低い第3の第1導電型層(15)に形成されたトレンチ(11)内に配置され、前記第3の第1導電型層(15)が外縁部に位置するように前記第1の第1導電型層(2)、前記第1の第2導電型層(3)、前記第3の第1導電型層(15)が第2の第1導電型層(1)上に形成されており、

前記トレンチ(11)内では、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

さらに、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)と、当該第1の第1導電型層(2)に挟まれた前記第3の第1導電型層(15)をドリフト領域とする縦型半導体素子を備えた半導体装置の製造方法であって、

前記第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意する工程と、

前記縦型の半導体素子を形成工程のうち、最も熱履歴の大きな工程の後に、前記第1導電型の基板(18)の前記各縦型半導体素子の間に表面側よりトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面に前記第1の第1導電型層(2)をエピタキシャル成膜する工程と、

前記第1の第1導電型層(2)上に第1の第2導電型層(3)をエピタキシャル成膜することで、前記第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された後に、表面側に電極を形成する工程を含んでいることを特徴とする半導体装置の製造方法。

【請求項35】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上で当該第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

前記各繰り返し構造の間に前記第1の第1導電型層(2)よりも不純物濃度が低い第3

の第1導電型層(15)が形成され、当該第3の第1導電型層(15)を挟んだ前記各繰り返し構造が酸化膜(13)に挟まれた状態になっており、

前記第3の第1導電型層(15)が外縁部に位置するように前記繰り返し構造、前記酸化膜(13)、前記第3の第1導電型層(15)が前記第2の第1導電型層(1)上に形成され、さらに前記第1の第1導電型層(2)と、前記各第1の第1導電型層(2)の間の前記第3の第1導電型層(15)をドリフト領域とする縦型半導体素子を備えた半導体装置の製造方法であって、

前記第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意する工程と、

前記縦型の半導体素子を形成工程のうち、最も熱履歴の大きな工程の後に、前記第1導電型の基板(18)の前記各縦型半導体素子の間に表面側よりトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面を気相拡散するか若しくは前記トレンチ(11)の内壁面にイオン注入を行うことで前記トレンチ(11)の壁面を前記第1の第1導電型層(2)に形成する工程と、

前記トレンチ(11)の内壁面に前記第1の第2導電型層(3)をエピタキシャル成膜することで、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)で構成される前記繰り返し構造を形成し、前記各繰り返し構造に挟まれた前記第1導電型の基板(18)を前記第3の第1導電型層(15)として構成する工程と、

前記第1の第2導電型層(3)上に前記酸化膜(13)を形成して当該酸化膜(13)で前記トレンチ(11)を埋める工程と、

前記繰り返し構造が形成された後に、表面側に電極を形成する工程を含んでいることを特徴とする半導体装置の製造方法。

【請求項36】

前記縦型の半導体素子とは、MOSゲート構造であり、前記トレンチ(11)を形成する工程が、ゲート構造を形成された後になされることを特徴とする請求項33ないし35のいずれか一つに記載の半導体装置の製造方法。