



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0085682  
(43) 공개일자 2008년09월24일

(51) Int. Cl.

H01L 23/48 (2006.01)

(21) 출원번호 10-2008-0017659

(22) 출원일자 2008년02월27일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-00072706 2007년03월20일 일본(JP)

(71) 출원인

신꼬오렌기 고교 가부시키가이샤

일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자

마치다 요시히로

일본국 나가노켄 나가노시 오시마다마치 80 신꼬  
오렌기 고교가부시키가이샤 내

(74) 대리인

문기상, 문두현

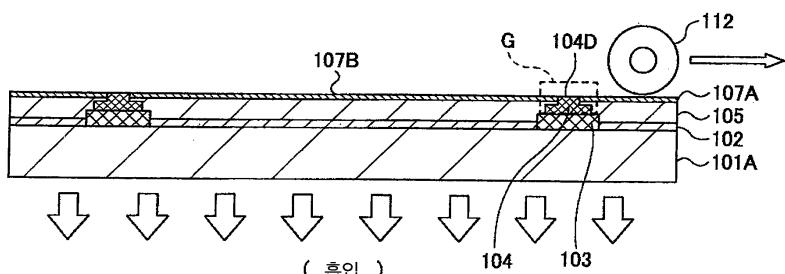
전체 청구항 수 : 총 7 항

(54) 전자 장치의 제조 방법, 기판 및 반도체 장치

### (57) 요 약

본 발명에 따른 제조 방법은 반도체 칩(101)에 설치된 전극 패드(103) 상에 돌기부(104B)를 가지는 범프(104)를 형성하는 공정과, 돌기부(104B)의 일부를 반도체 칩(101) 위에 형성된 절연층(105)의 상면에 노출시키는 공정과, 절연층(105)의 상면 및 선단부(104D)의 노출된 부분에 도전층(107A)을 형성하는 공정과, 선단부(104D)와 대향하는 도전층(107A)의 돌출된 부분을 연삭률(112)에 의해 제거하여 도전층(107A)으로부터 돌기부를 노출시키는 공정과, 도전층(107A)을 금전층으로 이용하는 전해 도금을 통해 도전층(108A)을 형성하고 도전층(108A)을 패터닝하는 공정을 포함한다.

대 표 도 - 도3g



## 특허청구의 범위

### 청구항 1

기판 본체에 설치된 전극 패드 상에 돌기부를 가지는 범프를 형성하는 제 1 공정과,  
상기 기판 본체 상에 절연층을 형성하고 상기 돌기부의 일부를 상기 절연층의 상면에 노출시키는 제 2 공정과,  
상기 절연층의 상면 및 상기 돌기부의 노출된 부분에 도전층을 형성하는 제 3 공정과,  
상기 돌기부와 대향하는 상기 도전층의 돌출된 부분을 기계 가공에 의해 제거하여 상기 돌기부를 상기 도전층으로부터 노출시키는 제 4 공정과,  
상기 도전층을 금전층으로 이용하는 전해 도금을 통해 배선층을 형성하고, 상기 배선층을 패턴링하여서 상기 범프에 접속되는 도전 패턴을 형성하는 제 5 공정을 포함하는 것을 특징으로 하는 전자 장치의 제조 방법.

### 청구항 2

제 1 항에 있어서,  
상기 기판 본체는 반도체 기판인 것을 특징으로 하는 전자 장치의 제조 방법.

### 청구항 3

제 1 항에 있어서,  
상기 제 4 공정에서 실시된 기계 가공은 연삭 처리인 것을 특징으로 하는 전자 장치의 제조 방법.

### 청구항 4

제 3 항에 있어서,  
상기 연삭 처리에서 사용되는 연삭 지석(砥石)의 절삭 위치는 상기 돌기부에 대향하지 않는 위치의 상기 도전층의 높이보다 높고, 상기 돌기부에 대향하는 위치의 상기 도전층의 높이보다 낮게 설정되는 것을 특징으로 하는 전자 장치의 제조 방법.

### 청구항 5

제 1 항에 있어서,  
상기 제 1 공정에서는 상기 범프가 본딩 와이어에 의해 형성되는 것을 특징으로 하는 전자 장치의 제조 방법.

### 청구항 6

전극 패드가 설치된 기판 본체와,  
상기 전극 패드 상에 형성되고 돌기부를 가지는 범프와,  
상기 기판 본체 상에 형성된 절연층과,  
상기 절연층 상에 형성된 도전층과,  
상기 도전층 상에 형성되고 상기 범프에 접속된 도전 패턴을 포함하고,  
상기 돌기부의 선단면과 상기 도전층의 상면이 동일한 높이로 되는 것을 특징으로 하는 기판.

### 청구항 7

전극 패드가 설치된 반도체 칩과,  
상기 전극 패드 상에 형성되고 돌기부를 가지는 범프와,  
상기 반도체 칩 상에 형성된 절연층과,  
상기 절연층 상에 형성된 도전층과,

상기 도전층 상에 형성되고 상기 범프와 접속된 도전 패턴을 포함하고,  
상기 돌기부의 선단면과 상기 도전층의 상면이 동일한 높이로 되는 것을 특징으로 하는 반도체 장치.

## 명세서

### 발명의 상세한 설명

#### 기술분야

<1> 본 발명은 전자 장치의 제조 방법, 및 기판과 반도체 장치에 관한 것으로, 특히 기판 본체와 그 위에 절연층을 통해 형성된 도전 패턴이 범프를 이용하여 서로 접속되는 구조를 가지는 전자 장치의 제조 방법, 및 기판과 반도체 장치에 관한 것이다.

#### 배경기술

<2> 예를 들면, 반도체 기판 또는 글래스(glass) 기판 등의 기판 상에 전극 및 도전 패턴을 형성한 다양한 전자 기기가 제공되어 왔다. 그들 중 하나로서, 칩 사이즈 패키지라 불리는 반도체 장치가 제공되었다(예를 들면, 특히 문헌 1 참조).

<3> 이 칩 사이즈 패키지는, 반도체 기판인 웨이퍼를 다이싱하여 얻어진 반도체 칩의 디바이스 형성면 상에, 패시비 이션층(보호층)을 통해 재배선(패키징을 위한 배선)을 형성한 구조를 가진다.

<4> 또한, 특히 문헌 1에 개시된 칩 사이즈 패키지를 제조하기 위해서는, 우선 반도체 웨이퍼의 반도체 칩 영역 상에 복수의 전극을 형성하고, 이 각 전극에 범프를 형성한다.

<5> 범프는 본딩 장치를 이용한 본딩 와이어에 의해 형성된다. 구체적인 형성 수순으로서는, 우선 본딩 장치에서의 모세관으로부터 연장된 본딩 와이어를 전극 패드에 본딩하고, 이어서 본딩 와이어를 풀어내면서 모세관을 상승시키고, 이렇게 풀어낸 본딩 와이어를 절단하여 범프를 형성한다.

<6> 이 때문에, 본딩 와이어에 의해 형성된 범프는 이 범프가 형성되는 면(전극 패드)으로부터의 높이에 불균일이 생기고, 이 상태에서 범프에 접속되는 재배선을 형성하는 것은 곤란해진다. 따라서, 다음 공정에서는, 형성된 각 범프에 대하여 일괄적으로 하중을 가하여, 범프의 상부를 실질적으로 평탄화하는 처리(레벨링 처리)를 행한다.

<7> 이어서, 범프가 형성된 반도체 웨이퍼를 수지로 덮고, 또한 이 수지를 연마하여 범프의 상면을 수지로부터 노출시킨다. 이어서, 이 수지로부터 노출된 각 범프에 솔더 볼을 형성한 후, 반도체 웨이퍼를 반도체 칩 영역마다 각각 분할 처리(다이싱 처리)하여서, 칩 사이즈 패키지를 제조한다.

<8> [특히 문헌 1]

<9> 일본국 특허 공개 공보 제2002-313985호

### 발명의 내용

#### 해결 하고자하는 과제

<10> 그러나, 특히 문헌 1에 따른 방법에서는, 범프의 높이 불균일을 시정하기 위해, 각 범프에 일괄하여 하중을 가하여 범프의 상부를 평탄화하는 레벨링 처리를 수행할 필요가 있다. 이 때문에, 제조 공정이 복잡해지는 문제 가 있다.

<11> 또한, 상기 특히 문헌 1에 따른 방법에서는, 범프를 덮도록 절연층을 형성한다. 따라서, 범프를 노출하기 위해서 절연층을 연마하는 연마 공정이 필요하다. 또한, 연마 공정 후에 재배선을 형성하기 위해서는, 예를 들면 무전해 도금법을 이용하는 경우에는 절연층의 표면의 조화(roughening) 처리(이른바, 디스미어(desmear) 처리)가 필요하다. 이 때문에, 도금층을 형성하기 위한 처리가 복잡해 진다. 결과적으로, 반도체 장치의 제조 비용이 증가한다.

<12> 또한, 스퍼터링법 또는 CVD법에 의해 도전층을 형성하는 것도 가능하다. 그러나, 이들 방법은 진공 처리 용기 를 가지는 고가의 성막 장치를 필요로 하므로, 제조 비용이 증가한다. 이 때문에, 이들은 현실적이지 않다.

<13> 이 점을 고려하여, 본 발명은 저 비용으로 제조가능한 높은 신뢰성의 전자 장치의 제조 방법 및 기판과 반도체 장치를 제공하는 것을 목적으로 한다.

### 과제 해결수단

<14> 상기의 과제를 해결하기 위해 본 발명에서는, 다음에 설명하는 수단이 취해지는 것을 특징으로 한다.

<15> 본 발명의 제 1 측면에 따르면, 기판 본체에 설치된 전극 패드 상에 돌기부를 가지는 범프를 형성하는 제 1 공정과, 상기 기판 본체 상에 절연층을 형성하고 상기 돌기부의 일부를 상기 절연층의 상면에 노출시키는 제 2 공정과, 상기 절연층의 상면 및 상기 돌기부의 노출된 부분에 도전층을 형성하는 제 3 공정과, 상기 돌기부와 대향하는 상기 도전층의 돌출된 부분을 기계 가공에 의해 제거하고 상기 돌기부를 상기 도전층으로부터 노출시키는 제 4 공정과, 상기 도전층을 급전층으로 이용하는 전해 도금을 통해 배선층을 형성하고, 상기 배선층을 패턴 내하여서 상기 범프에 접속되는 도전 패턴을 형성하는 제 5 공정을 포함하는 전자 장치의 제조 방법이 제공된다.

<16> 또한, 본 발명의 제 2 측면에 따르면, 기판 본체가 반도체 기판인 본 발명의 제 1 측면에 따른 전자 장치의 제조 방법이 제공된다.

<17> 또한, 본 발명의 제 3 측면에 따르면, 제 4 공정에서 실시된 기계 가공이 연삭 처리인 본 발명의 제 1 측면 또는 제 2 측면에 따른 전자 장치의 제조 방법이 제공된다.

<18> 또한, 본 발명의 제 4 측면에 따르면, 연삭 처리에서 사용되는 연삭 지석(砥石)의 절삭 위치는 상기 돌기부에 대향하지 않는 위치의 상기 도전층의 높이보다 높고, 상기 돌기부에 대향하는 위치의 상기 도전층의 높이보다 낮게 설정되는 본 발명의 제 3 측면에 따른 전자 장치의 제조 방법이 제공된다.

<19> 또한, 본 발명의 제 5 측면에 따르면, 제 1 공정에서는 상기 범프가 본딩 와이어에 의해 형성되는 본 발명의 제 1 측면 내지 제 4 측면 중 어느 하나에 따른 전자 장치의 제조 방법이 제공된다.

<20> 또한, 본 발명의 제 6 측면에 따르면, 전극 패드가 설치된 기판 본체와, 상기 전극 패드 상에 형성되고 돌기부를 가지는 범프와, 상기 기판 본체 상에 형성된 절연층과, 상기 절연층 상에 형성된 도전층과, 상기 도전층 상에 형성되고 상기 범프에 접속된 도전 패턴을 포함하고, 상기 돌기부의 선단면과 상기 도전층의 상면이 동일한 높이로 되는 기판이 제공된다.

<21> 또한, 본 발명의 제 7 측면에 따르면, 전극 패드가 설치된 반도체 칩과, 상기 전극 패드 상에 형성되고 돌기부를 가지는 범프와, 상기 반도체 칩 상에 형성된 절연층과, 상기 절연층 상에 형성된 도전층과, 상기 도전층 상에 형성되고 상기 범프와 접속된 도전 패턴을 포함하고, 상기 돌기부의 선단면과 상기 도전층의 상면이 동일한 높이로 되는 반도체 장치가 제공된다.

### 효과

<22> 본 발명에 따르면, 절연층의 상면 및 돌기부의 노출 부분의 상부에 도전층을 형성하고, 돌기부와 대향하는 돌출된 부분을 기계 가공에 의해 제거하여 돌기부를 도전층으로부터 노출시킨다. 따라서, 기판 본체로부터의 각 돌기부의 높이가 균일해지고 도전층의 상면과 동일한 높이로 된다. 결과적으로, 종래에 요구된 레벨링 처리가 불필요해지고, 범프의 돌기부를 절연층으로부터 노출시키는 연마 공정도 불필요해진다. 이로써, 제조 공정을 단순화할 수 있고 제조 비용을 절감할 수 있다.

<23> 또한, 돌기부와 대향하는 도전층의 돌출된 부분을 기계 가공에 의해 제거하면, 돌기부의 선단은 도전층의 상면과 동일 높이로 된다. 따라서, 제 4 공정을 실시한 직후에, 도전 패턴을 형성하는 것이 가능하다. 결과적으로, 제조 공정을 단순화할 수 있다.

### 발명의 실시를 위한 구체적인 내용

<24> 이어서, 본 발명을 실시하기 위한 최선의 형태를 도면을 참조하여 기술한다.

<25> 도 1a는 본 발명의 일 예에 따른 반도체 장치(100)를 나타낸 단면도이다. 도 1a를 참조하면, 이 예에 따른 반도체 장치(100)는 전극 패드(103)가 형성되는 반도체 칩(101)의 보호층(패시베이션층)(102) 상에, 절연층(105) 및 도전 패턴(106)이 설치되는 개략적인 구조를 가진다.

<26> 일부 경우에, 도전 패턴(106)은, 소위 재배선이라 하며, 반도체 칩(101)의 패키징에 이용된다. 절연층(105)은,

예를 들면 에폭시계 수지에 의해 구성된다. 도전 패턴(106)은, 예를 들면 Cu로 이루어지는 제 1 도전 패턴(107) 및 제 2 도전 패턴(108)이 적층되는 구성을 가진다.

- <27> 절연층(105) 상에 형성된 도전 패턴(106)은, 예를 들면 Au로 이루어지며 전극 패드(103) 상에 설치되는 범프(104)의 돌기부(후술함)에 접속된다. 구체적으로, 도전 패턴(106)은 범프(104)를 통해 반도체 칩(101)의 전자 회로에 접속된다. 범프(104)는, 예를 들면 와이어 본딩 장치를 이용한 본딩 와이어에 의해 형성된다.
- <28> 또한, 도전 패턴(106) 상에는, 솔더 범프(110)가 형성된다. 또한, 솔더 범프(110)의 주위에는, 절연층(105) 및 도전 패턴(106)의 일부를 덮도록 솔더 레지스트층(절연층)(109)이 형성된다.
- <29> 도 1b는 상기 반도체 장치(100)의 A부분(범프(104) 부근)을 확대하여 나타낸다. 도 1b에 나타낸 바와 같이, 범프(104)는 전극 패드(103)와 접속(본딩)되는 범프 본체(104A)와, 이 범프 본체(104A)로부터 돌출되는 돌기부(104B)로 구성된다.
- <30> 이 범프(104)는 와이어 본딩 장치를 이용하여서, 예를 들면 Au로 이루어진 본딩 와이어에 의해 형성된다. 와이어 본딩 장치는 본딩 와이어의 전극 패드(103)로의 본딩과, 상기 본딩 후에 본딩 와이어의 절단을 연속적으로 행함으로써, 전극 패드(103)에 본딩되는 범프 본체(104A)와 범프 본체(104A)로부터 돌출되는 돌기부(104B)를 형성한다.
- <31> 이 예에 따른 반도체 장치(100)에서, 돌기부(104B)는 돌기부(104B)의 선단에 형성된 평탄한 선단부(104D), 및 선단부(104D)와 범프 본체(104A) 사이에 설치된 접속부(104C)를 포함하도록 형성된다. 이 예에 따른 반도체 장치(100)는 돌기부(104B)가 도전 패턴(106)에 삽입되는 구조를 가지고, 삽입되는 돌기부(104B)의 선단부(104D)가 제 1 도전 패턴(107)의 상면(107B)과 동일 높이(동일 평면)인 것을 특징으로 한다.
- <32> 이 구성에 의해서, 제 1 도전 패턴(107) 및 선단부(104D) 상에 형성된 제 2 도전 패턴(108)은 단차가 없는 균일하고 평탄한 도전층일 수 있다. 결과적으로, 제 2 도전 패턴(108)의 전기적 특성은 안정화될 수 있고, 그 위에 형성되는 솔더 범프(110)의 높이는 균일화될 수 있다. 또한, 돌기부(104B)의 선단부(104D)가 제 1 도전 패턴(107)의 상면(107B)과 동일 높이(동일 평면)로 되므로, 미세 배선을 이를 수 있다.
- <33> 한편, 도 2는 본 발명의 일 예에 따른 회로 기판(120)을 나타낸다. 도 2에서, 도 1a 및 도 1b에 나타낸 구성에 대응하는 구성에 대해서는 동일한 참조 부호를 부여하고 그 설명은 부분적으로 생략한다.
- <34> 이 예에 따른 회로 기판(120)은 표면 전극(122)이 형성되는 클래스 기판(121) 상에, 절연층(105)과 도전 패턴(106)이 적층되는 개략적인 구조를 가진다. 또한, 클래스 기판(121)의 상면에 형성된 표면 전극(122) 상의 소정의 위치에는 범프(104)가 형성된다.
- <35> 이 예에서도 절연층(105)은, 예를 들면 에폭시계 수지에 의해 형성되고, 도전 패턴(106)은 Cu로 이루어진 제 1 도전 패턴(107)과 제 2 도전 패턴(108)이 적층되는 구성을 가진다.
- <36> 절연층(105) 상에 형성된 도전 패턴(106)은 표면 전극(122) 상에 형성된 범프(104)의 선단부(104D)에 접속된다. 구체적으로, 도전 패턴(106)은 범프(104)를 통해 표면 전극(122)에 접속된다. 또한, 절연층(105)과 도전 패턴(106) 각각의 상부에는 솔더 레지스트층(절연층)(109)이 형성되고, 그 소정의 개소는 개구되어 도전 패턴(106)이 노출하고 외부 전극(123)이 형성된다.
- <37> 이 예에 따른 회로 기판(120)에서도, 돌기부(104B)의 선단부(104D) 및 제 1 도전 패턴(107)의 상면(107B)은 서로 동일 높이(동일 평면)가 되도록 구성된다. 이 구성에 의해, 제 1 도전 패턴(107) 및 선단부(104D) 상에 형성된 제 2 도전 패턴(108)을 요철이 없는 평활한 패턴으로 설정할 수 있다. 그러므로, 전기적 특성은 안정될 수 있다.
- <38> 상기 각각의 예에서 제 1 도전 패턴(107) 및 제 2 도전 패턴(108) 모두는 Cu로 이루어지지만, 그것들을 Cu 이외의 재료에 의해 구성하는 것도 가능하다. 또한, 제 1 도전 패턴(107)과 제 2 도전 패턴(108)을 상이한 금속 재료(합금 재료)로 형성하고, 도전 패턴(106)을 상이한 재료의 적층 구조로 하여도 된다.
- <39> 이어서, 본 발명의 일 예에 따른 전자 장치의 제조 방법을 도 3a 내지 도 3m 및 도 4a 내지 4d를 참조하여 기술한다.
- <40> 전자 장치의 일 예로, 도 1a에 나타낸 반도체 장치(100)를 취하여, 반도체 장치(100)의 제조 방법에 대하여 기술한다. 또한, 이하의 설명에 이용되는 도 3a 내지 도 3m 및 도 4a 내지 도 4d에서, 상기 기술에 이용된 도 1a, 도 1b 및 도 2에 나타낸 구성과 대응하는 구성에는 동일한 참조 부호를 부여하고, 그 설명을 일부

생략한다.

- <41> 반도체 장치(100)를 제조하기 위해서, 우선 도 3a에 나타낸 공정에서, 공지된 방법을 이용함으로써, 전자 회로가 설치되는 복수의 영역(101a)(예를 들면, 격자형)을 가지는 반도체 기판(101A)(이것은 웨이퍼이며, 이하에서는 기판(101A)이라 함)을 제조한다.
- <42> 영역(101a)은 한 개의 반도체 칩(101)에 대응한다. 이 영역(101a)에서 전자 회로가 형성되는 디바이스 형성면(101b)에는, 전극 패드(103)가 형성된다. 또한, 디바이스 형성면(101b)의 전극 패드(103) 이외의 부분에는, 예를 들면 SiN(Si<sub>3</sub>N<sub>4</sub>)으로 이루어진 보호층(폐시베이션층)(102)이 설치된다. 결과적으로, 디바이스 형성면(101b)은 보호될 수 있다.
- <43> 도 3b는 도3a에 나타낸 기판(101A)의 영역(101a)을 확대하여 나타낸다. 도 3b 이하의 도면에서는, 도시 및 설명의 간편함을 위해 영역(101a)을 확대하여 나타낸다.
- <44> 도 3c에 나타낸 공정에서는, 전극 패드(103) 상에, 예를 들면 와이어 본딩 장치를 이용하여 범프(104)를 형성한다. 이 범프(104)는 Au로 이루어진 본딩 와이어에 의해 형성된다.
- <45> 도 4a는 도 3c의 C부분(범프(104))을 확대하여 나타낸다. 와이어 본딩 장치는 본딩 와이어의 전극 패드(103)로의 본딩 및 이 본딩된 본딩 와이어의 절단을 연속적으로 수행하여, 전극 패드(103)에 본딩되는 범프 본체(104A)와 범프 본체(104A)로부터 돌출되는 돌기부(104B)를 형성한다.
- <46> 이어서, 도 3d에 나타낸 공정에서, 기판(101A) 상(보호층(102) 상)에, 예를 들면 에폭시계 수지 재료에 의해 형성된 절연층(105)을 설치한다. 절연층(105)은, 예를 들면 적층(페이스팅(pasting)) 또는 도포에 의해 형성된다. 이 경우에, 절연층(105)의 상면으로부터 범프(104)의 돌기부(104B)가 노출되는 방식으로 절연층(105)이 형성된다.
- <47> 이 때문에, 상기 절연층(105)으로서는, 예를 들면 NCF라 불리는 필러(filler) 등의 경도 조정 재료가 거의 첨가되지 않은 연한 수지 재료를 이용하는 것이 바람직하다. 연한 수지 재료를 이용함으로써, 절연층(105)으로부터 돌기부(104B)를 확실하게 노출시킬 수 있다. 또한, 절연층(105)의 두께 역시, 절연층(105)의 형성 시에 돌기부(104B)가 절연층(105)의 상면으로부터 확실히 돌출되도록 선정된다.
- <48> 절연층(105)은 상기 재료에 한정되는 않고 다양한 절연 재료(수지 재료)를 이용하여 형성될 수 있다. 예를 들면, 절연층(105)으로서는, 통상 이용되는 소위 빌드업 수지(필러를 함유한 에폭시계 수지) 또는 ACF라 불리는 수지 재료를 이용하는 것도 가능하다.
- <49> 이어서, 도 3e에 나타낸 공정에서, 절연층(105) 상에는, 예를 들면 박형의 동박(copper foil)으로 이루어진 도전층(107A)을 부착한다. 이 도전층(107A)은, 예를 들면 그 위에 Cu로 이루어진 지지층(111)이 적층된 상태(도전층(107A)이 지지층(111)에 의해 지지된 상태)로 절연층(105)에 부착된다.
- <50> 도 4b는 도 3e의 E부분(범프(104) 부근)을 확대하여 나타낸다. 도 4b에 나타낸 바와 같이, 이 공정에서, 도전층(107A)은 범프(104)에 의해 밀어 올려져서, 지지층(111) 측으로 불룩해진 상태가 된다.
- <51> 이어서, 도전층(107A)을 지지하는 지지층(111)을 제거한다. 도 3f는 지지층(111)이 제거된 상태를 나타낸다. 또한, 도 4c는 도 3f의 F부분(범프(104) 부근)을 확대하여 나타낸다. 지지층(111)의 제거에 의해, 절연층(105) 상에는 도전층(107A)만이 형성된 상태가 된다. 이 경우에, 범프(104)와 대향하지 않는 도전층(107A)의 위치(돌출하지 않은 비 대향 위치)는 평坦면이 되지만, 범프(104)와 대향하는 위치(돌출한 대향 위치)는 상기와 같이 절연층(105)이 범프(104)에 의해 밀어 올려져서 불룩해진다.
- <52> 또한, 도 4c에 나타낸 화살표 H1은 기판(101A)의 상면으로부터 도전층(107A)의 비 대향 위치에서의 상면까지의 높이를 나타낸다. 또한, 도 4c에 나타낸 화살표 H2는 기판(101A)의 상면으로부터 범프(104)의 선단부(104D)까지의 높이를 나타낸다. 이 예에서, 각 높이(H1, H2)는 H1<H2이 되도록 설정된다.
- <53> 상기와 같이 지지층(111)이 제거되면, 기판(101A)의 상면에 대해서 기계 가공인 연삭 처리가 수행된다. 도 3f는 기판(101A)이 연삭 장치에 장착된 상태를 나타낸다. 이 장착 상태에서, 기판(101A)은 도시 생략한 흡착 테이블에 의해 흡입되어서 고정된다. 이어서, 연삭 룰(112)을 이용하여, 이 연삭 룰(112)을 도면의 화살표 방향으로 이동하여 연삭 처리가 수행된다.
- <54> 연삭 룰(112)은 연마 입자를 굽기 및 경화함으로써 얻어진다. 연삭 룰(112)을 회전시켜 이동시킴으로써, 피가 공물의 표면에 대하여 연삭 처리를 수행할 수 있다. 이 예에서, 기판(101A)의 상면으로부터 연삭 룰(112)의 연

작 작업이 수행되는 위치(연삭 위치라 함)에서의 높이(H로 나타냄)는 기판(101A)의 상면으로부터 도전층(107A)의 비 대향 위치에서의 상면(107B)까지의 높이(H1)(이하, 상면 높이(H1)라 함)과 동일하거나 약간 높고, 기판(101A)의 상면으로부터 범프(104)의 선단부(104D)까지의 높이(H2)(이하, 돌기 높이(H2)라 함)보다 낮은 높이로 설정된다( $H1 \leq H < H2$ ).

<55> 이와 같이, 연삭 룰(112)의 연삭 위치를 설정하고, 이 연삭 룰(112)을 도 3f에 나타낸 위치로부터 도 3g에 나타낸 위치까지 이동시킨다. 결과적으로, 범프(104)(돌기부(104B))와 대향하여 불룩해진 도전층(107A) 부분은, 연삭 룰(112)에 의해 연삭된다.

<56> 이 경우에, 상기와 같은 연삭 위치(H)는 상면 높이(H1)보다 높고 돌기 높이(H2)보다 낮다( $H1 \leq H < H2$ ). 따라서, 도전층(107A)의 상면(107B)에서는 연삭 처리가 거의 수행되지 않는다. 한편, 도전층(107A)이 상면(107B)으로부터 불룩해진 대향 위치에서는, 도전층(107A) 및 돌기부(104B)가 연삭 룰(112)에 의해 연삭된다(제거된다).

<57> 도 3g는 상기와 같은 연삭 룰(112)의 연삭 처리가 수행된 상태를 나타낸다. 또한, 도 4d는 도 3g의 G부분(범프(104) 부근)을 확대하여 나타낸다. 각 도면에 나타낸 바와 같이, 상기 조건에서 연삭 룰(112)에 의해 연삭 처리를 수행한다. 이로써, 대향 위치에서의 도전층(107A) 및 범프(104)의 선단부(104D)는 연삭 처리를 통해 제거된다. 결과적으로, 범프(104)의 선단부(104D)는 도전층(107A)으로부터 노출되고, 그 노출된 선단부(104D)와 도전층(107A)의 상면(107B)은 요철이 없고 서로 동일 높이가 된다.

<58> 상기 도 3c의 고정에서, 기판(101A)에는 복수의 범프(104)가 형성된다. 연삭 위치(H)가 일정한 연삭 룰(112)에 의해 모든 범프(104)에 연삭 처리가 실시된다. 결과적으로, 각 범프(104)의 선단부(104D)의 모든 돌기 높이(H2)(기판(101A)의 상면으로부터의 높이)는 서로 동일하다. 이와 같이, 이 예에서는 종래에 수행된 레벨링 처리를 실시하지 않고, 모든 범프(104)의 돌기 높이(H2)를 서로 동일하게 할 수 있다.

<59> 와이어 본딩법(본딩 와이어)을 이용하여 형성된 범프(104)는 생산성이 높지만, 비교적 높이의 불균일이 크다. 또한, 범프(104)에 있어서, 이 예에 따른 제조 방법을 사용함으로써 간단한 공정으로 용이하게 범프(104)의 돌기 높이(H2)를 서로 동일하게 할 수 있다. 그러므로, 제조되는 반도체 장치(100)의 신뢰성을 높일 수 있다. 도전층(107A)은 후술하는 전해 도금 공정에서, 급전층(시드층)으로 이용된다.

<60> 이어서, 도 3h 내지 도 3j에 나타낸 공정에서, 도전층(107A)을 급전층(시드층)으로 이용하는 전해 도금을 통해, 범프(104)에 접속되는 도전 패턴(106)을 형성한다.

<61> 이 도전 패턴(106)을 형성하는 방법은, 예를 들면 소위 서브트랙티브(subtractive)법과 세미애디티브(semiadditive)법이 있다. 이 예에서는 서브트랙티브법을 이용한 예에 대하여 설명한다.

<62> 우선, 도 3h에 나타낸 공정에서, 도전층(107A)을 급전층으로 이용한 전해 도금을 통해, 도전층(107A) 및 선단부(104D) 상에, 예를 들면 Cu로 이루어진 도전층(108A)을 적층한다. 상기와 같이, 선단부(104D)는 도전층(107A)의 상면(107B)과 동일 높이이다. 따라서, 이렇게 형성된 도전층(108A)은 요철이 없는 평坦하고 양호한 층이 된다. 도 4e는 도 3h의 H부분(범프(104) 부근)을 확대하여 나타낸다.

<63> 이어서, 도 3i에 나타낸 공정에서, 도전층(108A) 상에는 개구부(Ra)를 가지는 마스크 패턴(R1)을 형성한다. 마스크 패턴(R1)은 도포 또는 막의 부착을 통한 레지스트층의 형성 및 포토리소크래피법을 이용한 레지스트층의 패터닝에 의해 설치될 수 있다.

<64> 이어서, 도 3j에 나타낸 공정에서, 마스크 패턴(R1)을 마스크로 이용하여 도전층(107A, 108A)에 패턴 에칭을 수행한다. 결과적으로, 제 1 도전층(107) 및 제 2 도전층(108)이 적층되고 범프(104)에 접속된 도전 패턴(106)이 형성된다.

<65> 예를 들면, 상기 제 1 도전 패턴(107)은 두께가 대략  $2\mu\text{m}$  내지  $3\mu\text{m}$ 이고 제 2 도전 패턴(108)은 두께가 대략  $30\mu\text{m}$  내지  $40\mu\text{m}$  정도이지만, 상기 수치는 예일뿐이며, 본 발명은 이 수치로 한정되지 않는다.

<66> 상기 도전 패턴(106)의 형성에서, 상기 도전층(107A)을 급전층으로 이용하여 전해 도금의 이용이 용이할 수 있다. 예를 들면, 급전층(시드층)을 무전해 도금에 의해 형성하는 경우에는, 절연층의 표면의 조화 처리(소위, 디스미어(desmear) 처리)가 필요하다. 결과적으로, 도금층을 형성하기 위한 처리가 복잡해진다. 또한, 스퍼터링에 의해 급전층을 형성하는 경우에는, 진공 처리 용기를 가지는 고가의 성막 장치가 요구된다. 그러므로, 제조 비용이 상승하게 된다.

<67> 한편, 이 예에 따른 방법에서는, 디스미어 처리나 진공실에서의 스퍼터링 처리가 불필요하고, 단순한 방법에 의

해서 용이하게 급전층(도전층(107A))을 형성할 수 있다. 따라서, 이 방법에 따르면 반도체 장치가 단순하게 제조되어서, 제조 비용을 저감할 수 있다.

<68> 이어서, 도 3k에 나타낸 공정에서, 필요에 따라 도전 패턴(106)(Cu)의 표면은 조화 처리가 실시된 후, 절연층(105) 상에 개구부(109A)를 가지는 솔더 레지스트층(절연층)(109)을 형성한다. 개구부(109A)로부터는 도전 패턴(106)의 일부가 노출된다.

<69> 이어서, 도 31에 나타낸 공정에서, 필요에 따라 기판(101A)의 이면을 연삭하여 기판(101A)을 소정의 두께로 한다.

<70> 이어서, 도 3m에 나타낸 공정에서, 필요에 따라 개구부(109A)로부터 노출된 도전 패턴(106) 상에 솔더 범프(110)를 형성한다. 또한, 기판(101A)에 다이싱을 수행하여 반도체 칩을 개별 조각으로 나눈다. 결과적으로, 도 1a에 나타낸 반도체 장치(100)를 제조할 수 있다.

<71> 상기 제조 방법에서는 도전 패턴(106)을 서브트랙티브법에 의해 형성하였지만, 도전 패턴(106)을 세미애디티브법을 이용하여 형성해도 된다. 이 경우에, 예를 들면 상기 제조 방법에서 도 3a 내지 도 3g에 나타낸 공정을 실시하고, 도 3h 내지 도 3j에 나타낸 공정을 대신하여, 이하에 설명하는 공정을 실시하는 것이 바람직하다.

<72> 구체적으로는, 도 5에 나타낸 바와 같이, 도전층(107A) 상에 개구부(Rb)를 가지는 마스크 패턴(R2)을 형성한다. 이 마스크 패턴(R2)은 도포 또는 막의 부착을 통해 레지스트층을 형성하고, 포토리소그래피법을 이용해서 레지스트층을 패터닝함으로써 설치될 수 있다.

<73> 이어서, 도전층(107A)을 급전층(시드층)으로 하는 전해 도금을 실시하여서 개구부(Rb)로부터 노출된 도전층(107A) 상에 제 2 도전 패턴을 형성한다. 그 후, 마스크 패턴(R2)을 박리하고, 또한 마스크 패턴(R2)을 박리함으로써 노출되는 잉여 급전층(107A)을 에칭에 의해 제거한다. 결과적으로, 도 3j에 나타낸 도전 패턴(106)을 형성할 수 있다.

<74> 또한, 상기 제조 방법에서는 도 3d 및 도 3e에 나타낸 공정에서, 기판(101A) 상에 절연층(105)을 형성한 후, 절연층(105) 상에 도전층(107A)을 부착하지만, 또한 절연층(105)과 도전층(107A)을 미리 설치한 적층체를 기판(101A)에 부착해도 된다.

<75> 이 경우에, 예를 들면 제조 방법에서, 도 3a 내지 도 3c에 나타낸 공정을 실시한 후, 도 3d 및 도 3e에 나타낸 공정을 대신해서 후술하는 공정을 실시하는 것이 바람직하다.

<76> 구체적으로는, 도 6에 나타내 바와 같이, 지지층(111)에 적층되는 절연층(105) 및 도전층(107A)을 기판(101A)에 부착할 수 있다. 그 후, 앞서 설명한 도 3f 이하의 도면에 나타낸 공정을 실시함으로써, 반도체 장치(100)를 형성할 수 있다.

<77> 이상, 본 발명을 바람직한 예에 기초하여 설명하였지만, 본 발명은 상기 특정 예에 한정되는 것이 아니라, 특히 청구범위의 요지 내에서 벗어나지 않고 다양한 변형 및 변경이 가능하다. 구체적으로는, 기판(101A)으로서 반도체 기판을 대신하여 클래스 기판 또는 다층 배선 기판을 이용하는 것도 가능하다. 결과적으로, 이를 기판을 이용하는 다양한 전자 장치로 적용가능하다.

## 도면의 간단한 설명

<78> 도 1a는 본 발명의 일 예에 따른 반도체 장치를 나타내는 단면도.

<79> 도 1b는 도 1a의 범프 부근을 확대하여 나타내는 단면도.

<80> 도 2는 본 발명의 일 예에 따른 회로 기판을 나타내는 단면도.

<81> 도 3a는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 1).

<82> 도 3b는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 2).

<83> 도 3c는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 3).

<84> 도 3d는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 4).

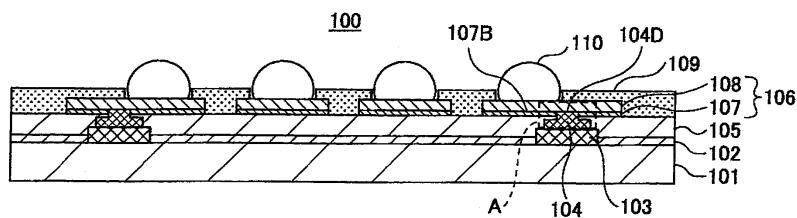
<85> 도 3e는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 5).

<86> 도 3f는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 6).

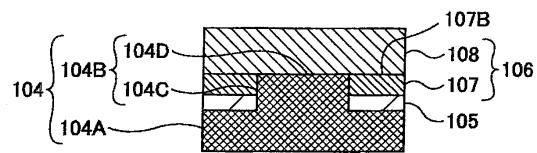
- <87> 도 3g는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 7).
- <88> 도 3h는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 8).
- <89> 도 3i는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 9).
- <90> 도 3j는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 10).
- <91> 도 3k는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 11).
- <92> 도 3l은 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 12).
- <93> 도 3m은 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 13).
- <94> 도 4a는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 14).
- <95> 도 4b는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 15).
- <96> 도 4c는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 16).
- <97> 도 4d는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 17).
- <98> 도 4e는 본 발명의 일 예에 따른 반도체 장치의 제조 방법을 설명하는 단면도(제 18).
- <99> 도 5는 본 발명의 일 예에 따른 반도체 장치의 제조 방법의 변형 예를 설명하는 단면도(제 1).
- <100> 도 6은 본 발명의 일 예에 따른 반도체 장치의 제조 방법의 변형 예를 설명하는 단면도(제 2).
- <101> \* 도면의 주요 부분에 대한 부호의 설명 \*
- <102> 100 : 반도체 장치 101 : 반도체 칩
- <103> 101A : 기판 101a : 영역
- <104> 101b : 디바이스면 102 : 보호층
- <105> 103 : 전극 패드 104 : 범프
- <106> 104A : 범프 본체 104B : 돌기부
- <107> 104C : 접속부 104D : 선단부
- <108> 105 : 절연층 106 : 도전 패턴
- <109> 107 : 제 1 도전 패턴 107A : 도전층
- <110> 108 : 제 2 도전 패턴 108A : 도전층
- <111> 109 : 솔더 레지스트층 110 : 솔더 범프

## 도면

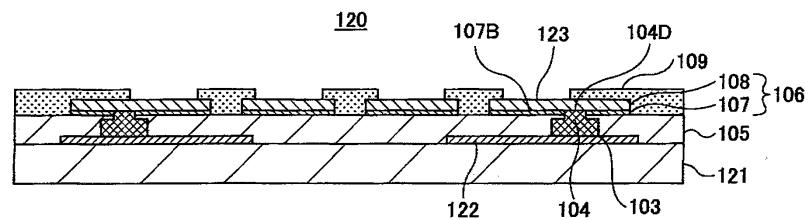
### 도면1a



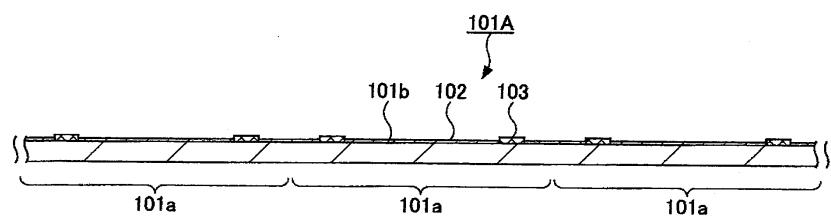
도면1b



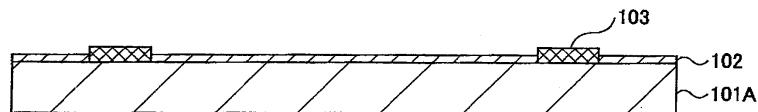
도면2



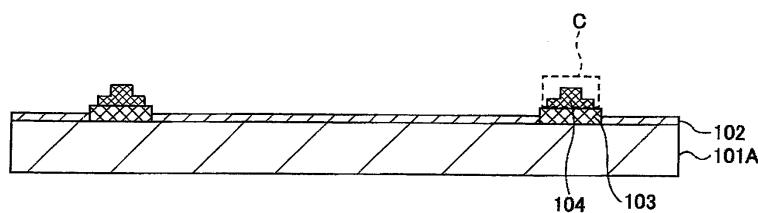
도면3a



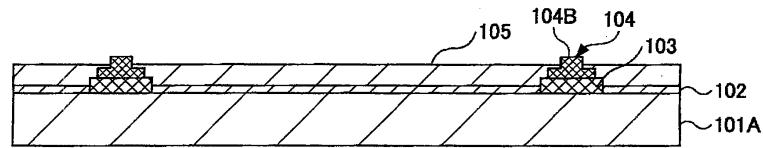
도면3b



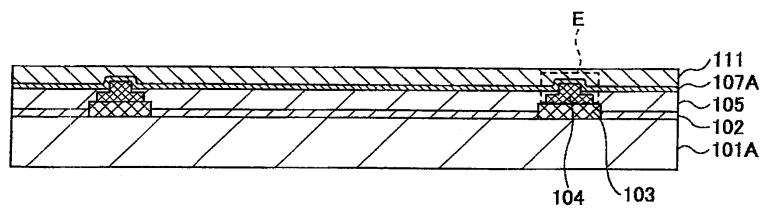
도면3c



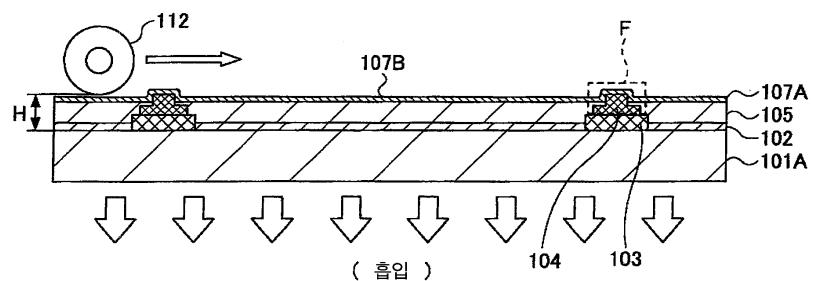
도면3d



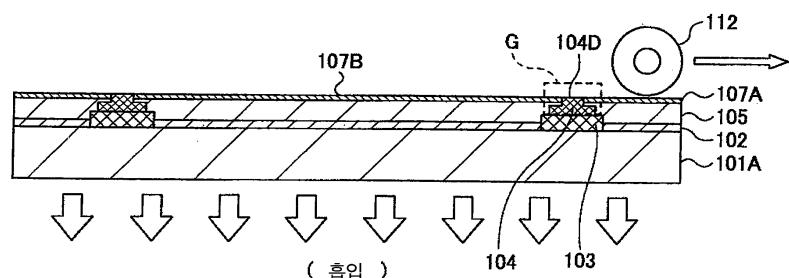
도면3e



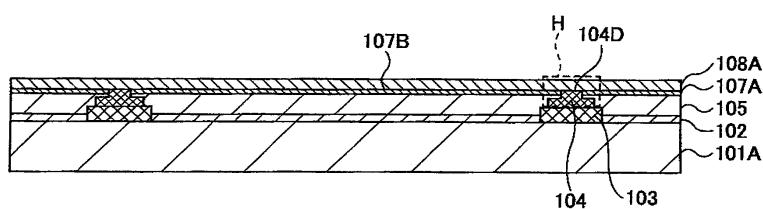
도면3f



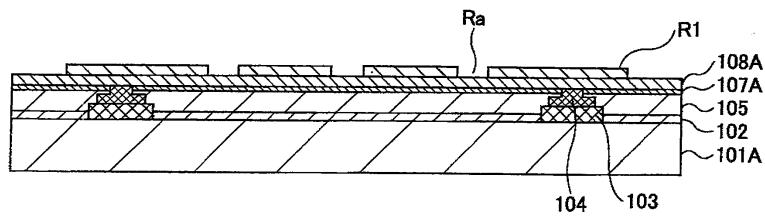
도면3g



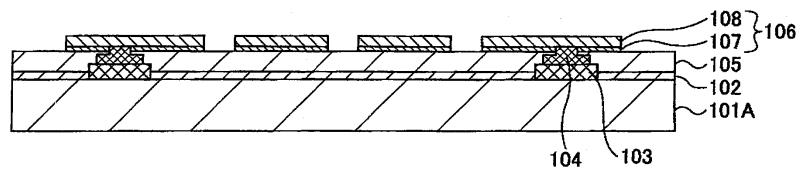
도면3h



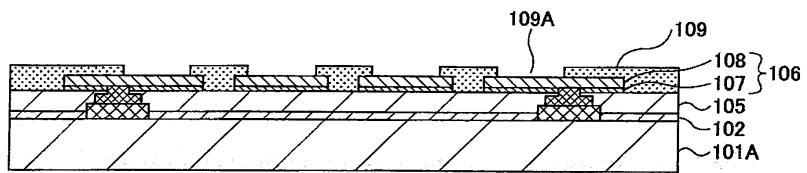
도면3i



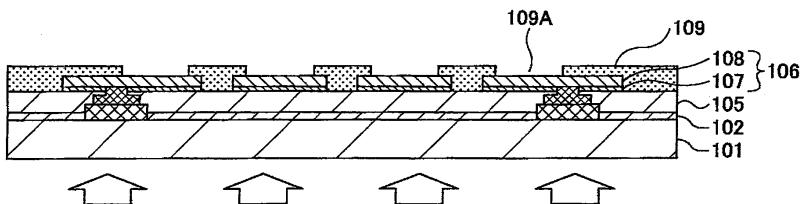
도면3j



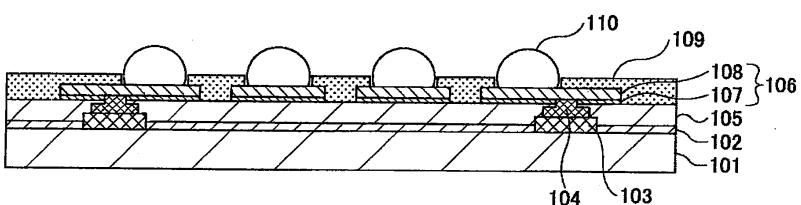
도면3k



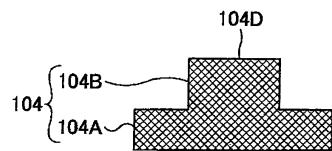
도면3l



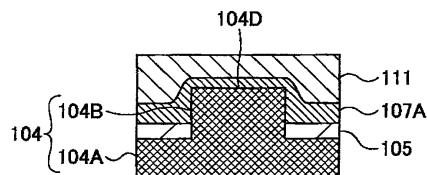
도면3m



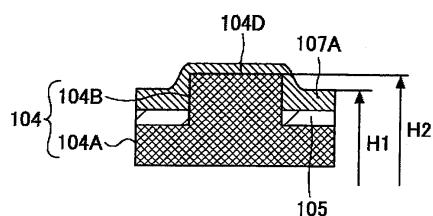
도면4a



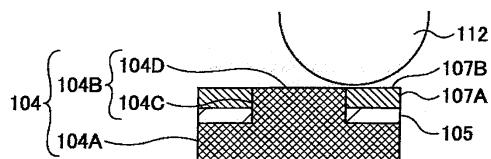
도면4b



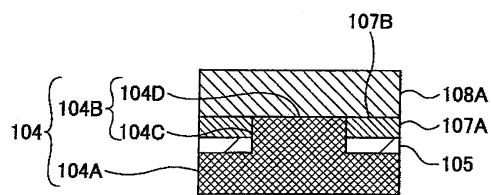
도면4c



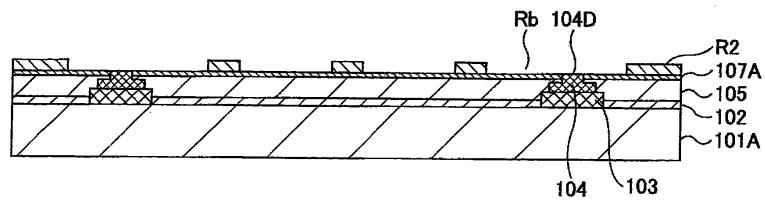
도면4d



도면4e



도면5



도면6

