(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G11C 16/00 (2006.01)

(45) 공고일자 2006년04월07일
(11) 등록번호 10-0568003
(24) 등록일자 2006년03월30일

(21) 출원번호 10-2000-0038474
(22) 출원일자 2000년07월06일

(65) 공개번호 10-2001-0015192
(43) 공개일자 2001년02월26일

(30) 우선권주장 99-203357 1999년07월16일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자 가와무라소이치
일본가나가와켄가와사키시나카하라쿠가미코다나카4-1-1후지쯔가부시끼가이샤나이

(74) 대리인 강승옥
김승호

심사관 : 조명관

(54) 부정 복사를 방지한 비휘발성 반도체 메모리

요약

숨은 기억 영역(hidden storage region)에 부정 복사 방지용 특수 코드가 기록되어 있지 않은 디바이스가 부정하게 입수되더라도, 부정 복사된 데이터의 부정 사용을 할 수 없도록 한다.

본 발명의 하나의 측면에 있어서, 비휘발성 반도체 메모리는 통상의 데이터를 기록하는 주 기억 영역(1)에 부가하여 부정 복사를 방지하기 위한 특수 코드를 기록하는 숨은 기억 영역(2)을 구비하는데, 이 숨은 기억 영역은 기록 보호 상태인 경우는 판독 허가 상태에 있고, 기록 보호 상태가 아닌 경우는 판독 금지 상태에 있다. 따라서, 반도체 메모리의 벤더(vendor)가 숨은 기억 영역(2)에 특수 코드를 기록하여 기록 보호 상태로 한 후에 비로소 숨은 기억 영역(2)을 판독할 수 있게 된다. 그리고, 이 기록 보호 상태로의 변경 방법은 벤더 이외에는 비밀로 되어 있다. 그 결과, 숨은 기억 영역(2)에 특수 코드가 기록되어 있지 않은 반도체 메모리를 암시장에서 부정하게 입수하더라도 숨은 기억 영역(2)의 판독이 금지된 상태이기 때문에, 부정 복사한 데이터를 이용할 수 없고 결과적으로 부정 복사가 방지된다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 부정 복사 방지와 부정 복사를 설명하기 위한 설명도.

도 2는 제1 실시예의 플래시 메모리에 대한 구성도.

도 3은 주 기억 영역과 숨은 기억 영역의 상세 구성도.

도 4는 명령 디코더의 구성예를 도시하는 도면.

도 5는 기록 보호 회로의 일예를 도시하는 회로도.

도 6은 제2 실시예의 플래시 메모리에 대한 구성도.

도 7은 제2 실시예의 명령 디코더(22)에 대한 구성도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 주 기억 영역

2 : 숨은 기억 영역

3 : 기록 보호 회로

4 : 판독 보호 회로

22 : 명령 디코더

PT : 기록 보호 신호

EN : 판독 보호 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 주 기억 영역에 기억된 데이터를 부정하게 복사하는 것을 방지하는 플래시 메모리 등의 비휘발성 반도체 메모리에 관한 것이다.

비휘발성 반도체 메모리인 플래시 메모리는 전기적으로 데이터의 기록(프로그램) 및 소거를 행할 수 있어, 전원이 오프되더라도 기록된 데이터가 지워지지 않는 것으로서 널리 이용되고 있다. 예컨대, 인터넷을 통해서 유료로 신호 전송한 음악 데이터를 기록하는 메모리 카드로서 보급되고 있다. 또한 휴대 전화 등 소형 휴대 정보 단말기의 특정한 데이터나 프로그램을 기억하는 메모리로도 널리 이용되고 있다.

상기의 플래시 메모리에 기록한 음악 데이터, 특정 데이터 또는 프로그램이 부정하게 복사되거나, 플래시 메모리가 부정하게 입수한 정보 기기에 이용되는 것을 방지하기 위해서, 부정 복사 방지 기능이나 부정 사용 방지 기능이 요구되고 있다. 예컨대, 이들의 기능은 플래시 메모리 내에 통상의 데이터를 기록하는 주 기억 영역에 부가하여 특수한 데이터나 키 코드를 기록하는 숨은 기억 영역을 설치함으로써 실현된다. 이 숨은 기억 영역은 원 타임·프로그래머블 메모리로써 통상의 사용자는 사용할 수 없는 기억 영역이다.

도 1은 부정 복사 방지와 부정 복사를 설명하기 위한 도면이다. 플래시 메모리에는 통상의 데이터를 기록하는 주 기억 영역(1)과 특수한 데이터를 기록하는 숨은 기억 영역(2)이 설치되며, 또한 숨은 기억 영역(2) 내에 기록된 데이터의 재기록을 금지하는 기록 보호 회로(3)가 설치된다. 그 외에, 플래시 메모리에는 기록(프로그램), 소거, 판독을 위해 필요한 회로가 내장된다.

플래시 메모리 A, B는 정당하게 시장에서 입수된 메모리이며, 플래시 메모리 X는 부정하게 입수된 메모리라고 가정하자. 정당하게 시장에 나온 플래시 메모리 A, B에는 각각의 숨은 기억 영역(2)에 키 코드 A, B가 기록되고, 각각의 기록 보호 회로(3)는 재기록을 금지하는 보호 상태로 되어 있다. 그리고, 예컨대, 플래시 메모리 A에 소정의 음악 데이터 A가 기록되는 경우는 키 코드 A에 따라서 데이터 A가 암호화되고 그 암호화 데이터 A가 주 기억 영역(1)에 기록된다. 그리고, 음악 데이터 A를 재생할 때 데이터 A는 판독되고, 키 코드 A에 의해서 복호화되며, 그 복호화 음악 데이터 A는 재생된다.

반대로, 부정하게 음악 데이터 A를 플래시 메모리 B에 복사한 경우, 플래시 메모리 B의 주 기억 영역(1)내에는 키 코드 A에서 암호화된 데이터 A가 복사된다. 따라서, 부정하게 복사한 음악 데이터 A를 재생하려 해도, 플래시 메모리 B의 숨은 기억 영역(2) 내의 키 코드 B에서 복호화되어 원래의 음악 데이터 A를 취득하는 것은 불가능하고 결국 재생할 수 없다.

음악 데이터 대신에 특수한 데이터나 프로그램의 경우에도 동일한 방법으로 부정 복사한 정보를 부정하게 이용하는 것을 방지할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 만일 출하 단계에서 숨은 기억 영역(2) 내에 키 코드가 기록되어 있지 않은 상태의 플래시 메모리 X가 부정하게 암시장에 나도는 경우에는 상기 부정 복사 방지 기능이 손상되어 버린다. 즉, 정당한 암호화 데이터 A를 기억한 플래시 메모리 A에서, 숨은 기억 영역(2) 내의 키 코드 A와 주 기억 영역(1) 내의 암호화 데이터 A를, 부정하게 입수한 플래시 메모리 X의 각각의 영역(1, 2)에 기록함으로서, 데이터 A를 부정하게 복사하여 부정하게 이용하는 것이 가능해진다.

따라서, 상술한 바와 같이 특수 코드가 숨은 기억 영역(2) 내에 기록되지 않은 상태로 부정하게 암시장에 나도는 경우에도, 데이터의 부정 복사와 그것에 수반하는 데이터의 부정 이용을 방지할 수 있는 비휘발성 반도체 메모리가 요구된다.

그래서, 본 발명의 목적은 데이터의 부정 복사를 방지할 수 있는 비휘발성 반도체 메모리를 제공하는 것에 있다.

또한, 본 발명의 목적은 부정하게 암시장에 나도는 경우에도 데이터의 부정 복사와 그에 수반하는 데이터의 부정 이용을 방지할 수 있는 비휘발성 반도체 메모리를 제공하는 것에 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 하나의 측면에 있어서, 비휘발성 반도체 메모리는 통상의 데이터를 기록하는 주 기억 영역에 부가하여 부정 복사를 방지용 특수 코드를 기록하는 숨은 기억 영역을 구비하는데, 이 숨은 기억 영역은 기록 보호 상태일 때는 판독 허가 상태에 있고, 기록 보호 상태가 아닐 때는 판독 금지 상태에 있다. 따라서, 반도체 메모리의 벤더(vendor)가 숨은 기억 영역에 특수 코드를 기록하여 기록 보호 상태로 한 후에 비로소 숨은 기억 영역을 판독할 수 있게 된다. 그리고, 이 기록 보호 상태로의 변경 방법은 벤더 이외에는 비밀로 되어 있다. 그 결과, 숨은 기억 영역에 특수 코드가 기록되어 있지 않은 반도체 메모리를 암시장에서 부정하게 입수하더라도, 숨은 기억 영역의 판독이 금지된 상태이기 때문에, 부정하게 복사한 데이터를 이용할 수 없고, 결과적으로 부정 복사가 방지된다.

상기의 목적을 달성하기 위한 본 발명의 다른 측면에 있어서, 비휘발성 반도체 메모리는 통상의 데이터를 기록하는 주 기억 영역에 부가하여 부정 복사를 방지하기 위해 특수 코드를 기록하는 숨은 기억 영역을 구비하는데, 이 숨은 기억 영역은 상기 특수 코드가 기록된 다음에 비로소 판독 허가 상태가 되도록 구성되어 있다. 따라서, 반도체 메모리의 벤더가 숨은 기억 영역에 특수 코드를 기록한 다음에 비로소 숨은 기억 영역을 판독할 수 있게 되어 상기와 같이 부정 복사가 방지된다.

예컨대, 상기의 특수 코드는 주 기억 영역의 데이터를 암호화하기 위한 암호화 코드 또는 그 암호화 코드를 생성하기 위한 코드이다. 또한, 특수 코드는 그 반도체 메모리가 사용할 수 있는 정보 기기와 매칭시키기 위한 인식 코드인 경우도 있다. 이 특수 코드를 이용함으로써 주 기억 영역 내의 데이터가 부정하게 다른 메모리에 복사되더라도 그 복사된 데이터를 이용할 수 없도록 할 수 있다.

상기의 목적을 달성하기 위한 본 발명의 하나의 측면에 있어서, 전기적으로 데이터의 기록 및 판독을 행하는 비휘발성 반도체 메모리는

통상의 데이터를 기록하는 주 기억 영역과, 부정 복사를 방지하기 위해 특수 코드를 기록하는 숨은 기억 영역과, 상기 숨은 기억 영역을 기록 보호 상태로 하는 기록 보호 회로를 구비하는데,

상기 숨은 기억 영역은 기록 보호 상태일 때는 판독 허가 상태에 있고, 기록 보호 상태가 아닐 때는 판독 금지 상태에 있는 것을 특징으로 하고 있다.

또한, 상기 발명의 바람직한 실시예는 외부로부터의 기록 및 판독 명령을 디코딩하고, 상기 숨은 기억 영역에 대한 내부 기록 신호 및 내부 판독 신호를 각각 발생시키는 명령 디코더를 가지며,

상기 명령 디코더는 상기 기록 보호 회로가 기록 보호 상태가 아닐 때는 상기 내부 판독 신호의 발생을 금지하고, 기록 보호 상태일 때는 상기 내부 판독 신호의 발생을 허가하는 것을 특징으로 한다.

본 발명의 다른 측면에 있어서, 전기적으로 데이터의 기록 및 판독을 행하는 비휘발성 반도체 메모리는

통상의 데이터를 기록하는 주 기억 영역과, 부정 복사를 방지하기 위한 특수 코드를 기록하는 숨은 기억 영역을 구비하는데,

상기 숨은 기억 영역은 상기 특수 코드가 기록되어 있지 않을 때는 판독 금지 상태에 있고, 상기 특수 코드가 기록되어 있을 때는 판독 허가 상태에 있는 것을 특징으로 한다.

또한, 상기 발명의 보다 바람직한 실시예는 상기 숨은 기억 영역을 기록 보호 상태로 하는 기록 보호 회로와, 상기 숨은 기억 영역을 판독 보호 상태로 하는 판독 보호 회로를 가지며, 상기 판독 보호 회로가 판독 보호 상태일 때는 상기 숨은 기억 영역의 판독이 금지되고, 판독 보호 상태가 아닐 때는 상기 숨은 기억 영역의 판독이 허가되는 것을 특징으로 한다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다. 그러나, 이러한 실시예가 본 발명의 기술적 범위를 한정하는 것은 아니다.

도 1에 따라서 본 발명의 실시예를 설명한다. 본 실시예에서는 숨은 기억 영역(2)을 기록으로부터 보호하는 기록 보호 회로(3)가 기록 보호 상태가 아닐 때는 숨은 기억 영역(2)의 판독을 금지하고, 숨은 기억 영역(2)에 특수 코드가 기록되어 기록 보호 상태가 될 때에 비로소 판독이 허가된다. 즉, 기록 보호 회로(3)의 기록 보호 상태와, 숨은 기억 영역(2)의 판독 금지 상태를 연동시킴으로써 숨은 기억 영역(2)에 특수 코드가 기록되어 있지 않은 플래시 메모리는 그 숨은 기억 영역(2)의 판독을 할 수 없도록 한다. 따라서, 숨은 기억 영역(2)에 기록이 이루어지지 않고, 기록 보호 상태가 되어 있지 않은 플래시 메모리가 부정하게 입수되어 주 기억 영역(1) 및 숨은 기억 영역(2)에 데이터가 기록되었다고 해도, 숨은 기억 영역(2)의 판독을 할 수 없기 때문에 부정 복사된 데이터가 이용되는 것이 방지된다.

도 2는 제1 실시예에 있어서의 플래시 메모리의 구성도이다. 도 2의 플래시 메모리에서는 통상의 데이터를 기억하는 주 기억 영역(1)과, 특수 코드를 기록하는 숨은 기억 영역[히든 블록 (Hidden Block : 2)]을 가지며, 이들 기억 영역(1, 2) 내에는 부유 게이트(floating gate)를 갖는 비휘발성 메모리 트랜지스터가 여러개 설치된다.

주 기억 영역(1) 내의 워드선은 로우 디코더(24)에 의해 선택되고, 숨은 기억 영역(2) 내의 워드선은 대응하는 HD 디코더(25)에 의해 선택된다. 양 기억 영역(1, 2)에 설치된 비트선은 컬럼 게이트(27)를 통해 감지 증폭기(18)에 접속된다. 컬럼 게이트(27)는 컬럼 디코더(26)에 의해 선택된다. 로우 디코더(24)에는 어드레스(12)가 공급되는 프리 디코더(23)로부터 프리 디코드 신호가 공급된다.

예컨대, 숨은 기억 영역(2)은 주 기억 영역(1) 내의 블록 영역과 동등한 용량을 가지며, 제어 회로(30)로부터의 선택 신호(SEL)에 의해 선택된다. 또한, 주 기억 영역(1)은 제어 회로(30)로부터의 선택 신호(/SEL)에 의해 선택된다.

외부에서 제공된 입출력 데이터는 입출력 회로(20)에 공급됨과 동시에 입출력 회로(20)로부터 출력된다. 입출력 회로(20)와 감지 증폭기(18)는 데이터 바스를 통해 접속된다. 도 2의 메모리에는 플래시 메모리에 특유의 명령 디코더(22)가 설치

된다. 명령 디코더(22)는 입출력 데이터 단자로부터 입출력 회로(20)에 공급된 특정한 명령을 디코딩하고, 각종 내부 동작 제어 신호(S1, S2, S3, PTprgm)를 발생시킨다. 이 내부 동작 제어 신호(S1, S2, S3)는 명령 디코더(22)가 발생시키는 내부 동작 제어 신호의 일부이며, 이들 내부 동작 제어 신호에 관해서는 후에 설명한다.

기록 보호 회로(3)는 후술되는 바와 같이 숨은 기억 영역(2)의 기록을 금지하는 기록 보호 상태를 기억하는 기억 회로를 가지며, 그 기억 상태에 따라서 기록 보호 신호(PT)를 출력한다. 이 기록 보호 신호(PT)가 활성화 상태이면, 명령 디코더(22)에 의한 숨은 기억 영역(2)에의 내부 기록 신호(S3) 및 내부 소거 신호(S2)의 발생이 금지되며 숨은 기억 영역(2)에 기록되어 있는 특수 코드의 재기록이 금지된다.

이 기록 보호 회로(3)의 기억 회로는 외부에서 공급되는 비밀 명령에 응답하여 명령 디코더(22)가 발생시키는 보호 프로그램 신호(PTprgm)에 의해 기록 보호 상태가 된다. 그리고, 일단 기록 보호 상태가 되면, 기록 보호 신호(PT)가 활성화 상태가 되어, 명령 디코더(22)에 의한 보호 프로그램 신호(PTPrgm)의 발생이 금지되고, 기록 보호 회로(3)의 기억 회로를 다시 비보호 상태로 하는 것은 불가능하다.

제1 실시예에서 특징적인 부분은 기록 보호 회로(3)가 기록 보호 상태가 아니면 명령 디코더(22)에 의한 숨은 기억 영역(2)을 판독하기 위한 내부 판독 신호(S1)의 발생이 금지되고, 기록 보호 상태가 되면 그 내부 판독 신호(S1)의 발생이 허가되는 것에 있다. 따라서, 숨은 기억 영역(2)에의 특수 코드 기록이 행해지기 전의 초기 상태에서는, 기록 보호 회로(3)가 기록 보호 상태가 되어 있지 않기 때문에, 숨은 기억 영역(2)에 특수 코드를 기록하더라도 그것을 판독하는 것은 금지된다. 그리고, 숨은 기억 영역(2)을 판독하기 위해서는 기록 보호 회로(3)를 기록 보호 상태로 할 필요가 있지만, 그러기 위해서는 비밀 명령을 입력해야만 한다. 따라서, 부정 복사한 데이터를 이용하는 것은 불가능하다.

도 3은 주 기억 영역과 숨은 기억 영역의 상세 구성도이다. 주 기억 영역(1)과 숨은 기억 영역(2)은 복수의 워드선(WL0, WL1, WLn)과, 복수의 비트선(BL0, BL1)과, 이들의 교차 위치에 설치되는 부유 게이트를 갖는 비휘발성 메모리 트랜지스터로 이루어지는 메모리 셀(MC00～MCn1)을 갖는다. 메모리 셀의 드레인은 비트선에 접속되고, 제어 게이트는 워드선에 접속되며, 소스는 소스선(SL)에 접속된다. 소스선(SL)은 소스선 전압 제어 회로(19)에 접속된다. 그 외의 구성은 도 2에 도시된 바와 같은 동일한 인용 번호가 주어진다.

도 4는 명령 디코더의 구성예를 나타내는 도면이다. 도 4의 예에서는 숨은 기억 영역(2)의 판독을 행하는 내부 판독 신호(S1)와, 숨은 기억 영역(2)의 소거를 행하는 내부 소거 신호(S2)와, 숨은 기억 영역(2)의 기록(프로그램)을 행하는 내부 프로그램 신호(S3)와, 기록 보호 회로(3)를 기록 보호 상태로 하는 보호 프로그램 신호(PTPrgm)가 각각의 AND 게이트에 의해 발생된다.

내부 판독 신호(S1)는 AND 게이트(40, 41, 42)에 의한 명령(DB0～DB7)이 디코딩되어 래치 회로(43)에 래치되며 인버터(44)를 통해 발생된다. 내부 소거 신호(S2) 및 내부 프로그램 신호(S3)도 같은 회로 구성에 의해 대응하는 명령이 디코딩되어 발생된다. 보호 프로그램 신호(PTPrgm)는 소정의 비밀 코드(ST)가 공급되면 AND 게이트(55, 56)에 의해 디코딩되어 래치 회로(57)에 래치되며 인버터(58)를 통해 발생된다.

명령 디코더(22)에는 기록 보호 신호(PT)가 공급되어 기록 보호 신호(PT)가 기록 보호 상태가 아닌 경우(L 레벨)에 AND 게이트(42)에 의해 내부 판독 신호(S1)의 발생이 금지된다. 그 상태일 때에 기록 보호 신호(PT)는 인버터(60)로 반전되며 그 반전 신호(/PT)의 H 레벨에 의해 숨은 기억 영역(2)에 대한 내부 소거 신호(S2) 및 내부 프로그램 신호(S3)의 발생이 허가된다. 또한, 반전 신호(/PT)의 H 레벨에 의해 기록 보호 회로(3)에의 보호 프로그램 신호(PTPrgm)의 발생이 허가된다. 보호 프로그램 신호(PTPrgm)는 비밀 코드(ST)의 공급에 응답하여 발생된다. 따라서, 통상의 이용자에게는 이 기록 보호 상태로의 프로그램은 불가능하다.

보호 프로그램 신호(PTPrgm)에 의해 기록 보호 회로(3) 내의 기억 회로에 기록 보호 상태가 기록되면, 기록 보호 신호(PT)는 H 레벨이 된다. 그 결과, AND 게이트(47, 52)에 의해 명령 디코더(22)는 내부 소거 신호(S2) 및 내부 프로그램 신호(S3)의 발생이 금지되고, 숨은 기억 영역(2)에의 데이터의 재기록은 금지된다. 또한, AND 게이트(56)에 의해 명령 디코더(22)는 보호 프로그램 신호(PTPrgm)의 발생이 금지되고, 그 후의 기록 보호 회로(3)에의 재기록이 금지된다. 그리고, 내부 판독 신호(SI)의 발생이 허가된다.

도 5는 기록 보호 회로의 일예를 나타내는 회로도이다. 기록 보호 회로(3) 내에는 기록 보호 상태를 기억하는 기억 회로(61)가 설치된다. 이 기록 보호 기억 회로(61)는 부유 게이트를 갖는 기억 트랜지스터(FM1)를 가지며 제어 게이트는 소정의 전압이 인가되는 단자(N3)에 접속되고 소스는 그라운드 전위(Vss)에 접속된다.

기록 보호 회로(3)는 게이트가 접지된 P 채널의 부하 트랜지스터(PTr1)와, 증폭용 N 채널 트랜지스터(62)와, NAND 게이트(63)와, 인버터(65, 66) 및 보호 프로그램용의 N 채널 트랜지스터(64)를 갖는다. 트랜지스터(64)의 게이트에는 보호 프로그램 신호(PTPrgm)가 공급되고 NAND 게이트(63)에는 그 반전 신호(/PTPrgm)와 노드(N2)가 공급된다.

초기 상태에 있어서, 기록 보호 기억 회로(61)의 트랜지스터(FM1)는 부유 게이트에 전자가 주입되지 않아 한계 전압이 낮은 상태에 있다. 그 경우는 단자(N3)에 판독 전압을 인가하면 트랜지스터(FM1)가 도통하여 노드(N2)가 L 레벨이 되고 NAND 게이트(63)의 출력이 H 레벨이 되며, 트랜지스터(62)가 보다 도통하여 노드(N1)가 L 레벨이 된다. 따라서, 기록 보호 신호(PT)는 비활성 상태인 L 레벨에 있다. 즉, 기록 보호 상태가 되어 있지 않다.

상술한 바와 같이, 이 기록 보호 신호(PT)가 L 레벨인 상태에서는 명령 디코더(22)는 외부에서의 커멘드 코드에 응답하여 내부 소거 신호(S2), 내부 프로그램 신호(S3) 및 보호 프로그램 신호(PTPrgm)를 발생시키는 것이 허가된다. 그러나, 내부 판독 신호(S1)의 발생은 금지되어 있다.

다음에, 숨은 기억 영역(2)에의 특수 코드의 기록이 종료하면, 외부에서 비밀 코드(ST)가 공급되고, 명령 디코더(22)는 그것을 검출하여 보호 프로그램 신호(PTPrgm)를 H 레벨로 한다. 그 결과, 기록 보호 회로(3)의 트랜지스터(64)가 도통하여 노드(N1)가 L 레벨로 된다. 또한, 그 반전 신호(/PTPrgm)가 L 레벨이 되기 때문에, NAND 게이트(63)의 출력은 H 레벨이 되고, 트랜지스터(62)가 도통하여 노드(N2)도 접지 전위(Vss)가 된다. 그 때, 노드(N3)에 높은 전압을 인가함으로써, 트랜지스터(FM1)의 부유 게이트에 전자가 주입되어 그 한계치 전압이 높아진다. 특수 코드의 기록과 기록 보호 상태로의 변환은 일련의 공정으로 행해져 후에 기록한 특수 데이터를 판독할 수 있게 된다.

이 상태에서 기록 보호 회로(3)의 노드(N3)에 판독 전압을 인가하더라도, 트랜지스터(FM1)가 도통하지 않기 때문에, 노드(N2)는 H 레벨인 상태로 있다. 또한, 비밀 코드(ST)의 공급은 없기 때문에, 신호(/PTPrgm)는 H 레벨이 되어 있기 때문에, NAND 게이트(63)의 출력은 L 레벨이 되고 트랜지스터(62)는 비도통 상태가 되어, 노드(N1)로부터 그 아래쪽의 트랜지스터(FM1)가 분리된다. 따라서, 노드(N1)는 부하 트랜지스터(PTr1)에 의해 H 레벨로 상승한다. 따라서, 기록 보호 신호(PT)는 H 레벨의 활성화 상태가 된다.

이 기록 보호 신호(PT)가 H 레벨이 되면, 상술한 바와 같이, 명령 디코더(22)는 외부로부터 커멘드 코드를 제공받아 내부 소거 신호(S2), 내부 프로그램 신호(S3) 및 보호 프로그램 신호(PTPrgm)를 발생시키는 것이 금지된다. 따라서, 숨은 기억 영역(2)에의 데이터의 재기록은 금지되고, 기록 보호 회로(3) 내에의 보호 상태 해제의 재기록도 금지된다.

[제2 실시예]

도 6은 제2 실시예에 있어서의 플래시 메모리의 구성도이다. 도 6에는 도 2와 동일한 부분에 대해서 동일한 인용 번호를 부여하고 있다. 제2 실시예에서는 숨은 기억 영역(2)에 대한 기록 보호 회로(3)에 숨은 기억 영역(2)의 데이터 판독을 금지하기 위한 판독 보호 회로(4)를 부가하여 설치된다. 즉, 기록 보호 상태와 판독 보호 상태는 반드시 연동하지 않는다.

판독 보호 회로(4)의 구성은 기본적으로 도 5에 도시된 기록 보호 회로(3)와 동일하다. 그리고, 명령 디코더(22)가 외부로부터의 판독 보호 명령에 응답하여 발생시키는 판독 보호 프로그램 신호(ENprgm)에 의해 판독 보호 회로(4)의 상태가 판독 허가 상태가 된다. 구체적으로는 기록 보호 회로(3)의 경우와 마찬가지로 판독 보호 회로(4) 내의 기억 회로를 프로그램한다.

그에 따라 판독 보호 신호(EN)가 활성 레벨(H 레벨)이 되고, 명령 디코더(22)에 의한 내부 판독 신호(S1)의 발생이 허가되어, 숨은 기억 영역(2)의 데이터의 외부로부터의 판독이 가능하게 된다. 또한, 판독 보호 신호(EN)가 H 레벨이 되면 명령 디코더(22)에 의한 판독 보호 프로그램 신호(ENPrgm)의 발생이 금지되고, 판독 보호 회로 내의 기억 회로의 재기록이 금지된다.

도 7은 제2 실시예에 있어서의 명령 디코더(22)의 구성을 도시한 도면이다. 도 7에는 도 4와 대응하는 부분에 대해서 동일한 인용 번호를 부여하고 있다. 도 7의 명령 디코더는 도 4의 구성에 부가하여 비밀 코드(ST2)를 디코딩하는 AND 게이트(70, 71), 래치 회로(72) 및 인버터(73)가 설치되어 판독 보호 프로그램 신호(ENPrgm)가 발생된다.

도 7의 명령 디코더(22)는 도 4와 마찬가지로, 기록 보호 신호(PT)가 초기 상태의 L 레벨일 때는 인버터(60)에 의해 반전된 신호(/PT)의 H 레벨에 의해서, 외부 공급 명령에 대응하여 숨은 기억 영역(2)에의 내부 소거 신호(S2), 내부 프로그램 신호(S3) 및 기록 보호 회로(3)에 대한 보호 프로그램 신호(PTPrgm)의 발생이 허가된다. 한편, 기록 보호 신호(PT)가 활

성 상태(H 레벨)가 되면, 인버터(60)에 의해 반전된 신호(/PT)의 L 레벨에 의해서, 외부 공급 명령에 대응하여 숨은 기억 영역(2)에의 내부 소거 신호(S2), 내부 프로그램 신호(S3) 및 기록 보호 회로(3)에 대한 보호 프로그램 신호(PTPrgm)의 발생이 금지된다.

또한, 도 7의 명령 디코더(22)는 판독 보호 신호(EN)가 초기 상태의 비활성화 상태(L 레벨)일 때는, AND 게이트(42)에 의해 숨은 기억 영역(2)에의 내부 판독 신호(S1)의 발생이 금지되고, 인버터(75)에 의한 반전 신호(/EN)의 H 레벨에 의해서 비밀 코드(ST2)에 대응하는 판독 보호 프로그램 신호(ENPrgm)의 발생이 허가된다. 또한, 판독 보호 신호(EN)가 활성화 상태(H 레벨)일 때는, 숨은 기억 영역(2)에의 내부 판독 신호(S1)의 발생이 허가되고, 인버터(75)에 의한 반전 신호(/EN)의 L 레벨에 의해서 비밀 코드(ST2)에 대응하는 판독 보호 프로그램 신호(ENPrcm)의 발생은 금지된다.

상술한 바와 같이 제2 실시예에 있어서, 플래시 메모리 벤더는 메모리의 제조 공정에서 판독 보호 신호(EN)는 비활성 상태(L 레벨)를 초기 상태로 하고, 숨은 기억 영역(2)에의 내부 판독 신호(S1)의 발생을 금지하여 판독을 할 수 없도록 한다. 그리고, 시험 공정을 거쳐 우량품이 된 경우에, 그 숨은 기억 영역(2)에 대하여 내부 소거 신호(S2)와 내부 프로그램 신호(S3)를 이용하여 특수 코드를 기록함과 동시에, 기록 보호 회로(3)를 기록 보호 상태로 하여, 판독 보호 프로그램 신호(ENPrgm)를 발생시켜 판독 보호 회로(4) 내의 기억 회로를 판독 허가 상태로 한다.

따라서, 숨은 기억 영역(2)에 특수 데이터가 기록되어 있지 않은 부정 입수의 플래시 메모리로는 숨은 기억 영역(2)의 데이터를 판독할 수 없기 때문에, 부정하게 복사한 데이터를 이용하는 것이 방지된다.

이상, 본 발명의 보호 범위는 상기 실시예에 한정되는 것이 아니라, 특허 청구의 범위에 기재된 발명과 그 균등물에까지 미치는 것이다.

발명의 효과

이상, 본 발명에 따르면, 비휘발성 반도체 메모리에 있어서 부정 복사 방지용 특수 코드가 기록되어 있지 않은 메모리가 부정하게 입수되어도, 복사된 데이터의 부정 이용을 방지할 수 있어 결과적으로 부정 복사를 방지할 수 있다.

(57) 청구의 범위

청구항 1.

전기적으로 데이터의 기록 및 판독을 행하는 비휘발성 반도체 메모리에 있어서,

통상의 데이터를 기억하는 주 기억 영역과,

부정 복사를 방지하기 위한 특수 코드를 기억하는 숨은 기억 영역과,

상기 숨은 기억 영역을 기록 보호 상태로 설정하는 기록 보호 회로

를 구비하며,

상기 숨은 기억 영역은 기록 보호 상태일 때 판독 허가 상태에 있고, 기록 보호 상태가 아닐 때 판독 금지 상태에 있는 것을 특징으로 하는 비휘발성 반도체 메모리.

청구항 2.

제1항에 있어서,

외부로부터의 기록 및 판독 명령을 디코딩하여 상기 숨은 기억 영역에 대한 내부 기록 신호 및 내부 판독 신호를 각각 발생시키는 명령 디코더를 더 구비하며,

상기 명령 디코더는 상기 기록 보호 회로가 기록 보호 상태가 아닐 때 상기 내부 판독 신호의 발생이 금지되고, 기록 보호 상태일 때 상기 내부 판독 신호의 발생이 허가되는 것을 특징으로 하는 비휘발성 반도체 메모리.

청구항 3.

제2항에 있어서,

상기 명령 디코더는 상기 기록 보호 회로가 기록 보호 상태가 아닐 때 상기 내부 기록 신호의 발생이 허가되고, 기록 보호 상태일 때 상기 내부 기록 신호의 발생이 금지되는 것을 특징으로 하는 비휘발성 반도체 메모리.

청구항 4.

전기적으로 데이터의 기록 및 판독을 행하는 비휘발성 반도체 메모리에 있어서,

통상의 데이터를 기억하는 주 기억 영역과,

부정 복사를 방지하기 위한 특수 코드를 기억하는 숨은 기억 영역

을 구비하며,

상기 숨은 기억 영역은 상기 특수 코드가 기억되어 있지 않은 경우는 판독 금지 상태에 있고, 상기 특수 코드가 기억되어 있는 경우는 판독 허가 상태에 있는 것을 특징으로 하는 비휘발성 반도체 메모리.

청구항 5.

제4항에 있어서,

상기 숨은 기억 영역을 기록 보호 상태로 설정하는 기록 보호 회로와,

상기 숨은 기억 영역을 판독 보호 상태로 설정하는 판독 보호 회로를 더 구비하며,

상기 판독 보호 회로가 판독 보호 상태일 때는 상기 숨은 기억 영역의 판독이 금지되고, 상기 판독 보호 회로가 판독 보호 상태가 아닐 때는 상기 숨은 기억 영역의 판독이 허가되는 것을 특징으로 하는 비휘발성 반도체 메모리.

청구항 6.

제5항에 있어서,

외부로부터의 기록 및 판독 명령을 디코딩하여 상기 숨은 기억 영역에 대한 내부 기록 신호 및 내부 판독 신호를 각각 발생시키는 명령 디코더를 더 구비하며,

상기 명령 디코더는 상기 판독 보호 회로가 판독 보호 상태일 때 상기 내부 판독 신호의 발생이 금지되고, 상기 판독 보호 회로가 판독 보호 상태가 아닐 때 상기 내부 판독 신호의 발생이 허가되는 것을 특징으로 하는 비휘발성 반도체 메모리.

청구항 7.

전기적으로 데이터의 기록 및 판독을 행하는 비휘발성 반도체 메모리에 있어서,

통상의 데이터를 기억하는 주 기억 영역과,

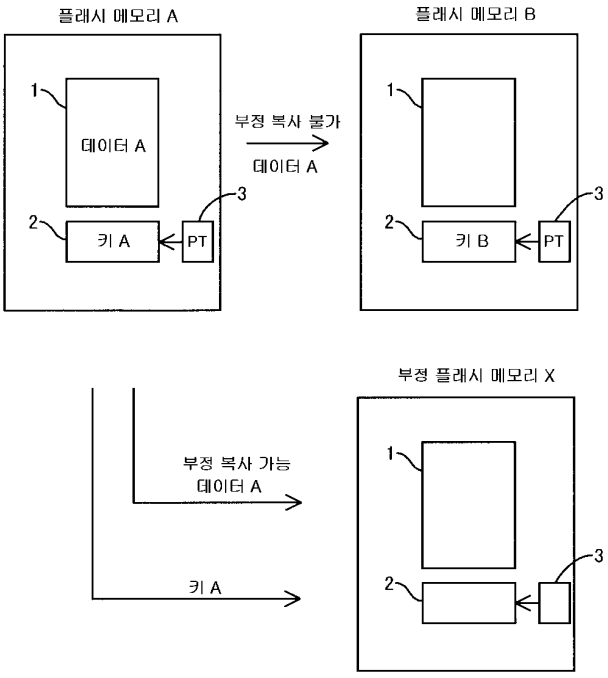
부정 복사를 방지하기 위한 특수 코드를 기억하는 숨은 기억 영역

을 구비하며,

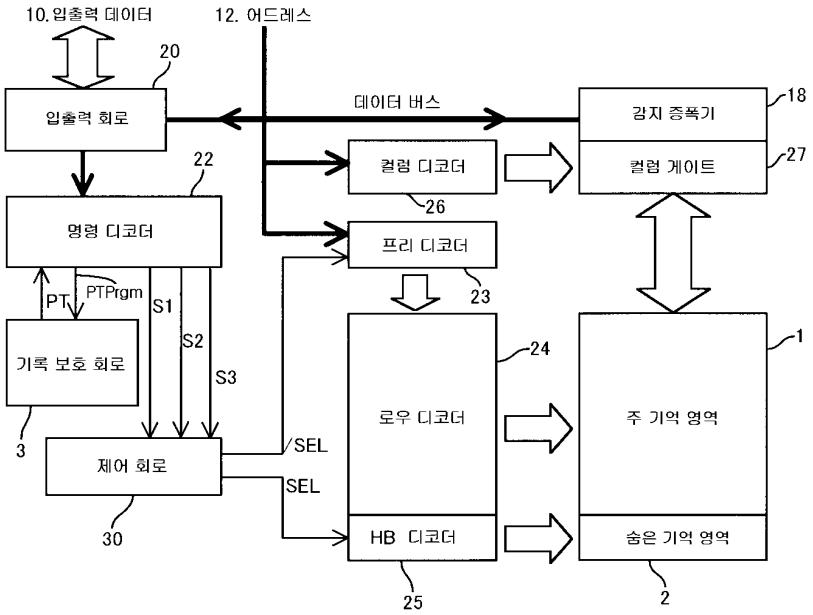
상기 숨은 기억 영역은 초기에는 판독 금지 상태로 설정되고, 비밀 명령에 응답하여 판독 허가 상태로 전환되는 것을 특징으로 하는 비휘발성 반도체 메모리.

도면

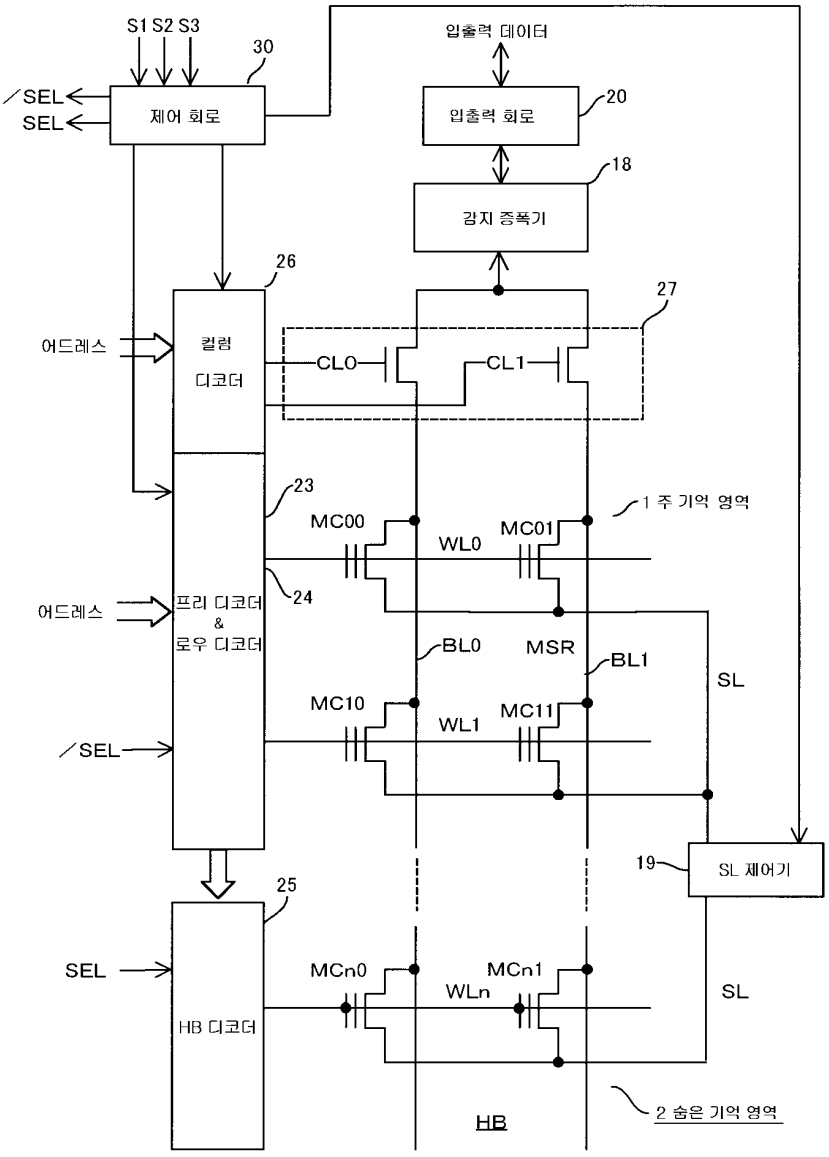
도면1



도면2

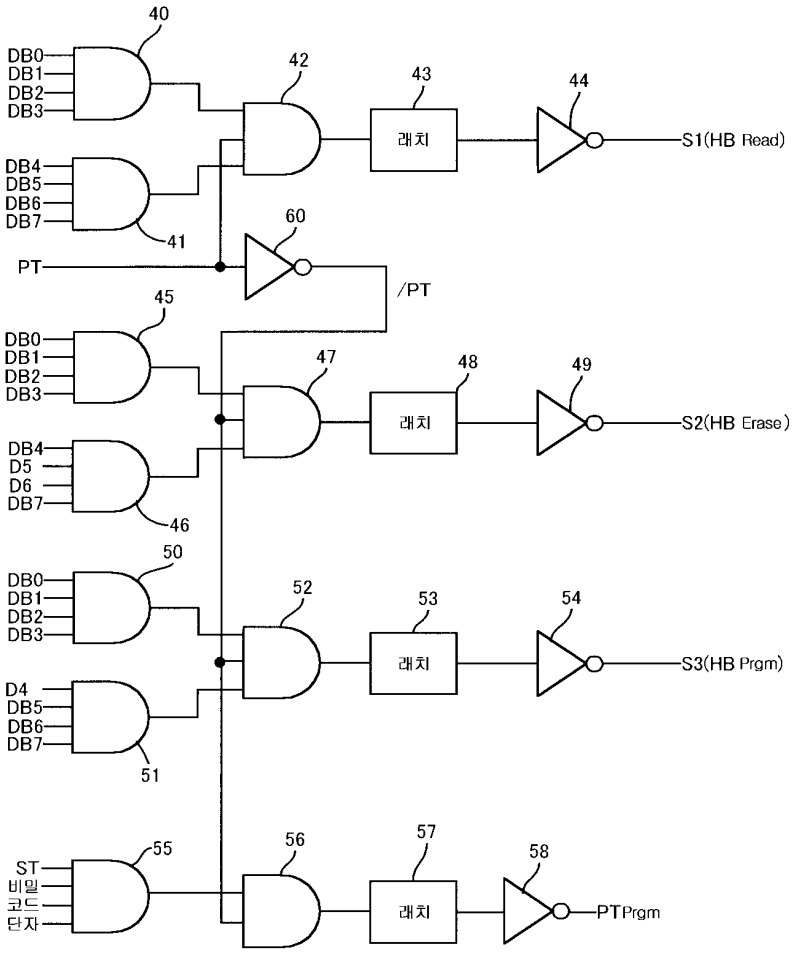

10. 입출력 데이터
12. 어드레스
20
입출력 회로
데이터 버스
감지 증폭기
18
컬럼 디코더
컬럼 게이트
27
22
명령 디코더
26
프리 디코더
PT
PTPrgm
S1
S2
S3
23
기록 보호 회로
24
로우 디코더
주 기억 영역
1
3
제어 회로
SEL
SEL
30
HB 디코더
숨은 기억 영역
25
2

도면3


S1 S2 S3
30
/SEL
SEL
제어 회로
입출력 데이터
입출력 회로
20
18
감지 증폭기
26
27
어드레스
컬럼
디코더
CL0
CL1
23
MC00
WL0
MC01
1 주 기억 영역
어드레스
프리 디코더
&
로우 디코더
24
BL0
MSR
BL1
SL
MC10
WL1
MC11
/SEL
19
SL 제어기
25
SEL
MCn0
WLn
MCn1
SL
HB 디코더
HB
2 숨은 기억 영역

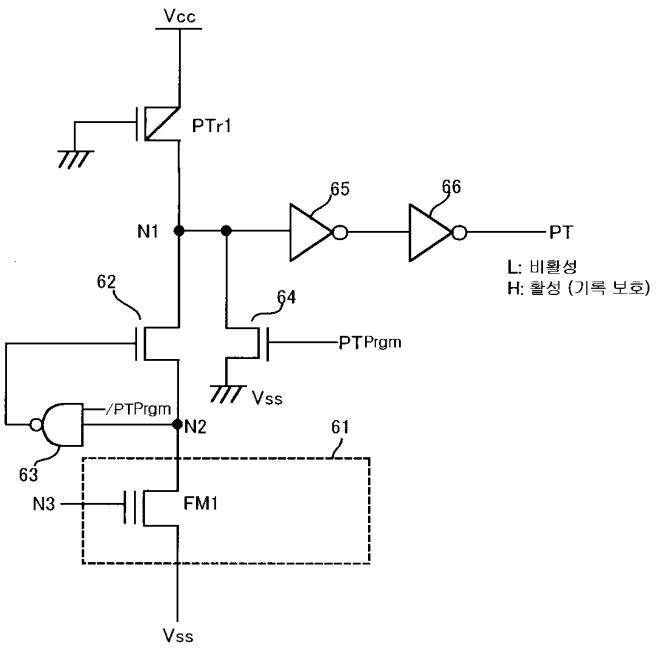
도면4

명령 디코더 22

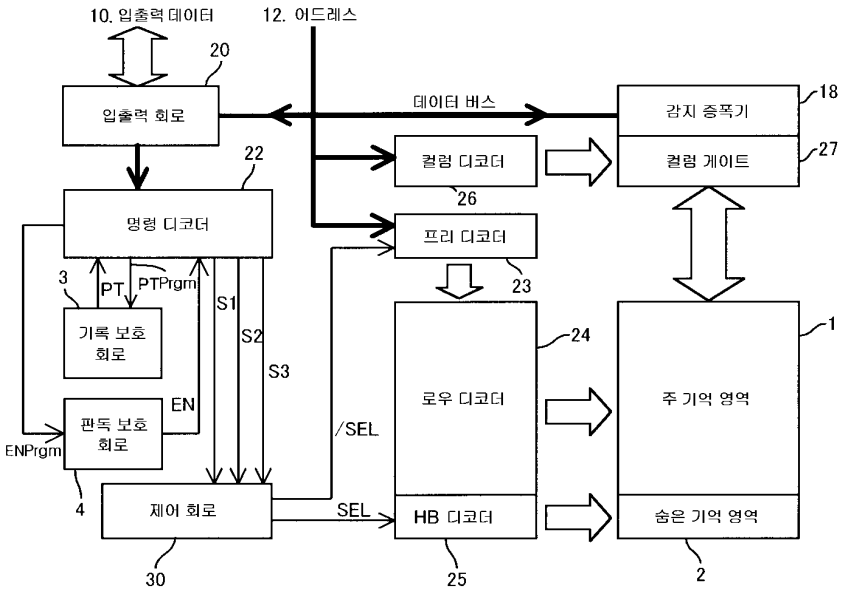


도면5

기록 보호 회로 3

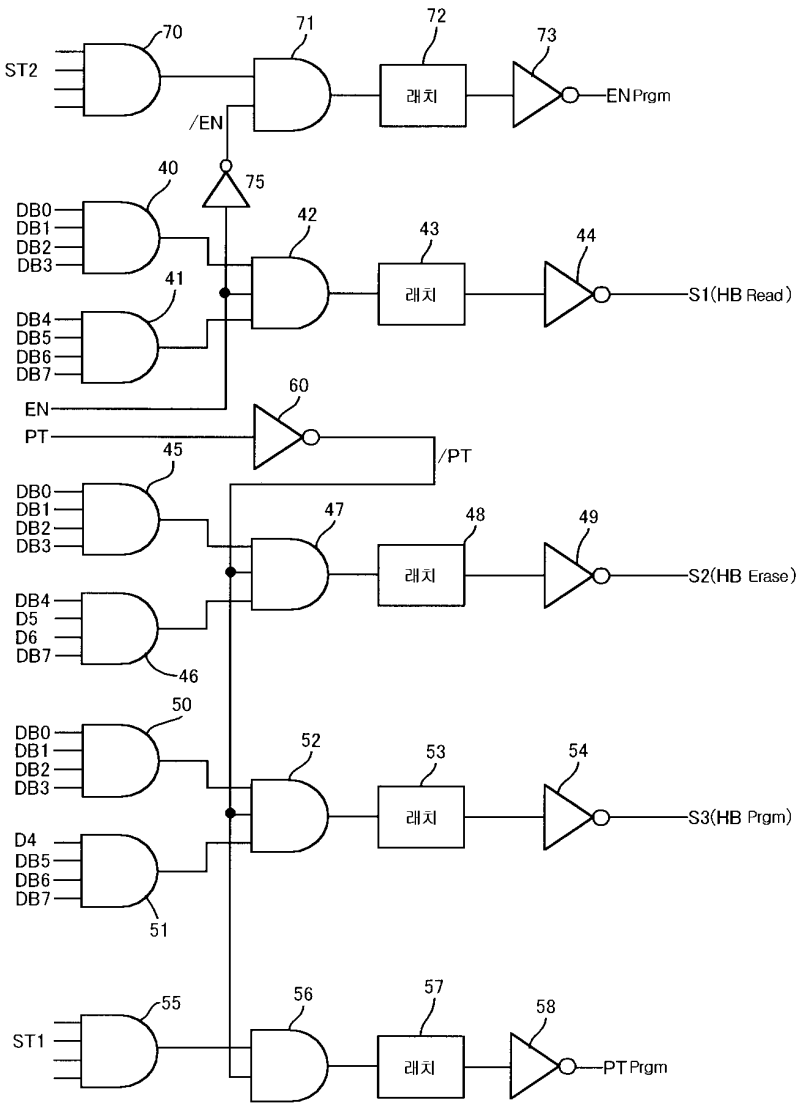


도면6


10. 입출력 데이터
12. 어드레스
20
입출력 회로
데이터 버스
감지 증폭기
18
컬럼 디코더
컬럼 게이트
27
26
22
명령 디코더
프리 디코더
3
PT
PTPrgm
23
S1
S2
S3
기록 보호 회로
24
로우 디코더
주 기억 영역
1
EN
판독 보호 회로
/SEL
ENPrgm
4
제어 회로
SEL
HB 디코더
숨은 기억 영역
30
25
2

도면7

명령 디코더 22


ST2
70
71
72
73
래치
ENPrgm
/EN
75
40
DB0
DB1
DB2
DB3
41
DB4
DB5
DB6
DB7
42
43
44
래치
S1(HB Read)
EN
60
PT
/PT
45
DB0
DB1
DB2
DB3
47
48
49
래치
S2(HB Erase)
DB4
D5
D6
DB7
46
50
DB0
DB1
DB2
DB3
52
53
54
래치
S3(HB Prgm)
D4
DB5
DB6
DB7
51
55
ST1
56
57
58
래치
PTPrgm