

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4272168号
(P4272168)

(45) 発行日 平成21年6月3日(2009.6.3)

(24) 登録日 平成21年3月6日(2009.3.6)

(51) Int.Cl.

F I

HO 1 L 21/3205 (2006.01)

HO 1 L 21/88 M

HO 1 L 23/52 (2006.01)

HO 1 L 21/88 R

HO 1 L 21/768 (2006.01)

HO 1 L 21/90 B

HO 1 L 23/522 (2006.01)

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2004-570148 (P2004-570148)	(73) 特許権者	308014341
(86) (22) 出願日	平成15年3月28日 (2003.3.28)		富士通マイクロエレクトロニクス株式会社
(86) 国際出願番号	PCT/JP2003/004049		東京都新宿区西新宿二丁目7番1号
(87) 国際公開番号	W02004/088745	(74) 代理人	100091340
(87) 国際公開日	平成16年10月14日 (2004.10.14)		弁理士 高橋 敬四郎
審査請求日	平成17年3月31日 (2005.3.31)	(72) 発明者	渡邊 健一
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	長谷山 健

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板の上方に形成された絶縁層と、
前記絶縁層に埋め込まれて面内に延在する配線パターンを有する第1ダマシン配線であって、底面および側面を画定し、内側に第1中空部を画定する、銅の拡散を防止するバリアメタル層と、該第1中空部内に配置され、前記配線パターン内において、内側に第2中空部を画定する、銅配線層と、該第2中空部内に配置され、前記バリアメタル層とは分離されている、銅の拡散を防止する補助バリアメタル層とを含む第1ダマシン配線と、
前記第1ダマシン配線と絶縁層との上に配置された、銅の拡散を防止する絶縁性銅拡散防止膜と、
を有する半導体装置。

【請求項2】

前記第1ダマシン配線の補助バリアメタル層は、内側に第3中空部を画定し、前記第1ダマシン配線は、さらに前記第3中空部を埋める補助銅配線層を含む請求項1記載の半導体装置。

【請求項3】

さらに、前記絶縁層に埋め込まれた、前記第1ダマシン配線より幅の狭い第2ダマシン配線であって、底面および側面を画定し、内側に第1中空部を画定するバリアメタル層と、該第1中空部を埋める、連続する銅配線層とを有する第2ダマシン配線を有し、前記銅

10

20

拡散防止膜は、前記第 1 および第 2 ダマシン配線と前記絶縁層との上に配置されている請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 ダマシン配線は、下層配線との接続用ビア部と面内に延在する配線パターン部とを有するデュアルダマシン配線であり、前記補助バリアメタル層は、前記配線パターン部内にのみ配置されている請求項 1 記載の半導体装置。

【請求項 5】

前記第 1 ダマシン配線は、下層配線との接続用ビア部と面内に延在する配線パターン部とを有するデュアルダマシン配線であり、前記補助バリアメタル層と補助銅配線層とは、前記配線パターン部内にのみ配置されている請求項 2 記載の半導体装置。

10

【請求項 6】

前記バリアメタル層および補助バリアメタル層は、それぞれ Ta, TiN, TaN のいずれかをを用いて形成されている請求項 1 記載の半導体装置。

【請求項 7】

前記第 1 ダマシン配線は、前記補助バリアメタル層は、配線パターンの厚さの半分より上方に配置されている請求項 2 記載の半導体装置。

【請求項 8】

多数の半導体素子を形成した半導体基板と、

前記半導体基板上に形成された積層絶縁層と、

前記積層絶縁層中に埋め込まれた複数の下層配線層と複数の上層配線層とを含む多層配線であって、各配線層は、層内の接続を行うための配線パターンと層間の接続を行うためのビアとを有し、前記上層配線層の少なくとも 1 層は、前記積層絶縁層に埋め込まれて面内に延在する配線パターンを有する第 1 ダマシン配線であって、底面および側面を画定し、内側に第 1 中空部を画定する、銅の拡散を防止するバリアメタル層と、該第 1 中空部内に配置され、前記配線パターン内において、内側に第 2 中空部を画定する、連続する銅配線層と、該第 2 中空部内に配置され、前記バリアメタル層とは分離されている、銅の拡散を防止する補助バリアメタル層とを含む第 1 ダマシン配線を含んで構成される多層配線と、
を有し、前記積層絶縁層は、各配線層の上に配置された、銅の拡散を防止する絶縁性銅拡散防止膜を含む半導体集積回路装置。

20

30

【請求項 9】

前記第 1 ダマシン配線の補助バリアメタル層は、内側に第 3 中空部を画定し、前記第 1 ダマシン配線は、さらに前記第 3 中空部を埋める補助銅配線層を含む請求項 8 記載の半導体集積回路装置。

【請求項 10】

前記下層配線の少なくとも 1 つは、底面および側面を画定し、内側に第 1 中空部を画定するバリアメタル層と、該第 1 中空部を埋める、連続する銅配線層とを有する第 2 ダマシン配線のみで構成されている請求項 8 記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体装置に関し、特に銅ダマシン配線を有する半導体装置に関する。

【背景技術】

【0002】

半導体集積回路装置は、集積度の向上と共に半導体素子及び配線が微細化し、さらなる多層配線が採用される。微細化された配線の高速度動作を保証しようとする、配線の抵抗を低減することが望まれる。アルミニウムに代って、より抵抗の低い銅が配線材料として用いられ始めている。銅配線を形成する場合、銅層を形成し、ホトリソグラフィを用いて微細にパターニングすることには限界がある。

【0003】

50

微細化された銅配線を形成するために、ダマシンプロセスが採用される。絶縁層に配線用溝及び／又はビア孔を形成し、溝及び／又はビア孔を銅配線層で埋め込み、絶縁層上の余分な銅配線層を化学機械研磨（CMP）等により除去する。ダマシンプロセスにはシングルダマシンプロセスとデュアルダマシンプロセスがある。

【0004】

シングルダマシンプロセスは、下層絶縁層を形成し、ビア孔を開口し、銅配線層で埋め込み、CMPで不要部を除去する。次に上層絶縁層を形成し、配線用溝を開口し、銅配線層で埋め込み、CMPで不要部を除去する。デュアルダマシンプロセスは、絶縁層を形成し、配線用溝とビア孔とを有する凹部を開口し、銅配線層で埋め込み、CMPで不要部を除去する。

10

【0005】

銅は、絶縁層中に拡散し、絶縁層の絶縁特性を劣化させる性質を有する。このため、ダマシンプロセスで銅配線を形成する場合、先ず銅の拡散を防止する機能を有するバリアメタル層を形成し、その上に銅層を形成する。バリアメタルとしては、窒化チタンTiN、窒化タンタルTa₂N等の窒化物やタンタルTa等が用いられる。

【0006】

CMPを行なった銅配線においても、表面に銅層が露出する。この銅層から上層の絶縁層へ銅が拡散することを防止するため、銅配線を形成した表面は、絶縁性銅拡散防止層で覆う。銅拡散防止層は、上層絶縁層をエッチングする時のエッチングストップパとしての機能も有する。絶縁性銅拡散防止層は、通常窒化シリコンSi₃N₄や炭化シリコンSiC等で形成される。

20

【0007】

下部バリアメタル層を備えた銅配線を形成した後、配線層表面をエッチングして掘り下げ、上部バリアメタル層を形成し、CMPで不要部を除去する提案もされている（特許文献1）。この場合は、バリアメタル層で全周囲を覆われた銅配線が形成される。さらに、上部バリアメタル層に凹部を形成し、この中にアルミニウム層を埋め込んだ構成も提案されている（特許文献2）。

【0008】

配線の高速性を保証するためには、配線周囲の絶縁層の実効誘電率を低くすることも望まれる。エッチストップ兼銅拡散防止膜は、Si₃N₄やSiCで形成されるが、他の絶縁層はなるべく低い誘電率を持つ材料で形成することが配線の浮遊容量を低下させるためには好ましい。酸化シリコンより低い誘電率を有する絶縁材料は、それぞれ特有の性質を有する。各材料の特性を考慮した多層配線構造を形成することが望まれる。

30

【特許文献1】

特開平6-275612号公報

【特許文献2】

特開2001-110809号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の目的は、長寿命化した銅配線を有する半導体装置を提供することである。

40

【0010】

本発明の他の目的は、銅配線内におけるボイドの成長を抑制することのできる半導体装置を提供することである。

【課題を解決するための手段】

【0011】

本発明の1観点によれば、

半導体基板と、

前記半導体基板の上方に形成された絶縁層と、

前記絶縁層に埋め込まれて面内に延在する配線パターンを有する第1ダマシンプロセス配線であ

50

って、底面および側面を画定し、内側に第 1 中空部を画定する、銅の拡散を防止するバリアメタル層と、該第 1 中空部内に配置され、前記配線パターン内において、内側に第 2 中空部を画定する、銅配線層と、該第 2 中空部内に配置され、前記バリアメタル層とは分離されている、銅の拡散を防止する補助バリアメタル層とを含む第 1 ダマシン配線と、

前記第 1 ダマシン配線と絶縁層との上に配置された、銅の拡散を防止する絶縁性銅拡散防止膜と、

を有する半導体装置
が提供される。

【 0 0 1 2 】

本発明の他の観点によれば、

多数の半導体素子を形成した半導体基板と、

前記半導体基板上に形成された積層絶縁層と、

前記積層絶縁層中に埋め込まれた複数の下層配線層と複数の上層配線層とを含む多層配線であって、各配線層は、層内の接続を行うための配線パターンと層間の接続を行うためのビアとを有し、前記上層配線層の少なくとも 1 層は、前記積層絶縁層に埋め込まれて面内に延在する配線パターンを有する第 1 ダマシン配線であって、底面および側面を画定し、内側に第 1 中空部を画定する、銅の拡散を防止するバリアメタル層と、該第 1 中空部内に配置され、前記配線パターン内において、内側に第 2 中空部を画定する、連続する銅配線層と、該第 2 中空部内に配置され、前記バリアメタル層とは分離されている、銅の拡散を防止する補助バリアメタル層とを含む第 1 ダマシン配線を含んで構成される多層配線と

を有し、前記積層絶縁層は、各配線層の上に配置された、銅の拡散を防止する絶縁性銅拡散防止膜を含む半導体集積回路装置

が提供される。

【発明を実施するための最良の形態】

【 0 0 1 3 】

アルミニウム配線において、電流によりアルミニウム原子がマイグレートするエレクトロマイグレーションが知られている。銅はアルミニウムよりエレクトロマイグレーションが生じにくいと言われている。しかし、銅配線においてもエレクトロマイグレーションは生じる。

【 0 0 1 4 】

先ず、本発明者の行なった予備的実験について説明する。本発明者は、デュアルダマシン配線を有するサンプルを作成し、加速試験を行ない、エレクトロマイグレーションによるボイドの発生を観察した。

【 0 0 1 5 】

F I G . 9 A は、実験に用いたサンプルの透過型電子顕微鏡 (T E M) 写真のスケッチを示す。下層配線が、バリアメタル層 B 1 と銅配線層 W 1 で形成され、その端部に接触する上層配線層がバリアメタル層 B 2 と銅配線層 W 2 で形成されている。各配線の上面上には絶縁性銅拡散防止層が形成されている。この配線に電流を流した方向は、上層配線から下層配線に向って電子を供給する方向である。下層銅配線層 W 1 には、上層配線との接触部に小さなボイド M 1 が発生し、配線の間際に大きなボイド M 2 が発生している。

【 0 0 1 6 】

F I G . 9 B は、F I G . 9 A の下層配線層の構成を概略的に示す断面図である。下層配線は、層間絶縁膜 I L 内に形成されている。下層銅配線層 W 1 の表面上には、S i N で形成された絶縁性銅拡散防止層 D B が配置されている。ボイド M 1、M 2 は、下層銅配線層 W 1 と、絶縁性銅拡散防止層 D B との界面に接して形成されている。

【 0 0 1 7 】

ボイドは、銅配線層と絶縁性銅拡散防止層との界面から発生していることが判る。バリアメタル層とその上に形成された銅配線層との界面には、ボイドは発生していない。

【 0 0 1 8 】

10

20

30

40

50

この実験結果から、バリアメタル層と銅配線層とは良好な界面を形成する、絶縁性銅拡散防止層と銅配線層とは良好な界面を形成できず、密着性が悪く、その界面における銅原子は移動し易く、界面拡散が生じやすくなっていると考えられる。絶縁性銅拡散防止層との界面において銅原子が界面拡散を始めると、空所に隣接する銅原子が体積移動し、体積移動する銅原子が不足するとボイドが発生し、成長すると考えられる。

【0019】

なお、ボイドM1は、上層配線層のバリアメタル層B2と接する下層銅配線層W1内に発生しているが、バリアメタル層B2を介して隣接する上層銅配線層W2中には成長していない。このことは、銅配線層にボイドが発生すると、連続した銅配線層内においてはボイドが成長するが、バリアメタル層を突き抜けてボイドが成長することはないことを示唆している。

10

【0020】

この現象を利用すると、ボイドの成長を抑制することが可能であろう。すなわち、銅配線層内にバリアメタル層を介在させると、バリアメタル層でボイドの成長を停止させることが可能であろう。

【0021】

以下、本発明の実施例を図面を参照して説明する。

【0022】

FIG. 1A～1Eは、本発明の第1の実施例による半導体装置の製造方法を概略的に示す。

20

【0023】

FIG. 1Aに示すように、半導体素子を含む下地10の上に、絶縁性銅拡散防止層11、層間絶縁層12の積層を形成する。銅拡散防止層11は、例えば厚さ50nmのSiN膜であり、層間絶縁層12は、例えば厚さ500nmの酸化シリコン層である。酸化シリコン層12の上に配線用溝の形状を有する開口を形成したホトレジストパターンPRを形成する。

【0024】

ホトレジストパターンPRをエッチングマスクとし、酸化シリコン層12をエッチングする。窒化シリコン層11はエッチングストップとして機能する。その後ホトレジストパターンPRはアッシング等により除去する。窒化シリコン層11下に銅配線等酸化しやすい要素が存在しても、窒化シリコン層11がその酸化を防止する。

30

【0025】

FIG. 1Bは、酸化シリコン層12をエッチングし、ホトレジストパターンPRを除去した状態を示す。開口内に窒化シリコン層11が露出している。この状態において、酸化シリコン層12をエッチングマスクとし、開口内に露出した窒化シリコン層11のエッチングを行なう。例えば、CF系ガス等を用いたプラズマにより窒化シリコン層11をエッチングする。

【0026】

FIG. 1Cは、窒化シリコン層11のエッチングが終了した状態を示す。酸化シリコン層12、窒化シリコン層11を貫通して配線用溝が形成されている。下地10内に、導電性プラグ等が形成されている場合は、酸化シリコン層12、窒化シリコン層11を貫通して形成された開口内に、これらの接続用領域が露出される。

40

【0027】

FIG. 1Dに示すように、配線用溝を形成した絶縁層上に、バリアメタル層13、銅配線層14を形成する。例えば、厚さ50nmのTa層をスパッタリングして、バリアメタル層13を形成し、シード用銅層をスパッタリングで形成した後銅層をメッキで形成して、厚さ約250nmの銅配線層14を形成する。厚さ50nmの窒化シリコン層11と厚さ500nmの酸化シリコン層12との積層で形成された深さ550nmの溝内に厚さ50nmのバリアメタル層13と厚さ250nmの銅配線層14が形成され、深さの半分以上が埋め戻される。溝の残る深さは250nmである。

50

【 0 0 2 8 】

メッキは、狭い開口部において優先的に成長するため、幅の狭い溝内は銅層 1 4 で埋め込まれる。広幅の配線層において、厚さ 2 5 0 n m の銅層 1 4 の表面は、厚さ 5 0 0 n m の酸化シリコン層 1 2 の表面よりも 2 5 0 n m 下に配置される。

【 0 0 2 9 】

銅配線層 1 4 の上に、さらにバリアメタル層 1 5 を形成し、銅配線層 1 6 を成長する。例えば、厚さ 5 0 n m の T a 層 1 5 をスパッタリングにより形成し、その後厚さ 8 0 0 n m の銅層 1 6 をメッキにより形成する。溝が 5 5 0 n m の深さを有しているので、銅配線層 1 6 の表面にも深さ約 5 5 0 n m の凹部が形成される。

【 0 0 3 0 】

F I G . 1 D に示す状態で、C M P を行ない、酸化シリコン層 1 4 の上に堆積している銅層及びバリアメタル層を完全に除去する。C M P において、研磨面と接する上面は機械研磨と化学研磨の両方を受ける。研磨面と接しない凹部内は化学研磨のみを受ける。このように、凹部内の研磨速度は遅いので、C M P 途中において銅層 1 6 表面の凹凸は消滅し、平坦な表面が出現する。

【 0 0 3 1 】

F I G . 1 E に示すように、酸化シリコン層 1 2 上の金属層を完全に除去し、銅層 1 6 表面を酸化シリコン層 1 2 表面と略同一平面として、C M P を終了する。酸化シリコン層 1 2 の表面が初めて露出した点で C M P を終了した場合、補助銅配線層の厚さは 2 0 0 n m となる。オーバー研磨を行なうと、補助銅配線層の厚さは減少する。

【 0 0 3 2 】

平坦化された表面上に例えば窒化シリコン等の絶縁層銅拡散防止層 1 7 を成膜し、さらにその上に酸化シリコン層等の絶縁層 1 8、窒化シリコン層等の保護層 1 9 を形成する。なお、さらに上層配線層を形成する場合には、保護層 1 9 の成長は省略する。

【 0 0 3 3 】

右側の広幅配線は、下からバリアメタル層 1 3、銅配線層 1 4、補助バリアメタル層 1 5、補助銅配線層 1 6 の積層で形成される。絶縁性銅拡散防止層 1 7 は、配線の周辺部を除いた配線上面の主要部においては、補助銅配線層 1 6 に接し、銅配線層 1 4 には接しない。配線上面の周辺部の限られた面積のみにおいては、絶縁性銅拡散防止層 1 7 は、銅配線層 1 4 に接する。

【 0 0 3 4 】

補助銅配線層 1 6 内で銅原子のエレクトロマイグレーションによりボイドが発生しても、そのボイドは補助バリアメタル層 1 5 によって閉じ込められるであろう。

【 0 0 3 5 】

銅配線層 1 4 は、周辺の限られた面積で絶縁性銅拡散防止層 1 7 と接するが、上下主要部をバリアメタル層 1 3、1 5 で挟まれた構成のため、ボイドが発生しにくい。ボイドの発生に基づく不良の発生を抑制することが可能となり、太幅配線における電流密度を増大することも可能となる。

【 0 0 3 6 】

F I G . 9 C は、期待される機能を示す概略断面図である。層間絶縁膜 I L 内にバリアメタル層 B 1、銅配線層 W 1、補助バリアメタル層 B 1 x、補助銅配線層 W 1 x で構成された配線パターンが形成されている。配線パターンの 1 端には、バリアメタル層 B 2、銅配線層 W 2 で構成された上層配線のビアが接続されている。配線パターン上面上には銅拡散防止層 D B が形成されている。

【 0 0 3 7 】

銅拡散防止層 D B と補助銅配線層 W 1 x との界面で銅原子の界面拡散が生じ、それに伴って銅原子の体積移動が生じ、ボイド M が発生する。ボイド M は成長するが、補助バリアメタル層 B 1 x で成長は停止する。下部に配置された銅配線層 W 1 中にボイドが成長することは抑止される。

【 0 0 3 8 】

10

20

30

40

50

FIG. 1 A - 1 E に示した実施例においては、細幅の配線層には補助バリアメタル層 15 は配置されず、太幅の配線層にのみ補助バリアメタル層 15 が形成され、その上に補助銅配線層 16 が形成された。細幅配線においてボイドが発生すると不良が生じてしまう。製造条件を調整することにより、細幅配線にも補助バリアメタル層を配置することもできる。

【0039】

FIG. 2 A - 2 D は、本発明の第 2 の実施例による半導体装置の製造方法を示す。FIG. 1 A - 1 C と同様の工程を行ない、絶縁性銅拡散防止層 11、層間絶縁層 12 に配線用溝を形成する。

【0040】

FIG. 2 A に示すように、配線用溝を形成した半導体基板表面上にバリアメタル層 13 を成膜した後、銅配線層 14 を化学気相堆積 (CVD) により形成する。CVD は、等方成長を行なうため、バリアメタル層 13 表面上に均一な厚さの銅配線層 14 が形成される。太幅配線溝内のみならず、細幅配線溝内においても、中空部が残るように銅配線層 14 の厚さを選択する。

【0041】

銅配線層 14 の上に、補助バリアメタル層 15 を形成し、さらに補助銅配線層 16 を形成する。その後 CMP を行ない、酸化シリコン層 12 上の金属層を全て除去する。

【0042】

FIG. 2 B に示すように、太幅配線溝内のみでなく、細幅配線溝内においても、補助バリアメタル層 15、補助配線層 16 が埋め込まれた配線が形成される。第 2 の実施例によれば、銅配線層 14 の厚さが均一にかつ薄く設定され、細幅配線内においても補助バリアメタル層 15、補助銅配線層 16 が形成される。細幅配線、太幅配線を問わず、ボイドを原因とする配線の断線を減少することができる。以下、上層にデュアルダマシン配線を形成する工程を説明する。

【0043】

CMP した表面上に、窒化シリコン層等の絶縁性銅拡散防止層 21、酸化シリコン等の絶縁層 22、窒化シリコン等のエッチストップ層 23、酸化シリコン等の絶縁層 24 を成長する。これらの絶縁積層は、合わせて配線層 1 層分の層間絶縁膜を構成する。窒化シリコン層 23、酸化シリコン層 24 が配線パターン用絶縁層である。

【0044】

FIG. 2 C に示すように、絶縁層 23、24 に配線パターン用溝、絶縁層 22、21 にビア孔を形成し、デュアルダマシン用凹部を形成する。デュアルダマシン用凹部を形成する方法としては、先にビア孔を形成し、後に配線パターン用溝を形成する公知の方法、先に配線パターン用溝を形成し、後にビア孔を形成する公知の方法のいずれを用いてもよい。

【0045】

FIG. 2 D に示すように、デュアルダマシン用凹部を埋め込むように、バリアメタル層 25、銅配線層 26、補助バリアメタル層 27、補助銅配線層 28 を形成し、CMP を行なって絶縁積層表面上の金属層を除去し、デュアルダマシン配線を完成する。

【0046】

ビア孔の径は通常細く設計されるので、ビア孔内は、バリアメタル層 25 と銅配線層 26、又はバリアメタル層 25 のみで埋め込まれる。ビア導電体は絶縁性銅拡散防止膜に接しないので補助バリアメタル層 25 がビア導電体に含まれなくても実質的な不利は生じない。補助バリアメタル層 27、補助銅配線層 28 は、配線パターン内にのみ形成される。

【0047】

FIG. 1 E、2 D の構成によれば、配線の主要部において、絶縁性銅拡散防止層 17、21 は、補助銅配線層 16 とは接触するが、配線層 13 とは補助バリアメタル層で分離され、接触していない。絶縁性銅拡散防止層 17、21 との界面において、補助銅配線層 16 内に界面拡散が生じ、ボイドが発生しても、そのボイドは補助銅配線層 16 内にあり

10

20

30

40

50

、補助バリアメタル層 15 によって成長を止められ、配線層 13 に拡がることは防止される。

【0048】

補助銅配線層は、ボイドの発生、成長を許容する領域である。補助銅配線層から補助バリアメタル層を介して分離されている銅配線層は、銅拡散防止層との接触が周辺部のみに制限され、ボイドの発生を抑制した領域である。

【0049】

補助銅配線層の銅配線層に対する体積比が小さいほど、ボイドの発生を抑制した銅配線の断面積が大きくなる。この観点からは、補助バリアメタル層、補助銅配線層は、浅く、例えば配線溝の深さの 1/2 以下の深さに、形成することが好ましい。第 1 の実施例のよう

10

【0050】

上述の実施例においては、絶縁性銅拡散防止層、及びエッチングストップ層として SiN を用い、絶縁層としては酸化シリコンを用いた。種々の他の絶縁層を用いることも可能である。

【0051】

FIG. 3A、3B、3C は、種々の材料を用いた絶縁積層構造の例を示す。

【0052】

FIG. 3A においては、SiLK (ダウケミカル社商標) 等の有機絶縁層 31 の上に、SiC のハードマスク層 32 を重ね、下層配線の層間絶縁層が形成されている。この層間絶縁層内に、バリアメタル層 B1、銅配線層 W1、補助バリアメタル B1x、補助銅配線層 W1x で形成された銅配線パターンが埋め込まれている。銅配線パターンは実施例 1、2 のいずれかのものでよい。

20

【0053】

銅配線パターンの上には、SiC の銅拡散防止層兼エッチングストップ層 33、有機絶縁層 34、SiC のハードマスク層 35 が積層され、上層配線の層間絶縁膜を形成している。これらの層間絶縁膜を貫通して、ビア部とを配線部を有するデュアルダマシン上層配線が、バリアメタル層 B2、銅配線層 W2、補助バリアメタル層 B2x、補助銅配線層 W2x で形成されている。

30

【0054】

上層配線の上には、SiC の銅拡散防止層 52、SiO₂ 等の絶縁層 53、SiN 等の保護層 54 が形成されている。

【0055】

FIG. 3B においては、酸化シリコン層 36、有機絶縁層 37、酸化シリコン層 38 で下層配線用の層間絶縁膜が形成されている。この積層絶縁層内に、上述同様の下層銅配線が埋め込まれている。

【0056】

上層配線用の層間絶縁膜は、SiN 等の銅拡散防止層 39、酸化シリコン層 40、有機絶縁層 41、酸化シリコン層 42 で構成されている。この積層絶縁層内に、上述同様のデュアルダマシン上層配線が埋め込まれている。

40

【0057】

この層間絶縁膜構造は、有機絶縁膜を用いて実質誘電率を低減させながら、有機絶縁膜を酸化シリコン層で挟むことにより、プロセス上の安全性を高めている。上層配線より上の絶縁膜は FIG. 3A 同様の構成を有する。有機絶縁膜と酸化シリコン膜とは、異なるエッチング特性を有する。この特性の差を利用してエッチングをより容易に制御することができる。

【0058】

FIG. 3C においては、弗化酸化シリコン (SiOF、または FSG) 層 46 が下層配線の層間絶縁膜を構成する。この絶縁層内に、上述同様の下層銅配線が埋め込まれてい

50

る。SiN等の絶縁性銅拡散防止層47と、弗化酸化シリコン層48が上層配線の層間絶縁膜を構成している。この積層絶縁層内に、上述同様のデュアルダマシン上層配線が埋め込まれている。

【0059】

なお、バリアメタル層としては、Ta、TiN、Ta₂N等を用いることができる。但し、弗化酸化シリコンを用いたFIG. 3Cの構成においては、弗化酸化シリコン層の上に配置されるバリアメタル層B1及びB2としては、Ta以外のTiN、Ta₂Nを用いることが好ましい。

【0060】

FIG. 4A、4B、4Cは、下層配線と上層配線の接続部の形状を、FIG. 3Bに示す構造を例として、示す。FIG. 3Bと同様の符号は同様の部材を示す。

10

【0061】

FIG. 4Aにおいては、上層配線のビア部B2、W2は下層配線のバリアメタル層B1から、銅配線層W1、補助バリアメタル層B1x、補助銅配線層W1xにわたる領域でコンタクトを形成している。この構成は、FIG. 3Bで示したものと同様である。上層配線のビア部は、銅配線層W1のみでなく補助銅配線層W1xとも接触している。

【0062】

FIG. 4Bにおいては、下層配線のバリアメタル層B1、銅配線層W1及び補助バリアメタル層B1xの上面のみにおいて、上層配線のビア部が接触を形成している。上層配線のビア部B2、W2は、銅配線層W1とは接触するが、補助銅配線W1xには接触していない。

20

【0063】

FIG. 4Cにおいては、下層配線のバリアメタル層B1、銅配線層W1の上面にのみ、上層配線のビア部B2、W2が接触を形成している。上層配線のビア部B2、W2は、銅配線層W1を横断せず、補助バリアメタル層B1xとの間に銅配線層W1と銅拡散防止層39とが接触する領域がある。

【0064】

これらのコンタクト構造は、条件、必要に応じて選択することができる。

【0065】

FIG. 5Aは、ビア部と配線パターン部とを別々のプロセスで形成するシングルダマシン構造による半導体装置の構成例を示す。下地絶縁層60の上に、SiN等のエッチングストッパ層61、酸化シリコン層62を形成し、下層配線の層間絶縁膜を構成する。この層間絶縁膜中に、バリアメタル層63、銅配線層64、補助バリアメタル層65、補助銅配線層66で形成された下層配線パターンが埋め込まれている。

30

【0066】

下層配線層の上に、エッチングスストッパ層67、酸化シリコン層68が積層され、上層配線のビア部が埋め込まれている。ビア部は、バリアメタル層69、銅配線層70のみで構成されている。ビア部の上に、エッチングストッパ層11、酸化シリコン層12で配線パターン用絶縁層が形成され、この中にバリアメタル13、銅配線層14、補助バリアメタル層15、補助銅配線層16で形成された配線パターンが埋め込まれている。

40

【0067】

この配線パターンの上面を、SiN等のエッチングストッパ17が覆い、さらに酸化シリコン層18が形成され、さらに上層配線のバリアメタル層71、銅配線層72で形成されたビア部が接触する。

【0068】

シングルダマシン構造においては、ビア部の銅配線層70は、配線パターンのバリアメタル層13で覆われ、銅拡散防止層(エッチングストッパ層)11、17とは接触しない。銅拡散防止層17と接触する配線パターンの銅配線層14とビア部の銅配線層70とはバリアメタル層13で分離される構造である。従って、ビア部に補助バリアメタル層を設ける必要は少ない。

50

【 0 0 6 9 】

FIG. 5 Bは、配線パターンの構造の変形例を示す。下地絶縁層40の上に、例えば有機絶縁層41と酸化シリコン層42とで層間絶縁膜が形成されている。この層間絶縁膜中に、バリアメタル層B、銅配線層W、補助バリアメタル層Bxで形成された配線パターンが埋め込まれている。この上に、絶縁性銅拡散防止層が形成される。補助バリアメタル層はバリアメタル層と分離されている。

【 0 0 7 0 】

この構成においては、補助バリアメタル層Bxの上に補助銅配線層は配置されていない。銅配線層Wの主要部上に補助バリアメタル層Bxが形成されているため、銅配線層Wと絶縁性銅拡散防止層との接触が制限され、ボイドの発生が抑制される。補助バリアメタル層Bxの厚さは、CMPで消滅しないように選択することが好ましい。

10

【 0 0 7 1 】

FIG. 6 A、6 B、6 Cは、広幅配線においてディッシング及びエロージョンが生じた時の構成の変化を示す。

【 0 0 7 2 】

FIG. 6 Aにおいて、酸化シリコン層40、有機絶縁層41、酸化シリコン層42で形成される絶縁積層構造に、第1、第2実施例のいずれかと同様バリアメタル層B、銅配線層W、補助バリアメタル層Bx、補助銅配線層Wxで形成された配線パターンが埋め込まれている。配線パターン形成の際のCMPにおいて、ディッシング及びエロージョンが生じると、配線パターン上面が、中央部に向かって次第に引き下げられた形状となる。

20

【 0 0 7 3 】

FIG. 6 Bは、ディッシング及びエロージョンがさらに強い場合を示す。配線層の上面は、中央部で補助バリアメタル層Bxに達している。この状態においても、銅配線層Wの主要部は絶縁性銅拡散防止層とは接触しないのでボイドの発生は抑制される。第1、第2実施例のいずれかと図5Bの実施例との組み合わせを考えることもできるであろう。

【 0 0 7 4 】

FIG. 6 Cは、さらにディッシング及びエロージョンが強くなった場合を示す。補助バリアメタル層Bx及び補助銅配線層Wxの中央部は、ディッシング及びエロージョンにより消滅し、銅配線層Wが露出している。絶縁性銅拡散防止層は、銅配線層Wの露出部と接触する。

30

【 0 0 7 5 】

この状態においても、補助バリアメタル層Bxが残っている領域においては、銅配線層Wと絶縁性銅拡散防止層との接触が防止されているため、ボイドの発生は抑制される。

【 0 0 7 6 】

FIG. 7は、多層配線構造を有する半導体集積回路装置の構成例を示す。シリコン基板101に、シャロートレンチアイソレーション(STI)による素子分離領域102が形成されている。素子分離領域102で囲まれた活性領域内にMOSトランジスタを形成するため、p型ウエル103、n型ウエル104が形成されている。

【 0 0 7 7 】

p型ウエル領域103上に、ゲート絶縁膜105、多結晶シリコンゲート電極106、サイドウォールスペーサ107が形成され、ゲート電極106の両側にエクステンション付n型ソース/ドレイン領域108が形成される。n型ウエル領域104においては、p型ソース/ドレイン領域109が形成される。

40

【 0 0 7 8 】

ゲート電極を覆って半導体基板上に窒化シリコン層111が形成され、その上にホスホシリケートガラス(PSG、燐ドーブ酸化シリコン)層112が形成される。PSG層112、窒化シリコン層111を貫通して、TiNのバリアメタル層B11とタングステン層V1とで形成されたビア導電体が形成される。

【 0 0 7 9 】

PSG層112の上に、有機絶縁層113、酸化シリコン層114が積層される。この

50

積層の中に、バリアメタル層 B 1、銅配線層 W 1、補助バリアメタル層 B 1 x、補助銅配線層 W 1 x で形成された配線パターンが埋め込まれる。このようにして第 1 配線層 W L 1 が形成される。

【 0 0 8 0 】

第 1 配線層 W L 1 の上に、窒化シリコン層 1 2 1、酸化シリコン層 1 2 2、有機絶縁層 1 2 3、酸化シリコン層 1 2 4 の積層が形成され、第 2 配線 W L 2 用の層間絶縁膜が形成される。第 2 配線層用層間絶縁膜に、バリアメタル層 B 2、銅配線層 W 2、補助バリアメタル層 B 2 x、補助銅配線層 W 2 x で形成された第 2 配線層 W L 2 が埋め込まれる。

【 0 0 8 1 】

第 3 配線層 W L 3、第 4 配線層 W L 4 用の層間絶縁膜は、第 2 配線 W L 2 に対する層間絶縁膜と同様、窒化シリコン層 1 3 1、1 4 1、酸化シリコン層 1 3 2、1 4 2、有機絶縁層 1 3 3、1 4 3、酸化シリコン層 1 3 4、1 4 4 の積層で形成される。

10

【 0 0 8 2 】

第 3 配線層 W L 3、第 4 配線層 W L 4 のダマシン配線の構造は、第 2 配線層と同様である。バリアメタル層 B n、銅配線層 W n、補助バリアメタル層 B n x、補助銅配線層 W n x で配線パターンが形成される。

【 0 0 8 3 】

第 5 配線層 W L 5 ~ 第 7 配線層 W L 7 は、第 2 配線層 W L 2 ~ 第 4 配線層 W L 4 とは異なる構成を有する。第 5 配線層 W L 5 の層間絶縁膜は、窒化シリコン層 1 5 1、酸化シリコン層 1 5 2、窒化シリコン層 1 5 3、酸化シリコン層 1 5 4 の積層で形成されている。配線パターンの構成は、第 2 ~ 第 4 配線 W L 4 と同様である。

20

【 0 0 8 4 】

第 6 配線層、第 7 配線層に対する層間絶縁膜も、第 5 配線層 W L 5 同様窒化シリコン層 1 6 1、1 7 1、酸化シリコン層 1 6 2、1 7 2、窒化シリコン層 1 6 3、1 7 3、酸化シリコン層 1 6 4、1 7 4 で形成されている。配線パターンの構成は、第 5 配線 W L 5 と同様である。

【 0 0 8 5 】

上層配線は、配線間ピッチが広くなり、配線密度が緩やかになる。このため、配線間の浮遊容量を低減するため、低誘電率絶縁層を用いる必要性が低くなる。そこで、第 5 ~ 第 7 配線層では、有機絶縁層を用いず、層間絶縁層の信頼性を高めている。

30

【 0 0 8 6 】

最上層の第 8 配線層 W L 8 は、独自の構成を有する。窒化シリコン層 1 8 1、酸化シリコン層 1 8 2 で下部絶縁層が形成され、バリアメタル層 B 8 1、タングステン層 V 8 でビア部が形成される。

【 0 0 8 7 】

ビア部の上に、T i N 層 B 8 2、アルミニウム層 W 8、T i N 層 B 8 3 でパッド兼用の配線層が形成されている。なお、アルミニウムの代りに C u を用いることもできる。最上層の配線を覆って、酸化シリコン層 1 8 3、窒化シリコン層 1 9 0 が形成されている。

【 0 0 8 8 】

F I G . 7 の構成においては、第 1 配線層 W L 1 ~ 第 7 配線層 W L 7 の全てにおいて配線パターン中に補助バリアメタル層を埋め込み、ボイドの発生を抑制している。層間絶縁膜の構成は、下部配線層と最上層を除く上部配線層でその構成が異なっている。

40

【 0 0 8 9 】

F I G . 8 は、多層配線構造を有する半導体集積回路装置の他の構成例を示す。半導体基板内に形成する M O S トランジスタ構造及びソース / ドレインの引出し導電性プラグの構成は、F I G . 7 と同様である。

【 0 0 9 0 】

P S G 層 1 1 2 の上に、S i C 層 1 1 6、有機絶縁層 1 1 7、S i C 層 1 1 8 の積層が形成され、バリアメタル層 B 1、銅配線層 W 1 で第 1 配線層 W L 1 が形成されている。補助バリアメタル層は用いられていない。

50

【0091】

第2配線層WL2～第4配線層WL4は、第1配線層WL1と同様の構成を有する。第4配線層WL4を例にとって説明すると、層間絶縁膜はSiC層141、有機絶縁層142、SiC層143で形成されている。デュアルダマシン配線は、バリアメタル層B4と銅層W4で形成され、補助バリアメタル層は配置されていない。

【0092】

第5配線層WL5～第8配線層WL8はそれぞれ同様の構成を有する。第5配線層WL5を例にとって説明すると、層間絶縁膜は、SiC層151、酸化炭化シリコン(SiOC)層152、SiC層153、酸化炭化シリコン層154で形成されている。デュアルダマシン配線は、バリアメタル層Bおよび銅配線層Wで形成され、補助バリアメタル層は

10

【0093】

第9配線層WL9は、SiC層191、酸化シリコン層192、SiC層193、酸化シリコン層194で形成された層間絶縁膜に、バリアメタル層B9、銅配線層W9、補助バリアメタル層B9x、補助銅配線層W9xで形成されたデュアルダマシン配線が埋め込まれる。

【0094】

第10配線層WL10は、第9配線WL9と同様の構成を有する。SiC層201、酸化シリコン層202、SiC層203、酸化シリコン層204で形成されて層間絶縁膜にバリアメタル層B10、銅配線層W10、補助バリアメタル層B10x、補助銅配線層W10xで形成されたデュアルダマシン配線が埋め込まれる。

20

【0095】

最上配線層WL11は、FIG. 7の最上配線と同様の構成を有する。SiC層211、酸化シリコン層212が積層され、この中にTiNのバリアメタル層B11と、Wの配線層W11で形成されたビア導電体が埋め込まれている。ビア導電体の上に、TiN層B111、アルミニウム、又は銅を含むアルミニウム合金で形成された主配線層W12、TiNの上部バリアメタル層B112で形成されたボンディングパッド兼用最上配線層が形成される。この配線層を覆って、酸化シリコン層213、窒化シリコン層220が形成される。

【0096】

30

FIG. 8の構成においては、下層から上層に向って3段階で層間絶縁層の積層構成が変化し、実質的誘電率は下層ほど低くされている。下層配線は高密度であり、配線の付随容量を低減するためには層間絶縁層の誘電率を低減することが好ましい。

【0097】

下層配線層、中層配線層には補助バリアメタル層、補助銅配線層が配置されず、上層の2層の配線層WL9、WL10にのみ、補助バリアメタル層、補助銅配線層を配置している。上層配線層は、電源配線の占める割合が高く、大電流を供給する必要がある。このような配線において、補助バリアメタル層、補助銅配線層を用いた配線構造を用いると、ボイドの発生を有効に抑制することができ、配線の寿命を長期化するのに有効である。

【0098】

40

以上、実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の組み合わせ、変更、変形が可能であることは当業者に自明であろう。

【産業上の利用の可能性】

銅配線と銅配線上の絶縁性銅拡散防止層を有する種々の半導体装置に応用できる。

【図面の簡単な説明】

【0099】

【図1】 FIG. 1A-1Eは、本発明の実施例による半導体装置の製造方法を示す断面図である。

【図2】 FIG. 2A-2Dは、本発明の他の実施例による半導体装置の製造法を示す断面図である。

50

【図 3】 FIG. 3A - 3C は、多層配線の積層絶縁層の例を示す断面図である。

【図 4】 FIG. 4A - 4C は、本発明の実施例によるビア導電体と下層配線層の接触部を示す断面図である。

【図 5】 FIG. 5A、5B は、本発明の他の実施例による半導体装置の断面図である。

【図 6】 FIG. 6A - 6C は、CMP の条件により発生し得る形態を示す断面図である。

【図 7】 FIG. 7 は、多層配線を有する半導体装置の 1 例を示す断面図である。

【図 8】 FIG. 8 は、多層配線を有する半導体装置の他の 1 例を示す断面図である。

【図 9】 FIG. 9A、9B は、本発明者の行なった実験を示すスケッチ及び断面図である。

10

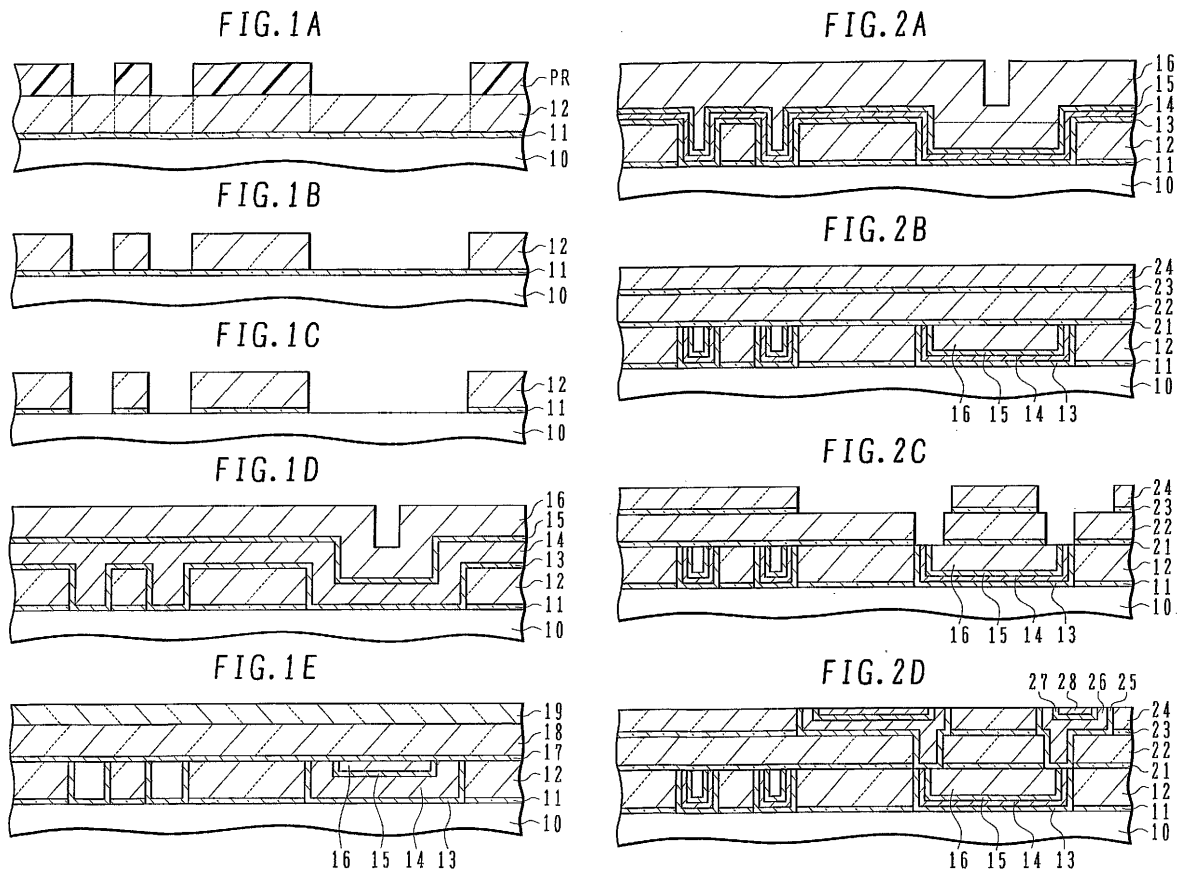


FIG. 3A

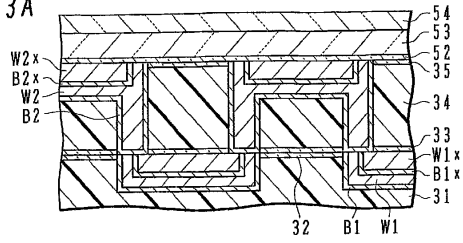


FIG. 3B

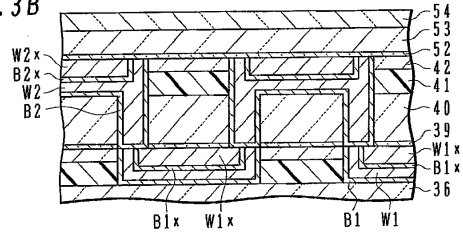


FIG. 3C

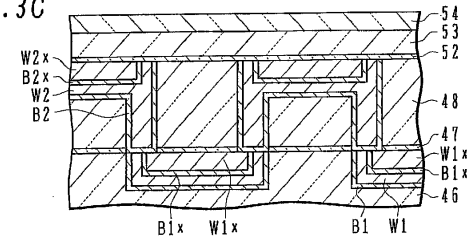


FIG. 4C

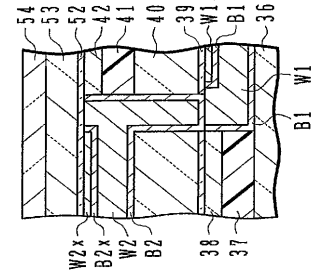


FIG. 4B

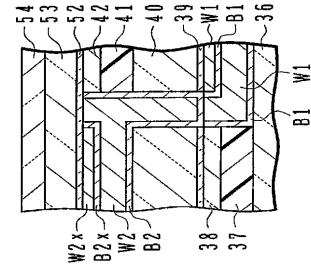


FIG. 4A

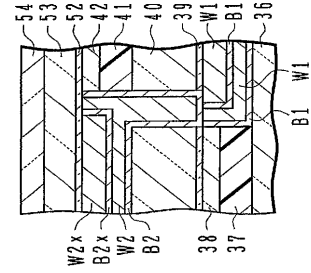


FIG. 5A

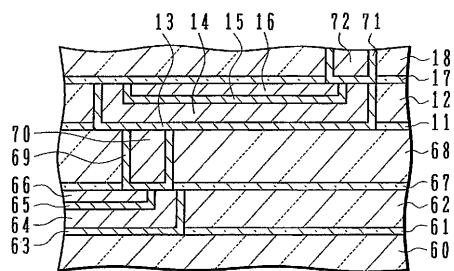


FIG. 5B

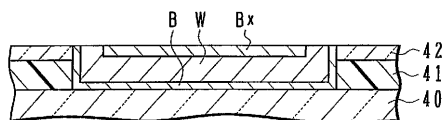


FIG. 6A

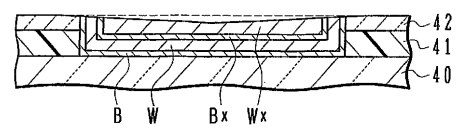


FIG. 6B

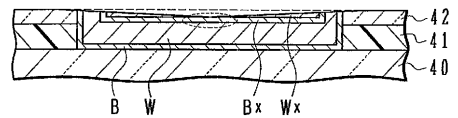
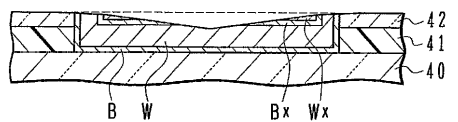
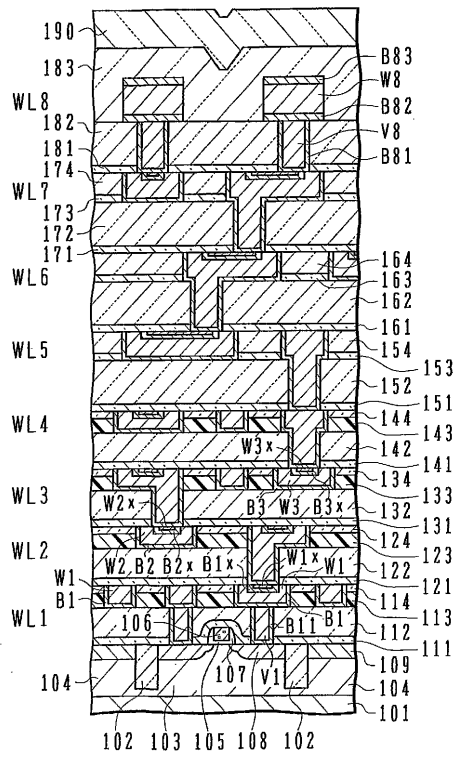


FIG. 6C



【図 7】

FIG. 7



【図 8】

FIG. 8

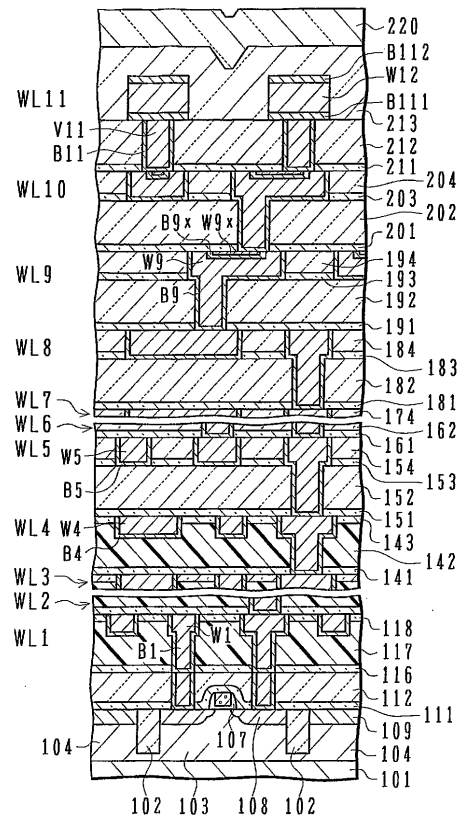


FIG. 9A

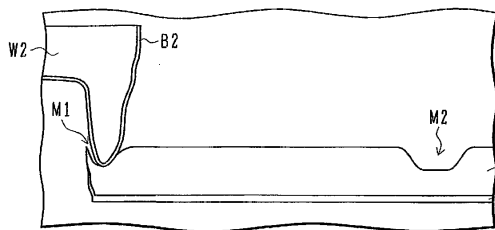


FIG. 9B

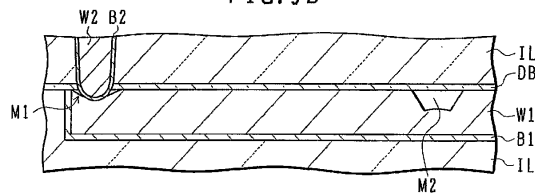
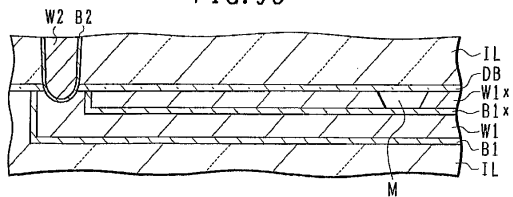


FIG. 9C



フロントページの続き

(56)参考文献 特開 2 0 0 0 - 2 6 0 7 7 0 (J P , A)
特開平 1 1 - 0 4 5 8 8 7 (J P , A)
特開 2 0 0 2 - 0 6 4 1 3 8 (J P , A)
特開 2 0 0 2 - 1 1 0 6 7 6 (J P , A)
特開 2 0 0 3 - 2 4 9 5 4 7 (J P , A)
特開 2 0 0 3 - 0 3 1 5 7 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/3205

H01L 21/768

H01L 23/52

H01L 23/522