



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년06월08일  
(11) 등록번호 10-1151326  
(24) 등록일자 2012년05월23일

(51) 국제특허분류(Int. Cl.)  
H01L 31/042 (2006.01)  
(21) 출원번호 10-2010-0092786  
(22) 출원일자 2010년09월24일  
심사청구일자 2010년09월24일  
(65) 공개번호 10-2012-0031326  
(43) 공개일자 2012년04월03일  
(56) 선행기술조사문헌  
KR1020050102854 A  
JP2005310787 A  
US20040028875 A1  
US7253017 B1

(73) 특허권자  
한국광기술원  
광주광역시 북구 첨단벤처로108번길 9 (월출동)  
(72) 발명자  
주진우  
광주광역시 광산구 산월동 첨단 호반3차 318동 1003호  
전대우  
전라북도 전주시 완산구 원색장길 47-2 (색장동)  
(74) 대리인  
청운특허법인

전체 청구항 수 : 총 9 항

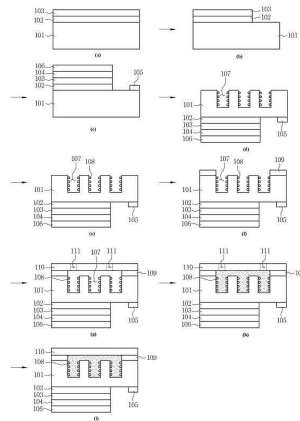
심사관 : 박부식

(54) 발명의 명칭 **자립형 III족 질화물계 기판을 이용한 유무기 하이브리드 광소자 및 이의 제조방법**

**(57) 요약**

본 발명의 구체예에 따라 제공되는 유무기 하이브리드 광기전소자는 p-n 접합을 구비한 무기 광기전 소자 및 염료감응형 광기전 소자의 일체화된 결합 구조를 하나의 III족 질화물 기판을 사용하여 제작할 수 있다.

**대표도 - 도1**



(72) 발명자

**이승재**

전라북도 전주시 덕진구 솔내7길 17-4 (송천동1가)

**백중협**

대전광역시 서구 만년로 25, 108동 1503호 (만년동, 강변아파트)

**이상현**

광주광역시 광산구 산월로 80, 첨단 7차 부영사랑으로아파트 1302동 902호 (산월동)

**정탁**

광주광역시 광산구 신창로161번길 34, 신창3차 부영사랑으로아파트 307동 1504호 (신창동)

이 발명을 지원한 국가연구개발사업

과제고유번호 10031811-2009-12

부처명 지식경제부

연구사업명 전략기술개발사업

연구과제명 외부 양자 효율 향상을 위한 기반 기술개발

주관기관 한국광기술원

연구기간 2009.10.01 ~ 2010.09.30

---

**특허청구의 범위**

**청구항 1**

서로 간격을 두고 마주보는 하층의 제1 (+) 전극층 및 상층의 제2 (+) 전극층;

상기 제1 (+) 전극층 상에 형성된, p-n 접합을 제공하는 반도체 층;

상기 p-n 접합을 제공하는 반도체 층과 상기 제2 (+) 전극층 사이에 위치하는 패터화된 III족 질화물 구조물; 및

상기 패터화된 III족 질화물 구조물의 일 면에 형성된 제1 (-) 전극층;

을 포함하며,

상기 패터화된 III족 질화물 구조물은 패터화에 의하여 형성된 복수의 홀 또는 복수의 로드를 포함하고, 상기 복수의 홀의 내면 또는 상기 복수의 로드의 외면에 염료감응형 광기전소자용 염료가 부착되며, 그리고 상기 패터화된 III족 질화물 구조물 내 복수의 홀의 내부 공간 또는 상기 복수의 로드 외측에 형성된 공간에 전해질이 충전된 것을 특징으로 하는 유무기 하이브리드 광기전소자.

**청구항 2**

제1항에 있어서,

상기 p-n 접합을 제공하는 반도체 층은 III족 질화물 재질인 것을 특징으로 하는 유무기 하이브리드 광기전소자.

**청구항 3**

제1항에 있어서,

상기 p-n 접합을 제공하는 반도체 층은 하부에 p-형 반도체 층 및 상부에 n-형 반도체 층을 포함하는 것을 특징으로 하는 유무기 하이브리드 광기전소자.

**청구항 4**

제1항에 있어서,

상기 III족 질화물 구조물은 n-형 특성을 갖는 것을 특징으로 하는 유무기 하이브리드 광기전소자.

**청구항 5**

제1항에 있어서,

상기 제1 (+) 전극층의 하면에 반사층 또는 리플렉터층을 더 구비하는 것을 특징으로 하는 유무기 하이브리드 광기전소자.

**청구항 6**

제1항에 있어서,

상기 제2 (+) 전극층과 상기 III족 질화물 구조물 사이에 밀봉재 또는 접착제를 개재하는 것을 특징으로 하는 유무기 하이브리드 광기전소자.

**청구항 7**

a) 자립형(freestanding) III족 질화물 기판 상에 p-n 접합을 제공하는 반도체 층을 형성하고, 상기 반도체 층의 일부를 제거하여 상기 자립형 III족 질화물 기판 상에 전극 부착 면을 제공하는 단계;

b) 상기 p-n 접합을 제공하는 반도체 층 상에 제1 (+) 전극층을 형성하고, 상기 전극 부착 면에 제1 (-) 전극층을 형성하는 단계;

- c) 염료감응형 광기전소자용 염료의 부착 표면 및 전해질의 수용 공간을 제공하기 위하여 상기 p-n 접합을 제공하는 반도체 층의 형성 면과 반대되는 III족 질화물 기판의 면을 패터닝하여 패터닝된 III족 질화물 구조물을 형성하는 단계로서, 상기 패터닝하는 단계는 복수의 홀 또는 복수의 로드를 형성하는 것을 포함하며;
  - d) 상기 복수의 홀의 내면 또는 상기 복수의 로드의 외면에 염료감응형 광기전소자용 염료를 부착하는 단계;
  - e) 상기 패터닝된 III족 질화물 구조물 상에 제2 (+) 전극층을 형성하는 단계; 및
  - f) 상기 패터닝된 III족 질화물 구조물 내 상기 복수의 홀의 내부 공간 또는 상기 복수의 로드 외측에 형성된 공간을 전해질로 충전하는 단계;
- 를 포함하는 유무기 하이브리드 광기전소자의 제조방법.

**청구항 8**

삭제

**청구항 9**

제7항에 있어서,

상기 제2 (+) 전극층에는 전해질 주입구가 더 구비되며, 상기 단계 f) 이후에 상기 전해질 주입구를 폐쇄하는 단계를 더 포함하는 것을 특징으로 하는 유무기 하이브리드 광기전소자의 제조방법.

**청구항 10**

제7항에 있어서,

상기 단계 d) 이후에 밀봉재 또는 접착제를 상기 패터닝된 III족 질화물 구조물 상에 위치시키는 단계를 더 포함하는 것을 특징으로 하는 유무기 하이브리드 광기전소자의 제조방법.

**명세서**

**기술분야**

[0001] 본 발명은 자립형(freestanding) 기판을 이용한 유무기 하이브리드 광소자(organic-inorganic optoelectronic devices) 및 이의 제조방법에 관한 것이다. 보다 구체적으로, 본 발명은 무기물 재질의 광기전(photovoltaic) 소자 및 염료감응형 광기전 소자(dye sensitized solar cell: DSSC)가 단일 III족 질화물계 기판을 이용하여 일체적으로 결합된 유무기 하이브리드 광기전소자 및 이의 제조방법에 관한 것이다.

**배경기술**

[0002] 광기전소자 또는 태양전지는 광소자의 일종으로서 태양광 에너지를 직접 전기 에너지로 변환시키는 반도체 소자에 해당한다. 구체적으로, 물질이 빛을 흡수하여 광전자를 발생시키고, 발생된 광전자가 외부 도선(회로)을 따라 일을 하고 다시 물질로 돌아가 빛에 의하여 광전자를 생성하는 방식으로 작동한다.

[0003] 이러한 광기전소자는 구성 물질에 따라 실리콘, 화합물 반도체와 같은 무기 소재로 이루어지는 무기 광기전소자, 나노결정 산화물 입자 표면에 염료가 흡착된 염료 감응형 광기전소자(dye-sensitized photovoltaic device) 또는 태양전지, 그리고 유기분자로 이루어진 광기전소자로 구분할 수 있다. 이와 관련하여, 염료감응형 광기전소자 및 유기분자 광기전소자는 유기 광기전소자의 범주에 속한다.

[0004] 또한, 광기전소자의 셀 구조에 따라서는 반도체 p-n 접합(junction)형 및 반도체/액체 광기전 화학형으로 구분할 수도 있다.

[0005] 무기 광기전소자의 경우, n-형 반도체는 전자(electron)가, 그리고 p-형 반도체는 정공(hole)이 전달체 역할을 하게 된다. 이때, 반도체 밴드갭 에너지보다 큰 에너지를 갖는 빛이 입사되면 p-n 접합 계면 근처에서 빛을 흡수하여 전자-정공 쌍(pair)을 생성하고, 내부 장기에 의하여 정공은 p-형 반도체 쪽으로, 그리고 전자는 n-형 반도체 쪽으로 이동하여 합선 회로 전류를 발생시키며, 개방회로 전압은 2가지 반도체의 밴드갭 에너지 차에 의하여 결정된다.

[0006] 염료감응형 광기전소자의 경우, 그레첼(Grätzel) 등에 의하여 최초로 보고되었다. 작동 원리는 표면에 염료

분자가 흡착된 n-형 나노입자 반도체 산화물 전극에 빛이 흡수되면 염료분자는 전자-홀 쌍을 생성하는데, 이때 전자는 반도체 산화물의 전도띠로 주입된다. 반도체 산화물 전극으로 주입된 전자는 나노입자간 계면을 통하여 투명 전도성 막으로 전달되어 전류를 발생시키게 되며, 염료 분자에 의하여 생성된 정공은 산화-환원 전해질에 의하여 전자를 받아 다시 환원된다. 이처럼, 염료감응형 광기전소자는 염료 및 반도체 산화물을 이용하는 광전기 화학 시스템으로서 통상적으로 염료 및 반도체 산화물 전극, 백금 또는 탄소로 코팅된 대향전극(counter electrode) 및 상기 전극들 사이에 전해질 용액이 존재한다.

- [0007] 상술한 타입의 광기전소자는 각각 단점을 갖고 이를 해결하고자 하는 연구가 지속적으로 이루어지고 있다.
- [0008] 예를 들면, 무기 광기전소자로서 널리 알려진 실리콘계 전지의 경우, 고순도 및 낮은 결함 특성을 충족하기 위하여 필연적으로 제조 비용이 증가할 수밖에 없으며, 자외선 대역의 광자가 밴드갭을 가로질러 이동하는데 필요한 에너지보다 높은 에너지를 갖고 있기 때문에 열 형태의 에너지 손실이 발생한다. 더욱이, 광자를 포획하기 위하여는 p-형 반도체 층이 충분히 두꺼워야 하는데, 그 결과 새로이 추출된 전자 역시 p-n 접합에 도달하기 전에 생성된 정공과 재결합할 가능성이 높아지므로 현재까지 20% 미만의 효율을 달성할 수 있을 뿐이다.
- [0009] 이를 개선하기 위하여, 최근에는 III족 질화물을 이용한 무기 광기전소자가 관심을 끌고 있다(Dong *et al.*, NANO LETTERS, Vol. 9, No. 5, 2009).
- [0010] 한편, 염료 감응성 광기전소자의 경우, 저렴한 재질을 사용할 수 있고 제조방법이 간편한 장점을 갖고 있으나, 통상 평면형의 반도체 전극에 염료를 흡착하기 때문에 염료의 흡착량을 증가시켜 광전환 효율을 개선하는데 한계가 존재한다.
- [0011] 이러한 기술적 요구에 대응하여, 최근에는 유무기 재질을 함께 이용하는 다양한 유무기 하이브리드 광기전소자가 보고되고 있는데, 예를 들면 나노구조(nano-structure)를 이용하여 염료감응성 광기전소자, 고분자 블렌드 광기전소자의 전하 수집 효율을 향상시키는 기술을 들 수 있다.
- [0012] 그러나, 현재까지 알려진 기술은 각각마다 기술적 한계를 갖고 있는 바, 이와 차별화된 개념에 기초하면서도 구체적으로 실현 가능한 새로운 기술적 돌파구가 요구되고 있다.

**발명의 내용**

**해결하려는 과제**

- [0013] 상술한 종래기술의 한계를 극복하고자, 본 발명에 따른 구체예는 하나의 기관을 이용하여 p-n 접합 구조를 구비하는 III족 질화물계 광기전 소자와 염료감응형 광기전 소자를 일체적으로 결합하여 이들의 장점을 모두 구현할 수 있는 유무기 하이브리드 광소자(또는 광기전소자) 및 이의 제조방법을 제공하고자 한다.
- [0014] 더 나아가, 본 발명에 따른 구체예는 III족 질화물(특히 자립형 III족 질화물 기관)을 전자 이동 통로로 이용하는 새로운 개념의 유무기 하이브리드 광소자(또는 광기전소자) 및 이의 제조방법을 제공하고자 한다.

**과제의 해결 수단**

- [0015] 본 발명의 일 구체예에 따르면,
- [0016] 서로 간격을 두고 마주보는 제1 (+) 전극층 및 제2 (+) 전극층;
- [0017] 상기 제1 (+) 전극층 상에 p-n 접합을 제공하는 반도체 층;
- [0018] 상기 p-n 접합을 제공하는 반도체 층과 상기 제2 (+) 전극층 사이에 위치하고, 그 내부에 염료감응형 광기전 소자용 염료가 부착된 표면 및 전해질이 수용된 공간을 제공하는, 패터화된 III족 질화물 구조물; 및
- [0019] 상기 패터화된 III족 질화물 구조물의 일면에 형성된 제1 (-) 전극층;
- [0020] 을 포함하는 유무기 하이브리드 광기전소자가 제공된다.
- [0021] 이때, 상기 제2 (+) 전극층과 상기 III족 질화물 구조물 사이는 밀봉재 또는 접착제에 의하여 밀봉되는 것이 바람직하며, 또한 상기 제2 (+) 전극층은 상기 전해질과 균일하게 접촉하는 것이 바람직하다.
- [0022] 상기 p-n 접합을 제공하는 반도체 층은 바람직하게는 III족 질화물 재질일 수 있고, 하부에 p-형 반도체 층 및 상부에 n-형 반도체 층을 포함하는 적어도 2층 구조 형태일 수 있다. 더 나아가, p-n 접합을 제공하는 반

도체 층은 p-형 반도체 층 및 n-형 반도체 층 사이에 진성(intrinsic) 반도체 층을 더 포함할 수도 있다.

- [0023] 상기 III족 질화물 구조물 내에 구비된 패턴은 홀 패턴 또는 로드 패턴일 수 있다.
- [0024] 또한, 상기 III족 질화물 구조물은 n-형 특성을 갖는 것이 바람직할 수 있다.
- [0025] 이외에도, 상기 제1 (+) 전극층의 하면에는 반사층 또는 리플렉터층을 더 구비할 수 있다.
- [0026] 본 발명의 다른 구체예에 따르면,
- [0027] a) 자립형(freestanding) III족 질화물 기판 상에 p-n 접합을 제공하는 반도체 층을 형성하는 단계;
- [0028] b) 상기 p-n 접합을 제공하는 반도체 층 상에 제1 (+) 전극층을 형성하는 단계;
- [0029] c) 염료감응형 광기전소자용 염료의 부착 표면 및 전해질의 수용 공간을 제공하기 위하여 상기 p-n 접합을 제공하는 반도체 층의 형성 면과 반대되는 III족 질화물 기판의 면을 패턴화하는 단계;
- [0030] d) 상기 패턴에 염료감응형 광기전소자용 염료를 부착하는 단계;
- [0031] e) 상기 III족 질화물 기판의 패턴화된 면 상에 제2 (+) 전극층을 형성하는 단계; 및
- [0032] f) 상기 패턴화된 III족 질화물 기판의 내부 공간을 전해질로 충전하는 단계;
- [0033] 를 포함하며,
- [0034] 제1 (-) 전극층이 상기 단계 a) 내지 단계 d) 중 임의의 단계 전, 중간 또는 후에 형성되는 유무기 하이브리드 광기전소자의 제조방법이 제공된다.
- [0035] 상기 구체예에 있어서, 상기 제1 (-) 전극층은 상기 단계 b)에서 형성되는 것이 바람직할 수 있으며, 또한 패턴 전극 형태를 가질 수 있다.
- [0036] 또한, 상기 제2 (+) 전극층에는 전해질 주입구가 구비될 수 있고, 이때 단계 f)는 상기 전해질 주입구를 통하여 수행될 수 있다. 상기 전해질 주입구는 전해질 주입이 완료되면 폐쇄될 수 있다.

**발명의 효과**

- [0037] 본 발명의 구체예에 따라 제공되는 유무기 하이브리드 광기전소자는 p-n 접합을 구비한 무기 광기전소자 및 염료감응형 광기전소자를 하나의 기판을 사용하여 일체적으로 구성할 수 있으며, 특히 p-n 접합을 이용한 광기전(photovoltaic) 소자 및 염료감응형 광기전소자에 따른 효과를 동시에 얻을 수 있다는 점에서 종래에 알려진 광기전소자와는 개념적으로 상이할 뿐만 아니라, 이에 따라 개선된 광전환 효율을 달성할 수 있는 장점을 갖는다. 따라서, 향후 광범위한 상용화가 기대된다.

**도면의 간단한 설명**

- [0038] 도 1은 본 발명의 일 구체예에 따라 유무기 하이브리드 광기전소자를 제작하는 공정을 순차적으로 도시하는 공정 흐름도이고;
- 도 2는 도 1(d)에 도시된 홀 패턴을 형성하기 위하여 나노 임프린트 공정을 이용하는 과정을 도시하는 도면이고. 그리고
- 도 3은 본 발명의 다른 구체예에 따라 유무기 하이브리드 광기전소자를 제작하는 공정을 순차적으로 도시하는 공정 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0039] 본 발명은 하기의 설명에 의하여 모두 달성될 수 있다. 하기의 설명은 본 발명의 바람직한 구체예를 기술하는 것으로 이해되어야 하며, 본 발명이 반드시 이에 한정되는 것은 아니다.
- [0040] 또한, 첨부된 도면은 이해를 돕기 위하여 실제 층의 두께(또는 높이) 또는 다른 층과의 비율에 비하여 다소 과장되게 표현된 것일 수 있으며, 그 의미는 후술하는 관련 기재의 구체적 취지에 의하여 적절히 이해될 수 있다.
- [0041] 본 명세서에 있어서, "상에" 및 "위에"라는 표현은 상대적인 위치 개념을 언급하기 위하여 사용되는 것으로서, 언급된 층에 다른 구성 요소 또는 층이 직접적으로 존재하는 경우뿐만 아니라, 그 사이에 다른 층

(중간층) 또는 구성 요소가 개재되거나 존재할 수 있다.

- [0042] 유사하게, "하층에", "하부에" 및 "아래에"라는 표현 및 "사이에"라는 표현 역시 위치에 대한 상대적 개념으로 이해될 수 있을 것이다.
- [0043] 또한, 본 명세서에 있어서, "III족 질화물"은 주기율표 상의 III족 원소와 질소에 의하여 형성된 반도체 화합물을 의미할 수 있다. 이러한 III족 원소의 예로서, 알루미늄(Al), 갈륨(Ga), 인듐(In) 등을 예시할 수 있고, 이들의 단독 또는 2 이상의 조합을 포함할 수 있다. 따라서, GaN, AlN, InN, AlGa<sub>n</sub>N, AlInN, GaInN, AlInGa<sub>n</sub>N 등을 포함하는 개념으로 이해할 수 있다. 이를 일반화하면, 상기 III족 질화물은 예시적으로 하기 일반식 1로 표시 가능하다.
- [0044] [일반식 1]
- [0045] Al<sub>x</sub>In<sub>y</sub>Ga<sub>1-x-y</sub>N
- [0046] 상기에서 0 ≤ x ≤ 1, 0 ≤ y ≤ 1, 및 0 ≤ x+y ≤ 1이다.
- [0047] 이외에도, 본 명세서에 있어서, "자립형(freestanding)"이라는 용어는 다른 기재 또는 구조물에 부착되거나 고정되지 않은 것을 의미할 수 있다.
- [0048] 본 발명의 구체예에 따른 유무기 하이브리드 광기전소자의 원리를 개략적으로 설명하면 하기와 같다:
- [0049] 광기전소자에 빛이 입사되면, p-n 접합이 제공된 반도체 층 내에서 전자-정공 쌍이 생성되며, 이때 전자는 n-형 반도체 방향으로 이동하는 반면, 정공은 p-형 반도체 방향으로 이동한다. 상기 전자는 n-형 반도체와 접합되어 있는 III족 질화물 구조물(패턴화된 자립형 III족 질화물 기판)을 이동 통로로 하여 제1 (-) 전극(애노드) 쪽으로 빠져 나가게 되며, 도선(회로)을 따라 외부에 에너지를 제공한다.
- [0050] 한편, 패턴화된 III족 질화물 구조물 내에 부착되어 있는 염료 및 이에 수용되어 있는 전해질에 의하여 염료 감응형 광기전 소자가 구동되는 바, 빛이 입사되면 염료가 전자-정공 쌍(electron-hole pair)을 생성한다.
- [0051] 통상의 염료감응형 광기전소자의 경우, 빛에 의하여 생성된 전자는 TiO<sub>2</sub>와 같은 반도체 산화물을 경유하여 전극(애노드)으로 이동하나, 본 발명에 따른 구체예에서는 상기 III족 질화물 구조물이 전자의 이동 경로(path)를 제공하고, 이와 같이 이동된 전자는 제1 (-) 전극 쪽으로 빠져 나가게 된다. 상기 전자는 도선(회로)을 따라 외부에 에너지를 제공한 다음에는 제2 (+) 전극(캐소드)으로 이동하고, 상기 제2 (+) 전극에서는 전해질의 산화환원(Redox) 반응에 필요한 전자를 제공함으로써 결국에는 염료에 전자를 보충하게 된다.
- [0052] 이처럼, 하나의 III족 질화물 구조물(기판)이 p-n 접합 및 염료감응형 광기전 소자에 있어서 전자의 이동 경로를 제공함으로써 단일 광기전소자 구조 내에 복수의 광기전 소자에 따른 광전환 효과를 일체적으로 얻을 수 있는 것이다.
- [0053] 이하에서는 예시적으로 제공되는 구체예를 중심으로 기술하기로 한다.
- [0054] 도 1(a) 내지 도 1(i)는 본 발명의 일 구체예에 따라 유무기 하이브리드 광기전소자를 제작하는 공정을 순차적으로 도시하는 공정 흐름도이다.
- [0055] 도 1(a)에서는 자립형 III족 질화물 기판(101) 상에 n-형 반도체층(102) 및 p-형 반도체 층을 순차적으로 성장시켜 p-n 접합을 형성한다.
- [0056] 상기 자립형 III족 질화물 기판(101)로서 특별히 한정되지 않고 당업계에서 알려진 암열 방법(ammonothermal method) 또는 이중의 호스트 기판(사파이어 기판) 또는 동종의 호스트 기판 상에 HVPE에 의하여 후막 형태로 성장시켜 제조된 것을 사용할 수 있다.
- [0057] 다만, 그 위에 형성되는 반도체 층의 성장면을 제공할 뿐만 아니라, p-n 접합 광기전 소자 및 염료감응형 광기전 소자의 구동 시 전자의 이동 통로로서의 역할을 담당하는 만큼, 광기전소자의 성능 및 수명에 바람직하지 않은 영향을 미치지 않도록 고품질의 기판을 사용하는 것이 바람직하다. 이와 관련하여, 가급적 결함(예를 들면, 관통 전위) 밀도가 낮은 것이 바람직할 수 있는 바, 예를 들면, 본 구체예에서 자립형 III족 질화물 기판의 결함 밀도는 약 10<sup>6</sup>/cm<sup>2</sup> 이하, 더 나아가 약 10<sup>5</sup>/cm<sup>2</sup> 이하일 수 있다.
- [0058] 또한, 효과적인 전자의 이동 통로를 제공하기 위하여 상기 III족 질화물 기판(101)은 n-형 III족 질화물 기판일 수 있다. 구체적으로, Si 등과 같은 도판트를 이용하여 n-형 III족 질화물 내에서의 전자 흐름을 향상시



킬 수 있는 바, 그 결과 생성된 전자들이 빠르게 이동하여 전극 쪽으로 빠져나갈 수 있다. 예를 들면, 자립형 n-GaN 기판의 경우, 전자 농도(electron concentration)는 대략  $1.0 \times 10^{18} \text{ cm}^{-3}$  수준일 수 있다.

- [0059] 상기 자립형 III족 질화물 기판의 두께는 특별히 한정되는 것은 아니지만, 전하 전달능, 이후 패터닝 정도 등을 종합적으로 고려하여 적절히 선택할 수 있다. 예를 들면, 약 100 내지 600 $\mu\text{m}$ , 구체적으로는 약 150 내지 500 $\mu\text{m}$ , 보다 구체적으로는 약 200 내지 400 $\mu\text{m}$  범위의 두께를 가질 수 있다.
- [0060] 상기와 같이 자립형 III족 질화물 기판(101)이 준비되면, p-n 접합 구조를 제공하기 위하여 통상적인 반도체 층 형성 또는 성장 방식을 이용하여 각각 n-형 반도체 층(102) 및 p-형 반도체 층(103)을 순차적으로 형성할 수 있다. 이때, 반도체 재질은 p-n 접합을 제공할 수 있는 것이면 광범위하게 선정될 수 있으나, 가급적 높은 광전환 효율 달성에 유리한 밴드갭을 이용할 수 있는 III족 질화물계 재질이 바람직할 수 있다. 특히, 전형적으로 GaN 재질로 각각의 층을 성장시킬 수 있으나, 경우에 따라서는 0.7 eV부터 3.4 eV까지 밴드 갭을 튜닝할 수 있는 GaInN 재질도 고려할 수 있을 것이다.
- [0061] 이와 관련하여, III족 질화물 기판(101) 상에 반도체 층을 형성하기 위한 성장 방식으로서 유기금속화학증착법(MOCVD), 분자빔성장법(MBE), 하이드라이드 기상성장법(HVPE) 등을 예시할 수 있다. 다만, 보다 고품질의 박막 특성 구현을 위하여는 유기금속화학증착법이 바람직할 수 있다.
- [0062] 상기 구체예에서, n-형 반도체 층(102)의 두께는 예를 들면 약 50 내지 300 nm, 보다 구체적으로는 약 100 내지 200nm 범위일 수 있다. 또한, p-형 반도체 층(103)의 두께는 예를 들면 약 50 내지 300 nm, 보다 구체적으로는 약 100 내지 200nm 범위일 수 있다.
- [0063] 상기 도면에서는 2층 구조의 반도체 층(102, 103)을 도시하고 있으나, n-형 반도체 층(102)과 p-형 반도체 층(103)의 사이에 진성 반도체 층(도시하지 않음)을 추가적으로 개재하여 p-i-n 구조를 형성할 수도 있다. 일 예로서, n-형 반도체 층으로서 n-GaN, 진성 반도체 층으로서 i-InGaN, 그리고 p-형 반도체 층으로서 p-GaN로 하여 접합 구조를 구성할 수 있다. 이때, 진성 반도체 층의 두께는 예를 들면 약 50 내지 400 nm, 보다 구체적으로는 약 100 내지 200 nm 범위일 수 있다.
- [0064] 경우에 따라서는 반도체 층 내에 GaN/InGaN 초격자(superlattice) 및/또는 GaN/InGaN 다중 양자 우물 구조를 도입할 수도 있는 바, 이러한 구조 역시 본 구체예의 범위에 포함될 수 있다.
- [0065] 이외에도, 상기 반도체 층은 복수의 p-n 접합 구조를 포함할 수도 있는 바, 이 경우 바람직하게는 직렬 연결 방식으로 구성할 수 있으며, 각각의 p-n 접합은 다른 반도체 재질로 구성할 수도 있다.
- [0066] 도 1(b)는 본 발명의 일 구체예에 있어서, 제1 (-) 전극(애노드)을 형성하기 위하여 반도체 층(102, 103)을 부분적으로 제거(또는 에칭)한 상태를 도시하는 도면이다.
- [0067] 상술한 단계는 자립형 III족 질화물 기판(101) 상에서 반도체 층(102, 103)의 측면 공간에 전극을 형성하기 위하여 도입되는 것으로서 선택적으로 수행될 수 있다.
- [0068] 이를 위하여 반도체 공정 분야에서 널리 알려진 메사 에칭(mesa etching) 테크닉을 이용할 수 있다. 이러한 메사 에칭 테크닉은 전극 형성을 위한 표면 품질을 결정하는 요인 중 하나로서, 건식 및 습식 방식으로 구분될 수 있다. 이때, 건식 방식이 대표적으로 이용될 수 있는 바, 그 예로서 플라즈마 기반 건식 에칭 방식, 구체적으로는 ICP-RIE(inductively coupled plasma-reactive ion etching)을 들 수 있다. 상술한 에칭 단계는 전형적으로는 당업계에서 알려진 포토리소그래피 테크닉과 결합하여 수행될 수 있다.
- [0069] 도 1(c)는 본 발명의 일 구체예에 있어서, p-n 접합을 제공하는 반도체 층 상에 제1 (+) 전극층, 그리고 에칭된 자립형 질화물 기판 상의 일 부위에 제1 (-) 전극층을 형성하고, 후속적으로 제1 (+) 전극층 상에 반사층 또는 리플렉터(reflector) 층을 형성한 상태를 도시하는 도면이다.
- [0070] 상기 단계 수행을 위하여 공지의 테크닉, 예를 들면 포토 마스크링 공정을 이용하여 p-형 반도체 층(103)의 상면 및 자립형 질화물 기판 상의 특정 부위(특히, 메사 에칭된 부위)에 각각 제1 (+) 전극층(104) 및 제1 (-) 전극층(105)을 부착 또는 증착하여 형성할 수 있다. 상기 도면에서는 애노드로서 제1 (-) 전극(104)이 일종의 스트립 형태로 형성되어 있으나, 기타 다양한 형상으로도 변경 가능하다.
- [0071] 상기 제1 (+) 전극층(104) 및 제1 (-) 전극층(105)은 금속 재질일 수 있는 바, 최종적으로 완성된 광기전소자에서는 하층에 위치하므로 후술하는 제2 (+) 전극층과는 달리 엄격한 투명성이 요구되지는 않는다.
- [0072] 상기 전극층의 재질로서, 예를 들면 Al, In, Sn, Zn, Ga, Cd, Mg, Be, Ag, Au, Mo, V, Cu, Ir, Rh, W, Co,



Cr, Ni, Ti, Mn, La 등을 들 수 있으며, 이들을 단독으로 또는 조합하여 구성할 수도 있고, 단일층 또는 복수층으로 형성할 수도 있다. 따라서, Ti/Au 층, Cr/Au 층과 같이 구성할 수 있다. 또한, 상기 전극 형성을 위하여 당업계에서 알려진 증착(deposition) 방식, 예를 들면 플라즈마 화학기상증착법(plasma enhanced chemical vapor deposition; PECVD)을 이용할 수 있다. 상술한 전극층의 두께는 특별히 한정되는 것은 아니지만, 예를 들면 약 300 내지 1000 nm 수준이면 적당할 수 있다.

[0073] 한편, 상술한 바와 같이 제1 (+) 전극층(104)이 형성되면, 그 위에 반사층 또는 리플렉터 층(106)을 추가적으로 형성할 수 있다. 이러한 반사층 또는 리플렉터층(106)은 완성된 광기전소자의 하측에 위치하며, 상측으로부터 광기전소자 내로 입사하는 광을 반사시킴으로써 광 수집 효율을 증대시키기 위한 것이다. 이러한 반사층 또는 리플렉터층의 재질로서 대표적으로는 Ag, Al, AgCu 등이 있으며, 이들을 단독으로 또는 조합하여 사용할 수도 있다. 예를 들면, 투명 전도성 층(ITO, ZnO, SnO<sub>2</sub> 등) 또는 금속층(Ti, Cr, Ni, 스테인레스 스틸 등)과 Al 또는 Ag의 적층 구조일 수도 있다.

[0074] 상기 도시된 구체예에 있어서는 제1 (-) 전극층(105)이 제1 (+) 전극층(104)과 동시에 형성되는 경우이나, 본 발명의 구체예에 따른 공정의 특정 단계 전, 중간 또는 후에 형성될 수도 있으며, 자립형 질화물 기관(101) 상의 다양한 부위에 형성될 수도 있다.

[0075] 한편, 도 1(d)에 도시된 바와 같이, 이전의 절차에 따라 형성된 적층 구조물을 반전시켜 p-n 접합을 제공하는 반도체 층(102, 103)이 형성되지 않은 질화물 기관의 하면이 상측을 향하도록 한다. 그 다음, 상기 반전된 III족 질화물 기관에 적어도 하나, 바람직하게는 패턴화된 복수의 홀(107)을 형성한다.

[0076] 홀(107)은 당업계에서 알려진 다양한 방식에 따라 형성될 수 있는 바, 예를 들면 전자빔 리소그래피(electron-beam lithography), 집속이온빔리소그래피(focused ion beam lithography), 나노 임프린트법(nano-imprint), 산화 알루미늄 피막 마스크(anodic aluminum oxide mask) 형성법, SiO<sub>2</sub> 나노 파티클을 이용한 마스크 형성법 등과 같이 당업계에서 알려진 원리를 이용할 수 있다.

[0077] 이와 관련하여, 도 2는 도 1(d)에 도시된 홀 패턴을 형성하기 위하여 나노 임프린트 공정을 이용하는 과정을 예시적으로 보여주는 도면이다. 다만, 본 발명이 나노임프린트 방식으로 한정되는 것은 아니다.

[0078] 통상 나노-임프린트로는 예를 들면, 열 임프린트 방식, UV 임프린트 방식 등이 알려져 있으며, 이의 원리를 적용한 예(열 임프린트 방식)를 다음과 같이 설명할 수 있는 바, 이는 예시적인 것으로 본 발명이 이에 한정되지 않음은 명확하다:

[0079] 도시된 예에 있어서, 먼저 자립형 기관의 상면(반전 이전에는 하면) 상에 중간층(121)을 형성하고, 그 다음 열경화성 수지층(122)을 스핀 코팅 등의 공지 방법에 따라 도포한다.

[0080] 상기 중간층(121)으로서 바람직하게는 하부층에 영향을 주지 않고, 패턴을 용이하게 형성하며, 그리고 추후 쉽게 제거할 수 있는 재질, 예를 들면 유전(dielectric) 물질, 구체적으로 실리콘계 유전 물질을 사용할 수 있다. 이러한 재질로서, 대표적으로 SiO<sub>2</sub>, SiN<sub>x</sub>(예를 들면, Si<sub>3</sub>N<sub>4</sub>) 등을 예시할 수 있다. 상기 중간층(121)은 공지의 방법, 예를 들면 플라즈마 화학기상증착법(plasma enhanced chemical vapor deposition; PECVD)에 의하여 형성할 수 있다. 이때, 중간층(121)은, 예를 들면 약 0.5 내지 50 μm, 구체적으로는 약 20 내지 30 μm 범위의 두께로 형성할 수 있다.

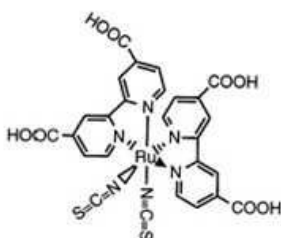
[0081] 이후, 전자빔 리소그래피, 집속이온빔 리소그래피 등을 이용하여 제작된 몰드(예를 들면, 실리콘 몰드)를 상기 열경화성 수지층(122) 상에 위치시킨다. 이후, 약 500 내지 2000 psi로 가압하기까지 상기 열경화성 수지층(122)이 충분한 유동성을 갖도록 유리전이온도 이상의 온도(전형적으로, 유리전이온도보다 약 140 내지 180 °C 높은 온도)에서, 예를 들면 약 160 내지 170 °C에서 약 1 내지 10 분 동안 가열한 다음, 몰드를 냉각하여(예를 들면, 상온으로) 몰드의 요철 패턴이 전사된 열경화성 수지층(122)으로부터 몰드를 분리시킨다. 이때, 몰드의 볼록부에 상당하는 부분이 중간층(121) 위에 얇은 막 형태(도시되지 않음)로 잔류할 수 있는 바, 반응성 이온 에칭법(reactive ion etching; RIE) 등의 공지된 에칭 방식으로 이를 제거할 수 있다.

[0082] 그 결과, 중간층(121) 상의 열경화성 수지층(122) 내에 복수의 홀 패턴이 형성되는 바, 도면에서는 원형의 홀 패턴을 도시하고 있으나, 다양한 형상의 홀 패턴도 가능하다.

[0083] 이와 같이 중간층(121) 상에 형성된 열경화성 수지층(122) 내의 홀 패턴에 대하여 에칭을 수행하는데, 이때 홀 패턴이 형성되지 않은 열경화성 수지층 영역이 에칭에 대한 마스크로 기능한다.

- [0084] 그 다음, 홀 패턴에 따라 자립형 질화물 기판(101)의 일정 깊이까지 에칭을 수행하여 질화물 기판(101) 내에 복수의 실린더 형상으로 패턴화된 홀(107)을 형성한다.
- [0085] 상기 에칭 방법으로는 건식 에칭 방법을 이용하는 것이 바람직한 바, 예를 들면 반응성 이온 에칭법(RIE), 유도 결합 플라즈마 반응성 이온 에칭(inductively coupled plasma reactive ion etching; ICP-RIE), 화학적 이온 빔 에칭(chemically assisted ion beam etching; CAIBE) 등을 이용할 수 있다.
- [0086] 그 다음, 당업계에 공지된 리프트-오프(lift-off) 방식 등을 이용할 수 있는 바, 예를 들면, HF, 버퍼 산화제(Buffered Oxide Etchant, HF+NH<sub>4</sub>F 혼합물; BOE) 등을 사용하여 중간층(111)을 제거함으로써 마스크 영역을 제거할 수 있다.
- [0087] 일정 깊이로 형성된 패턴화된 홀(107)의 내면은 후술하는 바와 같이 염료감응형 광기전소자용 염료를 부착할 수 있는 표면을 제공할 수 있고, 상기 패턴화된 홀에 의하여 전해질을 수용할 수 있는 공간이 형성될 수 있는 것이다.
- [0088] 상기 구체예에 있어서, 홀의 사이즈(직경)는, 예를 들면 약 30 내지 1,000nm, 구체적으로는 약 50 내지 500nm 범위일 수 있다. 또한, 상기 홀과 홀 사이의 간격은 예시적으로 약 50 내지 500 nm 범위일 수 있다.
- [0089] 한편, 홀의 깊이는 가급적 넓은 표면적을 제공하여 많은 량의 염료가 부착(흡착)될 수 있도록 정할 수 있으나, 홀의 깊이가 증가함에 따라 에칭에 소요되는 시간이 증가하고 마스크 물질이 가혹한 에칭 조건을 견딜 수 있는 한계가 존재하므로 III족 질화물 기판(101)이 손상될 수도 있다. 따라서, 적절한 염료 부착량, 전해질의 수용량, III족 질화물 기판의 재질 특성, 에칭 방식, 에칭 마스크 강도 등을 고려하여 적절하게 정할 수 있다. 이와 관련하여, 홀의 깊이는 예를 들면 약 1 내지 100 μm, 보다 구체적으로 약 10 내지 40 μm 범위일 수 있다. 상기 치수 범위는 예시적으로 기술된 것으로서 본 발명이 반드시 이에 한정되는 것은 아니다.
- [0090] 도 1(e)는 본 발명의 일 구체예에 있어서, III족 질화물 기판(101) 내에 패턴화에 의하여 형성된 홀(107)의 내면에 염료감응형 광기전소자용 염료(108)가 부착(흡착)되어 있는 상태를 도시하는 도면이다.
- [0091] 상기 패턴화된 홀(107)에 의하여 염료(108)가 부착(흡착)될 수 있는 표면적이 증가하기 때문에 광전환 효율 역시 증가할 수 있다. 즉, 통상적인 평면형(planar) 구조의 경우에는 셀 사이즈에 따라 염료의 부착량(흡착량)이 영향을 받는다. 그러나, 상기 구체예에서와 같이 패턴화된 구조에 의하여 염료 부착(흡착)을 위한 표면적은 현저히 증가하게 된다. 즉, 홀 사이즈와 패턴 사이의 크기가 감소할수록 부착(흡착) 면적은 증가하고, 패턴의 깊이에 비례하여 부착(흡착) 면적 역시 증가한다. 이는 효율에 영향을 주는 요인 중 하나이다.
- [0092] 본 구체예에 있어서, 염료는 통상의 염료감응형 광기전소자에 사용될 수 있는 염료, 즉 빛에 의하여 여기되어 전자-정공 쌍을 생성할 수 있는 염료이면 족하다. 바람직하게는 가시 광선 영역에서 최대 흡수능을 나타내고 전해질의 산화환원 작용에 의하여 후속적으로 용이하게 환원될 수 있는 특성을 갖는 염료를 사용하는 것이 바람직하다.
- [0093] 이와 관련하여, 본 구체예에서 사용 가능한 염료로서 루테늄계 착물(루테늄 바이피리딜 착물), 구마린계 염료, 프탈로시아닌계 염료, 인돌린계 염료, 크산틴계 염료, 시아닌계 염료(퀴노시아닌, 크립토시아닌 등), 염기성 염료(메틸렌 블루 등), 포르피린계 화합물, 기타 아조계 염료, 안트라퀴논계 염료, 다환퀴논계 염료 등을 예시할 수 있으며, 이들을 단독으로 또는 조합하여 사용할 수도 있다. 보다 전형적으로는 Ru<sub>2</sub>(SCN)<sub>2</sub> 등의 루테늄계 착물을 사용할 수 있으며, 대표적인 염료는 하기 화학식 1과 같다.

[0094] [화학식 1]



[0095]

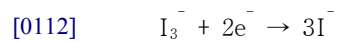
- [0096] 본 구체예에 따르면, 염료는 예를 들면 흡착(adsorption), 코팅 등의 방식에 의하여 홀 내면에 부착될 수 있다. 흡착 방식의 예로서, 염료를 에탄올과 같은 용매에 분산 또는 용해시켜 제조된 염료 분산액 또는 용액 내에 시편을 예를 들면 약 10 내지 30시간, 구체적으로는 약 20 내지 24 시간 동안 침적(immersion)시킴으로써 홀의 표면(내면)에 흡착시키는 방식을 들 수 있다. 다만, 이러한 흡착 조건은 다양한 요인을 고려하여 변경할 수 있다.
- [0097] 또한, 패턴의 표면에 걸쳐 염료가 단일층(mono layer) 형태로 균일하게(일정하게) 부착(흡착)되어 있는 것이 바람직할 수 있는 바, 그 이유는 흡착되지 않은 염료의 경우에는 광전환 작용에 영향을 미치기 어려워 손실 요인으로 작용하거나 불필요하기 때문이다.
- [0098] 도 1(f)는 본 발명의 일 구체예에 있어서 제2 (+) 전극층을 형성하기에 앞서 밀봉재 또는 접착제를 부착한 상태를 도시하는 도면이다.
- [0099] 이러한 밀봉재 또는 접착제(109)는 제2 (+) 전극층(110)을 밀봉하여 후속 단계에서 주입된 전해질이 흘러나오지 않도록 하기 위하여 사용된다.
- [0100] 밀봉재는 주로 열 밀봉이 가능한 열가소성 고분자 재질, 예를 들면 저밀도 폴리에틸렌, 고밀도 폴리에틸렌, 폴리프로필렌, 폴리 1-부텐, 폴리 4-메틸-1-펜텐 등의 폴리올레핀계 수지; 에틸렌-초산비닐 공중합체, 에틸렌-비닐알코올 공중합체, 에틸렌-염화비닐 공중합체 등의 에틸렌-비닐계 공중합체; 폴리스티렌, 아크릴로니트릴 스티렌 공중합체, ABS 등의 스티렌계 수지; 폴리아크릴산, 폴리메타크릴산, 폴리아크릴산메틸, 폴리메타크릴산메틸 등의 비닐계 수지 등을 사용할 수 있다. 이와 관련하여, 대표적으로는 E.I. DuPont de Nemours사의 상품명 Surlyn 시리즈를 사용할 수 있다.
- [0101] 상술한 밀봉재는 밀봉 성능을 충분히 부여할 수 있을 뿐만 아니라, 더 나아가 추후 전해액 주입시 하나의 홀에서 다른 홀로 전해액이 충분히 이송될 수 있는 간격을 제공할 수 있는 두께를 갖는 것이 바람직하다. 이와 관련하여, 부착되는 밀봉재의 두께는 예를 들면 약 20 내지 60 $\mu$ m 범위일 수 있고, 대략 50 $\mu$ m 정도이면 충분하다.
- [0102] 도시된 구체예에 따르면, 상기 밀봉재(109)는 테이프 형상으로서 예를 들면 약 0.5 내지 2 mm, 구체적으로 약 1mm 정도의 폭으로 절단한 다음, 상기 III족 질화물 기판 구조물(101)의 테두리에 맞춰 위치시킨다. 이처럼, 밀봉재(109)는 후속 단계에서 그 위에 위치하는 제2 (+) 전극층과 예를 들면 가열(또는 가열 압착)에 의하여 용융되어 밀봉(sealing)을 제공할 수 있다.
- [0103] 한편, 접착제의 경우, 예를 들면 에폭시 수지계 재료를 사용할 수 있다.
- [0104] 도 1(g)는 본 발명의 일 구체예에 있어서 제2 (+) 전극층이 III족 질화물 기판 상에 위치하는 상태를 도시하는 도면이다.
- [0105] 제2 (+) 전극층(110)으로서, 예를 들면 글래스 또는 고분자 재질의 투명 기재를 사용할 수 있다. 바람직하게는 ITO, FTO, ZnO-Ga<sub>2</sub>O<sub>3</sub>, ZnO-Al<sub>2</sub>O<sub>3</sub> 또는 SnO<sub>2</sub>-Sb<sub>2</sub>O<sub>3</sub> 등과 같은 투명 전도성 산화물(transparent conducting oxide; TCO), 보다 바람직하게는 불소 도핑된 주석 산화물(FTO)로 코팅된(예를 들면, 스핀 코팅 방식에 의하여 코팅된) 투명 기재를 사용할 수 있다. 또한, 바람직하게는 투명 전도성 산화물이 코팅된 투명 기재 상에 백금(Pt), 카본블랙(Carbon black), 흑연(C) 등을 추가적으로 코팅하여 사용할 수 있다. 특히 바람직하게는, 백금을 추가 코팅할 수 있다.
- [0106] 도시된 구체예에 따르면, 제2 (+) 전극층(110)에는 후속 단계에서 전해질 주입을 위하여 주입구(111)가 형성된다. 본 구체예가 단일 주입구 형성을 배제하는 것은 아니지만, 적어도 2개의 주입구를 형성하는 것이 바람직할 수 있는 바, 이는 전해질 주입을 용이하게 하고 과량의 전해질이 주입될 경우 이를 효과적으로 배출시키기 위한 것이다. 상기 주입구의 사이즈(직경)는 특별히 한정되는 것은 아니나, 추후 전해질 주입 후 폐쇄가 용이한 정도의 사이즈를 갖는 것이 바람직할 수 있다. 예를 들면, 약 0.5 내지 1.5mm 정도이면 족하다. 또한, 상기 주입구를 형성하기 위하여, 전동 드릴 등을 이용할 수 있다.
- [0107] 이와 같이 준비된 제2 (+) 전극층(110)을 밀봉재 또는 접착제(109)가 위치하는 III족 질화물 기판(101) 상에 놓고, 예를 들면 가열(또는 가열압착)에 의하여 제2 (+) 전극층(110)과 III족 질화물 기판(101)을 밀봉한다. 예를 들면, 밀봉재로서 Surlyn 시리즈를 사용할 경우, 약 120 내지 130 °C의 가열에 의하여 충분히 용융될 수 있고, 적당한 밀봉 성능을 부여할 수 있다.
- [0108] 제2 (+) 전극층(110)과 III족 질화물 기판(101) 사이의 밀봉 작업이 완료되면, 도 1(h)에 도시된 바와 같이

주입구(111)를 이용하여 전해질을 패터화된 홀(107)이 형성되어 있는 질화물 기판(101) 내에 주입한다.

[0109] 전해질로서 가장 널리 알려진  $I^-/I_3^-$  산화환원(Redox) 전해질을 예시할 수 있는 바, 이러한 타입의 전해질은 통상 액상(예를 들면, 액상의 니트릴계 용매, 예를 들면 3-메톡시프로피오니트릴 내에 용해시킨 형태)으로 주입될 수 있다. 이러한 전해액은 약간의 가압 조건하에서 주입될 수 있는 바, 예시적으로 마이크로 피펫을 이용할 수도 있다. 또한, 상기 주입된 전해질의 상면은 상층의 제2 (+) 전극층(110)의 하면 전체와 균일하게 접촉됨으로써 제2 (+) 전극층(110)으로부터 전자를 공급받아 전해질의 산화환원 작용이 효과적으로 이루어질 수 있도록 하는 것이 바람직하다.

[0110] 이와 관련하여, 캐소드인 제2 (+) 전극층(110)에 의하여 제공된 전자에 의하여 전해질은 하기와 같이 환원될 수 있는 바, 예시적인 반응식은 다음과 같다.

[0111] [반응식 1]



[0113] 상술한 바와 같이, 전해질 주입이 완료되면, 도 1(i)에 도시된 바와 같이 제2 (+) 전극에 형성되어 있는 주입구(111)를 폐쇄시킴으로써 밀봉된 구조를 완성할 수 있다. 이를 위하여, 예를 들면, 밀봉재(Surlyn 시리즈 등) 및 슬라이드 글래스를 이용할 수 있다. 또한, 복수(예를 들면, 2개)의 주입구(111)가 형성된 경우에는 먼저 한쪽 주입구를 폐쇄시킨 다음, 동일한 방식으로 나머지 주입구를 폐쇄하거나, 경우에 따라서는 단일 공정에 의하여 복수의 주입구를 폐쇄시킬 수도 있다.

[0114] 본 구체예에 따라 제작된 광기전소자는 단일의 III족 질화물 기판을 이용하여 염료 부착 면적의 증가를 통한 향상된 염료감응형 광기전 성능 및 p-n 접합으로부터 기인하는 광기전 성능을 일체적으로 얻을 수 있다. 더 나아가 n-형 자립형 III족 질화물 기판을 사용할 경우, 전자 흐름 향상을 통하여 광기전 효율의 추가적인 개선 효과를 얻을 수 있다.

[0115] 한편, 도 3은 본 발명의 다른 구체예에 따라 유기 하이브리드 광기전소자를 제작하는 공정을 순차적으로 도시하는 공정 흐름도이다.

[0116] 상기 도면에서, 자립형 III족 질화물 기판(201), n-형 반도체 층(202), p-형 반도체 층(203), 제1 (+) 전극(204), 제1 (-) 전극(205), 반사층 또는 리플렉터층(206), 염료감응형 광기전소자용 염료(208), 밀봉재 또는 접착제(209), 제2 (+) 전극(210), 주입구(211)의 형성 및 폐쇄 등에 관한 세부 사항은 앞서 기술한 도 1에 따른 구체예와 실질적으로 동일하다.

[0117] 다만, 전술한 구체예에서는 III족 질화물 기판에 홀 패턴이 형성된 반면, 본 구체예에서는 질화물 기판(201) 내에 패터화된 복수의 로드(207) 구조가 형성되어 있다. 또한, 본 구체예에서는 전술한 구체예와 달리 염료(208)가 패터화된 홀의 내면에 부착되어 있기보다는 로드(207)의 외면에 부착되어 있음을 알 수 있다. 이와 같은 로드 구조는 당업계에서 알려진 패터닝 기술을 이용한 선택적 에칭 공정을 적용하여 형성할 수 있다.

[0118] 이러한 공정을 위하여, 전자빔 리소그래피(lithography), 집속이온빔 리소그래피, 나노 임프린트, SiO<sub>2</sub> 나노 파티클을 이용한 마스크 형성법, 자기 응집성 금속 마스크법 등의 마스크 패터닝 방법을 적용할 수 있고, 마스크 형성 후 에칭 방법으로는 건식 에칭법, 예를 들면 반응성 이온 에칭법, 유도 결합 플라즈마 반응성 이온 에칭, 화학적 이온 빔 에칭 등을 이용할 수 있다.

[0119] 이때, 로드의 폭(직경)은, 예를 들면 약 50 내지 1,000 nm, 구체적으로는 약 100 내지 500 nm 범위일 수 있다. 또한, 로드 사이의 간격은 약 100 내지 500 nm 범위일 수 있다.

[0120] 한편, 로드의 길이 역시 전술한 바와 같이 적절한 염료 부착량, 전해질의 수용량, III족 질화물 기판의 재질 특성, 에칭 방식, 에칭 마스크 강도 등을 고려하여 적절하게 정할 수 있는데, 예를 들면 약 1 내지 100 μm, 보다 구체적으로는 약 10 내지 40 μm 범위일 수 있다.

[0121] 본 발명의 단순한 변형 내지 변경은 이 분야의 통상의 지식을 가진 자에 의하여 용이하게 이용될 수 있으며, 이러한 변형이나 변경은 모두 본 발명의 영역에 포함되는 것으로 볼 수 있다.

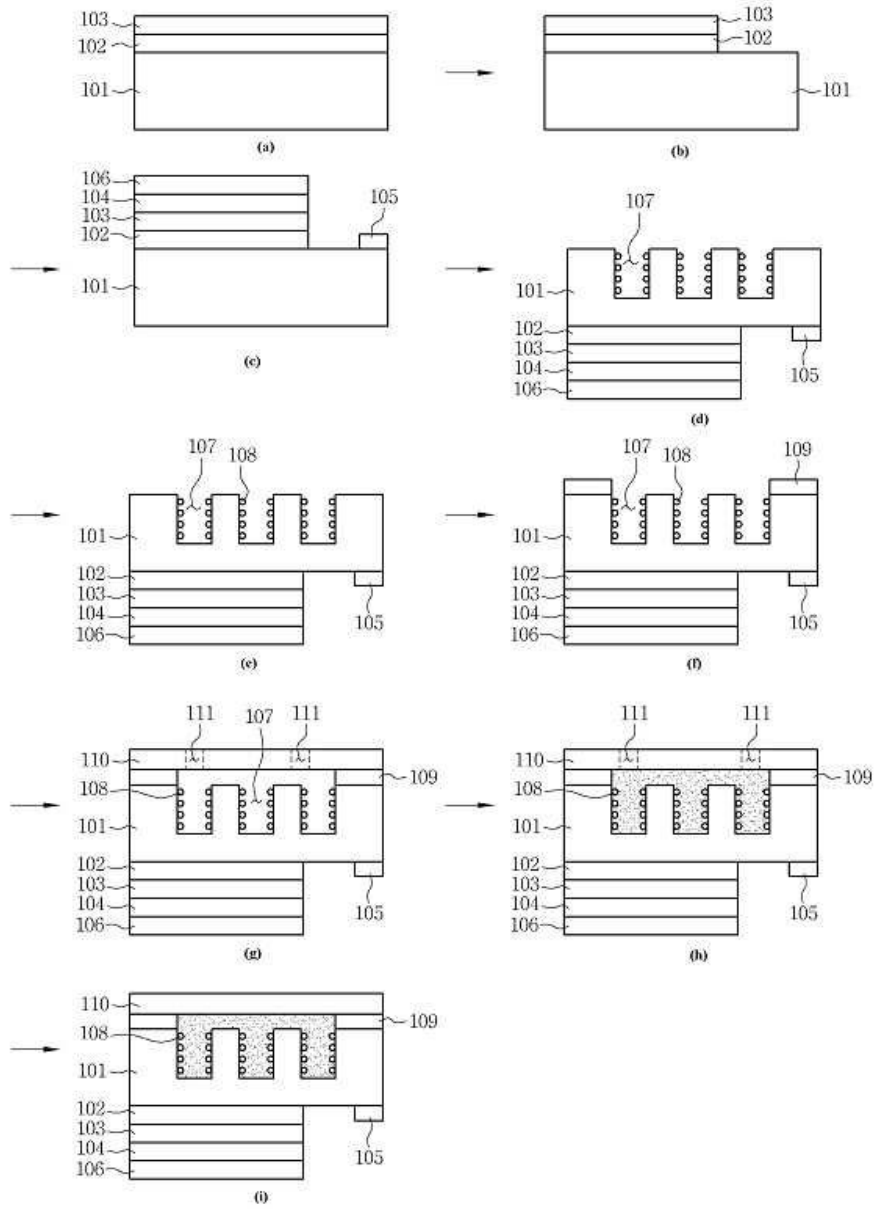
**부호의 설명**

[0122]

- 101, 201: 자립형 III족 질화물 기판
- 102, 202: n-형 반도체층
- 103, 203: p-형 반도체층
- 104, 204: 제1 (+) 전극층
- 105, 205: 제1 (-) 전극층
- 106, 206: 반사층 또는 리플렉터층
- 107: 홀 패턴
- 108, 208: 염료감응형 광기전소자용 염료
- 109, 209: 밀봉재 또는 접착제
- 110, 210: 제2 (+) 전극층
- 111, 211: 주입구
- 121: 중간층
- 122: 열경화성 수지층
- 207: 로드 패턴

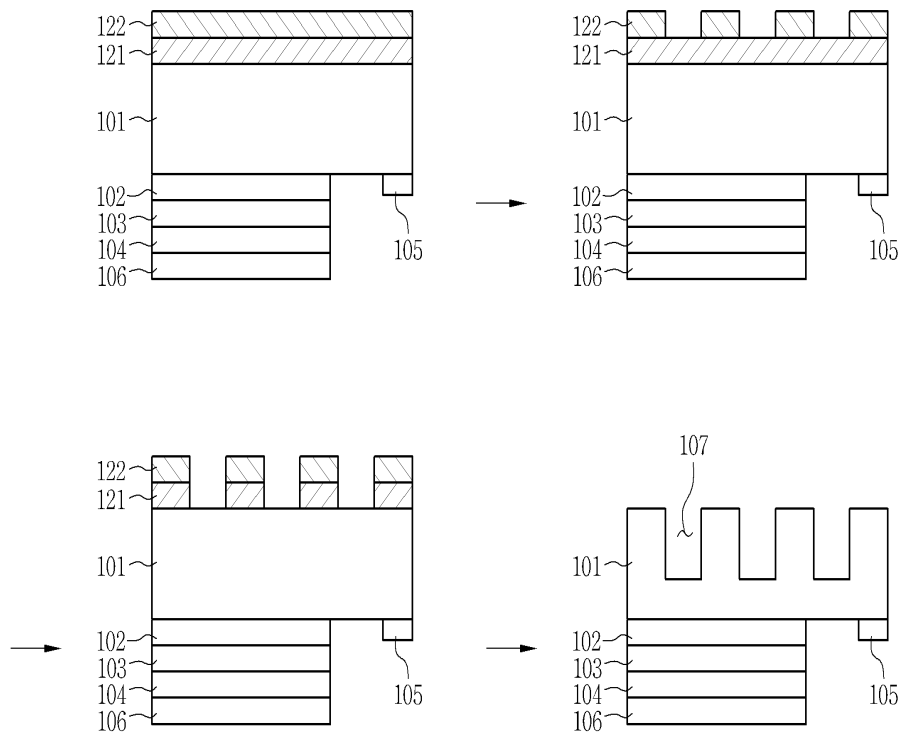
도면

도면1





도면2



도면3

