(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-262006
(P2010-262006A)
(43)公開日　平成22年11月18日(2010.11.18)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/167	(2006.01)	G02F	1/167		2H092
G09F	9/30	(2006.01)	G09F	9/30	338	2K101
H01L	29/786	(2006.01)	H01L	29/78	618B	5C094
H01L	21/336	(2006.01)	H01L	29/78	612Z	5F038
H01L	51/05	(2006.01)	H01L	29/28	100A	5F110

審査請求 未請求　請求項の数 12　ＯＬ　（全 25 頁）　最終頁に続く

(21)出願番号　特願2009-110473 (P2009-110473)
(22)出願日　平成21年4月30日 (2009.4.30)

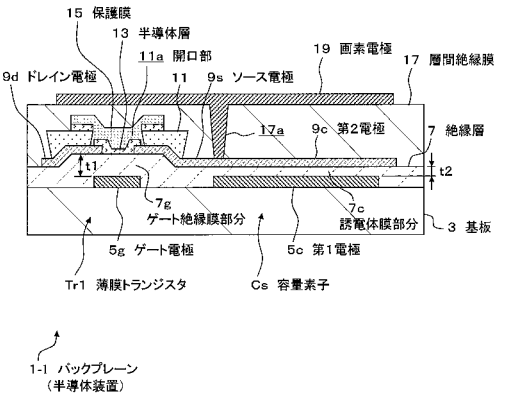
(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100086298
弁理士　船橋　國則
(72)発明者　石井　由威
東京都港区港南１丁目７番１号　ソニー株式会社内
(72)発明者　米屋　伸英
東京都港区港南１丁目７番１号　ソニー株式会社内

Ｆターム(参考)　2H092 GA11 JA24 JA25 JA26 JA34 JA37 MA04 MA13 MA17 NA07 PA06

最終頁に続く

(54)【発明の名称】表示装置、表示装置の製造方法、半導体装置、および電子機器

(57)【要約】
【課題】開口率を低下させることなく確実に画素回路に対するフィードスルー電圧の影響を低減することが可能で、これにより画質の向上を図ることが可能な表示装置を提供することを目的とする。
【解決手段】薄膜トランジスタＴｒ１と、薄膜トランジスタＴｒのゲート絶縁膜と同一の絶縁層７を誘電体膜として用いた容量素子Ｃｓと、薄膜トランジスタＴｒと容量素子Ｃｓとを用いて構成された画素回路に接続された画素電極１９とを備えた表示装置のバックプレーン１-1であり、特に絶縁層７は、ゲート絶縁膜部分７ｇの膜厚ｔ１よりも、誘電体膜部分７ｃの膜厚ｔ２が薄い。
【選択図】図１



【特許請求の範囲】
【請求項１】
薄膜トランジスタと、
前記薄膜トランジスタのゲート絶縁膜と同一の絶縁層を誘電体膜として用いた容量素子と、
前記薄膜トランジスタと前記容量素子とを用いて構成された画素回路に接続された画素電極とを備え、
前記絶縁層は、前記ゲート絶縁膜部分の膜厚よりも、前記誘電体膜部分の膜厚が薄い
表示装置。
【請求項２】
前記絶縁層における膜厚の厚い部分と同一形状の構成要素が、当該膜厚の厚い部分に積層して配置されている
請求項1に記載の表示装置。
【請求項３】
前記薄膜トランジスタは、有機材料からなる半導体層をチャネル部に用いたボトムゲート・ボトムコンタクト構造であり、
前記絶縁層上には、前記半導体層を完全に覆うパターン形状の保護膜が設けられ、
前記絶縁層は、前記保護膜と重なる部分の膜厚が、他の部分よりも厚い
請求項1または２に記載の表示装置。
【請求項４】
前記絶縁層は、前記薄膜トランジスタのチャネル部を構成する半導体層と重なる部分の膜厚が、他の部分よりも厚い
請求項１または２に記載の表示装置。
【請求項５】
前記絶縁膜は、前記膜厚が厚い部分から前記膜厚が薄い部分にかけての側壁が順テーパ形状となっている
請求項１～４の何れかに記載の表示装置。
【請求項６】
基板上に薄膜トランジスタのゲート絶縁膜と容量素子の誘電体膜とを構成する絶縁層を成膜する第１工程と、
前記ゲート絶縁膜部分に対して、前記誘電体膜部分を選択的に薄膜化する第２工程とを行う
表示装置の製造方法。
【請求項７】
前記第２工程では、前記ゲート絶縁膜部分上を覆うレジストパターンをリソグラフィー処理によって形成し、当該レジストパターン上からのエッチングにより前記絶縁層における前記誘電体膜部分を薄膜化する
請求項６に記載の表示装置の製造方法。
【請求項８】
前記リソグラフィー処理においては、前記薄膜トランジスタのチャネル部を構成する半導体層を完全に覆うパターン形状の保護膜のパターン形成に用いるマスクと同一のマスクが用いられる
請求項７記載の表示装置の製造方法。
【請求項９】
前記マスクは、前記薄膜トランジスタのチャネル部を構成する半導体層のパターニングに用いるマスクと同一のマスクが用いられる
請求項８記載の表示装置の製造方法。
【請求項１０】
前記第１工程の後、前記絶縁層上に半導体層を成膜する工程を行ない、
前記第２工程では、前記半導体層上に前記レジストパターンを形成し、当該レジストパ

ターン上からのエッチングによって前記半導体層をパターニングすると共に、前記絶縁層の薄膜化を行う
請求項７に記載の表示装置の製造方法。
【請求項１１】
薄膜トランジスタと、
前記薄膜トランジスタのゲート絶縁膜と同一の絶縁層を誘電体膜として用いた容量素子とを備え、
前記絶縁層は、前記ゲート絶縁膜部分の膜厚よりも、前記誘電体膜部分の膜厚が薄い
半導体装置。
【請求項１２】
薄膜トランジスタと、
前記薄膜トランジスタのゲート絶縁膜と同一の絶縁層を誘電体膜として用いた容量素子と、
前記薄膜トランジスタと前記容量素子とを用いて構成された画素回路に接続された画素電極とを備え、
前記絶縁層は前記ゲート絶縁膜部分の膜厚よりも前記誘電体膜部分の膜厚が薄い表示部を有する
電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、薄膜トランジスタと容量素子とを用いた表示装置とその製造方法、さらには薄膜トランジスタと容量素子とを用いた半導体装置および電子機器に関する。
【背景技術】
【０００２】
薄膜トランジスタと容量素子とを用いた画素回路に、画素電極を接続してなるアクティブマトリックス型の表示装置においては、薄膜トランジスタのゲート電極－ソース電極間に形成される寄生容量（Ｃｇｓ）が、画質の劣化を引き起こすことが知られている。このため、ゲート電圧のオフ時において、寄生容量（Ｃｇｓ）によるフィールドスルー電圧（△Ｖｇｓ）分の電圧降下を考慮する駆動を行うことが提案されている（下記特許文献1参照）。
【０００３】
また構造面においては、容量素子の面積を大きくすることで、寄生容量(Ｃｇｓ)に対する容量素子の容量（Ｃｓ）の比（Ｃｓ）／（Ｃｇｓ）を大きくすることにより、フィードスルー電圧による影響を低減する試みがなされている。また、ゲート電極に対してソース電極およびドレイン電極を自己整合させることにより寄生容量(Ｃｇｓ)そのものを低減させることも試みられている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００６－１１３３９９号公報（特に段落００３６参照）
【発明の概要】
【発明が解決しようとする課題】
【０００５】
しかしながら、容量素子の面積を大きくすることは、画素の開口率の低減を招く。また、ゲート電極に対してソース電極およびドレイン電極を自己整合させる構成であっても、製造プロセスのばらつきに起因して上述した寄生容量（Ｃｇｓ）をゼロにすることは困難である。
【０００６】
そこで本発明は、開口率を低下させることなく確実に画素回路に対するフィードスルー

電圧の影響を低減することが可能で、これにより画質の向上を図ることが可能な表示装置を提供することを目的とする。また同様にして、動作の信頼性の向上を図ることが可能な半導体装置および電子機器を提供することを目的とする。

【課題を解決するための手段】

【０００７】

このような目的を達成するための本発明の表示装置は、薄膜トランジスタと容量素子とを用いた画素回路に画素電極を接続させている。そして、薄膜トランジスタのゲート絶縁膜と容量素子の誘電体膜とが、同一の絶縁層を用いて構成されていると共に、この絶縁層の膜厚がゲート絶縁膜部分よりも誘電体膜部分で薄くなっているところが特徴的である。

【０００８】

また本発明は、このような構成の表示装置の製造方法でもあり、基板上に薄膜トランジスタのゲート絶縁膜と容量素子の誘電体膜とを構成する絶縁層を成膜し、その後ゲート絶縁膜部分に対して誘電体膜部分を選択的に薄膜化することを特徴としている。

【０００９】

また本発明は、上述した構成の薄膜トランジスタと容量素子とを有する半導体装置、および上述した表示装置を備えた電子機器でもある。

【００１０】

上述した構成においては、薄膜トランジスタのゲート絶縁膜部分に対して容量素子の誘電体膜部分が薄膜化されているため、ゲート電極－ソース電極間の寄生容量（Ｃｇｓ）を抑えた状態で容量素子の容量（Ｃｓ）を大きくすることができる。したがって、容量素子の面積を拡大することなく、容量比（Ｃｓ）／（Ｃｇｓ）を増加させることができる。

【発明の効果】

【００１１】

以上説明したように本発明によれば、絶縁層を共有した薄膜トランジスタと容量素子とを有する構成において、容量素子の面積を拡大させることなく、容量比（Ｃｓ）／（Ｃｇｓ）を増加させることができる。したがって、このような構成の画素回路を有する表示装置において、開口率を低下させることなく確実にフィードスルー電圧による影響を低減することが可能で、これにより画質の向上を図ることが可能になる。また、このような構成の回路を有する半導体装置においては、フィードスルー電圧による影響を低減することが可能であるため、動作の信頼性向上を図ることが可能になる。

【図面の簡単な説明】

【００１２】

【図１】第１実施形態の表示装置の特徴部を示すバックプレーンの断面図である。

【図２】第１実施形態の表示装置の３画素分の断面図である。

【図３】第１実施形態の表示装置の回路構成図である。

【図４】第１実施形態の半導体装置の製造工程図（その１）である。

【図５】第１実施形態の半導体装置の製造工程図（その２）である。

【図６】第２実施形態の表示装置の特徴部を示すバックプレーンの断面図である。第３実施形態の表示装置の一例を示す断面図である。

【図７】第２実施形態の半導体装置の製造工程図である。

【図８】第３実施形態の表示装置の特徴部を示すバックプレーンの断面図である。第３実施形態の表示装置の一例を示す断面図である。

【図９】第３実施形態の半導体装置の製造工程図である。

【図１０】第４実施形態の表示装置の特徴部を示すバックプレーンの断面図である。第３実施形態の表示装置の一例を示す断面図である。

【図１１】第４実施形態の半導体装置の製造工程図である。

【図１２】第５実施形態の表示装置の特徴部を示すバックプレーンの断面図である。第３実施形態の表示装置の一例を示す断面図である。

【図１３】第５実施形態の半導体装置の製造工程図である。

【図１４】本発明の表示装置を用いたテレビを示す斜視図である。

【図１５】本発明の表示装置を用いたデジタルカメラを示す斜視図であり、（Ａ）は表側から見た斜視図、（Ｂ）は裏側から見た斜視図である。
【図１６】本発明の表示装置を用いたノート型パーソナルコンピュータを示す斜視図である。
【図１７】本発明の表示装置を用いたビデオカメラを示す斜視図である。
【図１８】本発明の表示装置を用いた携帯端末装置、例えば携帯電話機を示す斜視図であり、（Ａ）は開いた状態での正面図、（Ｂ）はその側面図、（Ｃ）は閉じた除隊での正面図、（Ｄ）は左側面図、（Ｅ）は右側面図、（Ｆ）は上面図、（Ｇ）は下面図である。
【発明を実施するための形態】
【００１３】
以下本発明の実施の形態を図面に基づいて、次に示す順に実施の形態を説明する。
１．第１実施形態（半導体層の保護膜と同一パターン部分をゲート絶縁膜部分としたボトムゲート・ボトムコンタクト構造の薄膜トランジスタを用いた例）
２．第２実施形態（半導体層と同一パターン部分をゲート絶縁膜部分としたボトムゲート・ボトムコンタクト構造の薄膜トランジスタを用いた例）
３．第３実施形態（ボトムゲート・トップコンタクト構造の薄膜トランジスタを用いた例）
４．第４実施形態（トップゲート・トップコンタクト構造の薄膜トランジスタを用いた例）
５．第５実施形態（トップゲート・ボトムコンタクト構造の薄膜トランジスタを用いた例）
６．第６実施形態（表示装置を用いた電子機器の構成例）
尚、各実施形態においては同一の構成要素に同一の符号を付し、重複する説明の一部を省略した。
【００１４】
≪第１実施形態≫
［バックプレーンの構成］
図１は、第１実施形態の表示装置の特徴部であるバックプレーンの構成を示す1画素分の構成図である。この図に示すように、本第１実施形態の表示装置のバックプレーン１-1は、ボトムゲート・ボトムコンタクト構造の薄膜トランジスタＴｒ1と、容量素子Ｃｓとを用いて画素回路を構成したものであり、以下のように構成されている。
【００１５】
バックプレーン１-1の基板３上には、薄膜トランジスタＴｒ1のゲート電極５ｇと、容量素子Ｃｓの第１電極５ｃとが設けられている。これらを覆う状態で、基板３上の全面には絶縁層７が設けられている。この絶縁層７は、薄膜トランジスタＴｒ１のゲート絶縁膜と、容量素子Ｃｓの誘電体膜とを兼ねるものであり、ゲート絶縁膜部分７ｇの膜厚ｔ１よりも誘電体膜分部７ｃの膜厚ｔ２が薄いところが特徴的である。
【００１６】
このような絶縁層７は、厚い膜厚ｔ１部分（ゲート絶縁膜部分７ｇ）から、薄い膜厚ｔ２部分（誘電体膜部分７ｃ）にかけての側壁が順テーパ形状となっていることが好ましい。これにより、この絶縁層７上に配置される導電膜が、膜厚が変化する側壁部分で薄膜化して高抵抗化することや、段切れすることを防止できる。
【００１７】
このような絶縁層７上には、薄膜トランジスタＴｒ１のソース電極９ｓおよびドレイン電極９ｄと、容量素子Ｃｓの第２電極９ｃとが設けられている。ここでソース電極９ｓとドレイン電極９ｄとは、ゲート電極５ｇの線幅方向の両脇において対向させるように、絶縁層７において厚い膜厚ｔ１部分（ゲート絶縁膜部分７ｇ）上に端縁を配置する。また、第２電極９ｃは、ソース電極９ｓに対して連続的に形成され、第１電極５ｃ上に積層配置される。これにより、第１電極５ｃと第２電極９ｃとの間に絶縁層７の誘電体膜部分７ｃを挟持してなる容量素子Ｃｓが構成されている。

【００１８】
またソース電極９ｓ／ドレイン電極９ｄおよび第２電極９ｃが設けられた絶縁層７上には、高さを備えた隔壁層１１がパターン形成されている。この隔壁層１１は、ゲート電極５ｇ上においてソース電極９ｓ－ドレイン電極９ｄ間を露出する開口部１１ａを備えている。そしてこの開口部１１ａの底部に、隔壁層１１の段差によって分断された状態で、有機材料からなる半導体層１３が島状にパターン形成され、この半導体層１３にソース電極９ｓ－ドレイン電極９ｄ間のチャネル部が形成される構成となっている。これにより、ゲート電極５ｇ上にゲート絶縁膜部分７ｇを介してソース電極９ｓ／ドレイン電極９ｄが設けられ、この上部に半導体層１３が設けられたボトムゲート・ボトムコンタクト型の薄膜トランジスタＴｒ１が構成されている。

【００１９】
この薄膜トランジスタＴｒ１は、ソース電極９ｓが容量素子Ｃｓの第２電極９ｃに接続されたものとなる。

【００２０】
また隔壁層１１の開口部１１ａ内には、半導体層１３を覆う状態で絶縁性材料からなる保護膜１５が設けられている。この保護膜１５は、周縁部を隔壁層１１に重ねたパターン形状で設けられており、半導体層１３の封止膜として機能している。またこの保護膜１５を平面視的に見た場合のパターン形状は、絶縁層７において膜厚ｔ１となっているゲート絶縁膜部分７ｇの形状と一致しており、このように膜厚ｔ１が厚いゲート絶縁膜部分７ｇ上に保護膜１５が積層配置されていることとする。つまり、絶縁層７は、保護膜１５と重なる部分の膜厚ｔ１が、他の部分の膜厚ｔ２よりも厚い構成である。

【００２１】
そして、以上の構成要素を覆う状態で、基板３の上方には層間絶縁膜１７が配置され、この層間絶縁膜１７上に画素電極１９が配置されている。この画素電極１９は、接続孔１７ａを介してソース電極９ｓに接続された状態で設けられている。

【００２２】
以上のようなバックプレーン１-1を用いた表示装置では、薄膜トランジスタＴｒ１のゲート絶縁膜部分７ｇに対して容量素子Ｃｓの誘電体膜部分７ｃが薄膜化されている。このため、ゲート電極５ｇ－ソース電極９ｓ間の寄生容量（Ｃｇｓ）を抑えた状態で、容量素子Ｃｓの容量（Ｃｓ）を大きくすることができる。したがって、容量素子Ｃｓの面積を拡大することなく、容量比（Ｃｓ）／（Ｃｇｓ）を増加させることができる。

【００２３】
［表示装置の全体層構成］
図２には、上述の第１実施形態で説明したバックプレーン１-1を用いて構成した表示装置の一例として、電気泳動型表示装置の３画素分の概略断面図を示す。

【００２４】
この図に示す実施形態の表示装置２５は、上述したバックプレーン１-1における画素電極１９側に対向基板３０を配置し、これらの間に電気泳動性粒子を含む電気泳動媒体層４０を挟持してなる電気泳動型の表示装置２５である。

【００２５】
このうち、バックプレーン１-1側の各画素には、上述したボトムゲート・ボトムコンタクト型の薄膜トランジスタＴｒ１、これに接続された容量素子Ｃｓおよび画素電極１９が設けられている。

【００２６】
一方、対向基板３０側の構成は次のようである。

【００２７】
対向基板３０は、光透過性を有する材料で構成され、かつ表面側の絶縁性が保たれていれば特に材質が限定されることはなく、プラスチック基板またはガラス基板、さらには光透過性を有する程度に薄い金属箔基板の表面に絶縁膜を設けて絶縁性とした基板が用いられる。また表示装置２５にフレキシブルな屈曲性が求められる場合には、プラスチック基

板や絶縁で覆った膜金属箔基板が好適に用いられる。尚、これは、バックプレーン１-1側の基板３に対しても同様である。

【００２８】

対向基板３０においてバックプレーン１-1に向かう面上には、対向電極３１が設けられている。この対向電極３１は、各画素に共通の共通電極であって、ＩＴＯのような光透過性を有する透明電極材料を用いて構成されている。このような対向電極３１は、対向基板３０上にベタ膜状に設けられていて良い。

【００２９】

また電気泳動媒体層４０の構成は次のようである。

【００３０】

電気泳動媒体層４０は、例えばマイクロカプセル型のものであり、マイクロカプセル膜４１内に、分散媒４３とこれに分散された電気泳動性体の黒色微粒子４５および白色微粒子４７が封止されたマイクロカプセル４９を用いている。マイクロカプセル膜４１および分散媒４３は、透明材料からなる。また黒色微粒子４５は、例えば負に帯電したグラファイトからなる。一方、白色微粒子４７は、例えば正に帯電した酸化チタン（TiO_2）からなる。

【００３１】

以上のような構成のマイクロカプセル４９は、バックプレーンーン１-1と対向基板３０との間に単層で充填配置されている。尚、各マイクロカプセル４９間は、例えば透明なバインダーポリマーが充填されている。

【００３２】

［表示装置の回路構成］

図３は、以上のような構成を有する表示装置２５の回路構成図であり、主にバックプレーン１-1側の回路構成を示すものである。

【００３３】

この図に示すように、表示装置２５のバックプレーン１-1側の基板３上には、表示領域３ａとその周辺領域３ｂとが設定されている。表示領域３ａには、複数の走査線５１と複数の信号線５３とが縦横に配線されており、それぞれの交差部に対応して１つの画素ａが設けられた画素アレイ部として構成されている。また周辺領域３ｂには、走査線５１を走査駆動する走査線駆動回路５５と、輝度情報に応じた映像信号（すなわち入力信号）を信号線５３に供給する信号線駆動回路５７とが配置されている。

【００３４】

走査線５１と信号線５３との各交差部には、第１実施形態および第２実施形態で説明した構成の薄膜トランジスタＴｒ１と容量素子Ｃｓとで構成された画素回路が設けられている。薄膜トランジスタＴｒ１は、ゲート電極（５ｇ）が走査線５１に、ドレイン電極（９ｄ）が信号線５３に接続されている。また薄膜トランジスタＴｒ１のソース電極（９ｓ）が、容量素子Ｃｓの第２電極（９ｃ）と画素電極１９とに接続されていることは、第１実施形態で説明した通りである。

【００３５】

そして、走査線駆動回路５５による駆動により、薄膜トランジスタＴｒ１を介して信号線５３から書き込まれた映像信号が保持容量Ｃｓに保持され、保持された信号量に応じた電圧が画素電極１９に供給される構成となっている。

【００３６】

これにより、図２を用いて説明した構成の表示装置２５では、対向基板３０側の対向電極３１に対して、画素電極１９に印加した電圧が正となる場合には、画素電極１９側に負に帯電した黒色粒子４５が移動する。また対向電極３１側には、正に帯電した白色粒子４７が移動する。これにより白色粒子４７での光反射による白色表示が行われる。

【００３７】

一方、対向基板３０側の対向電極３１に対して、画素電極１９に印加した電圧が負となる場合には、画素電極１９側に正に帯電した白色粒子４７が移動する。また対向電極３１

側には、負に帯電した黒色粒子４５が移動する。これにより黒色粒子４５での光吸収による黒色表示が行われる構成となる。

【００３８】

尚、走査線駆動回路５５および信号線駆動回路５７を駆動するための駆動装置は、基板３の端縁に設けた引出電極に対して外部回路として接続させれば良い。また、走査線駆動回路５５および信号線駆動回路５７も、外部回路として設けても良い。

【００３９】

そして、このような表示装置２５では、上述したように画素電極１９を駆動する画素回路において、容量素子Ｃｓの面積を拡大することなく、容量比（Ｃｓ）／（Ｃｇｓ）を増加させることができる。この結果、開口率を低下させることなく確実にフィードスルー電圧による影響を低減することが可能で、これにより画質の向上を図ることが可能になる。

【００４０】

［表示装置の製造方法］

次に、上記バックプレーン１-1の製造方法を、図４および図５の断面工程図に基づいて説明する。

【００４１】

先ず図４（１）に示すように、絶縁性材料からなる基板３上に、薄膜トランジスタのゲート電極５ｇおよび容量素子の第１電極５ｃを形成する。

【００４２】

基板３は、例えばガラスやポリエチレンナフタレート（ＰＥＮ）、ポリイミド（ＰＩ）、リアクリレート（ＰＡＲ）、ポリエチレンスルフィド(ＰＥＳ)、ポリフェニレンスルフィド（ＰＰＳ）、ポリエチレンテレフタラート（ＰＥＴ）などのプラスチックを用いることもできる。また基板１１は、少なくとも表面層が絶縁性であれば良く、金属箔に絶縁膜を設けた構成としても良い。

【００４３】

この基板３上に、ＥＢ蒸着法、加熱蒸着法、スパッタ法などの成膜法によってアルミニウム膜を５０ｎｍ程度の膜厚で成膜し、この上部に形成したレジストパターンをマスクにしたウェットエッチングによってアルミニウム膜をパターニングする。これにより、アルミニウムからなるゲート電極５ｇおよび第１電極５ｃを形成する。パターニング終了後にはレジストパターンを除去する。

【００４４】

尚、ゲート電極５ｇおよび第１電極５ｃを構成する導電性材料としては、上述したアルミニウムのような金属材料に限定されることは無く、導電性を有する材料であれば同様に用いることができ、用いる材料によって適切な成膜法やエッチング法を選択すれば良い。またリフトオフ法を適用したパターン形成や、シャドウマスクを用いた蒸着成膜、材料によっては印刷法などを適用したパターン形成も可能である。

【００４５】

次に、図４（２）に示すように、ゲート電極５ｇおよび第１電極５ｃが形成された基板１上に、ゲート絶縁膜および誘電体膜となる絶縁層７を成膜する。ここでは、例えばプロピレングリコールモノメチルエーテルアセテート（ＰＧＭＥＡ）に高分子材料ポリビニルフェノール（ＰＶＰ）と架橋剤を溶解させた溶液を、スピンコート法によって基板３上に塗布性膜する。その後、１８０℃で６０分間熱処理することにより、絶縁層７を得る。

【００４６】

尚、絶縁層７の成膜方法は、スピンコート法に限定されることはない。ただし、この絶縁層７は、薄膜トランジスタの低電圧動作のために１μｍ以下の膜厚で、かつ表面平坦に成膜されることが望ましい。したがって、スピンコート法以外の成膜方法としては、スリットコート、印刷法等が好ましく適用される。

【００４７】

その後、図４（３）に示すように、絶縁層７上において、薄膜トランジスタのチャネル部となる位置であって、ゲート電極５ｇ上のゲート絶縁膜部分７ｇを十分に覆う大きさの

レジストパターン２１を形成する。

【００４８】

ここでは先ず、絶縁層７上に、スピンコート法などによって感光性組成物材料膜を成膜する。そして、この感光性組成物材料に対してマスクＡ１を用いたパターン露光と、これに続く現像処理を行う。これにより、感光性組成物材料膜をパターニングしてなるレジストパターン２１を形成する。ここでマスクＡ１は、リソグラフィーにおけるパターン露光で用いる露光マスクである。露光光ｈとしては、光の他に電子線やｘ線で有っても良い。

【００４９】

以上の後、レジストパターン２１をマスクにして、絶縁層７のドライエッチングまたはウェットエッチングを行うことにより、ゲート絶縁膜部分７ｇに対して、第１電極５ｃ上の誘電体膜部分７ｃを含む絶縁層７の領域を選択的に薄膜化する。

【００５０】

ここでは、エッチング側壁が順テーパ形状となるように等方性エッチングを行うことが好ましい。また、この薄膜化においては、ゲート絶縁膜部分７ｇの膜厚ｔ１と、誘電体膜部分７ｃの膜厚ｔ２との膜厚比を大きくすることが好ましい。尚、エッチング終了後には、レジストパターン２１を除去する。

【００５１】

次に、図４（４）に示すように、部分的な薄膜化を行った絶縁層７上に、ソース電極９ｓおよびドレイン電極９ｄと、第２電極９ｃとをパターン形成する。ソース電極９ｓ／ドレイン電極９ｄは、ゲート電極５ｇの線幅方向の両脇に端部が配置されるように、端部をゲート絶縁膜部分７ｇ上に配置して形成される。また第２電極９ｃは、ソース電極９ｓから第１電極５ｃ上に延設された状態で形成される。

【００５２】

これらのパターン形成において、例えばリフトオフ法を適用する場合であれば、先ずリソグラフィー法によって電極形成部を開口するレジストパターンを形成する。次に、このレジストパターン上から加熱蒸着、ＥＢ蒸着、スパッタ蒸着などの成膜法によって電極材料膜（例えばＡｕ／Ｐｔ）を成膜する。その後、レジストパターンと共にこの上部の電極材料膜を除去し、レジストパターンの開口部のみに電極材料膜を残してソース電極９ｓ／ドレイン電極９ｄおよび第２電極９ｃを形成する。

【００５３】

尚、ソース電極９ｓ／ドレイン電極９ｄおよび第２電極９ｃを構成する導電性材料としては、半導体層とのオーミックコンタクトが良好な材料が上面に設けられていれば良い。また、用いる材料によって適切なパターン形成方法を適用することができ、シャドウマスクを用いた蒸着成膜、材料によっては印刷法などを適用したパターン形成も可能である。さらに、レジストパターンをマスクに用いて導電性材料膜をパターンエッチングしても良い。

【００５４】

次に、図４（５）に示すように、ソース電極９ｓ／ドレイン電極９ｄおよび第２電極９ｃが形成された絶縁層７上に、絶縁性の隔壁層１１を形成する。この隔壁層１１はソース電極９ｓ－ドレイン電極９ｄの対向端部と、これらの電極９ｓ，９ｄ間におけるゲート絶縁膜部分７ｇとを連続的に露出させる形状の開口部１１ａを備えており、この開口部１１ａを囲む形状に成形されていることとする。

【００５５】

また、この隔壁層１１は、次の工程で成膜する有機半導体層が、隔壁層１１の上部と下部とで分断されるように構成されていることが重要である。

【００５６】

このため例えば隔壁層１１は、十分な膜厚で、かつ第１開口の側壁が垂直か、より好ましくは開口上部に向かって開口径が狭くなるように傾斜した逆テーパ形状であることとする。このような隔壁層１１の形成は、隔壁層１１の形成材料膜をスピンコート法によって成膜した後、リソグラフィー技術を適用して形成材料膜上にレジストパターンを形成し、

これをマスクに用いて形成材料膜をエッチングする方法が適用される。

【００５７】

また例えば次に行なう有機半導体層の形成を、塗布系の成膜方法によって行なう場合であれば、隔壁層１１は、有機半導体材料を用いた塗布溶液に対して撥液性を有する絶縁性材料を用いてパターン形成するか、隔壁層１１の露出表面を選択的に撥液性処理すれば良い。この場合であれば、隔壁層１１の側壁形状は順テーパ形状であっても良い。

【００５８】

次に、図５（１）に示すように、隔壁層１１上から有機半導体材料を蒸着成膜することにより、開口部１１ａの底部にソース電極９ｓ－ドレイン電極９ｄ間にわたってチャネル部を構成する半導体層１３を、隔壁層１１の上部と分断された状態でパターン形成する。ここで用いる有機半導体材料は、ペンタセン、ルブレンなどの低分子材料や高分子材料が用いられる。尚、隔壁層１１の上部および下部にも、半導体層１３が成膜された状態となる。

【００５９】

尚、隔壁層１１の露出表面が撥液性のものであれば、半導体層１３の成膜には、スピンコート法やスリットコート法などの塗布系の成膜方法を適応しても良い。この場合には、隔壁層１１の上部には半導体層１３は成膜されることはない。

【００６０】

以上により、基板３上には、ボトムゲート・ボトムコンタクト型の薄膜トランジスタＴｒ１が形成される。この薄膜トランジスタＴｒ１は、ソース電極９ｓが容量素子Ｃｓと接続された構成となる。

【００６１】

次に図５（２）に示すように、隔壁層１１および半導体層１３を覆う状態で、基板３上の全面に絶縁性の保護膜１５を成膜する。保護膜１５は、フッ素系樹脂、ポリパラキシリレン誘導体、ポリビニルアルコール等、有機材料からなる半導体層１３に対してダメージを与えることなく成膜可能な材料が好ましく用いられる。このような材料からなる保護膜１５は、例えばスピンコート法によって成膜する。

【００６２】

その後、図５（３）に示すように、保護膜１５上に、薄膜トランジスタのチャネル部となる位置であって、ゲート電極５ｇ上のゲート絶縁膜部分７ｇを十分に覆う大きさのレジストパターン２１’を形成する。このレジストパターン２１’は、先に絶縁層７の薄膜化において形成したレジストパターン２１と同一形状に形成する。したがって、このレジストパターン２１’の形成におけるリソグラフィーで用いるマスク（露光マスク）は、図４（３）を用いて説明したレジストパターン２１形成の際に用いたものと同一のマスクＡ１を用いる。また、レジストパターン２１と同様の感光型（ネガまたはポジ）の感光性組成物を用いて、レジストパターン２１と同様に形成する。

【００６３】

次にレジストパターン２１'をマスクにして保護膜１５をパターンエッチングし、引き続き半導体層１３をエッチング除去することにより、ソース電極９ｓおよび第２電極９ｃを露出させる。これにより、絶縁層７において膜厚ｔ１が厚いゲート絶縁膜部分７ｇ上に、ゲート絶縁膜部分７ｇと平面視的なパターン形状が一致する保護膜１５が積層配置される。エッチング終了後には、レジストパターン２１’を除去する。

【００６４】

以上の後には、図１に示したように、保護膜１５などを覆う状態で、基板３上の全面に層間絶縁膜１７を成膜し、この層間絶縁膜１７に対してソース電極９ｓおよび第２電極９ｃに達する接続孔１７ａを形成する。次に、この接続孔１７ａを介してソース電極９ｓおよび第２電極９ｃに接続された画素電極１９を、層間絶縁膜１７上にパターン形成し、バックプレーン１-1を完成させる。

【００６５】

次に、図２に示したようなバックプレーン１-1を用いた表示装置２５の作製においては

、バックプレーン１-1の画素電極１９の形成面上に、電気泳動媒体層４０を形成する。ここでは、例えば透明フィルム（図示省略）間に電気泳動媒体層４０を挟持した電気泳動型表示素子シートを用いる。そしてラミネーターにて、バックプレーン１-1の画素電極１９の形成面と、対向基板３０の対向電極３１の形成面との間に、この電気泳動型表示素子シートを挟持させる状態で、これらを貼り合わせる。以上により、表示装置２５を完成させる。

【００６６】

以上説明した製造方法では、図４（３）を用いて説明した絶縁層７の薄膜化工程と、図５（３）を用いて説明した保護膜１５のパターニング工程とで、同一のマスクＡ１を用いたリソグラフィーが行われる。このため、薄膜化工程を追加したことによるマスク枚数の増加が抑えられ、製造コストを低く維持することが可能である。

【００６７】

≪第２実施形態≫

［バックプレーンの構成］

図６は、第２実施形態の表示装置の特徴部であるバックプレーンの構成を示す1画素分の構成図である。この図に示すように、本第２実施形態の表示装置のバックプレーン１-2は、ボトムゲート・ボトムコンタクト構造の薄膜トランジスタＴｒ２と、容量素子Ｃｓとを用いて画素回路を構成したものである。

【００６８】

本第２実施形態のバックプレーン１-2と、第１実施形態のバックプレーン１-1との異なるところは、絶縁層７における膜厚ｔ１の範囲であって、薄膜トランジスタＴｒ２のゲート絶縁膜部分７ｇの範囲が、半導体層１３と一致しているところにある。またこのため隔壁層１１’の形状も、製造プロセス上の都合により第１実施形態とは異なる形状となっており、他の構成は第１実施形態と同様である。

【００６９】

すなわち、絶縁層７は、ゲート絶縁膜部分７ｇの膜厚ｔ１よりも、誘電体膜分部７ｃの膜厚ｔ２が薄く、側壁が順テーパ形状となっていることが好ましいところは、第１実施形態と同様である。

【００７０】

また、絶縁層７上に設けられた隔壁層１１’は、ゲート電極５ｇ上においてソース電極９ｓ－ドレイン電極９ｄ間を露出する開口部１１ａを備えており、この開口部１１ａの底部に半導体層１３がパターン形成されているところは第１実施形態と同様である。ただし、隔壁層１１’は、開口部１１ａを有し、その他の基板３上部分の全面を覆う状態で設けられているところが第１実施形態とは異なる。

【００７１】

そして、隔壁層１１’における開口部１１ａの底部に設けられた半導体層１３を平面視的に見た場合のパターン形状が、絶縁層７において膜厚ｔ１となっているゲート絶縁膜部分７ｇの形状と一致しているのである。また、絶縁層７において、膜厚ｔ１が厚いゲート絶縁膜部分７ｇ上に、半導体層１３が一致して積層配置されている構成である。つまり、絶縁層７は、半導体層１３と重なる部分の膜厚ｔ１が、他の部分の膜厚ｔ２よりも厚い構成である。

【００７２】

以上のようなバックプレーン１-2を用いた表示装置であっても、薄膜トランジスタＴｒ２のゲート絶縁膜部分７ｇに対して容量素子Ｃｓの誘電体膜部分７ｃが薄膜化されている。このため、ゲート電極５ｇ－ソース電極９ｓ間の寄生容量（Ｃｇｓ）を抑えた状態で、容量素子Ｃｓの容量（Ｃｓ）を大きくすることができる。したがって、容量素子Ｃｓの面積を拡大することなく、容量比（Ｃｓ）／（Ｃｇｓ）を増加させることができる。

【００７３】

［表示装置の全体層構成］

上述の第２実施形態で説明したバックプレーン１-2を用いた電気泳動型表示装置の構成

は、第１実施形態において図２を用いて説明したと同様であり、バックプレーン１-1を、バックプレーン１-2に変更すれば良い。

【００７４】

［表示装置の回路構成］

以上のような構成を有する表示装置の回路構成は、第１実施形態において図３を用いて説明したと同様である。

【００７５】

［表示装置の製造方法］

次に、上記バックプレーン１-2の製造方法を、図７の断面工程図に基づいて説明する。

【００７６】

先ず第１実施形態において図４（１）および図４（２）を用いて説明した手順で、基板３上にゲート電極５ｇおよび第１電極５ｃを形成し、これを絶縁層７で表面平坦に覆馬出を行う。

【００７７】

次に、図７（１）に示すように、絶縁層７上において、薄膜トランジスタのチャネル部となる位置であって、ゲート電極５ｇ上のゲート絶縁膜部分７ｇを十分に覆う大きさのレジストパターン６１を形成する。

【００７８】

ここでは先ず、絶縁層７上に、スピンコート法などによって感光性組成物材料膜を成膜する。そして、この感光性組成物材料に対してマスクＡ２を用いたパターン露光と、これに続く現像処理を行う。これにより、感光性組成物材料膜をパターニングしてなるレジストパターン６１を形成する。ここでマスクＡ２は、リソグラフィーにおけるパターン露光で用いる露光マスクである。露光光ｈとしては、光の他に電子線やｘ線で有っても良い。

【００７９】

以上の後、レジストパターン６１をマスクにして、絶縁層７のドライエッチングまたはウェットエッチングを行うことにより、ゲート絶縁膜部分７ｇに対して、第１電極５ｃ上の誘電体膜部分７ｃを含む絶縁層７の領域を選択的に薄膜化する。

【００８０】

ここでは、エッチング側壁が順テーパ形状となるように等方性エッチングを行うことが好ましい。また、この薄膜化においては、ゲート絶縁膜部分７ｇの膜厚ｔ１と、誘電体膜部分７ｃの膜厚ｔ２との膜厚比を大きくすることが好ましい。尚、エッチング終了後には、レジストパターン６１を除去する。

【００８１】

次に、図７（２）に示すように、部分的な薄膜化を行った絶縁層７上に、第１実施形態と同様にしてソース電極９ｓおよびドレイン電極９ｄと、第２電極９ｃとをパターン形成する。

【００８２】

次に、図７（３）に示すように、ソース電極９ｓ／ドレイン電極９ｄおよび第２電極９ｃが形成された絶縁層７上に、絶縁性の隔壁層１１’を形成する。この隔壁層１１’はソース電極９ｓ－ドレイン電極９ｄの対向端部と、これらの電極９ｓ，９ｄ間におけるゲート絶縁膜部分７ｇとを連続的に露出させる形状の開口部１１ａを備えており、他の部分上を覆う形状に成形されていることとする。

【００８３】

また、この隔壁層１１’は、次の工程で成膜する有機半導体層が、隔壁層１１’の上部と下部とで分断されるように構成されていることが重要である。

【００８４】

このため例えば隔壁層１１’は、十分な膜厚で、かつ第１開口の側壁が垂直か、より好ましくは開口上部に向かって開口径が狭くなるように傾斜した逆テーパ形状であることとする。

【００８５】

また特に、このような隔壁層１１’は、先に絶縁層７の薄膜化において形成したレジストパターン６１と反転した同一形状に形成することが重要である。そのためここでは、レジストパターン６１の形成の際に用いたものと同一のマスクＡ２を用い、レジストパターン６１がポジ型感光性組成物を用いたものであれば、ネガ型感光性組成物を用いたリソグラフィーにおって隔壁層１１'を形成する。

【００８６】

この際先ず、基板３上の全面に、レジストパターン６１とは逆の感光型（ネガまたはポジ）の絶縁性の感光性組成物材料膜を、スピンコート法などによって成膜する。そして、この感光性組成物材料に対してマスクＡ２を用いたパターン露光と、これに続く現像処理を行う。これにより、感光性組成物材料膜に開口部１１ａを設けたパターン形状の隔壁１１'を形成する。この開口部１１ａは、絶縁層７における膜厚ｔ１上に一致して設けられる。

【００８７】

次に図７（４）に示すように、隔壁層１１’上から有機半導体材料を蒸着成膜する。これにより、隔壁層１１’の上部と分断された形状の半導体層１３を、開口部１１ａの底部においてソース電極９ｓ－ドレイン電極９ｄ間にわたって形成する。つまり、絶縁層７の薄膜化で用いたと同一のマスクＡ２を用いてパターン形成した隔壁層１１’により、半導体層１３をパターニングするのである。またこれにより、隔壁層１１’の上部にも、半導体層１３が成膜された状態となる。ここで用いる有機半導体材料は、ペンタセン、ルブレンなどの低分子材料や高分子材料が用いられる。尚、隔壁層１１の露出表面が撥液性のものであれば、半導体層１３の成膜には、スピンコート法やスリットコート法などの塗布系の成膜方法を適応しても良い。

【００８８】

そして以上により、基板３上には、ボトムゲート・ボトムコンタクト型の薄膜トランジスタＴｒ２が形成される。この薄膜トランジスタＴｒ２は、ソース電極９ｓが容量素子Ｃｓと接続された構成となる。

【００８９】

以降は、第１実施形態と同様に行われる。すなわち、図６に示したように、半導体層１３を覆う状態で保護膜１５をパターン形成する。その後、基板３上に層間絶縁膜１７を成膜し、この層間絶縁膜１７に対してソース電極９ｓおよび第２電極９ｃに達する接続孔１７ａを形成する。次に、この接続孔１７ａを介してソース電極９ｓおよび第２電極９ｃに接続された画素電極１９を、層間絶縁膜１７上にパターン形成し、バックプレーン１-2を完成させる。

【００９０】

また、このバックプレーン１-2を用いて図２に示した表示装置２５を作製する場合には、第１実施形態と同様に行って良い。

【００９１】

以上説明した製造方法では、図７（１）を用いて説明した絶縁層７の薄膜化工程と、図７（３）を用いて説明した半導体層１３をパターン形成するための隔壁層１１’の形成工程とで、同一のマスクＡ２を用いたリソグラフィーが行われる。このため、薄膜化工程を追加したことによるマスク枚数の増加が抑えられ、製造コストを低く維持することが可能である。

【００９２】

≪第３実施形態≫

［バックプレーンの構成］

図８は、第３実施形態の表示装置の特徴部であるバックプレーンの構成を示す1画素分の構成図である。この図に示すように、本第３実施形態の表示装置のバックプレーン１-3は、ボトムゲート・トップコンタクト構造の薄膜トランジスタＴｒ３と、容量素子Ｃｓとを用いて画素回路を構成したものである。

【００９３】

本第３実施形態のバックプレーン１-3と、第２実施形態のバックプレーン１-2との異なるところは、半導体層１３の上部に、ソース電極９ｓ／ドレイン電極９ｄの端縁が配置されているところにある。また製造プロセス上の都合により隔壁層が設けられておらず、他の構成は第２実施形態と同様である。

【００９４】

すなわち、ゲート絶縁膜部分７ｇの膜厚ｔ１よりも誘電体膜分部７ｃの膜厚ｔ２が薄く、側壁が順テーパ形状となっていることが好ましいところは、第１実施形態および第２実施形態と同様である。

【００９５】

また、半導体層１３を平面視的に見た場合のパターン形状が、絶縁層７において膜厚ｔ１となっているゲート絶縁膜部分７ｇの形状と一致しているのである。また、絶縁層７において、膜厚ｔ１であるゲート絶縁膜部分７ｇ上に、半導体層１３が一致して積層配置されている構成である。つまり絶縁層７は、半導体層１３と重なる部分の膜厚ｔ１が、他の部分の膜厚ｔ２よりも厚い構成である。

【００９６】

以上のようなバックプレーン１-3を用いた表示装置であっても、薄膜トランジスタＴｒ３のゲート絶縁膜部分７ｇに対して容量素子Ｃｓの誘電体膜部分７ｃが薄膜化されている。このため、ゲート電極５ｇ－ソース電極９ｓ間の寄生容量（Ｃｇｓ）を抑えた状態で、容量素子Ｃｓの容量（Ｃｓ）を大きくすることができる。したがって、容量素子Ｃｓの面積を拡大することなく、容量比（Ｃｓ）／（Ｃｇｓ）を増加させることができる。

【００９７】

［表示装置の全体層構成］

上述の第３実施形態で説明したバックプレーン１-3を用いた電気泳動型表示装置の構成は、第１実施形態において図２を用いて説明したと同様であり、バックプレーン１-1を、バックプレーン１-3に変更すれば良い。

【００９８】

［表示装置の回路構成］

以上のような構成を有する表示装置の回路構成は、第１実施形態において図３を用いて説明したと同様である。

【００９９】

［表示装置の製造方法］

次に、上記バックプレーン１-3の製造方法を、図９の断面工程図に基づいて説明する。

【０１００】

先ず第１実施形態において図４（１）および図４（２）を用いて説明した手順で、基板３上にゲート電極５ｇおよび第１電極５ｃを形成し、これを絶縁層７で表面平坦に覆うまでを行う。

【０１０１】

次に、図９（１）に示すように、有機半導体材料の蒸着成膜により、絶縁層７上に半導体層１３成膜する。ここで用いる有機半導体材料は、ペンタセン、ルブレンなどの低分子材料や高分子材料が用いられる。尚、隔壁層１１の露出表面が撥液性のものであれば、半導体層１３の成膜には、スピンコート法やスリットコート法などの塗布系の成膜方法を適応しても良い。

【０１０２】

次いで、図９（２）に示すように、半導体層１３上おいて、薄膜トランジスタのチャネル部となる位置であって、ゲート電極５ｇ上のゲート絶縁膜部分７ｇを十分に覆う大きさのレジストパターン６３を形成する。レジストパターン６３の形成には、マスクを用いたリソグラフィー処理が行われる。その後、レジストパターン６３をマスクにして、半導体層１３をパターンエッチングする。引き続き、絶縁層７のドライエッチングまたはウェットエッチングを行うことにより、ゲート絶縁膜部分７ｇに対して、第１電極５ｃ上の誘電体膜部分７ｃを含む絶縁層７の領域を選択的に薄膜化する。

【０１０３】
ここでは、エッチング側壁が順テーパ形状となるように等方性エッチングを行うことが好ましい。また、この薄膜化においては、ゲート絶縁膜部分７ｇの膜厚ｔ１と、誘電体膜部分７ｃの膜厚ｔ２との膜厚比を大きくすることが好ましい。尚、エッチング終了後には、レジストパターン６３を除去する。
【０１０４】
次に、図９（３）に示すように、部分的な薄膜化を行った絶縁層７上に、第１実施形態と同様にしてソース電極９ｓおよびドレイン電極９ｄと、第２電極９ｃとをパターン形成する。
【０１０５】
以上により、基板３上には、ボトムゲート・トップコンタクト型の薄膜トランジスタＴｒ３が形成される。この薄膜トランジスタＴｒ３は、ソース電極９ｓが容量素子Ｃｓと接続された構成となる。
【０１０６】
以降は、図８に示したように、基板３上に層間絶縁膜１７を成膜し、この層間絶縁膜１７に対してソース電極９ｓおよび第２電極９ｃに達する接続孔１７ａを形成する。次に、この接続孔１７ａを介してソース電極９ｓおよび第２電極９ｃに接続された画素電極１９を、層間絶縁膜１７上にパターン形成し、バックプレーン１-3を完成させる。
【０１０７】
また、このバックプレーン１-3を用いて図２に示した表示装置２５を作製する場合には、他の実施形態と同様に行って良い。
【０１０８】
以上説明した製造方法では、図９（２）を用いて説明した半導体層１３のパターニング工程と絶縁層７の薄膜化工程とが、同一のレジストパターン６３をマスクにしたエッチングによって行われる。このため、薄膜化工程を追加したことによるマスク枚数の増加が抑えられ、製造コストを低く維持することが可能である。
【０１０９】
≪第４実施形態≫
［バックプレーンの構成］
図１０は、第４実施形態の表示装置の特徴部であるバックプレーンの構成を示す1画素分の構成図である。この図に示すように、本第４実施形態の表示装置のバックプレーン１-4は、トップゲート・トップコンタクト構造の薄膜トランジスタＴｒ４と、容量素子Ｃｓとを用いて画素回路を構成したものである。
【０１１０】
本第４実施形態のバックプレーン１-4と、第３実施形態のバックプレーンとの異なるところは、半導体層１３の上方にゲート電極５ｇが配置されているところにある。
【０１１１】
すなわち、バックプレーン１-4の基板３上には、薄膜トランジスタＴｒ４の半導体層１３が島状にパターン形成された状態で設けられている。そして、この半導体層１３が設けられた基板３上に、薄膜トランジスタＴｒ４のソース電９ｓおよびドレイン電極９ｄと、容量素子Ｃｓの第２電極９ｃとが設けられている。ここでソース電極９ｓとドレイン電極９ｄとは、半導体層１３上において端縁を対向させるように配置される。また、第２電極９ｃは、ソース電極９ｓに対して連続的に形成される。
【０１１２】
これらを覆う状態で、基板３上の全面には絶縁層７が設けられている。この絶縁層７は、薄膜トランジスタＴｒ４のゲート絶縁膜と、容量素子Ｃｓの誘電体膜とを兼ねるものであり、ゲート絶縁膜部分７ｇの膜厚ｔ１よりも誘電体膜分部７ｃの膜厚ｔ２が薄いところは、他の実施形態と同様である。また、膜厚ｔ１のゲート絶縁膜部分７ｇから膜厚ｔ２の誘電体膜分部７ｃにかけての側壁が順テーパ形状となっていることが好ましいところも、他の実施形態と同様である。

【０１１３】
またさらに、絶縁層７において膜厚ｔ１となっているゲート絶縁膜部分７ｇの形状は、パターニングされた半導体層１３を平面視的に見た場合のパターン形状と一致している。そして、絶縁層７において、膜厚ｔ１のゲート絶縁膜部分７ｇ下に、半導体層１３が一致して積層配置されている。つまり絶縁層７は、半導体層１３と重なる部分の膜厚ｔ１が、他の部分の膜厚ｔ２よりも厚い構成である。
【０１１４】
このような絶縁層７上には、薄膜トランジスタＴｒ４のゲート電極５ｇと、容量素子Ｃｓの第１電極５ｃとが設けられている。ゲート電極５ｇは、ソース電極９ｓ／ドレイン電極９ｄ間にわたる半導体層１３上に配線されている。これにより、半導体層１３上に、ソース電極９ｓ／ドレイン電極９ｄが設けられ、これらの上部にゲート絶縁膜部分７ｇを介してゲート電極５ｇが設けられたトップゲート・トップコンタクト型の薄膜トランジスタＴｒ４が構成されている。また、第１電極５ｃと第２電極９ｃとの間に絶縁層７の誘電体膜部分７ｃを挟持してなる容量素子Ｃｓが構成されている。この容量素子Ｃｓは、第２電極９ｃが薄膜トランジスタＴｒ４のソース電極９ｓに接続されたものとなる。
【０１１５】
そして、以上の構成要素を覆う状態で、基板３の上方には層間絶縁膜１７が配置され、この層間絶縁膜１７上に画素電極１９が配置されている。この画素電極１９は、接続孔１７ａを介してソース電極９ｓに接続された状態で設けられている。
【０１１６】
以上のようなバックプレーン１-4を用いた表示装置であっても、薄膜トランジスタＴｒ４のゲート絶縁膜部分７ｇに対して容量素子Ｃｓの誘電体膜部分７ｃが薄膜化されている。このため、ゲート電極５ｇ－ソース電極９ｓ間の寄生容量（Ｃｇｓ）を抑えた状態で、容量素子Ｃｓの容量（Ｃｓ）を大きくすることができる。したがって、容量素子Ｃｓの面積を拡大することなく、容量比（Ｃｓ）／（Ｃｇｓ）を増加させることができる。
【０１１７】
［表示装置の全体層構成］
上述の第４実施形態で説明したバックプレーン１-4を用いた電気泳動型表示装置の構成は、第１実施形態において図２を用いて説明したと同様であり、バックプレーン１-1を、バックプレーン１-4に変更すれば良い。
【０１１８】
［表示装置の回路構成］
以上のような構成を有する表示装置の回路構成は、第１実施形態において図３を用いて説明したと同様である。
【０１１９】
［表示装置の製造方法］
次に、上記バックプレーン１-4の製造方法を、図１１の断面工程図に基づいて説明する。
【０１２０】
先ず図11（１）に示すように、基板３上の全面に半導体層１３を成膜し、この上部にレジストパターン６５を形成する。この際、感光性組成物材料に対してマスクＡ４を用いたパターン露光と、これに続く現像処理を行うことにより、感光性組成物材料膜をパターニングしてなるレジストパターン６５を形成する。ここでマスクＡ４は、リソグラフィーにおけるパターン露光で用いる露光マスクである。露光光ｈとしては、光の他に電子線やｘ線で有っても良い。
【０１２１】
その後、このレジストパターン６５をマスクにして半導体層１３をパターンエッチングする。
【０１２２】
次に、図１１（２）に示すように、半導体層１３がパターン形成された基板３上に、ソ

ース電極９ｓおよびドレイン電極９ｄ、および第２電極９ｃをパターン形成する。これらのパターン形成方法は、特に限定されることはなく、第１実施形態と同様に行うことができる。

【０１２３】

次に、図１１（３）に示すように、基板３上の全面を覆う状態で、絶縁層７を成膜し、次にこの絶縁層７上において、薄膜トランジスタのチャネル部となる位置であって、半導体層１３上に一致する位置に、半導体層１３と一致する大きさのレジストパターン６５’を形成する。したがって、このレジストパターン６５’の形成におけるリソグラフィーで用いるマスク（露光マスク）は、図１１（１）を用いて説明したレジストパターン６５形成の際に用いたものと同一のマスクＡ４を用いる。また、レジストパターン６５と同様の感光型（ネガまたはポジ）の感光性組成物を用いて、レジストパターン６５と同様に形成する。

【０１２４】

次にレジストパターン６５'をマスクにして絶縁層７のドライエッチングまたはウェットエッチングを行うことにより、ゲート絶縁膜部分７ｇに対して、第２電極９ｃ上の誘電体膜部分７ｃを含む絶縁層７の領域を選択的に薄膜化する。

【０１２５】

ここでは、エッチング側壁が順テーパ形状となるように等方性エッチングを行うことが好ましい。また、この薄膜化においては、ゲート絶縁膜部分７ｇの膜厚ｔ１と、誘電体膜部分７ｃの膜厚ｔ２との膜厚比を大きくすることが好ましい。尚、エッチング終了後には、レジストパターン６５’を除去する。

【０１２６】

次に、図１１（４）に示すように、部分的な薄膜化を行った絶縁層７上にゲート電極５ｇおよび第１電極５ｃをパターン形成する。これらのパターン形成方法は、特に限定されることはなく、第１実施形態と同様に行うことができる。

【０１２７】

以上により、基板３上には、トップゲート・ボトムコンタクト型の薄膜トランジスタＴｒ４が形成される。この薄膜トランジスタＴｒ４は、ソース電極９ｓが容量素子Ｃｓと接続された構成となる。

【０１２８】

以降は、図１０に示したように、基板３上に層間絶縁膜１７を成膜し、この層間絶縁膜１７および絶縁層７に対してソース電極９ｓおよび第２電極９ｃに達する接続孔１７ａを形成する。次に、この接続孔１７ａを介してソース電極９ｓおよび第２電極９ｃに接続された画素電極１９を、層間絶縁膜１７上にパターン形成し、バックプレーン１-4を完成させる。

【０１２９】

また、このバックプレーン１-4を用いて図２に示した表示装置２５を作製する場合には、他の実施形態と同様に行って良い。

【０１３０】

以上説明した製造方法では、図１１（１）を用いて説明した半導体層１３のパターニング工程と、図１１（３）を用いて説明した絶縁層７の薄膜化工程とで、同一のマスクＡ４を用いたリソグラフィーが行われる。このため、薄膜化工程を追加したことによるマスク枚数の増加が抑えられ、製造コストを低く維持することが可能である。

【０１３１】

≪第５実施形態≫

［バックプレーンの構成］

図１２は、第５実施形態の表示装置の特徴部であるバックプレーンの構成を示す1画素分の構成図である。この図に示すように、本第４実施形態の表示装置のバックプレーン１-5は、トップゲート・ボトムコンタクト構造の薄膜トランジスタＴｒ５と、容量素子Ｃｓとを用いて画素回路を構成したものである。

【０１３２】
本第５実施形態のバックプレーン１-5と、第４実施形態のバックプレーン１-4との異なるところは、半導体層１３と、ソース電極９ｓ／ドレイン電極９ｄおよび第２電極９ｃとの積層順が逆であることのみが異なる。
【０１３３】
すなわち、ゲート絶縁膜部分７ｇの膜厚ｔ１よりも誘電体膜分部７ｃの膜厚ｔ２が薄く、側壁が順テーパ形状となっていることが好ましいところは、他の実施形態と同様である。
【０１３４】
また、絶縁層７において膜厚ｔ１となっているゲート絶縁膜部分７ｇの形状は、パターニングされた半導体層１３を平面視的に見た場合のパターン形状と一致している。そして、絶縁層７において、膜厚ｔ１が厚いゲート絶縁膜部分７ｇ下に、半導体層１３が一致して積層配置されている。つまり絶縁層７は、半導体層１３と重なる部分の膜厚ｔ１が、他の部分の膜厚ｔ２よりも厚い構成である。
【０１３５】
以上のようなバックプレーン１-5を用いた表示装置であっても、薄膜トランジスタＴｒ５のゲート絶縁膜部分７ｇに対して容量素子Ｃｓの誘電体膜部分７ｃが薄膜化されている。このため、ゲート電極５ｇ－ソース電極９ｓ間の寄生容量（Ｃｇｓ）を抑えた状態で、容量素子Ｃｓの容量（Ｃｓ）を大きくすることができる。したがって、容量素子Ｃｓの面積を拡大することなく、容量比（Ｃｓ）／（Ｃｇｓ）を増加させることができる。
【０１３６】
［表示装置の全体層構成］
上述の第５実施形態で説明したバックプレーン１-5を用いた電気泳動型表示装置の構成は、第１実施形態において図２を用いて説明したと同様であり、バックプレーン１-1を、バックプレーン１-5に変更すれば良い。
【０１３７】
［表示装置の回路構成］
以上のような構成を有する表示装置の回路構成は、第１実施形態において図３を用いて説明したと同様である。
【０１３８】
［表示装置の製造方法］
次に、上記バックプレーン１-5の製造方法を、図１３の断面工程図に基づいて説明する。本第５実施形態のバックプレーン１-5の製造方法は、第４実施形態で説明した製造方法において、ソース電極９ｓ／ドレイン電極９ｄおよび第２電極９ｃをパターン形成した後に、半導体層１３をパターン形成する手順とすれば良い。
【０１３９】
すなわち、先ず図１３（１）に示すように、基板３上に、ソース電極９ｓおよびドレイン電極９ｄ、および第２電極９ｃをパターン形成する。
【０１４０】
次に、図１３（２）に示すように、基板３上の全面に半導体層１３を成膜し、この上部にレジストパターン６７を形成する。この際、感光性組成物材料に対してマスクＡ５を用いたパターン露光と、これに続く現像処理を行うことにより、感光性組成物材料膜をパターニングしてなるレジストパターン６７を形成する。ここでマスクＡ５は、リソグラフィーにおけるパターン露光で用いる露光マスクである。露光光ｈとしては、光の他に電子線やｘ線で有っても良い。
【０１４１】
その後、このレジストパターン６７をマスクにして半導体層１３をパターンエッチングする。
【０１４２】
次に、図１３（３）に示すように、基板３上の全面を覆う状態で、絶縁層７を成膜し、

次にこの絶縁層７上において、薄膜トランジスタのチャネル部となる位置であって、半導体層１３上に一致する位置に、半導体層１３と一致する大きさのレジストパターン６７’を形成する。したがって、このレジストパターン６７’の形成におけるリソグラフィーで用いるマスク（露光マスク）は、図１３（１）を用いて説明したレジストパターン６７形成の際に用いたものと同一のマスクＡ５を用いる。また、レジストパターン６７と同様の感光型（ネガまたはポジ）の感光性組成物を用いて、レジストパターン６７と同様に形成する。

【０１４３】

次にレジストパターン６７'をマスクにして絶縁層７のドライエッチングまたはウェットエッチングを行うことにより、ゲート絶縁膜部分７ｇに対して、第２電極９ｃ上の誘電体膜部分７ｃを含む絶縁層７の領域を選択的に薄膜化する。

【０１４４】

ここでは、エッチング側壁が順テーパ形状となるように等方性エッチングを行うことが好ましい。また、この薄膜化においては、ゲート絶縁膜部分７ｇの膜厚ｔ１と、誘電体膜部分７ｃの膜厚ｔ２との膜厚比を大きくすることが好ましい。尚、エッチング終了後には、レジストパターン６７’を除去する。

【０１４５】

次に、図１３（４）に示すように、部分的な薄膜化を行った絶縁層７上にゲート電極５ｇおよび第１電極５ｃをパターン形成する。これらのパターン形成方法は、特に限定されることはなく、第１実施形態と同様に行うことができる。

【０１４６】

以上により、基板３上には、トップゲート・ボトムコンタクト型の薄膜トランジスタＴｒ５が形成される。この薄膜トランジスタＴｒ５は、ソース電極９ｓが容量素子Ｃｓと接続された構成となる。

【０１４７】

以降は、図１２に示したように、基板３上に層間絶縁膜１７を成膜し、この層間絶縁膜１７および絶縁層７に対してソース電極９ｓおよび第２電極９ｃに達する接続孔１７ａを形成する。次に、この接続孔１７ａを介してソース電極９ｓおよび第２電極９ｃに接続された画素電極１９を、層間絶縁膜１７上にパターン形成し、バックプレーン１-5を完成させる。

【０１４８】

また、このバックプレーン１-5を用いて図２に示した表示装置２５を作製する場合には、他の実施形態と同様に行って良い。

【０１４９】

以上説明した製造方法では、図１３（２）を用いて説明した半導体層１３のパターニング工程と、図１３（３）を用いて説明した絶縁層７の薄膜化工程とで、同一のマスクＡ５を用いたリソグラフィーが行われる。このため、薄膜化工程を追加したことによるマスク枚数の増加が抑えられ、製造コストを低く維持することが可能である。

【０１５０】

尚、以上の第１実施形態～第５実施形態においては、薄膜トランジスタＴｒ５と容量素子Ｃｓとを用いた画素回路を層間絶縁膜で覆い、この上部に画素電極１９を設けたバックプレーンの構成を説明した。しかしながら、画素電極１９は、容量素子Ｃｓの第２電極９ｃと共通化した構成としても良い。

【０１５１】

≪６．第６実施形態≫

図１４～１８には、以上説明した本発明に係る表示装置を表示部として用いた電子機器の一例を示す。本発明の表示装置は、電子機器に入力された映像信号、さらに電子機器内で生成した映像信号を表示するあらゆる分野の電子機器における表示部に適用することが可能である。以下に、本発明が適用される電子機器の一例について説明する。

【０１５２】

図１４は、本発明が適用されるテレビを示す斜視図である。本適用例に係るテレビは、フロントパネル１０２やフィルターガラス１０３等から構成される映像表示画面部１０１を含み、その映像表示画面部１０１として本発明に係る表示装置を用いることにより作成される。

【０１５３】

図１５は、本発明が適用されるデジタルカメラを示す図であり、（Ａ）は表側から見た斜視図、（Ｂ）は裏側から見た斜視図である。本適用例に係るデジタルカメラは、フラッシュ用の発光部１１１、表示部１１２、メニュースイッチ１１３、シャッターボタン１１４等を含み、その表示部１１２として本発明に係る表示装置を用いることにより作製される。

【０１５４】

図１６は、本発明が適用されるノート型パーソナルコンピュータを示す斜視図である。本適用例に係るノート型パーソナルコンピュータは、本体１２１に、文字等を入力するとき操作されるキーボード１２２、画像を表示する表示部１２３等を含み、その表示部１２３として本発明に係る表示装置を用いることにより作製される。

【０１５５】

図１７は、本発明が適用されるビデオカメラを示す斜視図である。本適用例に係るビデオカメラは、本体部１３１、前方を向いた側面に被写体撮影用のレンズ１３２、撮影時のスタート／ストップスイッチ１３３、表示部１３４等を含み、その表示部１３４として本発明に係る表示装置を用いることにより作製される。

【０１５６】

図１８は、本発明が適用される携帯端末装置、例えば携帯電話機を示す図であり、（Ａ）は開いた状態での正面図、（Ｂ）はその側面図、（Ｃ）は閉じた状態での正面図、（Ｄ）は左側面図、（Ｅ）は右側面図、（Ｆ）は上面図、（Ｇ）は下面図である。本適用例に係る携帯電話機は、上側筐体１４１、下側筐体１４２、連結部（ここではヒンジ部）１４３、ディスプレイ１４４、サブディスプレイ１４５、ピクチャーライト１４６、カメラ１４７等を含み、そのディスプレイ１４４やサブディスプレイ１４５として本発明に係る表示装置を用いることにより作製される。

【０１５７】

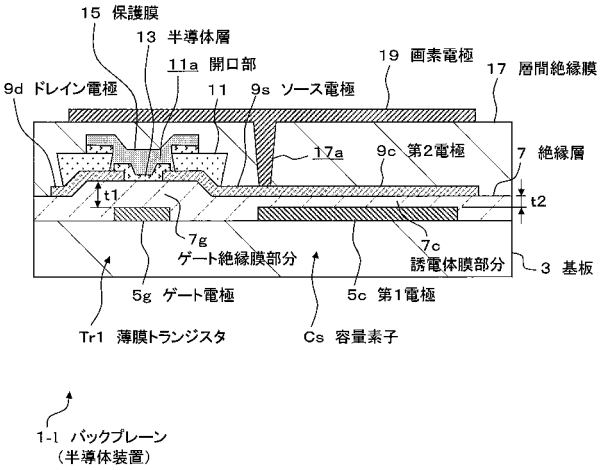
尚、上述した第１実施形態～第５実施形態では、薄膜トランジスタのゲート絶縁膜と容量素子の誘電体膜とが、同一の絶縁層を用いて構成されているバックプレーンを備えた表示装置を説明した。しかしながら本発明は、薄膜トランジスタのゲート絶縁膜と容量素子の誘電体膜とが、同一の絶縁層を用いて構成されている半導体装置に対して広く適用可能であり、同様の効果を得ることが可能である。例えば、上述したバックプレーンをそのまま半導体装置に置き換えても良く、また薄膜トランジスタと容量素子とで構成されるＤＲＡＭなどもメモリ用の半導体装置や、受光素子の駆動回路等にも適用可能であり、同様の効果を得ることができる。

【符号の説明】

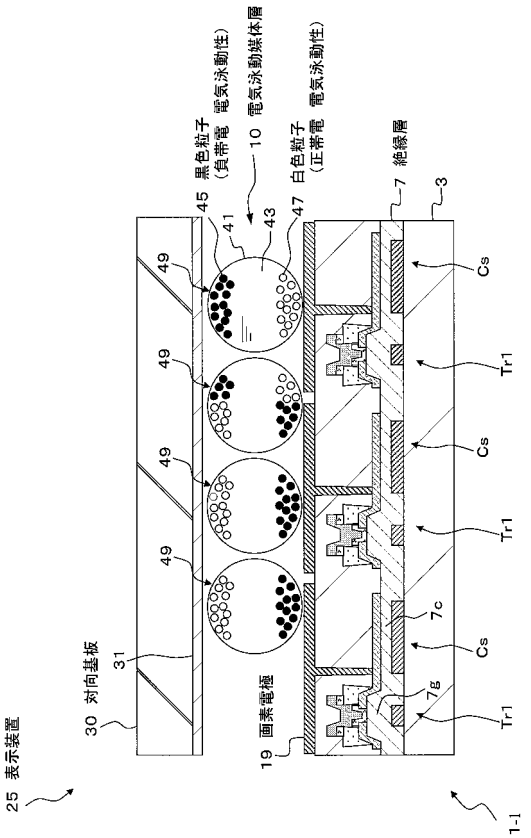
【０１５８】

１-1，１-2，１-3，１-4，１-5…バックプレーン（半導体装置）、７…絶縁層、７ｇ…ゲート絶縁膜部分、７ｃ…誘電体膜部分、１３…半導体層、１５…保護膜、１９…画素電極、２５…表示装置、２１，６１，６３，６５’６７’…レジストパターン、Ａ１，Ａ２，Ａ４，Ａ５…マスク、Ｃｓ…容量素子、Ｔｒ１，Ｔｒ２，Ｔｒ３，Ｔｒ４，Ｔｒ５…薄膜トランジスタ、ｔ１…膜厚（ゲート絶縁膜部分）、ｔ２…膜厚（誘電体膜部分）

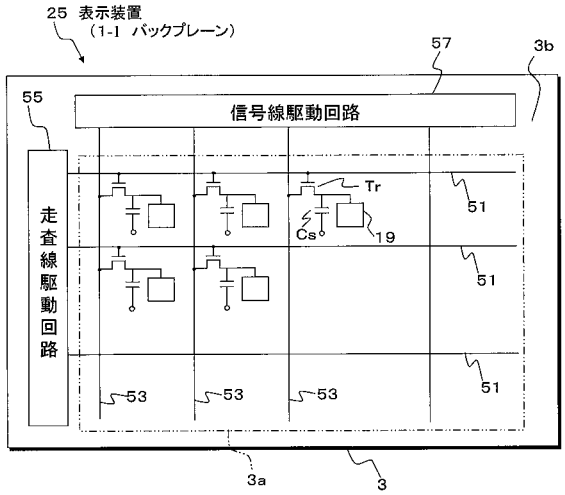
【図１】


15 保護膜
13 半導体層
11a 開口部
19 画素電極
17 層間絶縁膜
9d ドレイン電極
11
9s ソース電極
17a
9c 第2電極
7 絶縁層
t1
t2
7g
7c
ゲート絶縁膜部分
誘電体膜部分
3 基板
5g ゲート電極
5c 第1電極
Tr1 薄膜トランジスタ
Cs 容量素子
1-1 バックプレーン
（半導体装置）

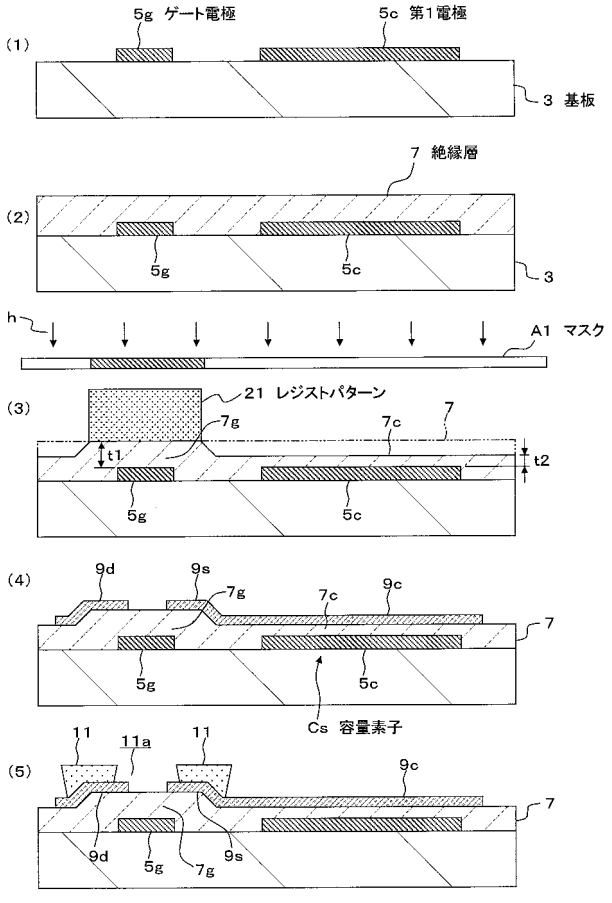
【図２】


黒色粒子
（負帯電 電気泳動性）
10 電気泳動媒体層
白色粒子
（正帯電 電気泳動性）
7 絶縁層
3
45
41
43
47
49
Cs
Tr1
7c
7g
30 対向基板
31
19 画素電極
25 表示装置
1-1

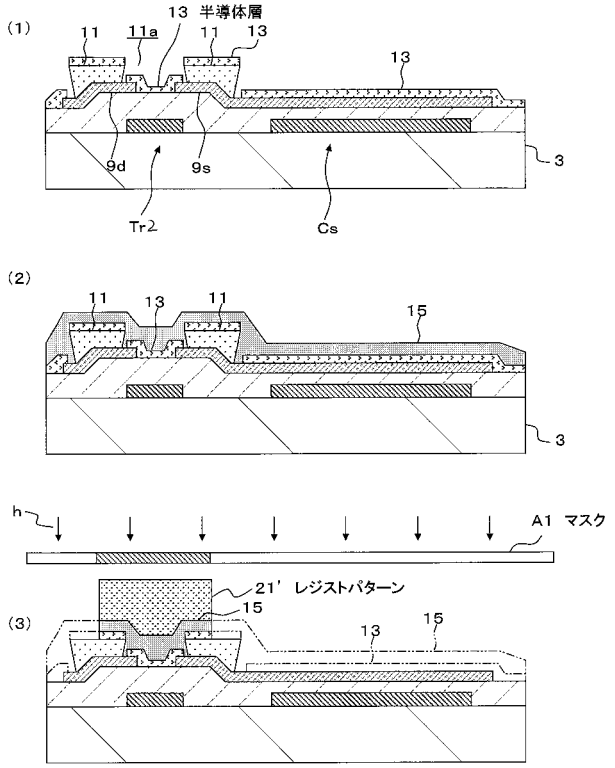
【図３】


25 表示装置
（1-1 バックプレーン）
57
3b
55
信号線駆動回路
走査線駆動回路
Tr
Cs
19
51
53
3a
3

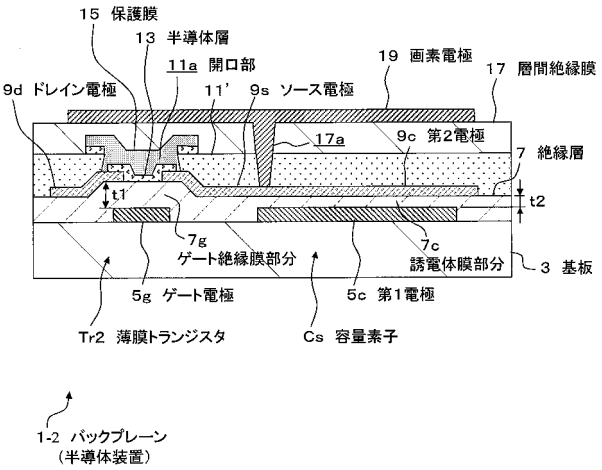
【図４】


(1)
5g ゲート電極
5c 第1電極
3 基板
(2)
7 絶縁層
5g
5c
3
h
A1 マスク
(3)
21 レジストパターン
7g
7c
7
t1
t2
(4)
9d
9s
9c
Cs 容量素子
(5)
11
11a

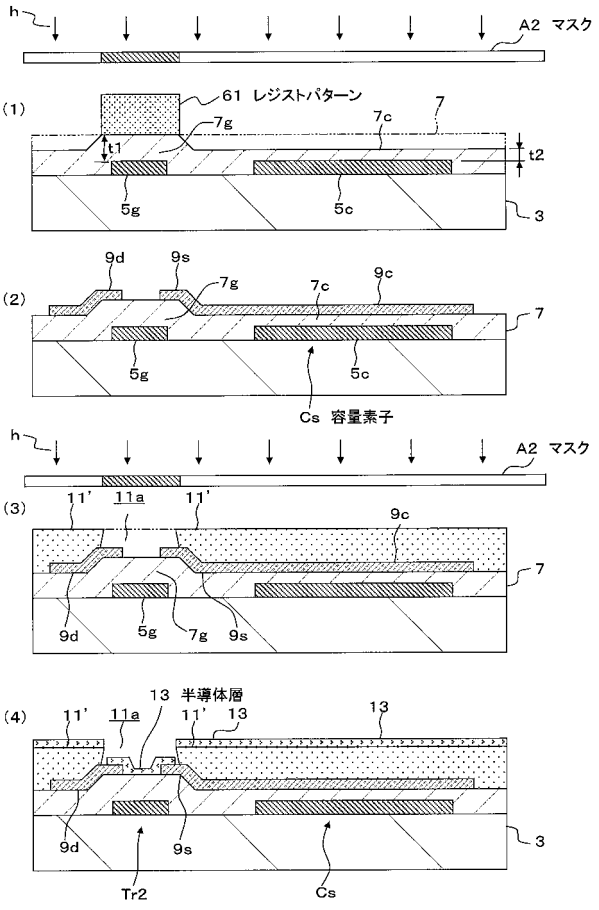
【図５】


(1)
13 半導体層
11
11a
11
13
13
9d
9s
3
Tr2
Cs
(2)
11
13
11
15
3
h
A1 マスク
21' レジストパターン
15
(3)
13
15

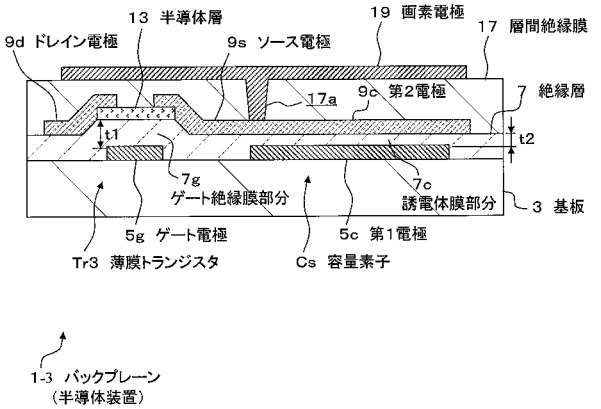
【図６】


15 保護膜
13 半導体層
11a 開口部
19 画素電極
17 層間絶縁膜
9d ドレイン電極
11'
9s ソース電極
17a
9c 第2電極
7 絶縁層
t1
t2
7g
ゲート絶縁膜部分
7c
誘電体膜部分
3 基板
5g ゲート電極
5c 第1電極
Tr2 薄膜トランジスタ
Cs 容量素子
1-2 バックプレーン
（半導体装置）

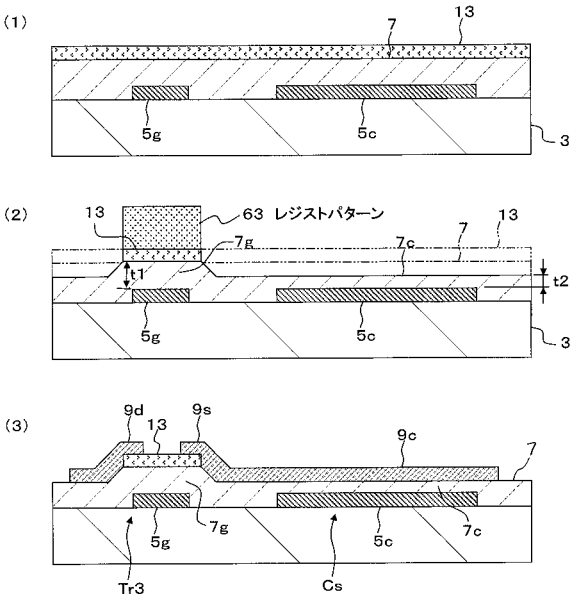
【図７】


h
A2 マスク
(1)
61 レジストパターン
7g
7c
7
t1
t2
5g
5c
3
(2)
9d
9s
7g
7c
9c
7
5g
5c
Cs 容量素子
h
A2 マスク
(3)
11'
11a
11'
9c
7
9d
5g
7g
9s
(4)
13 半導体層
11'
11a
11'
13
13
9d
9s
3
Tr2
Cs

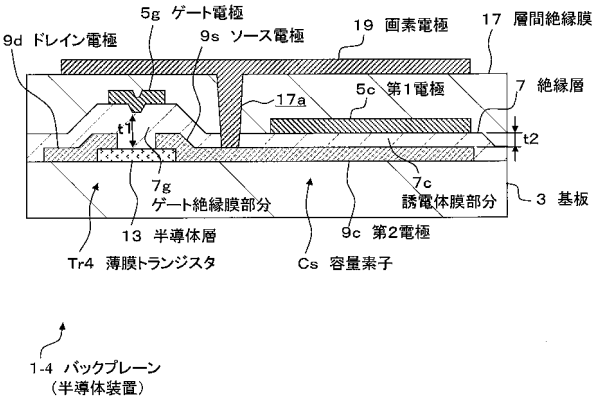
【図８】


13 半導体層
19 画素電極
17 層間絶縁膜
9d ドレイン電極
9s ソース電極
17a
9c 第2電極
7 絶縁層
t1
t2
7g
ゲート絶縁膜部分
7c
誘電体膜部分
3 基板
5g ゲート電極
5c 第1電極
Tr3 薄膜トランジスタ
Cs 容量素子
1-3 バックプレーン
（半導体装置）

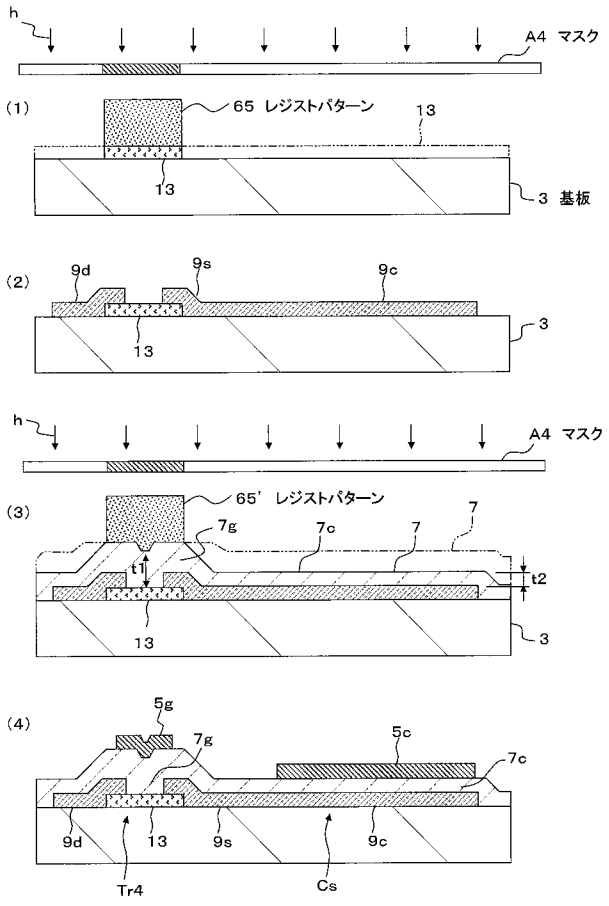
【図９】



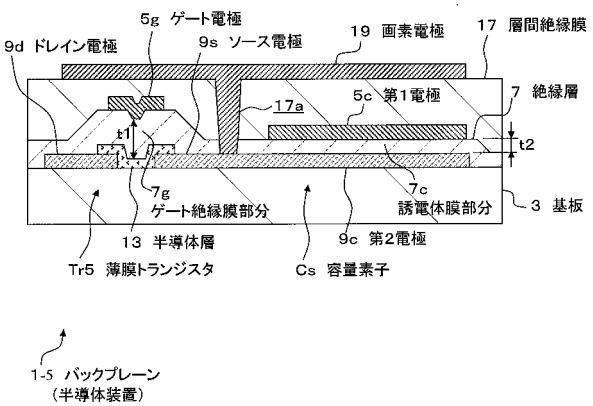
【図１０】



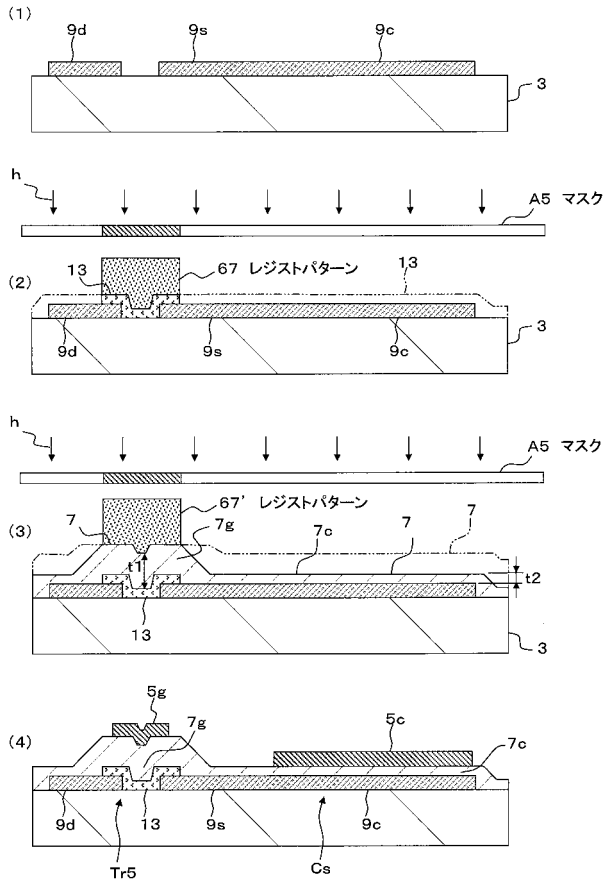
【図１１】



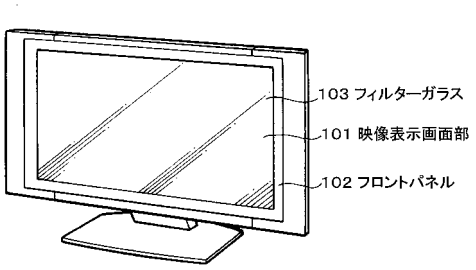
【図１２】



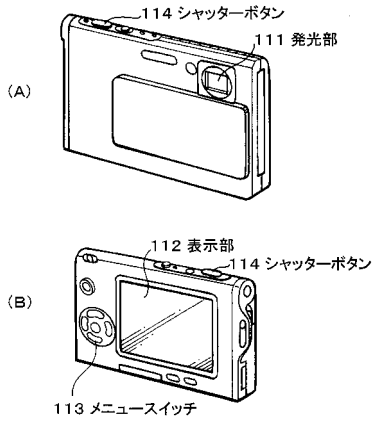
【図１３】



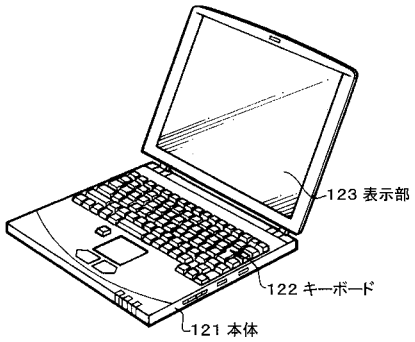
【図１４】



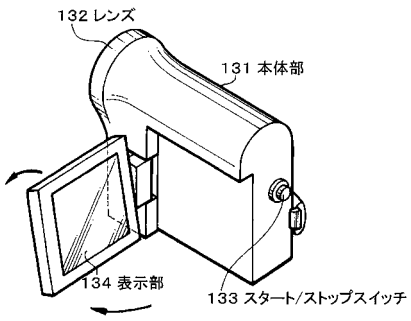
【図１５】



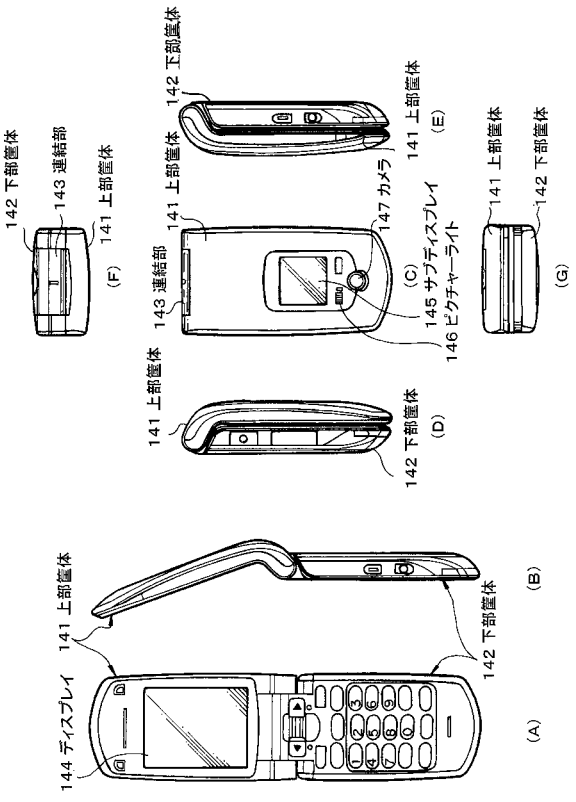
【図１６】



【図１７】



【図１８】



フロントページの続き

(51)Int.Cl.			F I			テーマコード（参考）
Ｇ０２Ｆ	*1/1368*	*(2006.01)*	Ｇ０２Ｆ	1/1368		
Ｈ０１Ｌ	*21/822*	*(2006.01)*	Ｈ０１Ｌ	27/04	Ｃ	
Ｈ０１Ｌ	*27/04*	*(2006.01)*				

Ｆターム(参考) 2K101 AA04 BB11 BE01 BF51 DB08 EB11
5C094 AA02 AA21 BA03 BA75 CA19 DA13 DA15 DB04 EA10 FB01 FB14
5F038 AC05 AC15 AC17 AC18 CA09 EZ06 EZ11 EZ15 EZ20
5F110 AA30 BB02 CC01 CC03 CC05 CC07 DD01 DD02 EE03 EE42 EE43 EE44 FF01 FF27 GG05 GG42 HK02 HK21 HK32 HK33 NN03 NN27 NN36 NN72 NN73 QQ14