



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

210102

(11)

(B1)

/22/ Přihlášeno 28. 03. 79
/21/ /PV 2036-79/

(51) Int. Cl.³
H 03 D 3/04
H 03 K 19/10

(40) Zveřejněno 30. 04. 80

(45) Vydáno 15. 07. 82

(75)

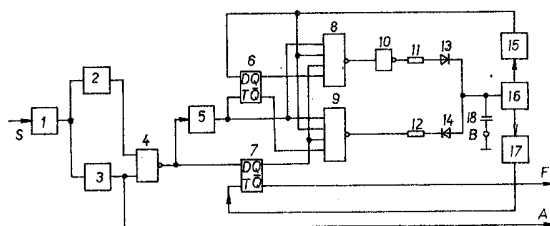
Autor vynálezu

PADEVĚT JIŘÍ ing. a KAVALÍR LADISLAV ing., PRAHA

(54) Zapojení k dekodování fázově modulovaného a přerušovaného střídavého signálu

Vynález se týká dekodování časových značek zakódovaných modulací nosné vlny vysokofrekvenčního vysílače normálové frekvence. K zakódování přenášených značek se používá kombinace krátkodobého přerušování nosné vlny a krátkodobého obrácení fáze nosné vlny.

Vstupní střídavý signál je periodicky přerušován. V době mezi dvěma přerušeními může dojít ke krátkodobému obrácení fáze střídavého signálu o 180°. První výstupní signál nabývá kladné hodnoty v době, kdy je přítomen vstupní signál a odpovídá průběhu jeho amplitudy. Druhý výstupní signál nabývá kladné hodnoty při krátkodobém obrácení fáze vstupního signálu. Vstupní střídavý signál se zesiluje zesilovačem a upravuje tvarovačem a amplitudovým detektorem. V dalších částech zapojení se zpracovávají dvoustavové logické signály digitálními obvody.



OBR.1

Vynález se týká zapojení k dekódování fázově modulovaného a přerušovaného střídavého signálu, zejména k dekódování časových značek zakódovaných modulací nosné vlny vysokofrekvenčního vysílače normálové frekvence.

K zakódování přenášených značek se používá kombinace krátkodobého přerušování nosné vlny a krátkodobého obrácení fáze nosné vlny. Počet přerušování nosné vlny mezi dvěma po sobě následujícími časovými intervaly, během nichž se vysílá opačná fáze nosné vlny, dává jeden časový údaj. Spolehlivé dekódování a rozlišení obou způsobů modulace je pro správné vyhodnocení časové značky velmi důležité. Současné použití fázové modulace a stoprocentní amplitudové modulace, tj. úplného přerušování nosné vlny, klade zvýšené nároky na složitost dekóderu.

Dosud známá zapojení fázového detektoru - diskriminátoru - a fázové smyčky pracují obvykle přímo se střídavým analogovým signálem. Vstupní střídavý signál se porovnává s výstupním signálem fázově zavěšeného oscilátoru v diskriminátoru, který vyhodnocuje fázi vstupního signálu. Řídící obvod fázově zavěšeného oscilátoru pracuje obvykle s trvalou řídicí odchylkou. K jeho správné činnosti je nutná trvalá přítomnost referenčního i vstupního signálu. Přerušování vstupního signálu má na činnost obvodů nepříznivý vliv a na výstupu diskriminátoru je neurčitý stav nebo směr obou signálů. Při přerušování vstupního signálu mohou vnikat do obvodů diskriminátoru a fázové smyčky zavěšeného oscilátoru rušivé signály. Udržení stability je obtížné a obvodově náročné. Kromě toho tyto obvody obsahují laděné prvky, transformátory a indukčnosti, které zabraňují miniaturizaci obvodů.

Zapojení k dekódování fázově modulovaného a přerušovaného střídavého signálu odstraňuje uvedené nevýhody. Podstata vynálezu spočívá v tom, že na výstup zesilovače s automatickým řízením zisku je připojen amplitudový detektor a tvarovač signálu, jejichž výstupy jsou připojeny každý na jeden vstup logického obvodu typu NAND. Jeho výstup je připojen na logický vstup prvního klopného obvodu, na jehož hodinový vstup je připojen výstup prvního děliče kmitočtu, a na vstup násobiče kmitočtu, jehož výstup je připojen na první vstupy prvního a druhého čtyřvstupového hradla, a na hodinový vstup druhého klopného obvodu. Na jeho logický vstup a současně na druhé vstupy prvního a druhého čtyřvstupového hradla je připojen výstup druhého děliče kmitočtu.

Na třetí vstupy prvního a druhého čtyřvstupového hradla je připojen pozitivní výstup prvního klopného obvodu. Na čtvrtý vstup prvního čtyřvstupového hradla je připojen pozitivní výstup druhého klopného obvodu. Na čtvrtý vstup druhého čtyřvstupového hradla je připojen inverzní výstup druhého klopného obvodu. Výstup prvního čtyřvstupového hradla je přes invertor logického signálu, první odpor a první diodu v propustném směru připojen na řídicí vstup napětím řízeného oscilátoru. Výstup druhého čtyřvstupového hradla je přes druhý odpor a druhou diodu v nepropustném směru připojen rovněž na řídicí vstup napětím řízeného oscilátoru a tento vstup je přes kondenzátor připojen k pomocné svorce. První výstup napětím řízeného oscilátoru je připojen ke vstupu prvního děliče kmitočtu a druhý výstup napětím řízeného oscilátoru je připojen na vstup druhého děliče kmitočtu.

První výstup zapojení je odbočen z výstupu amplitudového detektoru a druhý výstup zapojení je tvořen inverzním výstupem prvního klopného obvodu.

Zapojení podle vynálezu využívá číslicového zpracování signálu logickými obvody, které lze integrovat do větších celků. Tím se snižuje pracnost výroby a zvyšuje se spolehlivost.

Příklad vynálezu je dále popsán pomocí výkresů, kde na obr. 1 je schéma zapojení, na obr. 2 jsou zakresleny průběhy vstupního signálu a obou výstupních signálů, na obr. 3 je zapojení kondenzátoru, z něhož se odebírá řídicí napětí oscilátoru.

Vstupní střídavý signál s na obr. 2 je periodicky přerušován. V době mezi dvěma přerušováními může dojít ke krátkodobému obrácení fáze vstupního střídavého signálu o 180 stupňů. Výstupní signál a nabývá kladné hodnoty v době, kdy je přítomen vstupní střídavý signál s a odpovídá průběhu amplitudy tohoto vstupního střídavého signálu s . Výstupní signál f nabývá kladné hodnoty při krátkodobém obrácení fáze vstupního signálu s .

Na obr. 1 se na vstup 8 zesilovače 1 s automatickým řízením zisku přivádí vstupní střídavý signál s . Výstup zesilovače 1 je připojen na vstup amplitudového detektoru 3 a tvarovače 2 signálu. Jejich výstupy jsou připojeny na vstupy logického obvodu 4 typu NAND, jehož výstup je připojen k násobiči 5 kmitočtu a k logickému vstupu prvního klopného obvodu 7. Na hodinový vstup klopného obvodu 7 je připojen výstup prvního děliče 17 kmitočtu. Výstup násobiče 5 kmitočtu je připojen na první vstupy prvního a druhého čtyřvstupového hradla 8 a 9 typu NAND a na hodinový vstup druhého klopného obvodu 6. Na logický vstup tohoto klopného obvodu 6 a současně na druhé vstupy prvního a druhého čtyřvstupového hradla 8 a 9 je připojen výstup druhého děliče 15 kmitočtu. Na třetí vstupy prvního a druhého čtyřvstupového hradla 8 a 9 je připojen pozitivní výstup prvního klopného obvodu 7. Na čtvrtý vstup prvního čtyřvstupového hradla 8 je připojen pozitivní výstup druhého klopného obvodu 6 a na čtvrtý vstup druhého čtyřvstupového hradla 9 je připojen inverzní výstup druhého klopného obvodu 6.

Výstup prvního čtyřvstupového hradla 8 je přes inventar 10 logického signálu, první odpor 11 a první diodu 13 připojen na vstup napětím řízeného oscilátoru 16. Výstup druhého čtyřvstupového hradla 9 je přes druhý odpor 12 a druhou diodu 14 připojen na vstup napětím řízeného oscilátoru 16. Tento vstup je zároveň připojen k pomocné svorce B přes kondenzátor 18.

Vstupní střídavý signál s na vstupu 8 se zesiluje zesilovačem 1 s automatickým řízením zisku a upravuje tvarovačem 2 a amplitudovým detektorem 3. V dalších částech zapojení se zpracovávají dvoustavové logické signály digitálními obvody. Průchod signálu s z tvarovače 2 je blokovan v logickém obvodu 4 výstupem amplitudového detektoru 3, tj. signálem a na vstupu A. Fázi přijímaného signálu dekóduje první klopný obvod 7, který na svém inverzním výstupu f poskytuje výstupní signál f . První klopný obvod 7 porovnává fázi přijímaného signálu s s fází referenčního signálu z prvního děliče 17 kmitočtu, který dělí kmitočet napětím řízeného oscilátoru 16. Fáze napětím řízeného oscilátoru 16 je řízena druhým klopným obvodem 6 v zapojení s prvním a druhým čtyřvstupovým hradlem 8 a 9, invertorem 10, prvním a druhým odporem 11 a 12 a první a druhou diodou 13 a 14. Na pomocné svorce B je potenciál země. Na kondenzátoru 18 se vytváří řídicí napětí napětím řízeného oscilátoru 16 porovnáním fáze přijímaného signálu s , jehož kmitočet se zvyšuje digitálním násobičem 5 kmitočtu, a fáze referenčního signálu

lu z druhého děliče 15 kmitočtu. Vzájemná vazba prvního a druhého klopného obvodu 7 a 6, pracujících jako fázové detektory, s prvním a druhým čtyřvstupovým hradlem 8 a 9 umožňuje fázové zavěšení napětím řízeného oscilátoru 16 v definované fázové poloze vůči přijímanému vstupnímu signálu s. Logický obvod 4 zabráňuje vstupu rušivých signálů do prvního a druhého klopného obvodu 6 a 7 při přerušení vstupního signálu s.

Činnost zapojení podle vynálezu lze dále zlepšit obvodem, připojeným k pomocné svorce B, znázorněným na obr. 3. Kondenzátor 18 je přes pomocnou svorku B připojen na tranzistor 201, nejlépe typu MOS řízený polem nebo typu NPN. Emitor tranzistoru 201 je připojen na svorku U2 prvního zdroje napětí nebo může být uzemněn. Jeho řídicí elektroda je připojena na výstup zesilovače 202. Na vstup zesilovače 202 je připojen druhý kondenzátor 203, jehož druhý pól je uzemněn. Dále je na vstup zesilovače 202 připojena přes třetí odpor 204 svorka U22 druhého zdroje napětí a přes čtvrtý odpor 205 a třetí diodu 206 výstup třívstupového hradla 207 typu NAND. Na první vstup tohoto hradla 207

je připojen výstup násobiče 5 kmitočtu z obr. 1. Na druhý vstup hradla 207 je připojen pozitivní výstup prvního klopného obvodu 7 a na třetí vstup třívstupového hradla 207 je připojen inverzní výstup děliče 15 kmitočtu.

Třívstupové hradlo 207 detekuje okamžitý stav v průběhu synchronizace napětím řízeného oscilátoru 16. Impulsy přes třetí diodu 206 a čtvrtý odpor 205 vybijí druhý kondenzátor 203, nabíjený přes třetí odpor 204 ze svorky U22 druhého zdroje napětí. Zesilovač 202 ovládá tranzistor 201. Změna impedance tranzistoru 201 v obvodu kondenzátoru 18 umožňuje zvýšit účinek řídicího napětí napětím řízeného oscilátoru 16 a dosáhnout tak fázového zavěšení napětím řízeného oscilátoru 16 na vstupní signál s i při vyšším rozdílu počátečního kmitočtu napětím řízeného oscilátoru 16 proti vstupnímu signálu s a po dosažení synchronizace obnovení funkce zapojení na obr. 1.

Zapojení na obr. 3 se uplatňuje při připojení vstupního signálu s a v době, kdy ještě není dosaženo synchronizace, tj. fázového zavěšení napětím řízeného oscilátoru 16 na vstupní signál s.

P R E D M Ě T V Y N Á L Ě Z U

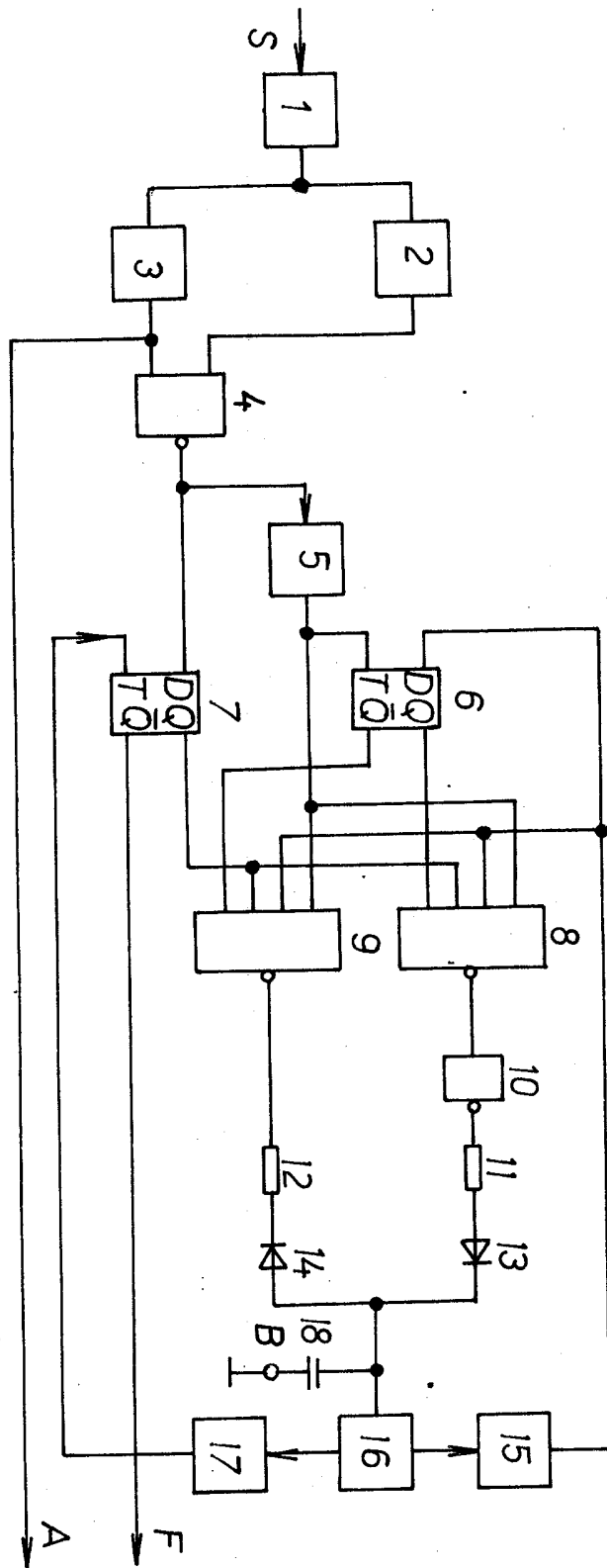
1. Zapojení k dekódování fázově modulovaného a přerušovaného střídavého signálu, vyznačené tím, že na výstup zesilovače /1/ s automatickým řízením zisku je připojen amplitudový detektor /3/ a tvarovač /2/ signálu, jejichž výstupy jsou připojeny každý na jeden vstup logického obvodu /4/ typu NAND, jehož výstup je připojen na logický vstup prvního klopného obvodu /7/, na jehož hodinový vstup je připojen výstup prvního děliče /17/ kmitočtu, a na vstup násobiče /5/ kmitočtu, jehož výstup je připojen na první vstupy prvního a druhého čtyřvstupového hradla /8, 9/ a na hodinový vstup druhého klopného obvodu /6/, na jehož logický vstup a současně na druhé vstupy prvního a druhého čtyřvstupového hradla /8, 9/ je připojen výstup druhého děliče /15/ kmitočtu, na třetí vstupy prvního a druhého čtyřvstupového hradla /8, 9/ je připojen pozitivní výstup prvního klopného obvodu /7/, zatímco na čtvrtý vstup prvního čtyřvstupového hradla /8/ je připojen pozitivní výstup druhého klopného obvodu /6/ a na čtvrtý vstup druhého čtyřvstupového hradla /9/ je připojen inverzní výstup druhého klopného obvodu /6/, přičemž výstup prvního čtyřvstupového hradla /8/ je přes invertor /10/ logického signálu, první odpor /11/ a první diodu /13/ v propustném směru připojen na řídicí vstup napětím řízeného oscilátoru /16/, výstup druhého čtyřvstupového hradla /9/ je přes druhý odpor /12/ a druhou diodu

/14/ v nepropustném směru připojen rovněž na řídicí vstup napětím řízeného oscilátoru /16/ a tento vstup je přes kondenzátor /18/ připojen k pomocné svorce /B/, přičemž první výstup napětím řízeného oscilátoru /16/ je připojen ke vstupu prvního děliče /17/ kmitočtu a druhý výstup napětím řízeného oscilátoru /16/ je připojen na vstup druhého děliče /15/ kmitočtu, zatímco první výstup /A/ zapojení je odbočen z výstupu amplitudového detektoru /3/ a druhý výstup zapojení /F/ je tvořen inverzním výstupem prvního klopného obvodu /7/.

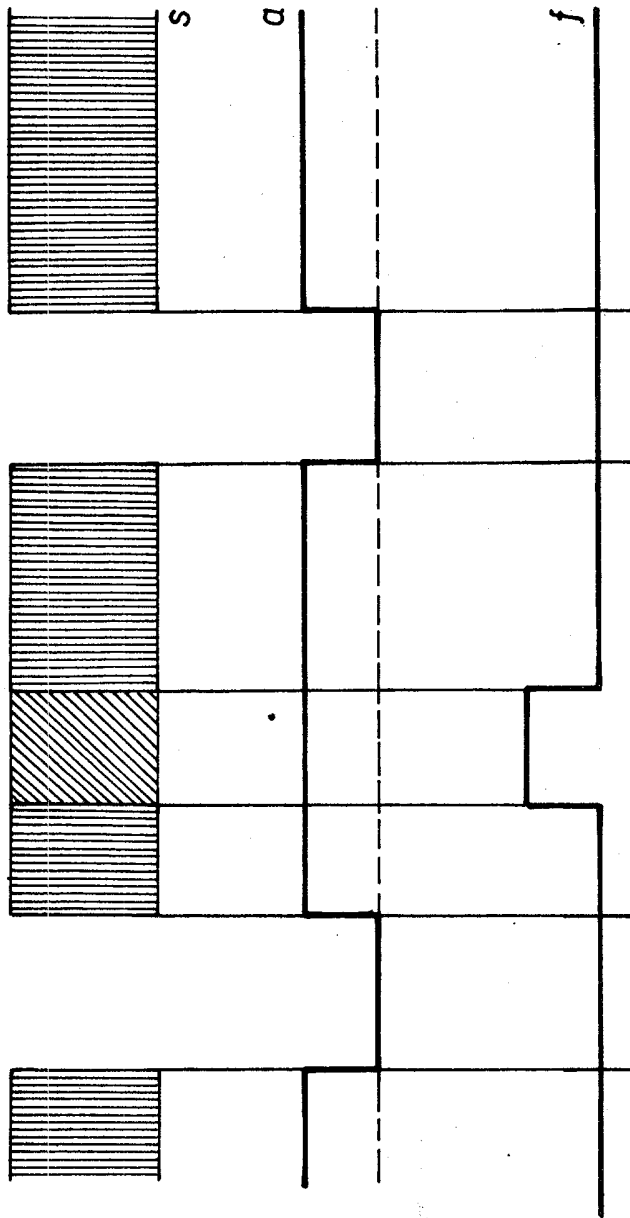
2. Zapojení podle bodu 1, vyznačené tím, že pomocná svorka /B/ je uzemněna.

3. Zapojení podle bodu 1, vyznačené tím, že k pomocné svorce /B/ je připojen tranzistor /201/, jehož emitör je připojen na svorku /U2/ prvního zdroje napětí a jehož řídicí elektroda je připojena na druhý zesilovač /202/, na jehož vstup je připojen druhý kondenzátor /203/ s druhým pólem uzemněným a přes třetí odpor /204/ na svorku /U22/ druhého zdroje napětí a přes čtvrtý odpor /205/ a třetí diodu /206/ v nepropustném směru výstup třívstupového hradla /207/, na jehož první vstup je připojen výstup násobiče /5/ kmitočtu, přičemž na druhý vstup třívstupového hradla /207/ je připojen pozitivní výstup druhého klopného obvodu /7/ a na třetí vstup je připojen inverzní výstup druhého děliče /15/ kmitočtu.

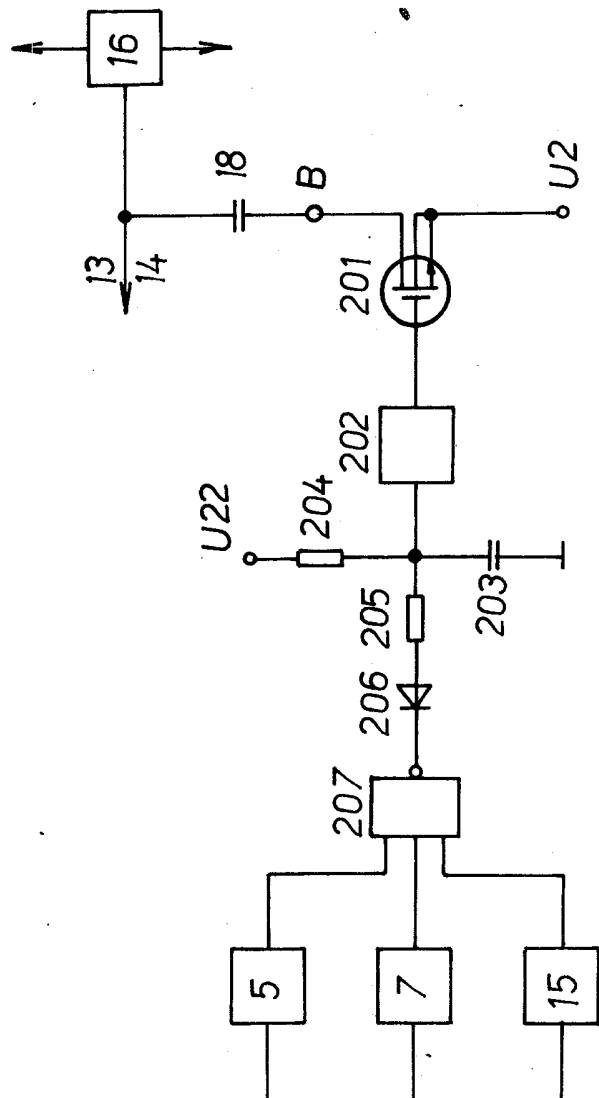
3 výkresy



OBR.1



OBR. 2



OBR. 3