

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5696367号
(P5696367)

(45) 発行日 平成27年4月8日(2015.4.8)

(24) 登録日 平成27年2月20日(2015.2.20)

(51) Int.Cl.

F I

HO 1 L 25/065 (2006.01)	HO 1 L 25/08 B
HO 1 L 25/07 (2006.01)	HO 1 L 21/88 T
HO 1 L 25/18 (2006.01)	HO 1 L 21/60 3 1 1 S
HO 1 L 21/3205 (2006.01)	HO 1 L 21/60 3 0 1 N
HO 1 L 21/768 (2006.01)	

請求項の数 5 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2010-76592 (P2010-76592)
(22) 出願日	平成22年3月30日(2010.3.30)
(65) 公開番号	特開2011-210913 (P2011-210913A)
(43) 公開日	平成23年10月20日(2011.10.20)
審査請求日	平成25年2月6日(2013.2.6)

(73) 特許権者	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人	100105360 弁理士 川上 光治
(72) 発明者	今泉 延弘 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(72) 発明者	赤松 俊也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(72) 発明者	水越 正孝 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

前記基板にフェイスアップで実装され、第1の電極パッドと第2の電極パッドが設けられた第1の半導体素子と、

前記第1の電極パッド及び第2の電極パッドの上方を覆い、かつ第1の半導体素子に前記第1の電極パッドを介してフェイスダウンで実装される第2の半導体素子と、

前記第2の電極パッドと前記基板に設けられた基板電極とを電氣的に接続する導電性のワイヤと、

前記第1の半導体素子の前記第1の電極パッドと前記第2の半導体素子の電極との間に接続され、前記第1、第2の半導体素子の間の距離を、前記第2の電極パッドから前記ワイヤのループの上端までの高さより大きくする高さを有する接続端子と、

を含み、

前記ワイヤは、前記第2の電極パッドの外側に配置された複数の前記接続端子の間を通り、平面視で前記ワイヤが延在する方向に垂直な方向において複数の前記接続端子の間より広い幅を有する前記第2の電極パッドと前記基板電極とを電氣的に接続していることを特徴とする半導体装置。

【請求項2】

前記接続端子の表面に絶縁樹脂がコーティングされている請求項1に記載の半導体装置

。

10

20

【請求項 3】

前記接続端子は、前記第 1 の半導体素子に形成された第 1 の接続端子と、前記第 2 の半導体素子に形成された第 2 の接続端子とを含む請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 1 の接続端子と第 2 の接続端子の間に形成され、かつ前記第 1、第 2 の接続端子より側方に突出する導電性部材を有し、前記導電性部材の表面は前記絶縁樹脂でコーティングされている請求項 3 に記載の半導体装置。

【請求項 5】

基板に第 1 の電極パッドと、前記第 1 の電極パッドの内側に配置される第 2 の電極パッドが設けられた第 1 の半導体素子をフェイスアップで接着する工程と、

10

前記第 2 の電極パッドと、前記基板に設けられた基板電極とを導電性のワイヤで接続する工程と、

第 2 の半導体素子を前記第 1 の半導体素子にフェイスダウンで対向させ、前記第 1 の電極パッドと前記第 2 の半導体素子の電極とを接続端子を介して、前記第 1、第 2 の半導体素子の間の距離を、前記第 2 の電極パッドから前記ワイヤのループの上端までの高さより大きくするように接続し、前記ワイヤを前記第 2 の電極パッドの外側に配置される複数の前記接続端子の間に通す工程と、

を有し、

前記ワイヤを接続する工程は、平面視で前記ワイヤが延在する方向に垂直な方向において複数の前記接続端子の間より広い幅を有する前記第 2 の電極パッドと前記基板電極とを電氣的に接続することを特徴とする半導体装置の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、半導体装置の大集積化、及び処理の高速化が図られており、これに伴って、複数の半導体素子を 3 次元に配列したパッケージが開発されている。

半導体素子同士の接続は、半導体素子に形成した端子を用いる場合には、フリップチップ接続が用いられる。また、外部の電極と半導体素子の接続には、ワイヤボンディングが用いられる。

30

【0003】

ここで、回路基板の上に半導体素子を 2 つ重ねて実装するときは、最初に回路基板の上に第 1 の半導体素子を実装し、さらに第 1 の半導体素子の上にインターポーザを実装してから、第 2 の半導体素子を実装することが知られている。

図 1 1 に示すように、従来の半導体装置 1 0 1 では、回路基板 1 0 2 の上に第 1 の半導体素子 1 0 3 をアップフェイスで実装し、第 1 の半導体素子 1 0 3 の上に、ハンダバンプ 1 1 1 を介してインターポーザ 1 0 4 を接続する。さらに、インターポーザ 1 0 4 の上にハンダバンプ 1 1 2 を介して第 2 の半導体素子 1 0 5 を実装していた。

40

【0004】

インターポーザ 1 0 4 の両面には、第 1、第 2 の半導体素子 1 0 3、1 0 5 に電氣的に接続される電極パッド 1 0 9 a、1 0 9 b が形成されている。さらに、これら電極パッド 1 0 9 a、1 0 9 b を導通させるための導電性プラグ 1 1 0 がインターポーザ 1 0 4 を貫通している。また、インターポーザ 1 0 4 は、第 2 の半導体素子 1 0 5 よりサイズの大きいものが用いられ、インターポーザ 1 0 4 の周縁部分であって、第 2 の半導体素子 1 0 5 から露出する部分には、外部接続用の電極 1 0 6 が形成されている。

【0005】

この半導体装置 1 0 1 では、第 2 の半導体素子 1 0 5 と第 1 の半導体素子 1 0 3 とがインターポーザ 1 0 4 の電極パッド 1 0 9 a、1 0 9 b 及び導電性プラグ 1 1 0 並びにハン

50

ダンプ 111, 112 を介して電氣的に接続される。さらに、電極 106 がワイヤ 107 を介して回路基板 102 側の基板電極 108 に接続される。これにより、第 1 の半導体素子 103 又は第 2 の半導体素子 105 が、インターポーザ 104 を介して回路基板 102 に電氣的に接続される。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】「次期半導体パッケージに向けた各社実装開発戦略と 2007 年の展開」, 第 20 回半導体新技術研究所シンポジウム, 半導体新技術研究所, 2006 年 12 月 20 日, 52 p

10

【特許文献 2】特開 2008 - 10550 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来の半導体装置 101 では、第 1 の半導体素子 103 の上にインターポーザ 104 を実装する工程が必要になるため、製造時間を短縮することができなかった。また、インターポーザ 104 に電極 106 や図示を省略する配線を形成する必要があるため、製造コストが増加していた。

【0008】

ここで、従来の半導体装置 101 で、インターポーザ 104 を使用せずに、第 1 の半導体素子 103 の上に第 2 の半導体素子 105 を実装する場合、第 1 の半導体素子 103 が第 2 の半導体素子 105 より大きければ、第 1 の半導体素子 103 の周縁部分を使用して、第 1 の半導体素子 103 と回路基板 102 とをワイヤ 107 で電氣的に接続することができる。しかしながら、図 12 に示すように、第 1 の半導体素子 103 の大きさが第 2 の半導体素子 105 の大きさ以下であると、第 1 の半導体素子 103 が第 2 の半導体素子 105 で覆われてしまい、ワイヤ 107 を通すスペースが得られなくなる。

20

本発明は、このような事情に鑑みてなされたものであり、複数の半導体素子を積層させる半導体装置を低コストで用意に製造できるようにすることを目的とする。

【課題を解決するための手段】

【0009】

30

本願の一観点によれば、基板と、前記基板にフェイスアップで実装され、第 1 の電極パッドと第 2 の電極パッドが設けられた第 1 の半導体素子と、前記第 1 の電極パッド及び第 2 の電極パッドの上方を覆い、かつ第 1 の半導体素子に前記第 1 の電極パッドを介してフェイスダウンで実装される第 2 の半導体素子と、前記第 2 の電極パッドと前記基板に設けられた基板電極とを電氣的に接続する導電性のワイヤと、前記第 1 の半導体素子の前記第 1 の電極パッドと前記第 2 の半導体素子の電極との間に接続され、前記第 1、第 2 の半導体素子の間の距離を、前記第 2 の電極パッドから前記ワイヤのループの上端までの高さより大きくする高さを有する接続端子と、を含み、前記ワイヤは、前記第 2 の電極パッドの外側に配置された複数の前記接続端子の間を通り、平面視で前記ワイヤが延在する方向に垂直な方向において複数の前記接続端子の間より広い幅を有する前記第 2 の電極パッドと

40

【0010】

また、本発明の別の観点によれば、基板に第 1 の電極パッドと、前記第 1 の電極パッドの内側に配置される第 2 の電極パッドが設けられた第 1 の半導体素子をフェイスアップで接着する工程と、前記第 2 の電極パッドと、前記基板に設けられた基板電極とを導電性のワイヤで接続する工程と、第 2 の半導体素子を前記第 1 の半導体素子にフェイスダウンで対向させ、前記第 1 の電極パッドと前記第 2 の半導体素子の電極とを接続端子を介して、前記第 1、第 2 の半導体素子の間の距離を、前記第 2 の電極パッドから前記ワイヤのループの上端までの高さより大きくするように接続し、前記ワイヤを前記第 2 の電極パッドの外側に配置される複数の前記接続端子の間に通す工程と、を有し、前記ワイヤを接続する

50

工程は、平面視で前記ワイヤが延在する方向に垂直な方向において複数の前記接続端子の間より広い幅を有する前記第 2 の電極パッドと前記基板電極とを電氣的に接続することを特徴とする半導体装置の製造方法が提供される。

【発明の効果】

【0011】

接続端子により第 1 の半導体装置と第 2 の半導体装置の間の距離を、ワイヤのループの高さ以上にしたので、第 2 の電極パッドの上を第 2 の半導体装置が覆う場合でも、インターポーザを用いることなく、第 2 の電極パッドと基板の接続端子とをワイヤで接続できる。

【図面の簡単な説明】

10

【0012】

【図 1 A】図 1 A は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す側面図（その 1）である。

【図 1 B】図 1 B は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す側面図（その 2）である。

【図 1 C】図 1 C は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す側面図（その 3）である。

【図 2 A】図 2 A は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す平面図（その 1）である。

【図 2 B】図 2 B は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す平面図（その 2）である。

20

【図 3】図 3 は、図 2 B の第 1、第 2 の電極パッド及びワイヤ並びにハンダバンプを拡大して示す図である。

【図 4 A】図 4 A は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す側面図（その 1）である。

【図 4 B】図 4 B は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す側面図（その 2）である。

【図 4 C】図 4 C は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す側面図（その 3）である。

【図 5】図 5 は、本発明の第 1 の実施の形態に係る半導体装置の変形例を示す平面図である。

30

【図 6 A】図 6 A は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す側面図（その 1）である。

【図 6 B】図 6 B は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す側面図（その 2）である。

【図 7 A】図 7 A は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す側面図（その 1）である。

【図 7 B】図 7 B は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す側面図（その 2）である。

【図 8 A】図 8 A は、本発明の第 2 の実施の形態に係る半導体装置の変形例を示す側面図である。

40

【図 8 B】図 8 B は、図 8 A の一部を拡大した断面図であって、接続端子及びハンダバンプと、ワイヤの位置を説明する図である。

【図 9】図 9 は、本発明の第 3 の実施の形態に係る半導体装置を示す側面図である。

【図 10】図 10 は、本発明の第 3 の実施の形態に係る半導体装置の製造工程を示す側面図である。

【図 11】図 11 は、従来の半導体装置を示す側面図である。

【図 12】図 12 は、従来の課題を説明するための図である。

【発明を実施するための最良の形態】

【0013】

50

発明の目的及び利点は、請求の範囲に具体的に記載された構成要素及び組み合わせによって実現され達成される。

前述の一般的な説明及び以下の詳細な説明は、典型例及び説明のためのものであって、本発明を限定するためのものではない、と理解すべきである。

【0014】

以下に、図面を参照して本発明の好ましい実施形態を説明する。図面において、同様の構成要素には同じ参照番号が付されている。

(第1の実施の形態)

最初に、図1Aに示す半導体素子の実装工程について説明する。

まず、回路基板1の表面には、導電性を有する基板電極2(接続端子)と、図示を省略する配線パターンとが形成される。回路基板1は、例えば、BTレジン樹脂(登録商標)などの樹脂材料から製造されており、その厚さを例えば0.35mmとする。基板電極2には、例えば、金や銅が用いられ、フォトリソグラフィ法により形成される。基板電極2は、例えば、100 μ mの間隔で400個程度形成される。

【0015】

次に、回路基板1の所定位置に第1の半導体素子10を位置合わせして実装する。

第1の半導体素子10には、半導体回路が形成されており、電極の無い一方の面を下向きにして、ダイボンディング材13によって回路基板1に接着されている。なお、第1の半導体素子10は、パッケージ型の半導体素子であっても良い。

【0016】

さらに、基板11の他方の面11Aには、第1の電極パッド14と、第2の電極パッド15と、第3の電極パッド16がそれぞれ間隔をおいて複数配設されている。これら電極パッド14~16は、第1の半導体素子10の半導体回路に電氣的に接続されている。例えば、AlやCuなどから製造されている。電極パッド14~16は、例えば、電解めっき、又は無電解めっきにより、同じ膜厚に形成される。

【0017】

図1Aの側面図及び図2Aの平面図に示すように、第1の電極パッド14は、第1の半導体素子10の他方の面11Aに所定の間隔、例えば50 μ mのピッチで複数配列され、フリップチップ接続用の bumps を形成するために用いられる。

図1Aに示すように、第1の電極パッド14の上には、導電性材料であるハンダバンプ17が形成される。ハンダバンプ17のハンダ材料には、SnAg系のSn-3.5Agが用いられる。このようなハンダバンプ17は、例えば、第1の電極パッド14の上にスクリーン印刷で塗布したハンダペーストをリフロー工程で熔融させることで形成される。また、第1の電極パッド14の上にフラックを介してハンダボールを接着し、リフロー工程によりハンダボールを熔融させることで形成しても良い。なお、ハンダ材料は、SnAg系に限定されない。また、ハンダバンプ17の代わりに、金バンプを用いても良い。

【0018】

図2Aに示すように、第2の電極パッド15と第3の電極パッド16は、基板11の外周部分に所定の間隔で複数配列され、共に、回路基板1とのワイヤボンディング用に用いられる。

第2の電極パッド15は、周囲に第1の電極パッド14が形成されている領域R1に、複数の第1の電極パッド14の間に1つつ形成される。図3の拡大図に示すように、第2の電極パッド15は、第1の電極パッド14が円形の場合には、四角形の四隅が円弧状に切り取られた、略X字の平面形状を有する。この領域R1における第2の電極パッド15の形状は、第1の電極パッド14を避け、かつボンディング用のワイヤと十分な接触面積が得られる形状及び大きさである。

【0019】

また、第3の電極パッド16は、基板11上で、周囲に第1の電極パッド14が形成されていない領域R2に円形に形成される。

【0020】

10

20

30

40

50

次に、図1B及び図2Bに示すように、第1の半導体素子10上の第2の電極パッド15と、回路基板1上の基板電極2とを、ワイヤ18で電氣的に接続する。同様に、第3の電極パッド16と、回路基板1上の基板電極2とを、ワイヤ18で電氣的に接続する。ワイヤ18には、導電性材料で9ナインなどの高純度の金などが用いられる。ワイヤ18の直径は、例えば20 μ mである。

【0021】

ここで、図3に示すように、ワイヤ18は、第2の電極パッド15に電氣的に接続されると共に、第2の電極パッド15よりも外側に配置されている2つの第1の電極パッド14及びその上の2つのハンダバンプ17の間の上方を通して、基板電極2に引き出される。

10

【0022】

続いて、図1Cの構造を得るまでの工程について説明する。

第1の半導体素子10の上に実装される第2の半導体素子20には、半導体回路が形成されている。第2の半導体素子20のサイズは、第1の半導体素子10より大きいものが実装される。なお、第2の半導体素子20は、パッケージ型の半導体素子であっても良い。

【0023】

第2の半導体素子20の一方の面21Aは、下向きに配置され、複数の電極パッド24が配設されている。電極パッド24は、第2の半導体素子20の半導体回路に電氣的に接続されており、例えば、Alや、Cuなどから製造されている。さらに、電極パッド24上には、フリップチップ接続用の接続端子26が柱状に形成されている。電極パッド24及び接続端子26の配置間隔は、ワイヤ18の径より大きい。なお、接続端子26は、断面で示されている。

20

【0024】

接続端子26は、Cu、Au、Ni、W等、導電性を有する材料から製造される。接続端子26をCu、Au、Niで製造するとき、接続端子26は、電解めっきにより形成される。その形成方法を次に説明する。

【0025】

最初に、電解めっきの電極となるシード層（不図示）を電極パッド24及び第2の半導体素子20の表面に形成する。さらに、図4Aに示すように、第2の半導体素子20の一方の面の上にフォトリソを塗布し、硬化させた後に露光及び現像することにより、電極パッド24上に開口部27Aを有するレジストパターン27を形成する。

30

【0026】

この後、図4Bに示すように、電解めっきにより、レジストパターン27の開口部27A内に接続端子26を成長させる。接続端子26を成長させた後、レジストパターン27を有機溶剤又はアッシングにより除去する。さらに、第2の半導体素子20上の不図示のシード層を酸性溶液などを用いてエッチングして除去する。なお、接続端子26は、無電解めっきで形成しても良い。

【0027】

また、接続端子26をWで製造するとき、CVD（Chemical Vapor Deposition）法、又はスパッタ法を用いて電極パッド24上に形成する。

40

なお、接続端子26は、低弾性で導電性を有する材料から製造されていれば良く、例えば、樹脂材料に金属フィラーを混合させた導電性接着剤や、樹脂材料にカーボンナノチューブを分散させた複合材であっても良い。

【0028】

ここで、図1Cに示すように、接続端子26の高さは、ワイヤ18のループ高さH1以上になっており、例えば50 μ mである。なお、ループ高さH1は、第1の半導体素子10上の第2、第3の電極パッド14、15の上面から、ワイヤ18のループの最も高い部分までの距離である。

また、回路基板1の表面に平行な断面において、接続端子26は円形になっている。な

50

お、回路基板 1 の表面に平行な断面における接続端子 2 6 の断面形状は、楕円や、角形、その他の多角形であっても良い。また、接続端子 2 6 の外形は、円錐や角錐、円錐台、角錐台でも良い。

【 0 0 2 9 】

続いて、図 4 C に示すように、接続端子 2 6 の外側面に、絶縁樹脂 2 8 を塗布する。絶縁樹脂 2 8 としては、シリコンエラストマのように伸縮性の高い樹脂が用いられる。絶縁樹脂 2 8 の塗布方法としては、例えば、スピコート法が用いられる。なお、ここまでの工程は、半導体回路が形成された半導体ウェハ上で実施され、接続端子 2 6 及び絶縁樹脂 2 8 の形成を行った後、ダイシングにより第 2 の半導体素子 2 0 毎に分割される。

【 0 0 3 0 】

次に、接続端子 2 6 の露出している端面 2 6 A にフラックスを塗布し、接続端子 2 6 と第 1 の半導体素子 1 0 上のハンダバンプ 1 7 に位置合わせしてから、図 1 C に示すように、第 2 の半導体素子 2 0 をダウンフェイスで対向させ、第 1 の半導体素子 1 0 にフリップチップ実装する。第 2 の半導体素子 2 0 は、第 1 の半導体素子 1 0 より大きいので、第 2 の電極パッド 1 5 及び第 3 の電極パッド 1 6 の上方が第 2 の半導体素子 2 0 で覆われる。このとき、接続端子 2 6 の間に、第 2 の電極パッド 1 5 に接続されたワイヤ 1 8 を通らせる。

【 0 0 3 1 】

フリップチップ実装時には、例えば、約 2 0 N の荷重を 1 . 5 秒かけて第 2 の半導体素子 2 0 を第 1 の半導体素子 1 0 に仮接着し、その後リフロー炉で最大温度 2 5 0 まで加熱してハンダバンプ 1 7 を熔融させる。これにより、接続端子 2 6 とハンダバンプ 1 7 とが接合され、第 1 の半導体素子 1 0 の電極パッド 1 4 と第 2 の半導体素子 2 0 の電極パッド 2 4 が電氣的に接続される。また、この際、絶縁樹脂 2 8 の一部が熔融して流れ、接続端子 2 6 の下側に配置されているハンダバンプ 1 7 の表面を覆う。

【 0 0 3 2 】

ここで、背高の接続端子 2 6 の存在によって、第 1 の半導体素子 1 0 の第 2 の電極パッド 1 5 に接続されたワイヤ 1 8 は、第 2 の半導体素子 2 0 に接触することなく、隣り合う 2 つの接続端子 2 6 の間から回路基板 1 に引き出される。さらに、接続端子 2 6 の外側面に絶縁樹脂 2 8 が塗布されているので、ワイヤ 1 8 と接続端子 2 6 が短絡することはない。同様に、第 1 の半導体素子 1 0 の第 3 の電極パッド 1 6 に接続されたワイヤ 1 8 は、第 2 の半導体素子 2 0 に接触することなく、回路基板 1 に引き出される。

【 0 0 3 3 】

この後、フラックスを洗浄してから、第 1 の半導体素子 1 0 と、第 2 の半導体素子 2 0 の間の隙間にアンダーフィル材 2 9 を充填し、加熱硬化させる。この結果、接続端子 2 6 及びワイヤ 1 8 の一部が樹脂封止される。

【 0 0 3 4 】

これにより、第 1 、第 2 の半導体素子 1 0 , 2 0 が順に回路基板 1 上に実装されると共に、第 1 の半導体素子 1 0 の第 2 、第 3 の電極パッド 1 5 , 1 6 がワイヤ 1 8 で基板電極 2 に電氣的に接続され、半導体装置 3 1 が完成する。なお、半導体装置 3 1 の回路基板 1 上には、図示を省略する他の部品を実装しても良い。

【 0 0 3 5 】

以上、説明したように、この半導体装置 3 1 では、第 2 の半導体素子 2 0 に背高の導電性部材である接続端子 2 6 を設け、第 1 の半導体素子 1 0 と第 2 の半導体素子 2 0 の電極パッド 1 4 , 2 4 間の距離 H 0 を、ワイヤ 1 8 のループ高さ H 1 より高くした。これにより、第 1 の半導体素子 1 0 より第 2 の半導体素子 2 0 が大きい場合でも、第 1 の半導体素子 1 0 と回路基板 1 とをワイヤ 1 8 で直接、電氣的に接続することが可能になる。しかも、従来のように、2 つの半導体装置の間にインターポーザを介挿させる必要がなくなるので、製造工程が簡略化される。また、装置構成が簡単になるので、半導体装置を従来に比べて小型化できる。

【 0 0 3 6 】

10

20

30

40

50

また、接続端子26の間からワイヤ18を通して基板電極2に電氣的に接続するようにしたので、第1の半導体素子10を小型化できる。ここで、接続端子26の外表面に絶縁樹脂28を設けてあるので、ワイヤ18と接続端子26とが短絡することはない。したがって、第1の半導体素子10に第1の電極パッド14と第2の電極パッド15をより狭い間隔で配置できる。

【0037】

なお、図5に示すように、第2の半導体素子20は、必ずしも第1の半導体素子10より大きくなって良い。この変形例では、第2の半導体素子20は、第1の半導体素子10より小さく、かつ、一つの辺に沿った部分のみが第2の電極パッド15の上を覆っている。

10

このように、この半導体装置31によれば、第2の半導体素子20が第1の半導体素子10以下のサイズであっても、第2の半導体素子20が第1の半導体素子10に重なる部分に、第2の電極パッド15と、接続端子26を設けることで、インターポーザを介挿させることなく、第1の半導体素子10と回路基板1とをワイヤ18で電氣的に接続できる。

【0038】

なお、第2の半導体素子20は、2つの辺に沿った部分、又は3つの辺に沿った部分が第2の電極パッド15の上を覆っても良い。

また、半導体装置31は、3つ以上の半導体素子を積層しても良い。さらに、接続端子26を第1の半導体素子10に設け、ハンダバンプ17を第2の半導体素子20に設けても良い。

20

【0039】

(第2の実施の形態)

最初に、図6Aに示す半導体素子の実装工程について説明する。

回路基板1上には、第1の半導体素子10が実装される。第1の半導体素子10は、第1、第2、第3の電極パッド14～16が複数形成されており、第1の電極パッド14の上には、第1の接続端子43が形成されている。

【0040】

第1の接続端子43は、Cu、Au、Ni、W等の金属材料から製造される。第1の接続端子43は、第1の実施の形態の接続端子26の製造方法と同様な工程により、電解めっき又は無電解めっき、或いはCVD法やスパッタ法により形成される。第1の接続端子43の配置間隔は、ワイヤ18の径より大きい。また、第1の接続端子43の高さは、ワイヤ18のループ高さH1より低い。

30

【0041】

第1の半導体素子10を回路基板1にダイボンディング材13で接着した後に、第2の電極パッド15及び第3の電極パッド16と回路基板1の基板電極2がワイヤ18で電氣的に接続される。第2の電極パッド15に接合されるワイヤ18は、第1の接続端子43の間を通過して、回路基板1に引き出される。

【0042】

続いて、図6Bに示すように、第1の半導体素子10の上に、第2の半導体素子20が実装される。第2の半導体素子20は、第1の半導体素子10の外周寄りの第2の電極パッド15、第3の電極パッド16の少なくとも一部の上を覆う。第2の半導体素子20は、電極パッド24に第2の接続端子44が接続されており、第2の接続端子44の下には導電性部材であるハンダバンプ45が設けられ、ハンダバンプ45を介して、第1の接続端子43と第2の接続端子44が接続される。

40

【0043】

ここで、図7A及び図7Bを参照して、第2の半導体素子20の第2の接続端子44及びハンダバンプ45の製造方法について説明する。

図7Aに示すように、第2の接続端子44は、Cu、Au、Ni、W等の金属材料を用いて、第1の接続端子43と同様に、電解めっき又は無電解めっき、或いはCVD法やス

50

パッタ法により形成される。第2の接続端子44及びハンダバンプ45の配置間隔は、ワイヤ18の径より大きい。

【0044】

続いて、第2の接続端子44の上に、ハンダバンプ45を形成する。ハンダバンプ45のハンダ材料には、例えば、SnAg系のSn-3.5Agが用いられる。ハンダバンプ45は、第1の実施の形態のハンダバンプ17と同様の方法で形成される。また、ハンダバンプ45の代わりに、Au、In、導電性接着剤等、塑性変形し易く導電性を有する材料を用いても良い。

【0045】

続いて、第2の半導体素子20の一方の面21Aとその上の電極パッド24、第2の接続端子44、ハンダバンプ45の表面を絶縁樹脂28でコーティングする。絶縁樹脂28は、伸縮性の高い樹脂が用いられる。絶縁樹脂28として、パラキシリレン樹脂を用いるときは、第2の半導体素子20を真空中で加熱し、パラキシリレン樹脂を第2の接続端子44及びハンダバンプ45の表面に蒸着する

なお、絶縁樹脂に、シリコンエラストマや、ポリオレフィン樹脂、ポリイミド樹脂を用いるときは、スピンコート法で塗布する。

【0046】

この後、図7Bに示すように、ハンダバンプ45の上端部分とその表面の絶縁樹脂28を、例えばダイヤモンドバイト46で切削し、ハンダバンプ45の表面を露出させる。

【0047】

そして、図6Bに示すように、ハンダバンプ45の露出した端面45Aを第1の半導体素子10の第1の接続端子43の上端に位置合わせして当接させる。この際、第2の接続端子44の間にワイヤ18が通される。

続いて、例えば、約20Nの荷重を1.5秒かけて第2の半導体素子20を第1の半導体素子10に仮接着し、その後リフロー炉で最大温度250℃まで加熱してハンダバンプ45を溶融させる。これにより、ハンダバンプ45と第1の接続端子43が接合され、第1の半導体素子10の第1の電極パッド14と第2の半導体素子20の電極パッド24とが電氣的に接続される。

【0048】

ここで、この半導体装置41では、第1の半導体素子10と第2の半導体装置の電極パッド14、24間の距離H0が、ワイヤ18のループ高さH1より高くなるように、接続端子43、44及びハンダバンプ45が形成されており、その高さは例えば50μmである。したがって、ワイヤ18が第2の半導体素子20に接触することはない。さらに、第1の半導体素子10の第2の電極パッド15に接合されたワイヤ18は、ハンダバンプ45の上側を通して隣り合う2つの接続端子44の間から、回路基板1に引き出される。第2の接続端子44及びハンダバンプ45の外側面には絶縁樹脂28が塗布されているので、ワイヤ18と短絡することはない。

【0049】

なお、ワイヤ18がハンダバンプ45の上側を通して回路基板1に引き出されるため、下側の第1の接続端子43の外側面に絶縁樹脂28を塗布する必要はない。しかしながら、第1の接続端子43の外側面に絶縁樹脂28を塗布しても良い。

【0050】

この後、第1の半導体素子10と、第2の半導体素子20の間の隙間にアンダーフィル材29を充填し、加熱硬化させる。これにより、接続端子43、44及びハンダバンプ45と、ワイヤ18の一部が樹脂封止され、半導体装置41が完成する。なお、半導体装置41には、図示を省略する他の部品を実装しても良い。

【0051】

以上、説明したように、この半導体装置41では、第1、第2の半導体素子10、20のそれぞれに接続端子43、44を設け、2つの半導体素子10、20の電極パッド14、24間の距離H0をワイヤ18のループ高さH1より高くした。これにより、2つの半

10

20

30

40

50

導体素子 10, 20 の間にインターポーザを介挿させる必要がなくなる。

さらに、第 1、第 2 の半導体素子 10, 20 のそれぞれに接続端子 43, 44 を設けたので、1つ1つの接続端子 43, 44 の長さを小さくでき、製造が容易になる。

さらに、接続端子 43, 44 の接合時にハンダバンプ 45 を加圧することで塑性変形させて、接続端子 43, 44 より外側に突出する突出部を形成したので、ワイヤ 18 が通る隙間を減少させることができる。これにより、ワイヤ 18 のループの変形や、ワイヤ 18 の傾倒が抑制される。その他の効果は、第 1 の実施の形態と同じである。

【0052】

ここで、この実施の形態の変形例について説明する。

図 8 A に示すように、ハンダバンプ 45 を第 1 の半導体素子 10 の第 1 の接続端子 43 に接合する際に、加熱しながら荷重をさらにかけて、ハンダバンプ 45 をつぶす。これにより、ハンダバンプ 45 が側方に突出する。

図 8 B に示すように、この変形例では、ハンダバンプ 45 をさらにつぶして、側方に突出させたので、突出部となるハンダバンプ 45 の間の距離がさらに短くなり、ワイヤ 18 の外径より小さくなる。これにより、ワイヤ 18 のループの変形や、ワイヤ 18 の傾倒をさらに抑制できる。

【0053】

なお、図 6 及び図 8 A において、第 1、第 2 の接続端子 43, 44 の長さは、略等しく、ハンダバンプ 45 は、2 つの半導体素子 10, 20 の間の距離の中間位置に配置されている。しかしながら、第 1 の接続端子 43 と第 2 の接続端子 44 の長さを異ならせても良い。

また、第 2 の実施の形態における絶縁樹脂 28 のコーティング方法を用いて、第 1 の実施の形態の絶縁樹脂 28 を形成しても良い。

【0054】

(第 3 の実施の形態)

図 9 に示すように、半導体装置 51 は、回路基板 1 上に第 1 の半導体素子 10 が実装され、第 2 の電極パッド 15 及び第 3 の電極パッド 16 と回路基板 1 の基板電極 2 とがワイヤ 18 で電気的に接続されている。さらに、第 1 の半導体素子 10 の上には、第 2 の半導体素子 20 が実装されている。第 2 の半導体素子 20 は、第 1 の半導体素子 10 の第 2 の電極パッド 15、第 3 の電極パッド 16 の少なくとも一部の上を覆う外形を有する。

【0055】

ここで、第 1 の半導体素子 10 の第 1 の電極パッド 14 の上には、ハンダバンプ 17 が形成されている。ハンダバンプ 17 は、例えば SnAg 系の Sn-3.5Ag から形成される。さらに、ハンダバンプ 17 の表面は、絶縁樹脂 28 でコーティングされる。絶縁樹脂 28 のコーティング方法は、前記のいずれかの実施の形態と同様である。

【0056】

また、第 2 の半導体素子 20 の電極パッド 24 には、接続端子 52 が接続されている。接続端子 52 は、例えば、Au や Cu 等の導電性材料から製造される。

【0057】

ここで、図 10 を参照して、接続端子 52 の製造方法について説明する。

まず、基板 21 に形成した電極パッド 24 の上に、第 1 のバンプ 53 を形成する。続いて、第 1 のバンプ 53 の上に第 2 のバンプ 54 を重ねて形成する。これにより、接続端子 52 が形成される。これらバンプ 53, 54 は、ワイヤボンディング技術を用いてボール状に形成される。

さらに、各接続端子 52, 54 を絶縁樹脂 28 でコーティングする。絶縁樹脂 28 のコーティング方法は、前記のいずれかの実施の形態と同様である。なお、接続端子 52 の配置間隔は、絶縁樹脂 28 を塗布した後でも、ワイヤ 18 を通すのに十分な大きさである。

【0058】

第 2 の半導体素子 20 を第 1 の半導体素子 10 の上に実装するときは、第 1 の半導体素子 10 のハンダバンプ 17 の上に、第 2 の半導体素子 20 の接続端子 52 を位置決めして

10

20

30

40

50

載置する。このとき、ワイヤ18が接続端子52の間の隙間に通される。

【0059】

ここで、第2のバンプ54の先端に形成された突起54Aが、ハンダバンプ17に刺さり、第2の半導体素子20が第1の半導体素子10に仮固定される。続いて、例えば、約20Nの荷重を1.5秒かけてから、リフロー炉で最大温度250℃まで加熱してハンダバンプ17を溶融させる。これにより、ハンダバンプ17と接続端子52とが接合され、第1の半導体素子10の第1の電極パッド14と第2の半導体素子20の電極パッド24とが電氣的に接続される。

【0060】

ここで、第1の半導体素子10と第2の半導体装置の電極パッド14、24間の距離H0が、ワイヤ18のループ高さH1より高くなるように、接続端子52が形成されている。したがって、ワイヤ18が第2の半導体素子20に接触することはない。第2の電極パッド15に接続されたワイヤ18は、隣り合う2つの接続端子52の間から、回路基板1に引き出される。接続端子52及びハンダバンプ17の外側面には絶縁樹脂28が塗布されているので、ワイヤ18と接続端子52及びハンダバンプ17が短絡することはない。なお、ハンダバンプ17の外側面には、絶縁樹脂28を塗布しなくても良い。

10

【0061】

この後、第1の半導体素子10と、第2の半導体素子20の間の隙間にアンダーフィル材29を充填し、加熱硬化させる。これにより、ハンダバンプ17及び接続端子52と、ワイヤ18の一部が樹脂封止され半導体装置51が完成する。なお、半導体装置51には、図示を省略する他の部品を実装しても良い。

20

【0062】

以上、説明したように、この半導体装置51では、バンプ53、54を重ね合わせて接続端子52を形成したので、接続端子52を容易に製造できる。その他の効果は、第1、第2の実施の形態と同じである。

【0063】

ここで挙げた全ての例及び条件的表現は、発明者が技術促進に貢献した発明及び概念を読者が理解するのを助けるためのものであり、ここで具体的に挙げたそのような例及び条件に限定することなく解釈するものであり、また、明細書におけるそのような例の編成は本発明の優劣を示すこととは関係ない。本発明の実施形態を詳細に説明したが、本発明の精神及び範囲から逸脱することなく、それに対して種々の変更、置換及び変形を施すことができる。

30

【0064】

以下に、前記の実施の形態の特徴を付記する。

(付記1) 基板と、前記基板にフェイスアップで実装され、第1の電極パッドと第2の電極パッドが設けられた第1の半導体素子と、前記第1の電極パッド及び第2の電極パッドの上方を覆い、かつ第1の半導体素子に前記第1の電極パッドを介してフェイスダウンで実装される第2の半導体素子と、前記第2の電極パッドと前記基板に設けられた基板電極とを電氣的に接続する導電性のワイヤと、前記第1の半導体素子の前記第1の電極パッドと前記第2の半導体素子の電極との間に接続され、前記第1、第2の半導体素子の間の距離を、前記第2の電極パッドから前記ワイヤのループの上端までの高さより大きくする高さを有する接続端子と、を含む半導体装置。

40

(付記2) 前記ワイヤは、前記接続端子の間を通過して前記基板に引き出され、前記接続端子に電氣的に接続されている付記1に記載の半導体装置。

(付記3) 前記接続端子の表面に絶縁樹脂がコーティングされている付記2に記載の半導体装置。

(付記4) 前記接続端子は、前記第1の半導体素子の前記第1の電極パッド上に形成された第1の接続端子と、前記第2の半導体素子の前記電極上に形成された第2の接続端子とを含む付記1乃至請求3のいずれか一項に記載の半導体装置。

(付記5) 前記第1の接続端子と第2の接続端子の間に形成され、かつ前記第1、第2

50

の接続端子より側方に突出する導電性部材を有し、前記導電性部材の表面は前記絶縁樹脂でコーティングされている付記 4 に記載の半導体装置。

(付記 6) 隣り合う前記導電性部材の間の距離は、前記ワイヤの径以下である付記 5 に記載の半導体装置。

(付記 7) 前記接続端子は、バンプを重ねて形成されている付記 1 乃至付記 3 のいずれか一項に記載の半導体装置。

(付記 8) 前記第 1 の半導体素子において、前記第 2 の電極パッドは前記第 1 の電極パッドより内側に形成されている付記 1 乃至付記 7 のいずれか一項に記載の半導体装置。

(付記 9) 第 1 の電極パッドと第 2 の電極パッドを有する第 1 の半導体素子のうち、前記第 1 の電極パッド上に第 1 の接続端子を形成する工程と、基板に前記第 1 の半導体素子をフェイスアップで接着する工程と、前記第 1 の半導体素子上の前記第 2 の電極パッドと、前記基板の基板電極とを導電性のワイヤで接続する工程と、第 2 の半導体素子の電極上に第 2 の接続端子を形成する工程と、前記第 2 の半導体素子を前記第 1 の半導体素子にフェイスダウンで対向させ、前記第 1 の接続端子の上に導電性部材を介して前記第 2 の接続端子を載置し、前記第 2 の接続端子の間に前記ワイヤを通す工程と、前記導電性材料を潰しつつ、前記第 1 の接続端子を前記第 2 の接続端子に接続させる工程と、を含む半導体装置の製造方法。

10

(付記 10) 前記導電性材料を側方に突出させ、隣り合う前記導電性材料の間の距離を前記ワイヤの径以下にする工程を含む付記 9 に記載の半導体装置の製造方法。

(付記 11) 前記導電性材料及び前記第 2 の接続端子に絶縁樹脂を蒸着した後、前記導電性材料及び前記絶縁樹脂の一部をカットして前記導電性材料の端面を露出させる工程を含む付記 9 に記載の半導体装置の製造方法。

20

【符号の説明】

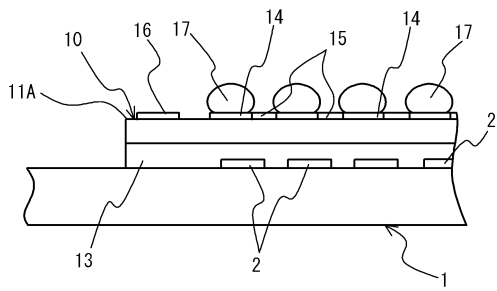
【0065】

- 1 回路基板
- 2 基板電極（接続端子）
- 10 第 1 の半導体素子
- 14 第 1 の電極パッド（電極）
- 15 第 2 の電極パッド
- 16 第 3 の電極パッド（第 2 の電極パッド）
- 17 ハンダバンプ
- 18 ワイヤ
- 20 第 2 の半導体素子
- 24 電極パッド（電極）
- 26, 52 接続端子
- 28 絶縁樹脂
- 31, 41, 51 半導体装置
- 43 第 1 の接続端子
- 44 第 2 の接続端子
- 45 ハンダバンプ（導電性部材）
- 53 第 1 の端子
- 54 第 2 の端子
- H0 半導体素子間の距離
- H1 ループの高さ

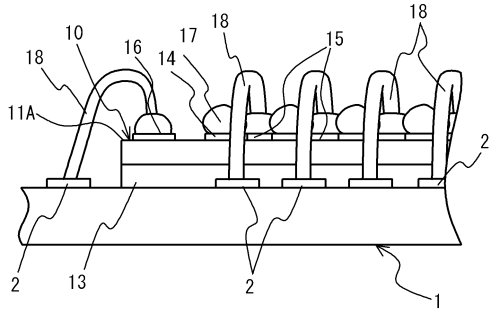
30

40

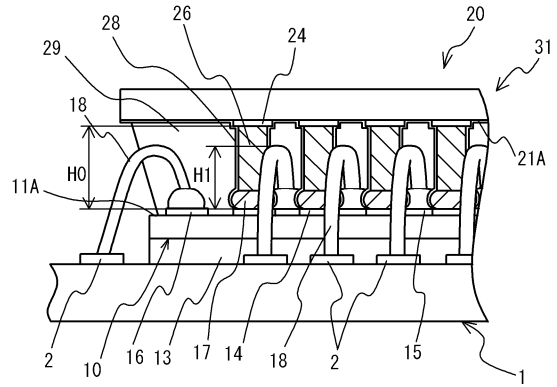
【図 1 A】



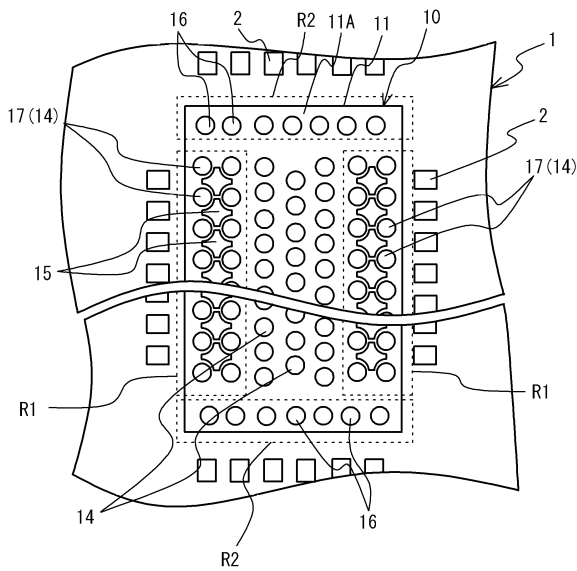
【図 1 B】



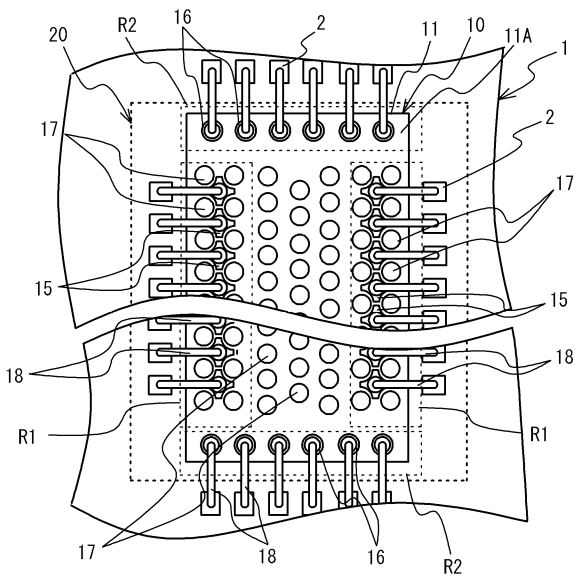
【図 1 C】



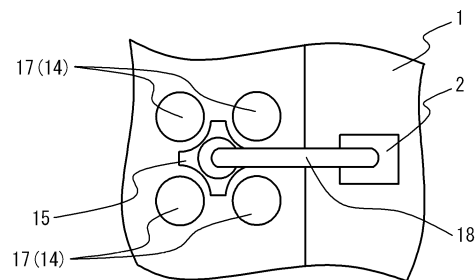
【図 2 A】



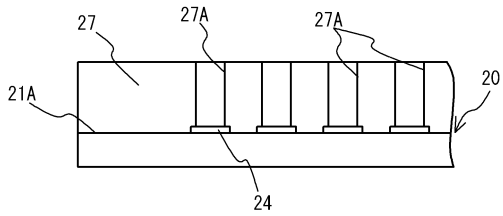
【図 2 B】



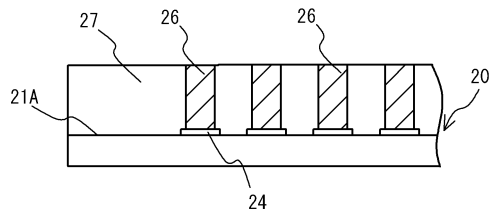
【図 3】



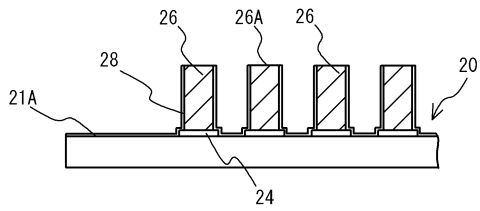
【図4A】



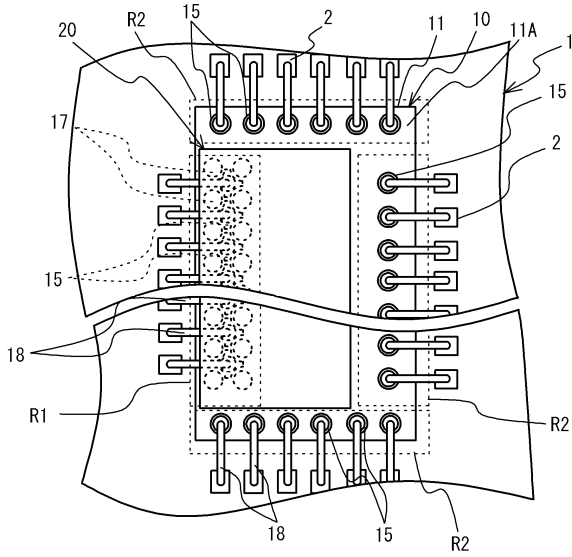
【図4B】



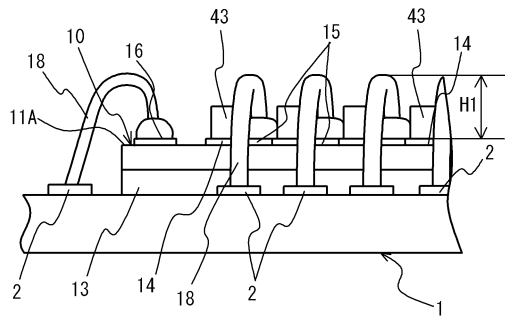
【図4C】



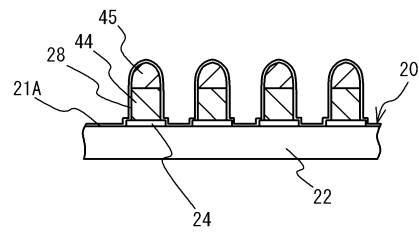
【図5】



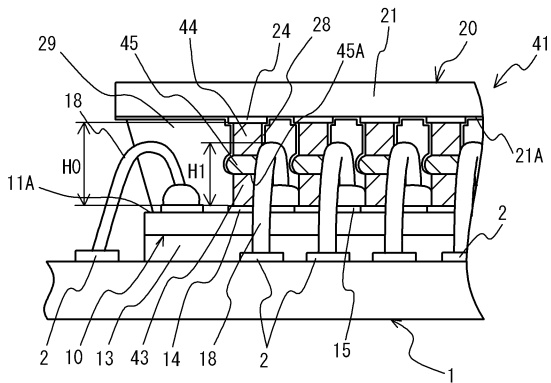
【図6A】



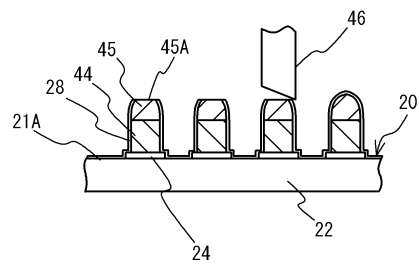
【図7A】



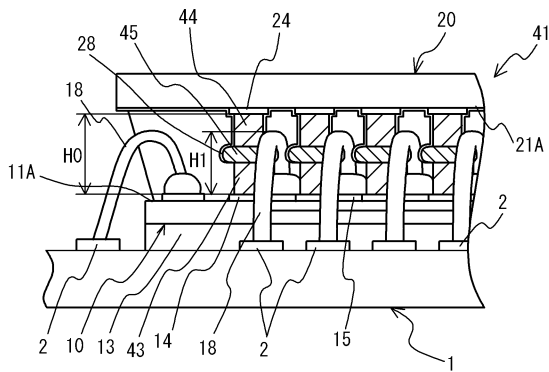
【図6B】



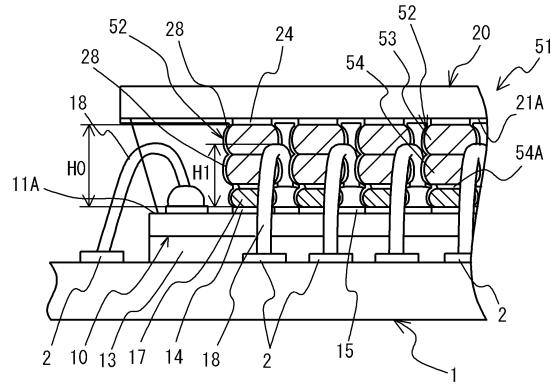
【図7B】



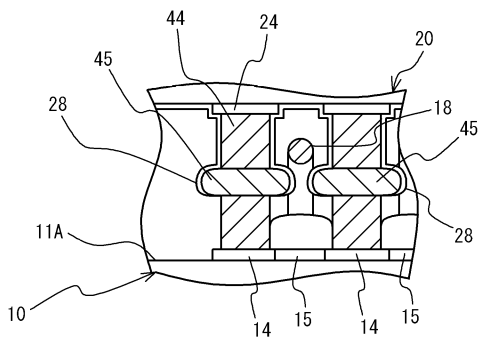
【図 8 A】



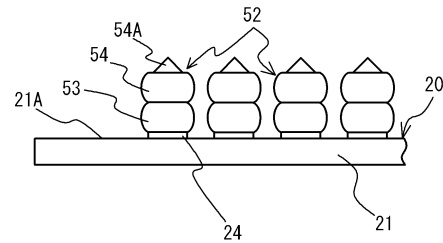
【図 9】



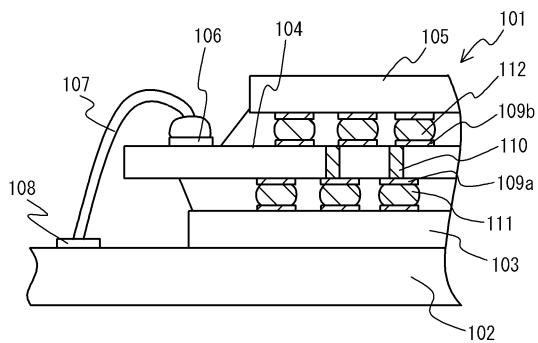
【図 8 B】



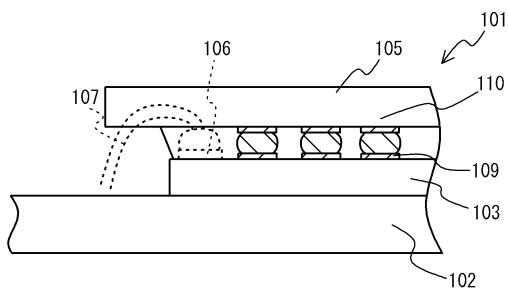
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 23/522 (2006.01)

H 0 1 L 21/60 (2006.01)

審査官 中野 浩昌

(56)参考文献 特開2004-327993(JP,A)

特開2009-105335(JP,A)

特開2005-150441(JP,A)

特開平08-279528(JP,A)

特開平10-056041(JP,A)

特開2009-021329(JP,A)

特開平10-092867(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 25/00 - 25/18

H 0 1 L 21/447 - 21/449

H 0 1 L 21/60 - 21/607

H 0 1 L 21/3205 - 21/3213

H 0 1 L 21/768

H 0 1 L 23/522

H 0 1 L 23/532