



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201528385 A

(43)公開日：中華民國 104 (2015) 年 07 月 16 日

(21)申請案號：103140843

(22)申請日：中華民國 103 (2014) 年 11 月 25 日

(51)Int. Cl. : *H01L21/336 (2006.01)*

H01L21/324 (2006.01)

(30)優先權：2013/11/29 日本

2013-248320

2014/02/25 日本

2014-033904

2014/05/23 日本

2014-107582

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：太田將志 OOTA, MASASHI (JP)；石原典隆 ISHIHARA, NORITAKA (JP)；中島
基 NAKASHIMA, MOTOKI (JP)；黑澤陽一 KUROSAWA, YOICHI (JP)；山崎舜
平 YAMAZAKI, SHUNPEI (JP)；保坂泰靖 HOSAKA, YASU HARU (JP)；生內俊
光 OBONAI, TOSHIMITSU (JP)；肥塚純一 KOEZUKA, JUNICHI (JP)

(74)代理人：林怡芳；童啓哲

申請實體審查：無 申請專利範圍項數：20 項 圖式數：79 共 246 頁

(54)名稱

半導體裝置之製造方法

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)摘要

本發明提供一種用以製造包括具導電性之氧化物半導體薄膜之半導體裝置的方法，或一種用以製造包括具發光性質及導電性之氧化物半導體薄膜之半導體裝置的方法。用以製造半導體裝置之方法包括以下步驟：在第一絕緣薄膜上形成氧化物半導體薄膜；在氣氛中進行第一熱處理，其中氧化物半導體薄膜中所含有之氧釋放到該氣氛進行；以及在含氫氣氛中進行第二熱處理，以使得形成具導電性之氧化物半導體薄膜。

To provide a method for manufacturing a semiconductor device including an oxide semiconductor film having conductivity, or a method for manufacturing a semiconductor device including an oxide semiconductor film having a light-transmitting property and conductivity. The method for manufacturing a semiconductor device includes the steps of forming an oxide semiconductor film over a first insulating film, performing first heat treatment in an atmosphere where oxygen contained in the oxide semiconductor film is released, and performing second heat treatment in a hydrogen-containing atmosphere, so that an oxide semiconductor film having conductivity is formed.

155b . . . 氧化物半
導體膜

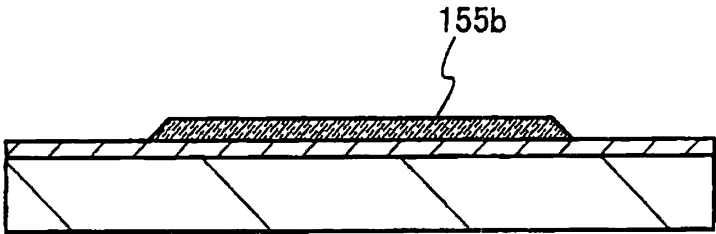


圖3C

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 半導體裝置之製造方法

MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明之一實施例係關於包括氧化物半導體之半導體裝置，及其製造方法。

【0002】 應注意，本發明之實施例並不限於以上技術領域。本說明書中所揭示之本發明之一實施例及類似者之技術領域係關於物件、方法、或製造方法。另外，本發明之一實施例係關於製程、機器、製造、或物質之組成。特定而言，本說明書中所揭示之本發明之一實施例之技術領域的實例包括半導體裝置、顯示裝置、發光裝置、電力儲存裝置、記憶體裝置、用以驅動上述各者中之任何者的方法，以及用以製造上述各者中之任何者的方法。

【先前技術】

【0003】 用於大多數平板顯示器之電晶體係使用諸如在玻璃基板上提供之非晶矽、單晶矽、或多晶矽之矽半導體來形成，其中該等平板顯示器之典型者為液晶顯示裝置或發光顯示裝置。此外，使用此類矽半導體形成之電晶體為用於積體電路(IC)及類似者之中。

【0004】 近年來，人們已關注由展現出半導體特徵之金屬氧化物來替代矽半導體用於電晶體的技術。應注意，在本說明書中，展現出半導體特徵之金屬氧化物稱為氧化物半導體。

【0005】 舉例而言，揭示了如下技術，其中將氧化鋅或基於 In-Ga-Zn 之氧化物用作氧化物半導體來形成電晶體，以及將電晶體用作顯示裝置中像素之開關元件或類似者（參見專利文獻 1 以及 2）。

[參考文獻]

[專利文獻]

【0006】

[專利文獻 1]日本公開專利申請案第 2007-123861 號

[專利文獻 2]日本公開專利申請案第 2007-096055 號

【發明內容】

【0007】 本發明之一實施例提供一種用以製造包括具導電性之氧化物半導體膜（下文亦稱為導電性氧化物半導體膜）之半導體裝置的方法。本發明之另一實施例提供一種用以製造包括具透光性質及導電性之氧化物半導體膜之半導體裝置的方法。本發明之另一實施例提供一種用於以少量步驟製造包括電晶體及電容器之半導體裝置的方法。本發明之另一實施例提供一種用以製造新穎半導體裝置的方法。

【0008】 在電容器中，在一對電極之間提供一介電膜，在許多情況下，該對電極中之至少一者係使用阻光導電膜形成，該阻光導電膜部分地用作電晶體之閘電極、源電極、汲電極、或類似者。

【0009】 在液晶顯示裝置中，電容器之電容的增大，導致液晶元件中之液晶分子之配向可在施加電場時保持恆定的週期增大。在顯示靜止影像之情況下，增大之週期使重寫影像資料之次數有所減少，從

而降低功率消耗。應注意，用以減少重寫影像資料之次數的驅動方法稱為低頻驅動方法。

【0010】 一種增大電容器之電容的方法為增大電容器所佔據的面積，特定而言，增大一對電極相互重疊之部分的面積。然而，在液晶顯示裝置中，當增大阻光導電膜之面積以增大該對電極相互重疊之部分的面積時，像素之孔徑比減小，因此影像顯示品質有所劣化。此類問題在具高解析度之液晶顯示裝置中尤其顯著。

【0011】 鑒於以上描述，本發明之一實施例提供一種用以製造具高孔徑比且包括具高電容之電容器之顯示裝置的方法。本發明之另一實施例提供一種用以製造消耗較低功率之顯示裝置的方法。本發明之另一實施例提供一種用於以少量步驟製造具高孔徑比及寬視角之顯示裝置的方法。

【0012】 應注意，此等目標之描述並不干擾其他目標之存在。在本發明之一實施例中，無需達成所有目標。自本說明書之描述、圖式、申請專利範圍、及類似者，將顯而易見其他目標且可導出其他目標。

【0013】 本發明之一實施例為一種用以製造半導體裝置之方法，包括以下步驟：在第一絕緣膜上形成氧化物半導體膜；在一環境中進行第一熱處理，其中氧化物半導體膜中所含有之氧釋放到該環境；以及在一含氫環境中進行第二熱處理，藉此形成具導電性之氧化物半導體膜。

【0014】 應注意，第一熱處理較佳係在高於或等於 350°C 且低於或等於 800°C、較佳在高於或等於 450°C 且低於或等於 800°C 之溫度下進行。當在高於或等於 350°C 之溫度下進行熱處理時，氧自氧化物半導體膜釋放。相反，當在低於或等於 800°C 之溫度下進行熱處理時，氧可自氧化物半導體膜釋放，同時氧化物半導體膜中之晶體結構得以維持。另外，較佳在真空環境中進行熱處理，通常在壓力大於或等於 1×10^{-7} 帕且小於或等於 10 帕之環境中，較佳大於或等於 1×10^{-7} 帕且小於或等於 1 帕，且更佳大於或等於 1×10^{-7} 帕且小於或等於 1×10^{-1} 帕。

【0015】 本發明之另一實施例為一種用以製造半導體裝置之方法，包括以下步驟：在一第一絕緣膜上形成氧化物半導體膜；添加稀有氣體至氧化物半導體膜；以及在含氫環境中進行熱處理，藉此形成具導電性之氧化物半導體膜。

【0016】 應注意，稀有氣體為氦、氖、氬、氪、或氙。

【0017】 本發明之另一實施例為一種用以製造半導體裝置之方法，包括以下步驟：在第一絕緣膜上形成氧化物半導體膜；以及藉由濺鍍方法或電漿 CVD 方法在氧化物半導體膜上形成第二絕緣膜，藉此形成具導電性之氧化物半導體膜。

【0018】 應注意，第一絕緣膜或第二絕緣膜較佳含氫，通常包括含氫之氮化矽膜。

【0019】 具導電性之氧化物半導體膜中之氫濃度較佳高於或等於 8×10^{19} 原子數/立方公分。

【0020】 具導電性之氧化物半導體膜之電阻係數較佳大於或等於 1×10^{-3} 歐姆公分且小於 1×10^4 歐姆公分。

【0021】 具導電性之氧化物半導體膜可包括晶體部，且晶體部之 *c*-軸可平行於上面形成有氧化物半導體膜之表面的法線向量。

【0022】 具導電性之氧化物半導體膜較佳包括 In-Ga 氧化物、In-Zn 氧化物、及 In-*M*-Zn 氧化物（*M* 係 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）中之至少一種。

【0023】 根據本發明之一實施例，可製造一種包括具導電性之氧化物半導體膜的半導體裝置。根據本發明之另一實施例，可製造一種包括具透光性質及導電性之氧化物半導體膜的半導體裝置。根據本發明之另一實施例，可以少量步驟製造一種包括電晶體及電容器的半導體裝置。根據本發明之另一實施例，可製造一種新穎半導體裝置。

【0024】 根據本發明之一實施例，可製造一種具高孔徑比且包括具高電容之電容器的顯示裝置。根據本發明之另一實施例，可製造一種消耗較低功率的顯示裝置。根據本發明之另一實施例，可以少量步驟製造一種具高孔徑比及寬視角的顯示裝置。

【0025】 應注意，此等效應之描述並不干擾其他效應之存在。本發明之一實施例非必然達成以上列出之所有目標。自本說明書之描述、圖式、申請專利範圍、及類似者，將顯而易見其他效應且可導出其他效應。

【圖式簡單說明】

【0026】 在附隨圖式中：

圖 1A 至 1C 為圖示本發明之半導體裝置之模式的橫截面圖；

圖 2A 至 2C 為圖示用以製造本發明之半導體裝置之方法的一種模式的橫截面圖；

圖 3A 至 3C 為圖示用以製造本發明之半導體裝置之方法的一種模式的橫截面圖；

圖 4A 至 4C 為圖示用以製造本發明之半導體裝置之方法的一種模式的橫截面圖；

圖 5A 至 5C 為圖示本發明之半導體裝置之模式的橫截面圖；

圖 6 為圖示本發明之半導體裝置之一種模式的橫截面圖；

圖 7A 至 7C 為圖示本發明之半導體裝置之模式的橫截面圖；

圖 8A 及 8B 為圖示本發明之半導體裝置之模式的電路圖；

圖 9A 及 9B 為分別圖示本發明之半導體裝置之一種模式的俯視圖及橫截面圖；

圖 10 為圖示本發明之半導體裝置之一種模式的橫截面圖；

圖 11A 及 11B 為圖示本發明之半導體裝置之模式的電路圖；

圖 12 為圖示本發明之半導體裝置之一種模式的橫截面圖；

圖 13 展示計算模型；

圖 14 展示添加有 H_2O 之模型的初始及最佳化結構；

圖 15 為展示 c-IGZO 晶體中之不同區的示意圖；

圖 16A 至 16D 展示 InO_2 平面與 $(Ga, Zn)O$ 平面之間的區域中之氫轉移路徑，以及沿路徑的活化障壁；

圖 17A 及 17B 分別展示 $(Ga, Zn)O$ 區域中之氫轉移路徑，以及沿路徑的活化障壁；

圖 18A 及 18B 分別展示 InO_2 區域中之氫轉移路徑，以及沿路徑的活化障壁；

圖 19A 及 19B 分別展示 c-軸方向上之氫轉移路徑，以及沿路徑的活化障壁；

圖 20 展示計算模型；

圖 21 展示氧空位模型中之總能量的相對值；

圖 22 展示計算模型；

圖 23A 及 23B 分別展示處於初始狀態及最終狀態之模型；

圖 24 展示活化障壁；

圖 25A 及 25B 分別展示處於初始狀態及最終狀態之模型；

圖 26 展示活化障壁；

圖 27 展示 H_0 的躍遷能階；

圖 28 展示計算模型；

圖 29 展示反應路徑中之模型之結構；

圖 30 展示反應路徑中之能量改變；

圖 31A 為圖示顯示裝置之一種模式的方塊圖，且圖 31B 及 31C 為電路圖；

圖 32 為圖示顯示裝置之一種模式的俯視圖；

圖 33 為圖示顯示裝置之一種模式的橫截面圖；

圖 34A 至 34D 為圖示用以製造顯示裝置之方法之一種模式的橫截面圖；

圖 35A 至 35C 為圖示用以製造顯示裝置之方法之一種模式的橫截面圖；

圖 36A 至 36C 為圖示用以製造顯示裝置之方法之一種模式的橫截面圖；

圖 37A 及 37B 為圖示用以製造顯示裝置之方法之一種模式的橫截面圖；

圖 38 為圖示顯示裝置之一種模式的橫截面圖；

圖 39 為圖示顯示裝置之一種模式的橫截面圖；

圖 40 為圖示顯示裝置之一種模式的橫截面圖；

圖 41 為圖示顯示裝置之一種模式的橫截面圖；

圖 42A 及 42B 為各自圖示電晶體之一種模式的橫截面圖；

圖 43 為圖示電晶體之一種模式的俯視圖；

圖 44 為圖示電晶體之一種模式的橫截面圖；

圖 45A 至 45C 為圖示用以製造顯示裝置之方法之一種模式的橫截面圖；

圖 46A 至 46C 為圖示用以製造顯示裝置之方法之一種模式的橫截面圖；

圖 47 為圖示顯示裝置之一種模式的橫截面圖；

圖 48 為圖示顯示裝置之一種模式的橫截面圖；

圖 49A 至 49C 為圖示用以製造顯示裝置之方法之一種模式的橫截面圖；

圖 50A 及 50B 為各自圖示顯示裝置之一種模式的橫截面圖；

圖 51 為圖示顯示裝置之一種模式的橫截面圖；

圖 52 為圖示顯示裝置之一種模式的橫截面圖；

圖 53 圖示顯示模組；

圖 54A 至 54E 為一實施例之電子裝置的外部視圖；

圖 55 中展示樣本之氫濃度及電阻係數；

圖 56 中展示樣本之透射率；

圖 57 展示樣本之 CPM 量測結果；

圖 58 展示樣本之 HX-PES 分析結果；

圖 59 展示樣本之 SIMS 量測結果；

圖 60 展示在未經受熱處理之樣本中在約 $g = 2$ 處觀測到之 ESR 信號；

圖 61 展示在氮環境中經受熱處理之樣本中在約 $g = 1.9$ 處觀測到之 ESR 信號；

圖 62 展示厚度變化之 IGZO 膜在 $g = 1.93$ 處觀測到之 ESR 信號；

圖 63 展示在 $g = 1.93$ 處觀測到之 ESR 信號的強度以及 IGZO 膜之線寬；

圖 64 展示樣本之電阻係數及 ESR 自旋密度；

圖 65 展示樣本之 ESR 自旋密度與氫濃度之間的關係；

圖 66 展示樣本之氫濃度及導電性；

圖 67 展示樣本之 ESR 自旋密度與 $1/\rho$ 之間的關係；

圖 68 展示樣本之 TDS 分析的結果；

圖 69 展示樣本之 HX-PES 分析的結果；

圖 70 展示電阻係數之溫度相依性；

圖 71 為液晶顯示裝置上顯示的影像；

圖 72A 至 72C 為 CAAC-OS 之橫截面的 Cs-校正型高解析度 TEM 影像，且圖 72D 為 CAAC-OS 之橫截面示意圖；

圖 73A 至 73D 為 CAAC-OS 之平面的 Cs-校正型高解析度 TEM 影像；

圖 74A 至 74C 展示 CAAC-OS 及單晶氧化物半導體藉由 XRD 的結構分析；

圖 75A 及 75B 展示 CAAC-OS 之電子繞射圖案；

圖 76 展示 In-Ga-Zn 氧化物中之晶體部歸因於電子輻照的改變；

圖 77A 及 77B 為圖示 CAAC-OS 及 nc-OS 之沉積模型的示意圖；

圖 78A 至 78C 展示 InGaZnO₄ 晶體及丸片；以及

圖 79A 至 79D 為圖示 CAAC-OS 之沉積模型的示意圖。

【實施方式】

【0027】 下文參閱圖式來描述實施例。應注意，實施例可藉由各種模式實施，且所屬技術領域中具備通常知識者將易於瞭解，模式及詳情可以各種方式改變而不會脫離本發明之精神及範疇。因此，本發明不應解釋為受限於實施例之以下描述。

【0028】 在圖式中，在一些情況下，出於清晰之目的，尺寸、層厚度、或區域有所放大。因此，本發明之實施例並不限於此類標度。應注意，圖式為展示理想實例之示意圖，且本發明之實施例並不限於圖式中所展示之形狀或值。

【0029】 在本說明書中，使用諸如「第一」、「第二」及「第三」之序數來避免諸組件之間的混淆，因此並不在數值上限制組件。

【0030】 在本說明書中，出於便利之目的，使用諸如「上」及「下」之用以解釋布布置之術語來參閱圖式來描述組件之間的位置關

係。視情況而定，組件之間的位置關係可根據藉以描述每一組件之方向而改變。因此，位置關係並不限於藉由本說明書中使用之術語所描述之位置關係，且視情況而定，可視情形藉由另一術語解釋。

【0031】 在本說明書及類似者中，電晶體為具有如下至少三個端子之元件：閘極、汲極、及源極。電晶體具有汲極（汲極端子、汲極區域、或汲電極層）與源極（源極端子、源極區域、或源電極層）之間的通道區域，且電流可流經汲極、通道區域、以及源極。應注意，在本說明書及類似者中，通道區域意指電流主要流經之區域。

【0032】 當使用相反極性之電晶體時，或當電路操作期間電流流動之方向改變時，源極及汲極之功能有時可相互替代。因此，在本說明書及類似者中，術語「源極」及「汲極」可相互替代。

【0033】 因此，在本說明書及類似者中，術語「電連接」包括組件經由具有任何電功能之物件連接的情況。對於具有任何電功能之物件而言，並無任何特定限制，只要電信號可在經由物件連接之組件之間發射及接收。具有任何電功能之物件之實例包括開關元件，諸如電晶體、電阻器、電感器、電容器、及具有多種功能之元件，以及電極及布配線。

【0034】 在本說明書中，術語「平行」指示兩根直線之間所形成之角度大於或等於 -10° 且小於或等於 10° ，因此亦包括角度大於或等於 -5° 且小於或等於 5° 的情況。另外，術語「實質上平行」指示兩根直線之間所形成之角度大於或等於 -30° 且小於或等於 30° 。另外，術語「垂直」指示兩根直線之間所形成之角度大於或等於 80° 且小於或等於

100°，因此亦包括角度大於或等於 85°且小於或等於 95°的情況。另外，術語「實質上垂直」指示兩根直線之間所形成之角度大於或等於 60°且小於或等於 120°。

【0035】 在本說明書中，六方晶系包括三方及菱形晶系。

(實施例 1)

【0036】 在本實施例中，將參閱圖 1A 至 1C、圖 2A 至 2C、圖 3A 至 3C、圖 4A 至 4C、圖 5A 至 5C 及圖 6 來描述本發明之一實施例之半導體裝置。本實施例中描述具導電性之氧化物半導體膜及與具導電性之氧化物半導體膜接觸之導電膜的結構及製造方法。此處應注意，具導電性之氧化物半導體膜用作電極或布配線。

【0037】 圖 1A 至 1C 為包括於半導體裝置中之具導電性之氧化物半導體膜的橫截面圖。

【0038】 在圖 1A 中，在基板 151 上形成絕緣膜 153，且在絕緣膜 153 上形成具導電性之氧化物半導體膜 155b。

【0039】 如圖 1B 中所圖示，可在絕緣膜 153 及具導電性之氧化物半導體膜 155b 上形成絕緣膜 157。

【0040】 如圖 1C 中所圖示，可在絕緣膜 157a 上形成具導電性之氧化物半導體膜 155b。在彼種情況下，可在具導電性之氧化物半導體膜 155b 上形成絕緣膜 153a。

【0041】 通常，使用諸如 In-Ga 氧化物膜、In-Zn 氧化物膜、或 In-M-Zn 氧化物膜（ M 係 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd）之金屬氧化物膜來形成具導電性之氧化物半導體膜 155b。

【0042】 應注意，在具導電性之氧化物半導體膜 155b 為 In-M-Zn 氧化物膜的情況下，當 In 與 M 之總和假定為以原子計 100%時，In 與 M 之比例較佳如下：In 之比例大於以原子計 25%，且 M 之比例小於以原子計 75%，且更佳地，In 之比例大於以原子計 34%，且 M 之比例小於以原子計 66%。

【0043】 具導電性之氧化物半導體膜 155b 之能量間隙為 2 電子伏特或更大，較佳為 2.5 電子伏特或更大，且更佳為 3 電子伏特或更大。

【0044】 具導電性之氧化物半導體膜 155b 之厚度為大於或等於 3 nm 且小於或等於 200 nm，較佳為大於或等於 3 nm 且小於或等於 100 nm，且更佳為大於或等於 3 nm 且小於或等於 50 nm。

【0045】 在具導電性之氧化物半導體膜 155b 為 In-M-Zn 氧化物膜（ M 代表 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd）的情況下，用於形成 In-M-Zn 氧化物膜之濺鍍靶材之金屬元素之原子比較佳滿足 $\text{In} > M$ 以及 $\text{Zn} > M$ 。此類濺鍍靶材之金屬元素之原子比較佳包括 In: M : Zn = 1:1:1、In: M : Zn = 1:1:1.2、In: M : Zn = 2:1:1.5、In: M : Zn = 2:1:2.3、In: M : Zn = 2:1:3、及 In: M : Zn = 3:1:2。應注意，具導電性之氧化物半導體膜 155b 中金屬元素之原子比之變化的誤差範圍為濺鍍靶材之金屬元素之以上原子比的 $\pm 40\%$ 以內。

【0046】 舉例而言，具導電性之氧化物半導體膜 155b 可具有非單晶結構。舉例而言，非單晶結構包括稍後描述之 c-軸配向型晶體氧化物半導體 (CAAC-OS)、多晶結構、稍後描述之微晶結構、或非晶結構。在非單晶結構中，非晶結構具有最高密度之缺陷等級，而 CAAC-OS 具有最低密度之缺陷等級。

【0047】 應注意，具導電性之氧化物半導體膜 155b 可包括以下各者中之兩者或兩者以上之混合膜：具有非晶結構之區域、具有微晶結構之區域、具有多晶結構之區域、CAAC-OS 區域、及具有單晶結構之區域。在一些情況下，混合膜具有包括（例如）以下各者中之兩者或兩者以上之單層結構：具有非晶結構之區域、具有微晶結構之區域、具有多晶結構之區域、CAAC-OS 區域、及具有單晶結構之區域。此外，混合膜有時具有由以下各者中之兩者或兩者以上組成之疊層結構：具有非晶結構之區域、具有微晶結構之區域、具有多晶結構之區域、CAAC-OS 區域、及具有單晶結構之區域。

【0048】 絕緣膜 157 以及絕緣膜 157a 較佳使用含氫膜來形成，典型者為含氫氮化矽膜。當與氧化物半導體膜接觸之絕緣膜 157 以及絕緣膜 157a 含氫時，氫被供應至氧化物半導體膜，藉此可形成具導電性之氧化物半導體膜 155b。

【0049】 具導電性之氧化物半導體膜 155b 包括雜質。具導電性之氧化物半導體膜 155b 中所含有之雜質之實例為氫。硼、磷、氮、錫、銻、稀有氣體元素、鹼金屬、鹼土金屬、或類似者可替代氫而作為雜質含有。

【0050】 具導電性之氧化物半導體膜 155b 中之氫濃度高於或等於 8×10^{19} 原子數/立方公分，較佳高於或等於 1×10^{20} 原子數/立方公分，且更佳高於或等於 5×10^{20} 原子數/立方公分。

【0051】 具導電性之氧化物半導體膜 155b 包括缺陷及雜質，因此具有導電性。具導電性之氧化物半導體膜 155b 之電阻係數較佳大於或等於 1×10^{-3} 歐姆•公分且小於 1×10^4 歐姆•公分，更佳為大於或等於 1×10^{-3} 歐姆•公分且小於 1×10^{-1} 歐姆•公分。

【0052】 具導電性之氧化物半導體膜 155b 之導電性通常大於或等於 1×10^{-2} 西門子/米且小於或等於 1×10^5 西門子/米，或者可大於或等於 1×10^3 西門子/米且小於或等於 1×10^5 西門子/米。

【0053】 具導電性之氧化物半導體膜 155b 包括缺陷及雜質。具導電性之氧化物半導體膜 155b 中之缺陷通常由真空環境中之熱處理所導致之氫釋放形成。或者，缺陷由稀有氣體之添加形成。又或者，缺陷在沉積製程期間暴露絕緣膜 153a 或 157 至電漿時形成。

【0054】 當氫進入氧化物半導體中之氧空位時，導電帶附近形成施子能階。因此，氧化物半導體變為導電，因此其導電性增強。變為導體之氧化物半導體可稱為氧化物導體。氧化物半導體具有較大能量間隙，因此其通常具有透光性質。氧化物半導體變為導電，同時維持其較大能量間隙，因此，氧化物導體具有透光性質。

【0055】 基板 151 可為各種基板，且並不限於特定類型之基板。基板之實例包括半導體基板（例如，單晶基板或矽基板）、SOI 基板、玻璃基板、石英基板、塑膠基板、金屬基板、不銹鋼基板、包括不銹

鋼箔之基板、鎢基板、包括鎢箔之基板、可撓基板、附接膜、包括纖維材料之紙類、及基材膜。玻璃基板之實例包括鋇硼矽酸鹽玻璃基板、鋁矽酸鹽玻璃基板、及鹼石灰玻璃基板。可撓基板、附接膜、基材膜、或類似者之實例如下：典型者為聚對苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)及聚醚砜(PES)之塑膠、諸如丙烯酸之合成樹脂、聚丙烯、聚酯、聚氟乙烯、聚氯乙烯、聚酯、聚醯胺、聚醯亞胺、醯胺、環氧、無機氣相沉積膜及紙類。特定而言，當使用半導體基板、單晶基板、SOI 基板、或類似者來形成電晶體時，所形成之電晶體有可能在特徵、尺寸、形狀、或類似者上具有較少變化，可能具有高的電流供應能力，且可能具有小尺寸。藉由使用此類電晶體來形成電路，電路之功率消耗可有所降低，或者電路可得以高度整合。

【0056】 或者，可撓基板可用作基板 151，且電晶體可直接提供於可撓基板上。又或者，分隔層可提供於基板 151 與電晶體之間。當形成於分隔層上之半導體裝置之部分或整體與基板 151 分隔且轉移至另一基板時，可使用分隔層。在此類情況下，電晶體可轉移至具有低熱阻之基板或亦可轉移至可撓基板。對於以上分隔層而言，舉例而言，可使用包括在基板上形成之無機膜（鎢膜及氧化矽膜）或者聚醯亞胺有機膜或類似者之堆疊。

【0057】 除了可在上面形成電晶體之上述基板，電晶體所轉移至之基板之實例包括紙類基板、玻璃紙基板、醯胺膜基板、聚醯亞胺膜基板、石材基板、木質基板、織品基板（包括自然纖維（例如，絲、棉花、或麻）、合成纖維（奈倫、聚胺甲酸酯、或聚酯）、再生纖維

(例如，醋酸鹽、庫普拉 (cupra)、人造絲、或再生聚酯)、或類似者)、皮革基板、及橡膠基板。藉由使用此類基板，具有極佳性質之電晶體或具有低功率消耗之電晶體可得以形成，具有高耐用性及高熱阻之裝置可得以提供，或重量或厚度之減小可得以達成。

【0058】 絕緣膜 153 及 153a 可使用氧化物絕緣膜來形成爲具有單層結構或分層結構，其中氧化物絕緣膜包括，例如，氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鎵、及基於 Ga-Zn 之金屬氧化物。應注意，在本說明書中，氧氮化矽膜意指膜中含有之氧多於氮，且氮氧化矽膜意指膜中含有之氮多於氧。

【0059】 絕緣膜 157 及 157a 可使用含氮化矽、氮氧化矽、氮化鋁、氮氧化鋁、或類似者之氮化物絕緣膜來形成。

<具導電性之氧化物半導體膜 155b 之製造方法 1>

【0060】 首先，將參閱圖 2A 至 2C 來描述用以製造圖 1A 中所圖示之具導電性之氧化物半導體膜 155b 之方法。

【0061】 首先，製備基板 151。此處，將玻璃基板用作基板 151。

【0062】 如圖 2A 中所圖示，在基板 151 上形成絕緣膜 153，且在絕緣膜 153 上形成氧化物半導體膜 155。隨後，添加諸如氮、氬、氫、氦、或氙之稀有氣體 154 至氧化物半導體膜 155。

【0063】 可藉由濺鍍方法、CVD 方法、真空蒸鍍方法、脈衝雷射沉積 (PLD) 方法、熱 CVD 方法、或類似者來形成絕緣膜 153。

【0064】 下文將描述用以形成氧化物半導體膜 155 之方法。

【0065】 藉由濺鍍方法、塗層法、脈衝雷射沉積方法、雷射剝蝕方法、熱 CVD 方法、或類似者來形成氧化物半導體膜。隨後，在藉由光刻製程在氧化物半導體膜上形成遮罩之後，使用遮罩來蝕刻氧化物半導體膜。因此，可形成氧化物半導體膜 155。

【0066】 視情況而定，稀有氣體（典型者為氬）、氧、或稀有氣體與氧之混合氣體可用作濺鍍氣體。在使用稀有氣體與氧之混合氣體之情況下，氧與稀有氣體之比例較佳有所增大。

【0067】 此外，可根據將形成之氧化物半導體膜之組成來適當選擇靶材。

【0068】 舉例而言，在藉由濺鍍方法形成氧化物半導體膜之情況下，基板溫度設為高於或等於 150°C 且低於或等於 750°C，較佳高於或等於 150°C 且低於或等於 450°C，且更佳高於或等於 200°C 且低於或等於 350°C，藉此氧化物半導體膜可為 CAAC-OS 膜。

【0069】 對於沉積 CAAC-OS 膜而言，較佳使用以下條件。

【0070】 藉由在沉積期間抑制雜質進入 CAAC-OS 膜，晶體狀態可防止被雜質破壞。舉例而言，沉積腔室中存在之雜質（例如，氧、水、二氧化氮，或氮）的濃度可有所降低。此外，沉積氣體中雜質的濃度可有所降低。特定而言，使用露點為-80°C 或更低，較佳為-100°C 或更低的沉積氣體。

【0071】 在使用沉積設備（採用原子層沉積（ALD））形成氧化物半導體膜（例如，In-Ga-Zn-O 膜）之情況下，依序引入 $\text{In}(\text{CH}_3)_3$ 氣

體及 O_3 氣體兩次或更多次以形成 In-O 層，同時引入 $Ga(CH_3)_3$ 氣體及 O_3 氣體以形成 GaO 層，隨後同時引入 $Zn(CH_3)_2$ 氣體及 O_3 氣體以形成 ZnO 層。應注意，此等層之次序並不限於此實例。可藉由混合此等氣體來形成混合化合物層，諸如 In-Ga-O 層、In-Zn-O 層、或 Ga-Zn-O 層。儘管可替代 O_3 氣體而使用藉由起泡諸如 Ar 之惰性氣體獲得之 H_2O 氣體，較佳使用不含 H 之 O_3 。可替代 $In(CH_3)_3$ 氣體而使用 $In(C_2H_5)_3$ 氣體。可替代 $Ga(CH_3)_3$ 氣體而使用 $Ga(C_2H_5)_3$ 氣體。此外，可使用 $Zn(CH_3)_2$ 氣體。

【0072】 此後，可藉由熱處理自氧化物半導體膜 155 釋放氧、水、及類似者，以便降低氧化物半導體膜 155 中之氫濃度及水濃度。熱處理亦使得氧自氧化物半導體膜 155 釋放，從而可形成缺陷，藉此減少稍後形成之氧化物半導體膜 155 中氫濃度之變化。熱處理通常在高於或等於 250°C 且低於或等於 650°C 之溫度下進行，較佳高於或等於 300°C 且低於或等於 500°C 。當通常在高於或等於 300°C 且低於或等於 400°C 、較佳高於或等於 320°C 且低於或等於 370°C 之溫度下進行熱處理時，大尺寸基板之翹曲或收縮可有所減少，以便改進良率。

【0073】 電爐、RTA 設備、或類似者可用於熱處理。藉由使用 RTA 設備，若加熱時間短，則可在高於或等於基板應變點之溫度下進行熱處理。此舉導致熱處理時間縮短，且減少熱處理期間基板之翹曲，此對於大尺寸基板特別有利。

【0074】 熱處理可在氮、氧、超乾空氣（空氣中水含量為 20 ppm（百萬分率）或更小，較佳 1 ppm 或更小，且更佳 10 ppb（十億

分率)或更小),或者稀有氣體(氫、氮、或類似者)之環境中進行。氮、氧、超乾空氣,或者稀有氣體之環境較佳不含氫、水、及類似者。

【0075】 視情況而定,氮、氖、氫、氬、氙、或類似者可用作稀有氣體 154。藉由摻雜方法、離子布布植方法、或類似者,添加稀有氣體 154 至氧化物半導體膜 155。或者,可暴露氧化物半導體膜 155 至含稀有氣體 154 之電漿,以便添加稀有氣體 154 至氧化物半導體膜 155。

【0076】 因此,如圖 2B 中所圖示,可形成包括缺陷之氧化物半導體膜 155a。

【0077】 接著,在含雜質之環境中加熱包括缺陷之氧化物半導體膜 155a。含雜質之環境之實例為含氫、氮、水蒸汽、及類似者中之至少一種的環境。

【0078】 或者,暴露氧化物半導體膜 155a 包括缺陷之表面至含硼、磷、鹼金屬、或鹼土金屬之溶液,隨後進行熱處理。

【0079】 較佳在雜質得以供應至氧化物半導體膜之條件下進行熱處理,且通常在高於或等於 250℃ 且低於或等於 350℃ 之溫度下進行熱處理。當在低於或等於 350℃ 之溫度下進行熱處理時,雜質可得以供應至氧化物半導體膜,同時自氧化物半導體膜之雜質釋放得以最小化。應注意,在壓力大於或等於 0.1 帕之環境中進行熱處理,較佳大於或等於 0.1 帕且小於或等於 101325 帕,且更佳大於或等於 1 帕且小於或等於 133 帕。

【0080】 因此，如圖 2C 中所圖示，可形成具導電性之氧化物半導體膜 155b。具導電性之氧化物半導體膜 155b 包括缺陷及雜質，因此，由於缺陷及雜質之效應，具導電性之氧化物半導體膜 155b 具有高於氧化物半導體膜 155 之導電性。作為缺陷及雜質之效應之實例，氫進入氧空位，以便產生電子用作載子。作為另一實例，氫之部分結合至已結合至金屬原子之氧，以便產生電子用作載子。此等效應增大氧化物半導體膜之導電性。因此，具導電性之氧化物半導體膜 155b 用作電極或布配線。此外，具導電性之氧化物半導體膜 155b 發光，以使得可獲得發光電極或布配線。

【0081】 經由以上步驟，可形成具導電性之氧化物半導體膜。

<具導電性之氧化物半導體膜 155b 之製造方法 2>

【0082】 將參閱圖 3A 至 3C 來描述用以製造具導電性之氧化物半導體膜 155b 之方法，該方法不同於圖 2A 至 2C 中所圖示之方法。

【0083】 如圖 3A 中所圖示，在基板 151 上形成絕緣膜 153，且在絕緣膜 153 上形成氧化物半導體膜 155。隨後，在真空環境中進行熱處理。當在真空環境中進行熱處理時，氧得以自氧化物半導體膜 155 釋放，因此，如圖 3B 中所圖示，可形成包括缺陷之氧化物半導體膜 155a。應注意，氧空位為圖 3B 中所圖示之氧化物半導體膜 155a 中所含有之缺陷的典型實例。

【0084】 較佳在氧得以自氧化物半導體膜釋放之條件下進行熱處理，且通常在高於或等於 350℃ 且低於或等於 800℃ 之溫度下進行熱

處理，較佳高於或等於 450°C 且低於或等於 800°C 。當在高於或等於 350°C 之溫度下進行熱處理時，氧得以自氧化物半導體膜釋放。相反，當在低於或等於 800°C 之溫度下進行熱處理時，氧可得以自氧化物半導體膜釋放，同時氧化物半導體膜之晶體結構得以維持。另外，較佳在真空環境中進行熱處理，通常在壓力大於或等於 1×10^{-7} 帕且小於或等於 10 帕之環境中，較佳大於或等於 1×10^{-7} 帕且小於或等於 1 帕，且更佳大於或等於 1×10^{-7} 帕且小於或等於 1×10^{-1} 帕。

【0085】 隨後，藉由類似於圖 2B 之方法，在含雜質之環境中加熱包括缺陷之氧化物半導體膜 155a。含雜質之環境之實例為含氫、氮、水蒸汽、及類似者中之至少一種的環境。

【0086】 或者，暴露氧化物半導體膜 155a 包括缺陷之表面至含有硼、磷、鹼金屬、或鹼土金屬之溶液，隨後進行熱處理。

【0087】 因此，如圖 3C 中所圖示，可形成具導電性之氧化物半導體膜 155b。

<具導電性之氧化物半導體膜 155b 之製造方法 3>

【0088】 將參閱圖 4A 至 4C 來描述用以製造具導電性之氧化物半導體膜 155b 之方法，該方法不同於圖 2A 至 2C 以及圖 3A 至 3C 中所圖示之方法。

【0089】 如圖 4A 中所圖示，在基板 151 上形成絕緣膜 153，且在絕緣膜 153 上形成氧化物半導體膜 155。

【0090】 隨後，如圖 4B 中所圖示，在絕緣膜 153 及氧化物半導體膜 155 上形成含氫之絕緣膜 157。藉由濺鍍方法、電漿 CVD 方法、或類似者來形成絕緣膜 157。可在形成絕緣膜 157 的同時對絕緣膜 157 進行加熱。或者，可在形成絕緣膜 157 之後進行熱處理。

【0091】 當藉由濺鍍方法、電漿 CVD 方法、或類似者來形成絕緣膜 157 時，氧化物半導體膜 155 被損壞，且其中形成了缺陷。另外，絕緣膜 157 中所含有之氫被轉移至氧化物半導體膜 155。因此，如圖 4C 中所圖示，可形成包括缺陷之氧化物半導體膜 155b。由於缺陷及雜質之效應，具導電性之氧化物半導體膜 155b 具有高於氧化物半導體膜 155 之導電性，因為用作電極或布配線。

<修改實例 1>

【0092】 本實施例中所展示之具導電性之氧化物半導體膜 155b 的電阻係數比使用金屬膜形成之導電膜的電阻係數高。因此，具導電性之氧化物半導體膜 155b 較佳與將金屬膜用作引線布配線形成之導電膜接觸。將參閱圖 5A 至 5C 來描述此類結構。

【0093】 圖 5A 為具導電性之氧化物半導體膜及與氧化物半導體膜接觸之導電膜的橫截面圖。

【0094】 在圖 5A 中，在基板 151 上形成絕緣膜 153，且在絕緣膜 153 上形成具導電性之氧化物半導體膜 155b。在具導電性之氧化物半導體膜 155b 上形成導電膜 159。

【0095】 如圖 5B 中所圖示，可在絕緣膜 153、具導電性之氧化物半導體膜 155b、及導電膜 159 上形成絕緣膜 157。

【0096】 如圖 5C 中所圖示，可在絕緣膜 157a 上形成具導電性之氧化物半導體膜 155b。在彼種情況下，可在具導電性之氧化物半導體膜 155b 以及導電膜 159 上形成絕緣膜 153a。

【0097】 導電膜 159 形成為包括諸如以下各者之金屬中之任何者的單層結構或疊層結構：鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、鐵、鈷、銀、鉕、及鎢，以及含有此等金屬中之任何者作為主要成分的合金。結構之實例包括含矽之鋁膜之單層結構、含鎂之銅膜之單層結構、鋁膜堆疊於鈦膜上之雙層結構、鋁膜堆疊於鎢膜上之雙層結構、銅膜堆疊於銅-鎂-鋁合金膜上之雙層結構、銅膜堆疊於鈦膜上之雙層結構、銅膜堆疊於鎢膜上之雙層結構、銅膜堆疊於含鎂銅膜上之雙層結構、鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜依此次序堆疊之三層結構、鉕膜或氮化鉕膜、鋁膜或銅膜以及鉕膜或氮化鉕膜依此次序堆疊之三層結構，以及含鎂銅膜、銅膜及含鎂銅膜依此次序堆疊之三層結構。應注意，可使用含氧化銦、氧化錫、或氧化鋅之透明導電材料。

<修改實例 2>

【0098】 此處，將參閱圖 6 來描述具導電性之氧化物半導體膜及導電膜的修改實例。

【0099】 如圖 6 中所展示，可在絕緣膜 153 與具導電性之氧化物半導體膜 155b 之間提供導電膜 159。

【0100】 應注意，導電膜 159 可具有本實施例之修改實例 1 中所展示之導電膜 159 之結構中的任何者。

【0101】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

(實施例 2)

【0102】 在本實施例中，將參閱圖 7A 至 7C、圖 8A 及 8B、圖 9A 及 9B、以及圖 10 來描述包括實施例 1 中所展示之導電性氧化物半導體膜的電阻器。

【0103】 圖 7A 至 7C 為包括在半導體裝置中之電阻器的橫截面圖。

【0104】 圖 7A 中所圖示之電阻器 160a 包括具導電性之氧化物半導體膜 155b，以及與具導電性之氧化物半導體膜 155b 接觸之一對導電膜 161 及 162。具導電性之氧化物半導體膜 155b 以及該對導電膜 161 及 162 提供在形成於基板 151 上的絕緣膜 153 上。

【0105】 該對導電膜 161 及 162 可為單層或者兩個或兩個以上堆疊層。可使用類似於實施例 1 中所展示之導電膜 159 之結構、材料、及方法來形成該對導電膜 161 及 162。

【0106】 如圖 7B 中所圖示之電阻器 160b 中，可在絕緣膜 153、具導電性之氧化物半導體膜 155b、以及該對導電膜 161 及 162 上形成含氫之絕緣膜 157。

【0107】 如圖 7C 中所圖示之電阻器 160c 中，可在含氫之絕緣膜 157a 上形成具導電性之氧化物半導體膜 155b 以及該對導電膜 161 及 162。在彼種情況下，可在具導電性之氧化物半導體膜 155b 以及該對導電膜 161 及 162 上形成絕緣膜 153a。

【0108】 具導電性之氧化物半導體膜 155b 的電阻係數高於該對導電膜 161 及 162 的電阻係數。因此，當具導電性之氧化物半導體膜 155b 提供於該對導電膜 161 及 162 之間時，用作電阻器之功能得以達成。

【0109】 具導電性之氧化物半導體膜 155b 包括缺陷及雜質。缺陷及雜質之效應增大具導電性之氧化物半導體膜 155b 之導電性。另外，具導電性之氧化物半導體膜 155b 發光。因此，發光電阻器得以獲得。

<保護電路之電路圖>

【0110】 此處，將參閱圖 8A 及 8B 來描述使用本實施例中所展示之電阻器的保護電路。儘管顯示裝置用作以下描述中之半導體裝置，保護電路亦可在其他半導體裝置中加以採用。

【0111】 圖 8A 圖示半導體裝置中所包括之保護電路 170a 的具體實例。

【0112】 圖 8A 中所圖示之保護電路 170a 包括布配線 171 與布配線 172 之間的電阻器 173 以及二極體連接型電晶體 174。

【0113】 電阻器 173 串聯連接至電晶體 174，藉此控制流經電晶體 174 之電流的值，或用作電晶體 174 本身之保護電阻器。

【0114】 舉例而言，布配線 171 為掃描線、資料線、或自端子部分引線至驅動器電路部分的布配線，該等線包括於顯示裝置中。舉例而言，布配線 172 為供應有功率源線之電位（VDD、VSS、或 GND）以用以供應功率至閘極驅動器或源極驅動器的布配線。或者，布配線 172 為供應有共用電位（共用線）的布配線。

【0115】 舉例而言，布配線 172 較佳連接至功率源線以用以供應功率，特定而言供應低電位功率至掃描線驅動器電路。這係因為，閘極信號線在大多數週期具有低電位，因此，當布配線 172 亦具有低電位時，在正常操作期間自閘極信號線洩漏至布配線 172 之電流可有所減少。

【0116】 儘管在圖 8A 中電阻器 173 串聯連接至二極體連接型電晶體，本發明之一實施例並不限於此實例，且電阻器 173 可並聯連接至二極體連接型電晶體。

【0117】 圖 8B 圖示包括複數個電晶體及複數個電阻器之保護電路。

【0118】 圖 8B 中所圖示之保護電路 170b 包括電晶體 174a、174b、174c、及 174d，以及電阻器 173a、173b、及 173c。保護電路 170b 提供於布配線 175、176、及 177 之間，該等布配線連接至包括

在顯示裝置中之掃描線驅動器電路、信號線驅動器電路、及像素部分中之至少一者。電晶體 174a 之用作源電極的第一端子連接至電晶體 174a 之用作閘電極的第二端子，且電晶體 174a 之用作汲電極的第三端子連接至布配線 177。電晶體 174b 之用作源電極的第一端子連接至電晶體 174b 之用作閘電極的第二端子，且電晶體 174b 之用作汲電極的第三端子連接至電晶體 174a 之第一端子。電晶體 174c 之用作源電極的第一端子連接至電晶體 174c 之用作閘電極的第二端子，且電晶體 174c 之用作汲電極的第三端子連接至電晶體 174b 之第一端子。電晶體 174d 之用作源電極的第一端子，以及電晶體 174d 之用作閘電極的第二端子連接至布配線 177 及 175。電晶體 174d 之用作汲電極的第三端子連接至電晶體 174c 之第一端子。布配線 177 配備電阻器 173a 及 173c。電阻器 173b 提供於布配線 176、電晶體 174b 之第一端子與電晶體 174c 之第三端子之間。

【0119】 舉例而言，布配線 175 可用作供應有低功率源電位 VSS 的功率源線。舉例而言，布配線 176 可用作共用線。舉例而言，布配線 177 可用作供應有高功率源電位 VDD 的功率源線。

【0120】 本實施例之電阻器可用作圖 8A 及 8B 中所圖示之電阻器。可藉由調整形狀來改變電阻器之電阻值，特定而言，藉由調整包括在電阻器中之具導電性之氧化物半導體膜的長度或寬度。圖 9A 及 9B 圖示電阻器 160d 之實例。圖 9A 為電阻器 160d 的俯視圖，且圖 9B 為沿圖 9A 中之點劃線 A-B 的橫截面圖。在圖 9A 及 9B 中所圖示

之電阻器 160d 中，具導電性之氧化物半導體膜 155c 具有鋸齒形頂表面，因此電阻器之電阻值可得以控制。

【0121】 如以上所描述，保護電路 170b 包括複數個二極體連接型電晶體及複數個電阻器。換言之，在保護電路 170b 中，二極體連接型電晶體與電阻器可並聯組合。

【0122】 藉由保護電路，半導體裝置可針對歸因於靜電放電（ESD）之過電流具有增大之電阻。因此，具有改進之可靠性的半導體裝置可得以提供。

【0123】 因為電阻器用於保護電路中，且視情況而定，電阻器之電阻值可改變，用於保護電路中之二極體連接型電晶體或類似者亦可受到保護。

【0124】 本實施例中所展示之結構可與其他實施例中所展示之結構中之任何者以適當組合使用。

<修改實例 1>

【0125】 此處，將參閱圖 10 來描述電阻器之修改實例。

【0126】 圖 10 中所圖示之電阻器 160g 包括絕緣膜 153 與具導電性之氧化物半導體膜 155b 之間的一對導電膜 163 及 164。

【0127】 可使用類似於實施例 1 中所展示之導電膜 159 的結構及材料來形成該對導電膜 163 及 164。

【0128】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

(實施例 3)

【0129】 在本實施例中，將參閱圖 11A 及 11B 以及圖 12 來描述包括實施例 1 中所展示之導電性氧化物半導體膜的電容器。

【0130】 圖 11A 及 11B 為包括在半導體裝置中之電容器的橫截面圖。

【0131】 圖 11A 中所圖示之電容器 180a 包括具導電性之氧化物半導體膜 155b、與具導電性之氧化物半導體膜 155b 接觸之絕緣膜 157、及與氧化物半導體膜 155b 重疊、其間置放有絕緣膜 157 之導電膜 181。另外，用作引線布配線之導電膜可形成為與具導電性之氧化物半導體膜 155b 或導電膜 181 接觸。此處，導電膜 159 提供為與具導電性之氧化物半導體膜 155b 接觸。應注意，具導電性之氧化物半導體膜 155b、絕緣膜 157、及導電膜 159 提供在形成於基板 151 上之絕緣膜 153 上。

【0132】 可使用類似於實施例 1 中所展示之導電膜 159 的結構、材料、及方法來形成導電膜 159。

【0133】 如圖 11B 中所圖示之電容器 180b 中，可在絕緣膜 157a 上形成具導電性之氧化物半導體膜 155b 以及導電膜 159。在彼種情況下，絕緣膜 153a 可提供於具導電性之氧化物半導體膜 155b 與導電膜 181 之間。

【0134】 導電膜 181 形成為包括諸如以下各者之金屬中之任何者的單層結構或疊層結構：鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、鐵、

鈷、銀、鋁、及鎢，以及含有此等金屬中之任何者作為主要成分的合金。結構之實例包括含矽之鋁膜之單層結構、含鎂之銅膜之單層結構、鋁膜堆疊於鈦膜上之雙層結構、鋁膜堆疊於鎢膜上之雙層結構、銅膜堆疊於銅-鎂-鋁合金膜上之雙層結構、銅膜堆疊於鈦膜上之雙層結構、銅膜堆疊於鎢膜上之雙層結構、銅膜堆疊於含鎂銅膜上之雙層結構、鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜依此次序堆疊之三層結構、鋁膜或氮化鋁膜、鋁膜或銅膜以及鋁膜或氮化鋁膜依此次序堆疊之三層結構，以及含鎂銅膜、銅膜及含鎂銅膜依此次序堆疊之三層結構。

【0135】 可使用類似於導電膜 159 的結構及材料來形成導電膜 181。

【0136】 發光導電膜可用作導電膜 181。可使用包括氧化鎢的氧化銦、包括氧化鎢的氧化銦鋅、包括氧化鈦的氧化銦、包括氧化鈦的氧化銦錫、氧化銦錫（ITO）、氧化銦鋅、添加有氧化矽的氧化銦錫來形成導電膜。

【0137】 具導電性之氧化物半導體膜 155b 包括缺陷及雜質。缺陷及雜質之效應增大具導電性之氧化物半導體膜 155b 之導電性。另外，具導電性之氧化物半導體膜 155b 發光。藉由將發光導電膜用作導電膜 181，發光電容器得以獲得。

<修改實例 2>

【0138】 圖 12 中所圖示之電容器 180e 包括絕緣膜 153 與具導電性之氧化物半導體膜 155b 之間的導電膜 159。

【0139】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

(實施例 4)

【0140】 本實施例描述當水（下文稱為 H_2O ）進入氧化物半導體膜（下文稱為 IGZO）以及 H_2O 分解為 H 及 OH 時所獲得之 H 及 OH 的行為。

<1. IGZO 中之 H_2O >

【0141】 首先，為了量測 H_2O 及 IGZO 之效應，計算其中 H_2O 添加至 IGZO 之模型。具體計算如下。

【0142】 置放 H_2O 分子至 $InGaZnO_4$ 晶體模型（112 個原子），且進行結構最佳化計算。圖 13 展示計算模型，其中 1、2 及 3 代表 H_2O 之初始位置。

【0143】 表 1 展示計算條件。圖 14 展示添加有 H_2O 之模型的最佳化結構。

【0144】

[表 1]

軟體	VASP
模型	$InGaZnO_4$ 晶體（112 個原子）+ nH_2O （ $n = 1$ 至 3）
計算	結構最佳化（包括晶格常數）
函數	GGA/PBE

切斷能量	500 電子伏特
K 點	2×2×3

【0145】 在另一模型中，H₂O 分解為 H 及 OH。此指示 H₂O 分子難以穩定存在於 IGZO 中，且分解為 H 及 OH。

【0146】 接著，將描述 IGZO 中之 H 及 OH。

<2. IGZO 中之 H >

<2-(1).H 之擴散>

【0147】 此處，沿氫轉移路徑，自活化障壁量測氫在 IGZO 晶體中之行動性。應注意，假定氫之兩種移動：氧原子之間的跳躍；以及在一個氧原子上之移動。

【0148】 圖 15 為展示單晶體 IGZO (c-IGZO) 中之不同區的示意圖，對每一區中氫之擴散路徑進行分析。對 InO₂ 區域、(Ga, Zn)O 區域以及 InO₂-(Ga, Zn)O 區域 (a-b 平面方向) 中之每一者之路徑，以及穿過每一區域 (c-軸方向) 之路徑進行量測。

【0149】 使用維也納 (Vienna) 從頭計算模擬套裝軟體 (VASP)，藉由第一原理電子狀態及分子動態模擬計算活化障壁。亦採用用以發現化學反應路徑的微動彈性帶 (NEB) 方法。NEB 方法為用以判定給定初始與最終狀態之間的最小能量路徑的技術。

«InO₂ 平面與(Ga, Zn)O 平面之間的中間區域»

【0150】 圖 16A 至 16D 展示 InO_2 平面與 $(\text{Ga}, \text{Zn})\text{O}$ 平面之間的區域中之氫轉移路徑，以及沿路徑的活化障壁。應注意，路徑中大多數穩定結構的能量視為能量原點。圖 16A 及 16C 分別展示稱為路徑 A 及路徑 B 之氫轉移路徑。應注意，圖 16A 至 16D 中之數字代表氫之轉移次序。在路徑 A 中，氫自 3 直接轉移至 4，而在路徑 B 中，氫自 3 經由 5 轉移至 4。

【0151】 圖 16B 展示沿氫自 1 轉移至 4 之路徑 A，活化障壁的計算結果，且圖 16D 展示沿氫自 1 經由 5 轉移至 4 之路徑 B，活化障壁的計算結果。

【0152】 圖 16D 中所展示之活化障壁低於圖 16B 中所展示之活化障壁。因此，當氫自 3 轉移至 4 時，較佳取用具有較低活化障壁之路徑 B。換言之，當氫在 InO_2 平面與 $(\text{Ga}, \text{Zn})\text{O}$ 平面之間的區域中轉移時，將取用具有較低活化障壁之路徑 B。

« $(\text{Ga}, \text{Zn})\text{O}$ 區域»

【0153】 接著，圖 17A 及 17B 展示 $(\text{Ga}, \text{Zn})\text{O}$ 區域中之氫轉移路徑，以及沿路徑的活化障壁。應注意，路徑中大多數穩定結構的能量視為能量原點。圖 17A 展示 $(\text{Ga}, \text{Zn})\text{O}$ 區域中之氫轉移路徑。圖 17A 中之數字代表氫之轉移次序。圖 17B 展示沿圖 17A 中氫自 1 轉移至 4 之路徑，活化障壁的計算結果。

【0154】 圖 17B 展示(Ga, Zn)O 區域中之氫路徑具有近似 0.16 電子伏特之低活化障壁。僅給定障壁之高度，相比 InO₂ 平面與(Ga, Zn)O 平面之間的區域，氫將更有可能在(Ga, Zn)O 區域中轉移。

«InO₂ 區域»

【0155】 接著，圖 18A 及 18B 展示 InO₂ 區域中之氫轉移路徑，以及沿路徑的活化障壁。應注意，路徑中大多數穩定結構的能量視為能量原點。圖 18A 展示 InO₂ 區域中之氫轉移路徑。圖 18A 中之數字代表氫之轉移次序。圖 18B 展示沿氫自 1 轉移至 4 之路徑，活化障壁的計算結果。

【0156】 圖 18A 及 18B 展示 InO₂ 區域中之活化障壁遠遠高於其他區域中之活化障壁。因此，相比其他區域，氫將不可能在 InO₂ 區域中轉移。

【0157】 圖 19A 及 19B 展示 c-軸方向上之氫轉移路徑，以及沿路徑的活化障壁。應注意，路徑中大多數穩定結構的能量視為能量原點。圖 19A 展示 c-軸方向上之氫轉移路徑。圖 19A 中之數字代表氫之轉移次序。圖 19B 展示沿氫自 1 轉移至 8 之路徑，活化障壁的計算結果。

【0158】 圖 19A 及 19B 展示活化障壁存在於進出(Ga, Zn)O 區域之途中。此可能係因為氫轉移路徑阻斷 *M*（金屬）-O 鍵。當氫在 InO₂ 區域中轉移時，亦發現存在高活化障壁。因此，氫將不可能在 c-軸方向上連續轉移。應注意，高活化障壁可能會導致 In 離子的大半徑。

【0159】 依據藉由計算及以下公式 1 獲得之活化障壁，計算得到反應頻率(Γ)。

【0160】

[公式 1]

$$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$

【0161】 公式中， E_a 代表沿路徑之最大活化障壁； k_B 為波茲曼 (Boltzmann) 常數； T 為絕對溫度；以及 ν 為頻率因數。

【0162】 最後，表 2 展示依據每一路徑之最大障壁高度估計之移動頻率。

【0163】

[表 2]

路徑		最大障壁高度(電子伏特)	450°C	27°C
InO ₂ 平面與(Ga, Zn)O 平面之間的區域 (a-b 平面方向)	A	1.12	1.6E+05	1.0E-06
InO ₂ 平面與(Ga, Zn)O 平面之間的區域 (a-b 平面方向)	B	0.23	2.5E+11	1.4E+09
(Ga, Zn)O 區域 (a-b 平面方向)		0.16	7.7E+11	2.1E+10
InO ₂ 區域 (c-軸方向)		1.45	8.0E+02	4.6E-12
進入 (離開) (Ga, Zn)O 區域之路徑 (c-軸方向)		0.9	5.4E+06	7.8E-03

【0164】 在 27°C 及 450°C 之溫度下，InO₂ 平面與(Ga, Zn)O 平面之間的區域中的移動頻率最高。相反，InO₂ 區域 (c-軸方向)中的移動頻率有可能由於高活化障壁而較低。此指示在完整晶體系統中，氬優

先沿 a-b 平面擴散。然而，在 450℃ 之熱處理中，發現氬在 IGZO 膜中充分擴散。

<2-(2).易於形成氧空位 V_o 的位點>

【0165】 金屬與氧之間的結合強度視金屬之種類及原子價而變化；因此，在 IGZO 中形成氧空位 V_o 之簡易度有可能由結合至氧之金屬之種類、數目、距離、或類似者判定。計算在 $InGaZnO_4$ 晶體模型中形成氧空位之簡易度。

【0166】 用於計算之模型為圖 20 中所展示之 $InGaZnO_4$ 晶體模型（112 個原子）。在 $(Ga, Zn)O$ 區域中，以能量上穩定之方式置放 Ga 及 Zn。在彼種情況下，視結合至氧之金屬之種類及數目，存在四種類型之氧位點（圖 20 中之 1 至 4）。表 3 展示四個氧位點。

【0167】

[表 3]

氧位點		結合夥伴
InO ₂ 層	1	In×3, Ga×1
	2	In×3, Zn×1
(Ga, Zn)O 層	3	Ga×2, Zn×2
	4	Ga×2, Zn×2

【0168】 在以上模型中，自每一氧位點提取氧原子，藉此得到氧空位模型。隨後，每一模型在結構最佳化之後的總能量得以準備。表 4 展示計算條件。

【0169】

[表 4]

軟體	VASP
函數	GGA/PBE
準電位	PAW
切斷能量	500 電子伏特
K 點	2×2×3

【0170】 每一最佳化結構之總能量得以準備。圖 21 展示總能量的相對值，其中將氧位點 4 之氧空位模型之總能量作為參考（0.0 電子伏特）。圖 21 指示在氧位點 4 中形成氧空位最容易，且在氧位點 2 中形成氧空位相對容易。相反，相比氧位點 2 及 4，在氧位點 1 及 3 中形成氧空位較不容易。

<2-(3).H₀ 之形成的簡易度及穩定性>

【0171】 <2-(1).H 之擴散>中所描述之計算結果展示，當進行熱處理時，H 在 IGZO 中顯著擴散。此處，基於 H 是否容易進入氧空位 V₀（若存在）進行計算。H 處於氧空位 V₀ 之狀態稱為 H₀（亦稱為 V₀H）。

【0172】 圖 22 中所展示之 InGaZnO₄ 晶體模型用於計算。藉由 NEB 方法計算沿如下反應路徑之活化障壁（E_a），在該反應路徑中 H₀ 中之 H 自 V₀ 釋放且結合至氧。表 5 展示計算結果。

【0173】

[表 5]

軟體	VASP
計算	NEB 方法
函數	GGA/PBE

準電位	PAW
切斷能量	500 電子伏特
K 點	2×2×3

<2-(2).易於形成氧空位 V_o 的位點>中所描述之計算結果展示，兩個氧位點中易於形成氧空位。首先，基於易於形成氧空位 V_o 之氧位點中之一者計算：結合至三個 In 原子及一個 Zn 原子的氧位點（圖 22 中之 1）。

【0174】 圖 23A 展示處於初始狀態之模型，且圖 23B 展示處於最終狀態之模型。圖 24 展示處於初始狀態及最終狀態之經計算活化障壁 (E_a)。應注意，初始狀態意指 H 存在於氧空位 V_o 之狀態 (H_o)，且最終狀態意指包括氧空位 V_o 之結構以及 H 結合至已結合至一個 Ga 原子以及兩個 Zn 原子的氧之狀態 ($H-O$ ，亦稱為 V_o +結合-H)。

【0175】 依據計算結果，氧空位 V_o 中之 H 至另一氧原子之結合需要近似 1.52 電子伏特之能量，而已結合至 O 之 H 進入氧空位 V_o 需要近似 0.64 電子伏特之能量。

【0176】 藉由使用計算所獲得之活化障壁及以上公式 1，計算得到反應頻率 (Γ)。在公式 1 中， k_B 代表波茲曼 (Boltzmann) 常數； T 代表絕對溫度。

【0177】 在假定頻率因數 $\nu = 10^{13}$ [1/秒]之情況下，計算 350°C 下之反應頻率。自圖 23A 中所展示之模型轉移至圖 23B 中所展示之模型的 H 之頻率為 $\nu = 5.52 \times 10^0$ [1/秒]，而自圖 23B 中所展示之模型轉移至圖 23A 中所展示之模型的 H 之頻率為 $\nu = 1.82 \times 10^9$ [1/秒]。此表

明，H 在 IGZO 中之擴散有可能在附近存在氧空位 V_O 之情況下形成 H_O ，且一旦形成 H_O ，H 不可能自氧空位 V_O 釋放。

【0178】 接著，基於<2-(2).易於形成氧空位 V_O 的位點>，依據易於形成氧空位 V_O 之氧位點中之另一者計算：結合至三個 Ga 原子及兩個 Zn 原子的氧位點（圖 22 中之 2）。

【0179】 圖 25A 展示處於初始狀態之模型，且圖 25B 展示處於最終狀態之模型。圖 26 展示處於初始狀態及最終狀態之經計算活化障壁（ E_a ）。應注意，初始狀態意指 H 存在於氧空位 V_O 之狀態（ H_O ），且最終狀態意指包括氧空位 V_O 之結構以及 H 結合至已結合至一個 Ga 原子以及兩個 Zn 原子的氧之狀態（H-O）。

【0180】 依據計算結果，氧空位 V_O 中之 H 至另一氧原子之結合需要近似 1.75 電子伏特之能量，而已結合至 O 之 H 進入氧空位 V_O 需要近似 0.35 電子伏特之能量。

【0181】 藉由使用計算所獲得之活化障壁及以上公式 1，計算得到反應頻率（ Γ ）。

【0182】 在假定頻率因數 $\nu = 10^{13}$ [1/秒]之情況下，計算 350°C 下之反應頻率。自圖 25A 中所展示之模型轉移至圖 25B 中所展示之模型的 H 之頻率為 $\nu = 7.53 \times 10^{-2}$ [1/秒]，而自圖 25B 中所展示之模型轉移至圖 25A 中所展示之模型的 H 之頻率為 $\nu = 1.44 \times 10^{10}$ [1/秒]。此表明，一旦形成 H_O ，H 不可能自氧空位 V_O 釋放。

【0183】 依據以上結果，發現熱處理時 H 易於在 IGZO 中擴散，且若存在氧空位 V_O ，H 有可能進入氧空位 V_O 成為 H_O 。

<2-(4).H₀之躍遷能階>

【0184】 <2-(3).H₀ 之形成的簡易度及穩定性>中所描述之藉由 NEB 之計算指示，在 IGZO 中存在氧空位 V_o 及 H 之情況下，氧空位 V_o 及 H 易於形成 H₀，且 H₀ 為穩定的。爲了判定 H 是否與載子陷阱有關，計算 H₀之躍遷能階。

【0185】 用於計算之模型爲圖 22 中所展示之 InGaZnO₄ 晶體模型（112 個原子）。易於形成氧空位 V_o 之氧位點爲圖 22 中之氧位點 1，該氧位點結合至三個 In 原子及一個 Zn 原子，或者爲圖 22 之氧位點 2，該氧位點結合至一個 Ga 原子及兩個 Zn 原子。因此，對氧位點 1 及 2 中 H₀之建模，以計算躍遷能階。表 6 展示計算條件。

【0186】

[表 6]

軟體	VASP
模型	InGaZnO ₄ 晶體（112 個原子）
函數	HSE06
精確交換之部分	0.25
準電位	GGA-PBE
切斷能量	800 電子伏特
K 點	1×1×1

【0187】 精確交換之部分調整爲具有近似於指數值之帶隙。因此，不含缺陷之 InGaZnCb 之帶隙爲 3.08 電子伏特，近似於指數值 3.15 電子伏特。

【0188】 可藉由以下公式 2 計算具有缺陷 D 之模型的躍遷能階($\varepsilon(q/q')$)。應注意， $\Delta E(D^q)$ 代表電荷 q 處之缺陷 D 之形成能量，該能量由公式 3 計算。

【0189】

[公式 2]

$$\varepsilon(q/q') = \frac{\Delta E(D^q) - \Delta E(D^{q'})}{q' - q}$$

【0190】

[公式 3]

$$\Delta E(D^q) = E_{tot}(D^q) - E_{tot}(bulk) + \sum_i \Delta n_i \mu_i + q(\varepsilon_{VBM} + \Delta V_q + E_F)$$

【0191】 在公式 2 及 3 中， $E_{tot}(D^q)$ 代表具有電荷 q 處之缺陷 D 之模型的總能量， $E_{tot}(bulk)$ 代表不含缺陷之模型（完整晶體）的總能量， Δn_i 代表形成缺陷之原子 i 之數目的變化， μ_i 代表原子 i 之化學電位， ε_{VBM} 代表不含缺陷之模型中最大原子價帶的能量， ΔV_q 代表與靜電電位相關之校正項，且 E_F 代表費米（Fermi）能量。

【0192】 圖 27 展示自以上公式獲得之 H_o 的躍遷能階。圖 27 中之數字代表來自最小導電帶的深度。在圖 27 中，氧位點 1 中之 H_o 的躍遷能階為來自最小導電帶的 0.05 電子伏特，且氧位點 2 中之 H_o 的躍遷能階為來自最小導電帶的 0.11 電子伏特。因此，此等 H_o 會與電子陷阱相關，亦即，發現 H_o 用作施子。吾人亦發現，包括 H_o 之 IGZO 具有導電性。

<2-(5). H₂O 自表面之釋放>

【0193】 接著，依據 IGZO 中之 H 自 IGZO 之表面釋放為 H₂O 的步驟進行計算。

【0194】 假定 InGaZnO₄ 晶體模型之表面為解理表面。換言之，所使用之模型為最外表面為(Ga, Zn)O 平面之 InGaZnO₄ 晶體（112 個原子）。圖 28 展示計算模型，且表 7 展示計算條件。

【0195】

[表 7]

軟體	YASP
函數	GGA/PBE
準電位	PAW
切斷能量	500 電子伏特
K 點	2×2×1

【0196】 依據如下假定如下計算 H₂O 釋放步驟：反應路徑之初始結構為兩個氫原子結合至 InO₂ 層中之 O 的 InGaZnO₄ 平面模型。

【0197】 步驟(1)至(2)：第一 H 原子結合至表面上之 O 原子內側。

步驟(2)至(3)：第一 H 原子移動至表面上之 O 原子外側。

步驟(3)至(4)：第二 H 靠近。

步驟(4)至(5)：第二 H 原子結合至表面上之 OH 內側。

步驟(5)至(6)：第二 H 原子移動至表面上之 O 原子外側。

步驟(6)至(7)：H₂O 得以釋放。

【0198】 圖 29 展示以上步驟之反應路徑中模型之結構。圖 30 展示能量改變，其中將初始結構之能量作為參考（0.00 電子伏特）。應注意，圖 30 之上部展示圖 29 中之步驟(1)至(7)中的能量改變，且圖 30 之下部展示步驟(1)至(7)中 O 及 H 原子在 IGZO 中及 IGZO 表面上之反應的示意圖。

【0199】 計算結果展示，反應路徑（步驟(6)至(7)）中獲得 1.04 電子伏特之最高能量，其中自兩個 H 原子結合至表面上之 O 原子的狀態釋放 H₂O 且氧空位 V_O 得以形成。因此，藉由公式 1 計算步驟(6)至(7)之反應頻率（ Γ ）。

【0200】 在假定頻率因數 $\nu = 10^{13}$ [1/秒]之情況下，計算 350°C 下之反應頻率，隨後獲得 3.66×10^4 [1/秒]之反應頻率（ Γ ）。此表明，H 可被釋放為 H₂O，以便在實際製程中形成氧空位 V_O。

（實施例 5）

【0201】 在本實施例中，將參閱圖式來描述作為本發明之實施例的顯示裝置。在本實施例中，將參閱圖 31A 至 31C、圖 32、及圖 33 來描述包括電容器之顯示裝置，該電容器配備具導電性且在實施例 1 中所展示之氧化物半導體膜。

【0202】 圖 31A 圖示顯示裝置之實例。圖 31A 中之顯示裝置包括像素部分 101、掃描線驅動器電路 104、信號線驅動器電路 106、並聯或實質上並聯布布置且電位由掃描線驅動器電路 104 控制之 m 根掃描線 107 以及並聯或實質上並聯布布置且電位由信號線驅動器電路

106 控制之 n 根信號線 109。此外，像素部分 101 包括以矩陣布布置之複數個像素 103。應注意，電容器線 115 可沿掃描線 107 並聯或實質上並聯布布置。在一些情況下，掃描線驅動器電路 104 及信號線驅動器電路 106 共同稱為驅動器電路部分。

【0203】 應注意，顯示裝置包括用以驅動複數個像素及類似者的驅動器電路。顯示裝置亦稱為包括控制電路、功率供應電路、信號生成電路、背光模組、及提供於另一基板上之類似者的液晶模組。

【0204】 掃描線 107 中之每一者電連接至像素部分 101 中以 m 列及 n 行布布置之像素 103 中對應列中之 n 個像素 103。信號線 109 中之每一者電連接至以 m 列及 n 行布布置之像素 103 中對應列中之 m 個像素 103。應注意， m 及 n 各自為 1 或更大之整數。電容器線 115 中之每一者電連接至以 m 列及 n 行布布置之像素 103 中對應列中之 m 個像素 103。應注意，在電容器線 115 沿掃描線 107 並聯或實質上並聯布布置之情況下，電容器線 115 中之每一者電連接至以 m 列及 n 行布布置之像素 103 中對應列中之 n 個像素 103。

【0205】 在 FFS 驅動用於液晶顯示裝置之情況下，並未提供電容器線，且共用線或共用電極用作電容器線。

【0206】 應注意，此處，像素意指由掃描線及信號線包圍且展現一個色彩的區域。因此，在具有色彩元素 R（紅色）、G（綠色）、及 B（藍色）之彩色顯示裝置之情況下，影像之最小單元由三個像素組成：R 像素、G 像素、及 B 像素。應注意，可藉由添加黃色像素、青色像素、紫色像素、或類似者至 R、G、及 B 像素來改進色彩重現

性。此外，可藉由添加 W（白色）像素至 R、G、及 B 像素來降低顯示裝置之功率消耗。在液晶顯示裝置之情況下，可藉由添加 W 像素至 R 像素、G 像素、及 B 像素中之每一者來改進液晶顯示裝置之亮度。因此，背光之亮度可有所降低，此舉導致液晶顯示裝置之功率消耗降低。

【0207】 圖 31B 及 31C 圖示可用於圖 31A 中所圖示之顯示裝置中之像素 103 的電路配置之實例。

【0208】 圖 31B 中之像素 103 包括液晶元件 121、電晶體 102、及電容器 105。

【0209】 視情況而定，根據像素 103 之規格設置液晶元件 121 之一對電極中之一者的電位。液晶元件 121 之配向狀態取決於寫入資料。共同電位可供應至包括在像素 103 中之每一者中的液晶元件 121 之該對電極中之一者。此外，供應至一列中像素 103 中之液晶元件 121 的該對電極中之一者的電位可不同於另一列中像素 103 中之液晶元件 121 的該對電極中之一者的電位。

【0210】 液晶元件 121 為利用液晶之光學調變作用來控制發光或不發光的元件。應注意，液晶之光學調變作用由施加至液晶之電場（包括水平電場、垂直電場、及對角電場）控制。液晶元件 121 之實例為向列型液晶、膽固醇型液晶、近晶液晶、熱致液晶、溶致液晶、鐵電液晶、及反鐵電液晶。

【0211】 包括液晶元件 121 之顯示裝置可由以下模式中之任何者驅動：TN 模式、VA 模式、ASM（軸對稱配向型微單元）模式、OCB

（光學補償雙折射）模式、MVA 模式、PVA（影像垂直配向）模式、IPS 模式、FFS 模式、TBA（橫向彎曲配向）模式、及類似者。應注意，本發明之實施例並不限於以上所描述，且可使用各種液晶元件及驅動方法。

【0212】 可使用如下液晶組成來形成液晶元件，該組成包括展現藍相之液晶及手性材料。展現藍相之液晶具有 1 毫秒或更短之短回應時間，且為光學等相，因此，配向處理並非必要，且視角相依性小。

【0213】 在圖 31B 中所圖示之像素 103 中，電晶體 102 之源電極及汲電極中之一者電連接至信號線 109，且另一者電連接至液晶元件 121 之該對電極中之另一者。電晶體 102 之閘電極電連接至掃描線 107。電晶體 102 具有藉由接通或斷開來控制是否寫入資料信號的功能。

【0214】 在圖 31B 中所圖示之像素 103 中，電容器 105 之一對電極中之一者電連接至供應有電位之電容器線 115，且另一者電連接至液晶元件 121 之該對電極中之另一者。視情況而定，根據像素 103 之規格設置電容器線 115 的電位。電容器 105 用作儲存電容器以供儲存寫入資料。

【0215】 圖 31C 中所圖示之像素 103 包括用以切換顯示元件之電晶體 133、用以控制像素之驅動的電晶體 102、電晶體 135、電容器 105、及發光元件 131。

【0216】 電晶體 133 之源電極及汲電極中之一者電連接至供應有資料信號之信號線 109。電晶體 133 之閘電極電連接至供應有閘極信號之掃描線 107。

【0217】 電晶體 133 具有藉由接通或斷開來控制是否寫入資料信號之資料的功能。

【0218】 電晶體 102 之源電極及汲電極中之一者電連接至用作陽極線之布配線 137。電晶體 102 之源電極及汲電極中之另一者電連接至發光元件 131 之電極中之一者。電晶體 102 之閘電極電連接至電晶體 133 之源電極及汲電極中之另一者及電容器 105 之電極中之一者。

【0219】 電晶體 102 具有藉由接通或斷開來控制發光元件 131 之電流流動的功能。

【0220】 電晶體 135 之源電極及汲電極中之一者連接至供應有資料參考電位之布配線 139。電晶體 135 之源電極及汲電極中之另一者電連接至發光元件 131 之一個電極及電容器 105 之另一電極。電晶體 135 之閘電極電連接至供應有閘極信號的掃描線 107。

【0221】 電晶體 135 具有控制電流流經發光元件 131 的功能。舉例而言，在發光元件 131 之內部電阻由於劣化或類似者而增大之情況下，藉由監測流經連接至電晶體 135 之源電極及汲電極中之一者的布配線 139 的電流，可校正流經發光元件 131 的電流。舉例而言，供應至布配線 139 之電位可為 0 伏。

【0222】 電容器 105 之一個電極電連接至電晶體 133 之源電極及汲電極中之另一者以及電晶體 102 之閘電極。電容器 105 之另一電極

電連接至電晶體 135 之源電極及汲電極中之另一者以及發光元件 131 之一個電極。

【0223】 在圖 31C 中之像素 103 的配置中，電容器 105 用作儲存電容器以供儲存寫入資料。

【0224】 發光元件 131 之一對電極中之一者電連接至電晶體 135 之源電極及汲電極中之另一者、電容器 105 之另一電極、以及電晶體 102 之源電極及汲電極中之另一者。發光元件 131 之該對電極中之另一者電連接至用作陰極之布配線 141。

【0225】 可將有機電場發光元件（亦稱為有機 EL 元件）或類似者用作發光元件 131。應注意，發光元件 131 並不限於有機 EL 元件，且可為包括無機材料之無機 EL 元件。

【0226】 高功率源電位 VDD 供應至布配線 137 及 141 中之一者，且低功率源電位 VSS 供應至另一者。在圖 31C 中所圖示之配置中，高功率源電位 VDD 供應至布配線 137，且低功率源電位 VSS 供應至布配線 141。

【0227】 應注意，儘管圖 31B 及 31C 各自圖示液晶元件 121 或發光元件 131 用作顯示元件的實例，本發明之一實施例並不限於此。可使用各種顯示元件中之任何者。顯示元件之實例包括對比度、輝度、反射率、透射率、或類似者隨電磁作用改變之顯示媒體，諸如 LED（例如，白色 LED、紅色 LED、綠色 LED、或藍色 LED）、電晶體（視電流而發光的電晶體）、電子發射器、電子墨水、電泳元件、光柵光閥(GLV)、電漿顯示面板(PDP)，或者使用微機電系統(MEMS)、

數位微鏡裝置(DMD)、數位微快門(DMS)、干涉調變器顯示器件(IMOD)、MEMS 快門顯示元件、光學干涉型 MEMS 顯示元件、電潤濕裝置、壓電陶瓷顯示器、以及碳奈米管的顯示元件。包括 EL 元件之顯示裝置之實例包括 EL 顯示器。包括電子發射器之顯示裝置之實例為場發射顯示器(FED)及 SED 型平板顯示器(SED：表面傳導電子發射器顯示器)。包括液晶元件之顯示裝置之實例包括液晶顯示器(例如，發射液晶顯示器、半透射液晶顯示器、反射液晶顯示器、直視液晶顯示器、或投射液晶顯示器)。使用電子墨水或電泳元件之顯示裝置之實例包括電子紙。在半透射液晶顯示器或反射液晶顯示器中，像素電極中之一些或全部用作反射電極。舉例而言，像素電極中之一些或全部形成為含鋁、銀、或類似者。在此類情況下，諸如 SRAM 之記憶體電路可提供在反射電極下方，從而實現較低功率消耗。

【0228】 接著，描述包括在顯示裝置中之元件基板的特定結構。此處，描述包括像素 103 中之液晶元件之液晶顯示裝置的特定實例。圖 32 展示圖 31B 中所圖示之像素 103 的俯視圖。

【0229】 此處，以 FFS 模式驅動之液晶顯示裝置用作顯示裝置，且圖 32 為包括在液晶顯示裝置中之複數個像素 103a、103b、及 103c 的俯視圖。

【0230】 在圖 32 中，用作掃描線之導電膜 13 在實質上垂直於用作信號線之導電膜的方向上延伸(圖式中之橫向方向上)。用作信號線之導電膜 21a 在實質上垂直於用作掃描線之導電膜的方向上延伸(圖式中之縱向方向上)。應注意，用作掃描線之導電膜 13 電連接至掃描

線驅動器電路 104（參見圖 31A 至 31C），且用作信號線之導電膜 21a 電連接至信號線驅動器電路 106（參見圖 31A 至 31C）。

【0231】 電晶體 102 提供於用作掃描線之導電膜與用作信號線之導電膜相互交叉之區域中。電晶體 102 包括用作閘電極之導電膜 13、閘極絕緣膜（圖 32 中未圖示）、閘極絕緣膜上形成有通道區域之氧化物半導體膜 19a，以及用作一對電極之導電膜 21a 及導電膜 21b。導電膜 13 亦用作掃描線，且導電膜 13 與氧化物半導體膜 19a 重疊之區域用作電晶體 102 之閘電極。另外，導電膜 21a 亦用作信號線，且導電膜 21a 與氧化物半導體膜 19a 重疊之區域用作電晶體 102 之源電極或汲電極。此外，在圖 32 中，導電膜用作掃描線之末端部分定位於氧化物半導體膜 19a 之末端部分的外側。因此，用作掃描線之導電膜用作阻光膜，以用以阻斷來自諸如背光之光源的光。出於此原因，並無光輻照包括在電晶體中之氧化物半導體膜 19a，因此電晶體之電特徵之變化可得以抑制。

【0232】 另外，電晶體 102 包括與氧化物半導體膜 19a 重疊之有機絕緣膜 31。有機絕緣膜 31 與氧化物半導體膜 19a（特定而言，氧化物半導體膜 19a 處於導電膜 21a 與 21b 之間的區域）重疊，其間提供有無機絕緣膜（圖 32 中未圖示）。

【0233】 來自外部之水並未經由有機絕緣膜 31 擴散至液晶顯示裝置，因為有機絕緣膜 31 在每一電晶體 10 中隔離，因此，提供於液晶顯示裝置中之電晶體之電特徵之變化可有所減少。

【0234】 導電膜 21b 電連接至具導電性之氧化物半導體膜 19b。共用電極 29 提供於具導電性之氧化物半導體膜 19b 上，其間提供有絕緣膜。由點劃線指示之開口 40 提供於具導電性之氧化物半導體膜 19b 上之絕緣膜中。具導電性之氧化物半導體膜 19b 與開口 40 中之氮化物絕緣膜（圖 32 中未圖示）接觸。

【0235】 共用電極 29 包括條紋區域，該等條紋區域在與用作信號線之導電膜 21a 交叉之方向上延伸。條紋區域連接至在平行於或實質上平行於用作信號線之導電膜 21a 之方向上延伸的區域。因此，共用電極 29 之條紋區域處於像素中之相同電位。

【0236】 電容器 105 形成於具導電性之氧化物半導體膜 19b 與共用電極 29 相互重疊之區域中。具導電性之氧化物半導體膜 19b 及共用電極 29 各自發光。亦即，電容器 105 發光。

【0237】 如圖 32 中所圖示，FFS 模式液晶顯示裝置配備共用電極，該共用電極包括在與用作信號線之導電膜交叉之方向上延伸的條紋區域。因此，顯示裝置可具有極佳對比度。

【0238】 歸因於電容器 105 之透光性質，電容器 105 可在像素 103 中形成為較大（較大面積）。因此，顯示裝置可具有高電容，以及增大至通常 50%、較佳 60%或更大之孔徑比。舉例而言，在諸如液晶顯示裝置之高解析度顯示裝置中，像素之面積減小，因此電容器之面積亦減小。出於此原因，在高解析度顯示裝置中，累積於電容器中之電荷量減少。然而，由於本實施例之電容器 105 具有透光性質，當電容器 105 提供於像素中時，像素中可獲得充分電容，且孔徑比可得以

改進。通常，電容器 105 可有利地用於像素密度為每吋 200 像素（ppi）或更大、300 ppi 或更大，或者 500 ppi 或更大的高解析度顯示裝置中。

【0239】 在液晶顯示裝置中，電容器之電容增大，導致液晶元件之液晶分子之配向可在施加電場之狀態下保持恆定的週期增大。當上述週期在顯示靜止影像之顯示裝置中較長時，重寫影像資料之次數可有所減少，從而降低功率消耗。此外，根據本實施例之結構，甚至在高解析度顯示裝置中孔徑比可得以改進，此舉使得有可能充分使用來自諸如背光之光源的光，因此顯示裝置之功率消耗可有所降低。

【0240】 圖 33 為沿圖 32 中之點劃線 A-B 及 C-D 截取之橫截面圖。圖 33 中所圖示之電晶體 102 為通道蝕刻型電晶體。應注意，沿點劃線 A-B 截取之橫截面圖中圖示通道長度方向上之電晶體 102 及電容器 105，且沿點劃線 C-D 截取之橫截面圖中圖示通道寬度方向上之電晶體 102。

【0241】 本實施例中所描述之液晶顯示裝置包括一對基板（第一基板 11 及第二基板 342）、與第一基板 11 接觸之元件層、與第二基板 342 接觸之元件層、以及提供於元件層之間的液晶層 320。應注意，元件層為插置於基板與液晶層之間的層之集合術語。此外，在一些情況下，基板及元件層共同稱為元件基板。液晶元件 322 提供於一對基板（第一基板 11 及第二基板 342）之間。

【0242】 液晶元件 322 包括第一基板 11 上之具導電性之氧化物半導體膜 19b、共用電極 29、氮化物絕緣膜 27、控制配向之膜（下文

稱為配向膜 33)、以及液晶層 320。具導電性之氧化物半導體膜 19b 用作液晶元件 322 之一個電極(亦稱為像素電極),且共用電極 29 用作液晶元件 322 之另一電極。

【0243】 首先,描述形成於第一基板 11 上之元件層。圖 33 中之晶體 102 具有單閘極結構,且包括在第一基板 11 上用作閘電極之導電膜 13。另外,電晶體 102 包括形成於第一基板 11 及用作閘電極之導電膜 13 上之氮化物絕緣膜 15、形成於氮化物絕緣膜 15 上之氧化物絕緣膜 17、與用作閘電極之導電膜 13 重疊之氧化物半導體膜 19a (其間提供有氮化物絕緣膜 15 及氧化物絕緣膜 17)、以及用作源電極及汲電極之與氧化物半導體膜 19a 接觸的導電膜 21a 及 21b。氮化物絕緣膜 15 及氧化物絕緣膜 17 用作閘極絕緣膜 14。此外,氧化物絕緣膜 23 形成於氧化物絕緣膜 17、氧化物半導體膜 19a、以及用作源電極及汲電極之導電膜 21a 及 21b 上,且氧化物絕緣膜 25 形成於氧化物絕緣膜 23 上。氮化物絕緣膜 27 形成於氮化物絕緣膜 15、氧化物絕緣膜 23、氧化物絕緣膜 25 以及導電膜 21b 上。氧化物絕緣膜 23、氧化物絕緣膜 25 以及氮化物絕緣膜 27 用作無機絕緣膜 30。具導電性之氧化物半導體膜 19b 形成於氧化物絕緣膜 17 上。具導電性之氧化物半導體膜 19b 連接至用作源電極及汲電極之導電膜 21a 及 21b 中之一者,此處連接至導電膜 21b。共用電極 29 形成於氮化物絕緣膜 27 上。另外,包括了有機絕緣膜 31,該膜與電晶體 102 之氧化物半導體膜 19a 重疊,其間提供有無機絕緣膜 30。

【0244】 下文將詳細描述顯示裝置之結構。

【0245】 視情況而定，實施例 1 中所描述之基板 151 可用作基板 11。

【0246】 可使用選自以下各者之金屬元素來形成用作閘電極之導電膜 13：鋁、鉻、銅、鉭、鈦、鉬、及鎢；含此等金屬元素中之任何者作為成分之合金；以組合方式含此等金屬元素中之任何者之合金；或類似者。此外，可使用選自鎳及鈳之一或多個金屬元素。用作閘電極之導電膜 13 可具有單層結構或有兩層或兩層以上構成之疊層結構。結構之實例包括含矽之鋁膜之單層結構、鋁膜堆疊於鈦膜上之雙層結構、鈦膜堆疊於氮化鈦膜上之雙層結構、鎢膜堆疊於氮化鈦膜上之雙層結構、鎢膜堆疊於氮化鉭膜或氮化鎢膜上之雙層結構、銅膜堆疊於鈦膜上之雙層結構、銅膜堆疊於鉬膜上之雙層結構，以及鈦膜、鋁膜及鈦膜依此次序堆疊之三層結構。或者，可使用含鋁及選自以下各者之一或多個元素的合金膜或氮化物膜：鈦、鉭、鎢、鉬、鉻、釷、及釷。

【0247】 視情況而定，可使用實施例 1 中之導電膜 159 所使用之結構及材料來形成用作閘電極之導電膜 13。或者，可使用實施例 3 中導電膜 181 之描述中所展示之發光導電膜來形成用作閘電極之導電膜 13。或者，用作閘電極之導電膜 13 可具有發光導電膜及金屬元素之疊層結構。或者，可使用實施例 1 中所展示之具導電性之氧化物半導體膜 155b 來形成用作閘電極之導電膜 13。

【0248】 氮化物絕緣膜 15 可為氧幾乎無法透過之氮化物絕緣膜。或者，可使用氧、氫、及水幾乎無法透過之氮化物絕緣膜。氧幾

乎無法透過之氮化物絕緣膜以及氧、氫、及水幾乎無法透過之氮化物絕緣膜之實例包括氮化矽膜、氮氧化矽膜、氮化鋁膜、及氮氧化鋁膜。替代氧幾乎無法透過之氮化物絕緣膜以及氧、氫、及水幾乎無法透過之氮化物絕緣膜，可使用氧化物絕緣膜，諸如氧化鋁膜、氧氮化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化釷膜、氧氮化釷膜、氧化鉛膜、或氧氮化鉛膜。

【0249】 氮化物絕緣膜 15 之厚度可較佳大於或等於 5 nm 且小於或等於 100 nm，更佳大於或等於 20 nm 且小於或等於 80 nm。

【0250】 氧化物絕緣膜 17 可形成為具有單層結構或疊層結構，舉例而言，包括以下各者中之一或多者：氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氧化鉛膜、氧化鎵膜、基於 Ga-Zn 之金屬氧化物膜、及氮化矽膜。

【0251】 亦可使用具有高相對介電常數之材料來形成氧化物絕緣膜 17，諸如，矽酸鉛(HfSiO_x)、添加有氮之矽酸鉛($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮之鋁酸鉛($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鉛或氧化釷，以使得電晶體之閘極洩漏電流可有所降低。

【0252】 氧化物絕緣膜 17 之厚度可較佳大於或等於 5 nm 且小於或等於 400 nm，更佳大於或等於 10 nm 且小於或等於 300 nm，且再更佳大於或等於 50 nm 且小於或等於 250 nm。

【0253】 氧化物半導體膜 19a 及具導電性之氧化物半導體膜 19b 可同時形成，因此，類似於實施例 1 中所展示之具導電性之氧化物半導體膜 155b，使用金屬氧化物膜來形成氧化物半導體膜 19a 及具導電

性之氧化物半導體膜 19b，諸如 In-Ga 氧化物膜、In-Zn 氧化物膜或 In-M-Zn 氧化物膜（*M* 代表 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd）。因此，氧化物半導體膜 19a 及具導電性之氧化物半導體膜 19b 包括相同金屬元素。

【0254】 然而，相比氧化物半導體膜 19a，具導電性之氧化物半導體膜 19b 中具有更大量之缺陷及雜質。因此，氧化物半導體膜 19a 及具導電性之氧化物半導體膜 19b 具有不同電特徵。特定而言，氧化物半導體膜 19a 具有半導體特徵，而氧化物半導體膜 19b 具有導電性。

【0255】 氧化物半導體膜 19a 及具導電性之氧化物半導體膜 19b 中之每一者之厚度大於或等於 3 nm 且小於或等於 100 nm，較佳大於或等於 3 nm 且小於或等於 100 nm，且更佳大於或等於 3 nm 且小於或等於 50 nm。

【0256】 氧化物半導體膜 19a 之部分用作電晶體之通道區域；因此，氧化物半導體膜 19a 之能量間隙為 2 電子伏特或更大，較佳 2.5 電子伏特或更大，且更佳 3 電子伏特或更大。可使用此類具有大能量間隙之氧化物半導體來降低電晶體 102 之斷態電流。

【0257】 具有低載子密度之氧化物半導體膜用作氧化物半導體膜 19a。舉例而言，具有如下載子密度之氧化物半導體膜用作氧化物半導體膜 19a，其中載子密度為 $1 \times 10^{17} / \text{cm}^3$ 或更低，較佳 $1 \times 10^{15} / \text{cm}^3$ 或更低，更佳 $1 \times 10^{13} / \text{cm}^3$ 或更低，再更佳 $1 \times 10^{11} / \text{cm}^3$ 或更低，且仍更佳低於 $1 \times 10^{10} / \text{cm}^3$ ，且載子密度為 $1 \times 10^{-9} / \text{cm}^3$ 或更高。

【0258】 應注意，可視電晶體之所要半導體特徵及電特徵（例如，場效行動性及臨限電壓）而使用具有適當組成之材料，而並不限於上述組成。此外，爲了獲得電晶體之所要半導體特徵，較佳適當設置氧化物半導體膜 19a 之載子密度、雜質濃度、缺陷密度、金屬元素與氧之原子比、原子間距離、密度、及類似者。

【0259】 應注意，當具有低雜質濃度及缺陷狀態之低密度的氧化物半導體膜用作氧化物半導體膜 19a 時，具有更極佳電特徵之電晶體可得以製造。此處，雜質濃度爲低且缺陷狀態之密度爲低（氧空位之量爲小）的狀態稱爲「高度純化本質」或「實質上高度純化本質」狀態。高度純化本質或實質上高度純化本質氧化物半導體具有極少載子生成源，因此在一些情況下具有低載子密度。因此，氧化物半導體膜中形成有通道區域之電晶體極少具有負臨限電壓（極少常開）。高度純化本質或實質上高度純化本質氧化物半導體具有缺陷狀態之低密度，因此在一些情況下具有極少載子陷阱。此外，高度純化本質或實質上高度純化本質氧化物半導體具有極低斷態電流；甚至當元件具有 1×10^6 微米之通道寬度及 10 微米之通道長度（ L ）時，斷態電流可小於或等於半導體參數分析器之量測限值，亦即，在源電極與汲電極之間之電壓（汲極電壓）爲 1 伏至 10 伏之情況下，斷態電流小於或等於 1×10^{-13} 安。因此，氧化物半導體膜中形成有通道區域之電晶體在電特徵上具有小幅變化且具有高可靠性。雜質之實例包括氫、氮、鹼金屬、及鹼土金屬。

【0260】 氧化物半導體膜中所含之氫與結合至金屬原子之氧反應，生成水，另外，氧空位形成於釋放氧之晶格中（或釋放氧之部分中）。歸因於氫進入氧空位，在一些情況下產生用作載子之電子。此外，在一些情況下，部分氫結合至已結合至金屬原子之氧導致產生用作載子之電子。因此，包括含氫氧化物半導體之電晶體有可能常開。

【0261】 因此，氫以及氧空位較佳在氧化物半導體膜 19a 中盡可能減少。特定而言，在氧化物半導體膜 19a 中，由二次離子質譜法 (SIMS) 量測之氫濃度設為低於或等於 5×10^{19} 原子數/cm³，較佳低於或等於 1×10^{19} 原子數/cm³，更佳低於或等於 5×10^{18} 原子數/cm³，再更佳低於或等於 1×10^{18} 原子數/cm³，仍更佳低於或等於 5×10^{17} 原子數/cm³，且進一步更佳低於或等於 1×10^{16} 原子數/cm³。

【0262】 當氧化物半導體膜 19a 中含有屬第 14 族之元素的矽或碳時，氧空位得以增多，且氧化物半導體膜 19a 變為 n 型膜。因此，氧化物半導體膜 19a 中矽或碳之濃度（由 SIMS 量測）設為低於或等於 2×10^{18} 原子數/cm³、較佳低於或等於 2×10^{17} 原子數/cm³。

【0263】 氧化物半導體膜 19a 中鹼金屬或鹼土金屬之濃度（由 SIMS 量測）設為低於或等於 1×10^{18} 原子數/cm³、較佳低於或等於 2×10^{16} 原子數/cm³。鹼金屬及鹼土金屬可能會在結合至氧化物半導體時生成載子，在此情況下，電晶體之斷態電流可能會有所增大。因此，較佳降低氧化物半導體膜 19a 中鹼金屬或鹼土金屬之濃度。

【0264】 此外，當含氮時，氧化物半導體膜 19a 易於藉由生成用作載子之電子而具有 n 型傳導性，且具有增大之載子密度。因此，包

括含氮之氧化物半導體之電晶體有可能常開。出於此原因，氧化物半導體膜中之氮較佳盡可能減少；舉例而言，由 SIMS 量測之氮濃度設為低於或等於 5×10^{18} 原子數/cm³。

【0265】 當缺陷（例如，氧空位）及雜質包括在與氧化物半導體膜 19a 同時形成之氧化物半導體膜中時，形成具導電性之氧化物半導體膜 19b。因此，具導電性之氧化物半導體膜 19b 用作本實施例中之電極，例如，像素電極。

【0266】 氧化物半導體膜 19a 及具導電性之氧化物半導體膜 19b 兩者形成於氧化物絕緣膜 17 上，但雜質濃度有所不同。特定而言，相比氧化物半導體膜 19a，具導電性之氧化物半導體膜 19b 具有較高雜質濃度。舉例而言，氧化物半導體膜 19a 中之氫濃度低於或等於 5×10^{19} 原子數/cm³，較佳低於或等於 1×10^{19} 原子數/cm³，更佳低於或等於 5×10^{18} 原子數/cm³，再更佳低於或等於 1×10^{18} 原子數/cm³，仍更佳低於或等於 5×10^{17} 原子數/cm³，且進一步更佳低於或等於 1×10^{16} 原子數/cm³。相反，具導電性之氧化物半導體膜 19b 之氫濃度高於或等於 8×10^{19} 原子數/cm³，較佳高於或等於 1×10^{20} 原子數/cm³，且更佳高於或等於 5×10^{20} 原子數/cm³。具導電性之氧化物半導體膜 19b 之氫濃度大於或等於氧化物半導體膜 19a 之氫濃度的兩倍，較佳大於或等於氧化物半導體膜 19a 之氫濃度的十倍。

【0267】 相比氧化物半導體膜 19a，具導電性之氧化物半導體膜 19b 具有較低電阻係數。具導電性之氧化物半導體膜 19b 之電阻係數較佳高於或等於氧化物半導體膜 19a 之電阻係數的 1×10^{-8} 倍，且低

於氧化物半導體膜 19a 之電阻係數的 1×10^{-1} 倍。具導電性之氧化物半導體膜 19b 之電阻係數通常高於或等於 1×10^{-3} 歐姆·公分且低於 1×10^4 歐姆·公分，較佳高於或等於 1×10^{-3} 歐姆·公分且低於 1×10^{-1} 歐姆·公分。

【0268】 視情況而定，氧化物半導體膜 19a 及具導電性之氧化物半導體膜 19b 各自可具有類似於實施例 1 中所展示之具導電性之氧化物半導體膜 155b 的晶體結構。

【0269】 可適當使用實施例 1 中所展示之導電膜 159 所使用之結構及材料來形成用作源電極及汲電極之導電膜 21a 及導電膜 21b。

【0270】 較佳使用相比化學計量組成而含有更多氧的氧化物絕緣膜作為氧化物絕緣膜 23 或氧化物絕緣膜 25。此處，形成透過氧之氧化物絕緣膜作為氧化物絕緣膜 23，且形成相比化學計量組成而含有更多氧之氧化物絕緣膜作為氧化物絕緣膜 25。

【0271】 氧化物絕緣膜 23 為透過氧之氧化物絕緣膜。因此，自提供於氧化物絕緣膜 23 上之氧化物絕緣膜 25 釋放之氧可經由氧化物絕緣膜 23 移動至氧化物半導體膜 19a。此外，氧化物絕緣膜 23 亦用作在稍後形成氧化物絕緣膜 25 時減輕對氧化物半導體膜 19a 之損壞的膜。

【0272】 可將厚度大於或等於 5 nm 且小於或等於 150 nm，較佳大於或等於 5 nm 且小於或等於 50 nm 之氧化矽膜、氧氮化矽膜、或類似者用作氧化物絕緣膜 23。

【0273】 此外，氧化物絕緣膜 23 較佳為含氮且具有少量缺陷之氧化物絕緣膜。

【0274】 含氮且具有少量缺陷之氧化物絕緣膜之實例包括氧氮化矽膜及氧氮化鋁膜。

【0275】 在具有少量缺陷之氧化物絕緣膜之 100 K 或更低之 ESR 光譜中，觀測到在 2.037 至 2.039 之 g 因數下出現之第一信號、在 2.001 至 2.003 之 g 因數下出現之第二信號，以及在 1.964 至 1.966 之 g 因數下出現之第三信號。使用 X 帶藉由 ESR 量測法獲得之第一及第二信號之分裂寬度以及第二及第三信號之分裂寬度各自近似為 5 mT。在 2.037 至 2.039 之 g 因數下出現之第一信號、在 2.001 至 2.003 之 g 因數下出現之第二信號，以及在 1.964 至 1.966 之 g 因數下出現之第三信號之自旋密度的總和低於 1×10^{18} 自旋數/cm³，通常高於或等於 1×10^{17} 自旋數/cm³ 且低於 1×10^{18} 自旋數/cm³。

【0276】 在 100 K 或更低之 ESR 光譜中，在 2.037 至 2.039 之 g 因數下出現之第一信號、在 2.001 至 2.003 之 g 因數下出現之第二信號，以及在 1.964 至 1.966 之 g 因數下出現之第三信號對應於構成氮氧化物 (NO_x； x 大於或等於 0 且低於或等於 2，較佳大於或等於 1 且低於或等於 2) 之信號。氮氧化物之典型實例包括一氧化氮及二氧化氮。換言之，在 2.037 至 2.039 之 g 因數下出現之第一信號、在 2.001 至 2.003 之 g 因數下出現之第二信號，以及在 1.964 至 1.966 之 g 因數下出現之第三信號的總自旋密度愈低，氧化物絕緣膜中之氮氧化物的含量愈低。

【0277】 當氧化物絕緣膜 23 如上所述含有少量氮氧化物時，氧化物絕緣膜 23 與氧化物半導體膜之間之界面處的載子陷阱可有所減少。因此，包括在半導體裝置中之電晶體之臨限電壓的改變量可有所降低，此使得電晶體之電特徵之改變有所減少。

【0278】 氧化物絕緣膜 23 較佳具有由二次離子質譜法(SIMS)量測之 6×10^{20} 原子數/cm³ 或更低之氮濃度。在彼種情況下，不可能在氧化物絕緣膜 23 中生成氮氧化物，以使得氧化物絕緣膜 23 與氧化物半導體膜 19a 之間之界面處的載子陷阱可有所減少。此外，包括在半導體裝置中之電晶體之臨限電壓的改變量可有所降低，此使得電晶體之電特徵之變化有所減少。

【0279】 應注意，當氧化物絕緣膜 23 中含有氮氧化物及氨時，在製造製程中之熱處理中氮氧化物與氨相互反應；因此，氮氧化物釋放為氮氣。因此，氧化物絕緣膜 23 中之氮濃度及氮氧化物之量可有所減少。此外，氧化物絕緣膜 23 與氧化物半導體膜 19a 之間之界面處的載子陷阱可有所減少。此外，包括在半導體裝置中之電晶體之臨限電壓的改變量可有所降低，此使得電晶體之電特徵之變化有所減少。

【0280】 應注意，在氧化物絕緣膜 23 中，自外部進入氧化物絕緣膜 23 之所有氧並未移動至氧化物絕緣膜 23 之外部，且一些氧留存在氧化物絕緣膜 23 中。此外，在一些情況下，氧化物絕緣膜 23 中之氧移動以如下方式發生：氧進入氧化物絕緣膜 23，且氧化物絕緣膜 23 中所含之氧移動至氧化物絕緣膜 23 之外部。

【0281】 當氧藉以通過之氧化物絕緣膜形成爲氧化物絕緣膜 23 時，自提供於氧化物絕緣膜 23 上之氧化物絕緣膜 25 釋放之氧可經由氧化物絕緣膜 23 移動至氧化物半導體膜 19a。

【0282】 氧化物絕緣膜 25 形成爲與氧化物絕緣膜 23 接觸。使用相比化學計量組成而含有較高比例之氧的氧化物絕緣膜來形成氧化物絕緣膜 25。藉由加熱自相比化學計量組成而含有較高比例之氧的氧化物絕緣膜釋放部分氧。相比化學計量組成而含有較高比例之氧的氧化物絕緣膜爲如下氧化物絕緣膜：在 TDS 分析中該氧化物絕緣膜中轉化爲氧原子之所釋放氧之量大於或等於 1.0×10^{18} 原子數/cm³，較佳大於或等於 3.0×10^{20} 原子數/cm³。應注意，在 TDS 分析中氧化物絕緣膜 25 之表面溫度較佳高於或等於 100°C 且低於或等於 700°C，或高於或等於 100°C 且低於或等於 500°C。

【0283】 可將厚度介於 30 nm 至 500 nm，較佳介於 50 nm 至 400 nm 之氧化矽膜、氮化矽膜、或類似者用作氧化物絕緣膜 25。

【0284】 氧化物絕緣膜 25 中之缺陷量較佳較小，並且，藉由 ESR 量測法， $g = 2.001$ 時出現之信號的自旋密度較佳低於 1.5×10^{18} 自旋數/立方公分，更佳低於或等於 1×10^{18} 自旋數/立方公分。應注意，相比氧化物絕緣膜 23，氧化物絕緣膜 25 提供爲更遠離氧化物半導體膜 19a；因此，相比氧化物絕緣膜 23，氧化物絕緣膜 25 具有較高缺陷密度。

【0285】 類似於氮化物絕緣膜 15，氮化物絕緣膜 27 可為氧幾乎無法透過之氮化物絕緣膜。此外，可使用氧、氫、及水幾乎無法透過之氮化物絕緣膜。

【0286】 使用厚度介於 50 nm 至 300 nm，較佳介於 100 nm 至 200 nm 之氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜、或類似者來形成氮化物絕緣膜 27。

【0287】 在相比化學計量組成而含有較高比例之氧的氧化物絕緣膜包括在氧化物絕緣膜 23 或氧化物絕緣膜 25 之情況下，氧化物絕緣膜 23 或氧化物絕緣膜 25 中所含之部分氧可移動至氧化物半導體膜 19a，以使得氧化物半導體膜 19a 中所含之氧空位的量可有所減少。

【0288】 使用帶有氧空位之氧化物半導體膜之電晶體的臨限電壓易於逆向移位，且此類電晶體趨於常開。此係因為，歸因於氧化物半導體膜中之氧空位生成電荷，因此電阻有所減小。具有常開特徵之電晶體導致各種問題：例如，操作時有可能引起故障，以及不操作時功率消耗增大。此外，存在如下問題：電晶體之電特徵（通常，臨限電壓）之改變量隨時間改變或歸因於應力測試而增大。

【0289】 然而，在本實施例中之電晶體 102 中，提供於氧化物半導體膜 19a 上之氧化物絕緣膜 23 或氧化物絕緣膜 25 相比化學計量組成而含有較高比例之氧。此外，氧化物半導體膜 19a、氧化物絕緣膜 23 以及氧化物絕緣膜 25 由氮化物絕緣膜 15 以及氮化物絕緣膜 17 包圍。因此，氧化物絕緣膜 23 或氧化物絕緣膜 25 中所含之氧充分移動至氧化物半導體膜 19a，以使得氧化物半導體膜 19a 中所含之氧空位

的量可有所減少。因此，具有常閉特徵之電晶體得以獲得。此外，電晶體之電特徵（通常，臨限電壓）隨時間或歸因於應力測試之改變量可有所降低。

【0290】 使用發光膜，較佳發光導電膜來形成共用電極 29。發光導電膜之實例包括含氧化鎢之氧化銦膜、含氧化鎢之氧化銦鋅膜、含氧化鈦之氧化銦膜、含氧化鈦之氧化銦錫膜、ITO 膜、氧化銦鋅膜、添加有氧化矽的氧化銦錫膜來形成導電膜。

【0291】 可使用實施例 1 中所展示之具導電性之氧化物半導體膜 155b 來形成共用電極 29。

【0292】 用作信號線之導電膜 21a 之延伸方向與共用電極 29 之延伸方向相互交叉。因此，用作信號線之導電膜 21a 與共用電極 29 之間之電場以及具導電性之氧化物半導體膜 19b 與共用電極 29 之間之電場在方向上具有大幅差異。因此，在使用負型液晶分子之情況下，用作信號線之導電膜附近液晶分子之配向狀態不可能受像素電極附近液晶分子之配向狀態（由鄰近像素中所提供之像素電極與共用電極之間之電場生成）的影響。因此，像素之透射率之改變得以抑制，以使得影像中之閃爍可有所減少。

【0293】 在具有低再新率之液晶顯示裝置中，歸因於鄰近像素中之像素電極與共用電極 29 之間之電場，用作信號線之導電膜 21a 附近液晶分子之配向甚至在滯留週期期間不可能影響像素電極附近液晶分子之配向狀態。因此，滯留週期中像素之透射率可得以固持，且閃爍可有所減少。

【0294】 共用電極 29 包括條紋區域，該等條紋區域在與用作信號線之導電膜 21a 交叉之方向上延伸。因此，在具導電性之氧化物半導體膜 19b 及導電膜 21a 附近，液晶分子之非預期配向可得以防止，因此光洩漏可得以抑制。因此，具有極佳對比度之顯示裝置可得以製造。

【0295】 應注意，共用電極 29 之形狀並不限於圖 32 中所圖示之形狀，且可為條紋。在條紋形狀之情況下，延伸方向可平行於用作信號線之導電膜。共用電極 29 可具有梳齒形狀。或者，共用電極可形成於第一基板 11 之整個表面上。又或者，不同於具導電性之氧化物半導體膜 19b 之發光導電膜可形成於共用電極 29 上，其間提供有絕緣膜。

【0296】 有機絕緣膜 31 之厚度較佳大於或等於 500 nm 且小於或等於 10 微米。圖 33 中之有機絕緣膜 31 之厚度小於形成於第一基板 11 上之無機絕緣膜 30 與形成於第二基板 342 上之元件層之間的間隙。因此，液晶層 320 提供於有機絕緣膜 31 與形成於第二基板 342 上之元件層之間。換言之，液晶層 320 提供於有機絕緣膜 31 上之配向膜 33 與包括在第二基板 342 上之元件層中的配向膜 352 之間。

【0297】 應注意，儘管未圖示，有機絕緣膜 31 上之配向膜 33 及包括在第二基板 342 上之元件層中的配向膜 352 可相互接觸。在此種情況下，有機絕緣膜 31 用作間隔件；因此，液晶顯示裝置之晶胞間隙可由有機絕緣膜 31 維持。

【0298】 儘管圖 33 中配向膜 33 提供於有機絕緣膜上，本發明之一實施例並不限於此。視週遭狀況或條件，有機絕緣膜 31 可提供於配

向膜 33 上。在此種情況下，舉例而言，可在配向膜 33 上形成有機絕緣膜 31 之後進行摩擦步驟，而並非在形成配向膜 33 之後直接進行摩擦步驟。

【0299】 當負電壓施加至用作閘電極之導電膜 13 時，生成電場。電場並未被氧化物半導體膜 19a 阻斷，且影響無機絕緣膜 30；因此，無機絕緣膜 30 之表面帶弱正電。此外，當負電壓施加至用作閘電極之導電膜 13 時，空氣中所含之正電粒子被吸收至無機絕緣膜 30 之表面上，且無機絕緣膜 30 之表面上產生弱正電荷。

【0300】 無機絕緣膜 30 之表面帶正電，因此生成電場，且電場影響氧化物半導體膜 19a 與無機絕緣膜 30 之間的界面。因此，氧化物半導體膜 19a 與無機絕緣膜 30 之間的界面處於實質上施加有正偏壓的狀態，因此電晶體之臨限電壓逆向移位。

【0301】 另一方面，本實施例中所展示之電晶體 102 包括無機絕緣膜 30 上之有機絕緣膜 31。由於有機絕緣膜 31 之厚度大至 500 nm 或更大，藉由施加負電壓至用作閘電極之導電膜 13 而生成的電場並不影響有機絕緣膜 31 之表面，且有機絕緣膜 31 之表面不可能帶正電。另外，甚至當空氣中所含之正電粒子被吸收至有機絕緣膜 31 之表面上時，被吸收至有機絕緣膜 31 之表面上之正電粒子的電場不可能影響氧化物半導體膜 19a 與無機絕緣膜 30 之間的界面，因為有機絕緣膜 31 厚（大於或等於 500 nm）。因此，氧化物半導體膜 19a 與無機絕緣膜 30 之間的界面處於實質上施加有正偏壓的狀態，因此電晶體之臨限電壓的改變量小。

【0302】 儘管水或類似者易於在有機絕緣膜 31 中擴散，來自外部之水並未經由有機絕緣膜 31 擴散至半導體裝置，因為有機絕緣膜在每一電晶體 10 中隔離。另外，氮化物絕緣膜包括在無機絕緣膜 30 中，藉此可防止擴散在有機絕緣膜 31 中之水擴散至氧化物半導體膜 19a。

【0303】 在共用電極 29、氮化物絕緣膜 27、及有機絕緣膜 31 上形成配向膜 33。

【0304】 接著，將參閱圖 34A 至 34D、圖 35A 至 35C、及圖 36A 至 36C 來描述用以製造圖 33 中之電晶體 102 及電容器 105 的方法。

【0305】 如圖 34A 中所圖示，在第一基板 11 上形成將成為導電膜 13 之導電膜 12。藉由濺鍍方法、諸如金屬有機化學氣相沉積（MOCVD）方法之化學氣相沉積（CVD）方法、金屬化學沉積方法、原子層沉積（ALD）方法、或電漿輔助化學氣相沉積（PECVD）方法、蒸鍍方法、脈衝雷射沉積（PLD）方法、或類似者來形成導電膜 12。當採用金屬有機化學氣相沉積（MOCVD）方法、金屬化學沉積方法或原子層沉積（ALD）方法時，導電膜較少被電漿損壞。此外，在實施例 1 中所展示之具導電性之氧化物半導體膜 155b 用作導電膜 12 的情況下，視情況而定，可使用具導電性之氧化物半導體膜 155b 的製造方法。

【0306】 此處，玻璃基板用作第一基板。此外，藉由濺鍍方法形成之 100 nm 厚之鎢膜作為導電膜 12。

【0307】 接著，藉由使用第一光罩之光刻製程，在導電膜 12 上形成遮罩。隨後，如圖 34B 中所圖示，藉由使用遮罩，蝕刻導電膜 12 之部分，以形成用作閘電極之導電膜 13。此後，移除遮罩。

【0308】 應注意，可替代以上形成方法而藉由電解電鍍方法、列印法、噴墨法、或類似者來形成用作閘電極之導電膜 13。

【0309】 此處，藉由乾式蝕刻方法來蝕刻鎢膜，以形成用作閘電極之導電膜 13。

【0310】 接著，如圖 34C 中所圖示，在用作閘電極之導電膜 13 上形成氮化物絕緣膜 15 及稍後將成為氧化物絕緣膜 17 之氧化物絕緣膜 16。隨後，在氧化物絕緣膜 16 上形成稍後將成為氧化物半導體膜 19a 及具導電性之氧化物半導體膜 19b 之氧化物半導體膜 18。

【0311】 藉由濺鍍方法、諸如金屬有機化學氣相沉積（MOCVD）方法之化學氣相沉積（CVD）方法、金屬化學沉積方法、原子層沉積（ALD）方法、或電漿輔助化學氣相沉積（PECVD）方法、蒸鍍方法、脈衝雷射沉積（PLD）方法、塗層法、列印法、或類似者來各自形成氮化物絕緣膜 15 及氧化物絕緣膜 16。當採用金屬有機化學氣相沉積（MOCVD）方法、金屬化學沉積方法或原子層沉積（ALD）方法時，氮化物絕緣膜 15 及氧化物絕緣膜 16 較少被電漿損壞。當原子層沉積（ALD）方法時，氮化物絕緣膜 15 及氧化物絕緣膜 16 之覆蓋域可有所增大。

【0312】 此處，藉由電漿 CVD 方法形成之 300 nm 厚之氮化矽膜作為氮化物絕緣膜 15，在該方法中，矽烷、氨、及氮用作源氣體。

【0313】 在形成氧化矽膜、氧氮化矽膜、或氮氧化矽膜作為氧化物絕緣膜 16 之情況下，含矽沉積氣體及氧化氣體較佳用作源氣體。含矽沉積氣體之典型實例包括矽烷、乙矽烷、丙矽烷、及氟矽烷。氧化氣體之實例包括氧、臭氧、一氧化二氮、及二氧化氮。

【0314】 在形成氧化鎵膜作為氧化物絕緣膜 16 之情況下，可採用金屬有機化學氣相沉積（MOCVD）方法。

【0315】 此處，藉由電漿 CVD 方法形成之 50 nm 厚之氧氮化矽膜作為氧化物絕緣膜 16，在該方法中，矽烷及一氧化二氮用作源氣體。

【0316】 視情況而定，可藉由類似於實施例 1 中所描述之氧化物半導體膜 155 之方法來形成氧化物半導體膜 18。

【0317】 此處，藉由使用 In-Ga-Zn 氧化物靶材（In: Ga: Zn = 1:1:1）之濺鍍方法來形成 35 nm 厚之 In-Ga-Zn 氧化物膜作為氧化物半導體膜。

【0318】 隨後，在藉由使用第二光罩之光刻製程，在氧化物半導體膜 18 上形成遮罩之後，使用遮罩蝕刻氧化物半導體膜之部分。因此，形成如圖 34D 中所圖示之相互隔離之氧化物半導體膜 19a 以及氧化物半導體膜 19c。此後，移除遮罩。

【0319】 此處，以此方式形成氧化物半導體膜 19a 及 19c，以使在氧化物半導體膜 18 上形成遮罩，且藉由濕式蝕刻方法蝕刻氧化物半導體膜 18 之部分。

【0320】 接著，如圖 35A 中所圖示，形成稍後將成為導電膜 21a 及 21b 的導電膜 20。

【0321】 視情況而定，可藉由類似於實施例 1 中所描述之導電膜 159 之方法來形成導電膜 20。

【0322】 此處，藉由濺鍍方法依序堆疊 50 nm 厚之 Cu-Mn 合金膜及 300 nm 厚之銅膜。

【0323】 接著，藉由使用第三光罩之光刻製程，在導電膜 20 上形成遮罩。隨後，使用遮罩蝕刻導電膜 20，以使得如圖 35B 中所圖示，形成用作源電極及汲電極之導電膜 21a 及 21b。此後，移除遮罩。

【0324】 此處，藉由光刻製程在銅膜上形成遮罩。隨後，藉由使用遮罩，蝕刻 Cu-Mn 膜及銅膜，以使得形成導電膜 21a 及 21b。應注意，藉由使用濕式蝕刻方法，可在一個步驟中蝕刻 Cu-Mn 膜及銅膜，以形成導電膜 21a 及 21b。

【0325】 接著，如圖 35C 中所圖示，在氧化物半導體膜 19a 及 19c 以及導電膜 21a 及 21b 上形成稍後將成為氧化物絕緣膜 23 之氧化物絕緣膜 22 及形成稍後將成為氧化物絕緣膜 25 之氧化物絕緣膜 24。視情況而定，可各自藉由類似於氮化物絕緣膜 15 及氧化物絕緣膜 16 之方法來形成氧化物絕緣膜 22 及氧化物絕緣膜 24。

【0326】 應注意，在形成氧化物絕緣膜 22 之後，較佳在並不暴露至空氣之情況下繼續形成氧化物絕緣膜 24。在形成氧化物絕緣膜 22 之後，在並不暴露至空氣之情況下，藉由調整源氣體之流率、壓力、

高頻功率、及基板溫度中之至少一者來繼續形成氧化物絕緣膜 24，從而降低歸因於氧化物絕緣膜 22 與氧化物絕緣膜 24 之間之界面處之大氣成分的雜質濃度。另外，氧化物絕緣膜 24 中之氧可移動至氧化物半導體膜 19a；因此，氧化物半導體膜 19a 中之氧空位的量可有所減少。

【0327】 可藉由 CVD 方法在以下條件下形成含氮且具有少量缺陷之氧化物絕緣膜作為氧化物絕緣膜 22：氧化氣體相對沉積氣體之比高於 20 倍且低於 100 倍，較佳高於或等於 40 倍且低於或等於 80 倍，以及處理腔室中之壓力低於 100 帕，較佳低於或等於 50 帕。

【0328】 含矽沉積氣體及氧化氣體較佳用作氧化物絕緣膜 22 之源氣體。含矽沉積氣體之典型實例包括矽烷、乙矽烷、丙矽烷、及氟矽烷。氧化氣體之實例包括氧、臭氧、一氧化二氮、及二氧化氮。

【0329】 藉由使用以上條件，可形成透過氧之氧化物絕緣膜作為氧化物絕緣膜 22。此外，藉由提供氧化物絕緣膜 22，在形成氧化物絕緣膜 24 之步驟中對氧化物半導體膜 19a 之損壞可有所減少。

【0330】 此處，藉由電漿 CVD 方法形成 50 nm 厚之氧氮化矽膜作為氧化物絕緣膜 22，在該方法中，矽烷、氨、及氮用作源氣體，流率為 50 標準毫升/分鐘之矽烷及流率為 2000 標準毫升/分鐘之一氧化二氮用作源氣體，處理腔室中之壓力為 20 帕，基板溫度為 220°C，且藉由使用 27.12 兆赫茲之高頻功率源供應 100 瓦之高頻功率至平行板電極。在以上條件下，可形成含氮且具有少量缺陷之氧氮化矽膜。

【0331】 在以下條件下形成氧化矽膜或氮化矽膜作為氧化物絕緣膜 24：抽成真空之電漿 CVD 設備之處理腔室中所置放的基板固持於高於或等於 180℃ 且低於或等於 280℃ 之溫度，較佳高於或等於 200℃ 且低於或等於 240℃ 之溫度，藉由引入源氣體至處理腔室，壓力大於或等於 100 帕且低於或等於 250 帕，較佳大於或等於 100 帕且低於或等於 200 帕，且將大於或等於 0.17 瓦/平方公分且小於或等於 0.5 瓦/平方公分，較佳大於或等於 0.25 瓦/平方公分且小於或等於 0.35 瓦/平方公分之高頻功率供應至處理腔室中之電極。

【0332】 含矽沉積氣體及氧化氣體較佳用作氧化物絕緣膜 24 之源氣體。含矽沉積氣體之典型實例包括矽烷、乙矽烷、丙矽烷、及氟矽烷。氧化氣體之實例包括氧、臭氧、一氧化二氮、及二氧化氮。

【0333】 具有以上功率密度之高頻功率供應至具有以上壓力之處理腔室作為氧化物絕緣膜 24 之膜形成條件，藉此電漿中源氣體之劣化效率有所增大，氧自由基有所增多，且源氣體之氧化得以促進；因此，相比化學計量組成，氧化物絕緣膜 24 中之氧含量變高。相反，在以上溫度範圍內之基板溫度下形成之膜中，矽與氧之間之鍵較弱，因此，在稍後步驟之熱處理中釋放膜中之部分氧。因此，有可能形成相比化學計量組成而含有較高比例之氧且藉由加熱釋放部分氧的氧化物絕緣膜。此外，由於氧化物絕緣膜 22 提供於氧化物半導體膜 19a 上，在形成氧化物絕緣膜 24 之步驟中，氧化物絕緣膜 22 用作氧化物半導體膜 19a 之保護膜。因此，可使用具有高功率密度之高頻功率來形成氧化物絕緣膜 24，同時對氧化物半導體膜 19a 之損壞有所減少。

【0334】 此處，藉由電漿 CVD 方法形成 400 nm 厚之氧氮化矽膜作為氧化物絕緣膜 24，在該方法中，流率為 200 標準毫升/分鐘之矽烷及流率為 4000 標準毫升/分鐘之一氧化二氮用作源氣體，處理腔室中之壓力為 200 帕，基板溫度為 220°C，且藉由使用 27.12 兆赫茲之高頻功率源供應 1500 瓦之高頻功率至平行板電極。應注意，電漿 CVD 設備為如下平行板電漿 CVD 設備，其中電極面積為 6000 平方公分，且所供應功率轉化成之功率的每單位面積功率（功率密度）為 0.25 瓦/平方公分。

【0335】 此外，當形成用作源電極及汲電極之導電膜 21a 與 21b 時，對導電膜之蝕刻損壞氧化物半導體膜 19a，以使得在氧化物半導體膜 19a 之背面通道側（氧化物半導體膜 19a 之與用作閘電極之導電膜 13 之側相對的側）上生成氧空位。然而，藉由將相比化學計量組成而含有較高比例之氧的氧化物絕緣膜用作氧化物絕緣膜 24，可藉由熱處理修補在背面通道側上生成的氧空位。藉此，氧化物半導體膜 19a 中所含之缺陷可有所減少，此舉改進電晶體 102 之可靠性。

【0336】 隨後，藉由使用第四光罩之光刻製程，在氧化物絕緣膜 24 上形成遮罩。接著，如圖 36A 中所圖示，藉由使用遮罩，蝕刻氧化物絕緣膜 22 之部分及氧化物絕緣膜 24 之部分，以形成具有開口 40 之氧化物絕緣膜 23 及氧化物絕緣膜 25。此後，移除遮罩。

【0337】 在以上製程中，較佳藉由乾式蝕刻方法來蝕刻氧化物絕緣膜 22 及氧化物絕緣膜 24。因此，在蝕刻處理期間，暴露氧化物半

導體膜 19c 至電漿；因此，氧化物半導體膜 19c 中之氧空位的量可有所增大。

【0338】 接著，進行熱處理。通常在高於或等於 150℃ 且低於或等於 400℃，較佳高於或等於 300℃ 且低於或等於 400℃ 之溫度，且更佳高於或等於 320℃ 且低於或等於 370℃ 之溫度下進行熱處理。

【0339】 電爐、RTA 設備、或類似者可用於熱處理。藉由使用 RTA 設備，若加熱時間短，可在高於或等於基板之應變點之溫度下進行熱處理。因此，熱處理時間可有所縮短。

【0340】 熱處理可在氮、氧、超乾空氣（空氣中水含量為 20 ppm 或更小，較佳 1 ppm 或更小，且更佳 10 ppb 或更小）或者稀有氣體（氬、氦、或類似者）之環境中進行。氮、氧、超乾空氣或者稀有氣體之環境較佳不含氫、水、及類似者。

【0341】 藉由熱處理，氧化物絕緣膜 25 中所含之部分氧可移動至氧化物半導體膜 19a，以使得氧化物半導體膜 19a 中所含之氧空位的量可進一步減少。

【0342】 在水、氫、或類似者進入氧化物絕緣膜 23 及氧化物絕緣膜 25 且氮化物絕緣膜 26 具有抵抗水、氫、或類似者之障壁性質的情況下，當稍後形成氮化物絕緣膜 26 且進行熱處理器時，氧化物絕緣膜 23 及 25 中所含有之水、氫、或類似者移動至氧化物半導體膜 19a，以使得氧化物半導體膜 19a 中生成缺陷。然而，藉由熱處理，氧化物絕緣膜 23 及 25 中所含有之水、氫、或類似者可得以釋放；因此，電晶體 102 之電特徵之變化可得以抑制。

【0343】 應注意，當在加熱氧化物絕緣膜 22 時在氧化物絕緣膜 22 上形成氧化物絕緣膜 24 時，氧可移動至氧化物半導體膜 19a，以減少氧化物半導體膜 19a 中之氧空位的量；因此，並非必須進行熱處理。

【0344】 可在形成氧化物絕緣膜 22 及 24 之後進行熱處理。然而，較佳在形成氧化物絕緣膜 23 及 25 之後進行熱處理，因為氧並未移動至氧化物半導體膜 19c，且由於暴露氧化物半導體膜 19c，氧得以自氧化物半導體膜 19c 釋放，隨後生成氧空位，藉此可形成具有高導電性之膜。

【0345】 此處，在氮及氧之混合環境中在 350℃ 下進行熱處理達一小時。

【0346】 隨後，如圖 36B 中所圖示，形成氮化物絕緣膜 26。

【0347】 視情況而定，可藉由類似於氮化物絕緣膜 15 及氮化物絕緣膜 16 之方法來形成氮化物絕緣膜 26。藉由濺鍍方法、CVD 方法、或類似者來形成氮化物絕緣膜 26，暴露氧化物半導體膜 19c 至電漿，此舉增大氧化物半導體膜 19c 中之氧空位的量。

【0348】 氧化物半導體膜 19c 具有改進之導電性，且變為具導電性之氧化物半導體膜 19b。當藉由電漿 CVD 方法形成氮化矽膜作為氮化物絕緣膜 26 時，氮化矽膜中所含之氫擴散至氧化物半導體膜 19c；因此，氧化物半導體膜之導電性可有所增強。實施例 1 中所展示之具導電性之氧化物半導體膜 155b 之製造方法可用作具導電性之氧化物半導體膜 19b 之製造方法。

【0349】 在藉由電漿 CVD 方法形成氮化矽膜作為氮化物絕緣膜 26 之情況下，抽成真空之電漿 CVD 設備之處理腔室中所置放的基板固持於較佳高於或等於 300℃ 且低於或等於 400℃ 之溫度，更佳高於或等於 320℃ 且低於或等於 370℃ 之溫度，以使得可形成密實氮化矽膜。

【0350】 在形成氮化矽膜之情況下，含矽沉積氣體、氮氣、及氨較佳用作源氣體。與氮之量相比，使用少量之氨作為源氣體，藉此氨解離於電漿中，且生成活化物種。活化物種解理含矽沉積氣體中所含有之矽與氫之間的鍵以及氮分子之間的三鍵。因此，可形成具有極少缺陷之密實氮化矽膜，其中矽與氮之間的鍵有所促進且矽與氫之間的鍵較少。相比，當源氣體中之氨量大於氮量時，含矽沉積氣體之解理及氮之解理並未得以促進，以使得形成矽與氫之間的鍵留存且缺陷增多的稀疏氮化矽膜。因此，在源氣體中，氮相對氨之流動比較佳設為大於或等於 5 且小於或等於 50，更佳大於或等於 10 且小於或等於 50。

【0351】 此處，藉由電漿 CVD 方法，在電漿 CVD 設備之處理腔室中，形成 50 nm 厚之氮化矽膜作為氮化物絕緣膜 26，在該方法中，流率為 50 標準毫升/分鐘之矽烷、流率為 5000 標準毫升/分鐘之氮、及流率為 100 標準毫升/分鐘之氨用作源氣體，處理腔室中之壓力為 100 帕，基板溫度為 350℃，且藉由使用 27.12 兆赫茲之高頻功率源供應 1000 瓦之高頻功率至平行板電極。應注意，電漿 CVD 設備為如下平行板電漿 CVD 設備，其中電極面積為 6000 平方公分，且所供

應功率轉化成之功率的每單位面積功率（功率密度）為 1.7×10^{-1} 瓦/平方公分。

【0352】 接著，可進行熱處理。通常在高於或等於 150°C 且低於或等於 400°C ，較佳高於或等於 300°C 且低於或等於 400°C ，且更佳高於或等於 320°C 且低於或等於 370°C 之溫度下進行熱處理。因此，臨限電壓之逆向移位可有所減少。

【0353】 接著，儘管未圖示，藉由使用第五光罩之光刻製程形成遮罩。隨後，使用遮罩來蝕刻氮化物絕緣膜 15、氧化物絕緣膜 16、氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 26 中之每一者之部分，以形成氮化物絕緣膜 27 以及藉以暴露與導電膜 13 同時形成之連接端子之部分的開口。或者，蝕刻氧化物絕緣膜 23、氧化物絕緣膜 25 及氮化物絕緣膜 26 中之每一者之部分，以形成氮化物絕緣膜 27 以及藉以暴露與導電膜 21a 及 21b 同時形成之連接端子之部分的開口。

【0354】 接著，如圖 36C 中所圖示，在氮化物絕緣膜 27 上形成稍後將成為共用電極 29 之導電膜 28。

【0355】 藉由濺鍍方法、CVD 方法、蒸鍍方法、或類似者來形成導電膜 28。

【0356】 此外，在實施例 1 中展示之具導電性之氧化物半導體膜 155b 用作導電膜 28 之情況下，視情況而定，可使用具導電性之氧化物半導體膜 155b 之製造方法。

【0357】 隨後，藉由使用第六光罩之光刻製程，在導電膜 28 上形成遮罩。接著，如圖 37A 中所圖示，藉由使用遮罩，蝕刻導電膜 28

之部分，以形成共用電極 29。儘管未圖示，共用電極 29 連接至與導電膜 13 同時形成之連接端子或與導電膜 21a 及 21b 同時形成之連接端子。此後，移除遮罩。

【0358】 接著，如圖 37B 中所圖示，在氮化物絕緣膜 27 上形成有機絕緣膜 31。視情況而定，可藉由塗層法、列印法、或類似者來形成有機絕緣膜。

【0359】 在藉由塗層法來形成有機絕緣膜之情況下，暴露氮化物絕緣膜 27 及共用電極 29 之上表面所塗覆之光敏組成至光，且藉由使用第七光照之光刻製程來顯影，隨後經受熱處理。應注意，在氮化物絕緣膜 27 及共用電極 29 之上表面塗覆有光敏組成之情況下，藉由使用第七光罩之光刻製程處理非光敏組成之上表面所塗覆之光阻劑，隨後使用遮罩蝕刻非光敏組成，藉此可形成有機絕緣膜 31。

【0360】 經由以上製程，可製造電晶體 102 及電容器 105。

【0361】 本實施例中所描述之顯示裝置之元件基板包括與電晶體重疊之有機絕緣膜，其間提供有無機絕緣膜。因此，電晶體之可靠性可有所改進，且保持顯示品質之顯示裝置可得以製造。

【0362】 本實施例之顯示裝置之元件基板配備如下共用電極：上表面具有鋸齒形狀且包括在與用作信號線之導電膜交叉之方向上延伸的條紋區域。因此，顯示裝置可具有極佳對比度。另外，具有低再新率之液晶顯示裝置中之閃爍可有所減少。

【0363】 在本實施例之顯示裝置之元件基板中，用作像素電極之具導電性之氧化物半導體膜與電晶體之形成有通道區域之氧化物半導

體膜同時形成；因此，可使用六個光罩來形成電晶體 102 及電容器 105。具導電性之氧化物半導體膜用作電容器之一個電極。共用電極用作電容器之另一電極。因此，對於形成電容器而言，並不需要用以形成另一導電膜之步驟，此舉減少製造顯示裝置之步驟數目。電容器具有透光性質。因此，電容器所佔據之面積可有所增大，且像素中之孔徑比可有所增大。此外，顯示裝置之功率消耗可有所降低。

【0364】 接著，描述在第二基板 342 上形成之元件層。在第二基板 342 上形成具有彩色性質之膜（下文稱為彩色膜 346）。彩色膜 346 用作色彩濾光器。此外，在第二基板 342 上形成鄰近彩色膜 346 之阻光膜 344。阻光膜 344 用作黑矩陣。舉例而言，在液晶顯示裝置為單色顯示裝置之情況下，並非必須提供彩色膜 346。

【0365】 彩色膜 346 為發射特定波長範圍內之光的彩色膜。舉例而言，可使用發射紅色波長範圍內之光的紅色（R）膜、發射綠色波長範圍內之光的綠色（G）膜、及發射藍色波長範圍內之光的藍色（B）膜。

【0366】 阻光膜 344 較佳具有阻斷特定波長範圍內之光的功能，且舉例而言，可為包括黑色顏料或類似者之金屬膜或有機絕緣膜。

【0367】 在彩色膜 346 上形成絕緣膜 348。絕緣膜 348 用作平坦化層或抑制彩色膜 346 中之雜質擴散至液晶元件側。

【0368】 在絕緣膜 348 上形成導電膜 350。使用發光導電膜來形成導電膜 350。導電膜 350 之電位較佳與共用電極 29 之電位相同。換言之，較佳施加共用電位至導電膜 350。

【0369】 當施加用以驅動液晶分子之電壓至導電膜 21b 時，在導電膜 21b 與共用電極 29 之間生成電場。導電膜 21b 與共用電極 29 之間之液晶分子歸因於電場之效應而配向，因此產生閃爍。

【0370】 然而，導電膜 350 提供為穿過液晶層 320 面對共用電極 29，且共用電極 29 與導電膜 350 具有相同電位，藉此有可能歸因於導電膜 21b 與共用電極 29 之間之電場而抑制液晶分子在垂直於基板之方向上之配向改變。因此，區域中液晶分子之配向狀態得以穩定化。因此，閃爍可有所減少。

【0371】 應注意，在導電膜 350 上形成配向膜 352。

【0372】 另外，在配向膜 33 與配向膜 352 之間形成液晶層 320。藉由使用密封劑（未圖示），將液晶層 320 密封在第一基板 11 與第二基板 342 之間。密封劑較佳與無機材料接觸，以便防止外部之水分及類似者進入。

【0373】 可在配向膜 33 與 352 之間提供間隔件，以便保持液晶層 320 之厚度（亦稱為晶胞間隙）。

【0374】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

<修改實例 1>

【0375】 圖 38 圖示圖 33 中之顯示裝置之修改實例。

【0376】 在圖 38 之顯示裝置中，並未在無機絕緣膜 30 上形成有機樹脂膜，且配向膜 33 與無機絕緣膜 30 接觸。因此，用於在基板 11

上形成元件層之光罩可省略，此舉簡化了配備有元件層之第一基板 11 之製造製程。

<修改實例 2>

【0377】 圖 39 圖示圖 33 中之顯示裝置之修改實例。

【0378】 在圖 39 之顯示裝置中，在氮化物絕緣膜 27 上形成並未劃分之連續有機樹脂膜 31a。此外，在有機樹脂膜 31a 上形成共用電極 29。有機樹脂膜 31a 用作平坦化膜；因此，包括在液晶層中之液晶分子之配向的不規則性可有所降低。

<修改實例 3>

【0379】 圖 40 圖示圖 33 中之顯示裝置之修改實例。

【0380】 圖 40 中之用作像素電極之導電性氧化物半導體膜 19b 具有縫隙。應注意，具導電性之氧化物半導體膜 19b 可具有梳齒狀形狀。

<修改實例 4>

【0381】 圖 41 圖示圖 33 中之顯示裝置之修改實例。

【0382】 圖 41 中之共用電極 29 與導電膜 21b 重疊，其間提供有氮化物絕緣膜 27。共用電極 29、氮化物絕緣膜 27、及導電膜 21b 構成電容器 105b。此類結構使得電容器 105b 用作固持像素電極之電位的電容器，此舉增大像素中之電容。

<修改實例 5>

【0383】 圖 42A 及 42B 圖示圖 33 中之電晶體 102 之修改實例。

【0384】 圖 42A 中所圖示之電晶體 102d 包括氧化物半導體膜 19g 以及一對導電膜 21d 及 21d，該等膜藉由多音光罩形成。

【0385】 藉由使用多音光罩，可形成具有複數個厚度之光阻劑遮罩。在藉由光阻劑遮罩形成氧化物半導體膜 19g 之後，暴露光阻劑遮罩至氧電漿或類似者，且移除部分；因此，形成用以形成一對導電膜之光阻劑遮罩。因此，用以形成氧化物半導體膜 19g 以及該對導電膜 21d 及 21d 之製程中之光刻步驟的數目可有所減少。

【0386】 應注意，自以上描述可見，藉由多音光罩形成之氧化物半導體膜 19g 可部分地暴露至該對導電膜 21d 及 21d 外部。

【0387】 圖 42B 中所圖示之電晶體 102e 為通道保護型電晶體。

【0388】 圖 42B 中所圖示之電晶體 102e 包括形成於第一基板 11 上之用作閘電極之導電膜 13、形成於第一基板 11 及導電膜 13 上之閘極絕緣膜 14、與導電膜 13 重疊之氧化物半導體膜 19a（其間提供有閘極絕緣膜 14）、覆蓋氧化物半導體膜 19a 之通道區域及側表面之無機絕緣膜 30a、以及在無機絕緣膜 30a 之開口中與氧化物半導體膜 19a 接觸之用作源電極及汲電極之導電膜 21e 及 21f。

【0389】 在通道保護型電晶體中，用以形成導電膜 21e 及 21f 之蝕刻並未損壞氧化物半導體膜 19a，因為氧化物半導體膜 19a 覆蓋有無機絕緣膜 30a。因此，氧化物半導體膜 19a 中之缺陷可有所減少。

【0390】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

(實施例 6)

【0391】 在本實施例中，將描述作為顯示裝置之實例的以垂直配向 (VA) 模式驅動之液晶顯示裝置。首先，圖 43 中展示包括在液晶顯示裝置中之複數個像素 103 的俯視圖。

【0392】 在圖 43 中，用作掃描線之導電膜 13 在實質上垂直於用作信號線之導電膜的方向上 (圖式中之橫向方向上) 延伸。用作信號線之導電膜 21a 在實質上垂直於用作掃描線之導電膜的方向上 (圖式中之縱向方向上) 延伸。用作電容器線之導電膜 21e 在平行於信號線的方向上延伸。應注意，用作掃描線之導電膜 13 電連接至掃描線驅動器電路 104 (參見圖 31A)，且用作信號線之導電膜 21a 及用作電容器線之導電膜 21e 電連接至信號線驅動器電路 106 (參見圖 31A)。

【0393】 電晶體 102 提供於用作掃描線之導電膜與用作信號線之導電膜相互交叉之區域中。電晶體 102 包括用作閘電極之導電膜 13、閘極絕緣膜 (圖 43 中未圖示)、閘極絕緣膜上形成有通道區域之氧化物半導體膜 19a/以及用作一對電極之導電膜 21a 及導電膜 21b。導電膜 13 亦用作掃描線，且導電膜 13 與氧化物半導體膜 19a 重疊之區域用作電晶體 102 之閘電極。另外，導電膜 21a 亦用作信號線，且導電膜 21a 與氧化物半導體膜 19a 重疊之區域用作電晶體 102 之源電極或汲電極。此外，在圖 43 中，用作掃描線之導電膜之末端部分定位於氧

化物半導體膜 19a 之末端部分的外側。因此，用作掃描線之導電膜用作阻光膜，以用以阻斷來自諸如背光之光源的光。出於此原因，並無光輻照包括在電晶體中之氧化物半導體膜 19a，因此電晶體之電特徵之變化可得以抑制。

【0394】 另外，如在實施例 5 中，電晶體 102 包括與氧化物半導體膜 19a 重疊之有機絕緣膜 31。有機絕緣膜 31 與氧化物半導體膜 19a（特定而言，氧化物半導體膜 19a 處於導電膜 21a 與 21b 之間的區域）重疊，其間提供有無機絕緣膜（圖 43 中未圖示）。

【0395】 在開口 41 中，導電膜 21b 電連接至用作像素電極之發光導電膜 29c。

【0396】 電容器 105 連接至用作電容器線之導電膜 21e。電容器 105 包括形成在閘極絕緣膜上之具導電性之氧化物半導體膜 19d、形成在電晶體 102 上之介電膜、及用作像素電極之發光導電膜 29c。形成在閘極絕緣膜上之具導電性之氧化物半導體膜 19d 具有透光性質。亦即，電容器 105 發光。

【0397】 由於具有透光性質，電容器 105 可在像素 103 中形成為較大（較大面積）。因此，具有高電容之半導體裝置可得以獲得，同時孔徑比可增大至通常 55%或更大，較佳 60%或更大。舉例而言，在諸如液晶顯示裝置之高解析度半導體裝置中，像素面積減小，因此電容器面積減小。因此，在高解析度半導體裝置中，累積於電容器中之電荷量減少。然而，由於本實施例中之電容器 105 具有透光性質，當電容器 105 提供於像素中時，像素中可獲得充分電容，且孔徑比可得以

改進。通常，電容器 105 可有利地用於像素密度為每吋 200 像素（ppi）或更大、300 ppi 或更大，或者 500 ppi 或更大的高解析度顯示裝置中。

【0398】 此外，根據本發明之一實施例，甚至在高解析度顯示裝置中孔徑比可得以改進，此舉使得有可能充分使用來自諸如背光之光源的光，因此顯示裝置之功率消耗可有所降低。

【0399】 接著，圖 44 為沿圖 43 中之點劃線 A-B 及 C-D 截取之橫截面圖。圖 43 中所圖示之電晶體 102 為通道蝕刻型電晶體。應注意，沿點劃線 A-B 截取之橫截面圖中圖示通道長度方向上之電晶體 102、電晶體 102 與用作像素電極之發光導電膜 29c 之間的連接部分、以及電容器 105，且沿點劃線 C-D 截取之橫截面圖中圖示通道寬度方向上之電晶體 102。

【0400】 由於以 VA 模式驅動本實施例中所描述之液晶顯示裝置，液晶元件 322 包括：包括在第一基板 11 之元件層中用作像素電極之發光導電膜 29c、包括在第二基板 342 之元件層中之導電膜 350、以及液晶層 320。

【0401】 另外，圖 44 中之電晶體 102 具有類似於實施例 5 中之電晶體 102 之結構。在氮化物絕緣膜 27 上形成用作像素電極之發光導電膜 29c，該膜連接至用作源電極及汲電極之導電膜 21a 及 21b 中之一者（此處連接至導電膜 21b）。在氮化物絕緣膜 27 之開口 41 中，導電膜 21b 連接至用作像素電極之發光導電膜 29c。

【0402】 視情況而定，可使用類似於實施例 5 中之共用電極 29 之材料及方法來形成用作像素電極之發光導電膜 29c。

【0403】 圖 44 中之電容器 105 包括形成於氧化物絕緣膜 17 上之導電性氧化物半導體膜 19d、氮化物絕緣膜 27、以及用作像素電極之發光導電膜 29c。

【0404】 在本實施例中之電晶體 102 上，形成相互隔離之氧化物絕緣膜 23 及 25。相互隔離之氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 重疊。

【0405】 另外，在氮化物絕緣膜 27 上提供與氧化物半導體膜 19a 重疊之有機絕緣膜 31。在電晶體 102 上提供與氧化物半導體膜 19a 重疊之有機絕緣膜 31，藉此氧化物半導體膜 19a 之表面可形成為與有機絕緣膜 31 之表面分離。因此，氧化物半導體膜 19a 之表面不受被吸收至有機絕緣膜 31 之表面上的帶正電粒子之電場的影響，因此電晶體 102 之可靠性可有所改進。

【0406】 電容器 105 中之具導電性之氧化物半導體膜 19d 不同於實施例 5 中之具導電性之氧化物半導體膜，且並未連接至導電膜 21b。相比，具導電性之氧化物半導體膜 19d 與導電膜 21d 接觸。導電膜 21d 用作電容器線。可以類似於實施例 5 中之具導電性之氧化物半導體膜 19b 的方式來形成具導電性之氧化物半導體膜 19d。亦即，具導電性之氧化物半導體膜 19d 為含有與氧化物半導體膜 19a 中相同金屬元素的金屬氧化物膜。此外，可藉由與實施例 5 中之具導電性之

氧化物半導體膜 19b 相同之製造方法來形成具導電性之氧化物半導體膜 19d。

【0407】 接著，將參閱圖 45A 至 45C 及圖 46A 至 46C 來描述用於製造圖 44 中之電晶體 102 及電容器 105 的方法。

【0408】 在第一基板 11 上形成導電膜，隨後使用經由實施例 5 中之第一光刻製程形成之遮罩進行蝕刻，藉此在第一基板 11 上形成用作閘電極之導電膜 13（參見圖 45A）。

【0409】 接著，在第一基板 11 及用作閘電極之導電膜 13 上形成氮化物絕緣膜 15 及氧化物絕緣膜 16。接著，在氧化物絕緣膜 16 上形成氧化物半導體膜，隨後使用經由實施例 5 中之第二光刻製程形成之遮罩進行蝕刻，藉此形成氧化物半導體膜 19a 及 19c（參見圖 45B）。

【0410】 接著，在氧化物絕緣膜 16 以及氧化物半導體膜 19a 及 19c 上形成導電膜，隨後使用經由實施例 5 中之第三光刻製程形成之遮罩進行蝕刻，藉此形成導電膜 21a、21b 及 21d（參見圖 45C）。此時，形成導電膜 21b，以使其不與氧化物半導體膜 19c 接觸。形成導電膜 21d，以使其與氧化物半導體膜 19c 接觸。

【0411】 接著，在氧化物絕緣膜 16、氧化物半導體膜 19a 及 19c 以及導電膜 21a、21b 及 21d 上形成氧化物絕緣膜，隨後使用經由實施例 5 中之第四光刻製程形成之遮罩進行蝕刻，藉此形成具有開口 40 之氧化物絕緣膜 23 及 25（參見圖 46A）。

【0412】 接著，在氧化物絕緣膜 17、氧化物半導體膜 19a 及 19c、導電膜 21a、21b 及 21d 以及氧化物絕緣膜 23 及 25 上形成氮化

物絕緣膜，隨後使用經由實施例 5 中之第五光刻製程形成之遮罩進行蝕刻，藉此形成具有藉以暴露部分導電膜 21b 之開口 41 的氮化物絕緣膜 27（參見圖 46B）。

【0413】 經由以上步驟，氧化物半導體膜 19c 變為具導電性之氧化物半導體膜 19d。當稍後藉由電漿 CVD 方法形成氮化矽膜作為氮化物絕緣膜 27 時，氮化矽膜中所含之氫擴散至氧化物半導體膜 19c；因此，具導電性之氧化物半導體膜 19d 可得以獲得。

【0414】 接著，在導電膜 21b 以及氮化物絕緣膜 27 上形成導電膜，隨後使用經由實施例 5 中之第六光刻製程形成之遮罩進行蝕刻，藉此形成連接至導電膜 21b 之導電膜 29c（參見圖 46C）。

【0415】 自以上可見，對於包括氧化物半導體膜之半導體裝置而言，具有改進之電特徵之半導體裝置可得以獲得。

【0416】 在本實施例中所描述之半導體裝置之元件基板上，電容器之一個電極與電晶體之氧化物半導體膜同時形成。另外，用作像素電極之發光導電膜用作電容器之另一電極。因此，對於形成電容器而言，並不需要用以形成另一導電膜之步驟，此舉減少製造步驟之數目。此外，由於該對電極具有透光性質，電容器發光。因此，電容器所佔據之面積可有所增大，同時像素中之孔徑比可有所增大。

<修改實例 1>

【0417】 在本實施例中，將參閱圖 47 來描述顯示裝置，與實施例 5 中所描述之半導體裝置相比，藉由少量遮罩來製造本實施例中之顯示裝置。

【0418】 在圖 47 中所圖示之顯示裝置中，藉由並不蝕刻在電晶體 102 上形成之氧化物絕緣膜 22 及氧化物絕緣膜 24，遮罩數目可有所減少。另外，在氧化物膜 24 上形成氮化物絕緣膜 27，且在氧化物絕緣膜 22 及 24 以及氮化物絕緣膜 27 中形成藉以暴露部分導電膜 21b 的開口 41。在氮化物絕緣膜 27 上形成用作像素電極之發光導電膜 29d，該膜在開口 41 中連接至導電膜 21b。

【0419】 在氧化物絕緣膜 17 上形成導電膜 21d。由於導電膜 21d 與導電膜 21a 及 21b 同時形成，形成導電膜 21d 無需額外光罩。導電膜 21d 用作電容器線。亦即，電容器 105a 包括導電膜 21d、氧化物絕緣膜 22、氧化物絕緣膜 24、氮化物絕緣膜 27，以及用作像素電極之導電膜 29d。

【0420】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

（實施例 7）

【0421】 在本實施例中，將參閱圖 48 來描述與實施例 5 中之顯示裝置不同之顯示裝置及其製造方法。本實施例與實施例 5 之不同之處在於：電晶體具有不同閘電極之間提供有氧化物半導體膜的結構，亦即，雙閘極結構。應注意，不再重複描述類似於實施例 5 之結構。

【0422】 描述包括在顯示裝置中在第一基板 11 上形成之元件層的特定結構。本實施例之提供在顯示裝置中之電晶體與實施例 5 之電晶體之不同之處在於：提供用作閘電極之導電膜 29b，以與用作閘電極之導電膜 13、氧化物半導體膜 19a、導電膜 21a 及 21b 以及氧化物絕緣膜 25 中之一者的部分或整體重疊。用作閘電極之導電膜 29b 在開口 41a 及 41b 中連接至用作閘電極之導電膜 13。

【0423】 圖 48 中所圖示之電晶體 102a 為通道蝕刻型電晶體。應注意，沿點劃線 A-B 截取之橫截面圖圖示通道長度方向上之電晶體 102a 及電容器 105a，且沿點劃線 C-D 之橫截面圖圖示通道寬度方向上之電晶體 102 以及用作閘電極之導電膜 13 與用作閘電極之導電膜 29b 之間之連接部分。

【0424】 圖 48 中之電晶體 102a 具有雙閘極結構，且包括在第一基板 11 上之用作閘電極之導電膜 13。另外，電晶體 102a 包括在第一基板 11 及用作閘電極之導電膜 13 上形成之氮化物絕緣膜 15、在氮化物絕緣膜 15 上形成之氧化物絕緣膜 17、與用作閘電極之導電膜 13 重疊之氧化物半導體膜 19a（其間提供有氮化物絕緣膜 15 及氧化物絕緣膜 17），以及與氧化物半導體膜 19a 接觸之用作源電極及汲電極之導電膜 21a 及 21b。此外，在氧化物絕緣膜 17、氧化物半導體膜 19a、用作源電極及汲電極之導電膜 21a 及 21b 上形成氧化物絕緣膜 23，且在氧化物絕緣膜 23 上形成氧化物絕緣膜 25。在氮化物絕緣膜 15、氧化物絕緣膜 23、氧化物絕緣膜 25 以及導電膜 21b 上形成氮化物絕緣膜 27。在氧化物絕緣膜 17 上形成具導電性之氧化物半導體膜 19b。具

導電性之氧化物半導體膜 19b 連接至用作源電極及汲電極之導電膜 21a 及 21b 中之一者，此處，連接至導電膜 21b。在氮化物絕緣膜 27 上形成用作閘電極之共用電極 29 及導電膜 29b。

【0425】 如沿線 C-D 之橫截面圖中所圖示，用作閘電極之導電膜 29b 在氮化物絕緣膜 15、氧化物絕緣膜 17、氧化物絕緣膜 23 及 25，以及氮化物絕緣膜 27 中所提供之開口 41a 及 41b 中連接至用作閘電極之導電膜 13。亦即，用作閘電極之導電膜 13 與用作閘電極之導電膜 29b 具有相同電位。

【0426】 因此，藉由施加相同電位之電壓至電晶體 102a 之每一閘電極，初始特徵之變化可有所減少，且電晶體 102a 在 GBT 應力測試之後的劣化以及不同汲極電壓下通態電流之上升電壓的改變可得以抑制。另外，氧化物半導體膜 19a 中載子流動之區域在膜厚度方向上變大，因此載子移動量增大。因此，電晶體 102a 之通態電流增大，且場效行動性通常增大為大於或等於 20 平方公分/伏·秒。

【0427】 在本實施例中，在電晶體 102a 上形成氧化物絕緣膜 23 及 25。氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 重疊。在通道寬度方向上之橫截面圖中，氧化物絕緣膜 23 及 25 之末端部分定位於氧化物半導體膜 19a 之末端部分的外側。此外，在圖 48 之通道寬度方向上，用作閘電極之導電膜 29b 定位於氧化物絕緣膜 23 及 25 之末端部分。

【0428】 藉由蝕刻或類似者處理之氧化物絕緣膜之末端部分被處理損壞，從而包括缺陷，且亦受到雜質或類似者之污染。因此，藉由

施加應力，諸如電場，易於活化氧化物絕緣膜之末端部分，藉此易於變為 n 型（具有低電阻）。因此，與用作閘電極之導電膜 13 重疊之氧化物半導體膜 19a 之末端部分易於變為 n 型。當變為 n 型之末端部分提供於用作源電極及汲電極之導電膜 21a 及 21b 之間時，n 型區域用作載子路徑，從而生成寄生通道。然而，如沿線 C-D 之橫截面圖中所圖示，當在通道寬度方向上用作閘電極之導電膜 29b 面對氧化物半導體膜 19a 之側表面（其間提供有氧化物絕緣膜 23 及 25）時，由於用作閘電極之導電膜 29b 的電場，氧化物半導體膜 19a 之側表面上或包括側表面及側表面附近之區域中之寄生通道的生成得以抑制。因此，電晶體具有極佳電特徵，諸如臨限電壓下汲極電流之尖銳增長。

【0429】 在本實施例中所描述之顯示裝置之元件基板上，用作像素電極之導電性氧化物半導體膜與電晶體之氧化物半導體膜同時形成。具導電性之氧化物半導體膜亦用作電容器之電極中之一者。共用電極亦用作電容器之電極中之另一者。因此，對於形成電容器而言，並不需要用以形成另一導電膜之步驟，此舉可減少製造步驟之數目。此外，由於電容器具有透光性質，電容器所佔據之面積可有所增大，同時像素中之孔徑比可有所增大。

【0430】 下文將描述電晶體 102a 之詳情。應注意，不再重複描述與實施例 5 中之組件具有相同元件符號的組件。

【0431】 可使用類似於實施例 5 中之共用電極 29 之材料來形成用作閘電極之導電膜 29b。

【0432】 接著，將參閱圖 34A 至 34D、圖 35A 至 35C、圖 36A 至 36C 以及圖 49A 至 49C 來描述用於製造圖 48 中之電晶體 102a 及電容器 105a 的方法。

【0433】 如在實施例 5 中，經由圖 34A 至 34D、圖 35A 至 35C 以及圖 36A 中所圖示之步驟，可在第一基板 11 上形成用作閘電極之導電膜 13、氮化物絕緣膜 15、氧化物絕緣膜 16、氧化物半導體膜 19a、具導電性之氧化物半導體膜 19b、用作源電極及汲電極之導電膜 21a 及 21b、氧化物絕緣膜 22、氧化物絕緣膜 24 以及氮化物絕緣膜 26。在此等步驟中，進行使用第一光罩至第四光罩之光刻製程。

【0434】 接著，經由使用第五光罩之光刻製程，在氮化物絕緣膜 26 上形成遮罩，隨後使用遮罩來蝕刻氮化物絕緣膜 26 之部分；因此，如圖 49A 中所圖示，形成具有開口 41a 及 41b 之氮化物絕緣膜 27。

【0435】 接著，如圖 49B 中所圖示，在用作閘電極之導電膜 13 上及氮化物絕緣膜 27 上形成將成為共用電極 29 之導電膜 28 及用作閘電極之導電膜 29b。

【0436】 隨後，藉由使用第六光罩之光刻製程，在導電膜 28 上形成遮罩。接著，如圖 49C 中所圖示，使用遮罩來蝕刻導電膜 28，以便形成共用電極 29 及用作閘電極之導電膜 29b。此後，移除遮罩。

【0437】 經由以上製程，可在製造電晶體 102a 的同時製造電容器 105a。

【0438】 在本實施例中所描述之電晶體之通道寬度方向上，用作閘電極之導電膜 29b 面對氧化物半導體膜 19a 之側表面，其間提供有氧化物絕緣膜 23 及 25。因此，由於用作閘電極之導電膜 29b 的電場，氧化物半導體膜 19a 之側表面上或包括側表面及側表面附近之區域中之寄生通道的生成得以抑制。因此，電晶體具有極佳電特徵，諸如臨限電壓下汲極電流之尖銳增長。

【0439】 本實施例中之顯示裝置之元件基板配備共用電極，該共用電極包括在與信號線交叉之方向上延伸的條紋區域。因此，顯示裝置可具有極佳對比度。

【0440】 在本實施例中所描述之顯示裝置之元件基板上，用作像素電極之具導電性之氧化物半導體膜與電晶體之氧化物半導體膜同時形成。具導電性之氧化物半導體膜用作電容器之一個電極。共用電極亦用作電容器之另一電極。因此，對於形成電容器而言，並不需要用以形成另一導電膜之步驟，此舉可減少製造步驟之數目。此外，由於電容器具有透光性質，電容器所佔據之面積可有所增大，同時像素中之孔徑比可有所增大。

【0441】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

（實施例 8）

【0442】 在本實施例中，將參閱圖式來描述包括如下電晶體之顯示裝置：與以上實施例相比，氧化物半導體膜中之缺陷數目可進一步

減小。本實施例中之電晶體與實施例 5 至 7 中之電晶體之不同之處在於：提供包括複數個氧化物半導體膜之多層膜。此處，將使用實施例 5 中之電晶體來描述詳情。

【0443】 圖 50A 及 50B 各自展示包括在顯示裝置中之元件基板的橫截面圖。圖 50A 及 50B 為沿圖 32 中之點劃線 A-B 及 C-D 截取之橫截面圖。

【0444】 圖 50A 中之電晶體 102b 包括與用作閘電極之導電膜 13 重疊之多層膜 37a（其間提供有氮化物絕緣膜 15 及氧化物絕緣膜 17）、與多層膜 37a 接觸之用作源電極及汲電極之導電膜 21a 及 21b。在氮化物絕緣膜 15、氧化物絕緣膜 17、多層膜 37a 以及用作源電極及汲電極之導電膜 21a 及 21b 上形成氧化物絕緣膜 23、氧化物絕緣膜 25 以及氮化物絕緣膜 27。

【0445】 圖 50A 中之電容器 105b 包括氧化物絕緣膜 17 上之多層膜 37b、與多層膜 37b 接觸之氮化物絕緣膜 27，以及與氮化物絕緣膜 27 接觸之共用電極 29。多層膜 37b 用作像素電極。

【0446】 在本實施例中所描述之電晶體 102b 中，多層膜 37a 包括氧化物半導體膜 19a 及氧化物半導體膜 39a。亦即，多層膜 37a 具有雙層結構。此外，氧化物半導體膜 19a 之部分用作通道區域。此外，氧化物絕緣膜 23 形成為與多層膜 37a 接觸，且氧化物絕緣膜 25 形成為與氧化物絕緣膜 23 接觸。亦即，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間提供氧化物半導體膜 39a。

【0447】 氧化物半導體膜 39a 為含有構成氧化物半導體膜 19a 之一或多個元素的氧化物膜。因此，氧化物半導體膜 19a 與 39a 之間之界面處不可能發生界面散射。因此，電晶體可具有高場效行動性，因為在界面處載子之移動並未受阻。

【0448】 氧化物半導體膜 39a 通常為 In-Ga 氧化物膜、In-Zn 氧化物膜或 In-*M*-Zn 氧化物膜（*M* 代表 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd）。相比氧化物半導體膜 19a 之導電帶底部之能量，氧化物半導體膜 39a 之導電帶底部之能量更靠近真空能階，且氧化物半導體膜 39a 之導電帶底部之能量與氧化物半導體膜 19a 之導電帶底部之能量之間之差值通常為 0.05 電子伏特或更大、0.07 電子伏特或更大、0.1 電子伏特或更大，或 0.15 電子伏特或更大中之任何者，以及 2 電子伏特或更小、1 電子伏特或更小、0.5 電子伏特或更小，或 0.4 電子伏特或更小中之任何者。亦即，氧化物半導體膜 39a 之電子親和性與氧化物半導體膜 19a 之電子親和性之間之差值為 0.05 電子伏特或更大、0.07 電子伏特或更大、0.1 電子伏特或更大，或 0.15 電子伏特或更大中之任何者，以及 2 電子伏特或更小、1 電子伏特或更小、0.5 電子伏特或更小，或 0.4 電子伏特或更小中之任何者。

【0449】 氧化物半導體膜 39a 較佳含有 In，因為載子行動性（電子行動性）可有所增大。

【0450】 當相比以原子比計之 In 之量，氧化物半導體膜 39a 含有更大量之以原子比計之 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd 時，可獲得以下效應中之任何者：（1）氧化物半導體膜 39a 之能量間隙變

寬；(2) 氧化物半導體膜 39a 之電子親和性有所下降；(3) 來自外部之雜質之散射有所減少；(4) 相比氧化物半導體膜 19a，絕緣性質增強；以及(5) 因為 Ga、Y、Zr、Sn、La、Ce、或 Nd 為強烈結合至氧之金屬，不可能產生氧空位。

【0451】 在氧化物半導體膜 39a 為 In-*M*-Zn 氧化物膜之情況下，當 In 與 *M* 之總和假定為以原子計 100%時，In 與 *M* 之比例較佳如下：In 之原子百分比小於以原子計 50%，且 *M* 之原子百分比大於以原子計 50%；更佳地，In 之原子百分比小於以原子計 25%，且 *M* 之原子百分比大於以原子計 75%。

【0452】 此外，在氧化物半導體膜 19a 及 39a 中之每一者為 In-*M*-Zn 氧化物膜（*M* 代表 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd）之情況下，氧化物半導體膜 39a 中 *M* 原子之比例高於氧化物半導體膜 19a 中 *M* 原子之比例。作為典型實例，氧化物半導體膜 39a 中 *M* 之比例高於氧化物半導體膜 19a 中 *M* 之比例 1.5 倍或更大，較佳 2 倍或更大，且更佳 3 倍或更大。

【0453】 此外，在氧化物半導體膜 19a 及氧化物半導體膜 39a 中之每一者為 In-*M*-Zn 氧化物膜（*M* 代表 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd）之情況下，當氧化物半導體膜 39a 中滿足 In: *M*: Zn = $x_1:y_1:z_1$ [原子比]且氧化物半導體膜 19a 中滿足 In: *M*: Zn = $x_2:y_2:z_2$ [原子比]時， y_1/x_1 高於 y_2/x_2 。較佳地， y_1/x_1 高於 y_2/x_2 1.5 倍或更大。更佳地， y_1/x_1 高於 y_2/x_2 2 倍或更大。再更佳地， y_1/x_1 高於 y_2/x_2 3 倍或更大。

【0454】 在氧化物半導體膜 19a 爲 In-*M*-Zn 氧化物膜 (*M* 爲 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd) 且金屬元素之原子比爲 In: *M*: Zn = $x_1:y_1:z_1$ 之靶材用於形成氧化物半導體膜 19a 之情況下, x_1/y_1 較佳大於或等於 1/3 且小於或等於 6, 更佳大於或等於 1 且小於或等於 6, 且 z_1/y_1 較佳大於或等於 1/3 且小於或等於 6, 更佳大於或等於 1 且小於或等於 6。應注意, 當 z_1/y_1 大於或等於 1 且小於或等於 6 時, CAAC-OS 膜易於用作氧化物半導體膜 19a。靶材之金屬元素之原子比之典型實例爲 In: *M*: Zn = 1:1:1、In: *M*: Zn = 1:1:1.2 以及 In: *M*: Zn = 3:1:2。

【0455】 在氧化物半導體膜 39a 爲 In-*M*-Zn 氧化物膜 (*M* 爲 Al、Ga、Y、Zr、Sn、La、Ce、或 Nd) 且金屬元素之原子比爲 In: *M*: Zn = $x_2:y_2:z_2$ 之靶材用於形成氧化物半導體膜 39a 之情況下, x_2/y_2 較佳小於 x_1/y_1 , 且 z_2/y_2 較佳大於或等於 1/3 且小於或等於 6, 更佳大於或等於 1 且小於或等於 6。應注意, 當 z_2/y_2 大於或等於 1 且小於或等於 6 時, CAAC-OS 膜易於用作氧化物半導體膜 39a。靶材之金屬元素之原子比之典型實例爲 In: *M*: Zn = 1:3:2、In: *M*: Zn = 1:3:4、In: *M*: Zn = 1:3:6、In: *M*: Zn = 1:3:8、In: *M*: Zn = 1:4:4、In: *M*: Zn = 1:4:5、In: *M*: Zn = 1:4:6、In: *M*: Zn = 1:4:7、In: *M*: Zn = 1:4:8、In: *M*: Zn = 1:5:5、In: *M*: Zn = 1:5:6、In: *M*: Zn = 1:5:7、In: *M*: Zn = 1:5:8 以及 In: *M*: Zn = 1:6:8。

【0456】 應注意, 氧化物半導體膜 19a 及 39a 中之每一者中每一金屬元素以原子比計之比例的誤差範圍爲以上原子比之±40%以內。

【0457】 氧化物半導體膜 39a 亦用作減輕稍後形成氧化物絕緣膜 25 時對氧化物半導體膜 19a 之損壞的膜。

【0458】 氧化物半導體膜 39a 之厚度大於或等於 3 nm 且小於或等於 100 nm，較佳大於或等於 3 nm 且小於或等於 50 nm。

【0459】 此外，視情況而定，氧化物半導體膜 39a 可具有氧化物半導體膜 19a 之晶體結構。

【0460】 應注意，氧化物半導體膜 19a 及 39a 可各自為包括以下各者中之兩者或兩者以上的混合膜：具有非晶結構之區域、具有微晶結構之區域、具有多晶結構之區域、CAAC-OS 區域，以及具有單晶結構之區域。舉例而言，在一些情況下，混合膜具有包括以下各者中之兩者或兩者以上的單層結構：具有非晶結構之區域、具有微晶結構之區域、具有多晶結構之區域、CAAC-OS 區域，以及具有單晶結構之區域。此外，在一些情況下，混合膜具有由以下區域中之兩者或兩者以上堆疊而成之疊層結構：具有非晶結構之區域、具有微晶結構之區域、具有多晶結構之區域、CAAC-OS 區域，以及具有單晶結構之區域。

【0461】 此處，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間形成氧化物半導體膜 39a。因此，若由於雜質及缺陷，氧化物半導體膜 39a 與氧化物絕緣膜 23 之間形成載子陷阱，在氧化物半導體膜 19a 中流動之電子不可能被載子陷阱捕獲，因為載子陷阱與氧化物半導體膜 19a 之間有距離。因此，電晶體之通態電流的量可有所增大，且場效行動性可有所增大。當載子陷阱捕獲電子時，電子變為負固定電

荷。因此，電晶體之臨限電壓有所改變。然而，由於氧化物半導體膜 19a 與載子陷阱之間有距離，載子陷阱對電子之捕獲可有所減少，因此，臨限電壓之改變量可有所減少。

【0462】 來自外部之雜質可被氧化物半導體膜 39a 阻斷，因此，自外部轉移至氧化物半導體膜 19a 之雜質的量可有所減少。此外，不可能在氧化物半導體膜 39a 中產生氧空位。因此，氧化物半導體膜 19a 中之雜質濃度及氧空位之數目可有所減少。

【0463】 應注意，並非簡單地堆疊每一膜來形成氧化物半導體膜 19a 及 39a，而是形成為具有連續接合（此處，特定而言，導電帶之底部之能量在每一膜之間連續改變的結構）。換言之，提供如下疊層結構：其中不存在在膜之間之界面處形成諸如陷阱中心或再組合中心之缺陷等級的雜質。若所堆疊之氧化物半導體膜 19a 及 39a 之間存在雜質，則能量帶之連續性被損壞，且載子在界面處被捕獲或再組合，隨後消失。

【0464】 爲了形成此類連續能量帶，有必要藉由使用包括載入鎖定腔室之多腔室沉積設備（濺鍍設備）而連續地形成膜而並不暴露至空氣。較佳藉由諸如低溫泵之吸附真空抽氣泵來排空濺鍍設備中之每一腔室，以成爲高真空狀態（至約 5×10^{-7} 帕至 1×10^{-4} 帕之程度），以便盡可能移除作為氧化物半導體膜之雜質的水或類似者。或者，較佳組合使用渦輪分子泵及冷阱，以便防止氣體回流，尤其自排氣系統至腔室內部之含碳或氫氣體。

【0465】 如在圖 50B 中之電晶體 102c 中，可替代多層膜 37a 而提供多層膜 38a。

【0466】 另外，如在圖 50B 中之電容器 105c 中，可替代多層膜 37a 而提供多層膜 38a。

【0467】 多層膜 38a 包括氧化物半導體膜 49a、氧化物半導體膜 19a 以及氧化物半導體膜 39a。亦即，多層膜 38a 具有三層結構。此外，氧化物半導體膜 19a 用作通道區域。

【0468】 可使用類似於氧化物半導體膜 39a 之材料及形成方法來形成氧化物半導體膜 49a。

【0469】 多層膜 38b 包括具導電性之氧化物半導體膜 49b、具導電性之氧化物半導體膜 19f 以及具導電性之氧化物半導體膜 39b。換言之，多層膜 38b 具有三層結構。多層膜 38b 用作像素電極。

【0470】 視情況而定，可使用類似於具導電性之氧化物半導體膜之材料及形成方法來形成氧化物半導體膜 19f。視情況而定，可使用類似於氧化物半導體膜 39b 之材料及形成方法來形成氧化物半導體膜 49b。

【0471】 另外，氧化物絕緣膜 17 與氧化物半導體膜 49a 相互接觸。亦即，在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間提供氧化物半導體膜 49a。

【0472】 多層膜 38a 與氧化物絕緣膜 23 相互接觸。另外，氧化物半導體膜 39a 與氧化物絕緣膜 23 相互接觸。亦即，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間提供氧化物半導體膜 39a。

【0473】 氧化物半導體膜 49a 之厚度較佳小於氧化物半導體膜 19a 之厚度。當氧化物半導體膜 49a 之厚度大於或等於 1 nm 且小於或等於 5 nm，較佳大於或等於 1 nm 且小於或等於 3 nm 時，電晶體之臨限電壓之改變量可有所降低。

【0474】 在本實施例中所描述之電晶體中，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間提供氧化物半導體膜 39a。因此，若由於雜質及缺陷，氧化物半導體膜 39a 與氧化物絕緣膜 23 之間形成載子陷阱，在氧化物半導體膜 19a 中流動之電子不可能被載子陷阱捕獲，因為載子陷阱與氧化物半導體膜 19a 之間有距離。因此，電晶體之通態電流的量可有所增大，且場效行動性可有所增大。當載子陷阱捕獲電子時，電子變為負固定電荷。因此，電晶體之臨限電壓有所改變。然而，由於氧化物半導體膜 19a 與載子陷阱之間有距離，載子陷阱對電子之捕獲可有所減少，因此，臨限電壓之改變量可有所減少。

【0475】 來自外部之雜質可被氧化物半導體膜 39a 阻斷，因此，自外部轉移至氧化物半導體膜 19a 之雜質的量可有所減少。此外，不可能在氧化物半導體膜 39a 中產生氧空位。因此，氧化物半導體膜 19a 中之雜質濃度及氧空位之數目可有所減少。

【0476】 此外，在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間提供氧化物半導體膜 49a，且在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間提供氧化物半導體膜 39a。因此，有可能降低氧化物半導體膜 49a 與氧化物半導體膜 19a 之間之界面附近矽或碳之濃度、氧化物半導體膜 19a 中矽或碳之濃度，或氧化物半導體膜 39a 與氧化物半導體

膜 19a 之間之界面附近矽或碳之濃度。因此，在多層膜 38a 中，自穩恆光生電流法導出之吸收係數低於 1×10^{-3} /公分，較佳低於 1×10^{-4} /公分，因此定位能階之密度極低。

【0477】 具有此類結構之電晶體 102c 在包括氧化物半導體膜 19a 之多層膜 38a 中包括極少缺陷；因此，電晶體之電特徵可有所改進，通態電流通常可有所增大，且場效行動性可有所改進。此外，在 BT 應力測試及作為應力測試之實例的 BT 光應力測試中，臨限電壓之改變量很小，從而提供高可靠性。

【0478】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

（實施例 9）

【0479】 在本實施例中，將參閱圖 51 及 52 來描述配備在實施例 5 至 8 中之第一基板 11 上形成之元件層之部分的發光裝置。應注意，此處使用實施例 5 及 6 中所描述之元件層之部分；然而，視情況而定，發光裝置中可使用具有另一結構之元件層。

【0480】 除了在實施例 5 中圖 33 中所圖示之第一基板 11 上形成之元件層，圖 51 中之發光裝置包括在無機絕緣膜 30 上提供之絕緣膜 371、在無機絕緣膜 30、具導電性之氧化物半導體膜 19b 以及絕緣膜 371 上提供之 EL 層 373，以及在 EL 層 373 及絕緣膜 371 上提供之導電膜 375。具導電性之氧化物半導體膜 19b、EL 層 373 以及導電膜 375 構成發光元件 370a。

【0481】 除了在實施例 6 中圖 44 中所圖示之第一基板 11 上形成之元件層，圖 52 中之發光裝置包括在無機絕緣膜 30 及發光導電膜 29c 上提供之絕緣膜 371、在無機絕緣膜 30 及發光導電膜 29c 上上提供之 EL 層 373，以及在 EL 層 373 及絕緣膜 371 上提供之導電膜 375。發光導電膜 29c、EL 層 373 以及導電膜 375 構成發光元件 370b。

【0482】 在本實施例中之發光裝置之元件基板上，用作像素電極之具導電性之氧化物半導體膜與電晶體之氧化物半導體膜同時形成。因此，相比習知方法，可以較少步驟製造發光裝置。

【0483】 或者，在本實施例中之發光裝置之元件基板上，用作電容器之電極之具導電性之氧化物半導體膜與電晶體之氧化物半導體膜同時形成。具導電性之氧化物半導體膜用作電容器之電極。因此，對於形成電容器而言，並不需要用以形成另一導電膜之步驟，從而減少發光裝置之製造步驟之數目。使用用作像素電極之發光導電膜來形成電容器之另一電極。因此，電容器具有透光性質。因此，電容器所佔據之面積可有所增大，同時像素中之孔徑比可有所增大。

【0484】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

(實施例 10)

【0485】 本實施例中所描述之實施例可應用至包括在以上實施例中所描述之顯示裝置中之電晶體中的氧化物半導體膜。

<氧化物半導體之結構>

【0486】 下文將描述氧化物半導體之結構。

【0487】 將氧化物半導體分類為單晶氧化物半導體及非單晶氧化物半導體。非單晶氧化物半導體之實例包括 c-軸配向型晶體氧化物半導體 (CAAC-OS)、多晶氧化物半導體、微晶氧化物半導體、及非晶氧化物半導體。

【0488】 自另一觀點，將氧化物半導體分類為非晶氧化物半導體及晶體氧化物半導體。晶體氧化物半導體之實例包括單晶氧化物半導體、CAAC-OS、多晶氧化物半導體、及微晶氧化物半導體。

<CAAC-OS>

【0489】 首先描述 CAAC-OS。應注意，CAAC-OS 可稱為包括 c-軸配向型 nm 晶體 (CANC) 之氧化物半導體。

【0490】 CAAC-OS 為具有複數個 c-軸配向型晶體部 (亦稱為丸片) 之氧化物半導體中之一者。

【0491】 在明場影像之組合分析影像 (亦稱為高解析度 TEM 影像) 及 CAAC-OS 之繞射圖案 (使用透射電子顯微鏡 (TEM) 獲得) 中，可觀測到複數個丸片。然而，在高解析度 TEM 影像中，並未清晰觀測到丸片之間之邊界，亦即，晶粒邊界。因此，在 CAAC-OS 中，歸因於晶粒邊界之電子行動性之減少不可能發生。

【0492】 下文描述藉由 TEM 觀測到之 CAAC-OS。圖 72A 展示自實質上平行於樣本表面之方向上觀測到之 CAAC-OS 的橫截面之高解析度 TEM 影像。藉由球面像差校正器函數獲得高解析度 TEM 影像。特定而言，藉由球面像差校正器函數獲得之高解析度 TEM 影像稱為 Cs-校正型高解析度 TEM 影像。舉例而言，可藉由 JEOL 公司製造之原子解析度分析電子顯微鏡 JEM-ARM200F 獲得 Cs-校正型高解析度 TEM 影像。

【0493】 圖 72B 為圖 72A 中之區域 (1) 的放大 Cs-校正型高解析度 TEM 影像。圖 72B 展示金屬原子在丸片中以分層方式布布置。每一金屬原子層具有反映上面形成有 CAAC-OS 之表面 (下文稱為形成表面) 或 CAAC-OS 之頂表面之不均勻性的配置，且每一金屬原子層平行於 CAAC-OS 之形成表面或頂表面而布布置。

【0494】 如圖 72B 中所展示，CAAC-OS 具有特徵原子布布置。圖 72C 中之輔助線表示特徵原子布布置。圖 72B 及 72C 證明，丸片之尺寸近似 1 nm 至 3 nm，且丸片之傾斜所引起之空間尺寸近似 0.8 nm。因此，。丸片亦可稱為 nm 晶體 (nc)。

【0495】 因此，根據 Cs-校正型高解析度 TEM 影像，藉由堆疊磚塊或方塊 (圖 72D) 之此類結構來圖示基板 5120 上之 CAAC-OS 之丸片 5100 的示意布布置。如圖 72C 中觀測到之丸片有所傾斜之部分對應於圖 72D 中之區域 5161。

【0496】 圖 73A 展示自實質上垂直於樣本表面之方向上觀測到之 CAAC-OS 的平面之 Cs-校正型高解析度 TEM 影像。圖 73B、73C

及 73D 分別為圖 73A 中之區域 (1)、(2) 及 (3) 之放大 Cs-校正型高解析度 TEM 影像。圖 73B、73C 及 73D 指示金屬原子在九片中以三角形、四邊形或六邊形配置而布布置。然而，不同九片之間之金屬原子之布布置不具規則性。

【0497】 接著，描述藉由 X 射線繞射 (XRD) 分析之 CAAC-OS。舉例而言，當藉由面外方法分析包括 InGaZnO_4 晶體之 CAAC-OS 的結構時，如圖 74A 中所展示，約 31° 之繞射角 (2θ) 處出現峰值。自 InGaZnO_4 晶體之 (009) 平面導出此峰值，此指示 CAAC-OS 中之 InGaZnO_4 晶體具有 c-軸配向，且在實質上垂直於 CAAC-OS 之形成表面或頂表面之方向上配向 c-軸。

【0498】 應注意，在藉由面外方法之 CAAC-OS 之結構分析中，除了在約 31° 之 2θ 處之峰值，當 2θ 為約 36° 時，亦可能會出現另一峰值。約 36° 之 2θ 處之峰值指示，CAAC-OS 之部分包括不具有 c-軸配向之晶體。較佳地，在藉由面外方法分析之 CAAC-OS 中，當 2θ 為約 31° 時出現峰值，且當 2θ 為約 36° 時不出現峰值。

【0499】 另一方面，在藉由面內方法 (X 射線在實質上垂直於 c-軸之方向上入射至樣本) 之 CAAC-OS 之結構分析中，當 2θ 為約 56° 時出現峰值。此峰值歸屬於 InGaZnO_4 晶體之 (HO) 平面。在 CAAC-OS 之情況下，當藉由固定在約 56° 之 2θ 及藉由將樣本表面之法線向量用作軸 (ϕ 軸) 旋轉之樣本來進行分析 (ϕ 掃描) 時，如圖 74B 中所展示，並未清晰觀測到峰值。相反，在 InGaZnO_4 之單晶氧化物半導體之情況下，當藉由固定在約 56° 之 2θ 進行 ϕ 掃描時，如圖

74C 中所展示，觀測到自等效於 (110) 平面之晶體平面導出六個峰值。因此，使用 XRD 之結構分析展示，在 CAAC-OS 中 a-軸與 b-軸之方向有所不同。

【0500】 接著，描述藉由電子繞射分析之 CAAC-OS。舉例而言，當探針直徑為 300 nm 之電子束在平行於樣本表面之方向上入射至包括 InGaZnO₄ 之 CAAC-OS 時，可獲得圖 75A 中所展示之繞射圖案（亦稱為選定面積型透射電子繞射圖案）。在此繞射圖案中，包括自 InGaZnO₄ 晶體之 (009) 平面導出之斑點。因此，電子繞射亦指示，包括在 CAAC-OS 中之丸片具有 c-軸配向，且在實質上垂直於 CAAC-OS 之形成表面或頂表面之方向上配向 c-軸。同時，圖 75B 展示以如下方式獲得之繞射圖案：探針直徑為 300 nm 之電子束在垂直於樣本表面之方向上入射至相同樣本。如圖 75B 中所展示，觀測到環狀繞射圖案。因此，電子繞射亦指示，包括在 CAAC-OS 中之丸片之 a-軸與 b-軸並不具有規則配向。圖 75B 中之第一環視為自 InGaZnO₄ 晶體之 (010) 平面、(100) 平面及類似者導出。圖 75B 中之第二環視為自 (110) 平面及類似者導出。

【0501】 此外，CAAC-OS 為具有缺陷狀態之低密度的氧化物半導體。舉例而言，氧化物半導體中之缺陷為歸因於雜質及氧空位之缺陷。因此，CAAC-OS 可視為具有低雜質濃度之氧化物半導體，或具有少量氧空位之氧化物半導體。

【0502】 氧化物半導體中所含之雜質可用作載子陷阱或載子生成源。此外，氧化物半導體中所含之氧空位在氬被捕獲於其中時用作載子陷阱或載子生成源。

【0503】 應注意，雜質意指氧化物半導體之除主成分以外之元素，諸如，氬、碳、矽、或過渡金屬元素。舉例而言，相比包括在氧化物半導體中之金屬元素具有針對氧之較強結合強度的元素（特定而言，矽或類似者）自氧化物半導體提取氧，此舉導致氧化物半導體之原子布布置失序以及結晶度降低。諸如鐵或鎳、氬、氧化碳、或類似者之重金屬具有大原子半徑（或分子半徑），因此干擾氧化物半導體之原子布布置且降低結晶度。

【0504】 具有缺陷狀態之低密度（少量氧空位）的氧化物半導體可具有低載子密度。此類氧化物半導體稱為高度純化本質或實質上高度純化本質氧化物半導體。CAAC-OS 具有低雜質濃度及缺陷狀態之低密度。亦即，CAAC-OS 有可能為高度純化本質或實質上高度純化本質氧化物半導體。因此，包括 CAAC-OS 之電晶體極少具有負臨限電壓（極少常開）。高度純化本質或實質上高度純化本質氧化物半導體具有極少載子陷阱。氧化物半導體中被載子陷阱捕獲之電荷的釋放耗費長時間。所捕獲之電荷可充當固定電荷。因此，包括具有高雜質濃度及缺陷狀態之高密度之氧化物半導體的電晶體可能具有不穩定之電特徵。然而，包括 CAAC-OS 之電晶體在電特徵上具有小幅變化且具有高可靠性。

【0505】 由於 CAAC-OS 具有缺陷狀態之低密度，光輻照或類似者所生成之載體不可能在缺陷狀態下被捕獲。因此，在使用 CAAC-OS 之電晶體中，電特徵歸因於可見光或紫外光之輻照之改變很小。

<微晶氧化物半導體>

【0506】 接著，將描述微晶氧化物半導體。

【0507】 微晶氧化物半導體具有觀測到晶體部之區域及在高解析度 TEM 影像中並未清晰觀測到晶體部的區域。在大多數情況下，包括在微晶氧化物半導體中之晶體部的尺寸大於或等於 1 nm 且小於或等於 100 nm，或大於或等於 1 nm 且小於或等於 10 nm。特定而言，包括 nm 晶體 (nc) 之氧化物半導體稱為 nm 晶氧化物半導體 (nc-OS)，其中 nm 晶體為尺寸大於或等於 1 nm 且小於或等於 10 nm，或尺寸大於或等於 1 nm 且小於或等於 3 nm 的微晶。舉例而言，在 nc-OS 之高解析度 TEM 影像中，在一些情況下並未清晰觀測晶粒邊界。應注意，nm 晶體之原點有可能與 CAAC-OS 之丸片之原點相同。因此，在以下描述中，nc-OS 之晶體部可稱為丸片。

【0508】 在 nc-OS 中，顯微區域（例如，尺寸大於或等於 1 nm 且小於或等於 10 nm 的區域，特定而言，尺寸大於或等於 1 nm 且小於或等於 3 nm 的區域）具有週期性原子布布置。在 nc-OS 中不同丸片之間之晶體定向不具規則性。因此，整體膜之定向並無次序。因此，視分析方法，nc-OS 無法與非晶氧化物半導體相區分。舉例而言，當 nc-OS 經受藉由面外方法使用直徑大於丸片尺寸之 X 射線的

XRD 設備之結構分析時，展示晶體平面之峰值並未出現。此外，當 nc-OS 經受使用探針直徑（50 nm 或更大）大於丸片尺寸之電子束（該電子束亦稱為選定面積型電子繞射）的電子繞射時，觀測到類似暈圖案之繞射圖案。同時，當施加探針直徑接近或小於丸片尺寸的電子束時，nc-OS 之 nm 束電子繞射圖案中出現斑點。此外，在 nc-OS 之 nm 束電子繞射圖案中，在一些情況下展示具高亮度之呈圓形（環形）圖案的區域。又，在 nc-OS 之 nm 束電子繞射圖案中，在一些情況下以環狀區域展示複數個斑點。

【0509】 如上文所提及，由於丸片（nm 晶體）之間之晶體定向不具規則性，nc-OS 亦可稱為包括隨機配向型 nm 晶體（RANC）的氧化物半導體或包括非配向型 nm 晶體（NANC）的氧化物半導體。

【0510】 相比非晶氧化物半導體，nc-OS 為具有高規則性之氧化物半導體。因此，相比非晶氧化物半導體，nc-OS 有可能具有缺陷狀態之較低密度。應注意，在 nc-OS 中不同丸片之間之晶體定向不具規則性。因此，相比 CAAC-OS，nc-OS 具有缺陷狀態之較高密度。

<非晶氧化物半導體>

【0511】 接著，將描述非晶氧化物半導體。

【0512】 非晶氧化物半導體為具無序原子布布置且不具晶體部的氧化物半導體，其實例為以非晶狀態存在為石英之氧化物半導體。

【0513】 在非晶氧化物半導體之高解析度 TEM 影像中，無法找到晶體部。

【0514】 當非晶氧化物半導體經受藉由面外方法使用 XRD 設備之結構分析時，展示晶體平面之峰值並未出現。當非晶氧化物半導體經受電子繞射時，觀測到暈圖案。此外，當非晶氧化物半導體經受 nm 束電子繞射時，未觀測到斑點，且僅出現暈圖案。

【0515】 非晶結構具有多種理解。舉例而言，原子布布置完全無序之結構稱為完全非晶結構。同時，最近相鄰原子距離或第二最近原子距離以內有序但長程範圍內無序之結構亦稱為非晶結構。因此，只要原子布布置中存在甚至可略程度之排序，最嚴格定義即不允許此類氧化物半導體稱為非晶氧化物半導體。至少具長期有序之氧化物半導體無法稱為非晶氧化物半導體。因此，舉例而言，由於晶體部之存在，CAAC-OS 及 nc-OS 無法稱為非晶氧化物半導體或完全非晶氧化物半導體。

<非晶狀氧化物半導體>

【0516】 應注意，氧化物半導體可具有介於 nc-OS 與非晶氧化物半導體之間之結構。特定而言，具有此類結構之氧化物半導體稱為非晶狀氧化物半導體(非晶狀 OS)。

【0517】 在非晶狀 OS 之高解析度 TEM 影像中，可觀測到空隙。此外，在高解析度 TEM 影像中，存在清晰觀測到晶體部之區域及並未觀測到晶體部之區域。

【0518】 非晶狀 OS 具有不穩定結構，因為非晶狀 OS 包括空隙。為了證實與 CAAC-OS 及 nc-OS 相比，非晶狀 OS 具有不穩定結構，下文描述電子輻照所引起之結構的改變。

【0519】 製備非晶狀 OS（樣本 A）、nc-OS（樣本 B）以及 CAAC-OS（樣本 C）作為經受電子輻照之樣本。樣本中之每一者皆為 In-Ga-Zn 氧化物。

【0520】 首先，獲得每一樣本之高解析度橫截面 TEM 影像。高解析度橫截面 TEM 影像展示所有樣本具有晶體部。

【0521】 應注意，如下判定何部分視為晶體部。已知 InGaZnO_4 晶體之單位晶胞具有在 c-軸方向上堆疊九層的結構，該等九層中包括三層 In-O 及六層 Ga-Zn-O。相鄰層之間的距離等效於 (009) 平面上之晶格間隔（亦稱為 d 值）。基於晶體結構分析，該值計算為 0.29 nm。因此，晶格條紋之間之晶格間隔大於或等於 0.28 nm 且小於或等於 0.30 nm 的部分視為 InGaZnO_4 之晶體部。晶格條紋中之每一者對應於 InGaZnO_4 晶體之 a-b 平面。

【0522】 圖 76 展示每一樣本中晶體部（22 點至 45 點處）的平均尺寸。應注意，晶體部尺寸對應於晶格邊緣之長度。圖 76 指示非晶狀 OS 中之晶體部尺寸隨著累積電子劑量之增大而增大。特定而言，如圖 76 中之（1）所展示，TEM 觀測之起始處近似 1.2 nm 之晶體部（亦稱為初始核）生長至 $4.2 \times 10^8 \text{ e}^-/\text{平方 nm}$ 之累積電子劑量時近似 2.6 nm 之尺寸。相反，nc-OS 及 CAAC-OS 中之晶體部尺寸展示自電子輻照之起始至 $4.2 \times 10^8 \text{ e}^-/\text{平方 nm}$ 之累積電子劑量的小幅改變。特

定而言，如圖 76 中之（2）及（3）所展示，nc-OS 及 CAAC-OS 中之平均晶體尺寸分別近似 1.4 nm 及 2.1 nm，而不考慮累積電子劑量。

【0523】 如以上所描述，非晶狀 OS 中之晶體部尺寸的生長由電子輻照誘發。相反，在 nc-OS 及 CAAC-OS 中，晶體部尺寸的生長幾乎不由電子輻照誘發。此指示與 nc-OS 及 CAAC-OS 相比，非晶狀 OS 具有不穩定結構。

【0524】 與 nc-OS 及 CAAC-OS 相比，非晶狀 OS 具有較低密度，因為非晶狀 OS 包括空隙。特定而言，非晶狀 OS 之密度高於或等於具相同組成之單晶氧化物半導體之密度的 78.6% 且低於具相同組成之單晶氧化物半導體之密度的 92.3%。nc-OS 及 CAAC-OS 中之每一者之密度高於或等於具相同組成之單晶氧化物半導體之密度的 92.3% 且低於具相同組成之單晶氧化物半導體之密度的 100%。應注意，難以沉積密度低於單晶氧化物半導體之密度的 78% 的氧化物半導體。

【0525】 舉例而言，在具有 In: Ga: Zn = 1:1:1 之原子比的氧化物半導體之情況下，具菱形晶體結構之單晶 InGaZnO_4 之密度為 6.357 克/立方公分。因此，在具有 In: Ga: Zn = 1:1:1 之原子比的氧化物半導體之情況下，非晶狀 OS 之密度高於或等於 5.0 克/立方公分且低於 5.9 克/立方公分。舉例而言，在具有 In: Ga: Zn = 1:1:1 之原子比的氧化物半導體之情況下，nc-OS 及 CAAC-OS 中之每一者之密度高於或等於 5.9 克/立方公分且低於 6.3 克/立方公分。

【0526】 應注意，單晶結構中有可能並不存在具有特定組成的氧化物半導體。在彼種情況下，以適當比例組合具有不同組成之單晶氧

化物半導體，此舉使得有可能計算出等效於具有所要組成之單晶氧化物半導體之密度的密度。根據具有不同組成之單晶氧化物半導體的組合比例，可使用加權平均值來計算具有所要組成之單晶氧化物半導體之密度。應注意，較佳使用種類盡可能少之單晶氧化物半導體來計算密度。

【0527】 如上文所描述，氧化物半導體具有各種結構及各種性質。應注意，舉例而言，氧化物半導體可為包括非晶氧化物半導體、非晶狀 OS、微晶氧化物半導體以及 CAAC-OS 中之兩個或兩個以上膜的堆疊膜。

<沉積模型>

【0528】 下文將描述 CAAC-OS 及 nc-OS 之沉積模型的實例。

【0529】 圖 77A 為藉由濺鍍方法沉積 CAAC-OS 之沉積腔室內部的示意圖。

【0530】 靶材 5130 附接至背板。提供複數個磁鐵以面對靶材 5130，其間定位有背板。複數個磁鐵生成磁場。藉由利用磁鐵之磁場來增大沉積率之方法稱為磁控管濺鍍方法。

【0531】 基板 5120 置放為面對靶材 5130，且距離 d （亦稱為靶材-基板距離（T-S 距離））大於或等於 0.01 米且小於或等於 1 米，較佳大於或等於 0.02 米且小於或等於 0.5 米。藉由沉積氣體（例如，氧氣、氬氣、或以體積計含 5%或更高之氧之混合氣體）填充大部分沉積腔室，且沉積腔室中之壓力控制為高於或等於 0.01 帕且低於或等於

100 帕，較佳高於或等於 0.1 帕且低於或等於 10 帕。此處，藉由施加特定值或更高之電壓至靶材 5130，放電開始，且觀測到電漿。磁場在靶材 5130 附近形成高密度電漿區域。在高密度電漿區域中，沉積氣體得以離子化，以使得生成離子 5101。離子 5101 之實例包括氧陽離子 (O^+) 及氬陽離子 (Ar^+)。

【0532】 此處，靶材 5130 具有如下多晶結構：包括複數個晶體晶粒且解理平面存在於至少一個晶體晶粒中。圖 78A 展示包括在靶材 5130 中之 $InGaZnO_4$ 晶體的結構作為實例。應注意，圖 78A 展示自平行於 b-軸之方向上觀測 $InGaZnO_4$ 晶體之情況下的結構。圖 78A 展示 Ga-Zn-O 層中之氧原子定位為接近相鄰 Ga-Zn-O 層中之氧原子。氧原子具有負電荷，藉此在兩個相鄰 Ga-Zn-O 層之間生成斥力。因此， $InGaZnO_4$ 晶體具有兩個相鄰 Ga-Zn-O 層之間的解理平面。

【0533】 由於電場，在高密度電漿區域中生成之離子 5101 朝向靶材 5130 側加速，隨後與靶材 5130 碰撞。此時，為平板狀（丸片狀）濺鍍粒子之丸片 5100a 及丸片 5100b 自解理平面濺鍍分開。應注意，由於離子 5101 之碰撞衝擊，丸片 5100a 及丸片 5100b 之結構可能會有所失真。

【0534】 丸片 5100a 為具有三角形平面（例如，規則三角形平面）之平板狀（丸片狀）濺鍍粒子。丸片 5100b 為具有六角形平面（例如，規則六角形平面）之平板狀（丸片狀）濺鍍粒子。應注意，諸如丸片 5100a 及丸片 5100b 之平板狀（丸片狀）濺鍍粒子共同稱為丸片 5100。丸片 5100 之平坦平面之形狀並不限於三角形或六角形。

舉例而言，平坦平面可具有藉由組合兩個或多個三角形形成之形狀。

舉例而言，可藉由組合兩個三角形（例如，規則三角形）形成四角形（例如，菱形）。

【0535】 視沉積氣體及類似者之種類而判定丸片 5100 之厚度。

丸片 5100 之厚度較佳為均勻的：關於此配置之原因將稍後描述。另外，濺鍍粒子較佳具有厚度較小（相比厚度較大的塊狀形狀）的丸片形狀。舉例而言，丸片 5100 之厚度大於或等於 0.4 nm 且小於或等於 1 nm，較佳大於或等於 0.6 nm 且小於或等於 0.8 nm。另外，舉例而言，丸片 5100 之寬度大於或等於 1 nm 且小於或等於 3 nm，較佳大於或等於 1.2 nm 且小於或等於 2.5 nm。丸片 5100 對應於圖 76 中（1）之描述中的初始核。舉例而言，當離子 5101 與包括 In-Ga-Zn 氧化物之靶材 5130 碰撞時，包括如圖 78B 中所展示之三層：Ga-Zn-O 層、In-O 層以及 Ga-Zn-O 層的丸片 5100 分離。圖 78C 展示在平行於 c-軸之方向上觀測到的分離後丸片 5100 的結構。丸片 5100 具有包括兩層：Ga-Zn-O 層及 In-O 層之 nm 尺寸級三明治結構。

【0536】 丸片 5100 可在穿過電漿時接收電荷，以使得丸片 5100 之側表面帶負電或正電。在丸片 5100 中，舉例而言，定位於側表面之氧原子可帶負電。當以相同極性對側表面充電時，電荷相互排斥，因此丸片 5100 可維持平板（丸片）形狀。在 CAAC-OS 為 In-Ga-Zn 氧化物之情況下，結合至銦原子之氧原子有可能帶負電。結合至銦原子、鎵原子、或鋅原子之氧原子亦有可能帶負電。另外，丸片 5100 在穿過電漿時可藉由與銦原子、鎵原子、鋅原子、氧原子、或類似者結

合而生長。圖 76 中 (2) 與 (1) 之間之尺寸差值對應於電漿中之生長量。此處，在基板 5120 之溫度約為室溫之情況下，基板 5120 上之丸片 5100 幾乎不生長；因此，形成 nc-OS (參見圖 77B)。當基板 5120 具有大型尺寸時可沉積 nc-OS，因為 nc-OS 之沉積可在室溫下進行。應注意，為使得丸片 5100 在電漿中生長，可有效地增大濺鍍期間之沉積功率。高沉積功率可使丸片 5100 之結構穩定。

【0537】 如圖 77A 及 77B 中所展示，丸片 5100 在電漿中像風箏一樣飛翔，且向上顫振至基板 5120。由於丸片 5100 帶電，當丸片 5100 接近另一丸片 5100 已沉積至之區域時，產生排斥。此處，在基板 5120 上生成在平行於基板 5120 之頂表面之方向上的磁場（亦稱為水平磁場）。基板 5120 與靶材 5130 之間存在電位差值，因此電流自基板 5120 流向靶材 5130。因此，由於磁場及電流之效應，丸片 5100 在基板 5120 之頂表面上受力（勞侖茲 (Lorentz) 力)。此可由弗萊明 (Fleming) 左手定則解釋。

【0538】 丸片 5100 之質量大於原子質量。因此，為了在基板 5120 之頂表面上移動丸片 5100，自外部施加一些力至丸片 5100 很重要。一種力可為由磁場及電流之作用生成的力。為了施加充分力至丸片 5100，以使得丸片 5100 在基板 5120 之頂表面移動，較佳在頂表面上提供在平行於基板 5120 之頂表面之方向上的磁場為 10 高斯或更高，較佳 20 高斯或更高，更佳 30 高斯或更高，且再更佳 50 高斯或更高的區域。或者，較佳在基板 5120 之頂表面上提供在平行於基板 5120 之頂表面之方向上的磁場高於在垂直於基板 5120 之頂表面之方

向上的磁場 1.5 倍或更高，較佳 2 倍或更高，更佳 3 倍或更高，且再更佳 5 倍或更高的區域。

【0539】 此時，移動或相對地旋轉磁鐵及基板 5120，藉此基板 5120 之頂表面上之水平磁場之方向繼續改變。因此，可藉由在各個方向上接收力而在基板 5120 之頂表面上之各個方向上移動丸片 5100。

【0540】 此外，如圖 77A 中所展示，當加熱基板 5120 時，丸片 5100 與基板 5120 之間之電阻歸因於摩擦或類似者而較低。因此，丸片 5100 在基板 5120 之頂表面上滑移。丸片 5100 之平坦平面面對基板 5120 之狀態下丸片 5100 滑移。隨後，當丸片 5100 達到已沉積之另一丸片 5100 之側表面時，丸片 5100 之側表面結合。此時，丸片 5100 之側表面上之氧原子得以釋放。藉由已釋放之氧原子，CAAC-OS 中之氧空位可能會被填充；因此，CAAC-OS 具有缺陷狀態之低密度。應注意，舉例而言，基板 5120 之頂表面之溫度高於或等於 100°C 且低於 500°C，高於或等於 150°C 且低於 450°C，或高於或等於 170°C 且低於 400°C。因此，當基板 5120 具有大型尺寸時，有可能沉積 CAAC-OS。

【0541】 此外，在基板 5120 上加熱丸片 5100，藉此原子得以再布布置，且由離子 5101 之碰撞導致之結構失真可有所減少。結構失真有所減少之丸片 5100 為實質上單晶。甚至當結合之後加熱丸片 5100 時，丸片 5100 本身之膨脹及收縮幾乎不會發生，因為丸片 5100 轉變為實質上單晶。因此，歸因於丸片 5100 之間之空間膨脹而形成之諸如晶粒邊界之缺陷可得以防止，因此可防止生成裂隙。

【0542】 CAAC-OS 並不具有類似於單晶氧化物半導體之板的結構，但具有類似於堆疊磚塊或方塊之丸片 5100 (nm 晶粒) 的群組的布布置。此外，丸片 5100 之間並不存在晶粒邊界。因此，甚至當 CAAC-OS 中歸因於沉積期間之加熱，沉積之後之加熱或彎曲而發生諸如收縮之變形時，有可能減輕區域應力或釋放失真。因此，此結構適於可撓半導體裝置。應注意，nc-OS 具有隨機堆疊丸片 5100 (nm 晶粒) 之布布置。

【0543】 當由離子 5101 濺鍍靶材 5130 時，除了丸片 5100，氧化鋅或類似者可分離。氧化鋅比丸片 5100 輕，因此在丸片 5100 之前達到基板 5120 之頂表面。因此，氧化鋅形成氧化鋅層 5102，且厚度大於或等於 0.1 nm 且小於或等於 10 nm，大於或等於 0.2 nm 且小於或等於 5 nm，或大於或等於 0.5 nm 且小於或等於 2 nm。圖 79A 至 79D 為橫截面示意圖。

【0544】 如圖 79A 中所圖示，在氧化鋅層 5102 上沉積丸片 5105a 及丸片 5105b。此處，丸片 5105a 與丸片 5105b 之側表面相互接觸。另外，在丸片 5105b 上沉積丸片 5105c，隨後在丸片 5105b 上滑移。此外，藉由來自基板 5120 之熱，與靶材分離之複數個粒子 5103 與氧化鋅一起結晶，以便在丸片 5105a 之另一側表面上形成區域 5105a1。應注意，複數個粒子 5103 可含有氧、鋅、銦、鎵、或類似者。

【0545】 隨後，如圖 79B 中所圖示，區域 5105a1 生長至丸片 5105a 之部分，以形成丸片 5105a2。另外，丸片 5105c 之側表面與丸片 5105b 之另一側表面接觸。

【0546】 接著，如圖 79C 中所圖示，在丸片 5105a2 及丸片 5105b 上沉積丸片 5105d，隨後在丸片 5105a2 及丸片 5105b 上滑移。此外，在氧化鋅層 5102 上，丸片 5105e 朝向丸片 5105c 之另一側表面滑移。

【0547】 隨後，如圖 79D 中所圖示，置放丸片 5105d，以使得丸片 5105d 之側表面與丸片 5105a2 之側表面接觸。此外，丸片 5105e 之側表面與丸片 5105c 之另一側表面接觸。藉由來自基板 5120 之熱，與靶材 5130 分離之複數個粒子 5103 與氧化鋅一起結晶，以便在丸片 5105d 之另一側表面上形成區域 5105d1。

【0548】 如以上所描述，所沉積之丸片置放為相互接觸，隨後在丸片之側表面處引起生長，藉此在基板 5120 上形成 CAAC-OS。因此，CAAC-OS 之每一丸片大於 nc-OS 之每一丸片。圖 76 中 (3) 與 (2) 之間之尺寸差值對應於沉積之後之生長量。

【0549】 當丸片之間之空間極小時，丸片可形成大型丸片。大型丸片可為單晶結構。自以上可見，舉例而言，丸片之尺寸可大於或等於 10 nm 且小於或等於 200 nm，大於或等於 15 nm 且小於或等於 100 nm，或大於或等於 20 nm 且小於或等於 50 nm。在此種情況下，在用於微小電晶體之氧化物半導體中，通道形成區域可配合於大型丸片內部。亦即，具有單晶結構之區域可用作通道形成區域。此外，當丸片

之尺寸增大時，具有單晶結構之區域可用作電晶體之通道形成區域、源極區域、及汲極區域。

【0550】 當在具有單晶結構之區域中如此形成電晶體之通道形成區域或類似者時，在一些情況下電晶體之頻率特徵可有所增大。

【0551】 如在此類模型中所展示，丸片 5100 視為沉積在基板 5120 上。甚至當形成表面並不具有晶體結構時，可沉積 CAAC-OS；因此，在此情況下之生長機制不同於磊晶生長。對於形成 CAAC-OS 而言，並不需要雷射結晶，且甚至可在大型玻璃基板或類似者上形成均勻膜。舉例而言，甚至當基板 5120 之頂表面（形成表面）具有非晶結構（例如，頂表面由非晶氧化矽形成）時，可形成 CAAC-OS。

【0552】 另外，吾人發現在形成 CAAC-OS 期間，根據基板 5120 之作爲形成表面之頂表面的形狀布布置丸片 5100，甚至當形成表面並不均勻時亦如此。舉例而言，在基板 5120 之頂表面在原子級別平坦之情況下，布布置丸片 5100 以使得平行於 a-b 平面之平坦平面面朝下。在丸片 5100 之厚度並不均勻之情況下，形成具有均勻厚度、平坦度及高結晶度之層。藉由堆疊 n 層（ n 爲自然數），可獲得 CAAC-OS。

【0553】 在基板 5120 之頂表面並不均勻之情況下，CAAC-OS 具有堆疊有 n 層（ n 爲自然數）之結構，其中在該等層中之每一者中丸片 5100 沿不均勻性布布置。由於基板 5120 並不均勻，在一些情況下在 CAAC-OS 中之丸片 5100 之間容易生成間隙。應注意，甚至在此類情況下，歸因於分子間離，布布置丸片 5100 以使得在不均勻表面上

丸片之間之隙盡可能小。因此，甚至當形成表面並不均勻時，可獲得具有高結晶度之 CAAC-OS。

【0554】 由於根據此類模型沉積 CAAC-OS，濺鍍粒子較佳具有厚度較小之丸片形狀。應注意，當濺鍍粒子具有厚度較大之晶片形狀時，面對基板 5120 之平面改變；因此，在一些情況下晶體之厚度及定向可能不均勻。

【0555】 根據以上所描述之沉積模型，甚至在具有非晶結構之形成表面上可形成具有高結晶度之 CAAC-OS。

【0556】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

（實施例 11）

【0557】 在本實施例中，將描述各自使用本發明之實施例之顯示裝置的電子裝置的結構實例。另外，在本實施例中，將參閱圖 53 來描述使用本發明之實施例之顯示裝置的顯示模組。

【0558】 在圖 53 之顯示模組 8000 中，在上蓋 8001 與下蓋 8002 之間提供：連接至 FPC8003 之觸摸面板 8004、連接至 FPC8005 之顯示面板 8006、背光單元 8007、框架 8009、印刷板 8010 以及電池組 8011。應注意，在一些情況下並未提供背光單元 8007、電池組 8011、觸摸面板 8004 及類似者。

【0559】 舉例而言，本發明之實施例之顯示裝置可用於顯示面板 8006。

【0560】 視情況而定，可根據觸摸面板 8004 及顯示面板 8006 之尺寸改變上蓋 8001 及下蓋 8002 之形狀及尺寸。

【0561】 觸摸面板 8004 可為電阻性觸摸面板或電容性觸摸面板，且可形成為與顯示面板 8006 重疊。顯示面板 8006 之反向基板（密封基板）可具有觸摸面板功能。可在顯示面板 8006 之每一像素中提供光感測器，以便形成光學觸摸面板。可在顯示面板 8006 之每一像素中提供觸摸感測器之電極，以使得獲得電容性觸摸面板。

【0562】 背光單元 8007 包括光源 8008。光源 8008 可提供在背光單元 8007 之末端部分，且可使用散光板。

【0563】 框架 8009 保護顯示面板 8006，且亦用作用以阻斷印刷板 8010 之操作所產生之電磁波的電磁屏蔽。

【0564】 印刷板 8010 配備功率供應電路及信號處理電路以用以輸出視訊信號及時脈信號。可使用用以供應功率至功率供應電路之功率源，外部商用功率源或使用獨立提供之電池組 8011 之功率源。在使用商用功率源之情況下，電池組 8011 可省略。

【0565】 顯示模組 8000 可額外配備諸如極化板、延遲板、或稜鏡薄板之部件。

【0566】 圖 54A 至 54E 為各自包括本發明之一實施例之顯示裝置的電子裝置之外部視圖。

【0567】 電子裝置之實例為電視機（亦稱為電視或電視接收器）、電腦、或類似者之監視器、諸如數位攝影機或數位視訊攝影機之攝影機、數位相框、行動手持機（亦稱為行動手機或行動手機裝置）、

可攜式遊戲機器、可攜式資訊終端、音訊再現裝置以及諸如彈珠盤（pachinko）機器之大型遊戲機器。

【0568】 圖 54A 圖示包括主機 1001、外殼 1002、顯示部分 1003a 及 1003b、以及類似者的可攜式資訊終端。顯示部分 1003b 為觸摸面板。藉由觸摸在顯示部分 1003b 上顯示之鍵盤按鈕 1004，可操作屏幕，且可輸入本文。很明顯，顯示部分 1003a 可為觸摸面板。使用以上實施例中所描述之電晶體中之任何者作為開關元件來製造液晶面板有機發光面板，且液晶面板有機發光面板用於顯示部分 1003a 及 1003b 中，藉此可提供高度可靠之可攜式資訊終端。

【0569】 圖 54A 中所圖示之可攜式資訊終端可具有顯示各種資訊（例如，靜止影像、移動影像、及本文影像）之功能；在顯示部分上顯示日曆、日期、時間及類似者之功能；藉由各種軟體（程式）控制處理之功能；及類似者。此外，可在外殼之背表面或側表面提供外部連接端子（耳機端子、USB 端子、或類似者）、記錄媒體插入部分及類似者。

【0570】 圖 54A 中所圖示之可攜式資訊終端可以無線方式發射及接收資料。經由無線通訊，可自電子書伺服器購買及下載所要書籍資料或類似者。

【0571】 圖 54B 圖示包括以下各種之可攜式音樂播放器：主機 1021、顯示部分 1023、可攜式音樂播放器可藉以佩戴至耳朵、揚聲器之固定部分 1022、操作按鈕 1024、外部記憶體擴充槽 1025、及類似者。使用以上實施例中所描述之電晶體中之任何者作為開關元件來製

造液晶面板有機發光面板，且液晶面板有機發光面板用於顯示部分 1023 中，藉此可提供高度可靠之可攜式音樂播放器。

【0572】 此外，當圖 54B 中所圖示之可攜式音樂播放器具有天線、麥克風功能、或無線通訊功能且與行動手機一起使用時，使用者可在駕車或類似者時以無線、免提方式對著手機說話。

【0573】 圖 54C 中圖示包括兩個外殼之行動手機：外殼 1030 及外殼 1031。外殼 1031 包括顯示面板 1032、揚聲器 1033、麥克風 1034、指向裝置 1036、攝影機 1037、外部連接端子 1038、及類似者。外殼 1030 配備用以對行動手機充電之太陽能電池 1040、外部記憶體擴充槽 1041、及類似者。另外，天線併入至外殼 1031。以上實施例中所描述之電晶體中之任何者用於顯示面板 1032 中，藉此可提供高度可靠之行動手機。

【0574】 此外，顯示面板 1032 包括觸摸面板。圖 54C 中之虛線指示顯示為影像之複數個操作按鍵 1035。應注意，亦包括自太陽能電池 1040 輸出之電壓藉以增大至充分高以用於每一電路的升壓電路。

【0575】 在顯示面板 1032 中，顯示方向視應用模式而適當改變。另外，行動手機具有在同一表面上之攝影機 1037 及顯示面板 1032，因此可用作視訊手機。揚聲器 1033 及麥克風 1034 可用於視訊手機呼叫、錄音、以及播放聲音等，以及語音呼叫。此外，處於如圖 54C 中所圖示之研發之狀態的外殼 1030 及 1031 可藉由滑移而移位，以使得一者可在蓋疊另一者上。因此，行動手機之尺寸可有所減小，此舉使得行動手機適於四處攜帶。

【0576】 外部連接端子 1038 可連接至 AC 配接器及諸如 USB 纜線之各種纜線，藉此有可能達成充電以及與個人電腦或類似者之資料通訊。此外，藉由插入記錄媒體至外部記憶體擴充槽 1041，可儲存及移動大量資料。

【0577】 除了以上功能，可提供紅外線通訊功能、電視接收功能、或類似者。

【0578】 圖 54D 圖示電視機之實例。在電視機 1050 中，顯示部分 1053 併入至外殼 1051。影像可顯示在顯示部分 1053 上。此外，CPU 併入至支撐外殼 1051 之支架 1055。以上實施例中所描述之電晶體中之任何者用於顯示部分 1053 及 CPU，藉此電視機 1050 可具有高可靠性。

【0579】 電視機 1050 可由外殼 1051 之操作愛崗或獨立遠端控制器來操作。另外，遠端控制器可配備用以顯示自遠端控制器輸出之資料的顯示部分。

【0580】 應注意，電視機 1050 配備接收器、數據機及類似者。藉由使用接收器，可接收一般電視廣播。此外，當電視機經由數據機以有線或無線方式連接至通訊網路時，可進行單程（自發送者至接收者）或雙程（發送者與接收者之間或接收者之間）資訊通訊。

【0581】 此外，電視機 1050 配備外部連接端子 1054、儲存媒體記錄及再現部分 1052 以及外部儲存擴展槽。外部連接端子 1054 可連接至諸如 USB 纜線之各種纜線，藉此有可能達成與個人電腦或類似者之資料通訊。磁盤儲存媒體插入至儲存媒體記錄及再現部分 1052，且

可進行儲存媒體中所儲存之資料的讀取及資料至儲存媒體的寫入。另外，。插入至外部記憶體擴展槽之外部記憶體 1056 中儲存為資料之影像、視訊、或類似者可顯示在顯示部分 1053 上。

【0582】 此外，在以上實施例中所描述之電晶體之斷態洩漏電流極小之情況下，當電晶體用於外部記憶體 1056 或 CPU 時，電視機 1050 可具有高可靠性及充分降低之功率消耗。

【0583】 圖 54E 中所圖示之可攜式資訊終端包括外殼 1101 及顯示面板 1110，如此提供以使得影像可顯示在外殼 1101 之表面上。

【0584】 外殼 1101 具有頂表面、後表面、第一側表面、與第一側表面接觸之第二側表面、與第一側表面相對之第三側表面，以及與第二側表面相對之第四側表面。

【0585】 顯示面板 1110 包括與外殼 1101 之頂表面重疊之第一顯示區域 1111、與外殼 1101 之側表面中之一者重疊之第二顯示區域 1112、與外殼 1101 之側表面中之另一者重疊之第三顯示區域 1113，以及與第二顯示區域 1112 相對之第四顯示區域 1114。

【0586】 在外殼 1101 之四個側表面中，與顯示面板 1110 重疊之至少一區域較佳具有彎曲表面。舉例而言，頂表面與側表面之間及頂表面與後表面之間較佳不具轉角部分，且此等表面較佳形成連續表面。此外，側表面較佳為彎曲表面，以使得自外殼 1101 之頂表面至後表面，切線之傾斜為連續的。

【0587】 除了顯示面板 1110，可在外殼 1101 之表面上提供硬體按鈕、外部連接端子及類似者。觸摸感測器較佳提供在與顯示面板 1110 重疊之位置處，特定而言，提供在與顯示區域重疊之區域中。

【0588】 藉由圖 54E 中之可攜式資訊終端，不僅可在平行於頂表面之表面上進行顯示，亦可在外殼之側表面上進行顯示。特定而言，因為各種顯示進一步增多，較佳沿外殼之兩個或兩個以上側表面提供顯示區域。

【0589】 本實施例中所展示之結構、方法、及類似者可與其他實施例中所展示之結構、方法、及類似者中之任何者以適當組合使用。

[實例 1]

【0590】 在本實例中，將在圖 55 及 56 中展示實施例 1 中所描述之具有低電阻之氧化物半導體膜的氫濃度 (H)、電阻係數及透射率的量測結果。

<氫濃度 (H) 及電阻係數>

【0591】 在本實例中，生成樣本 A1 及樣本 A2 來量測雜質濃度。

【0592】 首先，下文將描述樣本 A1 之製造方法。

【0593】 在玻璃基板上沉積 100 nm 厚之 In-Af-Zn 氧化物膜（下文稱為 IGZO 膜，且在圖 55 中稱為 IGZO）作為樣本 A1。隨後，在氮環境中在 450℃ 下進行熱處理達一小時，且繼續在氮及氧（氮及氧

之比例分別為 80%及 20%) 之混合氣體環境中在 450°C 下進行熱處理達一小時。此後，沉積 100 nm 厚之氮化矽膜（在圖 55 中稱為 SiN）。

【0594】 應注意，在以下條件下形成 IGZO 膜：採用濺鍍方法；使用金屬氧化物靶材（In: Ga: Zn = 1:1:1）；使用以氬稀釋，以體積計含 50%之氧的濺鍍氣體；壓力為 0.6 帕；形成功率為 5000 瓦；且基板溫度為 170°C。

【0595】 在以下條件下形成氮化矽膜：採用電漿 CVD 方法；SiH₄、N₂ 及 NH₃ 之氣體流率分別為 50 標準毫升/分鐘、5000 標準毫升/分鐘及 100 標準毫升/分鐘；壓力為 100 帕；形成功率為 1000 瓦；且基板溫度為 220°C。經由以上製程獲得樣本 A1。

【0596】 接著，下文將描述樣本 A2 之製造方法。

【0597】 在玻璃基板上沉積 100 nm 厚之 IGZO 膜（在圖 55 中稱為 IGZO）。隨後，在氮環境中在 450°C 下進行熱處理達一小時，且繼續在氮及氧（氮及氧之比例分別為 80%及 20%）之混合氣體環境中在 450°C 下進行熱處理達一小時。此後，沉積 450 nm 厚之氧氮化矽膜（在圖 55 中稱為 SiON）及 100 nm 厚之氮化矽膜，以供堆疊。

【0598】 應注意，IGZO 膜及氮化矽膜之膜形成條件類似於樣本 A1 之膜形成條件。另外，對於氧氮化矽膜而言，藉由電漿 CVD 方法在以下條件下形成 50 nm 厚之氧氮化矽膜：SiH₄ 之氣體流率為 30 標準毫升/分鐘且 N₂O 之氣體流率為 4000 標準毫升/分鐘；壓力為 40 帕；膜形成功率為 150 瓦；且基板溫度為 220°C。此後，藉由電漿 CVD 方法在以下條件下形成 400 nm 厚之氧氮化矽膜：SiH₄ 之氣體流

率為 160 標準毫升/分鐘且 N_2O 之氣體流率為 4000 標準毫升/分鐘；壓力為 200 帕；膜形成功率為 1500 瓦；且基板溫度為 220°C 。經由以上製程獲得樣本 A2。

【0599】 圖 55 展示樣本 A1 及 A2 之雜質分析的結果。

【0600】 應注意，藉由二次離子質譜法（SIMS）自玻璃基板側進行雜質分析。

【0601】 在圖 55 中，實線代表量測樣本 A1 所獲得之氫（H）的濃度剖面圖。虛線代表量測樣本 A2 所獲得之氫（H）的濃度剖面圖。

【0602】 圖 55 展示，在樣本 A1 及樣本 A2 中，IGZO 膜中之（H）濃度分別為 1.0×10^{20} 原子數/立方公分及 5.0×10^{19} 原子數/立方公分。

【0603】 吾人已知，藉由量測原理中之 SIMS 分析，難以獲得樣本表面附近或使用不同材料形成之堆疊膜之間的界面附近的精確數據。因此，在藉由 SIMS 分析膜中氫（H）在厚度方向上之濃度分布布的情況下，如下區域中之平均值用作氫（H）的濃度，在該區域中，提供有膜，平均值並不大幅改變，且可獲得幾乎常數等級之強度。

【0604】^{*} 因此，藉由改變與 IGZO 膜接觸之絕緣膜的構成元素，可發現 IGZO 膜之間之氫（H）濃度的差值。與氧氮化矽膜接觸之 IGZO 膜中的氫（H）濃度高於與氮化矽膜接觸之 IGZO 膜中的氫（H）濃度。

【0605】 應注意，樣本 A2 中之 IGZO 膜的電阻係數大於或等於量測上限（ 1×10^2 歐姆·公分），而樣本 A1 中之 IGZO 膜的電阻係數

降低至 $\rho = 3.6 \times 10^{-3}$ 歐姆·公分，此等效於 ITO 膜（發光導電膜之實例）之電阻係數。

<透射率>

【0606】 接著，將描述具有低電阻之氧化物半導體膜的透射率。

【0607】 首先，下文將描述樣本 A3 之製造方法。

【0608】 在玻璃基板上沉積 50 nm 厚之 IGZO 膜，且在該膜上堆疊 100 nm 厚之氮化矽膜。

【0609】 應注意，在以下條件下形成 IGZO 膜：採用濺鍍方法；使用金屬氧化物靶材（In: Ga: Zn = 1:1:1）；使用以氬稀釋，以體積計含 33%之氧的濺鍍氣體；壓力為 0.4 帕；形成功率為 200 瓦；且基板溫度為 300°C。

【0610】 在以下條件下形成氮化矽膜：採用電漿 CVD 方法；SiH₄、N₂ 及 NH₃ 之氣體流率分別為 50 標準毫升/分鐘、5000 標準毫升/分鐘及 100 標準毫升/分鐘；壓力為 100 帕；形成功率為 1000 瓦；且基板溫度為 350°C。經由以上製程獲得樣本 A3。

【0611】 接著，量測樣本 A3 之可見光透射率。圖 56 展示樣本 A3 之量測透射率。樣本 A3 在寬能量區域中之透射率高於或等於 80%。此指示，具有低電阻之氧化物半導體膜可用作發光電極。

[實例 2]

【0612】 在本實例中，爲了發現與具導電性之氧化物半導體之電阻係數相關的狀態，藉由穩恆光生電流法（CPM）、硬 x 射線光電子光譜法（HX-PES）、SIMS、電子自旋諧振（ESR），以及熱脫附譜法（TDS）進行分析。另外，量測電阻係數之溫度相依性。

<CPM>

【0613】 首先，藉由 CPM 分析真空環境中之熱處理與氧化物半導體膜中之氧空位的數目之間的關係。CPM 量測允許以高敏感度量測深層能階形成之缺陷中所吸收之光的量並進行相對比較。

【0614】 下文將描述經受 CPM 量測之樣本的製造方法。

【0615】 此處，藉由濺鍍方法在石英基板上沉積 IGZO 膜，隨後在 IGZO 膜上形成一對電極，從而獲得樣本。應注意，在形成 IGZO 膜之後，樣本中的一些在真空環境（ 4×10^{-4} 帕）中在 700℃ 或 800℃ 下經受熱處理。表 8 展示每一樣本中之 IGZO 膜的製造條件。應注意，在表 8 中，未經受熱處理之樣本表示爲保持沉積狀，在真空環境中在 700℃ 下經受熱處理之樣本表示爲 700℃ 真空退火，且在真空環境中在 800℃ 下經受熱處理之樣本表示爲 800℃ 真空退火。

【0616】

[表 8]

	膜厚度 [奈米]	基板 溫度	濺鍍氣體	壓力 [帕]	功率 [瓦]	熱處理
保持沉積狀	100	170℃	O ₂ =50%（以氬稀釋）	0.6	DC=2.5 千瓦	未進行
700℃ 真空退火	100	170℃	O ₂ =50%（以氬稀釋）	0.6	DC=2.5 千瓦	700℃
800℃ 真空退火	100	170℃	O ₂ =50%（以氬稀釋）	0.6	DC=2.5 千瓦	800℃

【0617】 接著，藉由 CPM 量測每一樣本。在 CPM 量測期間，在每一樣本中與 IGZO 膜接觸之該對電極之間施加電壓的狀態下，調整用以輻照該對電極之間之樣本表面的光的量，以使得光電流值保持恆定，且自每一波長下輻照光之量導出吸收係數。當量測物件在 CPM 量測中具有缺陷時，對應於缺陷藉以存在之能階之能量的吸收係數（基於波長計算）有所增大。藉由將吸收係數之增大乘以常數，可獲得量測物件之缺陷密度。

【0618】 圖 57 之上部展示每一樣本之 CPM 量測結果。自藉由 CPM 量測所獲得之吸收係數的曲線（圖 57 之上部中之實線）移除吸收係數中稱為耳巴赫（urbach）帶尾（歸因於帶尾）的部分（圖 57 之上部中之虛線），藉此可計算歸因於定位能階的吸收係數。應注意，耳巴赫帶尾指示藉由 CPM 量測所獲得之吸收係數的曲線上之等梯度區域，且梯度稱為耳巴赫能量。在圖 57 之上部中，水平軸代表光子能量，而垂直軸代表吸收係數。

【0619】 圖 57 之下部展示圖 57 之上部中之陰影區域的整數值。在圖 57 之下部中，水平軸代表吸收係數，而垂直軸代表光子能量。在圖 57 之下部中之垂直軸上，IGZO 膜之導電帶之底部及原子價帶之頂部分別為 0 電子伏特及 3.5 電子伏特。在圖 57 之下部中，實線對應於每一樣本之帶隙中之深層能階。在每一樣本中，在 1.6 電子伏特至 2.8 電子伏特之光子能量的範圍中，發現歸因於帶隙中之深層能階的吸

收。表 9 展示歸因於每一樣本之帶隙中之深層能階的吸收係數的量值。

【0620】

[表 9]

	歸因於缺陷之吸收係數[公分 ⁻¹]
保持沉積狀	1.5×10^{-2}
700℃ 真空退火	1.4×10^{-1}
800℃ 真空退火	1.4×10^{-1}

表 9 展示當在真空環境中進行熱處理時，吸收係數之量值歸因於帶隙中之深層能階而增大。應注意，根據第一原理計算，IGZO 膜中之氧空位 V_O 較佳在帶隙中達到深層能階；因此，由 CPM 量測之帶隙中之深層能階亦將與氧空位 V_O 相關。換言之，可在真空環境中藉由熱處理生成 IGZO 膜中之氧空位 V_O 。

<HX-PES (1)>

【0621】 首先，藉由 HX-PES 量測氧化物半導體膜之間隙中之能階。

【0622】 將描述樣本 B1 之製造方法。

【0623】 在矽晶圓上沉積 100 nm 厚之 IGZO 氧化物膜。

【0624】 應注意，在以下條件下形成 IGZO 膜：採用濺鍍方法；使用金屬氧化物靶材（In: Ga: Zn = 1:1:1）；使用以氬稀釋，以體積計含 33%之氧的濺鍍氣體；壓力為 0.4 帕；形成功率為 500 瓦；且基板溫度為 300℃。經由以上製程獲得樣本 B1。

【0625】 接著，下文將描述樣本 B2 之製造方法。

【0626】 在與樣本 B1 相同之條件下，在矽晶圓上沉積 100 nm 厚之 IGZO 膜之後，將氬添加至 IGZO 膜，以使得形成具有氧空位之 IGZO 膜。

【0627】 此處，藉由離子布布植方法，將氬離子添加至 IGZO 膜，藉此形成包括濃度為 1×10^{20} 1/立方公分之氬的 IGZO 膜。經由以上製程獲得樣本 B2。

【0628】 接著，下文將描述樣本 B3 之製造方法。

【0629】 藉由在氬環境中在 133 帕及 350°C 下加熱樣本 B2 達一小時，獲得樣本 B3，藉此獲得引入 H 之 IGZO 膜。

【0630】 圖 58 展示藉由 HX-PES 分析樣本 B1 至 B3 的結果。在圖 58 中，水平軸代表連結能量，且垂直軸代表信號強度（任意單位）。

【0631】 在圖 58 中，水平軸上 0 電子伏特之連結能量實質上代表費米能階。基於費米能階，在近似 0.2 電子伏特之位置（下文稱為淺層能階）處發現間隙中之能階。

【0632】 基於費米能階，在近似 2 電子伏特之位置（下文稱為深層能階）處發現間隙中之能階。

【0633】 樣本 B1 具有少量氧空位 V_o （ V_o -貧）及低氬濃度（H-貧）。樣本 B2 具有大量氧空位 V_o （ V_o -富）及低氬濃度（H-貧）。樣本 B3 具有大量氧空位 V_o （ V_o -富）及高氬濃度（H-富）。

【0634】 在樣本 B3 中，基於費米能階，在近似 0.2 電子伏特之位置處發現具高強度之信號。此表明，基於費米能階之近似 0.2 電子伏特之淺層能階對於降低氧化物半導體膜之電阻而言必不可少。

<SIMS>

【0635】 接著，藉由 SIMS 量測樣本 B1 至 B3 之 IGZO 膜的氫（H）濃度，且在圖 59 中展示結果。在圖 59 中，實線、虛線及點劃線分別代表樣本 B1、B2 及 B3 的量測結果。

【0636】 圖 59 展示樣本 B1、B2 及 B3 中氫（H）濃度幾乎相同。相反，樣本 B3 中之氫（H）濃度高於樣本 B1 及 B2 中之氫（H）濃度，且特定而言，近似 $1 \times 10^{20} \text{ 1/cm}^3$ 。

【0637】 此外，如樣本 B2 及 B3 中所展示，由於晶體結構失序，添加有 Ar 之 IGZO 膜中之氧空位（ V_o ）的數目增大。氧空位（ V_o ）的數目增大，導致圖 58 中之樣本 B2 及 B3 中所展示之深層能階處之信號強度增大。相反，在樣本 B2 中，信號強度僅在深層能階處增大，而在引入氫（H）至樣本 B2 的樣本 B3 中，信號強度在深層能階處減小，且信號強度在淺層能階處增大。

【0638】 此等結果指示，引起 IGZO 膜之電阻降低的淺層能階與 IGZO 膜中之氧空位（ V_o ）及氫（H）所生成的 H_o 有關。

<ESR>

【0639】 接著，藉由 RSR 分析 IGZO 膜中之缺陷，以便更詳細地檢查 IGZO 膜中氧空位（ V_o ）及氫（H）的行為。

【0640】 爲了查找 IGZO 膜中 ESR 信號的原點，對包括氧化物半導體（IGZO、氧化鋅、氧化鎵以及氧化銦）之薄膜的樣本進行 ESR 量測。

【0641】 此處，藉由濺鍍方法在石英基板上沉積薄膜，藉此獲得每一樣本。表 10 及表 11 展示樣本中之薄膜的製造條件。應注意，表 10 展示在沉積之後未經受熱處理之樣本的製造條件，且表 11 展示在沉積之後經受熱處理之樣本的製造條件。

【0642】

[表 10]

膜	膜厚度 [奈米]	基板溫度	濺鍍氣體	壓力 [帕]	功率 [瓦]	沉積之後 的熱處理
IGZO(1:1:1)	100	室溫	O ₂ =33%（以氫稀釋）	0.4	DC=200 瓦	未進行
氧化鋅	100	室溫	O ₂ =33%（以氫稀釋）	0.4	DC=200 瓦	未進行
氧化鎵	100	200℃	O ₂ =33%（以氫稀釋）	0.4	RF=400 瓦	未進行
氧化銦	100	室溫	O ₂ =33%（以氫稀釋）	0.4	DC=200 瓦	未進行

【0643】

[表 11]

膜	膜厚度 [奈米]	基板溫度	濺鍍氣體	壓力 [帕]	功率 [瓦]	沉積之後 的熱處理
IGZO(1 :1:1)	100	300℃	O ₂ =33% （以氫稀釋）	0.4	DC=500 瓦	450℃N ₂ 1 小時
氧化鋅	100	200℃	O ₂ =33% （以氫稀釋）	0.4	DC=200 瓦	850℃N ₂ 1 小時
氧化鎵	100	200℃	O ₂ =33% （以氫稀釋）	0.4	RF=400 瓦	850℃N ₂ 1 小時
氧化銦	100	200℃	O ₂ =0% （以氫稀釋）	0.4	DC=200 瓦	850℃N ₂ 1 小時

【0644】 圖 60 展示包括在表 10 中所展示之條件下形成之氧化物半導體膜的樣本之 ESR 量測結果。在圖 60 中，水平軸代表磁場，且垂直軸代表歸一化之 ESR 信號強度。在包括 IGZO 膜、氧化鋅膜、氧化鎵膜以及氧化銮膜之所有樣本中，在約 $g = 2$ 處觀測到非對稱 ESR 信號。

【0645】 圖 61 展示包括在表 11 中所展示之條件下形成之氧化物半導體膜的樣本之 ESR 量測結果。在圖 61 中，水平軸代表磁場，且垂直軸代表歸一化之 ESR 信號強度。在包括 IGZO 膜之樣本中，在約 $g = 1.932$ 處觀測到 ESR 信號，在包括氧化鋅膜之樣本中，在約 $g = 1.967$ 處觀測到 ESR 信號，以及在包括氧化銮膜之樣本中，在約 $g = 1.877$ 處觀測到 ESR 信號。相反，並未在包括氧化鎵膜之樣本中觀測到 ESR 信號。

【0646】 自以上結果可見，吾人發現，在包括在氮環境中經受熱處理之 IGZO 膜之樣本中在 $g = 1.93$ 處觀測到的 ESR 信號，不同於在包括氧化鋅膜、氧化鎵膜以及氧化銮膜（包括 IGZO 之構成元素的氧化物）之樣本中觀測到的 ESR 信號。在包括 IGZO 膜之樣本中觀測到的 ESR 信號的 g 值顯著小於自由電子之 g 值（ $g = 2.0023$ ）。此表明，在包括 IGZO 膜之樣本中觀測到的 ESR 信號與金屬元素相關。

【0647】 接著，量測在包括 IGZO 膜之樣本中在 $g = 1.93$ 處觀測到的 ESR 信號的膜厚度與整合強度之間的關係。在如下樣本上進行量測，在該等樣本中在石英基板上沉積厚度範圍自 20 nm 至 100 nm 之 IGZO 膜。應注意，在以下條件下形成 IGZO 膜：採用濺鍍方法；使用

金屬氧化物靶材 (In: Ga: Zn = 1:1:1)；使用以氬稀釋，以體積計含 33%之氧的濺鍍氣體；壓力為 0.4 帕；形成功率為 500 瓦；且基板溫度為 200℃。

【0648】 圖 62 展示厚度變化之 IGZO 膜的 ESR 量測結果。在圖 62 中，水平軸代表每一樣本中之 IGZO 膜之厚度，且垂直軸代表在 $g = 1.93$ 處觀測到的 ESR 信號之整合強度。在以上樣本中，在 $g = 1.93$ 處觀測到 ESR 信號。應注意，藉由整合 ESR 信號，可計算引起 ESR 信號之自旋數目。換言之，圖 62 展示 IGZO 膜厚度相對於自 $g = 1.93$ 處觀測到之 ESR 信號之整合強度計算的自旋數目之相依性。自圖 62，IGZO 膜中在 $g = 1.93$ 處觀測到之 ESR 信號的整合強度實質上與膜厚度成正比。此指示，引起在 $g = 1.93$ 處觀測到之 ESR 信號的自旋不均勻地存在於 IGZO 膜中，且並未定位於石英基板與 IGZO 膜之間之界面處或 IGZO 膜之表面上。

【0649】 接著，量測在 $g = 1.93$ 處觀測到之 ESR 信號隨變化溫度的改變，且在圖 63 中展示結果。在圖 63 中，水平軸代表 $1000/T$ (T :絕對溫度)，左側垂直軸代表在 $g = 1.93$ 處觀測到之 ESR 信號的強度，且右側垂直軸代表 ESR 線寬。此處，ESR 線寬界定為具有 ESR 量測數據中輸出為勞侖茲函數之一階導數的最大信號強度及最小信號強度之磁場之間的距離。以如下方式獲得信號強度：藉由對 ESR 量測數據中輸出為導數的信號強度進行二階積分而獲得的值，在室溫下歸一化為 1。圖 63 展示在 $g = 1.93$ 處觀測到之 ESR 信號的強度幾乎並不取決於量測溫度。另外，吾人發現，ESR 線寬隨溫度降低而增大。

此類溫度相依性為藉由諸如石墨之包立（Pauli）順磁質之 ESR 量測所獲得之 ESR 信號的特性。亦即，圖 63 中所展示具有溫度相依性之 ESR 信號可能會由導電電子引起。

【0650】 接著，為了更詳細地檢查 IGZO 膜中氧空位（ V_o ）及氫（H）的行爲，對如下樣本進行分析，在該等樣本中，藉由在真空環境中之熱處理及降低之 H_2 環境中之熱處理引入氧空位（ V_o ）及氫（H）至 IGZO 膜中。此處，藉由不同條件下之熱處理生成樣本 B5 至 B12。表 12 展示每一樣本之熱處理的條件。在樣本 B5 至 B12 中之每一樣本中，在石英基板上形成 100 nm 厚之 IGZO 膜。在樣本 A1 之 IGZO 膜之條件下沉積 IGZO 膜，其中功率為 2500 瓦。

【0651】 在樣本 B5 至 B12 中，在真空環境中在 4×10^{-4} 帕下進行熱處理達一小時。藉由本實例中之前述<CMP>，真空環境中之熱處理使 IGZO 膜中之氧空位增多。亦預期熱處理降低 IGZO 膜中之氫濃度。

【0652】 另外，樣本 B6、B8、B10 及 B12 在降低之 H_2 環境中經受熱處理，以便添加氫至 IGZO 膜。亦即，樣本 B6、B8、B10 及 B12 將包括大量氧空位及氫。應注意，在降低之 H_2 環境中在 133 帕下進行熱處理達一小時，以使得氫以外之元素盡可能少地進入 IGZO 膜。

【0653】

[表 12]

	真空中退火	H ₂ 環境中退火
樣本 B5	保持沉積狀	-
樣本 B6		350°C
樣本 B7	450°C	-
樣本 B8		350°C
樣本 B9	600°C	-
樣本 B10		350°C
樣本 B11	800°C	-
樣本 B12		350°C

【0654】 圖 64 展示樣本 B5 至 B12 中 IGZO 膜之電阻係數、ESR 自旋密度以及熱處理條件之間的關係。ESR 自旋密度為 IGZO 膜中在 $g = 1.93$ 處觀測到之 ESR 信號的整合強度。在圖 64 中，條形圖代表 ESR 自旋密度，且線圖代表電阻係數隨 ESR 自旋密度之改變。為闡明趨勢，圖 64 中繪製 $1/\rho$ 而非電阻係數 ρ 。黑點代表樣本 B7、B9 及 B11 之 $1/\rho$ ，而白點代表樣本 B6、B8、B10 及 B12 之 $1/\rho$ 。

【0655】 圖 65 展示樣本 B5 至 B12 中 IGZO 膜之氫濃度、ESR 自旋密度以及熱處理條件之間的關係。ESR 自旋密度為 IGZO 膜中在 $g = 1.93$ 處觀測到之 ESR 信號的整合強度。在圖 65 中，條形圖代表 ESR 自旋密度，且線圖代表 IGZO 膜中氫濃度之改變。黑點代表樣本 B7、B9 及 B11 之氫濃度，而白點代表樣本 B6、B8、B10 及 B12 之氫濃度。

【0656】 圖 66 展示樣本 B5 至 B12 中 IGZO 膜之氫濃度、導電性 ($1/\rho$) 以及熱處理條件之間的關係。在圖 66 中，具有垂直線之條形圖代表氫濃度，且具有斜線之條形圖代表導電性。

【0657】 在圖 64 中，並未繪製樣本 B5 之電阻係數及 ESR 自旋密度，因為電阻係數大於或等於偵測上限 (1×10^2 歐姆公分) 且 ESR 自旋密度小於或等於偵測下限 (3.7×10^6 自旋數/立方公分)。

【0658】 在圖 64 中，在真空環境中經受熱處理之樣本 B7、B9 及 B11 之電阻係數明顯增大。在圖 66 中，樣本 B7、B9 及 B11 之導電性降低。相反地，圖 65 及圖 66 展示，在真空環境中經受熱處理之樣本 B7、B9 及 B11 中，氫濃度隨著熱處理溫度的升高而降低。另外，樣本 B11 中之 ESR 自旋密度降低。

【0659】 圖 64 亦展示，在降低之 H_2 環境中經受熱處理之樣本 B8、B10 及 B12 中，電阻係數幾乎相同，毋須考慮真空環境中之熱處理溫度。此外，在圖 66 中，樣本 B8、B10 及 B12 之導電性幾乎相同。另外，圖 65 及圖 66 展示，在降低之 H_2 環境中經受熱處理之樣本 B8、B10 及 B12 中，氫濃度幾乎相同，毋須考慮真空環境中之熱處理溫度。此外，樣本 B12 中之 ESR 自旋密度藉由在降低之 H_2 環境中進行之熱處理而增大。

【0660】 以上結果指示，藉由在真空環境中熱處理之後在降低之 H_2 環境中進行熱處理，當氫濃度及氧空位之數目兩者增大時，ESR 自旋密度增大。換言之，氧空位 (V_o) 及氫 (H) 之共存將顯著影響電阻係數及導電性。

【0661】 圖 67 展示樣本 B5 至 B12 之 ESR 自旋密度與 $1/\rho$ 之間的關係。在圖 67 中，水平軸代表每一樣本之 IGZO 膜中在 $g = 1.93$ 處觀測到之 ESR 信號的 ESR 自旋密度，且垂直軸代表每一樣本中 IGZO 膜的 $1/\rho$ 。在圖 67 中，黑點代表樣本 B7、B9 及 B11 之量測結果，而白點代表樣本 B6、B8、B10 及 B12 之量測結果。

【0662】 在圖 67 中，ESR 自旋密度與 $1/\rho$ 明顯具有正相關性。此表明，IGZO 膜中在 $g = 1.93$ 處觀測到之 ESR 信號與 H_0 及電阻係數緊密相關。

<TDS>

【0663】 爲了檢查 H_0 之穩定性，對表 12 中所展示之樣本 B6 及 B12 進行 TDS 分析。圖 68 展示 TDS 分析結果。樣本 B6 及 B12 在自 50°C 至 600°C 之表面溫度下經受熱處理，且圖 68 展示與所釋放之 H_2 (質荷比 $m/z = 2$) 及所釋放之 H_2O (質荷比 $m/z = 18$) 成比例之強度。應注意， H_2O 在 100°C 或更低之表面溫度下的釋放由釋放被吸收至表面之水引起。

【0664】 樣本 B6 及 B12 含有大量 H；然而，在 800°C 下之真空中烘烤之樣本 B12 中並未發現 H_2O 氣體之釋放，甚至當加熱樣本 B12 至 550°C 時亦未發現。此有可能係因爲引入了氧空位 (V_o)，且進入其中之氫 (H) 變得穩定，因爲 H_0 不可能由熱處理釋放。此結果與實施例 4 所描述之計算結果一致。

<HX-PES (2)>

【0665】 爲了檢查實施例 4 中所描述之機制是否是 IGZO 膜及氮化矽膜之堆疊膜的電阻降低的原因，對在 IGZO 膜上形成氮化矽膜且隨後回蝕之樣本進行 HX-PES 分析。

【0666】 首先，將描述樣本 B13 之製造方法。

【0667】 在矽晶圓上沉積 100 nm 厚之 IGZO 膜。

【0668】 應注意，在以下條件下形成 IGZO 膜：採用濺鍍方法；使用金屬氧化物靶材（In: Ga: Zn = 1:1:1）；使用以氬稀釋，以體積計含 50%之氧的濺鍍氣體；壓力爲 0.6 帕；形成功率爲 2500 瓦；且基板溫度爲 170°C。經由以上製程獲得樣本 B13。

【0669】 接著，將描述樣本 B14 之製造方法。

【0670】 在與樣本 B13 相同之條件下，在矽晶圓上沉積 100 nm 厚之 IGZO 膜；隨後，形成 100 nm 厚之氮化矽膜。

【0671】 在以下條件下形成氮化矽膜：採用電漿 CVD 方法；SiH₄、N₂ 及 NH₃ 之氣體流率分別爲 50 標準毫升/分鐘、5000 標準毫升/分鐘及 100 標準毫升/分鐘；壓力爲 100 帕；形成功率爲 1000 瓦；且基板溫度爲 350°C。

【0672】 接著，蝕刻氮化矽膜，以便暴露 IGZO 膜。經由以上製程獲得樣本 B14。應注意，包括在樣本 B14 中之 IGZO 膜具有減小之電阻。

【0673】 圖 69 展示樣本 B13 及 B14 之 HX-PES 分析的結果。應注意，圖 69 亦展示具有自 -0.5 電子伏特至 0.5 電子伏特之連結能量之

光譜的放大圖。在圖 69 中，實線代表樣本 B14 之分析結果，而虛線代表樣本 B13 之分析結果。

【0674】 吾人發現，與樣本 B13 相比，在樣本 B14 中離費米能階約 0.2 電子伏特處之淺層能階增大。吾人亦發現，與樣本 B13 相比，在樣本 B14 中離費米能階約 2 電子伏特處之深層能階增大。如以上所描述，能階之此等增大有可能由如下增大引起：歸因於當在 IGZO 膜上沉積氮化矽膜時產生之損壞的氧空位 (V_o) 的增大，以及歸因於氮化矽膜中所含有之氫 (H) 擴散至 IGZO 膜的 H_o 的增大。

【0675】 以上結果指示，藉由歸因於當在氧化物半導體膜上沉積膜時產生之損壞的氧空位 (V_o)，以及藉由歸因於自外部之氫 (H) 的擴散的 H_o ，在氧化物半導體膜中形成施子能階。

<電阻係數之溫度相依性>

【0676】 接著，將參閱圖 70 來描述使用氧化物半導體形成之膜（下文稱為氧化物半導體膜 (OS)）的電阻係數之溫度相依性以及使用氧化物導體形成之膜（下文稱為氧化物導體膜 (OC)）的電阻係數之溫度相依性。在圖 70 中，水平軸代表量測溫度，且垂直軸代表電阻係數。此處，藉由四點範德堡 (van der Pauw) 法量測電阻係數。氧化物半導體膜 (OS) 之量測結果繪製為圓形，且氧化物導體膜 (OC) 之量測結果繪製為方形。

【0677】 應注意，藉由如下步驟製備包括氧化物半導體膜 (OS) 之樣本：藉由使用原子比為 $\text{In: Ga: Zn} = 1:1:1.2$ 之濺鍍靶材之

濺鍍方法在玻璃基板上形成 35 nm 厚之 In-Ga-Zn 氧化物膜；藉由使用原子比為 In: Ga: Zn = 1:4:5 之濺鍍靶材之濺鍍方法在 35 nm 厚之 In-Ga-Zn 氧化物膜上形成 20 nm 厚之 In-Ga-Zn 氧化物膜；在氮環境中在 450°C 下進行熱處理，隨後在氮及氧之混合氣體之環境中在 450°C 下進行熱處理；以及藉由電漿 CVD 方法形成氧氮化矽膜。

【0678】 藉由如下步驟製備包括氧化物導體膜（OC）之樣本：藉由使用原子比為 In: Ga: Zn = 1:1:1 之濺鍍靶材之濺鍍方法在玻璃基板上形成 100 nm 厚之 In-Ga-Zn 氧化物膜；在氮環境中在 450°C 下進行熱處理，隨後在氮及氧之混合氣體之環境中在 450°C 下進行熱處理；以及藉由電漿 CVD 方法形成氮化矽膜。

【0679】 如自圖 70 可見，氧化物導體膜（OC）電阻係數之溫度相依性低於氧化物半導體膜（OS）電阻係數之溫度相依性。通常，氧化物導體膜（OC）在自 80K 至 290K 之溫度下電阻係數之變化範圍大於-20%且小於+20%。或者，在自 150K 至 250K 之溫度下電阻係數之變化範圍大於-10%且小於+10%。換言之，氧化物半導體為退化半導體，且表明，導電帶邊緣與費米能階一致或實質上一致。

[實例 3]

【0680】 在本實例中，使用實施例 5 來製造液晶顯示裝置。將描述液晶顯示裝置之規格及顯示影像。

【0681】 表 13 展示液晶顯示裝置之規格。

【0682】

[表 13]

螢幕對角線	4.29 吋
解析度	1080×RGB (H)×1920(V)：全高解析度
像素節距	15 微奈米(H)×49.5 微米(V)
像素密度	513ppi
液晶模式	邊緣場切換
孔徑比	45.50%
FET	CAAC-OS

【0683】 圖 71 展示本實例中製造之液晶顯示裝置上所顯示之影像的照片。如在圖 71 中所見，本發明之實施例之顯示裝置為具高顯示品質之高解析度液晶顯示裝置。應注意，可以較低頻率驅動本實例中製造之液晶顯示裝置，因此可消耗較低功率。

本申請案基於 2013 年 11 月 29 日向日本專利局提出申請之日本專利申請案第 2013-248320 號、2014 年 2 月 25 日向日本專利局提出申請之日本專利申請案第 2014-033904 號，以及 2014 年 5 月 23 日向日本專利局提出申請之日本專利申請案第 2014-107582 號，該等申請案之全部內容以引用方式併入本文。

【符號說明】

【0684】

- A-B...點劃線
- C-D...點劃線
- 1...氧位點
- 2...氧位點

3...氧位點

4...氧位點

11...基板

12...導電膜

13...導電膜

14...閘極絕緣膜

15...氮化物絕緣膜

16...氧化物絕緣膜

17...氧化物半導體膜

18...氧化物半導體膜

19a...氧化物半導體膜

19b...氧化物半導體膜

19c...氧化物半導體膜

19d...氧化物半導體膜

19f...氧化物半導體膜

19g...氧化物半導體膜

20...導電膜

21a...導電膜

21b...導電膜

21c...導電膜

21d...導電膜

21e...導電膜

- 21f...導電膜
- 22...氧化物絕緣膜
- 23...氧化物絕緣膜
- 24...氧化物絕緣膜
- 25...氧化物絕緣膜
- 26...氮化物絕緣膜
- 27...氮化物絕緣膜
- 28...導電膜
- 29...共用電極
- 29b...導電膜
- 29c...導電膜
- 29d...導電膜
- 30...無機絕緣膜
- 30a...無機絕緣膜
- 31...有機絕緣膜
- 31a...有機樹脂膜
- 33...配向膜
- 37a...多層膜
- 37b...多層膜
- 38a...多層膜
- 38b...多層膜
- 39a...氧化物半導體膜

39b...氧化物半導體膜

40...開口

41...開口

41a...開口

41b...開口

49a...氧化物半導體膜

49b...氧化物半導體膜

101...像素部分

102...電晶體

102a...電晶體

102b...電晶體

102c...電晶體

102d...電晶體

102e...電晶體

103...像素

103a...像素

103b...像素

103c...像素

104...掃描線驅動器電路

105...電容器

105a...電容器

105a...電容器

- 105b...電容器
- 105c...電容器
- 106...信號線驅動器電路
- 107...掃描線
- 109...信號線
- 115...電容器線
- 121...液晶元件
- 131...發光元件
- 133...電晶體
- 135...電晶體
- 137...布配線
- 139...布配線
- 141...布配線
- 151...基板
- 153...絕緣膜
- 153a...絕緣膜
- 154...稀有氣體
- 155...氧化物半導體膜
- 155a...氧化物半導體膜
- 155b...氧化物半導體膜
- 155c...氧化物半導體膜
- 157...絕緣膜

157a...絕緣膜

159...導電膜

160a...電阻器

160b...電阻器

160c...電阻器

160d...電阻器

160g...電阻器

161...導電膜

162...導電膜

163...導電膜

164...導電膜

170a...保護電路

170b...保護電路

171...布配線

172...布配線

173...電阻器

173a...電阻器

173b...電阻器

173c...電阻器

174...電晶體

174a...電晶體

174b...電晶體

174c...電晶體

174d...電晶體

175...布配線

176...布配線

177...布配線

180a...電容器

180b...電容器

180e...電容器

181...導電膜

320...液晶層

322...液晶元件

342...基板

344...阻光膜

346...彩色膜

348...絕緣膜

350...導電膜

352...配向膜

370a...發光元件

370b...發光元件

371...絕緣膜

373...EL 層

375...導電膜

- 1001...主體
- 1002...外殼
- 1003b...顯示部分
- 1003a...顯示部分
- 1004...鍵盤按鈕
- 1021...主體
- 1022...固定部分
- 1023...顯示部分
- 1024...操作按鈕
- 1025...外部記憶體擴充槽
- 1030...外殼
- 1031...外殼
- 1032...顯示面板
- 1033...揚聲器
- 1034...麥克風
- 1035...操作按鍵
- 1036...指向裝置
- 1037...攝影機
- 1038...外部連接端子
- 1040...太陽能電池
- 1041...外部記憶體擴充槽
- 1050...電視機

1051...外殼

1052...儲存媒體記錄及再現部分

1053...顯示部分

1054...外部連接端子

1055...支架

1056...外部記憶體

1101...外殼

1110...顯示面板

1111...第一顯示區域

1112...第二顯示區域

1113...第三顯示區域

1114...第四顯示區域

5100...丸片

5100a...丸片

5100b...丸片

5101...離子

5102...氧化鋅層

5103...顆粒

5105a...丸片

5105a1...區域

5105a2...丸片

5105b...丸片

5105c...丸片
5105d...丸片
5105d1...區域
5105e...丸片
5120...基板
5130...靶材
5161...區域
8000...顯示模組
8001...上蓋
8002...下蓋
8003...FPC
8004...觸摸面板
8005...FPC
8006...顯示面板
8007...背光單元
8008...光源
8009...框架
8010...印刷版
8011...電池組

發明摘要

※ 申請案號：103140843

※ 申請日：103.11.25 ※IPC分類：H01L 21/336 (2006.01)
H01L 21/324 (2006.01)

【發明名稱】 半導體裝置之製造方法

MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE

【中文】

本發明提供一種用以製造包括具導電性之氧化物半導體薄膜之半導體裝置的方法，或一種用以製造包括具發光性質及導電性之氧化物半導體薄膜之半導體裝置的方法。用以製造半導體裝置之方法包括以下步驟：在第一絕緣薄膜上形成氧化物半導體薄膜；在氣氛中進行第一熱處理，其中氧化物半導體薄膜中所含有之氧釋放到該氣氛進行；以及在含氫氣氛中進行第二熱處理，以使得形成具導電性之氧化物半導體薄膜。

【英文】

To provide a method for manufacturing a semiconductor device including an oxide semiconductor film having conductivity, or a method for manufacturing a semiconductor device including an oxide semiconductor film having a light-transmitting property and conductivity. The method for manufacturing a semiconductor device includes the steps of forming an oxide semiconductor film over a first

insulating film, performing first heat treatment in an atmosphere where oxygen contained in the oxide semiconductor film is released, and performing second heat treatment in a hydrogen-containing atmosphere, so that an oxide semiconductor film having conductivity is formed.

【代表圖】

【本案指定代表圖】：圖 3C。

【本代表圖之符號簡單說明】：

155b 氧化物半導體膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種用以製造一半導體裝置之方法，其包含下列步驟：

在一第一絕緣膜上形成一氧化半導體膜；

在一環境中進行一第一熱處理，其中該氧化半導體膜中的氧係被釋放到該環境中；以及

於該第一熱處理之後，在一含氫環境中進行一第二熱處理以形成一具導電性的氧化半導體膜。

2. 如申請專利範圍第 1 項之用以製造一半導體裝置之方法，其中該第一熱處理係在大於或等於 350°C 且小於或等於 800°C 之溫度下進行，且其中該第一熱處理係在壓力為大於或等於 1×10^{-7} 帕且小於或等於 10 帕之環境中進行。

3. 如申請專利範圍第 1 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜中之一氫濃度係大於或等於 8×10^{19} 原子數/立方公分。

4. 如申請專利範圍第 1 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜的一電阻係數係大於或等於 1×10^{-3} 歐姆·公分且小於 1×10^4 歐姆·公分。

5. 如申請專利範圍第 1 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜包括一晶體部，且該晶體部之一 c-軸係實質上平行於形成有該氧化半導體膜之一表面的一法線向量。

6. 如申請專利範圍第 1 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜包括 In-Ga 氧化物、In-Zn 氧化物、及 In-M-

Zn 氧化物（ M 係 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）中之至少一者。

7. 如申請專利範圍第 1 項之用以製造一半導體裝置之方法，其中該半導體裝置包括一電阻器，且其中該電阻器包括該具導電性的氧化半導體膜。

8. 如申請專利範圍第 1 項之用以製造一半導體裝置之方法，其中該半導體裝置包括一電容器，且其中該電容器包括該具導電性的氧化半導體膜。

9. 一種用以製造一半導體裝置之方法，其包含下列步驟：

在一第一絕緣膜上形成一氧化半導體膜；

添加一稀有氣體至該氧化半導體膜；以及

在一含氫環境中進行一熱處理以形成一具導電性的氧化半導體膜。

10. 如申請專利範圍第 9 項之用以製造一半導體裝置之方法，其中該稀有氣體係氦、氖、氬、氪及氙中之至少一者。

11. 如申請專利範圍第 9 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜中之一氫濃度係大於或等於 8×10^{19} 原子數/立方公分。

12. 如申請專利範圍第 9 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜的一電阻係數係大於或等於 1×10^{-3} 歐姆·公分且小於 1×10^4 歐姆·公分。

13. 如申請專利範圍第 9 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜包括一晶體部，且該晶體部之一 c-軸係實質上平行於形成有該氧化半導體膜之一表面的一法線向量。
14. 如申請專利範圍第 9 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜包括 In-Ga 氧化物、In-Zn 氧化物、及 In-M-Zn 氧化物（M 係 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）中之至少一者。
15. 如申請專利範圍第 9 項之用以製造一半導體裝置之方法，其中該半導體裝置包括一電阻器，且其中該電阻器包括該具導電性的氧化半導體膜。
16. 如申請專利範圍第 9 項之用以製造一半導體裝置之方法，其中該半導體裝置包括一電容器，且其中該電容器包括該具導電性的氧化半導體膜。
17. 一種用以製造一半導體裝置之方法，其包含下列步驟：
 在一第一絕緣膜上形成一氧化半導體膜；
 在一環境中進行一第一熱處理，其中該氧化半導體膜中的氧係被釋放到該環境中；以及
 暴露該氧化半導體膜至一溶液中，該溶液含有硼、磷、鹼金屬、及鹼土金屬中之至少一者；
 進行一第二熱處理以形成一具導電性的氧化半導體膜。
18. 如申請專利範圍第 17 項之用以製造一半導體裝置之方法，其中該第一熱處理係在大於或等於 350℃ 且小於或等於 800℃ 之溫度下進

行，且其中該第一熱處理係在壓力為大於或等於 1×10^{-7} 帕且小於或等於 10 帕之環境中進行。

19. 如申請專利範圍第 17 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜的電阻係數係大於或等於 1×10^{-3} 歐姆·公分且小於 1×10^4 歐姆·公分。

20. 如申請專利範圍第 17 項之用以製造一半導體裝置之方法，其中該具導電性的氧化半導體膜包括 In-Ga 氧化物、In-Zn 氧化物、及 In-*M*-Zn 氧化物（*M* 係 Al、Ga、Y、Zr、Sn、La、Ce 或 Nd）中之至少一者。

圖式

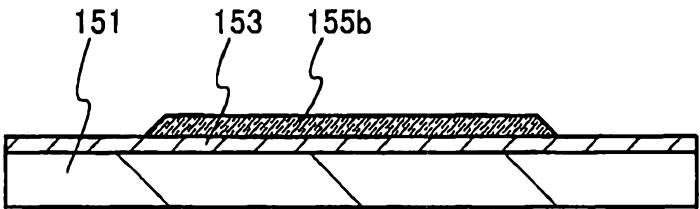


圖1A

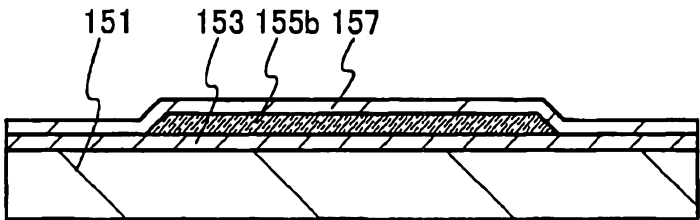


圖1B

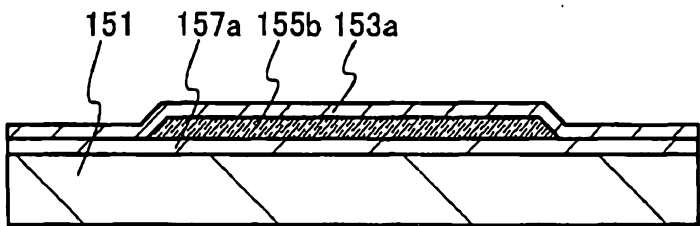


圖1C

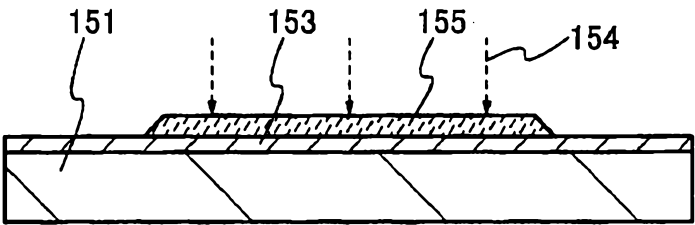


圖2A

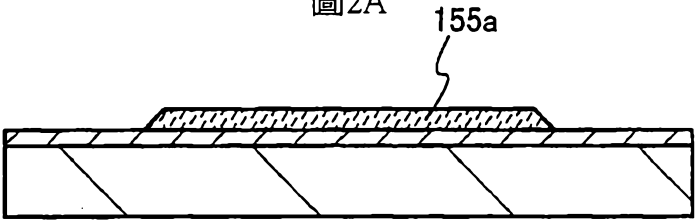


圖2B

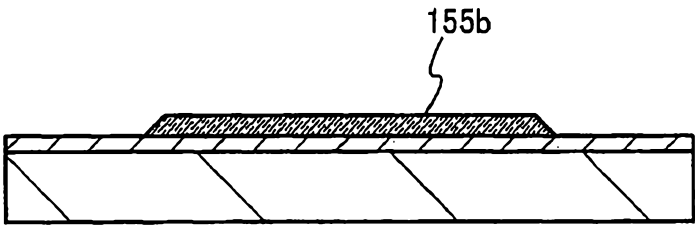


圖2C

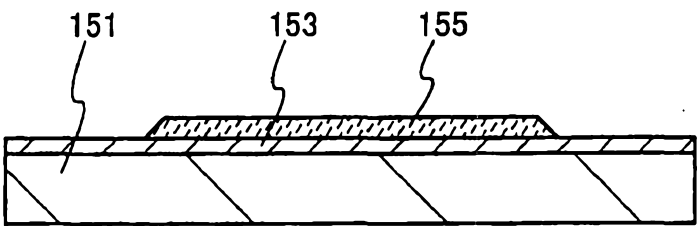


圖3A

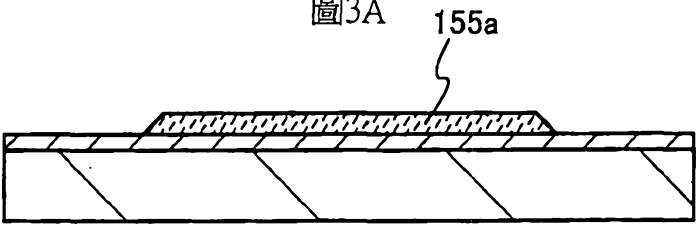


圖3B

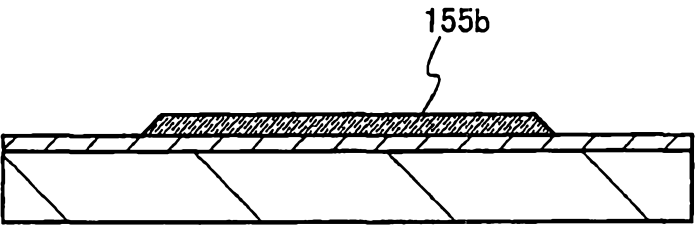


圖3C

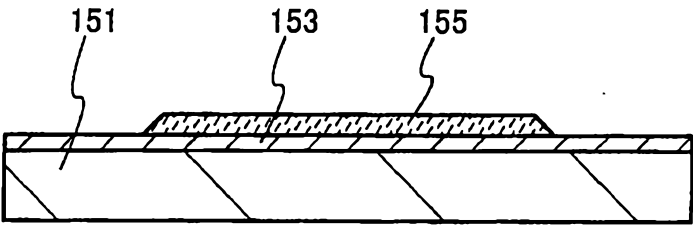


圖4A

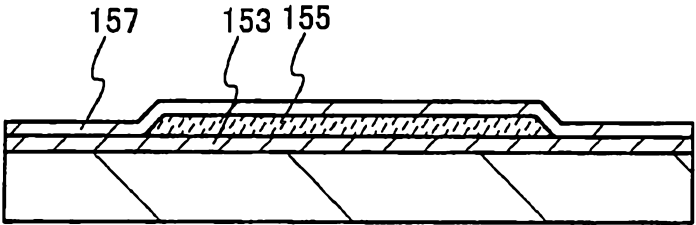


圖4B

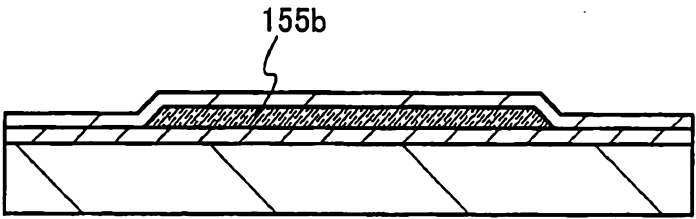


圖4C

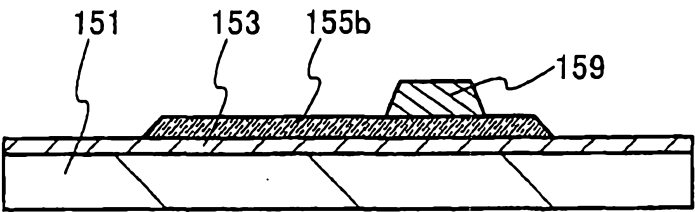


圖5A

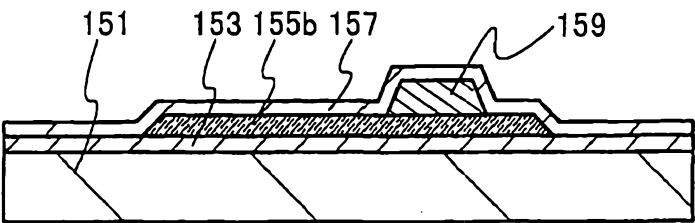


圖5B

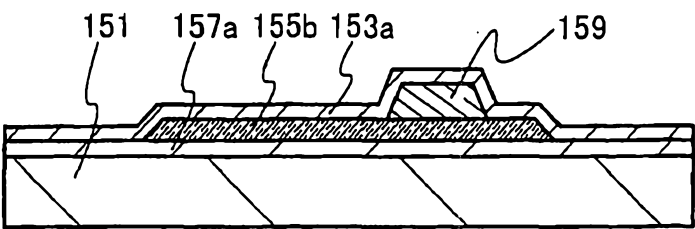


圖5C

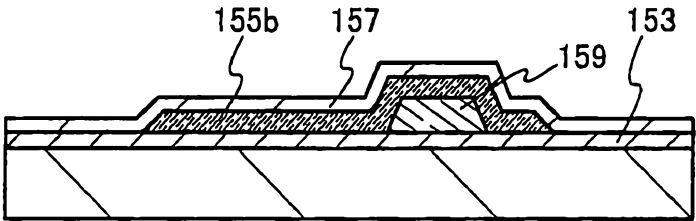


圖6

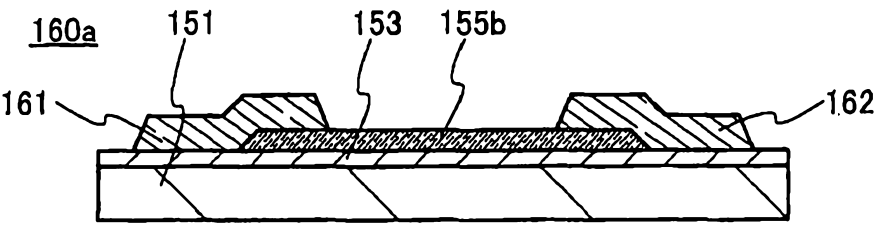


圖7A

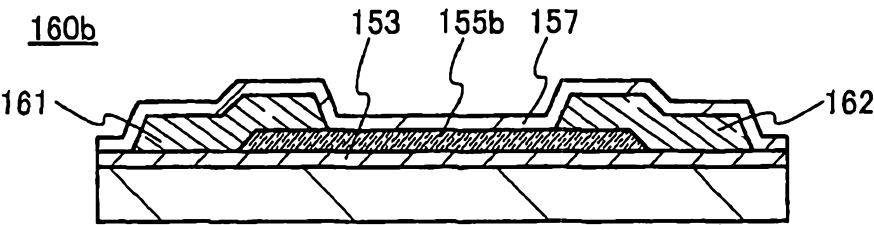


圖7B

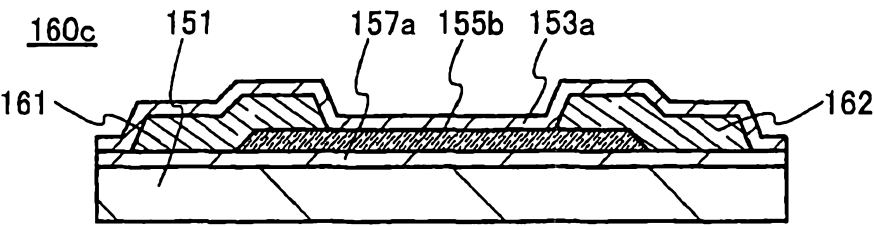


圖7C



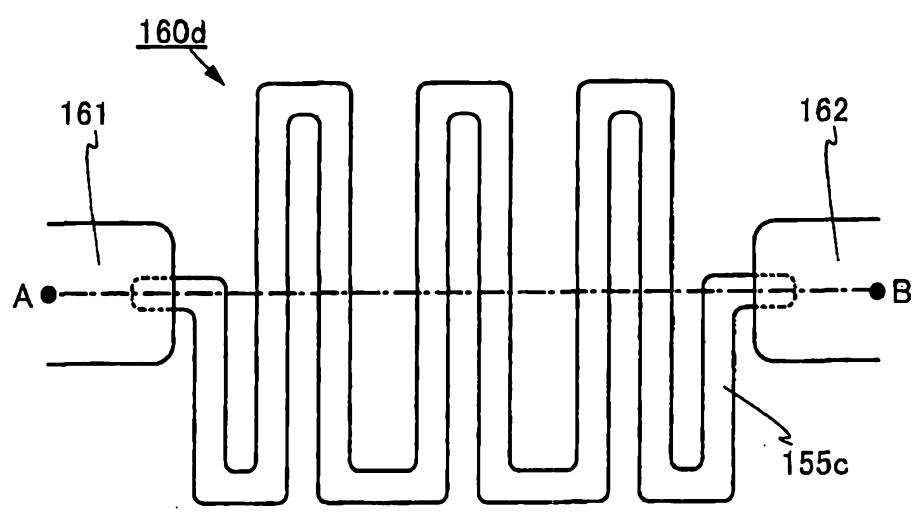


圖9A

160d

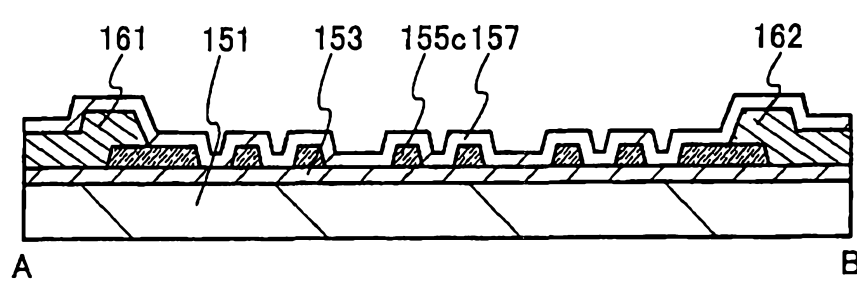


圖9B

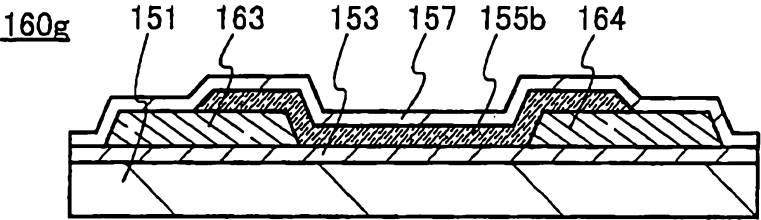


圖10

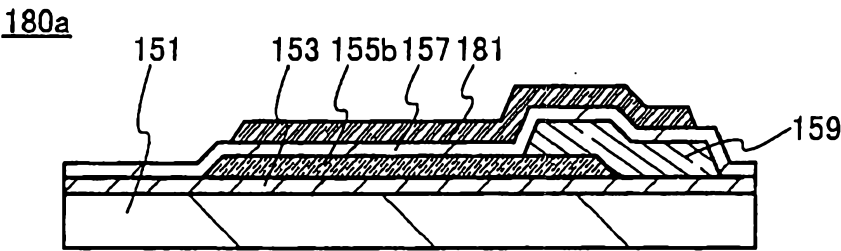


圖11A

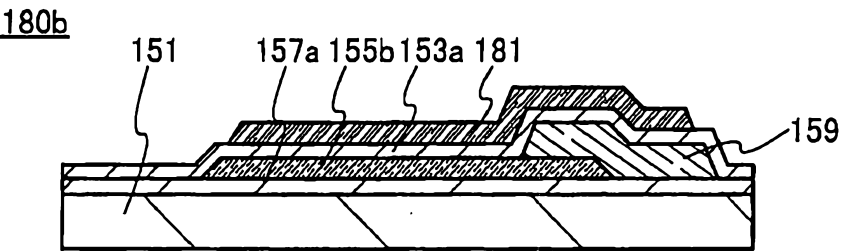


圖11B

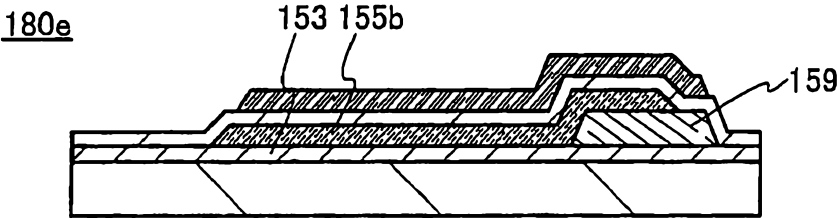


圖12

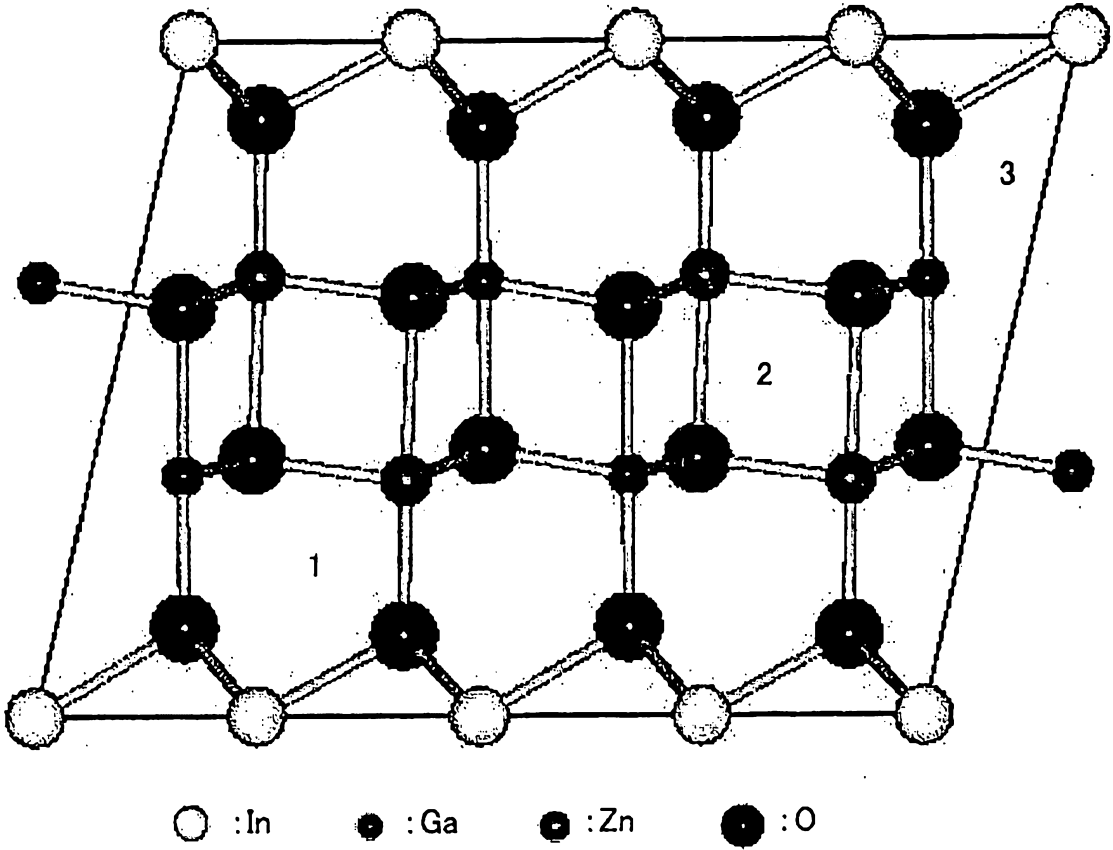


圖13

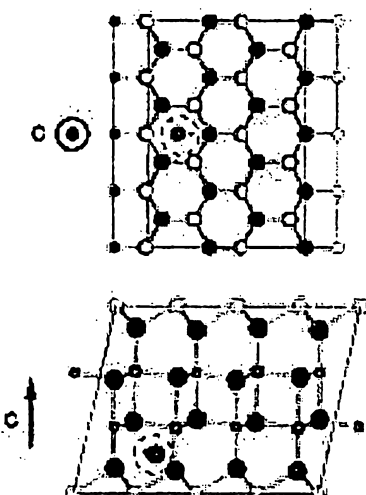
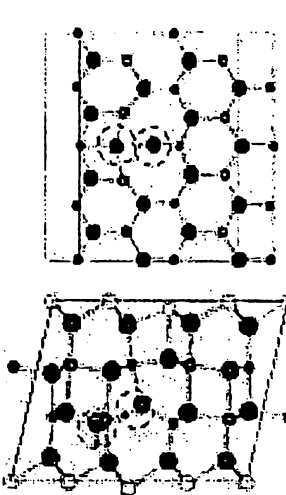
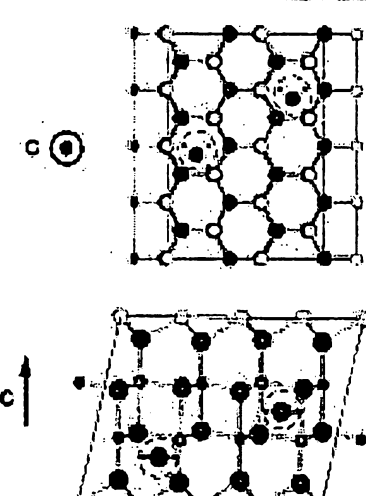
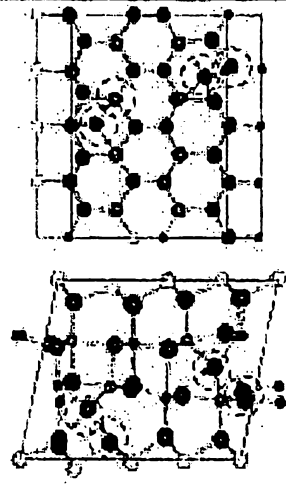
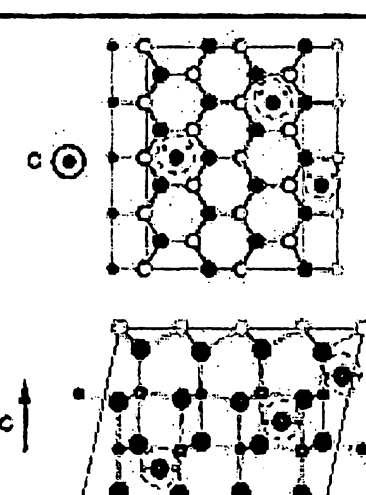
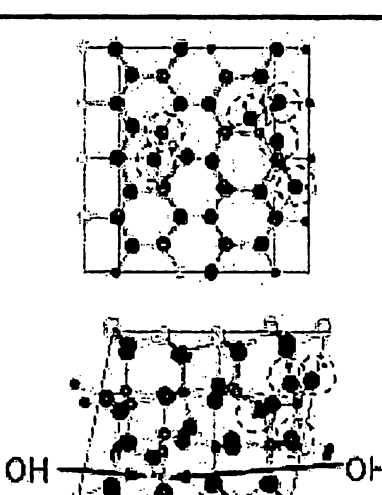
添加之 H2O量	初始位置	最佳化之後
1 (@1)		
2 (@1, 2)		
3 (@1, 2, 3)		

圖14

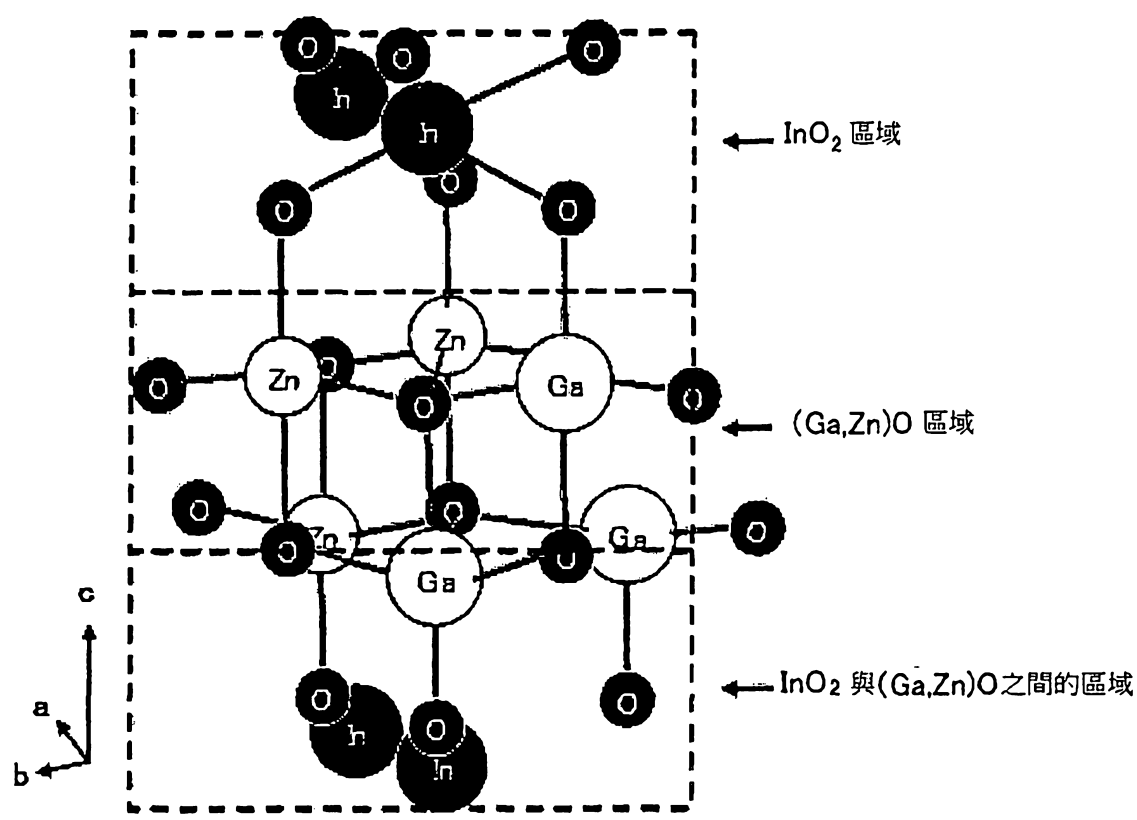


圖15

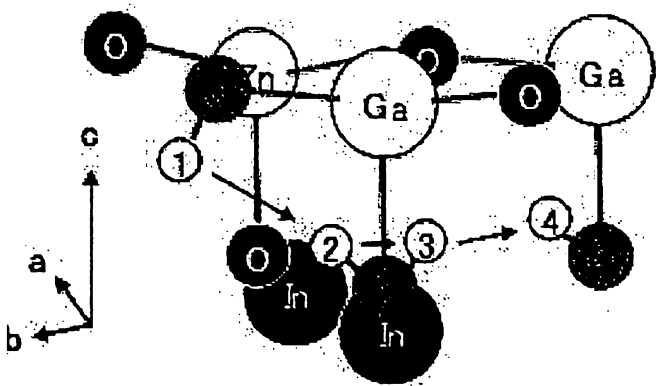


圖16A

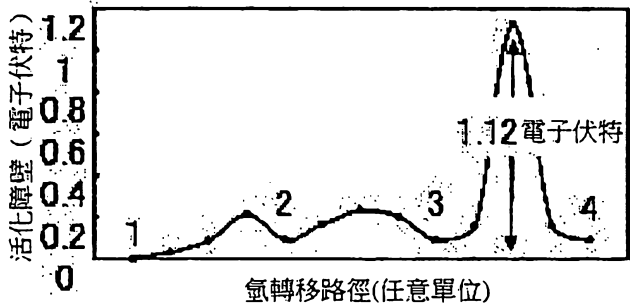


圖16B

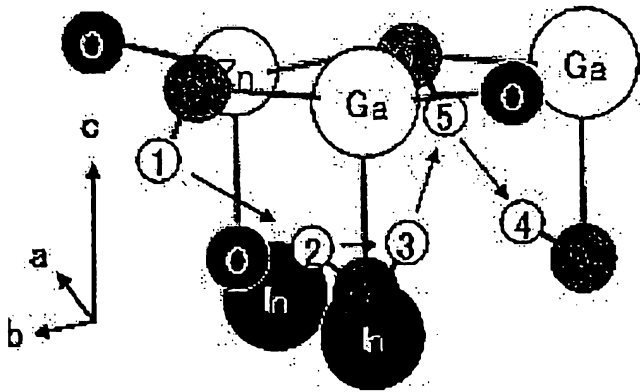


圖16C

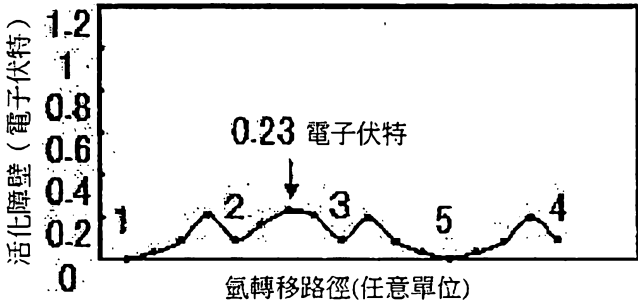


圖16D

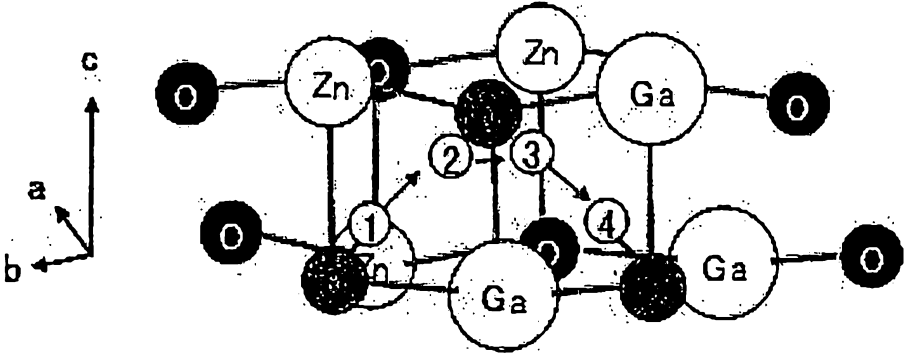


圖17A

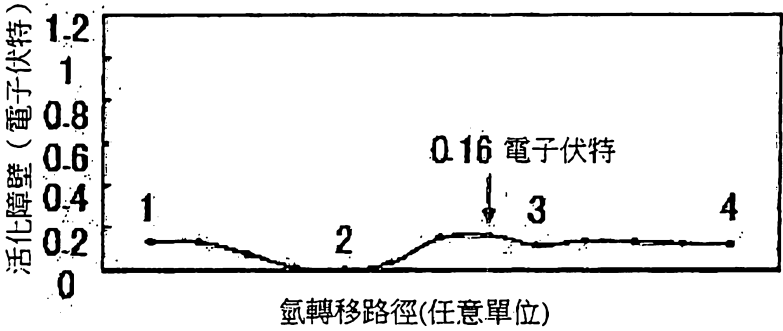


圖17B

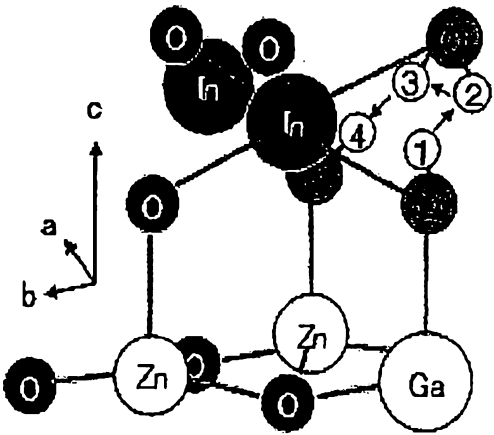
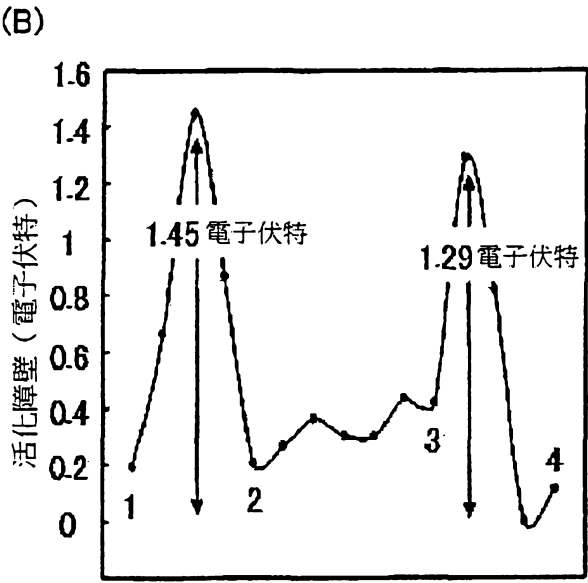


圖18A



氫轉移路徑(任意單位)

圖18B

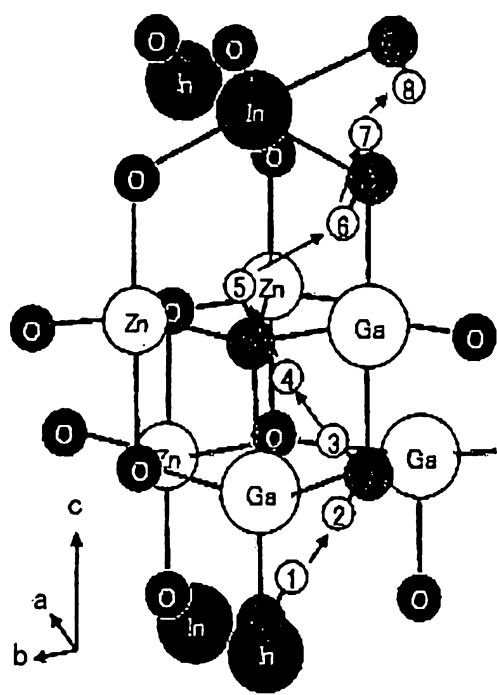


圖19A

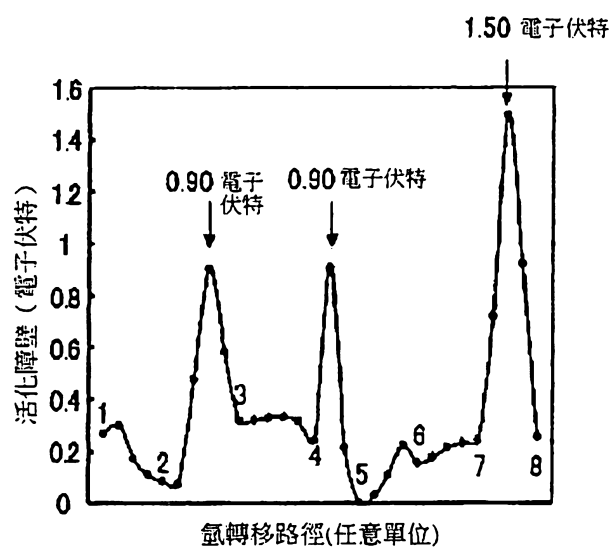


圖19B

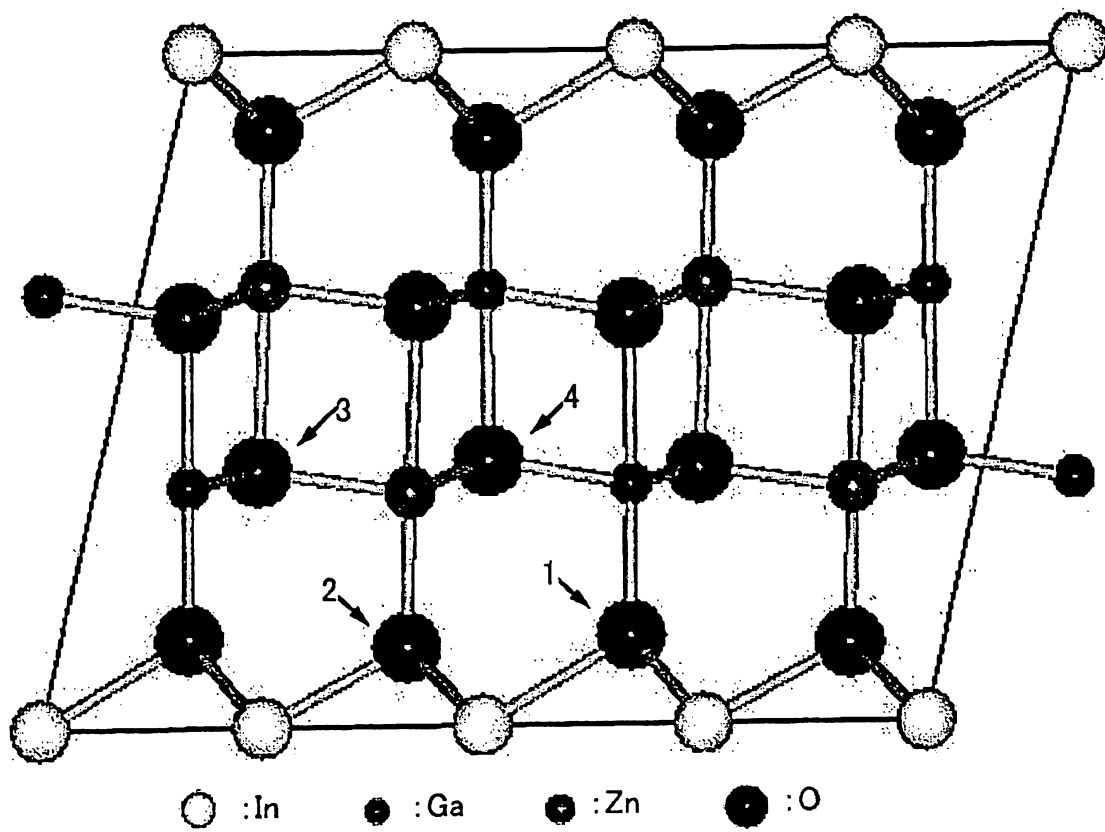


圖20

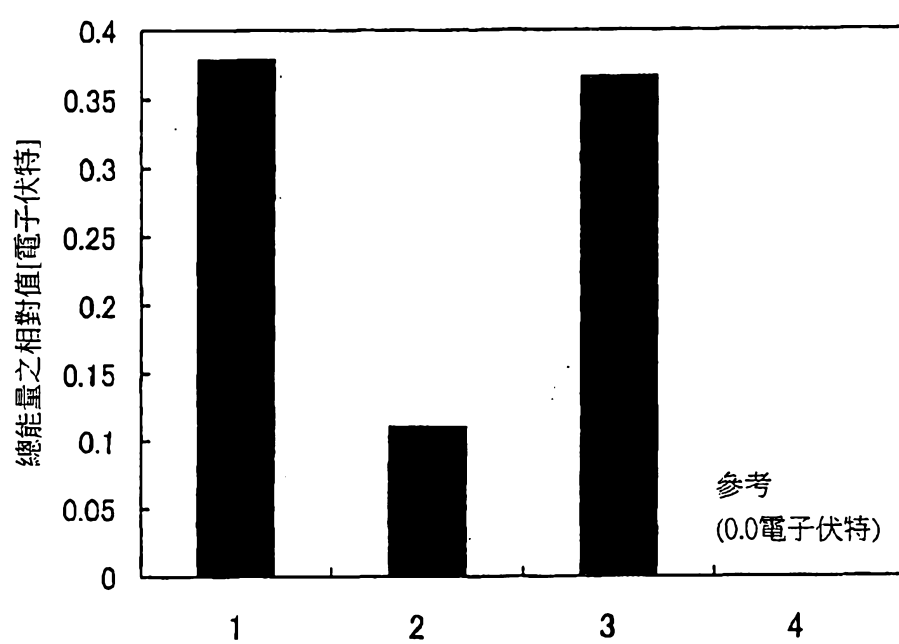


圖21

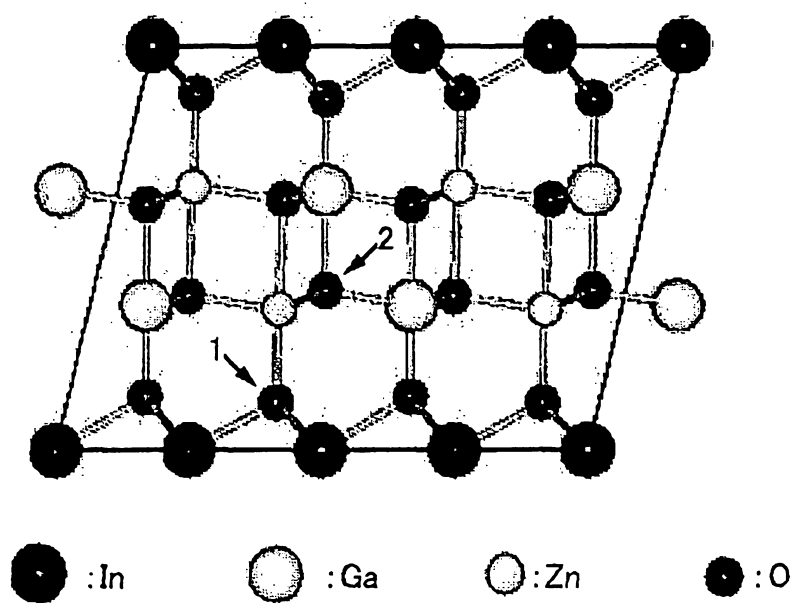


圖22

初始狀態 (H_o)

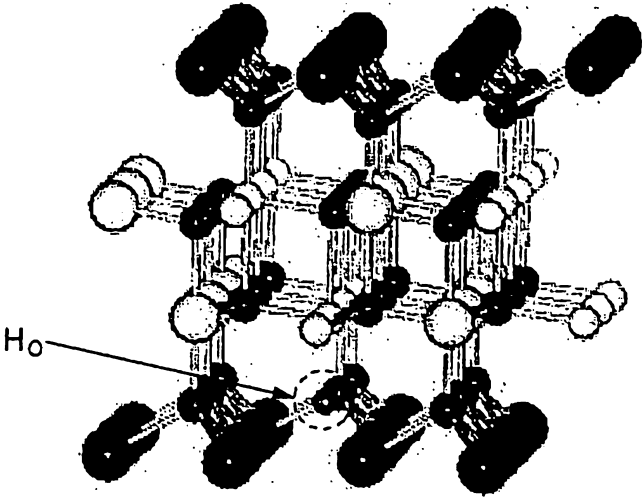


圖23A

最終狀態 ($V_o, H-O$)

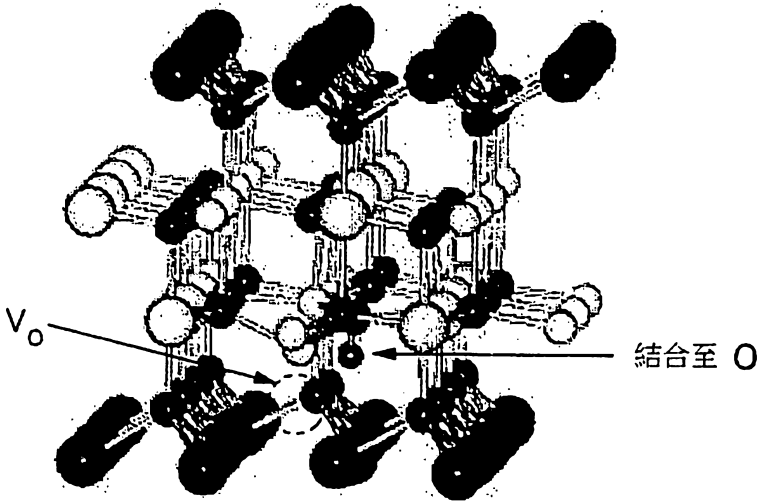


圖23B

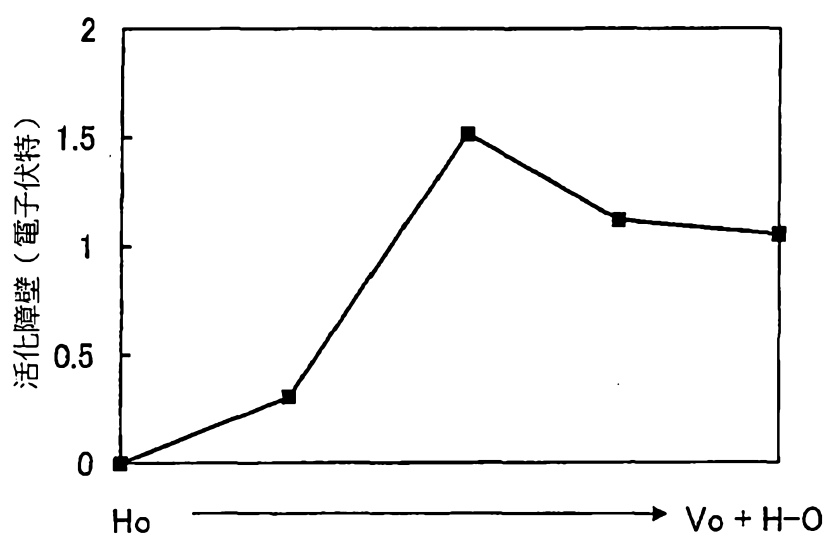


圖24

初始狀態 (H_0)

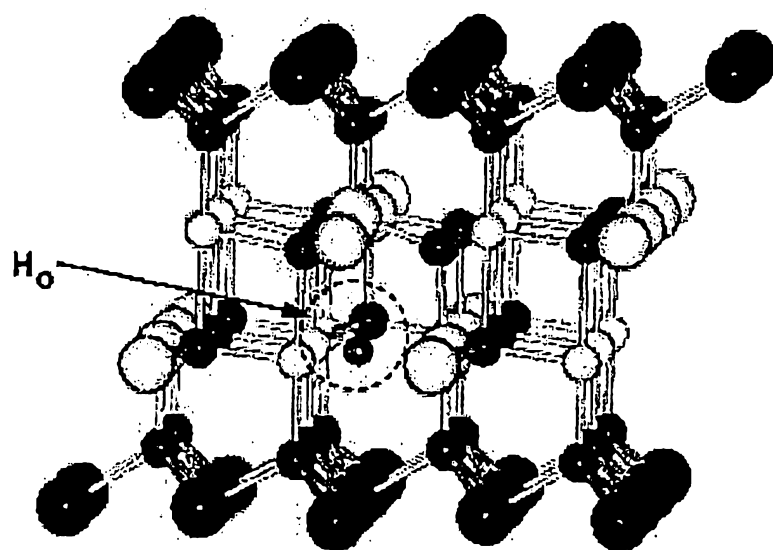


圖25A

最終狀態 ($V_0, H-O$)

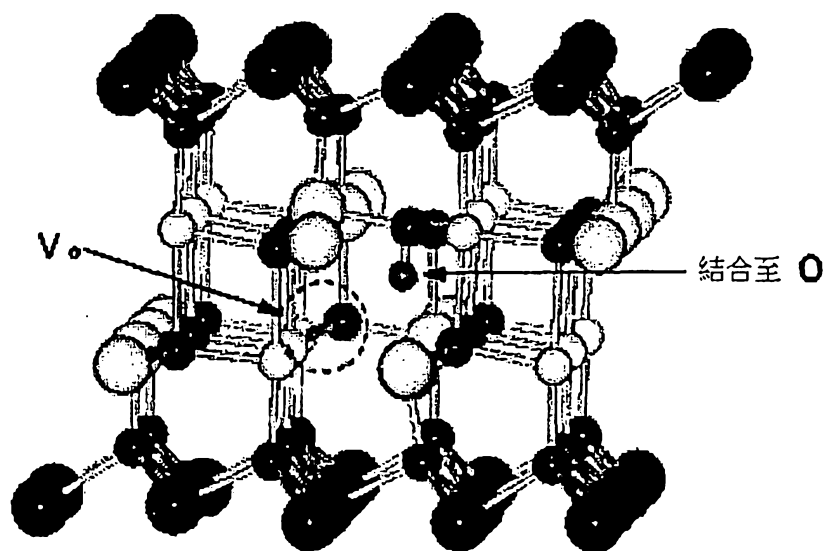


圖25B

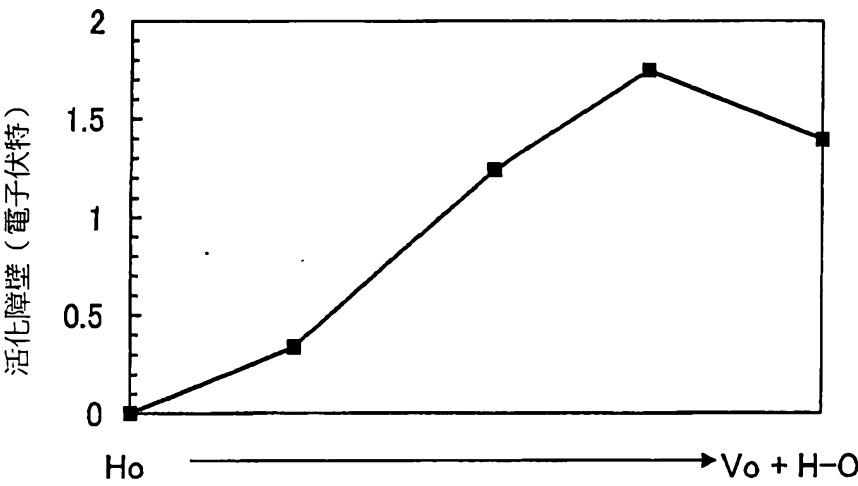


圖26

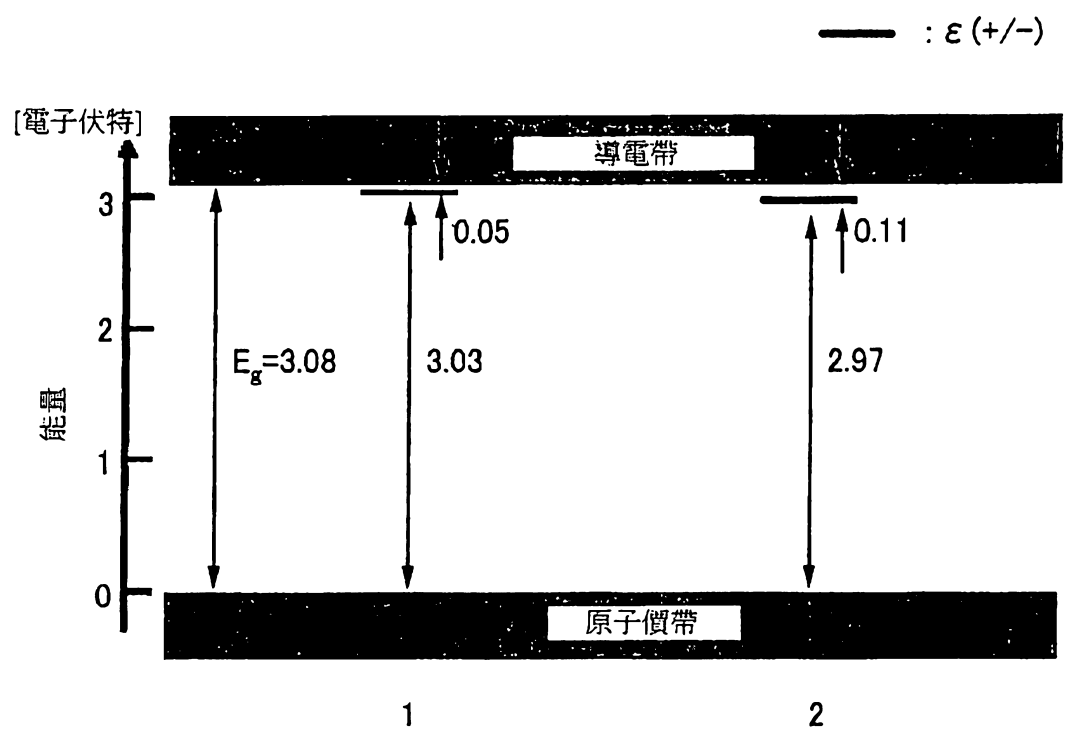


圖27

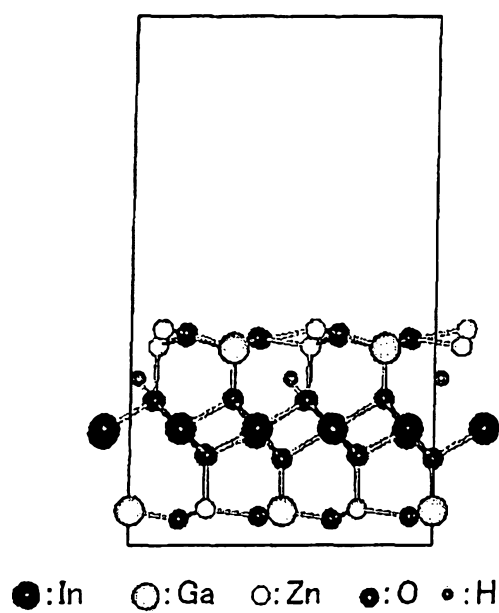


圖28

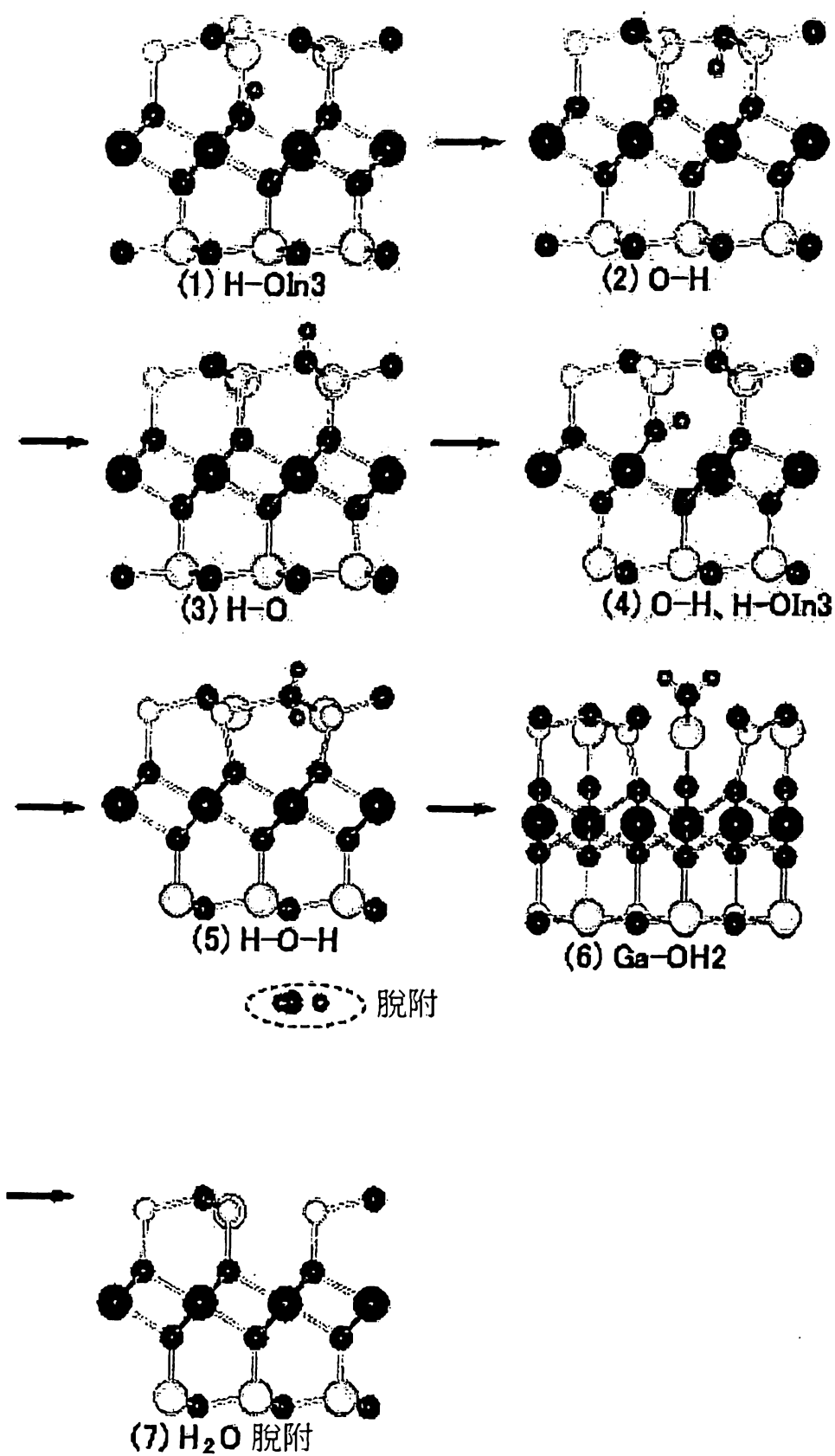


圖29

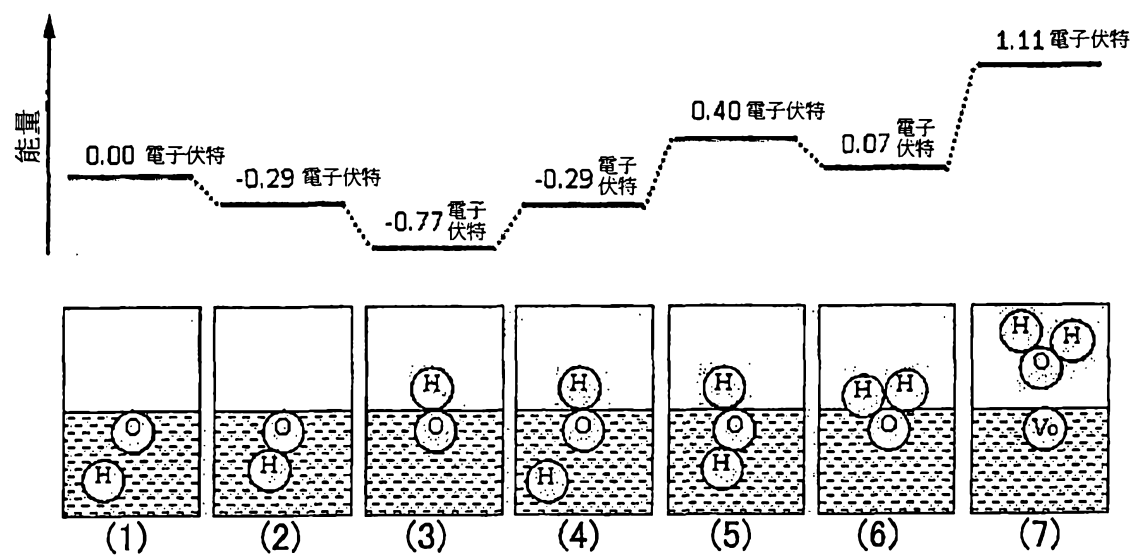


圖30

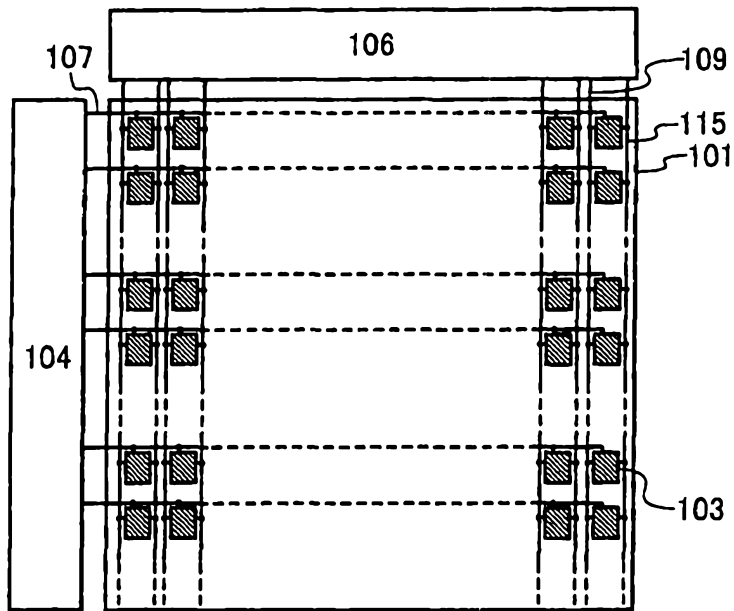


圖31A

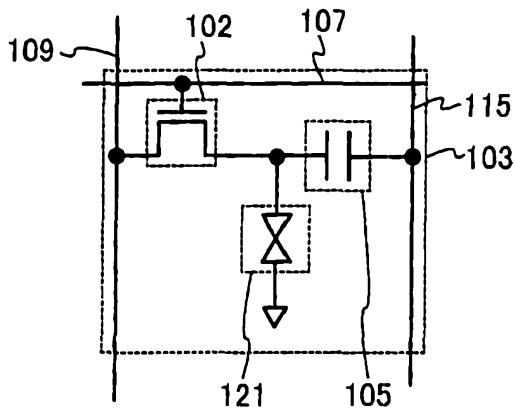


圖31B

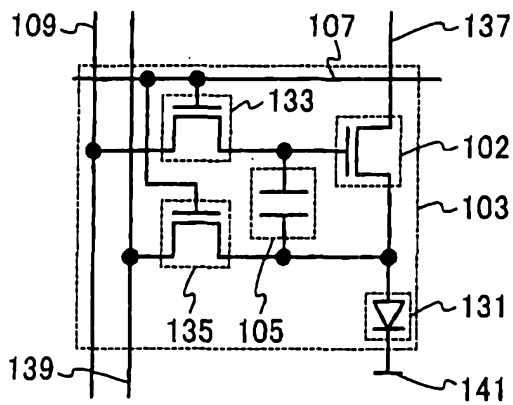


圖31C

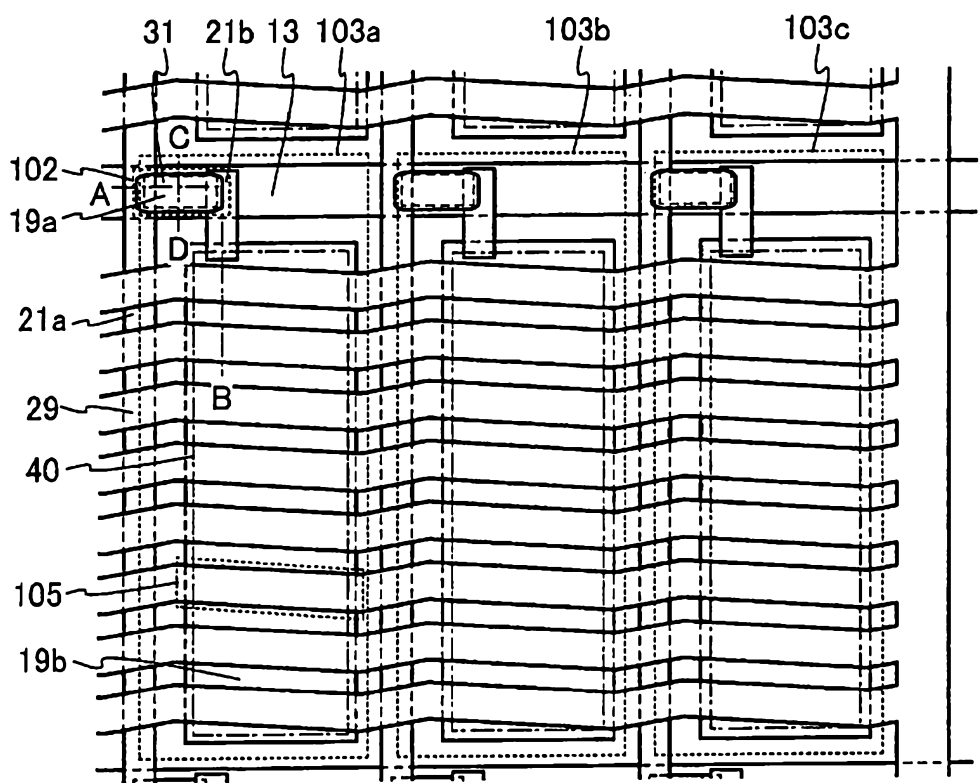


圖32

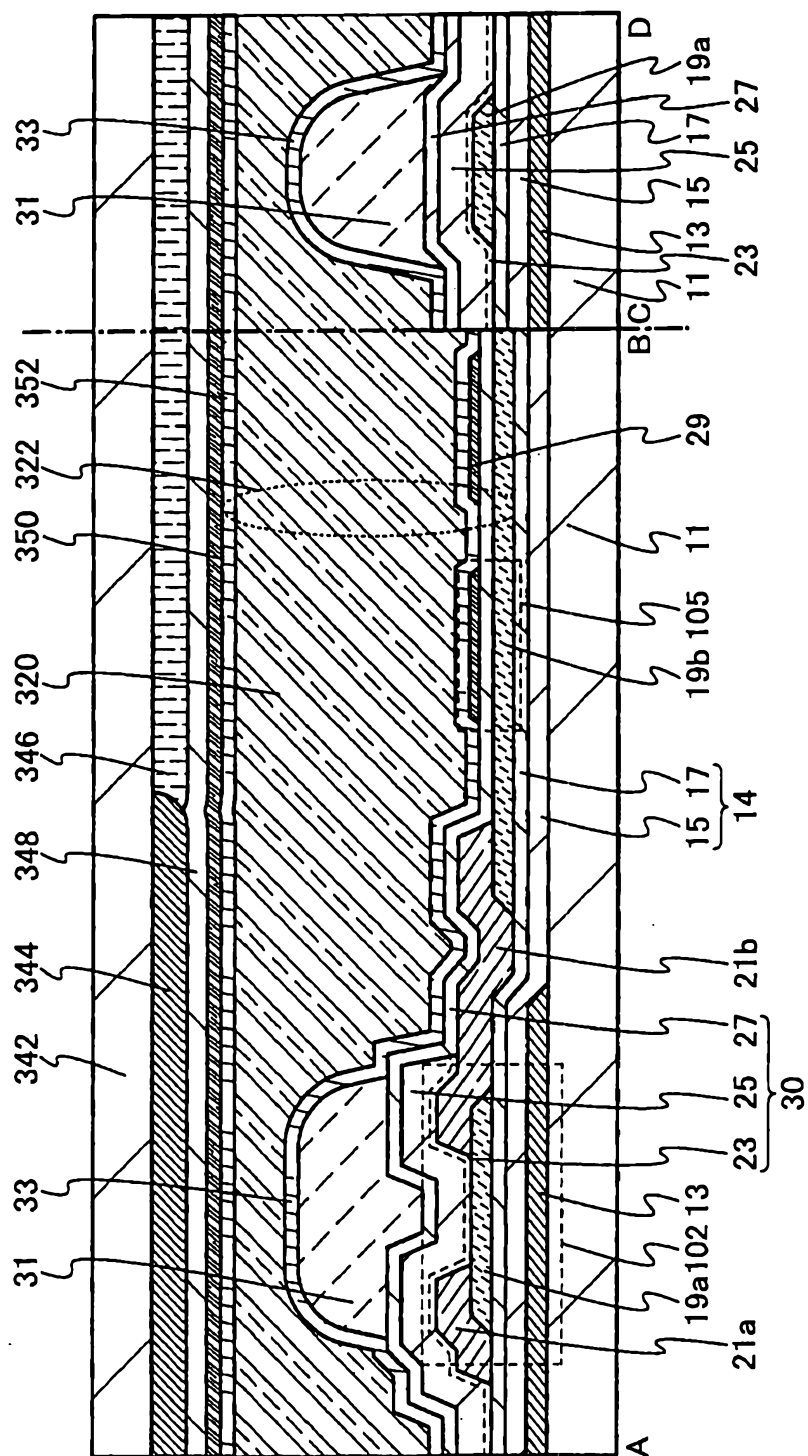


圖 33

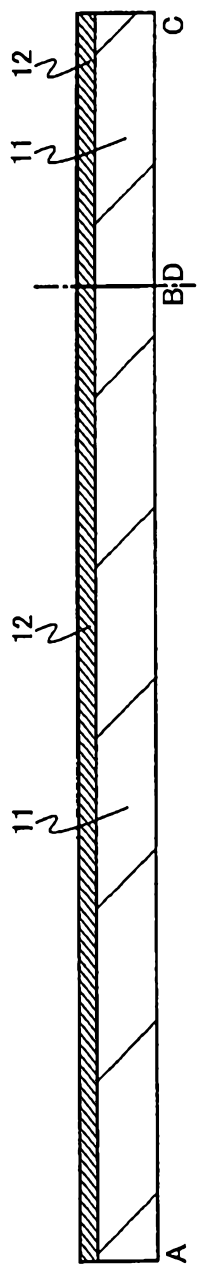


圖34A

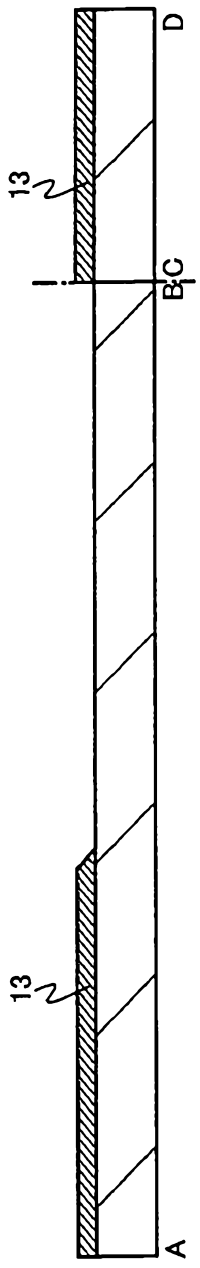


圖34B

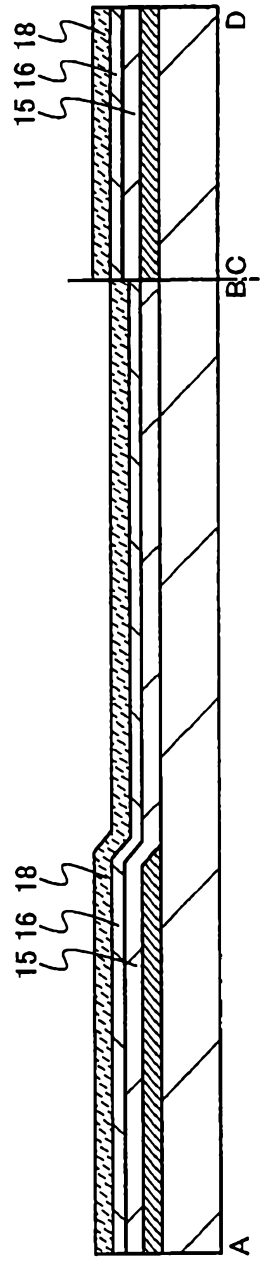


圖34C

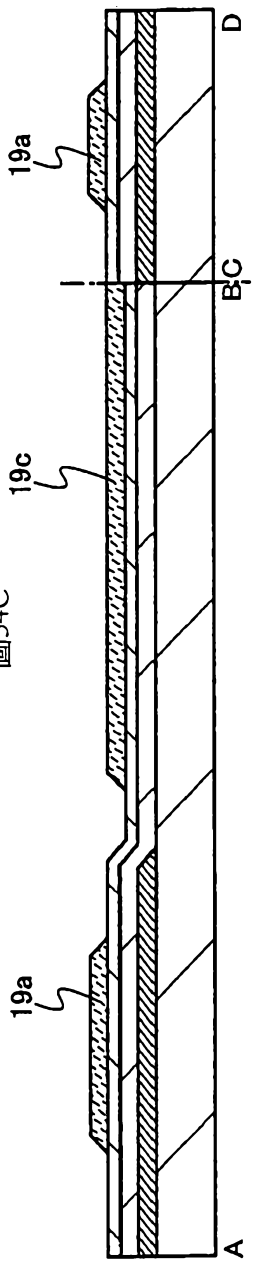


圖34D

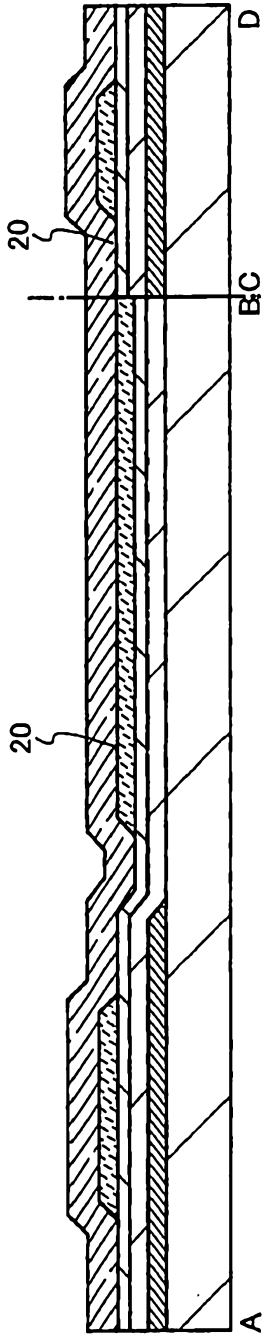


圖35A

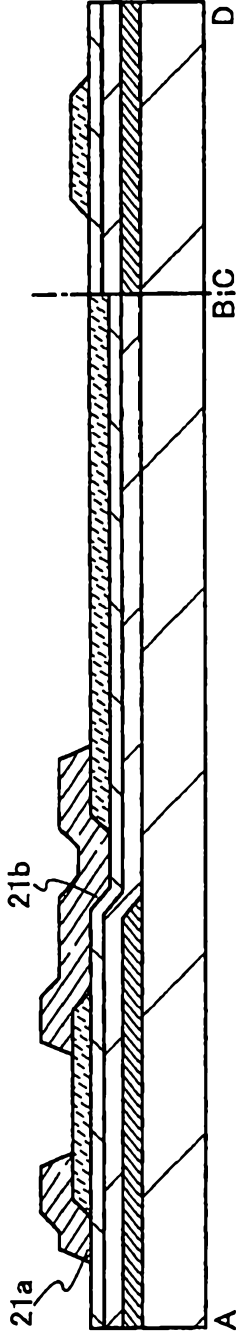


圖35B

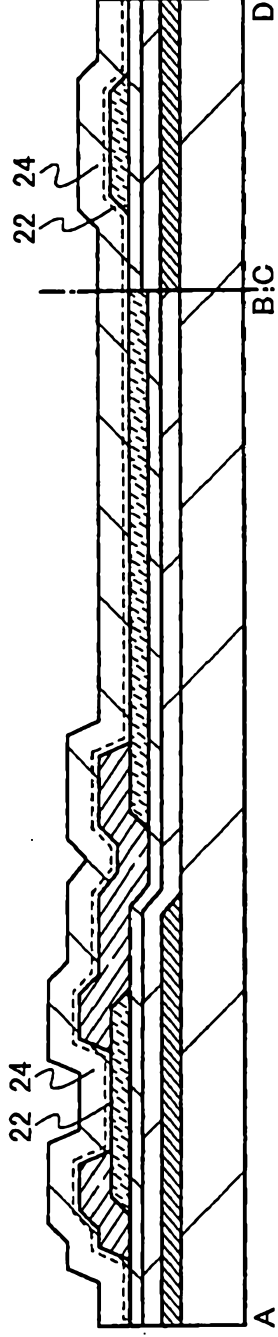


圖35C

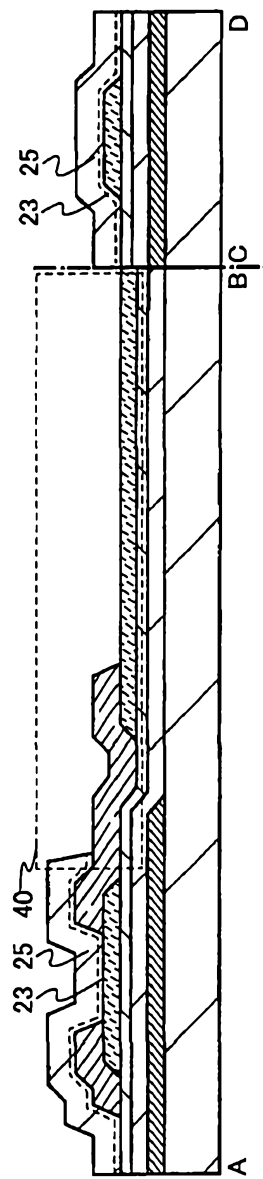


图 36A

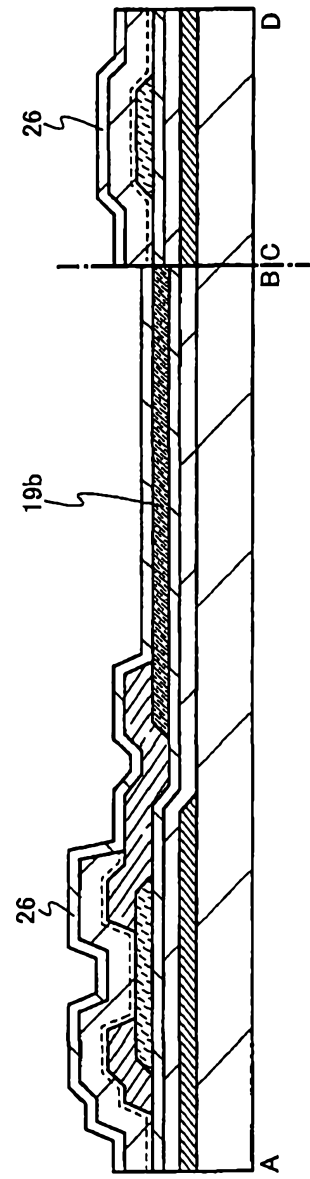


图 36B

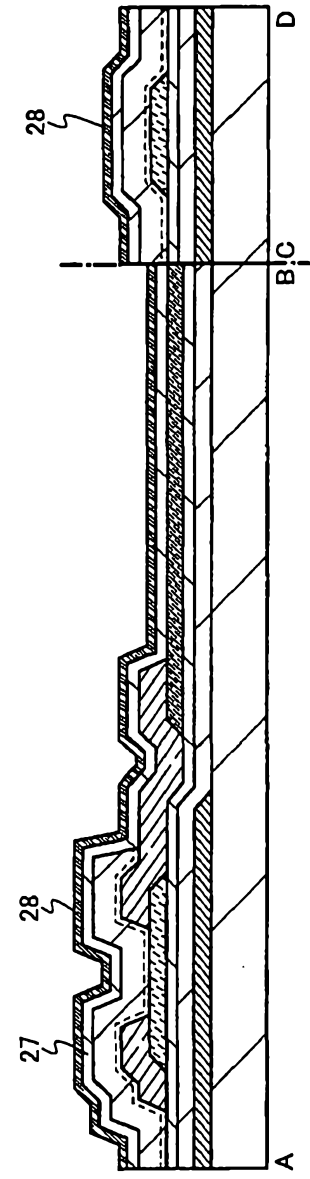


图 36C

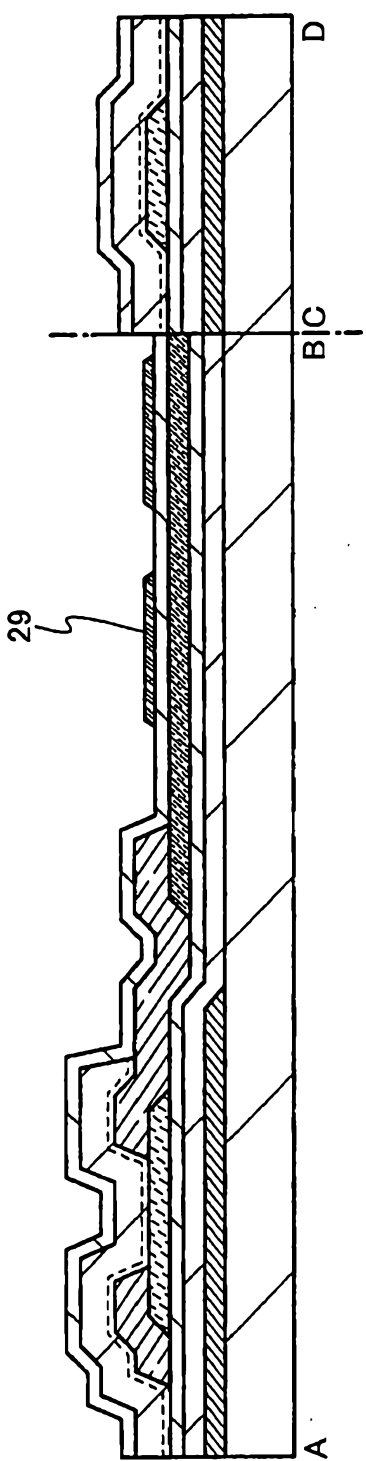


圖37A

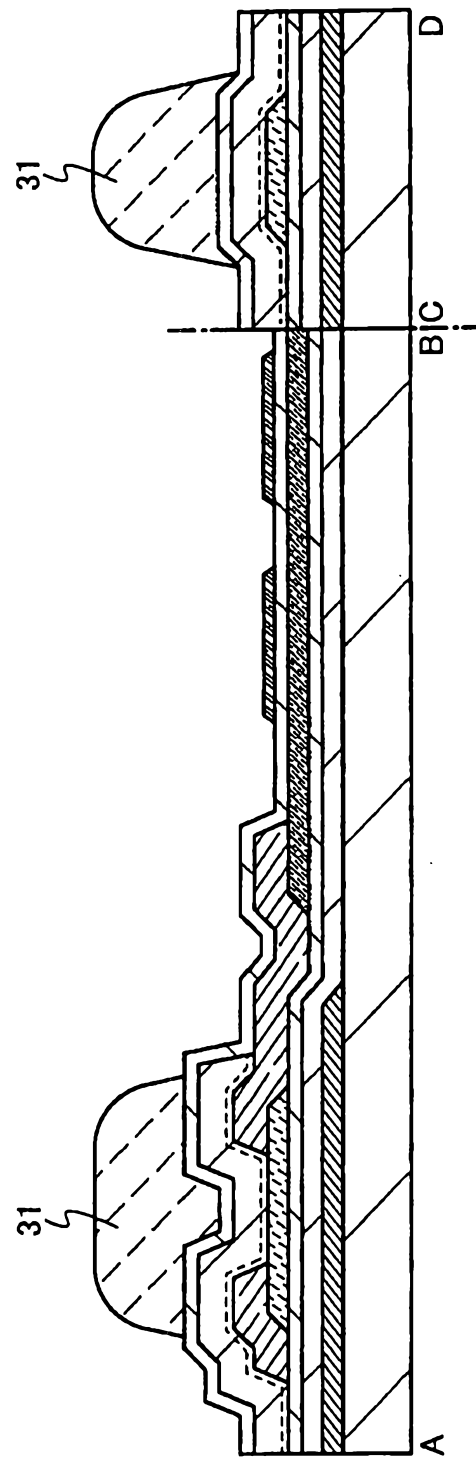
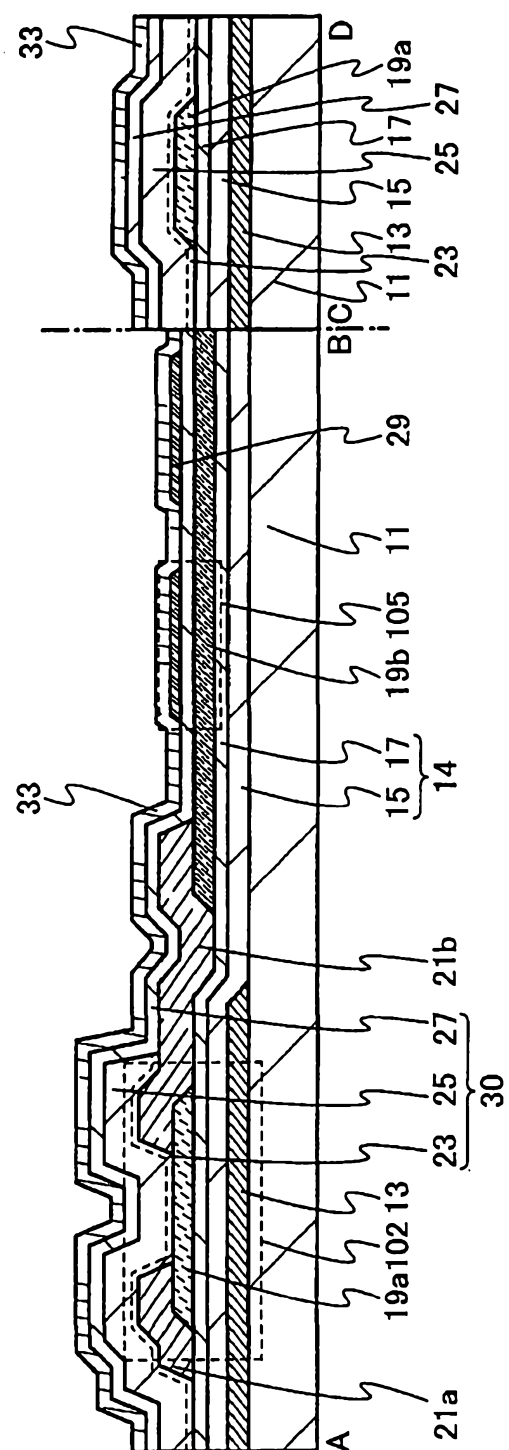


圖37B



38

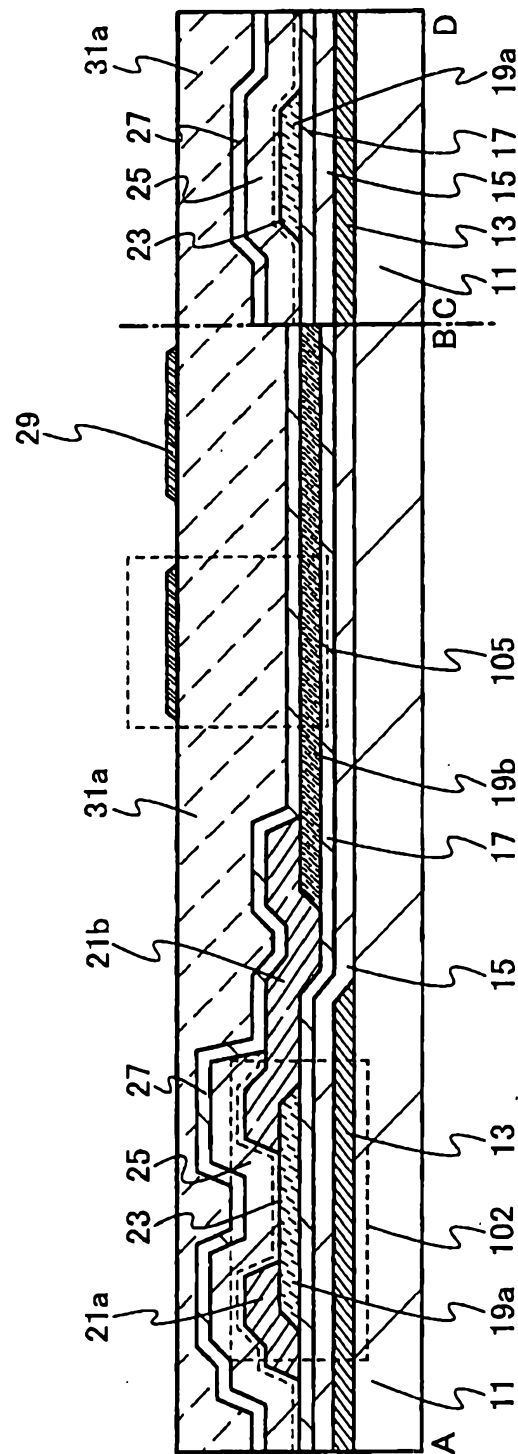


圖39

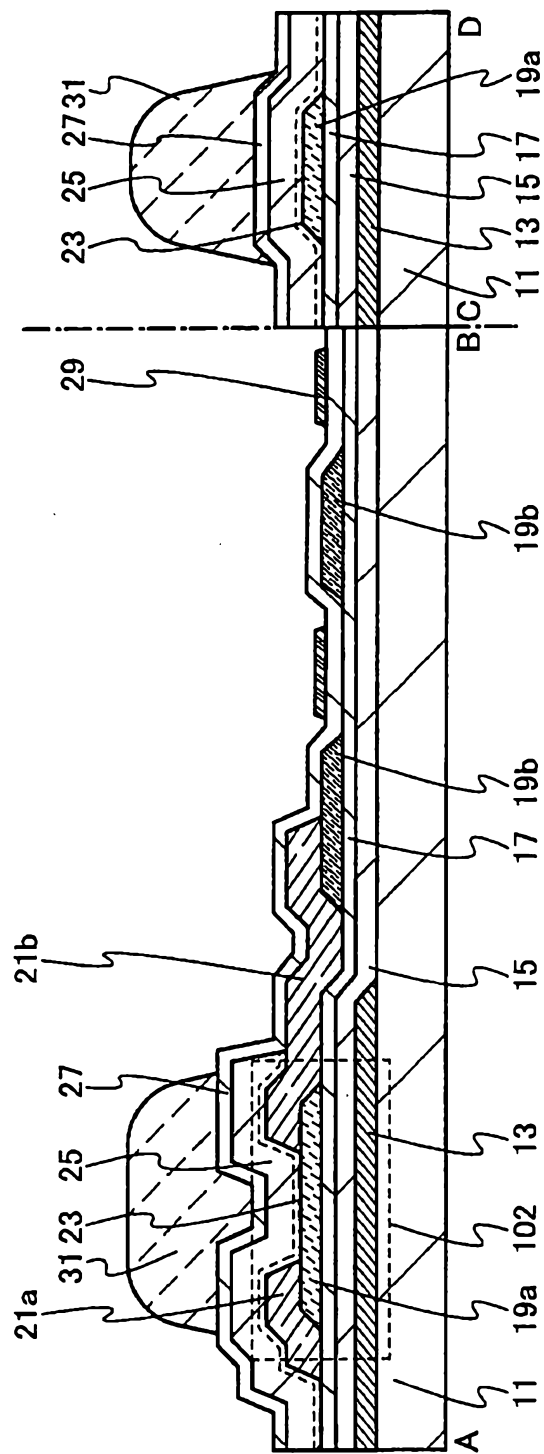


圖40

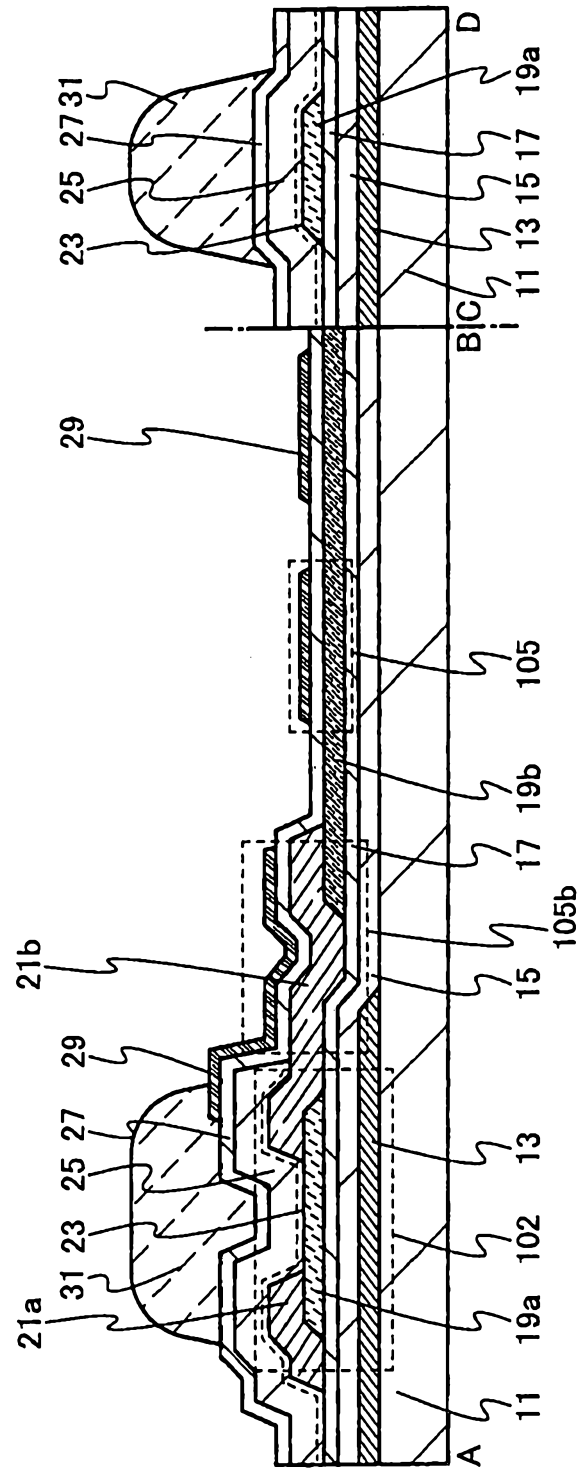


圖41

102d

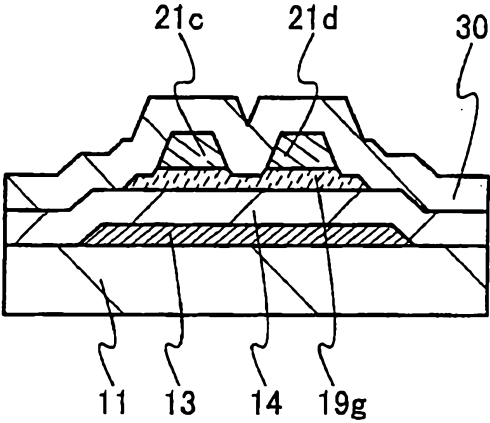


圖42A

102e

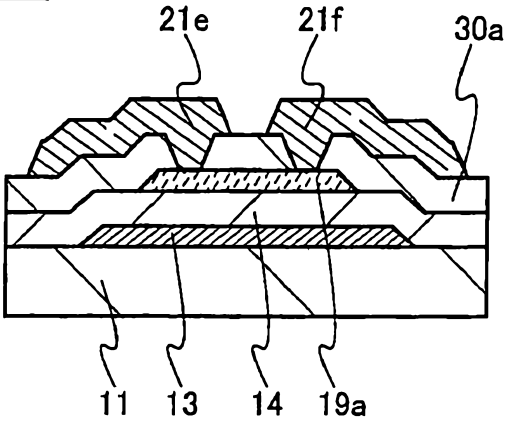


圖42B

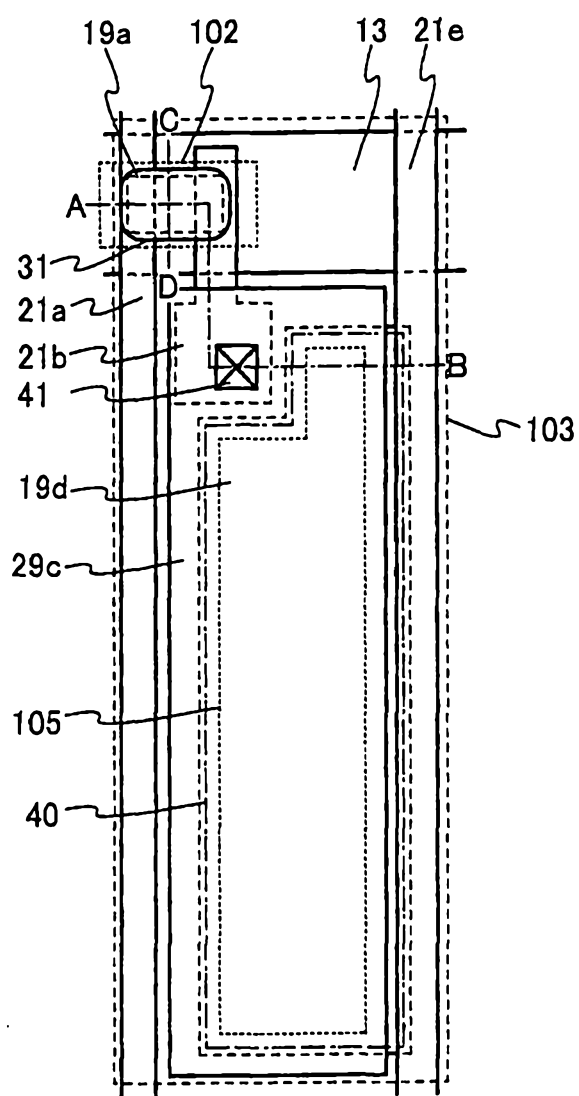
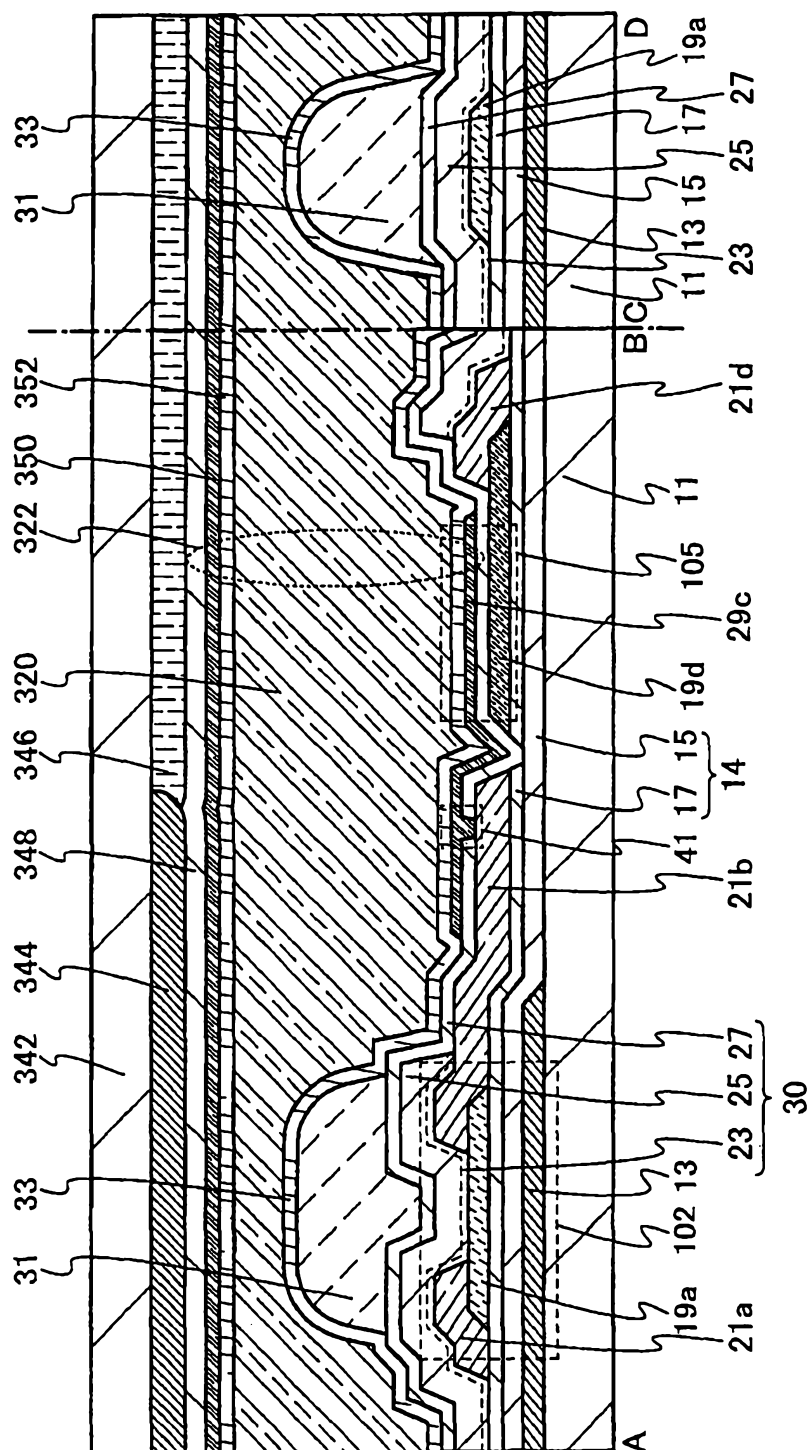


圖43



44

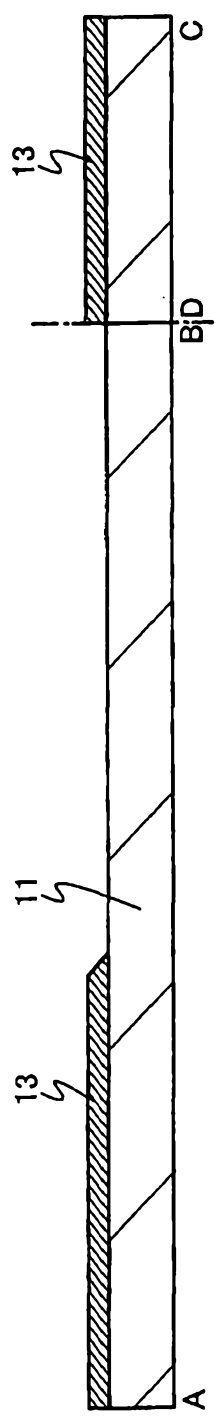


圖45A

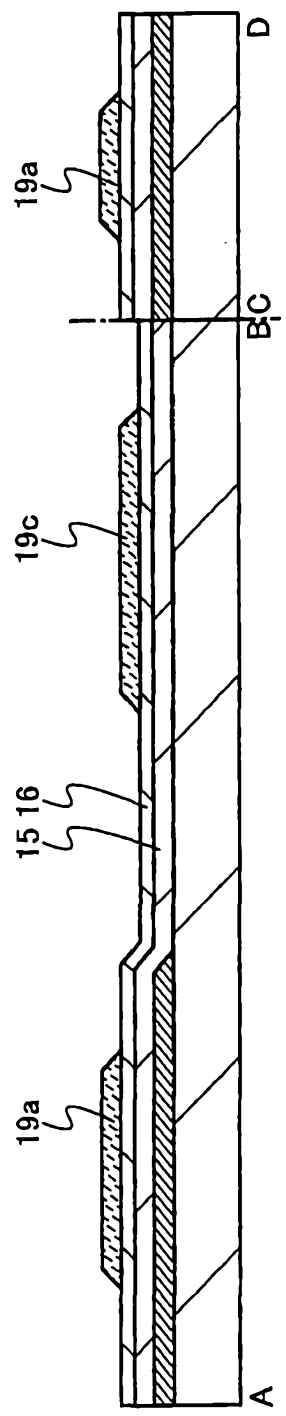


圖45B

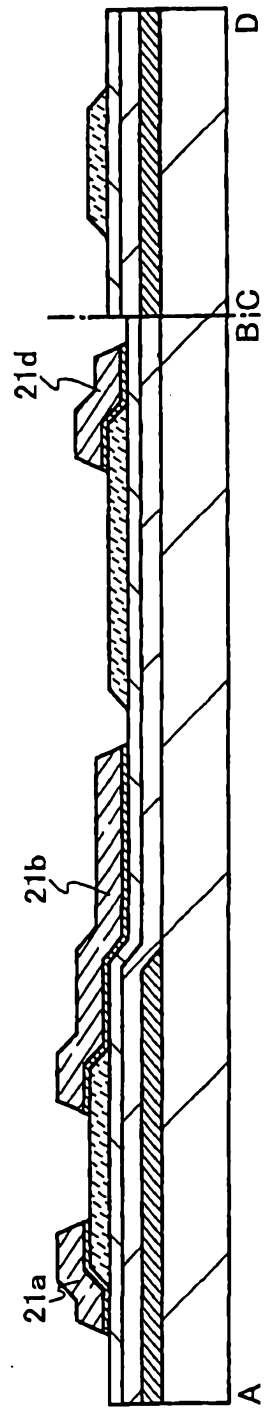


圖45C

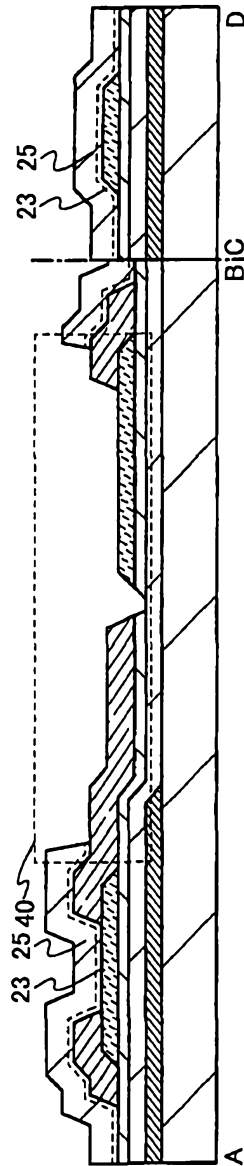


圖46A

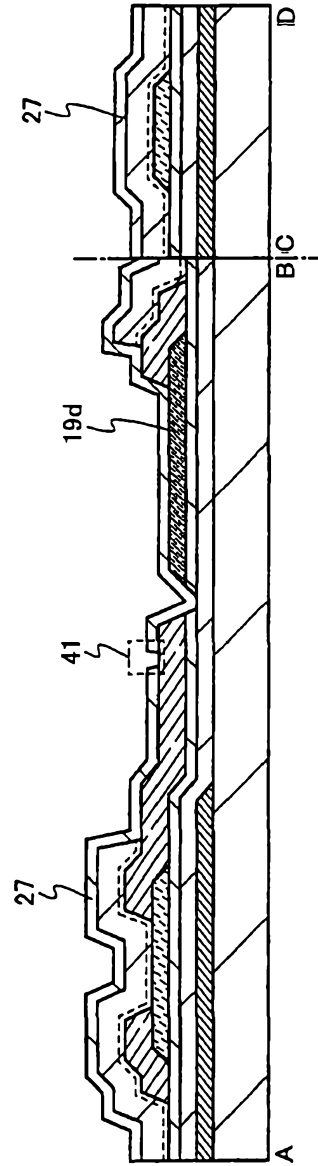


圖46B

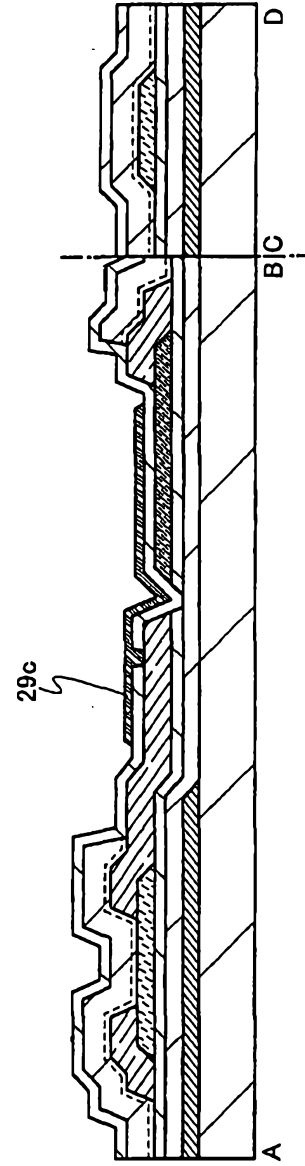


圖46C

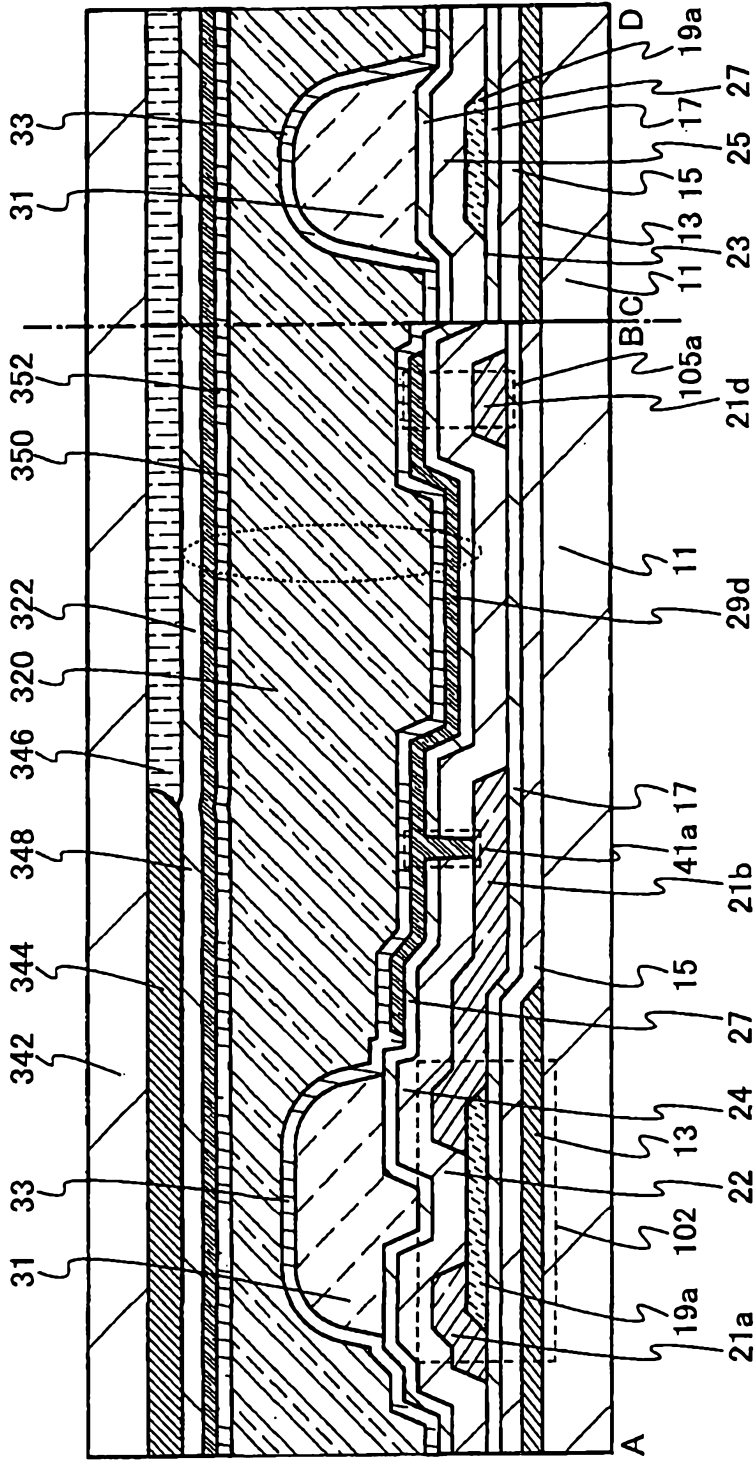


圖47

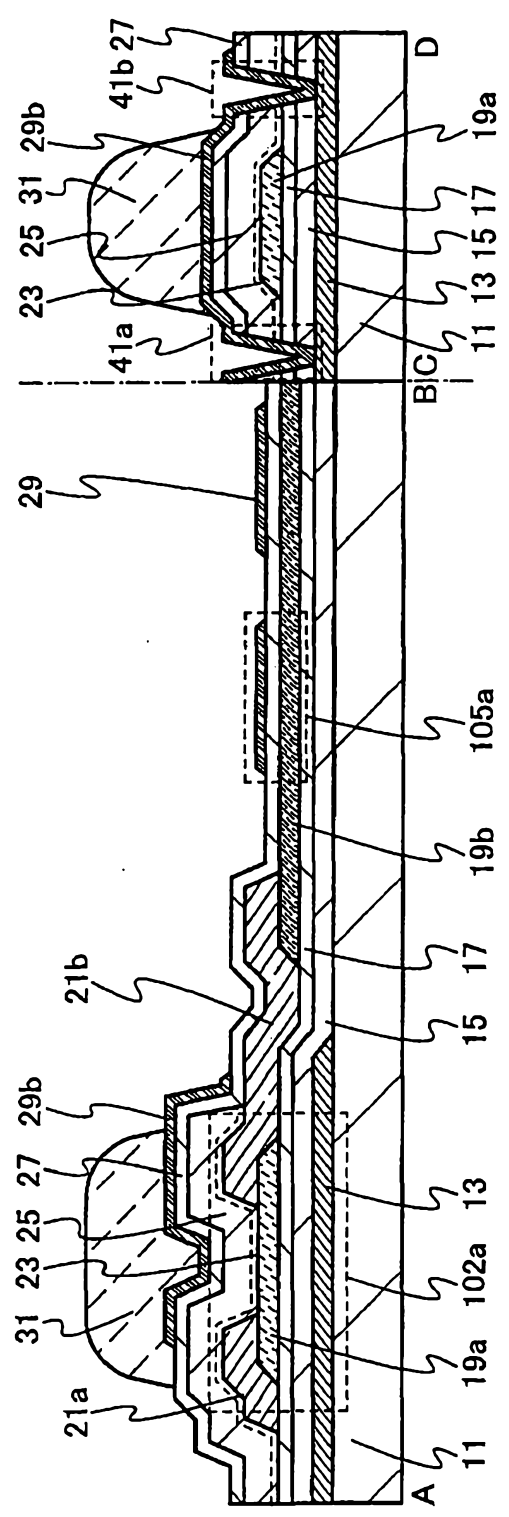


圖48

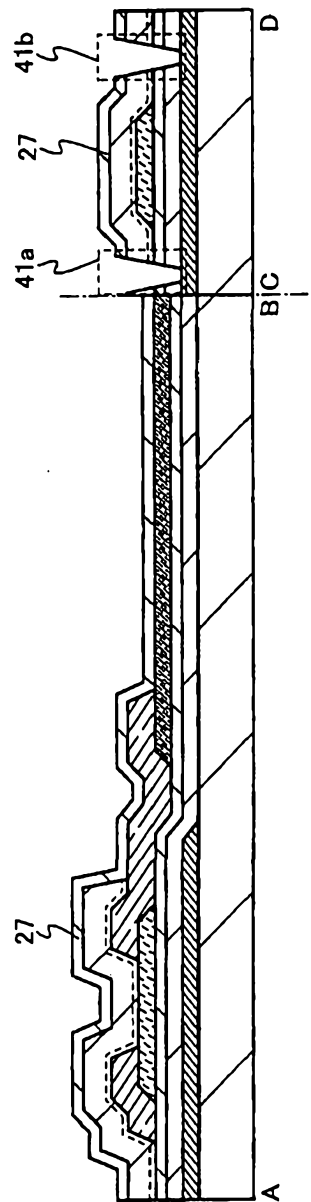


圖49A

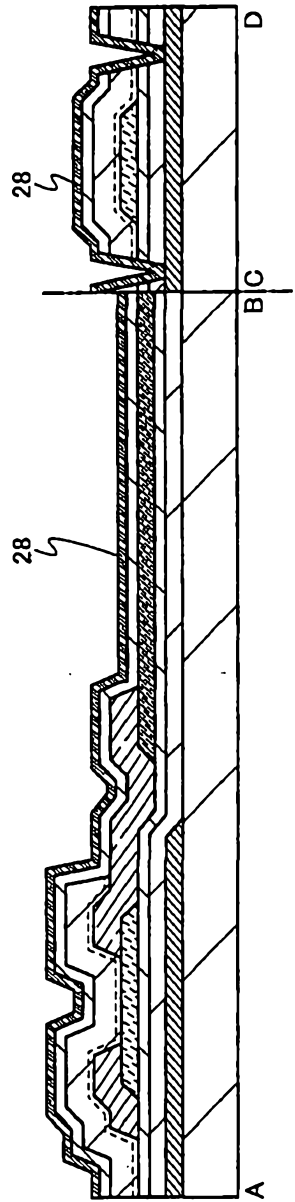


圖49B

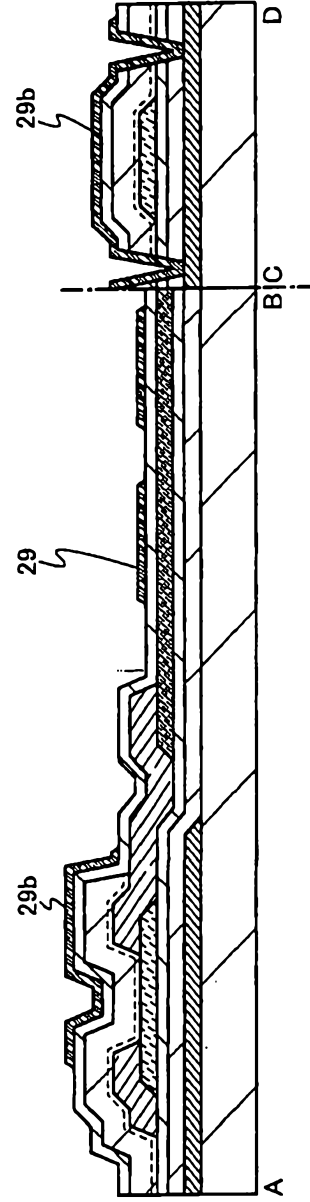


圖49C

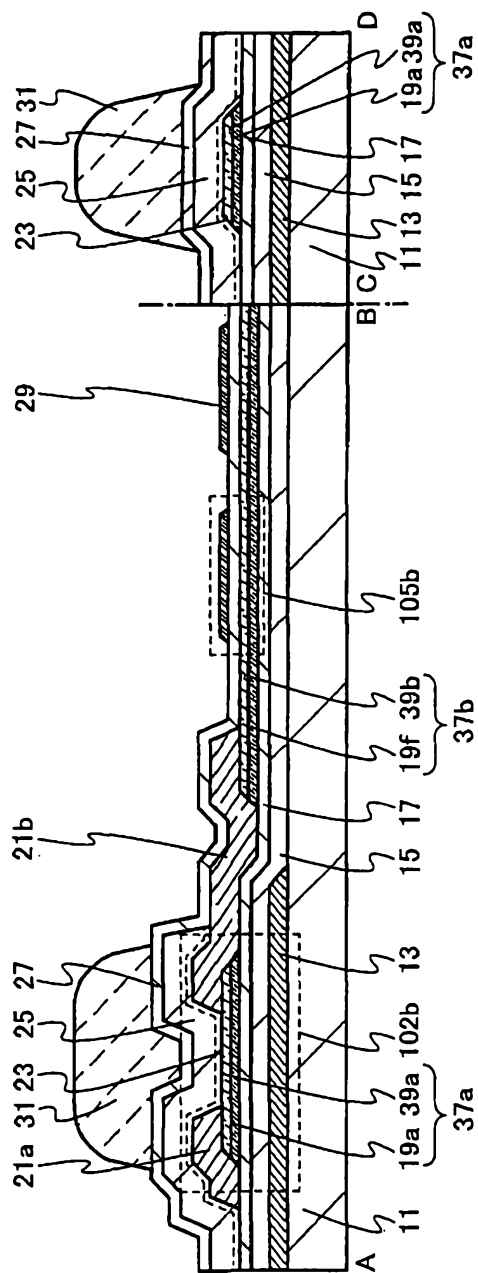


圖 50A

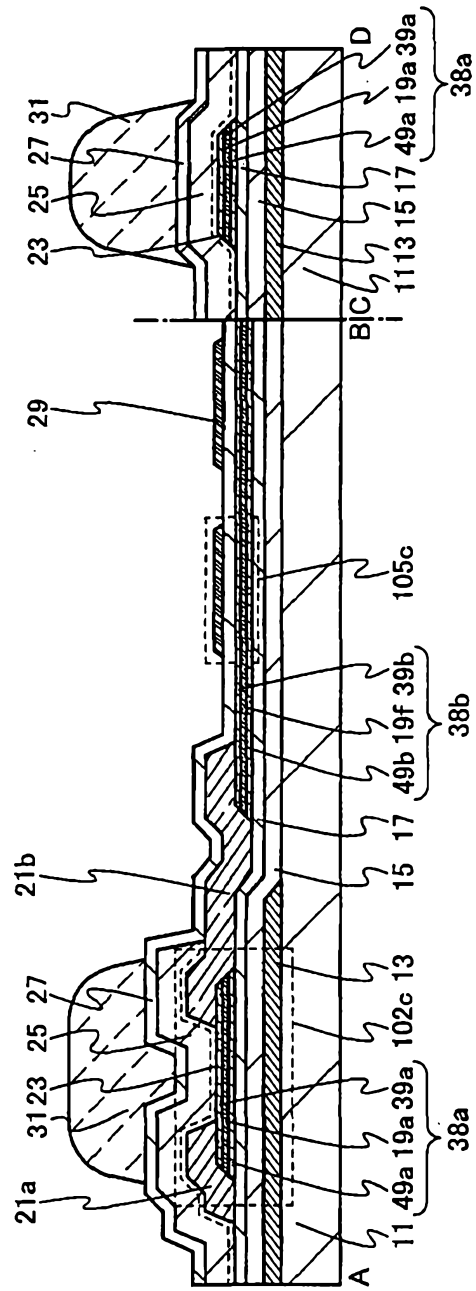


圖 50B

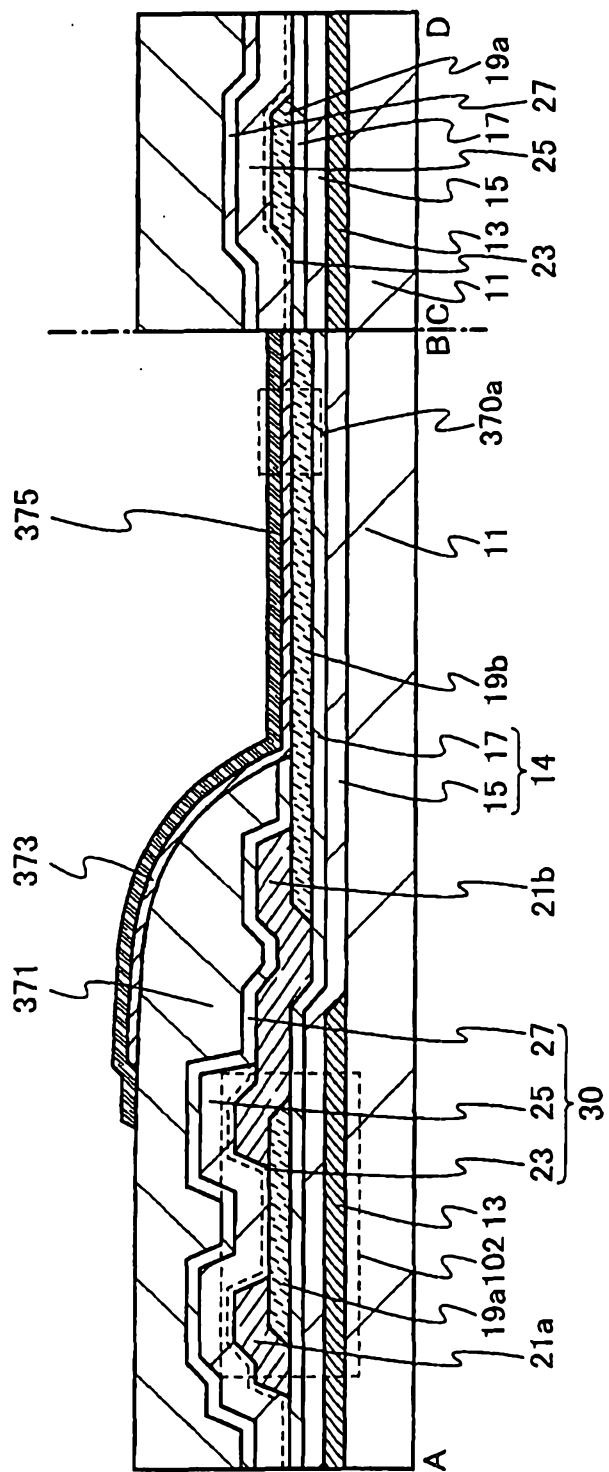


圖51

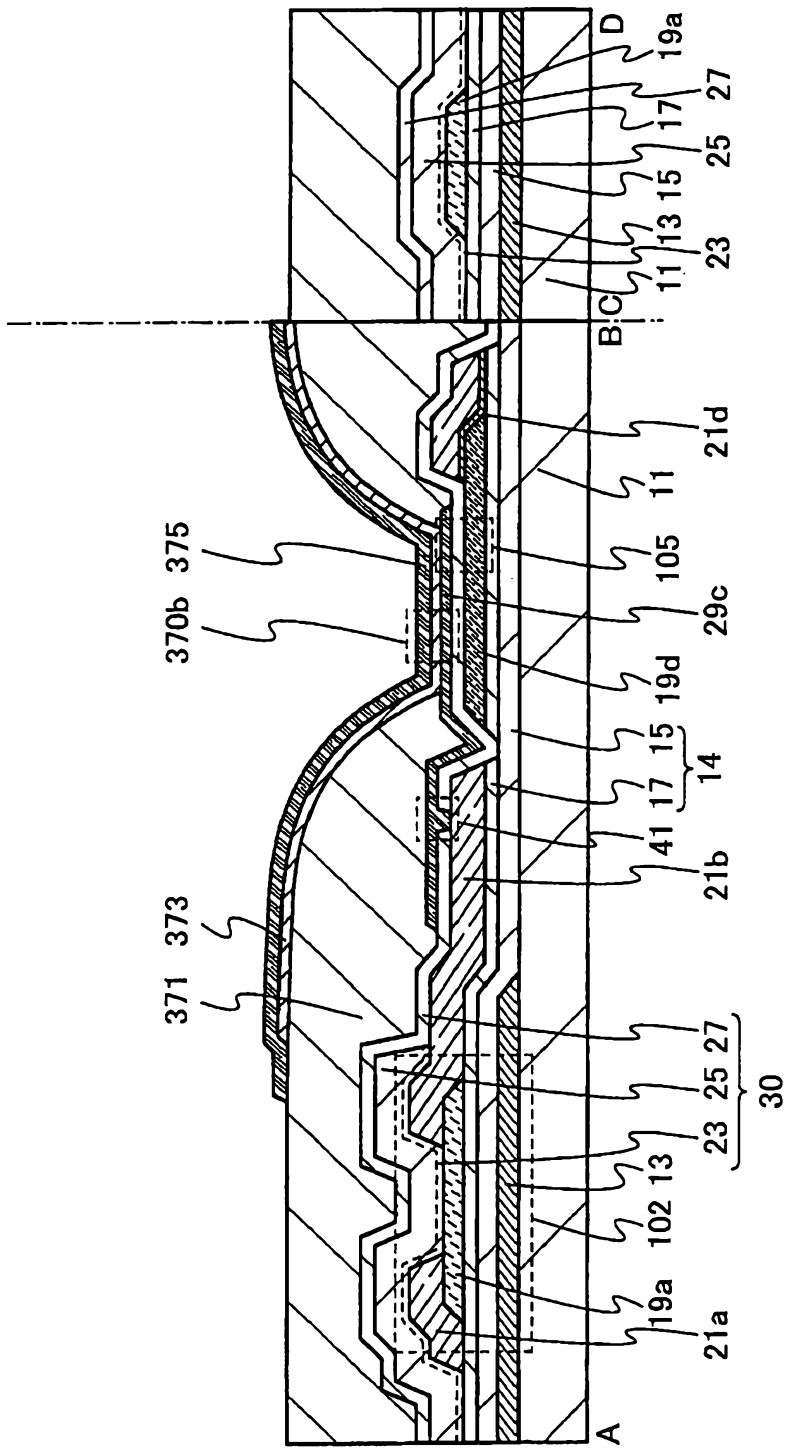


圖52

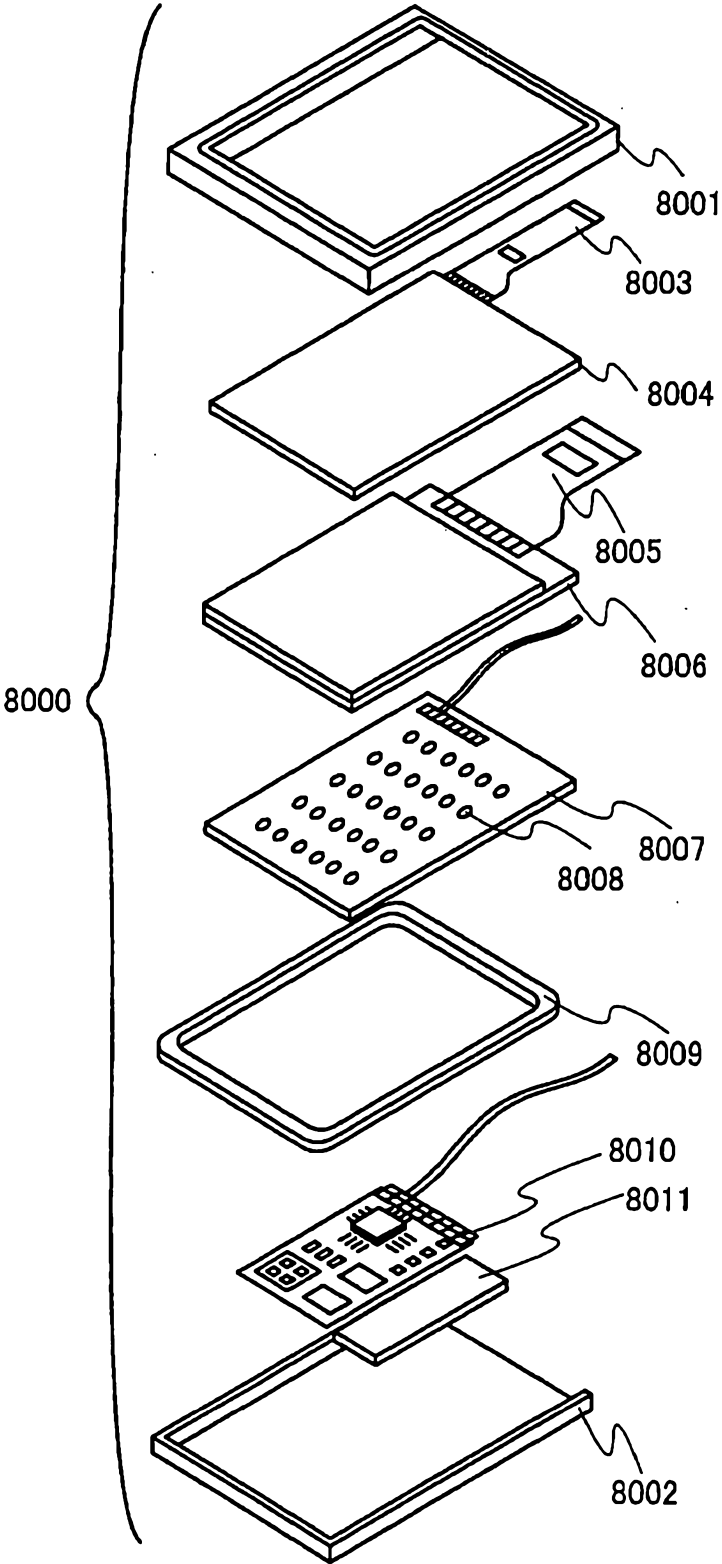


圖53

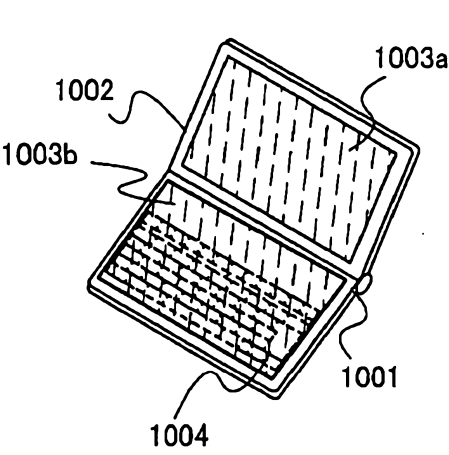


圖54A

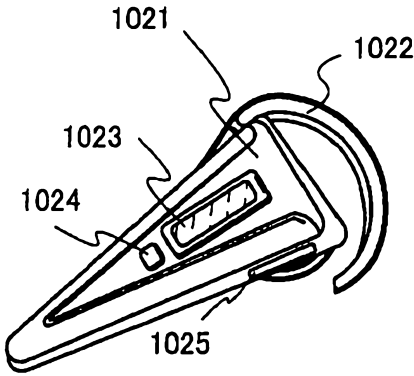


圖54B

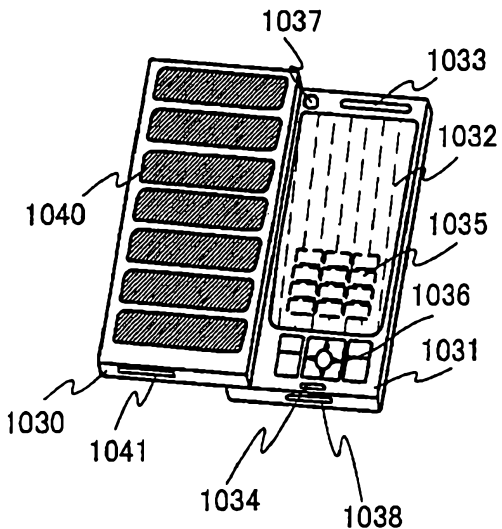


圖54C

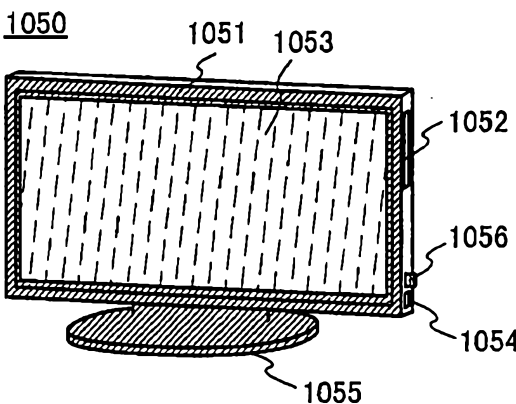


圖54D

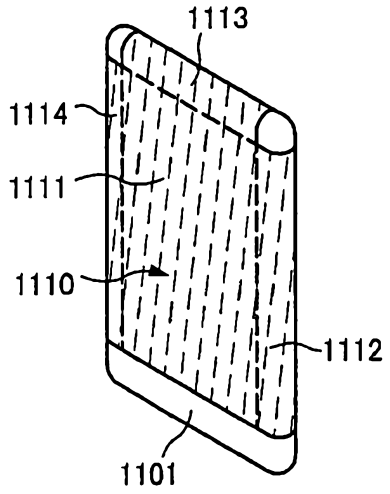


圖54E

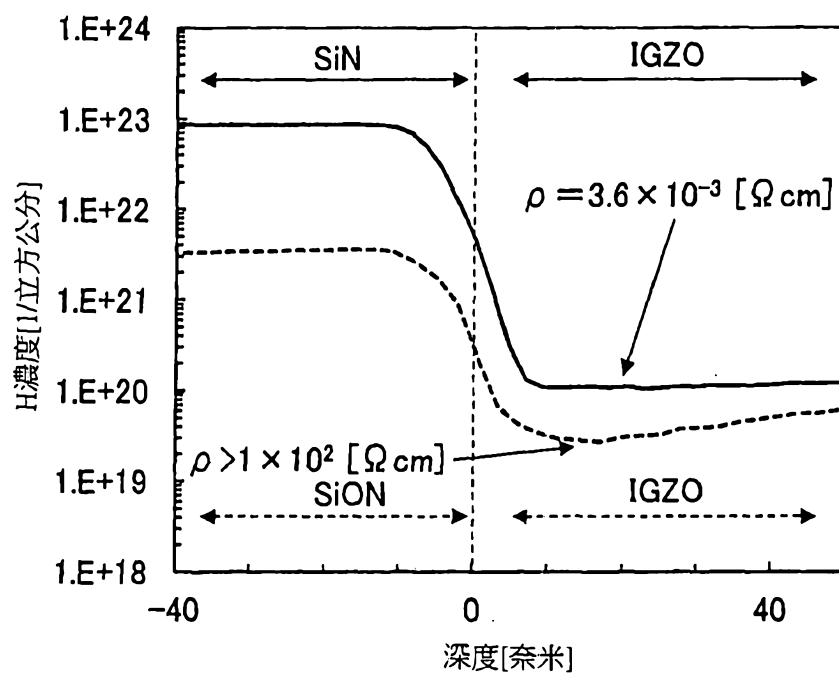


圖55

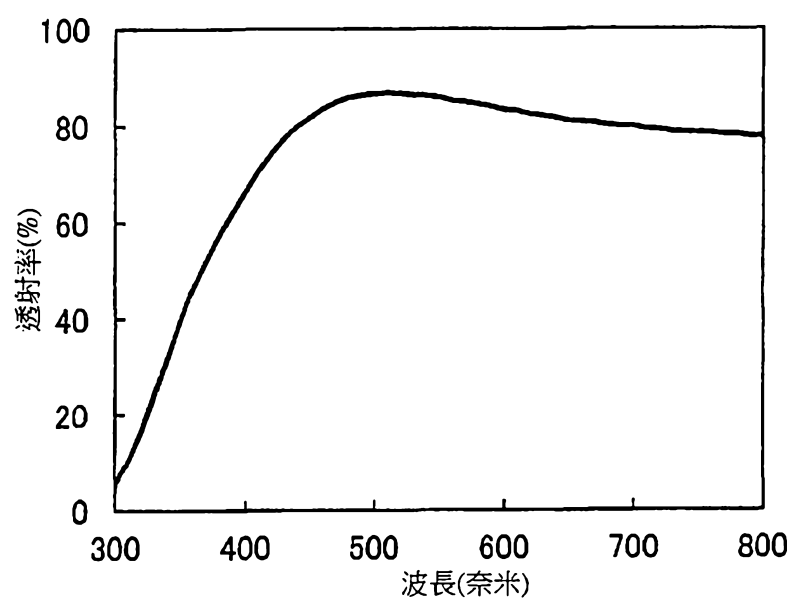


圖56

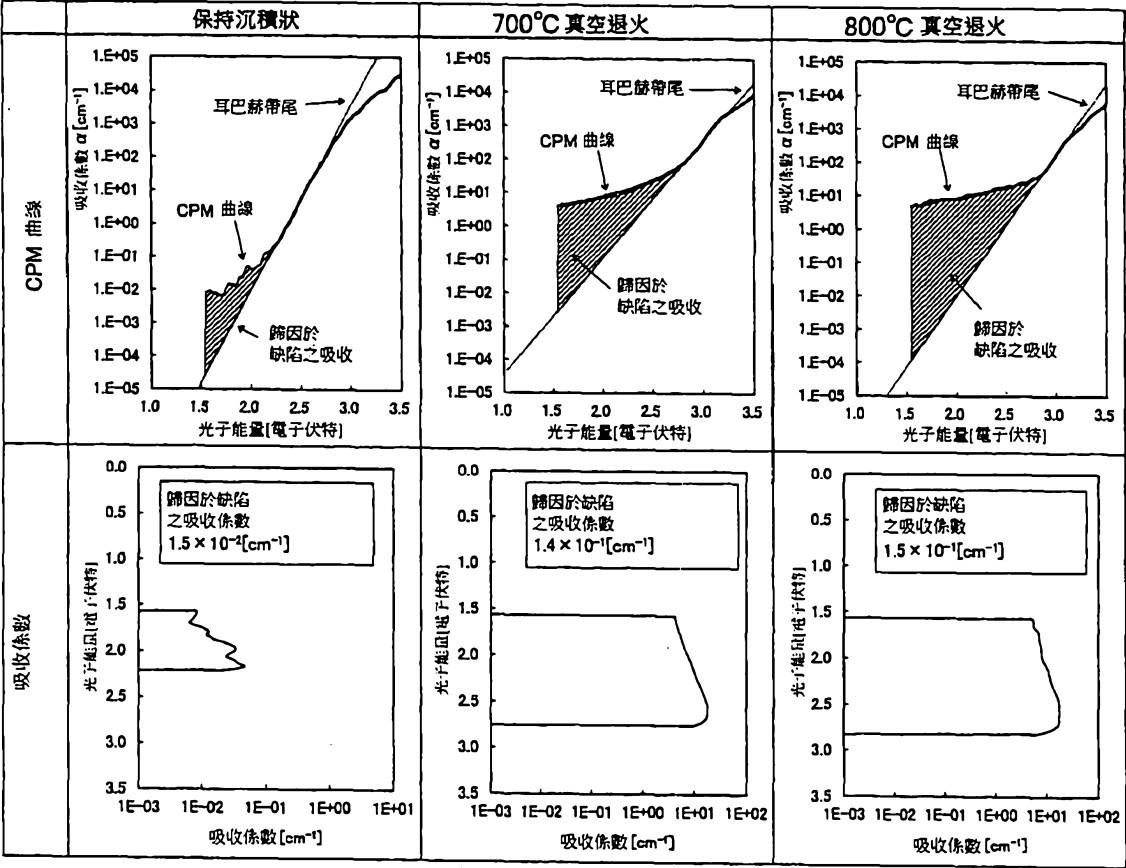


圖57

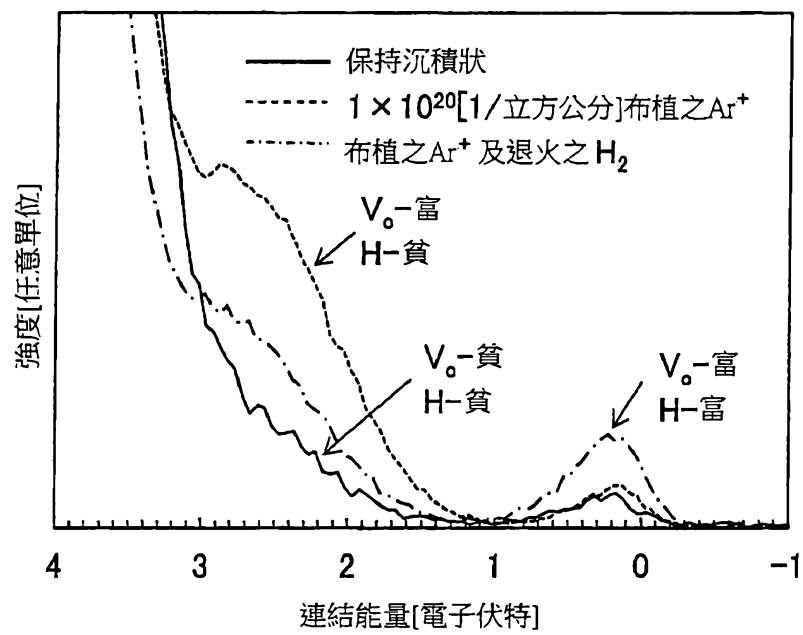


圖58

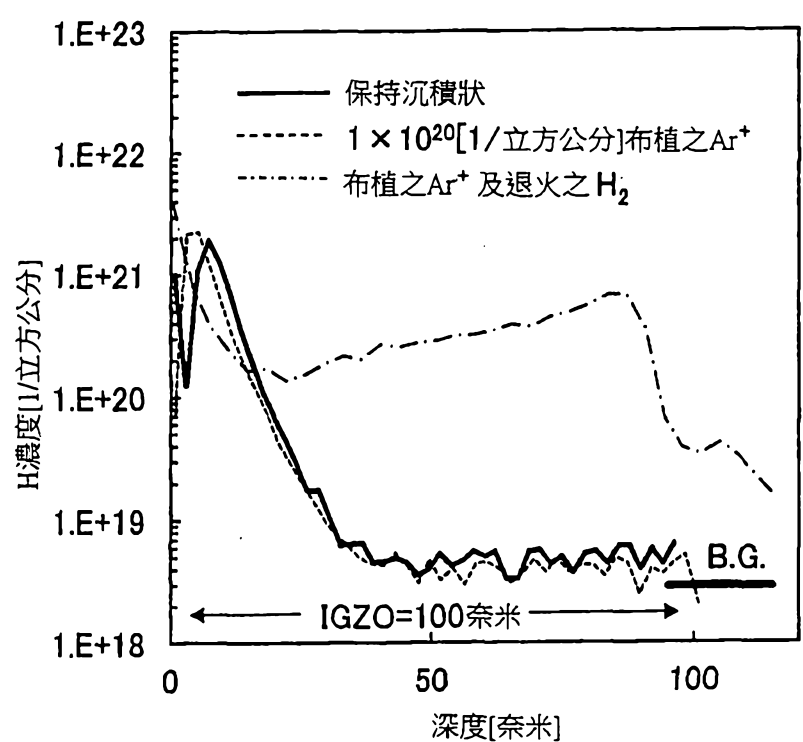


圖59

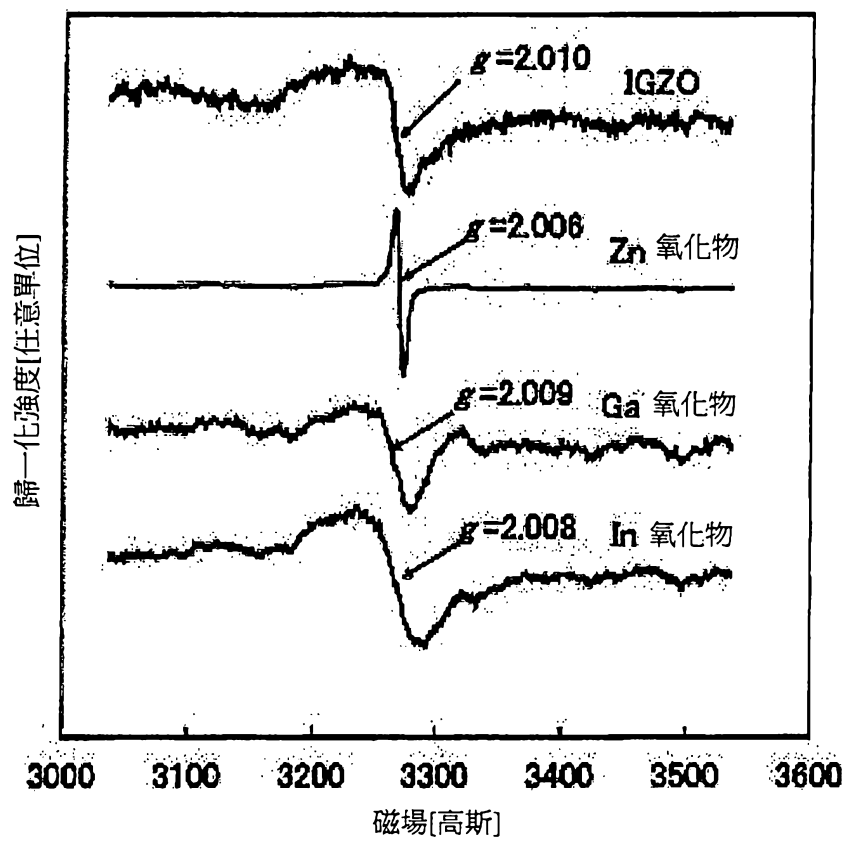


圖60

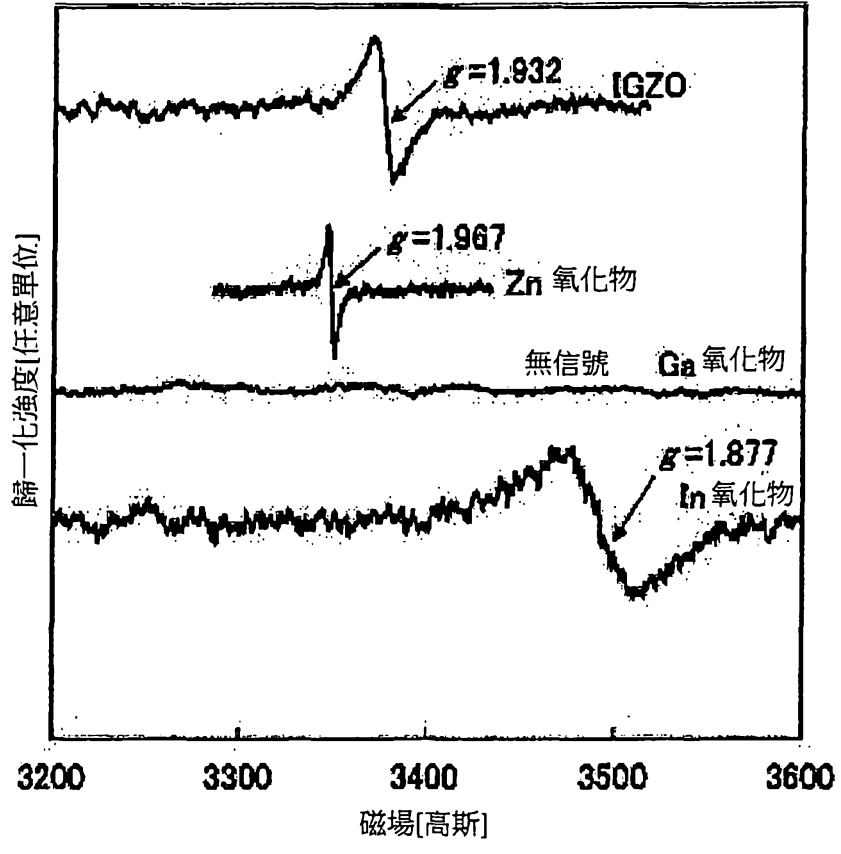


圖61

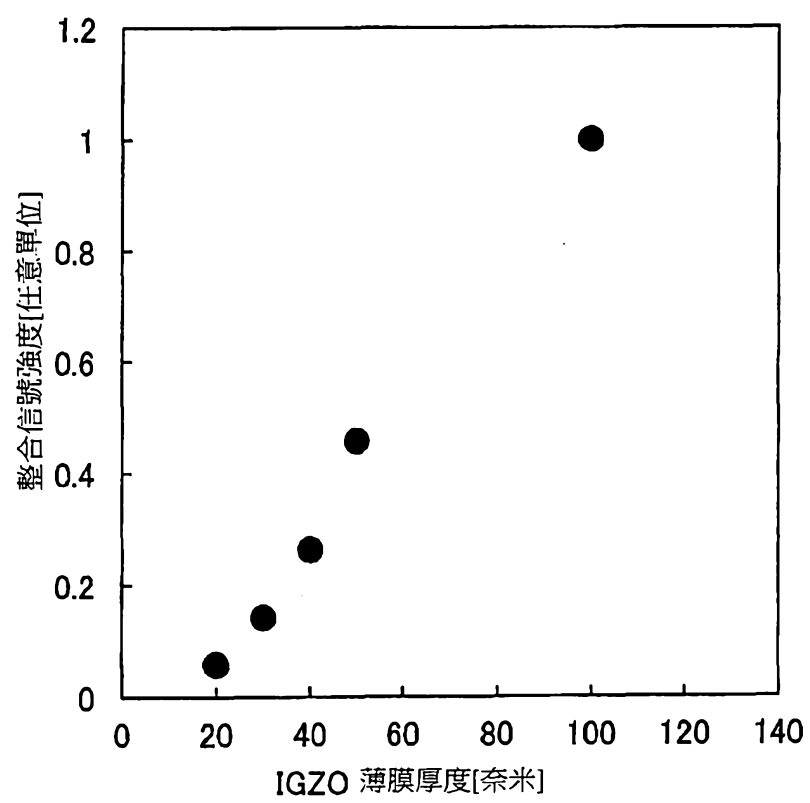


圖62

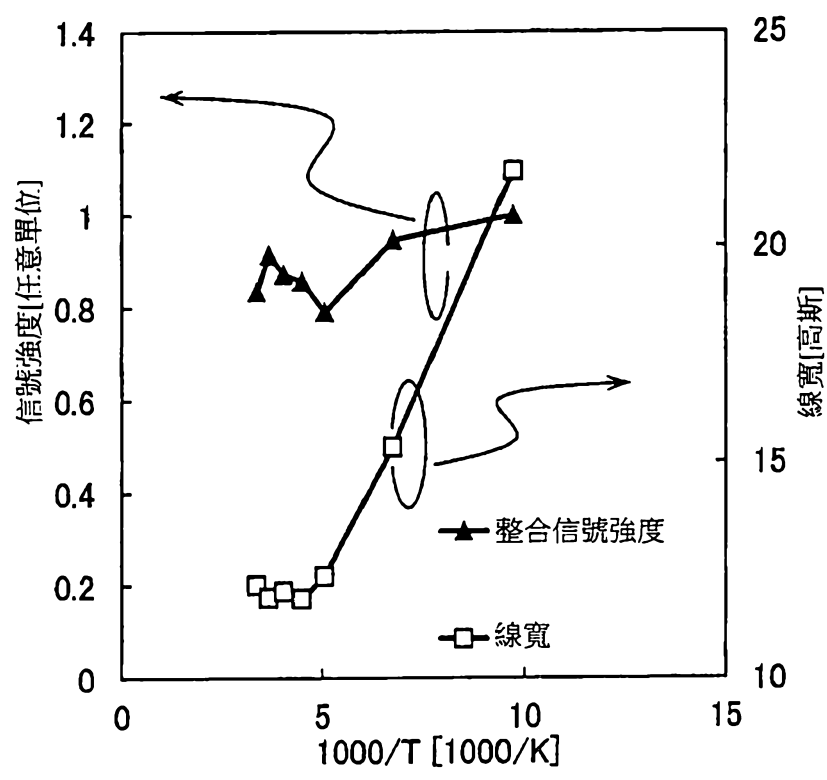


圖63

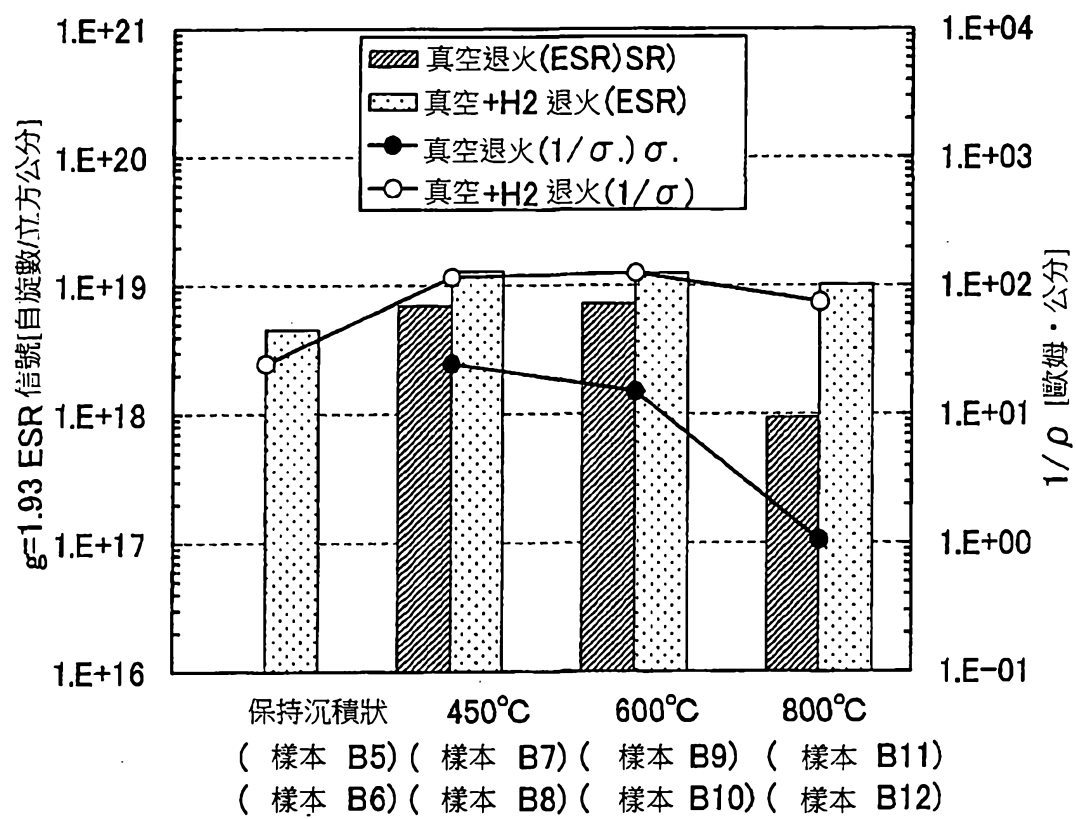


圖64

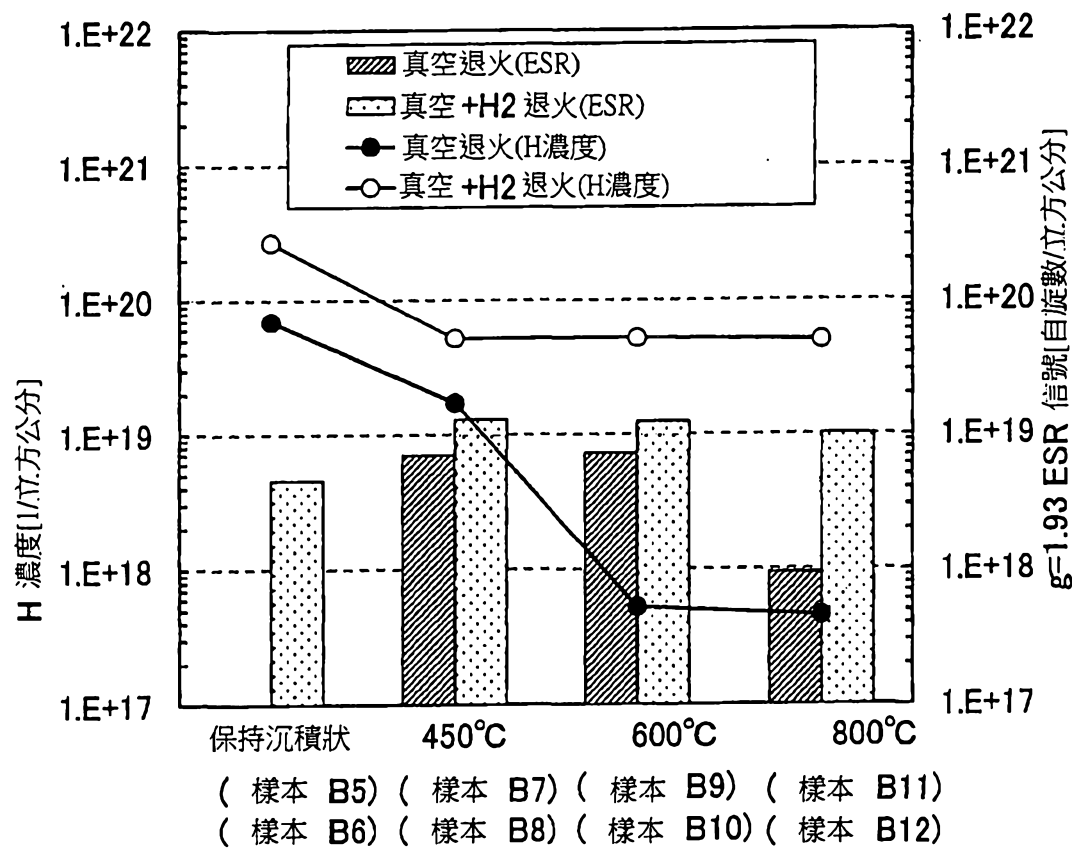


圖65

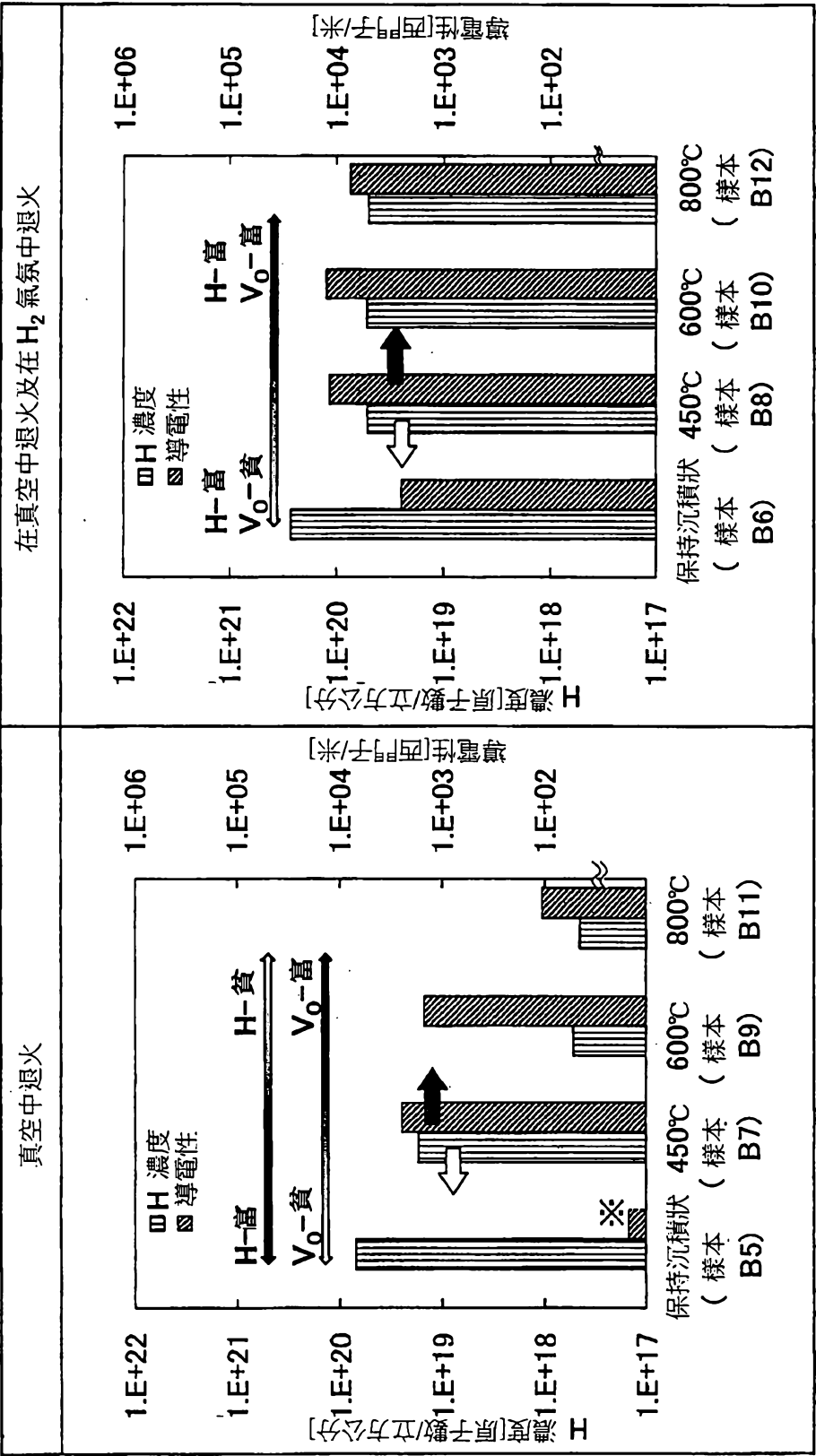


圖66

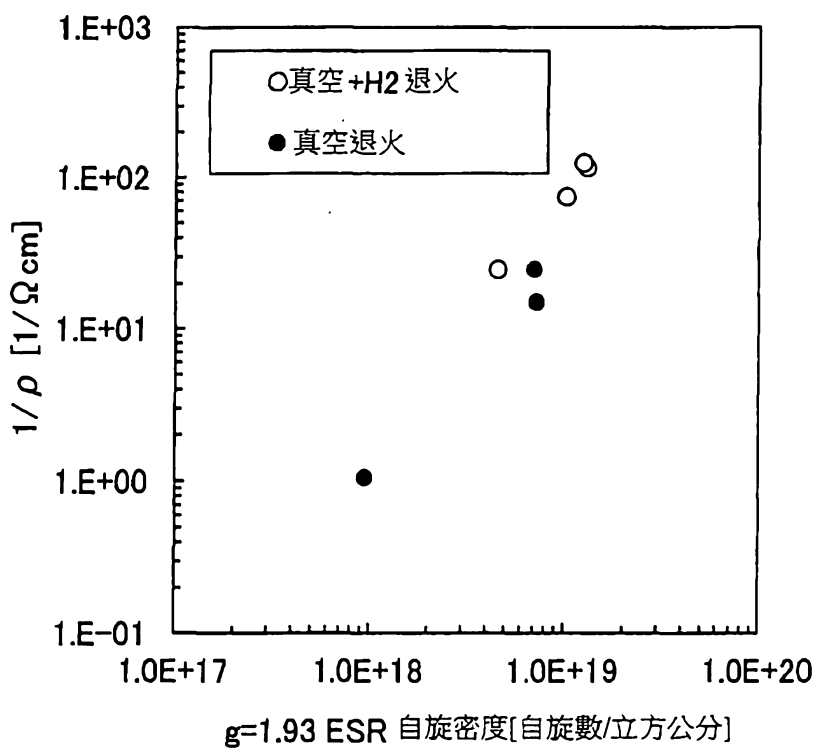


圖67

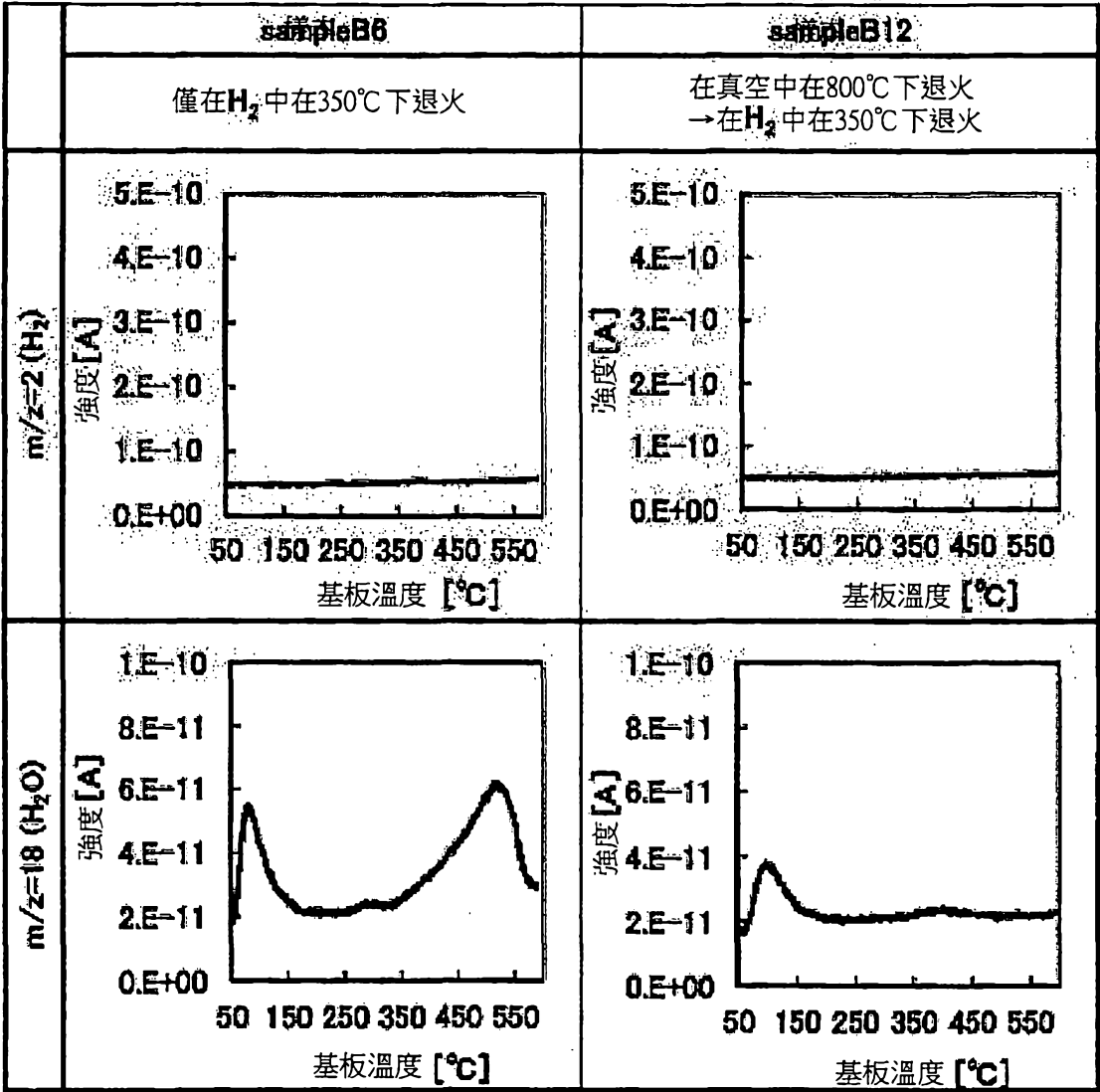


圖68

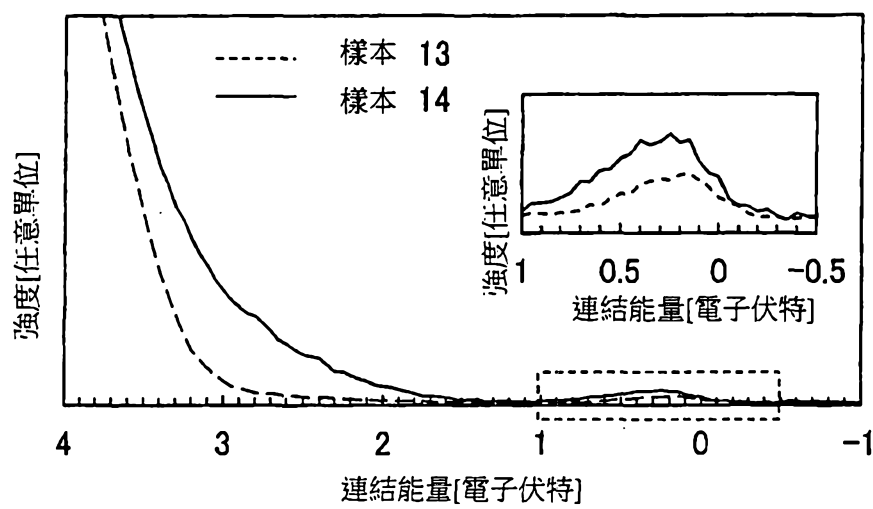


圖69

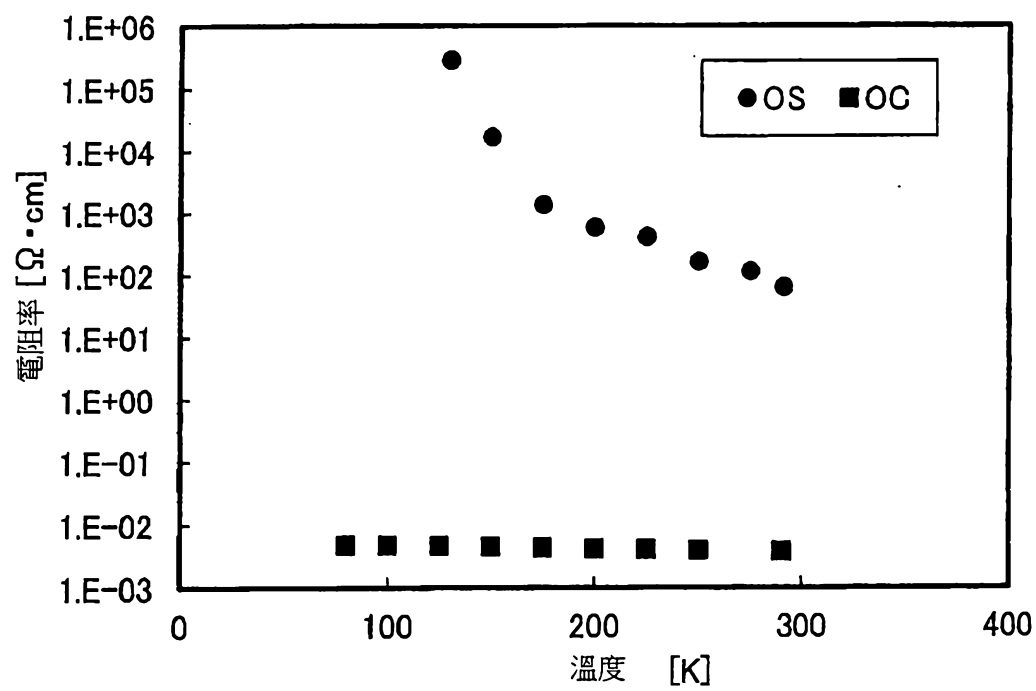
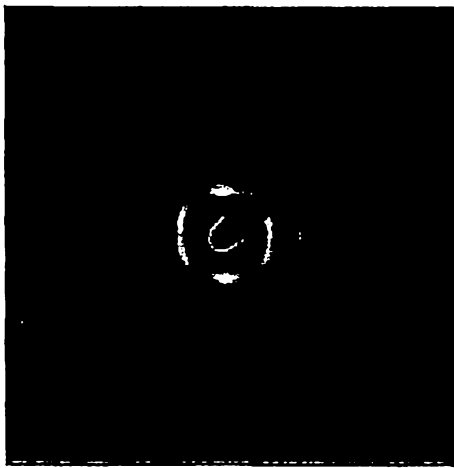
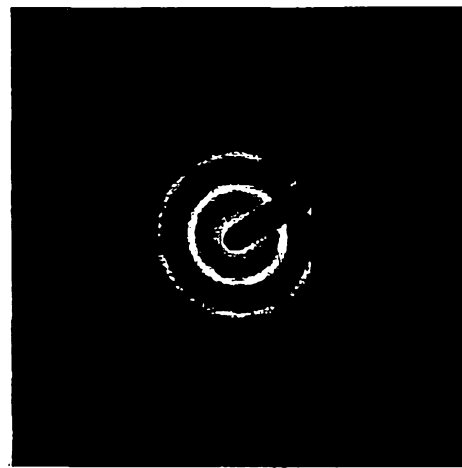


圖70



由平行於樣本表面之電子束輻照之樣本

圖75A



由垂直於樣本表面之電子束輻照之樣本

圖75B

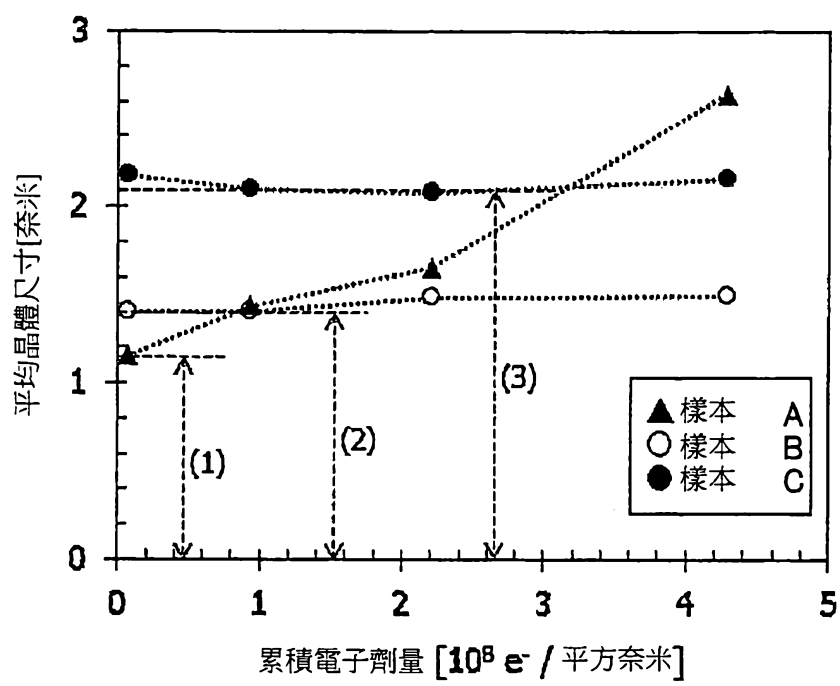


圖76

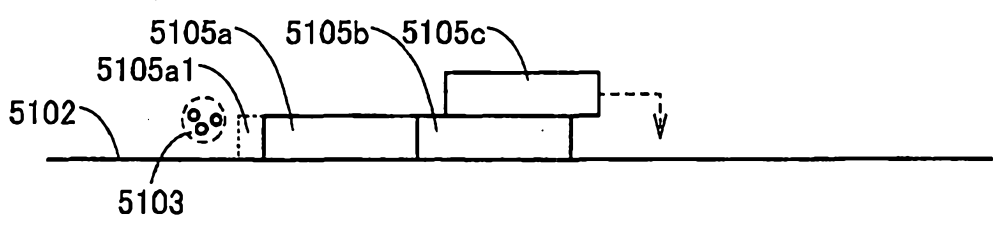


圖79A

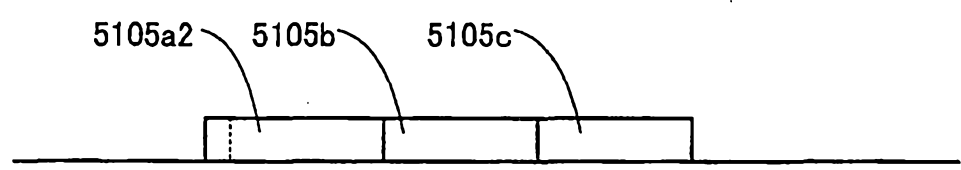


圖79B

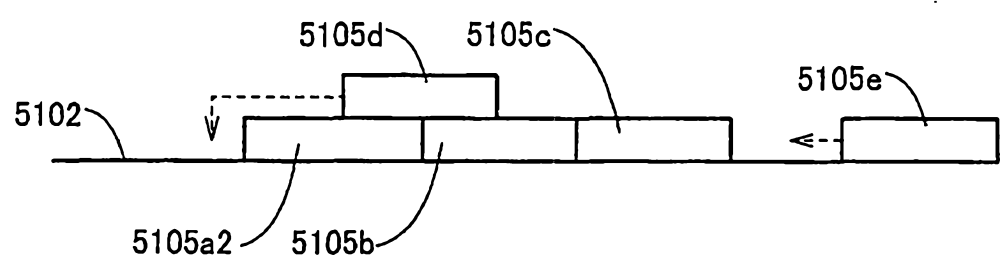


圖79C

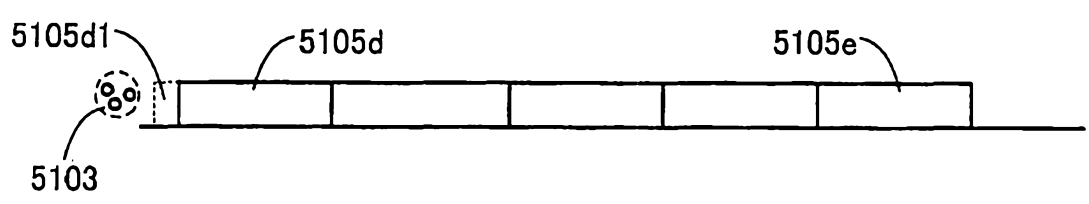


圖79D