

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】平成 19 年 10 月 4 日 (2007.10.4)

【公開番号】特開 2006-112931 (P2006-112931A)

【公開日】平成 18 年 4 月 27 日 (2006.4.27)

【年通号数】公開・登録公報 2006-017

【出願番号】特願 2004-300959 (P2004-300959)

【国際特許分類】

G 0 1 R 31/28 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

G 0 1 R 31/28 V

G 0 1 R 31/28 M

H 0 1 L 27/04 T

【手続補正書】

【提出日】平成 19 年 8 月 20 日 (2007.8.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

パラレルデータをクロックに同期してシリアルデータに変換し、該シリアルデータおよび該シリアルデータに同期したクロックを出力する機能を有する集積回路であって、

遅延制御信号に応じて、前記出力したシリアルデータとクロックとを相対的かつ可变的に遅延して出力する遅延可変回路と、

前記遅延可変回路から出力されるクロックを用いて、前記遅延可変回路から出力されるシリアルデータをパラレルデータに変換するシリアル・パラレル変換回路とを備えることを特徴とする集積回路。

【請求項 2】

パラレルデータをクロックに同期してシリアルデータに変換し、該シリアルデータおよび該シリアルデータに同期したクロックを出力する機能を有する集積回路のテスト回路であって、

遅延制御信号に応じて、前記集積回路から出力されるシリアルデータとクロックとを相対的かつ可变的に遅延して出力する遅延可変回路と、

前記遅延可変回路から出力されるクロックを用いて、前記遅延可変回路から出力されるシリアルデータをパラレルデータに変換するシリアル・パラレル変換回路とを備えることを特徴とするテスト回路。

【請求項 3】

パラレルデータをクロックに同期してシリアルデータに変換し、該シリアルデータおよび該シリアルデータに同期したクロックを出力する機能を有する集積回路のテスト方法であって、

前記出力されるシリアルデータとクロックとを相対的かつ可变的に遅延し、該遅延されたクロックを用いて該遅延されたシリアルデータをパラレルデータに変換し、当該変換されたパラレルデータを判定することによりテストを行うことを特徴とする集積回路のテスト方法。

【請求項 4】

前記出力されるシリアルデータとクロックとを相対的かつ可变的に遅延する機能と、遅延されたシリアルデータをパラレルデータに変換する機能とを、前記半導体集積回路とは別のテスト回路として構成したことを特徴とする請求項 3 記載の集積回路のテスト方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 2

【補正方法】変更

【補正の内容】

【0 0 1 2】

上記目的を達成するために、本発明は、パラレルデータをクロックに同期してシリアルデータに変換し、該シリアルデータおよび該シリアルデータに同期したクロックを出力する機能を有する集積回路であって、

遅延制御信号に応じて、前記出力したシリアルデータとクロックとを相対的かつ可变的に遅延して出力する遅延可変回路と、

前記遅延可変回路から出力されるクロックを用いて、前記遅延可変回路から出力されるシリアルデータをパラレルデータに変換するシリアル・パラレル変換回路とを備えることを特徴とする集積回路を提供するものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正の内容】

【0 0 1 3】

また、本発明は、パラレルデータをクロックに同期してシリアルデータに変換し、該シリアルデータおよび該シリアルデータに同期したクロックを出力する機能を有する集積回路のテスト回路であって、

遅延制御信号に応じて、前記集積回路から出力されるシリアルデータとクロックとを相対的かつ可变的に遅延して出力する遅延可変回路と、

前記遅延可変回路から出力されるクロックを用いて、前記遅延可変回路から出力されるシリアルデータをパラレルデータに変換するシリアル・パラレル変換回路とを備えることを特徴とするテスト回路を提供する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

また、本発明は、パラレルデータをクロックに同期してシリアルデータに変換し、該シリアルデータおよび該シリアルデータに同期したクロックを出力する機能を有する集積回路のテスト方法であって、

前記出力されるシリアルデータとクロックとを相対的かつ可变的に遅延し、該遅延されたクロックを用いて該遅延されたシリアルデータをパラレルデータに変換し、当該変換されたパラレルデータを判定することによりテストを行うことを特徴とする集積回路のテスト方法を提供する。

ここで、前記出力されるシリアルデータとクロックとを相対的かつ可变的に遅延する機能と、遅延されたシリアルデータをパラレルデータに変換する機能とを、前記半導体集積回路とは別のテスト回路として構成したことが好ましい。