

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4034781号

(P4034781)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int. Cl.		F I			
H03K	3/353	(2006.01)	H03K	3/353	B
H03K	5/15	(2006.01)	H03K	5/15	G

請求項の数 5 (全 9 頁)

(21) 出願番号	特願2004-530065 (P2004-530065)	(73) 特許権者	390009531
(86) (22) 出願日	平成15年7月10日(2003.7.10)		インターナショナル・ビジネス・マシー ズ・コーポレーション
(65) 公表番号	特表2005-535265 (P2005-535265A)		INTERNATIONAL BUSIN ESS MACHINES CORPO RATION
(43) 公表日	平成17年11月17日(2005.11.17)		アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード
(86) 国際出願番号	PCT/EP2003/008486	(74) 代理人	100086243
(87) 国際公開番号	W02004/019192		弁理士 坂口 博
(87) 国際公開日	平成16年3月4日(2004.3.4)	(74) 代理人	100091568
審査請求日	平成17年4月5日(2005.4.5)		弁理士 市位 嘉宏
(31) 優先権主張番号	10/216,618	(74) 代理人	100108501
(32) 優先日	平成14年8月8日(2002.8.8)		弁理士 上野 剛史
(33) 優先権主張国	米国 (US)		
前置審査			

最終頁に続く

(54) 【発明の名称】 集積回路用のクロック・ジェネレータ

(57) 【特許請求の範囲】

【請求項1】

負荷キャパシタンスを有しクロック駆動される第1のVLSIロジック、
負荷キャパシタンスを有しクロック駆動される第2のVLSIロジック、及び
前記第1及び第2のVLSIロジックに提供されるクロック信号を生成するクロック・
ジェネレータ回路であって、

電流源と、

前記電流源に、互いに並列に接続された第1のインダクタ及び第2のインダクタと、

前記第1のインダクタの前記電流源と反対側の端子(「第1ノード」とする)及び第2
のインダクタの前記電流源と反対側の端子(「第2ノード」とする)に、夫々のドレイン
が接続された第1のN E F Tと第2のN E F Tであって、前記第1のN E F Tのゲートは
前記第2ノードに接続され、前記第2のN F E Tのゲートは前記第1ノードに接続されて
いる、第1及び第2のN F E Tと、

を含む、クロック・ジェネレータ回路、

を含む集積回路デバイスにおいて、

前記第1ノードが前記第1のVLSIロジックに直接接続され、及び

前記第2ノードが前記第2のVLSIロジックに直接接続されている、

集積回路デバイス。

【請求項2】

前記クロック・ジェネレータ回路が、前記第1ノードに前記第1のVLSIロジックと

10

20

並列に接続された容量可変の第1の容量要素と、前記第2ノードに前記第2のVLSIロジックと並列に接続された容量可変の第2の容量要素をさらに含む、請求項1に記載の集積回路デバイス。

【請求項3】

前記第1ノードと、第2ノードの出力信号とが180度異なる位相である、請求項1または2に記載の集積回路デバイス。

【請求項4】

前記第1および第2のインダクタが、前記半導体デバイスの金属層にある単一の「S」字型導電性要素として実装される、請求項1～3のいずれか1項に記載の集積回路デバイス。

10

【請求項5】

前記電流源が、該電流源と前記第1及び第2のインダクタとの間に接続された、バイアスされたpチャネル・トランジスタをさらに備える、請求項1～4のいずれか1項に記載の集積回路デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に電子デバイスの分野に関し、より詳細には、システム上にあるクロック駆動されるロジックのキャパシタンスに基づく振動信号を生成するデータ処理システム用のクロック・ジェネレータ回路の設計に関する。

20

【背景技術】

【0002】

電子デバイスの分野では、クロック信号およびクロック・ジェネレータ回路は周知である。従来クロック・ジェネレータは、大まかに2種類に分けることができる。すなわち、汎用のマイクロプロセッサやデジタル信号プロセッサなどのVLSIデバイス用のジェネレータと、携帯電話などの消費者向け電子機器用のジェネレータである。図1を参照すると、VLSI用ジェネレータ104がVLSIデバイス101の一部分として示されている。VLSIデバイス101は、シリコン基板などのモノリシック基板上に製作された単一のデバイスを含む。デバイス101は、クロック・ジェネレータ回路104と、バッファ回路106と、まとめて負荷110として示す機能ロジックとを含む。VLSIデバイス101は、通常、水晶などの外部クロック・デバイス102から入力を受け取る。デバイス101は、オンチップ・クロックにおける周波数または位相あるいはその両方の変化を最小限にするための位相ロック・ループまたは遅延ロック・ループなど、何らかの形のクロック発生回路104を含む。次いでクロック・ジェネレータ104の出力は、通常、バッファ回路106によって増幅またはバッファリングされる。バッファ回路106の出力は、デバイス101の機能ロジック(負荷110)を駆動する。

30

【0003】

図2を参照すると、指数ホーン形のバッファ回路106の実装形態が示されている。この図では、バッファ回路106は、一連の従来型CMOSインバータ120を含む。連続する各インバータのサイズ(トランジスタの幅と長さの比(W/L)として測定した)は、ある公比で前のインバータのサイズよりも大きくなっている。

40

【0004】

歴史的には、負荷110に加えられるクロック信号の周波数は、数十から数百メガヘルツの範囲内であった。このような周波数では、負荷110に関連する浮遊キャパシタンスはクロック信号の形状を大きく変化させるには十分でなく、したがってクロック信号はほぼ正方形である。方形波信号は、一般に、CMOSデバイスのクロック信号として望ましい。それは、この種の信号はすばやく状態間で遷移するので、CMOSのクロスオーバー電流が減少し、閾値電圧でのデバイス内部の変化に関連する問題が最小限になり有益であるからである。

【0005】

50

しかし回路が進歩するにつれて、方形波クロック信号の生成はますます問題となってきた。良好な方形波の生成に必要な高周波成分は、どんな半導体デバイスにも伴う浮遊キャパシタンスによって大幅に減衰される。製造業者達は、概して、浮遊キャパシタンスを減少させることよりもクロック周波数を増加させることに成功しており、その結果、方形波を生成することがますます難しくなっている。この問題のため、設計者達は、方形波と比べて比較的遅い立ち上がり時間および立ち下り時間を有するクロック信号の効果について考えるようになった。

【0006】

一方、家電用回路には、一般に、より単純で低コストのクロック・ジェネレータが実装されてきた。最も一般的には、LとCの組み合わせによってほぼ正弦波の信号を生成する何らかの形のタンク回路がこれらの回路に組み込まれる。この信号は、バッファリングされ、デバイスの機能回路に供給される。

10

【0007】

VLSI用クロック・ジェネレータは一般に、品質および同調レンジの点で家電の信号ジェネレータよりも優れているが、外部クロック信号を必要とし、望ましくない電力量をバッファ回路内で消費する傾向がある。消費製品のクロック回路は安価であるという長所があるが、立ち上がり時間が遅く、従来のクロック周波数で十分なサイズのインダクタおよびコンデンサを設計することは非現実的であるので、一般にVLSIデバイスには不適当であった。(LC回路の特性周波数は、LとCの積の平方根に反比例する)。

【発明の開示】

20

【発明が解決しようとする課題】

【0008】

クロック信号の質に対して過度に妥協することなく、且つ非現実的なダイ・サイズになることのない、消費製品のクロック・ジェネレータの長所を組み込んだVLSIデバイス用のクロック発生回路を実装することが望ましい。

【課題を解決するための手段】

【0009】

上で特定した問題は、電流源と反転スイッチの間にオンチップ誘導要素が接続されたクロック・ジェネレータを含むシステムおよび集積回路(ダイ)によって主に対処される。スイッチの出力は、クロック駆動される回路の少なくとも一部分を中間のバッファリングなしに駆動やクロックするのに適したほぼ正弦波の信号である。好ましい実施形態では、クロック・ジェネレータは、1対のクロス・カップル型MOSFET、1対のソリッド・ステート・オンチップ・インダクタ、および電流源を含むデュアル位相設計である。各オンチップ・インダクタは、電流源と一方のMOSFETのドレインとの間に接続される。クロック・ジェネレータの出力は、ダイ上にあるクロック駆動される回路の少なくとも一部分のクロック入力部に直接供給される。この実施形態では、クロック・ジェネレータの出力信号の周波数は、誘導要素のインダクタンスおよびクロック駆動される回路のキャパシタンスによってほぼ決まる。この設計は、クロック・ジェネレータ自体に別個のコンデンサ素子を組み込む必要性をなくし、電力の大部分をジェネレータの誘導要素と負荷の容量要素との間で往復させそれにより電流源が供給する必要のある電力が低減されたクロック・ジェネレータをもたらす。

30

40

【0010】

本発明の他の目的および長所は、以下の詳細な説明を読み、添付の図面を参照することによって明らかとなるであろう。

【発明を実施するための最良の形態】

【0011】

本発明には、様々な変更形態および代替形態が可能であるが、例として本発明の特定の実施形態を図面に示し、ここで詳細に説明することとする。しかし、本明細書に示す図面および詳細な説明は、ここに開示した特定の実施形態に本発明を限定するものではなく、反対に、添付の特許請求の範囲によって定義される本発明の趣旨および範囲内に含まれる

50

修正物、等価物、および代替物をすべて含むことを意図していることが理解されるべきである。

【0012】

一般的に言えば、本発明は、汎用のマイクロプロセッサまたはデジタル信号処理装置などのVLSIデバイス用のオンチップ・クロック・ジェネレータを含む、本明細書ではデバイスまたはダイとも呼ぶ集積回路を企図するものである。一実施形態では、クロック・ジェネレータ回路は少なくとも1個のソリッド・ステート・インダクタを含むが、従来のLCタンク回路に典型的なコンデンサ素子は省かれる。その代わりに、クロック・ジェネレータによって駆動される回路に固有のキャパシタンスがジェネレータの容量要素となる。別の実施形態では、固有のデバイス・キャパシタンスが、ジェネレータ回路の一部を構成するディスクリート・コンデンサによって補足される。

10

【0013】

クロック・ジェネレータの出力部は、クロック駆動される回路のクロック入力部に直接接続される。この設計では、クロック・ジェネレータのインダクタとクロック駆動される回路の浮遊キャパシタンスとの間でエネルギーが往復する。従来のVLSIクロック・ジェネレータ内で大きなエネルギーを消費するバッファ回路は使用しない。

【0014】

次に図面を参照すると、図3は、集積回路200の選択された要素のブロック図である。この図では、集積回路200が、オンチップ・クロック・ジェネレータ202と、参照番号204として示された1組のクロック駆動される回路またはロジックとを含むものとして示されている。クロック駆動されるロジック204は、ジェネレータ202によって生成されたクロック信号203を受け取り、またはその特性に影響を及ぼす集積回路200のロジック要素を表す。したがってクロック駆動されるロジック204は、クロックを使用する従来のフリップフロップなどの同期式ロジック要素およびドミノ・ロジック・ゲートなどの組み合わせゲートと、ジェネレータ202とロジック要素の間の相互接続部とを含む。本発明の好ましい実施形態では、クロック駆動されるロジック204は、図1に関して上述したバッファ回路106などのバッファ回路を含まない。換言すれば、集積回路200の一実施形態は、クロック・ジェネレータ202とクロック駆動されるロジック204との間を、バッファリングなしで直接接続することを企図している。電子工学および電子設計の分野の技術者には、クロック・ジェネレータ202の出力をロードされる浮遊キャパシタンスまたは固有キャパシタンスをクロック駆動されるロジック204の各要素を含むことが理解されるであろう。したがって本発明の観点から、図3では、集積回路200が主にクロック・ジェネレータおよびそれが駆動する容量性負荷から構成されることを強調して示してある。

20

30

【0015】

本発明は一般に、容量性負荷を、クロック・ジェネレータの設計に組み込むことによって利用するものである。典型的には、本発明によるクロック・ジェネレータは修正されたタンク回路を備え、これによってクロック・ジェネレータ自体の中に設計で組み込まれた容量要素の必要性はなくなるまたは低減する。その代わりに、クロック・ジェネレータの出力ノードは、クロック駆動されるロジックに直接接続される。この構成では、ディスクリート・コンデンサに必要なスペースを割かずに、コンデンサを意図的にジェネレータ内に設計した場合にそのコンデンサが及ぼすのと同様に、容量性負荷が出力信号に影響を及ぼす。

40

【0016】

次に図4を参照すると、本発明の一実施形態によるデュアル位相クロック・ジェネレータ回路202の実装形態が示されている。この実施形態では、クロック・ジェネレータ202は、1対のインダクタ212および214と、それに対応する1対のクロス・カップル型MOSFETデバイス216および218とを含む。MOSFETデバイス216および218はノード220上および222上にデュアル位相クロック信号を発生させる。そのクロック信号の位相は180度離れている。インダクタ212は、 V_{CC} に結合され

50

ているバイアスされたPMOSトランジスタ210の形をとる電流源とトランジスタ216のドレイン端子との間に接続される。インダクタ214は、電流源とトランジスタ218のドレイン端子との間に接続される。トランジスタ216のゲートおよびトランジスタ218のドレインは、クロック信号を供給するクロック・ジェネレータの出力ノード220に接続される。トランジスタ218のゲートおよびトランジスタ216のドレインは、クロック・バー信号を供給するクロック・ジェネレータの出力ノード222に接続される。出力ノード220および222は、クロック駆動されるロジック204に直接接続される。この図では、クロック駆動されるロジック204は、単に C_{load} のキャパシタンスを有するコンデンサとして表す。

【0017】

図4に示したように、クロック・ジェネレータ202は、クロック・ジェネレータの負荷によってキャパシタンスが提供されるLC回路として動作する。回路設計に詳しい者には、クロックおよびクロック・バー信号がほぼ正弦波であることが理解されるであろう。正方形の信号クロックは、スキュー時間がより短くまたクロスオーバー電流を減少させるので、正弦波よりも好ましいが、クロック周波数が増加してきたペースの方が、半導体製造業者達がデバイス内部の容量性ローディングを減少させることができたスピードよりも速かったので、従来のクロック・ジェネレータ回路でもほぼ正方形の信号を供給することがますますできなくなっている。クロック信号がますます「非正方形」になる現実に直面して、少々遅い立ち上がり時間および少々大きなクロスオーバー電流に対して耐性のある回路を設計することが、現在、回路設計者に求められている。したがって、クロック・ジェネレータ202によって生成される正弦波信号は、各種の最先端VLSIデバイスにとって十分であると理論付けられる。

【0018】

場合によっては、クロック駆動されるロジック204の C_{load} は、所望のクロック信号周波数にとって不十分である。他の場合では、 C_{load} は時間と共に変化することがある。これらの可能性を補償するために、図5に示すクロック・ジェネレータ202の一実施形態では、負荷キャパシタンスの補足または安定あるいはその両方を行う「設計に組み込んだ」コンデンサが組み込まれる。図5のデュアル位相クロック・ジェネレータ202の実装形態では、クロック・ジェネレータ202は、クロック・バー信号出力部とグラウンドとの間に接続された第1のコンデンサ230、ならびにクロック信号出力部とグラウンドとの間に接続された第2のコンデンサ232を含む。一実施形態では、コンデンサ230および232のキャパシタンスは制御可能に変更可能であり、ジェネレータが、コンデンサ230および232のキャパシタンスを変化させて負荷キャパシタンス C_{load} 内の変化を相殺し、それによって全体のキャパシタンスをほぼ一定に維持するように構成されている。

【0019】

クロック・ジェネレータの出力ノード220および222を、クロック駆動されるロジック204に直接接続することによって、図1および図2に関して前述した指数ホーン形などのバッファ回路なしでジェネレータが実装される。集積回路200上の貴重な面積が節約されることに加え、バッファ回路の除去により、デバイス全体で必要な電力のかなりの部分を占めるクロック信号の生成に関連する電力消費量が、場合によっては劇的に減少するという有益な結果となる。従来のLC回路におけるこれまでのバッファリング（例えば、だんだんと大きくなる一連のCMOSインバータ）では、クロック・ジェネレータのエネルギー貯蔵要素から伝達されるエネルギーはすべてインバータのグラウンドに放散する。1サイクル毎に、クロック・ジェネレータはそれ自体を充電するのに十分な電流を引き込む必要がある。一方、図4に示すクロック・ジェネレータ202は、有益なことにエネルギーを「再循環」する。1クロック・サイクル毎に、インダクタ214の貯蔵されたエネルギーは、クロック駆動されるロジック204に伝達されて容量性負荷にロードされ、インダクタに戻される。したがって、LC回路が充電された後は、電流源210から必要な電流は、デバイス内の必然的に損失の多い要素を補償するのに必要な電流だけである

10

20

30

40

50

【0020】

さらに、VLSIデバイスがギガ・ヘルツ領域へと進歩するにつれ、LおよびCのサイズに関する要件は、十分に従来製の製造能力の範囲内にあり過度に大きな面積を占めないインダクタ212および214の実装を可能にするのに十分なほど小さくなってきた。ナノ・ヘンリー範囲内にある、約5～15のQを有するインダクタは、従来の多層メタルCMOSの製法で製造することができる。インダクタ212および214は、通常、何らかのループまたはスパイラルの形に作られる。図6を参照すると、インダクタ212および214の一実施形態の平面図が示されている。この実施形態では、金属でできた単一の層、通常は最上層の金属によってインダクタ対を実現する。多層インダクタ設計ではダイ面積の節約ができるものの、図6に示す単一層の実施形態の方が、通常、中間層からの漏出のある多層設計のものよりも優れたQ値を有している。さらに、図示したS字形の形状は、第1のインダクタ212によって誘起される磁場が第2のインダクタ214によって誘起される磁場と反対に作用し、それによって両方のインダクタのQ因子がさらに改善される構造を表している。

10

【0021】

図4および図5で示す集積回路200の実施形態は、図7に示す等価回路の具体的な実装形態である。図7に示すように、本発明による集積回路200は、前記のオンチップ・インダクタを表す誘導要素Lと、クロック駆動される回路の固有キャパシタンスを含み、設計に組み込まれたコンデンサまたはディスクリット・コンデンサを含むことがある容量要素と、2つの抵抗要素 R_i および $-R_p$ とを含む。 R_i は誘導要素Lの寄生抵抗を表し、負性抵抗 $-R_p$ は R_i での寄生損失を補償するために追加された回路を表す。図4および図5に示す集積回路200の実施形態では、負性抵抗要素 $-R_p$ は、バイアスされたpチャネル電流源およびクロス・カップル型nチャネル・トランジスタを含む。代替実装形態では、例えばグラウンドとクロス・カップル型トランジスタ対との間に接続されたゲート・バイアスnチャネル電流源を含めることもできることが当業者には理解されよう。

20

【0022】

本発明は、クロック信号を生成するのに適したエネルギー貯蔵要素として負荷キャパシタンスをソリッド・ステート・インダクタと併せて有益に使用するオンチップ・クロック・ジェネレータを有する集積回路を企図するものであることが、この開示の利益を有する技術分野の当業者には明らかであろう。詳細な説明および図面に示され記載された本発明の形態は、単に現時点での好ましい例とみなすべきことが理解されよう。添付の特許請求の範囲は、ここに開示した好ましい実施形態のすべての変形形態を包含するように広く解釈すべきことが意図されている。

30

【図面の簡単な説明】

【0023】

【図1】従来技術によるクロック・ジェネレータ回路の選択された要素のブロック図である。

【図2】ジェネレータのバッファを強調した図1のクロック・ジェネレータの選択された要素のブロック図である。

40

【図3】本発明の一実施形態による、集積回路または電子デバイスの選択された要素を強調したブロック図である。

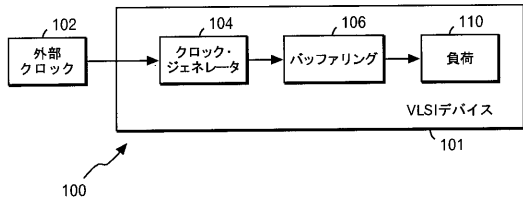
【図4】本発明の一実施形態による図3のクロック・ジェネレータの回路図である。

【図5】本発明の第2の実施形態による図3のクロック・ジェネレータの回路図である、

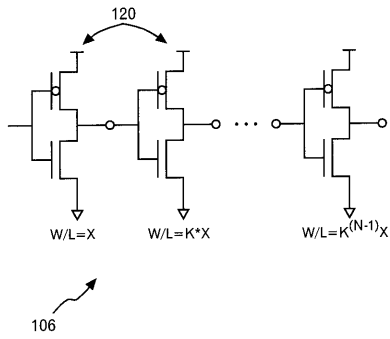
【図6】図4または図5の回路内で使用するのに適したインダクタ対の一実施形態の平面図である。

【図7】本発明による集積回路の等価回路図である。

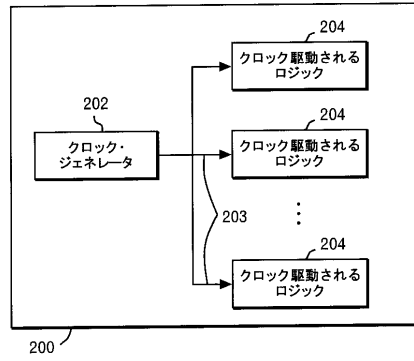
【図1】



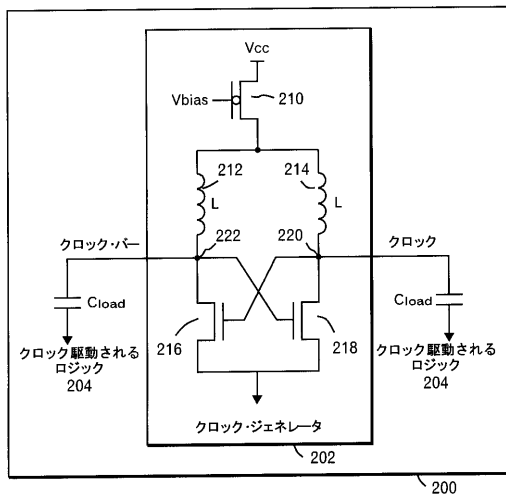
【図2】



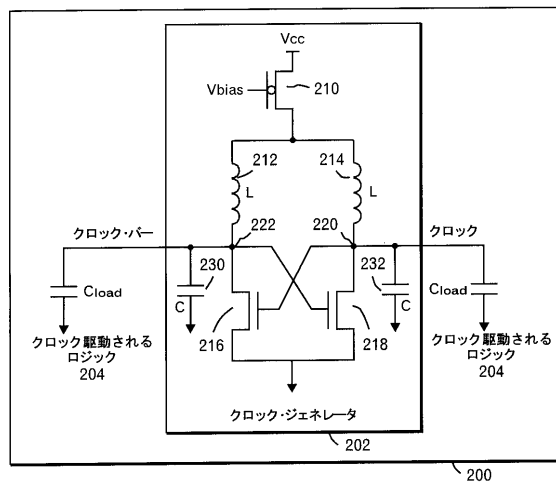
【図3】



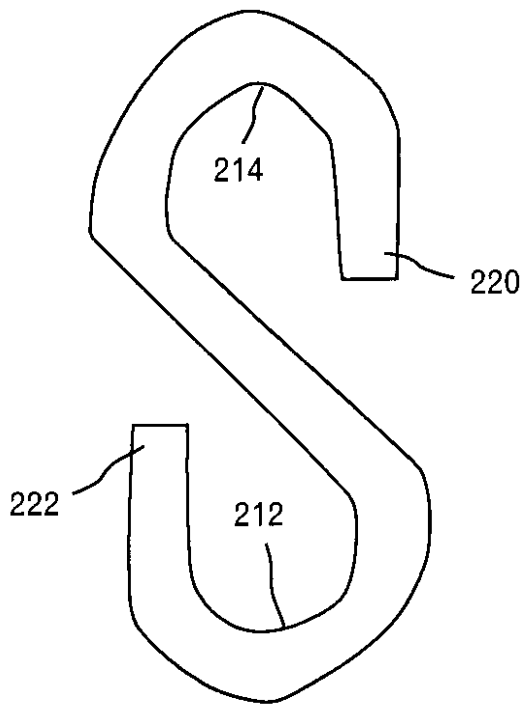
【図4】



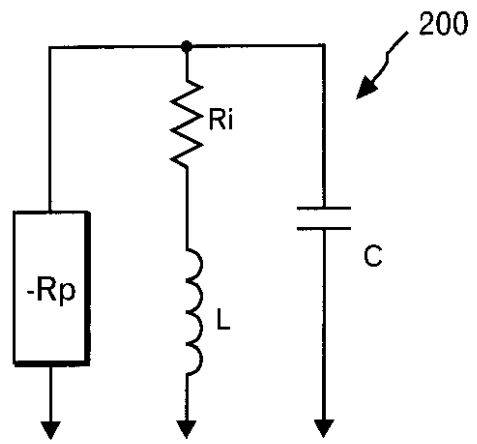
【図5】



【 図 6 】



【 図 7 】



フロントページの続き

- (72)発明者 バーンズ、ジェフリー、エル
アメリカ合衆国78746 テキサス州オースティン インディアン・キャニオン・ドライブ 6
203
- (72)発明者 ドレク、アラン、ジェイ
アメリカ合衆国48185 ミシガン州アン・アーバー ストーン・ロード 2338
- (72)発明者 ゴシャル、ウッタム、シャマリンドゥ
アメリカ合衆国78733 テキサス州オースティン インディゴ・ブルーム・ループ 1042
1
- (72)発明者 ノーカ、ケビン、ジェイ
アメリカ合衆国78681 テキサス州ラウンド・ロック グレイリン・レーン 3952

審査官 石田 勝

- (56)参考文献 J.Craninckx他, 「A 1.8GHz Low-Phase-Noise Spiral-LC CMOS VCO」, IEEE 1996 Symposium on
VLSI Circuits Digest of Technical Paper, 米国, IEEE, 1996年, pp30-31, LC CMOS
VCO
- A.Rofougaran他, 「A 900MHz CMOS LC-Oscillator with Quadrature Outputs」, 1996 IEEE Int
ernational Solid-State Circuits Conference, 米国, IEEE, 1996年, Session 24 Analog
Techniques, pp392-393
- B.Razavi, 「A 1.8GHz CMOS Voltage-Controlled Oscillator」, 1997 IEEE International Sol
id-State Circuits Conference, 米国, IEEE, 1997年, Session 23 Analog Techniques, pp
388-389, LC CMOS VCO

(58)調査した分野(Int.Cl., DB名)

H03K 3/26-3/36
H03K 3/00-3/22
H03K 5/00-5/28