



# (12)发明专利

(10)授权公告号 CN 106328552 B

(45)授权公告日 2019.12.10

(21)申请号 201511031829.9

(22)申请日 2015.12.31

(65)同一申请的已公布的文献号  
申请公布号 CN 106328552 A

(43)申请公布日 2017.01.11

(30)优先权数据  
14/788,714 2015.06.30 US

(73)专利权人 意法半导体国际有限公司  
地址 荷兰阿姆斯特丹

(72)发明人 A·沙布拉

(74)专利代理机构 北京市金杜律师事务所  
11256  
代理人 王茂华 吕世磊

(51)Int.Cl.

H01L 21/66(2006.01)

H01L 23/544(2006.01)

H01L 27/11(2006.01)

(56)对比文件

CN 205881902 U, 2017.01.11, 权利要求5, 7-11, 13.

审查员 陆然

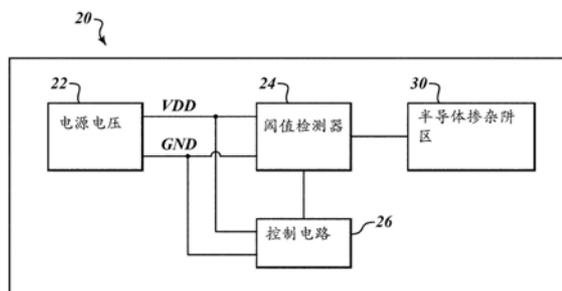
权利要求书2页 说明书7页 附图9页

(54)发明名称

超低电压温度阈值检测器

(57)摘要

本发明提供了一种集成电路裸片,该集成电路裸片包括形成在半导体衬底中的多个晶体管,这些晶体管的本体区在该半导体衬底的掺杂阱区上。阈值检测器基于半导体衬底的温度是高于还是低于阈值温度而对掺杂阱区选择性地施加第一电压或第二电压。



1. 一种集成电路裸片,包括:
  - 半导体衬底;
  - 掺杂阱区,所述掺杂阱区在所述半导体衬底中;
  - 多个晶体管,所述多个晶体管具有定位在所述掺杂阱区中的多个本体区;
  - 阈值检测器,所述阈值检测器感测所述半导体衬底的温度,并且如果所述温度高于阈值温度则对所述掺杂阱区施加第一偏置电压,并且如果所述温度低于所述阈值温度则对所述掺杂阱区施加第二偏置电压,其中,所述阈值检测器包括:
    - 输出端子,所述输出端子基于所述温度向所述掺杂阱区供应所述第一偏置电压或所述第二偏置电压;
    - 第一NMOS晶体管,所述第一NMOS晶体管具有连接至所述输出端子的漏极端子;以及
    - 第一PMOS晶体管,所述第一PMOS晶体管具有连接至所述输出端子的漏极端子。
2. 如权利要求1所述的集成电路裸片,其中,所述多个晶体管包括SRAM存储器阵列的位单元。
3. 如权利要求2所述的集成电路裸片,其中,所述第一偏置电压是接地而所述第二偏置电压是所述集成电路裸片的正电源电压。
4. 如权利要求1所述的集成电路裸片,其中,所述阈值检测器基于一个或多个MOS晶体管的阈值电压的变化而感测所述温度。
5. 如权利要求1所述的集成电路裸片,其中,所述阈值检测器包括第一电流路径,所述第一电流路径包括:
  - 第一电流源,所述第一电流源被配置为用于产生第一电流;
  - 第二NMOS晶体管,所述第二NMOS晶体管传递所述第一电流;以及
  - 第三NMOS晶体管,所述第三NMOS晶体管具有耦接至所述第二NMOS晶体管的源极端子的漏极端子并且传递所述第一电流,所述第三NMOS晶体管的源极端子耦接至所述第一NMOS晶体管的栅极端子。
6. 如权利要求5所述的集成电路裸片,其中,温度的变化引起所述第一NMOS晶体管的栅极电压变化,所述栅极电压变化是所述第二NMOS晶体管的阈值电压的变化的两倍大。
7. 如权利要求5所述的集成电路裸片,进一步包括:
  - 多个晶体管,所述多个晶体管包括相互串联耦接的数量为N的NMOS晶体管并且使所述第一NMOS晶体管的所述栅极端子耦接至所述串联的晶体管中的一个晶体管的漏极,以随着所述温度变化在所述第一NMOS晶体管的所述栅极端子上引起 $N*V_{Th}$ 的电压变化。
8. 如权利要求5所述的集成电路裸片,其中,所述阈值检测器包括第二电流路径,所述第二电流路径包括:
  - 第二电流源,所述第二电流源被配置为用于产生第二电流;以及
  - 第二PMOS晶体管,所述第二PMOS晶体管传递所述第二电流,所述第二PMOS晶体管具有耦接至所述第一PMOS晶体管的栅极端子的漏极端子和栅极端子。
9. 如权利要求5所述的集成电路裸片,其中,所述阈值检测器包括耦接至所述第一电流路径的第四NMOS晶体管,所述第四NMOS晶体管具有栅极端子,所述栅极端子接收引起所述阈值温度的滞后效应的逻辑信号。
10. 如权利要求1所述的集成电路裸片,其中,所述阈值检测器包括:

第二输出端;以及

多个反相器,所述多个反相器串联耦接在所述输出端子和所述第二输出端之间。

11.如权利要求1所述的集成电路裸片,其中,所述半导体衬底是FDSOI半导体衬底,所述FDSOI半导体衬底包括:

第一半导体材料层,所述第一半导体材料层包括所述掺杂阱区;

电介质材料层,所述电介质材料层被定位在所述第一半导体材料层上;以及

第二半导体材料层,所述第二半导体材料层被定位在所述电介质材料层上,所述晶体管的沟道区被定位在所述第二半导体材料层中。

12.一种用于集成电路器件的方法,包括:

在半导体衬底的温度低于第一阈值温度时,对所述半导体衬底的掺杂阱区施加第一本体偏置电压,多个晶体管的本体区被定位在所述半导体衬底中;

在所述半导体衬底的所述温度增加超出所述第一阈值温度时,对所述掺杂阱区施加第二本体偏置电压;以及

在所述对所述掺杂阱区施加所述第二本体偏置电压之后,在所述半导体衬底的所述温度降低到低于第二阈值温度时,对所述掺杂阱区施加所述第一本体偏置电压,所述第二阈值温度低于所述第一阈值温度。

13.如权利要求12所述的方法,包括:在所述对所述掺杂阱区施加所述第二本体偏置电压之后,在所述半导体衬底的所述温度降低到低于所述第一阈值温度时,对所述掺杂阱区施加所述第一本体偏置电压。

14.如权利要求12所述的方法,包括:基于一个或多个MOS晶体管的阈值电压的变化来检测所述温度已经增加超出所述阈值温度。

15.如权利要求14所述的方法,其中,所述第一本体偏置电压是正电源电压而所述第二本体偏置电压是接地。

16.一种集成电路器件,包括:

半导体衬底,所述半导体衬底包括:

第一半导体材料层,所述第一半导体材料层具有掺杂阱区;

掩埋电介质层,所述掩埋电介质层被定位在所述第一半导体材料层上;以及

第二半导体材料层,所述第二半导体材料层被定位在所述掩埋电介质层上;

多个阵列晶体管,所述多个阵列晶体管具有:

多个本体区,所述多个本体区被定位在所述掺杂阱区中;以及

多个沟道区,所述多个沟道区被定位在所述第二半导体材料层中;

阈值检测器,所述阈值检测器在所述半导体衬底的温度低于第一阈值温度时向所述掺杂阱区输出第一本体偏置电压并且在所述温度增加超出所述第一阈值温度时向所述掺杂阱区输出第二本体偏置电压,以及在所述阈值检测器向所述掺杂阱区输出所述第二本体偏置电压之后,所述阈值检测器在所述半导体衬底的所述温度降低到低于第二阈值温度时向所述掺杂阱区输出所述第一本体偏置电压,所述第二阈值温度低于所述第一阈值温度。

17.如权利要求16所述的器件,其中,所述第一本体偏置电压是高电源电压而所述第二本体偏置电压是接地。

## 超低电压温度阈值检测器

### 技术领域

[0001] 本披露涉及集成电路裸片领域,并且更具体地,涉及感测集成电路裸片的温度。

### 背景技术

[0002] 许多类型的电子器件包括集成电路裸片。集成电路裸片可以包括数百万甚至数十亿个晶体管。随着晶体管数量的增加,所以集成电路裸片的功耗也可能增加。手持式或其他便携式电子器件通常由一个或多个电池供电。功耗的速率越高,电池耗尽得越快。因此,已设计许多方案来降低功耗的速率。

[0003] 减少电子器件中的功耗的一种方式降低操作电压。在包括SRAM阵列的器件中,SRAM阵列的最小操作电压能够成为降低操作电压的限制因素。这是因为,在低电压时,半导体衬底的温度可能影响SRAM的读取和写入操作的可靠性。具体而言,关于温度和操作电压,SRAM位单元针对读取操作和写入操作可能具有冲突的要求。

[0004] 每个SRAM位单元通常包括NMOS晶体管和PMOS晶体管两者。NMOS晶体管和PMOS晶体管两者的阈值电压随着温度的降低而增加。较高的温度会导致在读取操作期间故障增加(即,破坏性读取),或在从SRAM位单元的读取操作期间所存储数据的翻转。相反地,较低的温度会导致在写入操作期间故障增加。温度的这种影响通常在SRAM位单元的低电压操作最显著。

### 发明内容

[0005] 一个实施例是一种集成电路裸片,该集成电路裸片通过检测该集成电路裸片的半导体衬底的温度并且基于该半导体衬底的温度是高于还是低于阈值温度而对SRAM阵列的晶体管的本体区选择性地施加第一偏置电压或第二偏置电压来补偿温度变化对该SRAM阵列的操作的影响。以这种方式,可以基于该半导体衬底的温度是高于还是低于阈值温度而对这些晶体管的本体区选择性地施加适当的本体偏置电压。这可以通过减少SRAM的读取和写入操作过程中的错误来提高SRAM的可靠性。

[0006] 在一个实施例中,该集成电路裸片包括半导体衬底、被定位在该半导体衬底中的掺杂阱区以及SRAM阵列,该SRAM阵列包括具有定位在该掺杂阱区中的本体区的多个晶体管。此外,该掺杂阱区可以共用于包括平面型并且鳍式FET器件的全耗尽绝缘体上硅(FDSOI)技术中的SRAM阵列的NMOS器件和PMOS器件。该集成电路裸片进一步包括阈值温度检测器,该阈值温度检测器检测该掺杂阱区的温度,并且在该半导体衬底低于阈值温度时向该掺杂阱区提供高电源电压并且在该半导体衬底高于该掺杂阱区时向该掺杂阱区提供接地电压。

[0007] 在一个实施例中,该阈值温度检测器包括以检测安排在高电源电压与接地之间耦接在一起的多个晶体管。该检测电路的输出节点基于这些晶体管的阈值电压而输出高电源电压或接地。由于这些晶体管的阈值电压随温度而变化,因此当该半导体衬底的温度变化时,这些晶体管的阈值电压也发生变化。当温度跨过阈值温度时,视情况而定,该输出节点

被强制达到高电源电压或接地。以这种方式,该温度检测电路基于阈值温度而输出高电源电压或接地。

[0008] 基于阈值温度选择性地施加本体偏置电压的原理也扩展到SRAM以外的应用。

### 附图说明

[0009] 图1是根据一个实施例的集成电路裸片上的电路的框图。

[0010] 图2是根据一个实施例的SRAM位单元的示意图。

[0011] 图3是根据一个实施例的包括半导体衬底和晶体管的集成电路裸片的横截面。

[0012] 图4是根据一个实施例的温度检测电路的示意图。

[0013] 图5是根据一个实施例的展示温度检测电路温度的输出电压的曲线图。

[0014] 图6A是根据一个实施例的温度检测电路的示意图。

[0015] 图6B是根据一个实施例的温度检测电路的示意图。

[0016] 图7是曲线图,展示了根据一个实施例的温度检测电路温度的输出电压。

[0017] 图8是根据一个实施例的用于基于温度对半导体掺杂阱区选择性地施加偏置电压的过程的流程图。

### 具体实施方式

[0018] 图1是根据一个实施例的集成电路裸片20上的电路的框图。集成电路裸片20包括耦接至阈值检测器24和控制电路26的电源电压22。控制电路26耦接至阈值检测器24。半导体掺杂阱区30耦接至阈值检测器24。

[0019] 在一个实施例中,电压源22输出高电源电压VDD和接地GND。高电源电压VDD和低电源电压接地被提供到阈值检测器24和控制电路26。

[0020] 阈值检测器24检测半导体掺杂阱区30的温度是高于还是低于阈值温度。阈值检测器24取决于半导体掺杂阱区的温度是高于还是低于阈值温度而向半导体掺杂阱区30输出VDD或接地。

[0021] 半导体掺杂阱区30包括集成电路裸片20的多个晶体管的本体区。晶体管的导电特性受本体区的温度影响。具体而言,PMOS晶体管和NMOS晶体管的阈值电压随温度而变化。在低电压应用(例如 $VDD < 1V$ )中,阈值电压的微小变化能够导致集成电路裸片20的功能的较大变化。

[0022] 也可以通过调节施加到晶体管的本体区的偏置电压来调节PMOS晶体管和NMOS晶体管的阈值电压。因此,为了抵消半导体掺杂阱区30中的温度变化的影响,阈值检测器24基于半导体掺杂阱区30的温度对半导体掺杂阱区30选择性地施加偏置电压。

[0023] 在一个实施例中,该集成电路裸片包括由晶体管组成的SRAM阵列,这些晶体管具有在半导体掺杂阱区30中的本体区。在低电压应用中,在所有其他因素保持不变,SRAM阵列在低温度下将运作不佳。因此,当掺杂阱区30的温度低于阈值温度时,阈值检测器24将VDD施加到半导体掺杂阱区30,以提高其性能。同样,如果对半导体掺杂阱区30施加高电压,则在高温下,SRAM阵列将运作不佳。因此,当掺杂阱区30的温度高于阈值温度时,阈值检测器24将接地电压施加到半导体掺杂阱区30,以提高其性能。通过基于阈值温度对半导体掺杂阱区30选择性地施加偏置电压,SRAM阵列可以在高温和低温下均运作良好。

[0024] 在一个实例中,阈值温度为约 $0^{\circ}\text{C}$ 。因此,当半导体掺杂阱区30的温度低于 $0^{\circ}\text{C}$ 时,阈值检测器24将VDD施加到半导体掺杂阱区30。当半导体掺杂阱区30的温度高于 $0^{\circ}$ 时,阈值检测器24将接地电压接地施加到半导体掺杂阱区30。如本披露中所教导的,可以使用阈值温度的其他值,如同可以使用其他值来应用于阱区30。

[0025] 如本领域技术人员根据本披露将显而易见的,本披露的原理可以扩展到SRAM阵列的晶体管以外的许多其他应用。所有这样的其他应用落入本披露的范围之内。

[0026] 图2是在集成电路裸片20中实现的SRAM阵列的SRAM位单元32的示意图。虽然图1中未示出,但集成电路裸片20包括操作电路(例如SRAM 32),以及如参照图1所描述的阈值检测器24和全耗尽绝缘体上硅(FDSOI)衬底。图3是展示FDSOI衬底中的掺杂阱区30的集成电路裸片的横截面。图2和图3展示了将在裸片20上的电路上使用的本披露的原理的一个应用的实例。

[0027] SRAM位单元32包括两个PMOS晶体管P1、P2和四个NMOS晶体管N1至N4。晶体管P1、N1形成第一反相器。晶体管N2、P2形成第二反相器。第一反相器和第二反相器交叉耦接在一起,这样使得每个反相器的输出端耦接至另一反相器的输入端。晶体管N3、N4是其栅极耦接至字线WL的存取晶体管。存取晶体管将位线BL耦接至反相器的对应输出端。PMOS晶体管P1、P2的源极端子耦接至电源电压 $V_{\text{DD}}$ 。晶体管N1、N2的源极端子耦接至接地。

[0028] 在位单元32的读取操作过程中,位线BL被预充电到在 $V_{\text{DD}}$ 和接地之间的中间电压电平。然后将 $V_{\text{DD}}$ 施加到字线WL,由此启用存取晶体管N3、N4并且将位线BL耦接至反相器的对应输出端。位线BL之间将形成小的电压差。此电压差由感测放大器(未示出)放大,由此使读取电路可靠地识别位线上的电压之间的差,并且从而读取存储在SRAM位单元32中的数据。

[0029] 在位单元32的写入操作过程中,根据要被写入到SRAM位单元32的数据,位线BL被拉高,而另一个位线BL被拉低。字线WL然后被拉高,由此将位单元32的反相器的输入端耦接至对应的位线BL,从而迫使交叉耦接的反相器进入稳定状态,在该状态下,反相器之一的输出是高的,而另一个反相器的输入是低的。

[0030] 如前所述,在常规SRAM阵列中,高温和低温可以对读取操作和写入操作的可靠性产生不利影响,特别是在低操作电压。然而,在与FDSOI衬底以及与体偏置发生器22和阈值检测器24结合而实现的SRAM中,可以相对于常规SRAM阵列在高温和低温下增强读取操作和写入操作的可靠性。

[0031] 图3是包括FDSOI衬底34的集成电路裸片20的横截面。FDSOI衬底34包括第一半导体材料层36、直接在第一半导体材料层36的顶部的掩埋氧化物层(BOX) 38以及直接在BOX层38的顶部的第二半导体材料层40。在第一半导体材料层36中形成(例如)轻掺杂P型施主原子的掺杂阱区30。重掺杂的本体触点42被定位在掺杂阱区30上。本体接触插塞44耦接至重掺杂的本体接触区42,通过该接触区,本体偏置电压可以被施加到掺杂阱区30。与FDSOI半导体衬底34相结合来形成NMOS晶体管46,例如SRAM位单元的NMOS晶体管N1至N4之一。与FDSOI半导体衬底34相结合来形成PMOS晶体管48,例如SRAM位单元32的PMOS晶体管P1、P2之一。在第二半导体材料层40中形成NMOS晶体管46的N型源极区50和漏极区52。在第二半导体材料层40中形成PMOS晶体管48的P型源极区54和漏极区56。NMOS晶体管46的沟道区57在第二半导体材料层40中被定位在源极区50和漏极区52之间。PMOS晶体管48的沟道区58在第二半导体材料层40中被定位在源极区54和漏极区56之间。NMOS晶体管46的栅极电介质64被定

位在沟道区57之。NMOS晶体管46的栅电极60被定位在栅极电介质64上。PMOS晶体管48的栅极电介质66被定位在沟道区48上。PMOS晶体管的栅电极62被定位在栅极电介质66上。源极接触插塞68和漏极接触插塞70被定位在源极区50和漏极区52上。源极接触插塞72和漏极接触插塞74被定位在PMOS晶体管48的源极区54和漏极区56上。晶体管46、48的本体区76、78被定位在第一半导体材料层36中,并且更具体地,被定位在掺杂阱区30内。例如二氧化硅的沟槽隔离区79被定位在FDSOI衬底34中。

[0032] 在一个实施例中,第一半导体材料层36是厚度在10nm至30nm之间的单晶硅。BOX层38是厚度在10nm至25nm之间的二氧化硅。第二半导体材料层40是厚度在5nm至8nm之间的单晶硅。可替代地,其他半导体材料和电介质材料可以用于第一半导体材料层36和第二半导体材料层40以及BOX层38。

[0033] 由于第二半导体材料层40非常薄,因此当晶体管46、48被启用时,在沟道区54和58中的第二半导体材料层40的整个厚度被完全耗尽。因此,晶体管46、48的本体区76、78被定位在掺杂阱区30中。

[0034] 可以通过对体接触插头44施加本体偏置电压来将本体偏置电压施加到掺杂阱区30。由于体接触区42是重掺杂,因此本体偏置电压从体接触插头44传送到掺杂阱区30。

[0035] 在一个实施例中,阈值检测器24基于半导体衬底34的温度对掺杂阱区选择性地施加VDD或接地。晶体管46、48的阈值电压部分地基于要施加到掺杂阱区30的电压。

[0036] 图4是根据一个实施例的阈值检测器24的示意图。阈值检测器24包括具有耦接至VDD的漏极端子的第一NMOS晶体管N5。晶体管N5的漏极端子耦接至晶体管N5的栅极端子。第二NMOS晶体管N6与晶体管N5串联连接。具体而言,晶体管N6的漏极端子连接到晶体管N5的源极端子和晶体管N6的栅极端子。晶体管N6的源极端子耦接至晶体管N7的漏极端子和晶体管N9的栅极端子。晶体管N7和N8串联连接,作为电流源80。N7和N8之间的虚线指示多个(例如10个或更多)其他NMOS晶体管串联耦接在N7和N8之间,作为电流源80的一部分。电流源80的所有栅极端子连接至电压PDN。PMOS晶体管P3具有连接至VDD的源极端子和连接至晶体管N11的漏极端子的漏极端子。晶体管N11和N12串联连接,作为电流源82。N11与N12之间的虚线指示多个(例如10个或更多)其他的NMOS晶体管串联耦接在N11和N12之间,作为电流源82的一部分。电流源82的所有栅极端子连接至电压PDN。晶体管P3的漏极端子也连接至晶体管P4的栅极端子。晶体管P4的源极端子耦接至VDD。晶体管P4的漏极端子耦接至输出节点Out。晶体管N9的漏极端子也耦接至输出节点Out。晶体管N9的源极端子耦接至接地。晶体管N10耦接在Out和接地之间。具体而言,晶体管N10的漏极端子耦接至Out。晶体管N10的源极端子耦接至接地。晶体管N10的栅极端子接收控制信号PD,其中PDN是逻辑相反项。

[0037] 阈值检测器24利用CMOS晶体管的阈值电压随温度变化的原理。具体而言,阈值检测器24有效地放大阈值电压的变化,以迫使Out在半导体衬底的温度低于阈值电压时接收VDD并且在半导体衬底的温度高于阈值电压时接收接地。因此,通过利用阈值电压的变化,阈值检测器24可以输出基于阈值温度而变化的本体偏置电压。

[0038] 阈值检测器24部分地基于晶体管N9和P4的栅极电压而输出VDD或接地。随着晶体管N9上的栅极电压增加,晶体管N9的导电性变得更强,这往往朝着接地驱动Out。随着晶体管P4上的栅极电压增加,晶体管P4变得不太导电,由此使输出Out与VDD屏蔽。随着晶体管N9上的栅极电压减小,晶体管N9变得不太导电,从而使Out与接地屏蔽。随着晶体管P4上的栅

极电压减小,晶体管P4变得更加导电,由此朝着VDD驱动输出。以这种方式,阈值检测器24输出接地或VDD。

[0039] 根据一个实施例,现在将给出阈值检测器24的操作的实例。在 $-40^{\circ}\text{C}$ 的温度下,在电流源被启用( $\text{PDN}=\text{VDD}$ )并且驱动电流 $I_{\text{ref}}$ 的情况下,晶体管N5、N6和P3全都导电。晶体管N5的源极端子上的电压为 $\text{VDD}-V_{\text{Th}}$ ,其中 $V_{\text{Th}}$ 是阈值检测器24的NMOS晶体管的阈值电压。随着半导体衬底的温度的增加,阈值电压 $V_{\text{Th}}$ 减小。随着阈值电压 $V_{\text{Th}}$ 减小,晶体管N5的源极端子上的电压增加。这是因为,电流源80驱动固定电流通过晶体管N5并且NMOS晶体管中的电流基于过驱动电压 $V_{\text{GS}}-V_{\text{Th}}$ 。因此,如果 $V_{\text{Th}}$ 变化但是电流保持不变,则栅极到源极电压 $V_{\text{GSN5}}$ 也将发生变化。但是由于晶体管N5的栅极电压被固定在VDD,因此N5的源极电压被迫根据阈值电压 $V_{\text{Th}}$ 的减小而增加。因此,随着温度的增加,晶体管N5的源极端子上的电压的变化等于 $-\Delta V_{\text{Th}}$ ,其中 $\Delta V_{\text{Th}}$ 是阈值电压的变化。

[0040] 晶体管N6的源极端子处的电压以N5的源极处的电压变化的速率的双倍而增加。由于电流源80驱动固定电流通过N6,因此过驱动电压 $V_{\text{OV}}(V_{\text{GSN6}}-V_{\text{Th}})$ 保持不变。但是由于 $V_{\text{Th}}$ 下降了 $\Delta V_{\text{Th}}$ 而 $V_{\text{GSN6}}$ 增加了(这是因为 $V_{\text{SN5}}$ 已经增加),因此 $V_{\text{SN6}}$ 必须增加 $-2\Delta V_{\text{Th}}$ 以使 $V_{\text{OV}}$ 保持不变。由于 $V_{\text{GN6}}$ 等于 $V_{\text{SN5}}$ ,因此电压 $V_{\text{SN6}}$ 的变化等于 $-2\Delta V_{\text{Th}}$ 。因此,N5、N6的串联配置和电流源80在N6的源极处将 $\Delta V_{\text{Th}}$ 的影响放大2倍。由于晶体管N9的栅极端子耦接至晶体管N6的源极端子,因此栅极电压 $V_{\text{GN9}}$ 的变化等于 $-2\Delta V_{\text{Th}}$ 。因此,随着温度的增加, $V_{\text{GN9}}$ 以 $\Delta V_{\text{Th}}$ 的绝对值的两倍增加。

[0041]  $V_{\text{Th}}$ 随温度的变化的影响在晶体管N9内被进一步放大。NMOS晶体管的漏极电流根据 $V_{\text{OV}}(V_{\text{GS}}-V_{\text{Th}})$ 增加。对于晶体管N9,栅极电压 $V_{\text{GN9}}$ 增加了 $-2\Delta V_{\text{Th}}$ ,而源极电压保持固定在0V。因此, $V_{\text{OVN9}}$ 的变化 $=-2\Delta V_{\text{Th}}-\Delta V_{\text{Th}}=-3\Delta V_{\text{Th}}$ 。因此,由于 $V_{\text{Th}}$ 减小, $V_{\text{OVN9}}$ 增加3倍。因此,随着 $V_{\text{Th}}$ 的减小,晶体管N9的导电性大大增加。由于晶体管N9的导电性随着温度的增加而增加,因此晶体管N9更接近朝着接地驱动 $V_{\text{out}}$ 。

[0042] Out处的电压还基于晶体管P4的导电性。在非常低的温度下,晶体管P4具有高导电性,由此向Out提供VDD。随着温度的增加,PMOS晶体管的阈值电压 $V_{\text{TP}}$ 也增加。晶体管P4的栅极端子耦接至晶体管P3的漏极端子,该端子进而耦接至晶体管P3的栅极端子。电流源82驱动固定电流通过晶体管P3。为了使P3的 $V_{\text{OV}}(V_{\text{SG}}+V_{\text{TP}})$ ,其中 $V_{\text{TP}}$ 是随着温度的增加朝零增加的负值)在 $V_{\text{TP}}$ 随着温度而增加时保持不变, $V_{\text{GP3}}$ 将以与 $V_{\text{TP}}$ 相同的速率增加。由于P4的栅极端子耦接至P3的栅极端子,因此P4的栅极端子上的电压的变化等于 $\Delta V_{\text{TP}}$ 。因此,随着温度的增加, $V_{\text{GP3}}$ 和 $V_{\text{GP4}}$ 也增加。晶体管P4的过驱动电压 $V_{\text{OV}}$ 不随温度而增加。事实上,P4的过驱动电压 $V_{\text{OV}}$ 随温度略有降低。因此,尽管N9的过驱动电压 $V_{\text{OV}}$ 随着温度的增加以放大的方式增加,但是P4的过驱动电压 $V_{\text{OV}}$ 逐渐减小。

[0043] 随着温度的增加,最终,晶体管N9的 $V_{\text{OV}}$ 变得足够大,并且P4的 $V_{\text{OV}}$ 变得足够小,使得输出节点从VDD转变到接地。此转变发生所在的温度为阈值温度。以相同的方式,随着温度朝着阈值温度降低,当 $V_{\text{OVN9}}$ 变得足够小并且 $V_{\text{OVP4}}$ 变得足够大时,输出电压 $V_{\text{out}}$ 从接地转变到VDD。

[0044] 晶体管N10可用于强行使输出电压达到接地。具体而言,当信号PD是高值(VDD)时,晶体管N10被启用并且Out通过N10耦接至接地。同样,当PD处于VDD时,PDN处于接地,由此禁用电流源80、82,这些电流源进而禁用晶体管P4,由此将Out从VDD断开。

[0045] 图5是根据一个实施例的阈值检测器24的输出电压 $V_{out}$ 对温度的曲线图。在图5的实例中， $V_{DD}$ 等于600mV。在 $-40^{\circ}\text{C}$ 下，输出电压处于600mV。输出电压 $V_{out}$ 随着温度的增加保持稳定在600mV。温度增加直到温度接近约 $0^{\circ}\text{C}$ 的阈值温度，此时，输出电压朝0V降低。因此，存在转变周期，在该周期期间，输出电压随着温度的增加从 $V_{DD}$ 转变到接地，或随着温度的降低从接地转变到 $V_{DD}$ 。

[0046] 类似地，当温度从 $40^{\circ}\text{C}$ 降低时，输出电压保持在0V，直到温度接近约 $0^{\circ}\text{C}$ 的阈值温度。当温度下降至阈值温度附近时，输出电压转变为600mV。

[0047] 可以基于掺杂物浓度、宽长比和不同的电路配置而将阈值温度选择为不同的值。本领域的技术人员将会理解，以上阐述的阈值温度和电路配置仅通过示例的方式给出，并且可以根据本披露的原理来选择其他阈值温度。例如，取决于将由控制电路26或阈值检测器24驱动的电路的需要，可以将阈值温度设定在 $20^{\circ}\text{C}$ 或 $30^{\circ}\text{C}$ 。此外，可以针对每个电路来选择要施加到阱30的电压。对于一些电路，阱电压可以从0伏的低电压变化到 $V_{DD}$ 的50%的高电压，而在其他电路中，阱电压可能是 $V_{DD}$ 的20%。阱电压的变化范围将基于在裸片20上的电路的类型来选择。

[0048] 图6A和图6B是阈值检测器24的示意图，该阈值检测器包括滞后效应和在阈值温度下的更急剧转变。

[0049] 图(6A)是根据一个实施例的阈值检测器24的初始阶段84的示意图。阈值检测器初始阶段84基本上类似于图4中的阈值检测器24。然而，图6A中的阈值检测器初始阶段84包括额外的晶体管N13、N14，这有助于引入滞后效应。晶体管N13的栅极端子耦接至晶体管N9的栅极端子。晶体管N13的漏极端子耦接至OutA，即，阈值检测器初始阶段的输出。晶体管N14耦接在N13和地面之间。

[0050] 晶体管N14的栅极端子接收控制信号 $high_T$ 。控制信号 $high_T$ 是阈值检测器的整体输出OutD(图6B中所示)的逻辑相反项。因此，与图4中的实施例相比，当温度低且朝着阈值温度增加时， $high_T$ 处于接地并对初始阶段84的操作没有影响。然而，当温度高且朝向阈值温度降低时， $high_T$ 处于 $V_{DD}$ ，由此启用晶体管N14并且允许晶体管N13将OutA耦接至接地。在N13和N9两者将OutA耦接至接地的情况下，在OutA可以脱离接地并且被驱动到 $V_{DD}$ 之前，温度必须在一定程度上降低超出阈值温度。因此，存在两个阈值温度。第一阈值温度针对从 $V_{DD}$ 到接地的转变，而第二阈值温度针对从接地到 $V_{DD}$ 的转变。这种影响可以在图7的曲线图中看出。在OutA转变到 $V_{DD}$ 之后， $high_T$ 变低并且初始阶段84的操作恢复到图4中的实施例的操作。

[0051] 图6B是根据一个实施例的包括初始阶段84的阈值检测器24的示意图。具体而言，一系列反相器86、88、90和92在初始阶段84的输出OutA与阈值检测器24的最终输出OutD之间耦接在一起。PMOS晶体管P6、P5在 $V_{DD}$ 与OutA之间串联耦接在一起。晶体管P5的栅极端子耦接至反相器86的输出端。晶体管P6的栅极端子耦接至反相器92的输出端。NMOS晶体管N15、N16串联耦接在Out和接地之间。N15的栅极端子耦接至反相器86的输出端。晶体管N16的栅极端子耦接至反相器92的输出端。控制电压 $high_T$ 在反相器90、92之间产生。

[0052] 当温度朝着阈值温度增加时，OutA开始朝着接地转变。当输出OutA从 $V_{DD}$ 转变到接地时，反相器86-92中发生瞬态响应，这将引起晶体管N15、N16暂时在同一时间被启用。在N15、N16被启用的情况下，OutA被快速拉至接地。以这种方式， $V_{DD}$ 和接地之间的转变比在图5中进行得更快。这种急剧转变可以在图7中看出。当OutA转变到接地时，OutD经由反相器

86-92被快速拉至接地。OutD向半导体掺杂阱区30提供本体偏置电压。在OutD处于接地的情况下,高 $T$ 被拉至VDD并且在初始阶段84中启用滞后效应,如关于图6A所描述。

[0053] 以类似的方式,随着半导体衬底的温度朝着高到低阈值温度降低,如由高 $T$ 确定,OutA将最初处于接地。当输出OutA从接地转变到VDD时,反相器86-92中发生瞬态响应,这将使晶体管P5、P6暂时在同一时间被启用。在P5、P6被启用的情况下,OutA被快速拉至VDD。以这种方式,接地到VDD的转变比在图5中进行得更快。这种急剧转变可以在本文中稍后解释的图7中看出。当OutA转变到VDD时,OutD经由反相器86-92被快速拉至VDD。在OutD处于VDD的情况下,高 $T$ 被拉至接地并且在初始阶段84中启用滞后效应,如关于图6A所描述。

[0054] 该滞后有效地提供了两个阈值温度,即,针对本体偏置电压从VDD到接地的转变的低到高阈值温度和针对本体偏置电压从接地至VDD的转变的高到低阈值温度。具体而言,当半导体衬底的温度增加到低到高阈值温度时,输出电压将快速地从VDD转变到接地。然而,当半导体衬底的温度降低时,输出电压将不会从接地转变到VDD,直到温度超过低到高阈值并且达到高到低阈值温度,此时,输出电压迅速地由接地转变到VDD。

[0055] 图7是根据一个实施例的图6A、图6B的阈值检测器24的图6B的输出电压 $Out_A$ 对温度的曲线图。晶体管P5、P6的使用(与晶体管N15和N16耦接)协助使 $Out_A$ 上的转变急剧,即,具有很短的上升和下降时间。可以看出,当温度从 $-40^{\circ}\text{C}$ 朝着约 $-5^{\circ}\text{C}$ 的低到高阈值温度增加时,输出电压保持稳定在600mV。当达到低到高阈值温度时,输出电压迅速下降到0V。当温度从 $0^{\circ}\text{C}$ 朝着高到低阈值温度降低时,输出电压在低到高阈值温度下保持稳定在0V,直到温度达到高到低阈值温度,此时,输出电压从0V急剧增加到600mV。因此,滞后和更急剧的转变已经被引入阈值检测器24。

[0056] 图8是根据一个实施例的用于基于阈值温度对半导体衬底的掺杂阱区选择性地施加本体偏置电压的过程800的流程图。具体而言,在802,感测半导体衬底的温度。在804,如果温度大于阈值温度,则过程进行到806。如果温度不高于阈值温度,则过程进行到808。在806,将第一电源电压施加到半导体掺杂阱区。在808,将第二电源电压施加到半导体掺杂阱区。以这种方式,基于温度是高于还是低于阈值温度而将第一电源电压或第二电源电压施加到半导体掺杂阱区。

[0057] 上述各实施例可以被组合以提供进一步的实施例。在本说明书中所提及的和/或在申请资料表中所列出的所有美国专利、美国专利申请出版物、美国专利申请、国外专利、国外专利申请和非专利出版物都以其全文通过引用并入本文。如有必要,可以对实施例的各方面进行修改,以利用各专利、申请和出版物的概念来提供更进一步的实施例。

[0058] 鉴于以上详细说明,可以对实施例做出这些和其他变化。总之,在以下权利要求书中,所使用的术语不应当被解释为将权利要求书局限于本说明书和权利要求书中所披露的特定实施例,而是应当被解释为包括所有可能的实施例、连同这些权利要求有权获得的等效物的整个范围。因此,权利要求书并不受到本披露的限制。

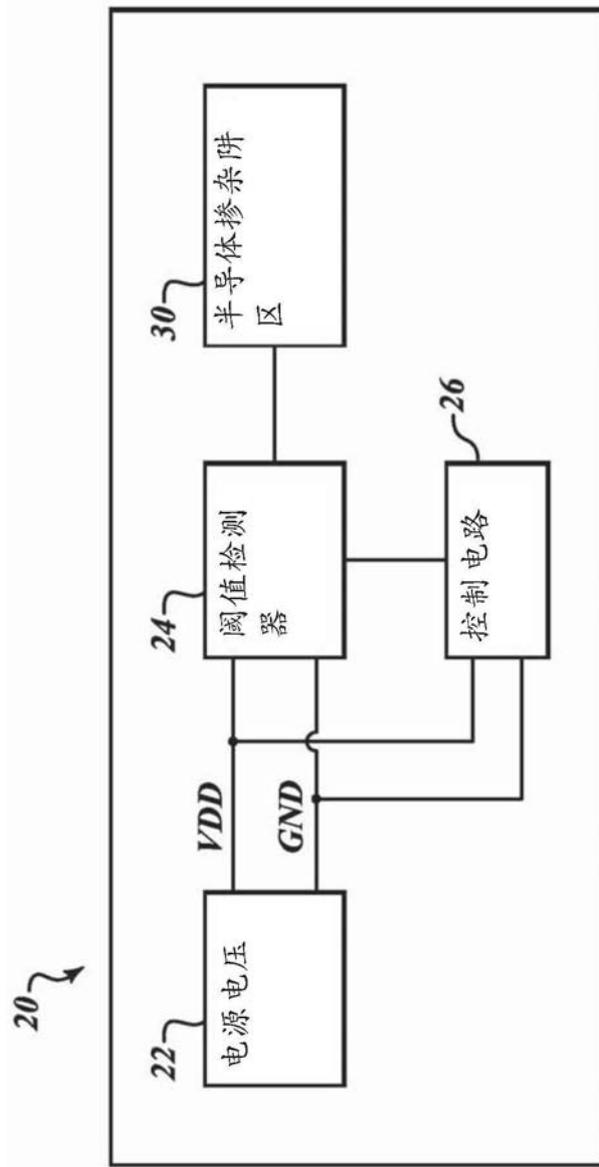


图1



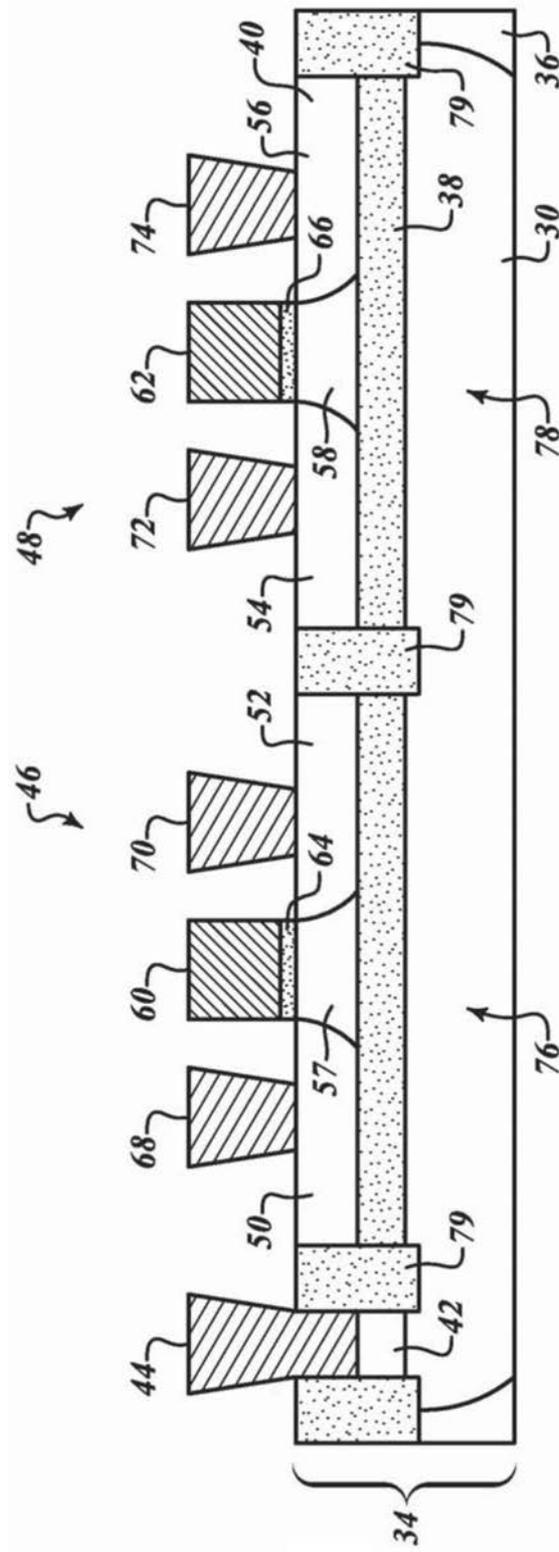


图3



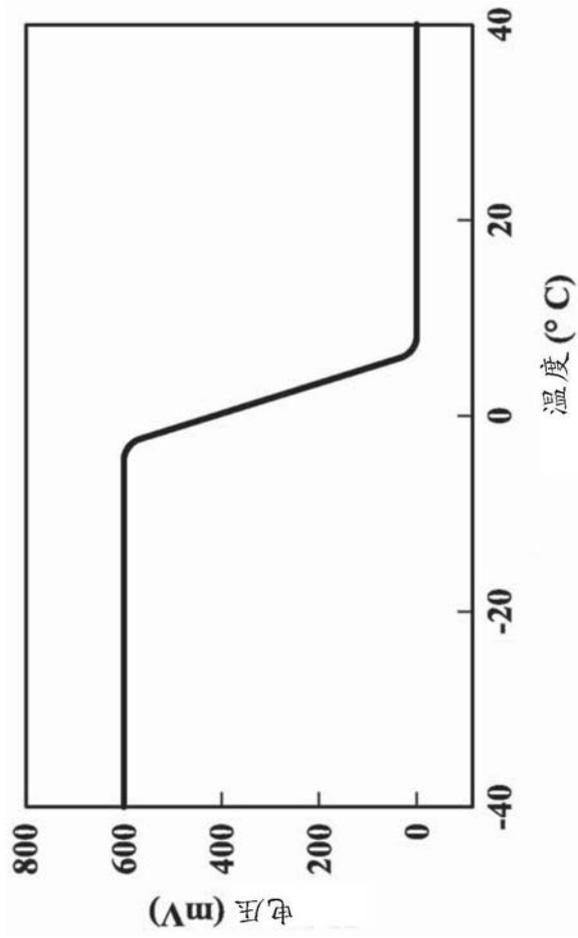


图5

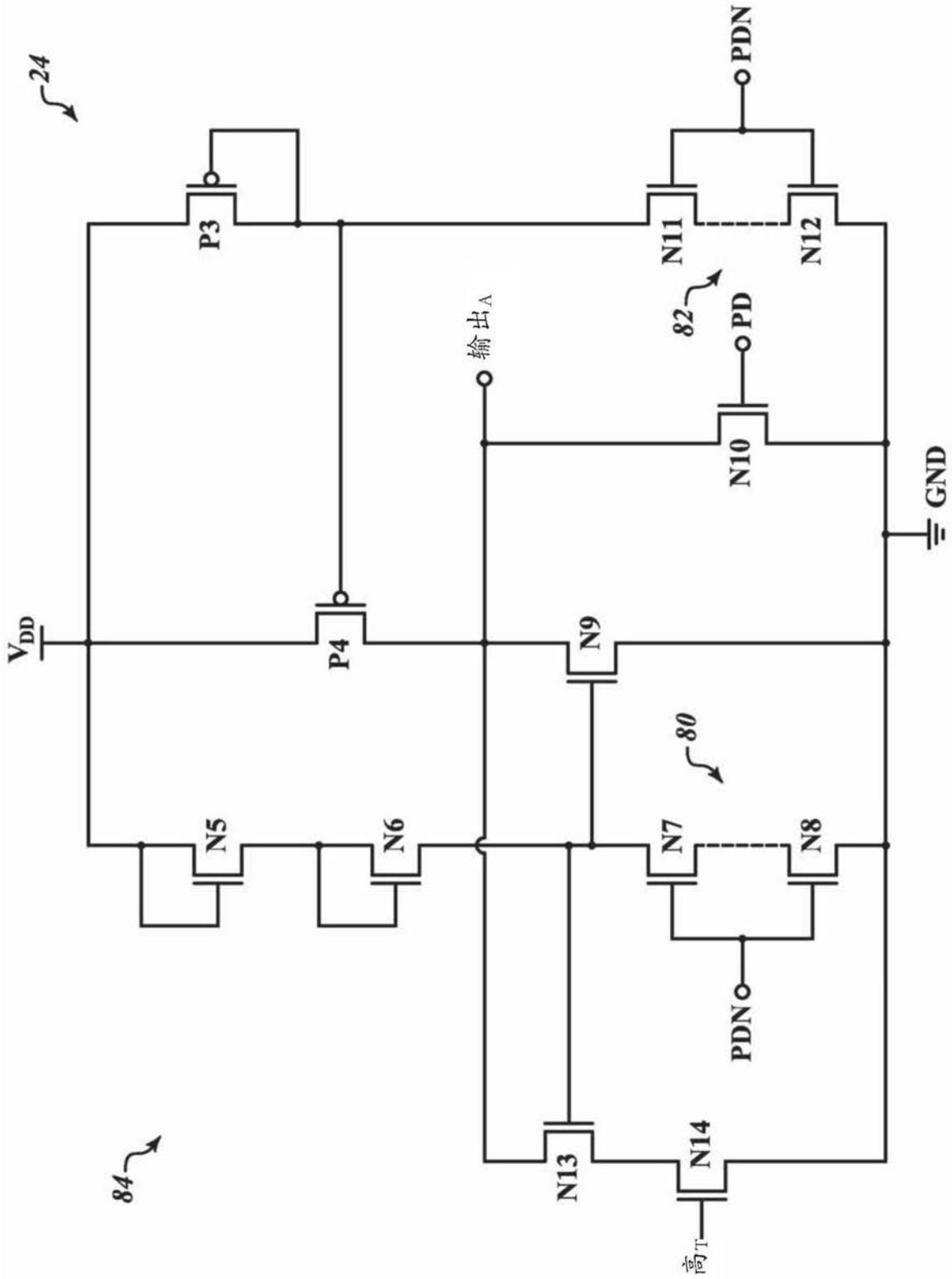
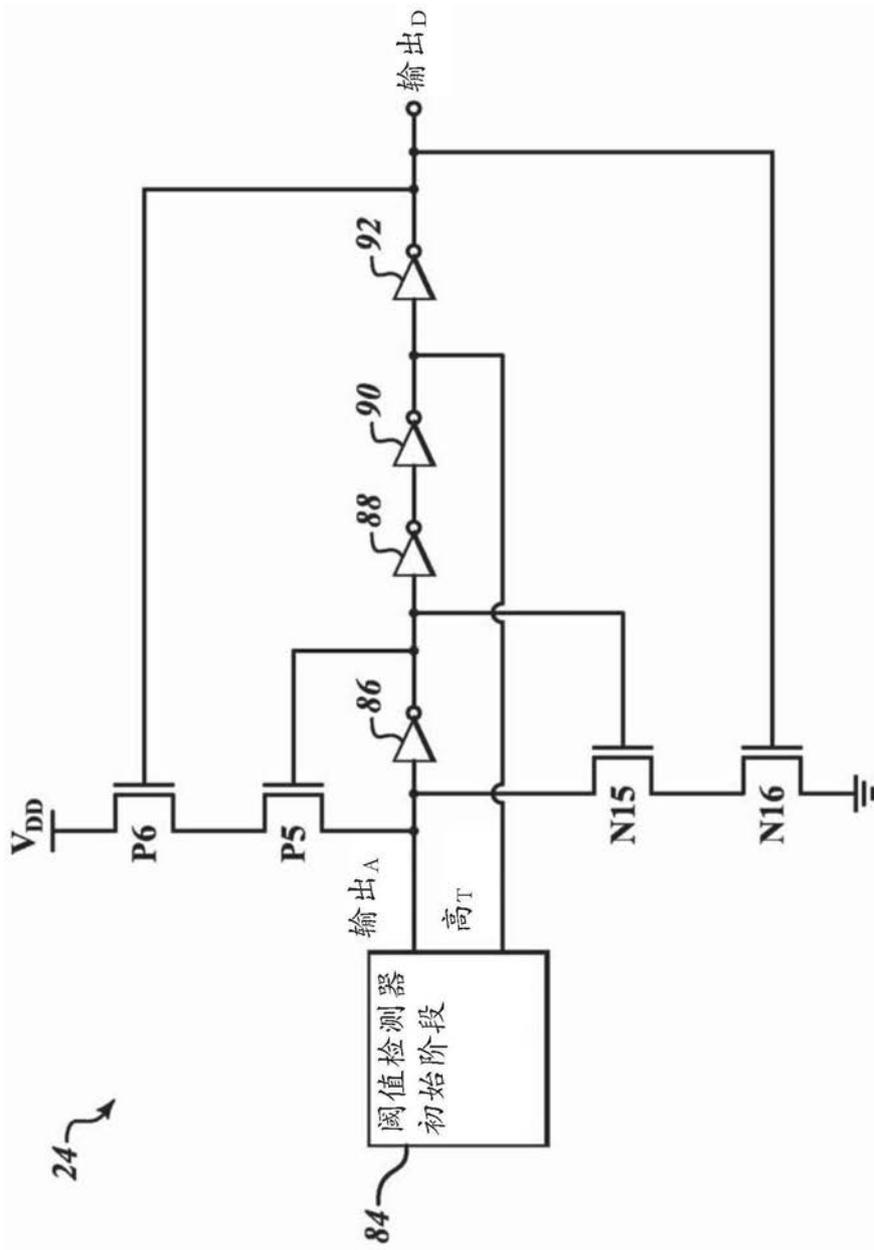


图6A



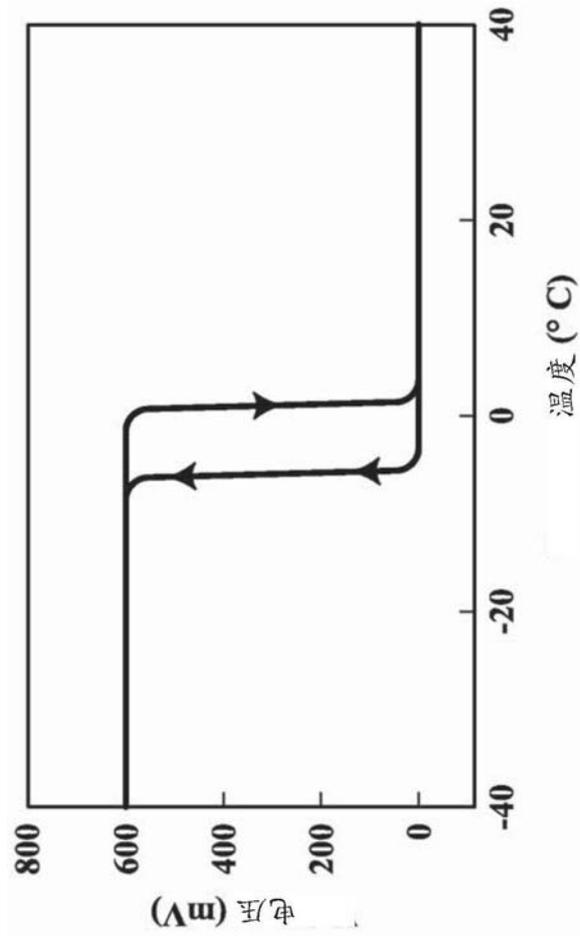


图7

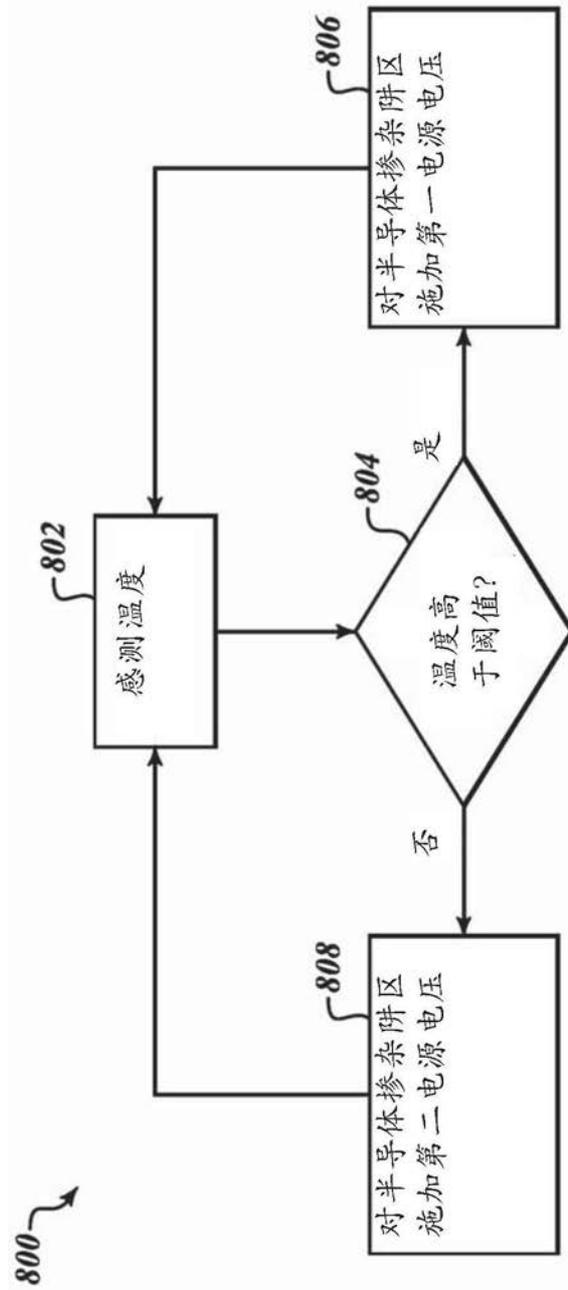


图8