

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4875963号
(P4875963)

(45) 発行日 平成24年2月15日 (2012. 2. 15)

(24) 登録日 平成23年12月2日 (2011. 12. 2)

(51) Int. Cl.	F I
G 1 1 C 29/06 (2006. 01)	G 1 1 C 29/00 6 7 1 F
G 1 1 C 11/401 (2006. 01)	G 1 1 C 11/34 3 7 1 A
G O 1 R 31/28 (2006. 01)	G O 1 R 31/28 B
	G O 1 R 31/28 V

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2006-294324 (P2006-294324)	(73) 特許権者	308033711 ラピスセミコンダクタ株式会社 東京都八王子市東浅川町550番地1
(22) 出願日	平成18年10月30日 (2006. 10. 30)		
(65) 公開番号	特開2008-112499 (P2008-112499A)	(74) 代理人	100086807 弁理士 柿本 恭成
(43) 公開日	平成20年5月15日 (2008. 5. 15)		
審査請求日	平成20年9月22日 (2008. 9. 22)	(72) 発明者	田邊 哲也 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
		(72) 発明者	野口 英和 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
		(72) 発明者	野口 峰男 東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

ウェハに形成された半導体記憶装置であって、
複数のメモリセルが配列されたメモリセルアレイと、
外部からテストモード設定信号を入力する第1の外部端子と、
前記テストモード信号に基づいて前記メモリセルに対するアドレスを発生するアドレス発生手段と、

前記テストモード信号に基づいて前記メモリセルに対するデータの書き込み及び読み出しの制御信号を発生する制御手段と、

前記制御信号により制御され、前記アドレスに対応する前記メモリセルを選択してデータの書き込みを行うメモリセル選択手段と、

前記メモリセルのテストモード状態を外部に出力する第2の外部端子と、

外部電源電圧を入力する第3の外部端子と、

降圧電源の外部リファレンスレベル電圧を入力する第4の外部端子と、

入力側に前記第3の外部端子及び前記第4の外部端子が接続され、出力側から半導体記憶装置駆動用の内部昇圧電源電圧又は内部降圧電源電圧を出力する内部電源回路と、を有し、

前記内部電源回路は、

内部リファレンスレベル電圧を出力するリファレンスレベル回路と、

通常状態では前記内部リファレンスレベル電圧を入力して出力し、前記テストモード信

10

20

号が与えられると前記外部電源電圧を入力して出力する第1のスイッチと、

前記通常状態では前記内部リファレンスレベル電圧を入力して出力し、前記テストモード信号が与えられると前記外部リファレンスレベル電圧を入力して出力する第2のスイッチと、

前記第1のスイッチの出力電圧が設定レベルを超えているか否かを判定し、前記出力電圧が前記設定レベルよりも低い電圧又は高い電圧であるという判定結果を出力する判定回路と、

前記判定結果が前記低い電圧の時には前記第1のスイッチの前記出力電圧を昇圧して前記内部昇圧電源電圧を生成し、前記判定結果が前記高い電圧の時には前記第1のスイッチの前記出力電圧を昇圧せずに前記内部昇圧電源電圧を生成し、前記内部昇圧電源電圧を前記出力側から出力する昇圧電源回路と、

前記第2のスイッチの出力電圧を降圧して前記内部降圧電源電圧を生成し、前記内部降圧電源電圧を前記出力側から出力する降圧電源回路と、

を有することを特徴とする半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置は、更に、

前記メモリセルへ書き込む前記データを発生するデータ発生回路を有することを特徴とする半導体記憶装置。

【請求項3】

前記メモリセル選択手段は、

前記クロック信号に基づき、前記アドレスをデコードして前記メモリセルを選択するアドレスデコーダと、

前記制御信号により制御され、前記クロック信号に基づいて、前記選択されたメモリセルに対する前記データの書き込みを行う書き込み回路と、

を有することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】

請求項1記載の半導体記憶装置において、

前記メモリセルアレイには、前記複数のメモリセルが配列されると共に複数の冗長メモリセルも配列され、

前記アドレス発生手段は、前記テストモード信号に基づいて、前記メモリセルに対する前記アドレスを発生すると共に前記冗長メモリセルに対するアドレスも発生し、

前記制御手段は、前記テストモード信号に基づいて、前記メモリセルに対する前記データの書き込み及び読み出しの前記制御信号を発生すると共に前記冗長メモリセルに対するデータの書き込み及び読み出しの制御信号も発生し、

前記メモリセル選択手段は、前記制御信号により制御され、前記アドレスに対応する前記メモリセルを選択すると共に、前記メモリセルとは非隣接位置に配置された前記冗長メモリセルも同時に選択して、前記データの書き込みを行い、

前記第2の外部端子は、前記メモリセルのテストモード状態を外部に出力すると共に前記冗長メモリセルのテストモード状態も外部に出力する構成になっていることを特徴とする半導体記憶装置。

【請求項5】

請求項4記載の半導体記憶装置は、更に、

前記メモリセル及び前記冗長メモリセルへ書き込む前記データを発生するデータ発生回路を有することを特徴とする半導体記憶装置。

【請求項6】

前記メモリセル選択手段は、

前記クロック信号に基づき、前記アドレスをデコードして前記メモリセル及び前記冗長メモリセルを同時に選択するアドレスデコーダと、

前記制御信号により制御され、前記クロック信号に基づいて、前記同時に選択されたメモリセル及び冗長メモリセルに対する前記データの書き込みを行う書き込み回路と、

を有することを特徴とする請求項 4 又は 5 記載の半導体記憶装置。

【請求項 7】

前記アドレス発生手段は、

前記テストモード設定信号に基づいてクロック信号を発生するクロック発生回路と、

前記制御信号により制御され、前記クロック信号をカウントして前記アドレスを発生するアドレスカウンタと、

を有することを特徴とする請求項 1～6 のいずれか 1 項に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、ダイナミック・ランダム・アクセス・メモリ（以下「DRAM」という。）、スタティックRAM（以下「SRAM」という。）、フラッシュメモリ（以下「FRASH」という。）、エラサブル・プログラマブル・リード・オンリ・メモリ（以下「EPROM」という。）、エレクトリカリEPROM（以下「EEPROM」という。）等の読み書き可能な半導体記憶装置、特に、高温高電圧の条件下で動作させて潜在的な初期不良を顕在化させて不良品を排除するためのストレス加速テストであるバーイン（Burn In）に適する半導体記憶装置に関するものである。

【背景技術】

【0002】

従来、DRAM等の半導体記憶装置のバーインに関する技術としては、例えば、次のような文献等に記載されるものがあった。

20

【0003】

【特許文献 1】特開平 10-172298 号公報

【0004】

この特許文献 1 等に記載されているように、DRAM等の半導体記憶装置では、不良品を排除するために、パッケージに収納された半導体記憶装置（以下「パッケージ品」という。）に対して、通常動作使用条件よりも高い電圧でダイナミックな動作のバーインテスト（ダイナミックバーイン）を行っている。このパッケージ品に対するダイナミックバーインでは、テスト時間やテスト工程が多く掛かる。そこで、このパッケージバーインのテスト時間を減らしたり、あるいは、パッケージバーインのテスト工程を削除するために、パッケージ品になる前のウェハ上に多数形成された半導体記憶装置に対して、スタティックな動作のバーインを半導体ウェハ上で行うこともある。スタティックなバーインとは、メモリセルアレイに形成された複数本のワード線WL～全部のワード線WLをデコーダで選択し、一定期間ストレス加速させるテスト方法である。

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来、例えば、半導体製造メーカにおいて、パッケージ状態でユーザへ出荷する製品（パッケージ品）であれば、ウェハ状態でのスタティックなバーインで加速できない故障モード等を、パッケージ状態でのダイナミックバーインで十分加速することが可能であり、初期故障率を十分低減することが可能である。ところが、ウェハ状態で出荷する製品に対してのバーインでは、スタティックなバーインしかできず、ダイナミックバーインを行うには、高価なメモリテストの使用が必要であり、同時に測定できる測定数も少ないため、バーイン実施時間が長く掛かる。例えば、1枚のウェハに半導体記憶装置のチップが3000個形成されており、これを32個のチップを同時（並列）に測定可能なメモリテストを用いてバーインした場合、1枚のウェハの処理時間は、3000チップ／32同時測定×3時間、という長い時間が必要になる。

40

【0006】

このウェハ状態でのバーイン時間を短縮するために、例えば、前記特許文献 1 では、外部からの指示に応じて、メモリセルにチェッカパターン状に2値データを書き込むことに

50

より、メモリセルアレイの構成を外部から考慮することなく、バーインを行うことを可能にして、テスト時間の短縮、及びテストコストの削減を図っている。

【0007】

しかしながら、このようなウェハ状態でのバーイン方法においても、バーイン時間の短縮効果が十分ではなく、しかも、ウェハ状態においてバーインされていないチップが発生し、これが後の製造工程によりパッケージに収納されてパッケージ品になってしまう虞があり、信頼性に欠けるという課題があった。

【課題を解決するための手段】

【0008】

本発明の半導体記憶装置は、ウェハに形成された半導体記憶装置であって、複数のメモリセルが配列されたメモリセルアレイと、外部からテストモード設定信号を入力する第1の外部端子と、前記テストモード信号に基づいて前記メモリセルに対するアドレスを発生するアドレス発生手段と、前記テストモード信号に基づいて前記メモリセルに対するデータの書き込み及び読み出しの制御信号を発生する制御手段と、前記制御信号により制御され、前記アドレスに対応する前記メモリセルを選択してデータの書き込みを行うメモリセル選択手段と、前記メモリセルのテストモード状態を外部に出力する第2の外部端子と、外部電源電圧を入力する第3の外部端子と、降圧電源の外部リファレンスレベル電圧を入力する第4の外部端子と、入力側に前記第3の外部端子及び前記第4の外部端子が接続され、出力側から半導体記憶装置駆動用の内部昇圧電源電圧又は内部降圧電源電圧を出力する内部電源回路と、を有している。

そして、前記内部電源回路は、内部リファレンスレベル電圧を出力するリファレンスレベル回路と、通常状態では前記内部リファレンスレベル電圧を入力して出力し、前記テストモード信号が与えられると前記外部電源電圧を入力して出力する第1のスイッチと、前記通常状態では前記内部リファレンスレベル電圧を入力して出力し、前記テストモード信号が与えられると前記外部リファレンスレベル電圧を入力して出力する第2のスイッチと、前記第1のスイッチの出力電圧が設定レベルを超えているか否かを判定し、前記出力電圧が前記設定レベルよりも低い電圧又は高い電圧であるという判定結果を出力する判定回路と、前記判定結果が前記低い電圧の時には前記第1のスイッチの前記出力電圧を昇圧して前記内部昇圧電源電圧を生成し、前記判定結果が前記高い電圧の時には前記第1のスイッチの前記出力電圧を昇圧せずに前記内部昇圧電源電圧を生成し、前記内部昇圧電源電圧を前記出力側から出力する昇圧電源回路と、前記第2のスイッチの出力電圧を降圧して前記内部降圧電源電圧を生成し、前記内部降圧電源電圧を前記出力側から出力する降圧電源回路と、を有することを特徴とする。

【0009】

本発明の他の半導体記憶装置は、前記発明の半導体記憶装置において、前記メモリセルアレイには、前記複数のメモリセルが配列されると共に複数の冗長メモリセルも配列され、前記アドレス発生手段は、前記テストモード信号に基づいて、前記メモリセルに対する前記アドレスを発生すると共に前記冗長メモリセルに対するアドレスも発生し、前記制御手段は、前記テストモード信号に基づいて、前記メモリセルに対する前記データの書き込み及び読み出しの前記制御信号を発生すると共に前記冗長メモリセルに対するデータの書き込み及び読み出しの制御信号も発生し、前記メモリセル選択手段は、前記制御信号により制御され、前記アドレスに対応する前記メモリセルを選択すると共に、前記メモリセルとは非隣接位置に配置された前記冗長メモリセルも同時に選択して、前記データの書き込みを行い、前記第2の外部端子は、前記メモリセルのテストモード状態を外部に出力すると共に前記冗長メモリセルのテストモード状態も外部に出力する構成になっていることを特徴とする。

【発明の効果】

【0010】

本発明の半導体記憶装置によれば、パッケージ状態のバーインと同じ動作をウェハ状態で行えるので、初期故障を少なくすることができる。更に、単一の外部電極で制御するこ

とができるので、外部電極数を少なくでき、バーインの簡単化とバーイン時間の短縮が可能になる。しかも、第2の外部端子を有しているので、バーインモードに入っていることを確認でき、これにより、ウェハ状態でストレスが印加されていない半導体記憶装置部分を判定し、バーインされていない半導体記憶装置チップの流出を防止できる。

特に、本発明の半導体記憶装置では、外部電源電圧を入力する第3の外部端子と、降圧電源の外部リファレンスレベル電圧を入力する第4の外部端子と、半導体記憶装置駆動用の内部昇圧電源電圧又は内部降圧電源電圧を出力する内部電源回路と、を有しているので、次の(a)～(c)のような効果がある。

(a) 降圧電源レベルを第4の外部端子から任意に設定できるので、製造工程に合わせた最適な電圧条件をテスト時に設定してストレスを電圧加速することができ、ウェハ状態でのバーイン実施の時間を短縮できる。

10

(b) 前記(a)と同様に、第3の外部端子を用いて昇圧レベルを外部電源電圧と同じにすることにより、製造工程にあわせた最適な電圧条件をテスト時に設定してストレスを電圧加速することができ、ウェハ状態でのバーイン実施の時間を短縮できる。

(c) 内部昇圧レベルと降圧レベルを独立に制御できるので、つまり、内部昇圧電源電圧と内部降圧電源電圧とを独立に外部リファレンスレベル電圧に合わせて設定できるので、製造工程に合わせた最適な電圧条件をテスト時に設定してストレスを電圧加速することができ、ウェハ状態でのバーイン実施の時間を短縮できる。更に、昇圧レベルを外部電源電圧と同じにすることにより、外部端子数を最小限で構成できるため、例えば、プローブカードの針数を大幅に削減でき、1枚のウェハ上に形成された複数の半導体記憶装置部分を同時に測定することが可能となる。

20

【0011】

本発明の他の半導体記憶装置によれば、メモリセルと、このメモリセルとは非隣接位置に配置された冗長メモリセルとを同時に選択してストレスを印加できる構成にしたので、冗長救済前の製造工程においてストレス印加で故障したメモリセル及び冗長メモリセルを次製造工程で救済可能となる。よって、複数の半導体記憶装置部が形成されたウェハ当たりの歩留まりを向上できる。

【発明を実施するための最良の形態】

【0012】

半導体記憶装置は、ウェハに形成され、複数のメモリセルが配列されたメモリセルアレイと、外部からバーインモード設定信号を入力する入力パッドと、前記バーインモード設定信号に基づいて前記メモリセルに対するアドレスを発生するクロック発生回路及びアドレスカウンタと、前記バーインモード設定信号に基づいて前記メモリセルに対するデータの書き込み及び読み出しの制御信号を発生するコマンド発生回路と、前記制御信号により制御され、前記アドレスに対応する前記メモリセルを選択してデータの書き込みを行うアドレスデコーダ及び書き込み回路と、前記メモリセルのテストモード状態を外部に出力する出力パッドとを有している。

30

【実施例1】

【0013】

(実施例1の構成)

40

図1は、本発明の実施例1を示す半導体記憶装置の概略の構成図である。

この半導体記憶装置は、例えば、ウェハに形成されたバーイン機能付きのDRAMであり、データ格納用の複数のメモリセルが配列されたメモリセルアレイ10と、メモリセルに対して記憶操作を行う周辺回路とにより構成されている。メモリセルアレイ10は、複数のワード線WLと、これに対して直交する複数のビット線BLとを有し、これらのワード線WLとビット線BLとの交差箇所に、メモリセルが接続されている。

【0014】

周辺回路は、外部からテストモード設定信号(例えば、ダイナミックバーインモード設定信号)S1を入力する第1の外部端子(例えば、入力パッド)20、外部からテストモード設定信号(例えば、スタティックバーインモード設定信号)S2を入力する外部端子

50

(例えば、入力パッド) 21、コマンドデコーダ22、内部電源回路30、セルフリフレッシュ用クロック発生回路40、制御手段(例えば、コマンド発生回路)41、データ発生回路(例えば、期待値発生回路)42、バーインモード出力回路43、メモリセルのテストモード状態を外部に出力する第2の外部端子(例えば、出力パッド)44、書き込み回路(例えば、書き込みドライバ)45、アドレス発生手段(例えば、行(ロウ)アドレスカウンタであるXアドレスカウンタ46と、列(コラム)アドレスカウンタであるYアドレスカウンタ47)、行(ロウ)アドレスデコーダであるXアドレスデコーダ50、及び、列(コラム)アドレスデコーダであるYアドレスデコーダ60等により構成されている。

【0015】

ここで、コマンドデコーダ22は、入力パッド20又は21から入力されるダイナミックバーインモード設定信号(以下単に「バーインモード設定信号」という。)S1又はスタティックバーインモード設定信号(以下単に「バーインモード設定信号」という。)S2をデコードして、ダイナミックウェハバーインモード信号(以下単に「バーインモード信号」という。)DWBI又はスタティックウェハバーインモード信号(以下単に「バーインモード信号」という。)SWINを出力する回路であり、この出力側に、内部電源回路30やセルフリフレッシュ用クロック発生回路40等が接続されている。

【0016】

内部電源回路30は、バーインモード信号DWBI又はSWINに基づき活性化されて、DRAM駆動用の内部電源電力(例えば、内部電源電圧)を出力する回路である。セルフリフレッシュ用クロック発生回路40は、バーインモード信号DWBI又はSWINに基づいてクロック信号(以下単に「クロック」という。)CLKを発生する回路であり、この出力側に、コマンド発生回路41、期待値発生回路42、及び、バーインモード出力回路43等が接続されている。コマンド発生回路41は、バーインモード信号DWBI又はSWINに基づいて、メモリセルに対するデータの書き込み及び読み出しの制御信号(例えば、ロウアドレス・ストロブ信号/RAS(但し、「/」は反転信号を意味する。以下同じ。)、コラムアドレス・ストロブ信号/CAS、及びライトイネーブル信号/WE等)を発生する回路である。期待値発生回路42は、メモリセルへ書き込むための期待値データDAを発生して、書き込みドライバ45へ与える回路である。バーインモード出力回路43は、バーインモード信号DWBI又はSWINに基づいて、メモリセルのテストモード状態を出力パッド44から出力させる回路である。

【0017】

書き込みドライバ45は、ライトイネーブル信号/WEにより活性化され、クロックCLKに基づいて、選択されたビット線BLを介してメモリセルにデータDAを書き込む回路である。Xアドレスカウンタ46は、ロウアドレス・ストロブ信号/RAS、及びコラムアドレス・ストロブ信号/CASにより制御され、クロックCLKを計数(カウント)してXアドレス用のプリデコード信号XADDを発生してXアドレスデコーダ50に与える回路である。Yアドレスカウンタ47は、ロウアドレス・ストロブ信号/RAS、及びコラムアドレス・ストロブ信号/CASにより制御され、クロックCLKをカウントしてYアドレス用のプリデコード信号YADDを発生してYアドレスデコーダ60に与える回路である。

【0018】

Xアドレスデコーダ50は、クロックCLKに基づいてプリデコード信号XADDをデコードし、ワード線WLを介してメモリセルを選択する回路である。Yアドレスデコーダ60は、クロックCLKに基づいてプリデコード信号YADDをデコードし、ビット線BLを介してメモリセルを選択する回路である。これらのXアドレスデコーダ50、Yアドレスデコーダ60、及び書き込みドライバ45により、メモリセル選択手段が構成されている。

【0019】

なお、図示しないが、ビット線BLには、メモリセルからの読み出しデータを検知・増幅するセンスアンプ、読み出し/書き込み(以下「R/W」という。)入出力回路、及びリフレッシュ回路等が接続される。

10

20

30

40

50

【0020】

本実施例1のバーイン機能は、通常のDRAMに設けられたメモリセルアレイ10、内部電源回路30、セルフリフレッシュ用クロック発生回路40、書き込みドライバ45、Xアドレスカウンタ46、及びYアドレスカウンタ47を利用して実現している。

【0021】

(実施例1のバーイン動作)

ウェハ上に形成された図1のDRAMに対してダイナミックバーインを行う場合は、例えば、複数の探り針（プローブ針）を有するプローブカードを用いて、外部からバーインモード設定信号S1（＝論理“H”）を入力パッド20に印加する。すると、コマンドデコーダ22により、そのバーインモード設定信号S1（＝論理“H”）がデコードされ、DRAMをダイナミックバーインモードに設定するためのバーインモード信号DWBIが“H”に立ち上がる。これにより、内部電源回路30からバーイン状態の内部電源電圧が発生すると共に、セルフリフレッシュ用クロック発生回路40からクロックCLKが発生する。

10

【0022】

次に、コマンド発生回路41から出力されるロウアドレス・ストロブ信号/RAS、コラムアドレス・ストロブ信号/CAS、及びライトイネーブル信号/WEにおいて、信号/RASの論理“L”への立ち下げ（アクティブ）→信号/CAS、/WEの立ち下げ（書き込み）→信号/RASの“H”への立ち上がり（プリチャージ）、という動作が1クロックCLK毎に繰り返される。これにより、Xアドレスカウンタ46及びYアドレスカウンタ47が動作し、Xアドレスカウンタ46のカウントアップがXアドレス分繰り返されてXアドレスが一巡し、Xアドレス用のプリデコード信号XADDが出力された後、Yアドレスカウンタ47がカウントアップしてYアドレス用のプリデコード信号YADDが出力される。

20

【0023】

Xアドレス用のプリデコード信号XADD及びYアドレス用のプリデコード信号YADDの内、プリデコード信号XADDは、Xアドレスデコーダ50によりデコードされてワード線WLが選択され、プリデコード信号YADDは、Yアドレスデコーダ60によりデコードされてビット線BLが選択される。選択されたワード線WL及びビット線BLの交差箇所に接続されたメモリセルに対して、期待値発生回路42から発生されたデータDAが、書き込みドライバ45により書き込まれる。

【0024】

このようにして、通常動作時の書き込み動作が連続して繰り返され、メモリセルにストレスが印加される。その後、メモリテストにてチェックすれば、ダイナミックウェハバーイン結果によるメモリセルの良否の判別が可能になる。

30

【0025】

一方、ウェハ上に形成された図1のDRAMに対してスタティックバーインを行う場合は、例えば、プローブカードを用いて、外部からバーインモード設定信号S2（＝論理“H”）を入力パッド21に印加する。すると、コマンドデコーダ22により、そのバーインモード設定信号S2（＝論理“H”）がデコードされ、DRAMをスタティックバーインモードに設定するためのバーインモード信号SWBIが“H”に立ち上がる。これにより、内部電源回路30からバーイン状態の内部電源電圧が発生すると共に、セルフリフレッシュ用クロック発生回路40からクロックCLKが発生する。

40

【0026】

次に、コマンド発生回路41からロウアドレス・ストロブ信号/RAS、コラムアドレス・ストロブ信号/CAS、及びライトイネーブル信号/WE等が出力され、これを受けてXアドレスカウンタ46からXアドレス用のプリデコード信号XADDが出力され、これがXアドレスデコーダ50によりデコードされて例えば全ワード線WLが選択される。この全ワード線WLに対し、内部電源回路30から出力された内部電源電圧によりストレスが印加される。その後、メモリテストにてチェックすれば、スタティックウェハバーイン結果による良否の判別が可能になる。

【0027】

50

(実施例 1 の効果)

本実施例 1 によれば、次の (A) ~ (I) のような効果がある。

【0028】

(A) パッケージ状態のバーインと同じ動作をウェハ状態で行えるので、初期故障を少なくすることができる。

【0029】

(B) 単一のパッド (例えば、入力パッド 20) で制御することにより、外部から入力するためのアドレス用入力パッドや制御信号/RAS, /CAS, /WE用入力パッドが必要なく、任意の数の電源パッド、接地電位用のグランドパッド、入力パッド 20、及び、バーインモードに入っていることを確認する出力パッド 44 の最小限のパッドにより、バーイン機能を実現できる。これにより、プローブカードの針数を大幅に削減でき、1 枚のウェハ上に形成された複数の DRAM 部分を同時に測定することが可能となる。

【0030】

(C) パッド数が少ないことにより、プローブカードのコストを削減できる。

【0031】

(D) パッド数が少ないことにより、制御する装置を安価なものでも実現できる。

【0032】

(E) 出力パッド 44 を設けたので、バーインモードに入っていることを確認できる。通常のパッケージされた DRAM では、その確認が不要であるが、特に、ウェハ状態でバーインを行う場合は、その確認漏れがあると、次の製造工程へ進んでパッケージ品に完成された後に不良検出がされて DRAM 製造が無駄になる虞があるから、その確認は必要である。本実施例 1 では、出力パッド 44 を設けたので、ウェハ状態でストレスが印加されていないデバイス (DRAM 部分) を判定し、バーインされていない DRAM チップの流出を防止できる。

【0033】

(F) 入力パッド 21 は、必要がなければ設けなくてもよいが、特に設けた場合には、メモリテストによるチェッカ以外の動作 (例えば、全ワード線 WL の立ち上げ) が可能になる。これにより、バーイン時間を短縮できる。

【0034】

(G) コマンドデコーダ 22 から出力されるバーインモード信号 DWBI, SWBI 等により、コマンド発生回路 41 から出力される制御信号 (例えば、ロウアドレス・ストロブ信号/RAS) の時間を調整でき、アクセス時間の調整が可能になる。

【0035】

(H) 既存のセルフリフレッシュ用クロック発生回路 40 を用いてクロック CLK を発生しているので、バーイン機能実現のために新たにクロック発生回路を設ける必要がなく、無駄を省ける。

【0036】

(I) 期待値発生回路 42 を設けているので、メモリセルのバックグランドデータ DA を複数設定でき、使い勝手がよい。

【実施例 2】

【0037】

(実施例 2 の構成)

図 2 は、本発明の実施例 2 を示す内部電源回路の概略の構成図である。

【0038】

この内部電源回路 30A は、実施例 1 を示す図 1 の DRAM 中の内部電源回路 30 に代えて設けられる回路であり、内部リファレンスレベル電圧を出力するリファレンスレベル回路 31、バーインモード信号 DWBI により切り替えられる第 1、第 2 のスイッチ 32、35、判定回路 (例えば、昇圧電源レベル判定回路) 33、内部昇圧電源電圧 V1 を発生するチャージポンプ等の昇圧電源回路 34、及び、内部降圧電源電圧 V2 を発生する増幅器等の降圧電源回路 36 等により構成されている。スイッチ 32、35 の入力端子には、外部電

力を入力するための第3の外部端子（例えば、外部電源電圧を入力するための外部電源パッド）37、及び外部リファレンスレベル電圧を入力するための第4の外部端子（例えば、リファレンスレベルパッド）38が接続されている。

【0039】

（実施例2の動作）

本実施例2の内部電源回路30Aは、通常状態において、スイッチ32、35がリファレンスレベル回路31側に接続されている。そのため、リファレンスレベル回路31から出力された内部リファレンスレベル電圧が、スイッチ32を介して、昇圧電源レベル判定回路33にて設定レベルを超えているか否かが判定される。その判定結果として、内部リファレンスレベル電圧が設定レベルより低い電圧の時には、その内部リファレンスレベル電圧が昇圧電源回路34にて昇圧されて内部昇圧電源電圧V1が生成され、DRAM内部回路へ供給される。これに対し、前記判定結果として、内部リファレンスレベル電圧が設定レベルよりも高い電圧の時には、その内部リファレンスレベル電圧が昇圧電源レベル判定回路33を通して、昇圧電源回路34にて昇圧されずに内部昇圧電源電圧V1が生成され、DRAM内部回路へ供給される。

10

【0040】

一方、リファレンスレベル回路31から出力された内部リファレンスレベル電圧は、スイッチ35を介して、降圧電源回路36にて降圧されて内部降圧電源電圧V2が生成され、DRAM内部回路へ供給される。

【0041】

20

ここで、図1のコマンドデコーダ22から出力されるバーインモード信号DWBIにより、ダイナミックバーインモードになると、内部電源回路30A内のスイッチ32、35がリファレンスレベル回路31側から外部電源パッド37及びリファレンスレベルパッド38側に切り替わる。そのため、外部から降圧電源の外部リファレンスレベル電圧をリファレンスレベルパッド38に印加すれば、その外部リファレンスレベル電圧がスイッチ35を介して、降圧電源回路36にて降圧されて内部降圧電源電圧V2が生成され、DRAM内部回路へ供給される。又、外部電源電圧を外部電源パッド37に印加すれば、その外部電源電圧がスイッチ32及び昇圧電源レベル判定回路33を介して、昇圧電源回路34にて昇圧されて内部昇圧電源電圧V1が生成され、DRAM内部回路へ供給される。これにより、降圧電源のレベルは、外部のリファレンスレベルパッド38から任意の電圧を印加することにより設定でき、又、昇圧レベルは、外部電源電圧と同じレベルになる。

30

【0042】

（実施例2の効果）

本実施例2によれば、次の（a）～（e）のような効果がある。

【0043】

（a） 降圧電源レベルを外部のリファレンスレベルパッド38から任意に設定できるので、製造工程（プロセス）に合わせた最適な電圧条件をテスト時に設定してストレスを電圧加速することができ、ダイナミックウェハバーイン実施の時間を短縮できる。

【0044】

（b） 前記（a）と同様に、外部電源パッド37を用いて昇圧レベルを外部電源電圧と同じにすることにより、プロセスにあわせた最適な電圧条件をテスト時に設定してストレスを電圧加速することができ、ダイナミックウェハバーイン実施の時間を短縮できる。

40

【0045】

（c） 内部昇圧レベルと降圧レベルを独立に制御できるので、つまり、複数の内部電源を独立に外部のリファレンスレベルに合わせて設定できるので、プロセスに合わせた最適な電圧条件をテスト時に設定してストレスを電圧加速することができ、ダイナミックウェハバーイン実施の時間を短縮できる。更に、昇圧レベルを外部電源電圧と同じにすることにより、パッド数を最小限で構成できるため、プローブカードの針数を大幅に削減でき、1枚のウェハ上に形成された複数のDRAM部分を同時に測定することが可能となる。

【0046】

50

(d) パッド数が少ないことにより、プローブカードのコストを削減できる。

【0047】

(e) パッド数が少ないことにより、制御する装置が安価なものでも実現できる。

【実施例3】

【0048】

(実施例3の構成)

図3は、本発明の実施例3を示すメモリセルアレイ周辺の概略の構成図である。

このメモリセルアレイ周辺におけるメモリセルアレイ10A、Xアドレスデコーダ50A、及びYアドレスデコーダ60Aは、実施例1（又は実施例2）を示す図1のメモリセルアレイ10、Xアドレスデコーダ50、及びYアドレスデコーダ60に代えて設けられる。

10

【0049】

メモリセルアレイ10Aには、複数のワード線WL1～WL_n、及び複数のビット線BL1～BL_nの他、複数の冗長ワード線RWL、及び複数の冗長ビット線RBLが設けられ、これらの各ワード線WL及びビット線BLの交差箇所にはメモリセル11が接続されると共に、各冗長ワード線RWL及び冗長ビット線RBLの交差箇所にも冗長メモリセル12が接続されている。

【0050】

Xアドレスデコーダ50Aは、複数のプリデコード信号XADDをデコードしてワード線WL1～WL_nを選択する複数のワードドライバ51-1～51-nと、複数のプリデコード信号XADDをデコードして冗長ワード線RWLを選択する複数の冗長用ワードドライバ52とにより構成されている。同様に、Yアドレスデコーダ60Aは、複数のプリデコード信号YADDをデコードしてビット線BL1～BL_nを選択する複数のビットドライバ61-1～61-nと、複数のプリデコード信号YADDをデコードして冗長ビット線RBLを選択する複数の冗長用ビットドライバ62とにより構成されている。

20

【0051】

(実施例3の動作)

複数のプリデコード信号XADDにより、ワードドライバ51-1～51-nが選択された時に、この選択されたワードドライバ51とは隣接しない冗長用ワードドライバ52も同時に、バーインモード信号DWBIにより立ち上がる。これにより、ワード線WLと共に冗長用ワード線RWLにもストレスが印加される。同様に、複数のプリデコード信号YADDにより、ビットドライバ61-1～61-nが選択された時に、この選択されたビットドライバ61とは隣接しない冗長用ビットドライバ62も同時に、バーインモード信号DWBIにより立ち上がる。これにより、メモリセル11と共に冗長メモリセル12にもデータDAが書き込まれ、通常のメモリセル12と同様に冗長メモリセル12にもストレスが印加される。その後、メモリテストにてチェックすれば、ダイナミックウェハバーイン結果によるメモリセル11及び冗長メモリセル12の良否の判別が可能になる。

30

【0052】

(実施例3の効果)

本実施例2によれば、実施例1、2の効果を有する他に、更に、次のような効果がある。

40

【0053】

冗長ワード線RWL、冗長メモリセル12、及び図示しない冗長センスアンプ等にもストレスを印加することが可能となるので、冗長救済前の製造工程にバーインモード信号DWBIを導入することにより、ストレス印加で故障したメモリセル11及び冗長メモリセル12を次製造工程で救済可能となる。よって、複数のDRAM部分が形成されたウェハ当たりの歩留まりを向上することが可能となる。

【0054】

(変形例)

本発明は、上記実施例1～3に限定されず、種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の(1)、(2)のようなものがある。

50

【0055】

(1) 図示のDRAMは、他の回路構成に変更してもよい。又、実施例1～3では、DRAMを例として説明したが、本発明は、SRAM、FRASH、EPROM、EEPROM等の他の半導体記憶装置にも適用可能である。

【0056】

(2) 実施例2の昇圧レベルは、外部電源パッド37を利用したが、専用パッドを設けてもよい。

【図面の簡単な説明】

【0057】

【図1】本発明の実施例1を示す半導体記憶装置の概略の構成図である。

10

【図2】本発明の実施例2を示す内部電源回路の概略の構成図である。

【図3】本発明の実施例3を示すメモリセルアレイ周辺の概略の構成図である。

【符号の説明】

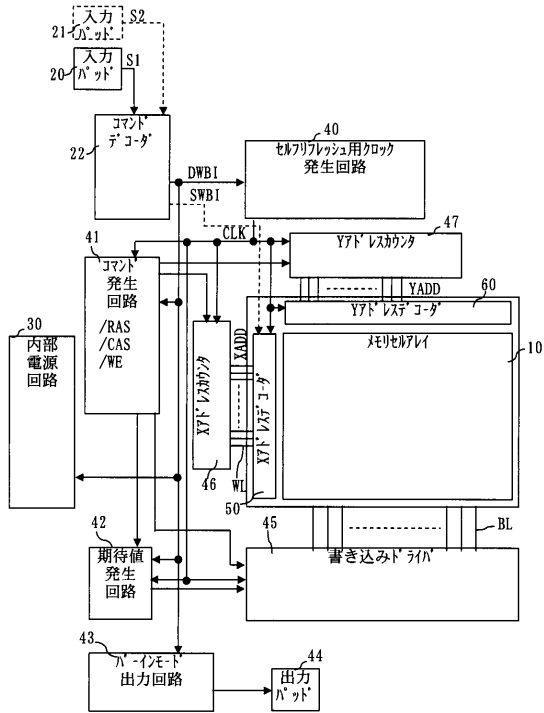
【0058】

- 10 メモリセルアレイ
- 11 メモリセル
- 12 冗長メモリセル
- 20, 21 入力パッド
- 30, 30A 内部電源回路
- 37 外部電源パッド
- 38 リファレンスレベルパッド
- 40 セルフリフレッシュ用クロック発生回路
- 41 コマンド発生回路
- 42 期待値発生回路
- 44 出力パッド
- 45 書き込みドライバ
- 46 Xアドレスカウンタ
- 47 Yアドレスカウンタ
- 50, 50A Xアドレスデコーダ
- 60, 60A Yアドレスデコーダ

20

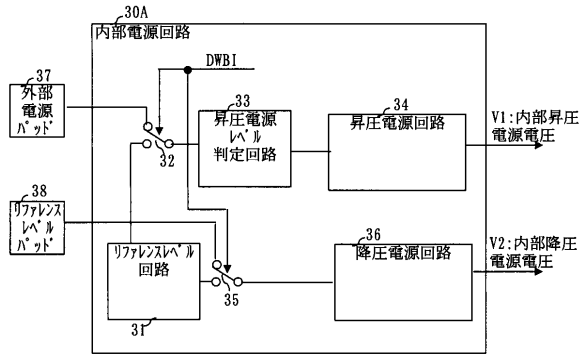
30

【図 1】



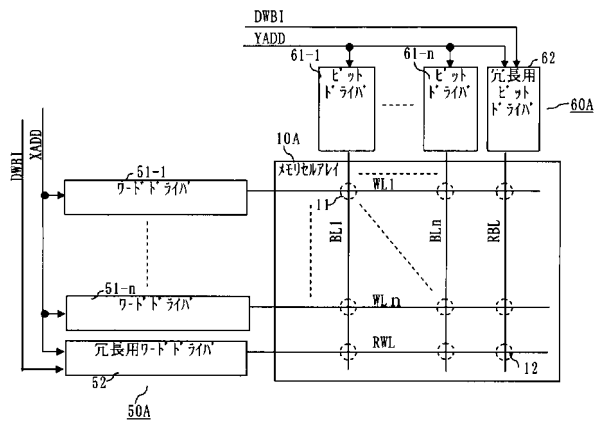
本発明の実施例 1 の半導体記憶装置

【図 2】



本発明の実施例 2 の内部電源回路

【図 3】



本発明の実施例 3 のメモリアレイ周辺

フロントページの続き

(72)発明者 米山 満
東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

審査官 小林 紀和

(56)参考文献 特開2001-236797 (JP, A)
特開2002-358797 (JP, A)
特開平11-144498 (JP, A)
特開平07-029394 (JP, A)
特開2003-022692 (JP, A)
特許第2579792 (JP, B2)
特開2003-329735 (JP, A)
特開2000-260199 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 29/06
G01R 31/28
G11C 11/401