



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0128874
(43) 공개일자 2021년10월27일

(51) 국제특허분류(Int. Cl.)
G06F 13/16 (2006.01) G06F 11/10 (2006.01)
G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 13/1668 (2013.01)
G06F 11/1012 (2013.01)
(21) 출원번호 10-2020-0069029
(22) 출원일자 2020년06월08일
심사청구일자 2020년06월08일
(30) 우선권주장
1020200046643 2020년04월17일 대한민국(KR)

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
변경수
서울특별시 서초구 도구로 73, 801호(방배동, 대성아파트)
(74) 대리인
양성보

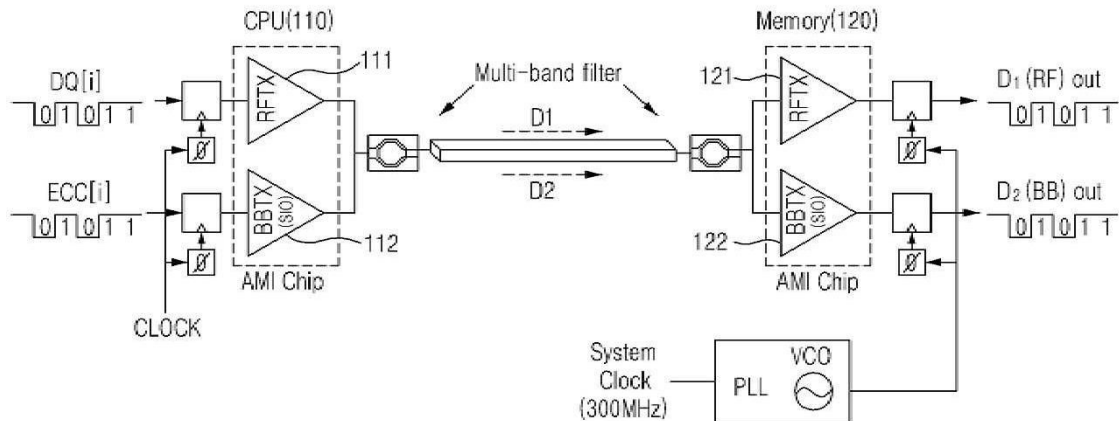
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스 시스템

(57) 요약

LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스 시스템이 제시된다. 본 발명에서 제안하는 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스 시스템은 RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신하는 CPU 및 하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신하는 메모리를 포함하고, CPU와 메모리 간의 데이터 송수신은 데이터의 오류를 검증하기 위하여 듀얼-밴드 시그널링을 통해 메모리에 필요한 ECC(Error Correcting Code) 신호를 추가하여 메모리 구조의 변경없이 하나의 전송 채널을 통해 송수신한다.

대표도



(52) CPC특허분류

G06F 3/0614 (2013.01)

G06F 3/0625 (2013.01)

G06F 3/0626 (2013.01)

G06F 3/0656 (2013.01)

명세서

청구범위

청구항 1

RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신하는 CPU; 및

하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신하는 메모리

를 포함하고,

CPU와 메모리 간의 데이터 송수신은,

데이터의 오류를 검증하기 위하여 듀얼-밴드 시그널링을 통해 메모리에 필요한 ECC(Error Correcting Code) 신호를 추가하여 메모리 구조의 변경없이 하나의 전송 채널을 통해 송수신하는

동시 오류-정정 메모리 인터페이스 시스템.

청구항 2

제1항에 있어서,

ECC 신호는 데이터의 오류를 검증하기 위하여,

LR-DIMM 애플리케이션에 포함되거나, 또는

변환기를 통해 복수의 데이터 비트 중 하나의 데이터 비트에 데이터의 오류를 검증하기 위한 리던던트 데이터(Redundant Data)를 추가하여 하나의 채널을 통해 동시에 전송되는

동시 오류-정정 메모리 인터페이스 시스템.

청구항 3

제1항에 있어서,

CPU는,

입력 버퍼, VCO 및 모듈레이터를 포함하는 RF 신호 송신부;

입력 버퍼 및 시리얼 I/O 송신부를 포함하는 BB 신호 송신부; 및

RF 신호와 베이스밴드 신호를 하나의 신호로 결합하여 동시에 송신하는 변환기

를 포함하는 동시 오류-정정 메모리 인터페이스 시스템.

청구항 4

제3항에 있어서,

변환기는,

센터 탭을 가지고 있어, 베이스밴드 신호는 센터 탭을 통해 전송선으로 전달되고, 임피던스 매칭, 단일-차등 신호 변환(single-to-differential signal conversion), 고주파 AC 커플링의 기능을 수행하며, RF 신호와 베이스밴드 신호를 신호 왜곡 없이 송신하는

동시 오류-정정 메모리 인터페이스 시스템.

청구항 5

제1항에 있어서,

메모리는,

LNA, 믹서, 증폭기, 인버터 체인 및 출력 드라이버를 포함하는 RF 신호 수신부; 및
저항 피드백을 이용한 고속 시리얼 I/O 인터페이스인 BB 신호 수신부
를 포함하는 동시 오류-정정 메모리 인터페이스 시스템.

청구항 6

제5항에 있어서,
LNA는 관심 대역에서만 신호를 증폭시키고,
믹서는 두 가지 주파수의 합성과 차를 만들어내는 회로로서, CS 증폭기(Common Source Amplifier)의 로우-패스 필터(low-pass filter)기능을 이용해 주파수의 차만 출력하여 원래의 데이터를 복원하고,
인버터 체인은 믹서 출력 신호를 디지털 신호로 변환하고,
출력 드라이버는 인버터의 출력에 대한 테스트보드 검증을 수행하는
동시 오류-정정 메모리 인터페이스 시스템.

청구항 7

CPU에서 RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신하는 단계; 및
메모리에서 하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신하는 단계
를 포함하고,
CPU와 메모리 간의 데이터 송수신은,
데이터의 오류를 검증하기 위하여 듀얼-밴드 시그널링을 통해 메모리에 필요한 ECC(Error Correcting Code) 신호를 추가하여 메모리 구조의 변경없이 하나의 전송 채널을 통해 송수신하는
동시 오류-정정 메모리 인터페이스의 데이터 송수신 방법.

청구항 8

제7항에 있어서,
CPU에서 RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신하는 단계에 있어서,
CPU는,
입력 버퍼, VCO 및 모듈레이터를 포함하는 RF 신호 송신부;
입력 버퍼 및 시리얼 I/O 송신부를 포함하는 BB 신호 송신부; 및
RF 신호와 베이스밴드 신호를 하나의 신호로 결합하여 동시에 송신하는 변환기를 포함하고,
변환기는 센터 탭을 가지고 있어, 베이스밴드 신호는 센터 탭을 통해 전송선으로 전달되고, 임피던스 매칭, 단일-차등 신호 변환(single-to-differential signal conversion), 고주파 AC 커플링의 기능을 수행하며, RF 신호와 베이스밴드 신호를 신호 왜곡 없이 송신하는
동시 오류-정정 메모리 인터페이스의 데이터 송수신 방법.

청구항 9

제7항에 있어서,
메모리에서 하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신하는 단계에 있어서,
메모리는,
LNA, 믹서, 증폭기, 인버터 체인 및 출력 드라이버를 포함하는 RF 신호 수신부; 및

저항 피드백을 이용한 고속 시리얼 I/O 인터페이스인 BB 신호 수신부를 포함하고,

LNA는 관심 대역에서만 신호를 증폭시키고,

믹서는 두 가지 주파수의 합성과 차를 만들어내는 회로로서, CS 증폭기(Common Source Amplifier)의 로우-패스 필터(low-pass filter)기능을 이용해 주파수의 차만 출력하여 원래의 데이터를 복원하고,

인버터 체인은 믹서 출력 신호를 디지털 신호로 변환하고,

출력 드라이버는 인버터의 출력에 대한 테스트보드 검증을 수행하는

동시 오류-정정 메모리 인터페이스의 데이터 송수신 방법.

발명의 설명

기술 분야

[0001] 본 발명은 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스 시스템에 관한 것이다.

배경 기술

[0002] 기술이 발전함에 따라, 반도체 메모리 장치는 그 용량 및 속도가 증가하고 있다. 반도체 메모리 장치의 일 예로서 휘발성 메모리(volatile-memory) 장치는 캐패시터(capacitor)에 저장되어 있는 전하(charge)에 의해 데이터를 판정하는 메모리 장치로서, 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다.

[0003] 반도체 메모리 장치의 동작이 고속화됨에 따라 데이터의 에러 발생확률이 증가하게 된다. 증가하는 에러 발생에 따른 성능 저하를 막기 위해, 에러를 정정하는 다양한 방안이 제안된다.

[0004] 미세화 공정 기술이 진해됨에 따라 불량이 있는 메모리 셀들의 수도 증가하고 있다. 불량 셀들의 증가는 반도체 메모리 장치의 생산 수율을 감소시킬 뿐 아니라 메모리 용량을 보장하기 어렵게 한다. 불량 셀들을 구제하는 하나의 방안으로, 반도체 메모리 장치는 ECC 회로를 채용한다. 하지만, ECC 회로 동작에 의해 반도체 메모리 장치의 타이밍 오버헤드 및/또는 칩 사이즈 오버헤드와 같은 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 ASK 변조된 RF와 베이스밴드 신호인 트랜스포머를 통해 ECC데이터와 DQ1-8(8개의 데이터)중 하나를 하나의 채널을 통해 동시에 전송하기 위한 방법 및 시스템을 제공하는데 있다. RF대역과 베이스밴드 대역을 동시에 이용해 ECC에 필요로 하는 R-DIMM 이나 LR-DIMM 구조에서 전송선 하나만으로 데이터 전송을 하며 높은 에너지효율과 넓은 대역폭 솔루션을 제공하고자 한다.

과제의 해결 수단

[0006] 일 측면에 있어서, 본 발명에서 제안하는 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스 시스템은 RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신하는 CPU 및 하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신하는 메모리를 포함하고, CPU와 메모리 간의 데이터 송수신은 데이터의 오류를 검증하기 위하여 듀얼-밴드 시그널링을 통해 메모리에 필요한 ECC(Error Correcting Code) 신호를 추가하여 메모리 구조의 변경없이 하나의 전송 채널을 통해 송수신한다.

[0007] CPU는 입력 버퍼, VCO 및 모듈레이터를 포함하는 RF 신호 송신부, 입력 버퍼 및 시리얼 I/O 송신부를 포함하는 BB 신호 송신부 및 RF 신호와 베이스밴드 신호를 하나의 신호로 결합하여 동시에 송신하는 변환기를 포함한다.

[0008] 변환기는 센터 탭을 가지고 있어, 베이스밴드 신호는 센터 탭을 통해 전송선으로 전달되고, 임피던스 매칭, 단일-차등 신호 변환(single-to-differential signal conversion), 고주파 AC 커플링의 기능을 수행하며, RF 신호와 베이스밴드 신호를 신호 왜곡 없이 송신한다.

[0009] 메모리는 LNA, 믹서, 증폭기, 인버터 체인 및 출력 드라이버를 포함하는 RF 신호 수신부 및 저항 피드백을 이용한 고속 시리얼 I/O 인터페이스인 BB 신호 수신부를 포함한다.

[0010] LNA는 관심 대역에서만 신호를 증폭시키고, 믹서는 두 가지 주파수의 합성과 차를 만들어내는 회로로서, CS 증폭기(Common Source Amplifier)의 로우-패스 필터(low-pass filter)기능을 이용해 주파수의 차만 출력하여 원래의 데이터를 복원하고, 인터버 체인은 믹서 출력 신호를 디지털 신호로 변환하고, 출력 드라이버는 인터버의 출력에 대한 테스트보드 검증을 수행한다.

[0011] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스의 데이터 송수신 방법은 CPU에서 RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신하는 단계 및 메모리에서 하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신하는 단계를 포함한다.

발명의 효과

[0012] 본 발명의 실시예들에 따르면 듀얼-밴드(Dual-Band) 신호법을 통해 ECC-LRDIMM 메모리에 필요한 ECC신호를 기존의 베이스밴드(Baseband) 인터페이스에 병합하여 쓸 수 있다. ASK 변조된 RF와 베이스밴드 신호인 트랜스포머를 통해 ECC데이터와 DQ1-8(8개의 데이터)중 하나를 하나의 채널을 통해 동시에 전송 할 수 있다. RF대역과 베이스밴드 대역을 동시에 이용해 ECC에 필요로 하는 R-DIMM 이나 LR-DIMM 구조에서 전송선 하나만으로 데이터 전송을 하며 높은 에너지효율과 넓은 대역폭 솔루션을 제공할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 따른 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스 시스템의 구성을 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 RF 신호 송신부의 구성을 나타내는 도면이다.

도 3은 본 발명의 일 실시예에 따른 BB 신호 송신부의 구성을 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 듀얼-밴드 시그널링을 위한 변환기의 레이아웃을 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 RF 신호 수신부의 구성을 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 BB 신호 수신부의 구성을 나타내는 도면이다.

도 7은 본 발명의 일 실시예에 따른 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스의 데이터 송수신 방법을 설명하기 위한 흐름도이다.

도 8은 본 발명의 일 실시예에 따른 결합된 데이터의 파형을 설명하기 위한 도면이다.

도 9는 본 발명의 일 실시예에 따른 RF 신호의 입출력 데이터의 파형을 나타내는 도면이다.

도 10은 본 발명의 일 실시예에 따른 BB 신호의 입출력 데이터의 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 실시예에 따르면, 듀얼-밴드(Dual-Band) 신호법을 통해 ECC-LRDIMM 메모리에 필요한 ECC신호를 기존의 베이스밴드(Baseband) 인터페이스에 병합하여 쓸 수 있다. ASK 변조된 RF와 베이스밴드 신호인 트랜스포머를 통해 ECC데이터와 DQ1-8(8개의 데이터) 중 하나를 하나의 채널을 통해 동시에 전송 할 수 있다. RF대역과 베이스밴드 대역을 동시에 이용해 ECC에 필요로 하는 R-DIMM 이나 LR-DIMM 구조에서 전송선 하나만으로 데이터 전송을 하며 높은 에너지효율과 넓은 대역폭 솔루션을 제공한다.

[0015] ECC(Error Correcting Code) 신호는 데이터의 오류를 검증하기 위하여, LR-DIMM 애플리케이션에 포함되거나, 또는 변환기를 통해 복수의 데이터 비트 중 하나의 데이터 비트에 데이터의 오류를 검증하기 위한 리던던트 데이터(Redundant Data)를 추가하여 하나의 채널을 통해 동시에 전송될 수 있다. 다시 말해, ECC는 주로 CPU, DRAM 메모리에서 고급 서버에 쓰이는 메모리 인터페이스로서 실제 LR-DIMM에서 쓰는 ECC가 포함된 구조일 수 있다. 또한, 변환기를 통해 기존 데이터(DQ(i), i=1,8 8bit) 중 하나의 비트 데이터를 이용하여 혹시나 있을 DQ 데이터의 오류를 보정하기 위한 리던던트 데이터(다시 말해, dummy data)를 추가하여 전송할 수 있다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0017] 도 1은 본 발명의 일 실시예에 따른 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스 시스템의

구성을 나타내는 도면이다.

- [0018] 도 1(a)는 본 발명의 실시예에 따른 동시 오류-정정 메모리 인터페이스 시스템의 블록도이고, 도 1(a)는 본 발명의 실시예에 따른 CPU(110) 및 메모리(Memory)(120)의 구성을 더욱 상세히 나타낸 도면이다.
- [0019] 제안하는 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스 시스템은 CPU(110) 및 메모리(Memory)(120)를 포함한다.
- [0020] CPU(110)는 RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신한다.
- [0021] CPU(110)는 RF 신호 송신부(111), BB 신호 송신부(112) 및 변환기(도 2 참조)를 포함한다.
- [0022] RF 신호 송신부(111)는 입력 버퍼(111a), VCO(111c) 및 모듈레이터(111b)를 포함한다.
- [0023] BB 신호 송신부(112)는 입력 버퍼(112a) 및 시리얼 I/O 송신부(112b)를 포함한다.
- [0024] 변환기는 RF 신호와 베이스밴드 신호를 하나의 신호로 결합하여 동시에 송신한다. 변환기는 센터 탭을 가지고 있어, 베이스밴드 신호는 센터 탭을 통해 전송선으로 전달되고, 임피던스 매칭, 단일-차등 신호 변환(single-to-differential signal conversion), 고주파 AC 커플링의 기능을 수행하며, RF 신호와 베이스밴드 신호를 신호 왜곡 없이 송신한다.
- [0025] 메모리(Memory)(120)는 하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신한다.
- [0026] 메모리(120)는 RF 신호 수신부(121) 및 BB 신호 수신부(122)를 포함한다.
- [0027] RF 신호 수신부(121)는 LNA(121a), 믹서(121b), 증폭기(121c), 인버터 체인(121d) 및 출력 드라이버(121e)를 포함한다.
- [0028] BB 신호 수신부(122)는 저항 피드백을 이용한 고속 시리얼 I/O 인터페이스(122a) 및 출력 드라이버(122b)를 포함한다.
- [0029] LNA(121a)는 관심 대역에서만 신호를 증폭시키고, 믹서(121b)는 두 가지 주파수의 합성과 차를 만들어내는 회로로서, CS 증폭기(Common Source Amplifier)의 로우-패스 필터(low-pass filter)기능을 이용해 주파수의 차만 출력하여 원래의 데이터를 복원한다. 인버터 체인(121d)은 인터버 체인은 믹서 출력 신호를 디지털 신호로 변환하고, 출력 드라이버(121e)는 인버터의 출력에 대한 테스트보드 검증을 수행한다.
- [0030] CPU(110)와 메모리(120) 간의 데이터 송수신은 데이터의 오류를 검증하기 위하여 듀얼-밴드 시그널링을 통해 메모리에 필요한 ECC(Error Correcting Code) 신호를 추가하여 메모리 구조의 변경없이 하나의 전송 채널을 통해 송수신한다.
- [0031] 메모리 인터페이스는 메모리 셀(cell)에 쓰였던 데이터들을 CPU와 송수신하는 기능을 수행한다. 메모리 인터페이스의 가장 중요한 성능 지수는 데이터 전송속도와 에너지 효율성이다.
- [0032] 본 발명은 R-DIMM, LR-DIMM 메모리 플랫폼에서 ECC(Error Correcting Code)를 통해 서버에 있는 데이터의 오류를 검증하기 위해 추가적인 데이터를 보낸다. 본 발명에서는 듀얼 밴드 시그널링(dual band signaling)을 이용하여 기존의 데이터(DQ)중의 하나와 ECC데이터를 하나의 전송 채널을 통해 송수신하는 것이다. 종래기술과의 가장 중요한 차이점은 기존의 메모리 구조를 바꾸지 않아도 하나의 전송선을 통해 ECC와 데이터(DQ)를 동시에 보내는 것이다.
- [0034] 도 2는 본 발명의 일 실시예에 따른 RF 신호 송신부의 구성을 나타내는 도면이다.
- [0035] 듀얼 밴드 메모리(Dual-band memory) I/O 인터페이스 구조에서 신호를 전달하기 위한 CPU쪽의 송신부를 나타낸다. 본 발명의 실시예에 따른 CPU는 RF I/O TX 와 Serial I/O TX로 구성되며, ASK 변조된 RF 신호와 시리얼 I/O의 베이스밴드 신호를 하나의 신호로 결합하여 송신한다.
- [0036] 도 2의 RF 신호 송신부(RFTX)는 입력 버퍼 VCO 및 모듈레이터를 포함한다. 입력 버퍼를 통해 입력 데이터를 증폭시키고, VCO(Voltage Controlled Oscillator)는 고주파 신호발생기로, 반송파를 만드는 데에 사용된다.

- [0038] 도 3은 본 발명의 일 실시예에 따른 BB 신호 송신부의 구성을 나타내는 도면이다.
- [0039] BB 신호 송신부는 입력 버퍼 및 시리얼 I/O 송신부(Serial I/O TX)를 포함한다.
- [0040] 입력 버퍼를 통해 전송 받은 두 번째 입력 데이터를 시리얼 I/O TX를 통해 송신한다.
- [0042] 도 4는 본 발명의 일 실시예에 따른 듀얼-밴드 시그널링을 위한 변환기의 레이아웃을 나타내는 도면이다.
- [0043] 변환기는 RF 신호와 베이스밴드 신호(DQ)를 하나의 신호로 결합하여 동시에 송신한다. 변환기는 센터 탭을 가지고 있어, 베이스밴드 신호는 센터 탭을 통해 전송선으로 전달되며, AB/CD포트를 통해 RF 신호를 고주파로 동시에 보낼 수 있는 필터이다. 변환기는 임피던스 매칭, 단일-차등 신호 변환(single-to-differential signal conversion), 고주파 AC 커플링의 기능을 수행하며, RF 신호와 베이스밴드 신호를 신호 왜곡 없이 송신한다.
- [0045] 도 5는 본 발명의 일 실시예에 따른 RF 신호 수신부의 구성을 나타내는 도면이다.
- [0046] RF 신호 수신부는 LNA, 믹서(mixer), 증폭기(amplifier), 인버터 체인(inverter chain) 및 출력 드라이버(output driver)를 포함한다. LNA는 관심 대역에서만 신호를 증폭시키는 역할을 한다. 믹서는 두 가지 주파수의 합성과 차를 만들어내는 회로로, CS 증폭기(Common Source Amplifier)의 로우-패스 필터(low-pass filter)기능을 이용해 주파수의 차만 출력으로 내보내 원래의 데이터를 복원하는 역할을 한다. 인버터 체인은 믹서 출력단의 신호를 디지털 신호로 변환해주는 회로이다. 출력 드라이버는 인버터의 출력을 테스트보드 검증을 위한 출력 드라이버이다.
- [0048] 도 6은 본 발명의 일 실시예에 따른 BB 신호 수신부의 구성을 나타내는 도면이다.
- [0049] BB 신호 수신부는 저항 피드백을 이용한 고속 시리얼 I/O 인터페이스 및 출력 드라이버를 포함한다. 피드백은 전압 이득을 조금 희생하지만, 전송 데이터의 대역폭을 획기적으로 높이는 역할을 한다.
- [0051] 도 7은 본 발명의 일 실시예에 따른 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스의 데이터 송수신 방법을 설명하기 위한 흐름도이다.
- [0052] 제안하는 LR-DIMM 애플리케이션을 위한 동시 오류-정정 메모리 인터페이스의 데이터 송수신 방법은 CPU에서 RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신하는 단계(710) 및 메모리에서 하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신하는 단계(720)를 포함한다.
- [0053] CPU와 메모리 간의 데이터 송수신은 데이터의 오류를 검증하기 위하여 듀얼-밴드 시그널링을 통해 메모리에 필요한 ECC(Error Correcting Code) 신호를 추가하여 메모리 구조의 변경없이 하나의 전송 채널을 통해 송수신한다.
- [0054] CPU는 입력 버퍼, VCO 및 모듈레이터를 포함하는 RF 신호 송신부, 입력 버퍼 및 시리얼 I/O 송신부를 포함하는 BB 신호 송신부 및 RF 신호와 베이스밴드 신호를 하나의 신호로 결합하여 동시에 송신하는 변환기를 포함한다.
- [0055] CPU에서 RF 신호 송신부의 ASK 변조된 RF 신호와 BB 신호 송신부의 베이스밴드 신호를 변환기를 통해 하나의 신호로 결합하여 하나의 채널을 통해 동시에 송신하는 단계에 있어서, 변환기는 센터 탭을 가지고 있어, 베이스밴드 신호는 센터 탭을 통해 전송선으로 전달되고, 임피던스 매칭, 단일-차등 신호 변환(single-to-differential signal conversion), 고주파 AC 커플링의 기능을 수행하며, RF 신호와 베이스밴드 신호를 신호 왜곡 없이 송신한다.
- [0056] 메모리는 LNA, 믹서, 증폭기, 인버터 체인 및 출력 드라이버를 포함하는 RF 신호 수신부 및 저항 피드백을 이용한 고속 시리얼 I/O 인터페이스인 BB 신호 수신부를 포함한다.
- [0057] 메모리에서 하나의 채널을 통해 RF 신호와 베이스밴드 신호를 동시에 수신하는 단계에 있어서, LNA는 관심 대역에서만 신호를 증폭시키고, 믹서는 두 가지 주파수의 합성과 차를 만들어내는 회로로서, CS 증폭기(Common Source Amplifier)의 로우-패스 필터(low-pass filter)기능을 이용해 주파수의 차만 출력하여 원래의 데이터를

복원한다. 인터버 체인은 믹서 출력 신호를 디지털 신호로 변환하고, 출력 드라이버는 인버터의 출력에 대한 테스트보드 검증을 수행한다.

[0059] 도 8은 본 발명의 일 실시예에 따른 결합된 데이터의 파형을 설명하기 위한 도면이다.

[0060] 도 8을 참조하면, 첫 번째 신호인 RF신호와 두 번째 신호인 베이스밴드 신호가 변환기에서 결합되는 것을 나타낸다. 도 8의 맨 위 파형이 RF신호, 맨 아래 파형이 베이스밴드 신호이며, 가운데 파형이 두 신호가 결합된 파형이다. 이 신호가 채널을 거치며 열화되고, 수신부(TX)로 전달된다.

[0062] 도 9는 본 발명의 일 실시예에 따른 RF 신호의 입출력 데이터의 파형을 나타내는 도면이다.

[0063] 도 10은 본 발명의 일 실시예에 따른 BB 신호의 입출력 데이터의 파형을 나타내는 도면이다.

[0064] 도 9 및 도 10은 RF I/O와 BB I/O의 입력 데이터와 출력 데이터를 나타낸 포스트 시뮬레이션 파형(post-simulation waveform)이다. 검증 결과 설계 목표대로 RF와 BB의 두 가지 신호가 동시에 하나의 채널로 송수신되어 출력으로 정확한 데이터가 나온 것을 확인할 수 있다.

[0065] <표 1>

	JSSC 2010	ISSCC 2016	ISSCC 2018	This work
Technology	40nm CMOS	65nm CMOS	28nm CMOS	28nm CMOS
Bands	BB	BB + RF	BB	BB + RF
Supply Voltage(V)	1.1	1	0.9	1
Data rate (Gb/s)	(BB-only) 4.3Gb/s	(RF+BB) 8.4Gb/s	(BB-only) 8.0Gb/s	(RF+BB) 27Gb/s
Power efficiency (pJ/b)	3.3	2.5	1.9	0.9
Total Power(mW)	14.4	13 (BB) 12 (RF)	10.1	6.4 (BB) 18.5 (RF)

[0066]

<표 2>

Component	Power(W)
VCO (TX)	398u
Modulator (TX)	3.7m
Serial I/O (TX)	2.2m
LNA (RX)	13.0m
Mixer (RX)	497.2u
Amplifier (RX)	822.9u
Inv_out (RX)	186.5u
Serial I/O (RX)	4.2m
Total	24.9m

표 1은 기존의 메모리 인터페이스 회로들과 본 발명에서 설계한 듀얼 밴드 I/O 인터페이스를 표를 통해 비교 및 분석한 것이다. 최종적인 전력/주파수 대역(energy efficiency)는 약 0.9pJ/b로서, ISSCC'18년 대비 약 1.0pJ/b만큼 개선이 되었다. 또한, 동시에 두 가지 데이터를 전송함으로써 총 데이터 비율(aggregate data rate) 또한 약 3배에 달하는 개선을 이루었다.

표 2는 각 블록 별 소비전력을 나타낸 표이다. RFTX의 6.3mW와 BBTX의 2.2mW를 합친 전체 TX의 소비전력은 8.5mW이고, RFRX의 14.2mW와 BBRX의 4.2mW를 합친 전체 RX의 소비전력은 18.4mW이다.

본 발명은 실제 모바일 단말에서 보다 많은 양의 데이터를 동시에 처리할 수 있는 메모리 인터페이스를 제안한다.

최적의 변환기를 직접 설계하여 여러 데이터를 동시에 하나의 채널을 통해 전송하고, 이를 큰 오류 없이 각각의 원래 데이터로 복원할 수 있는가에 중점을 두고 설계를 진행하였다. 변환기의 AC 커플링 기능을 메모리 인터페이스에 도입함으로써, 전송하고자 하는 데이터 종류만큼의 채널이 필요한 기존의 메모리 인터페이스와는 달리 단 하나의 채널만을 사용하여 동시에 두 종류의 데이터를 전송 가능하도록 하였다. 또한, 소자의 사이즈를 최적화하고 불필요한 회로의 제거를 통하여 저전력을 달성하였고, RF와 BB 송수신기 각각의 대역폭을 넓혀 전체적인 듀얼 밴드 인터페이스 회로의 높은 데이터 비율을 달성할 수 있었다.

실제 2D PCB 라인이 아닌 3D TSV 채널로 인터페이스를 구현한다면, 신호의 감쇄(degradation)가 상대적으로 적기 때문에 에너지 효율성이 훨씬 더 개선될 것으로 기대된다.

이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나

처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

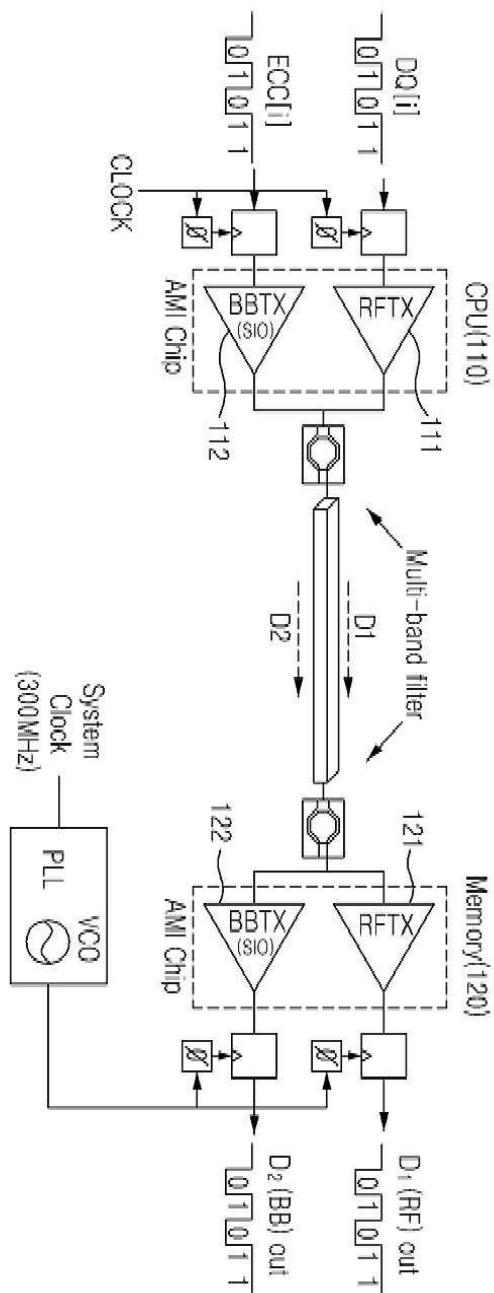
[0077] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0078] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

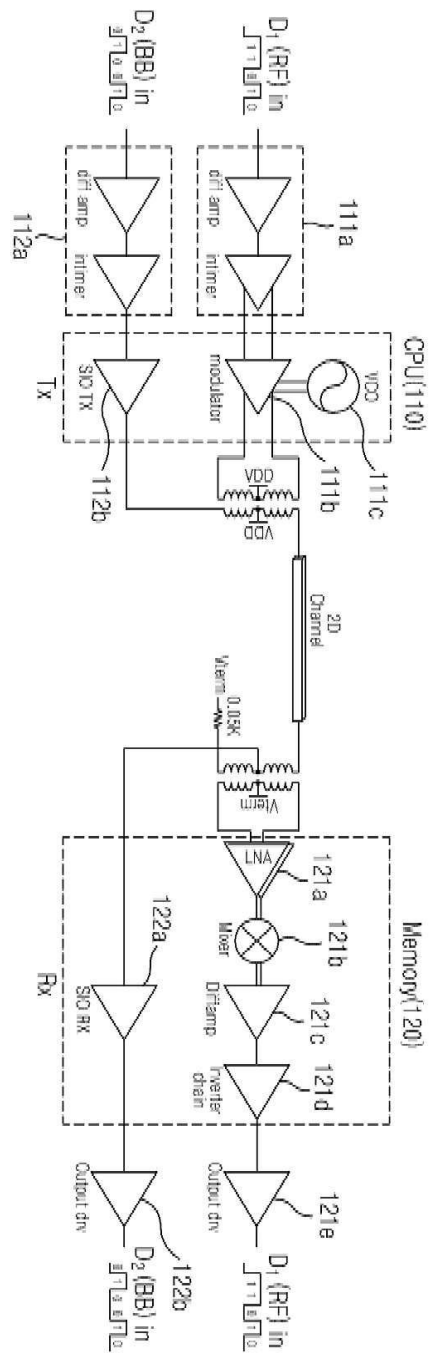
[0079] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

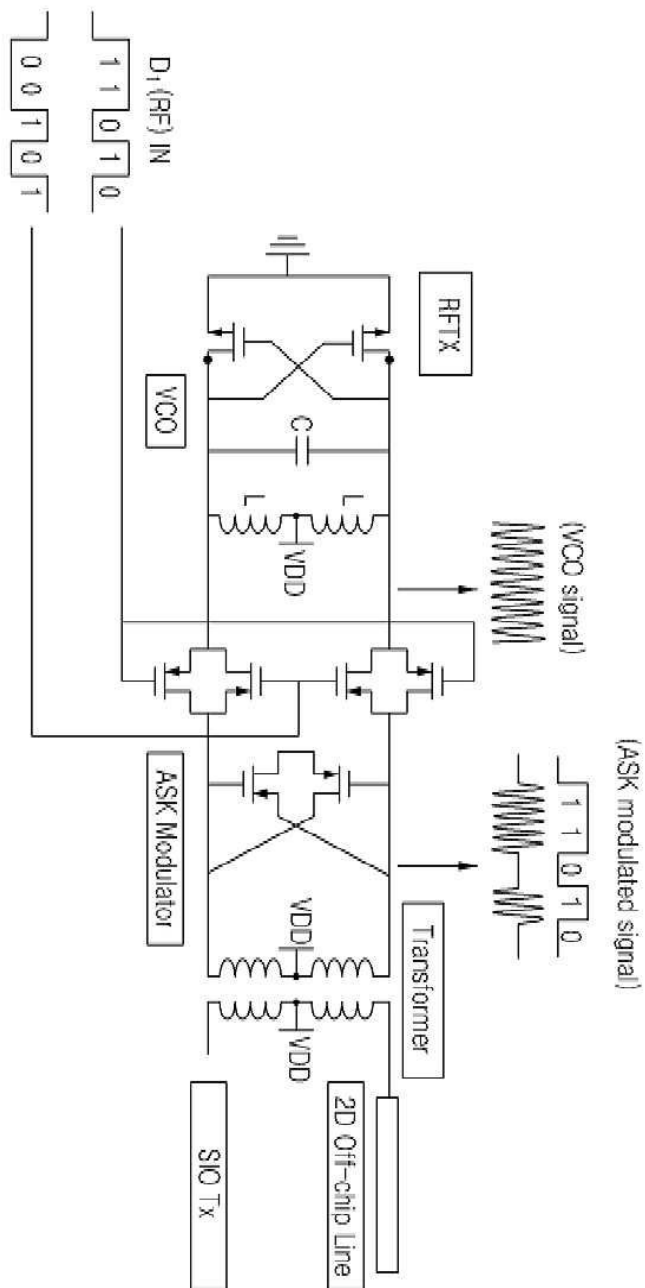
도면1



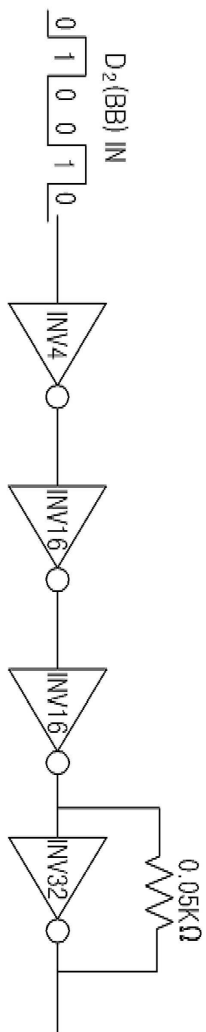
도면1b



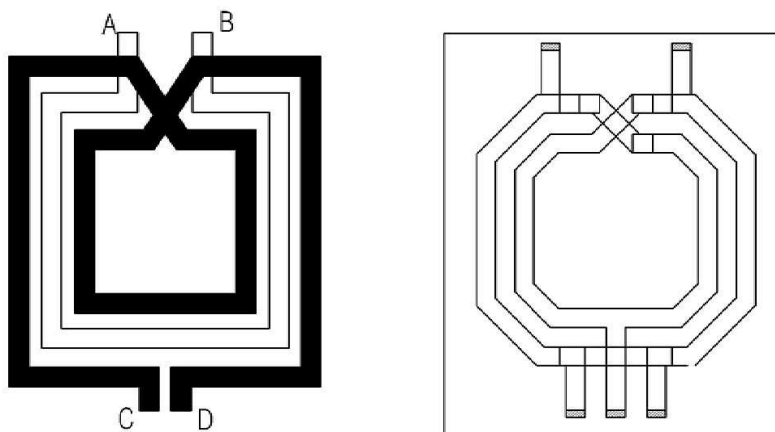
도면2



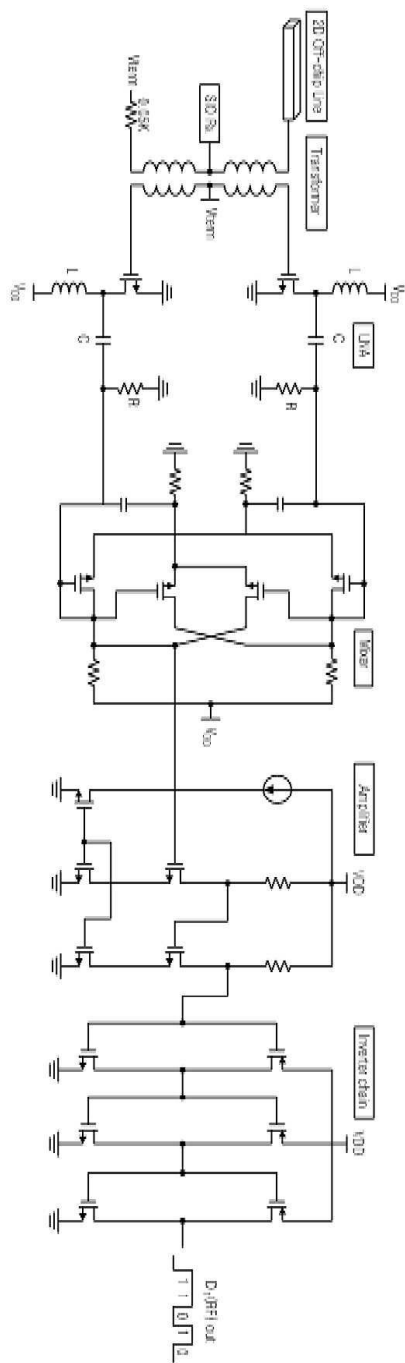
도면3



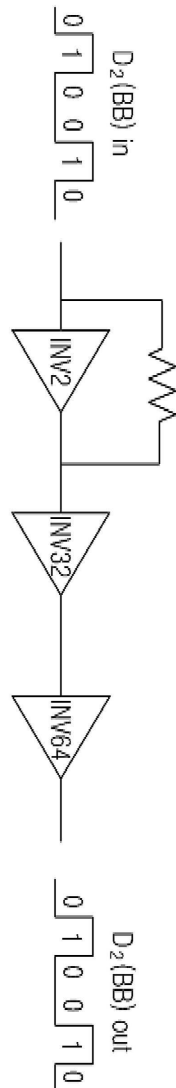
도면4



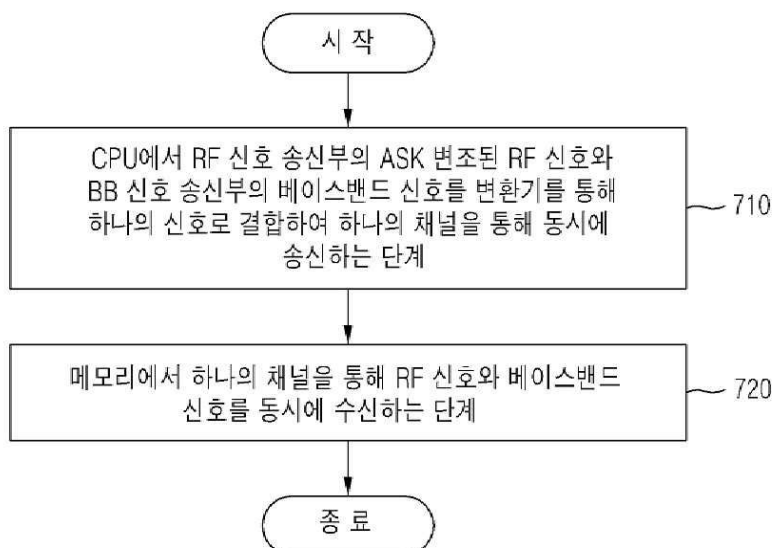
도면5



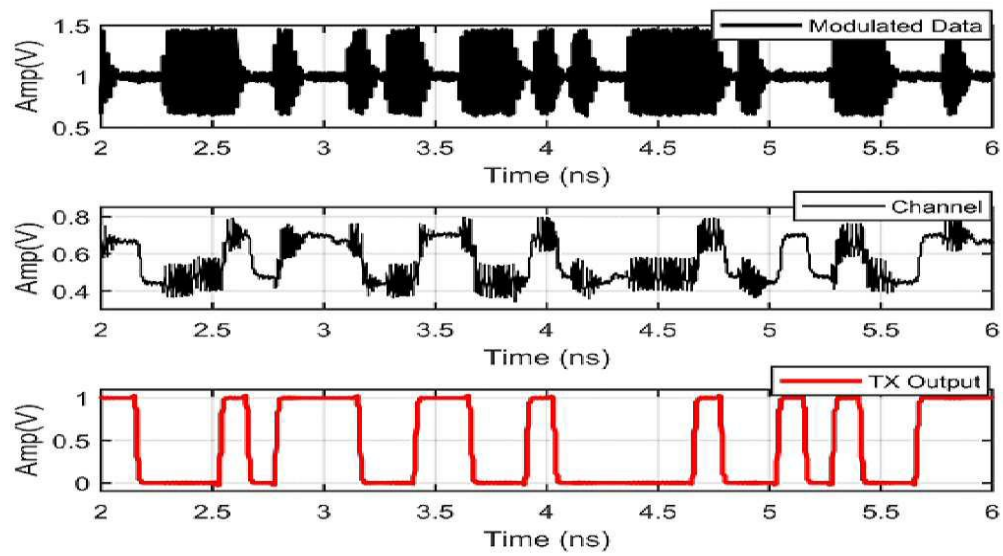
도면6



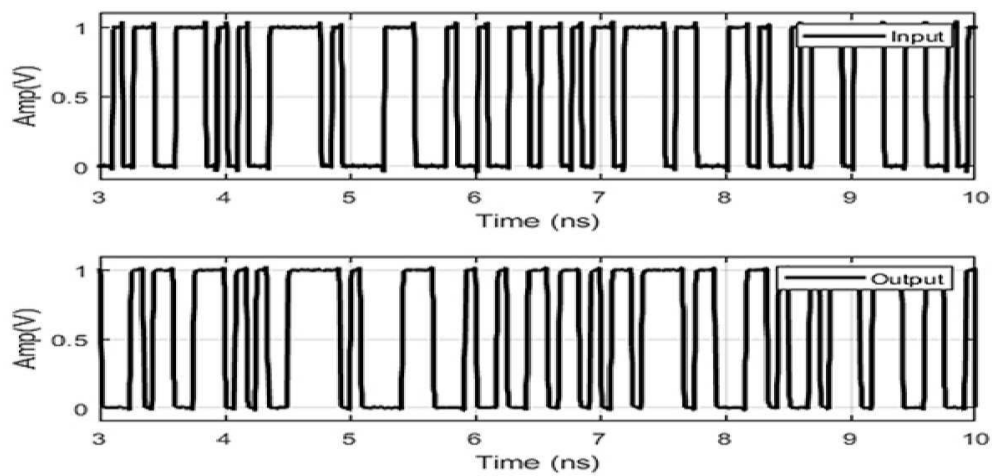
도면7



도면8



도면9



도면10

