

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/60	(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년06월20일 10-0321883 2002년01월11일
(21) 출원번호 (22) 출원일자 번역문제출일자 (86) 국제출원번호 (86) 국제출원일자 (81) 지정국	10-1995-0702920 1995년07월12일 1995년07월12일 PCT/JP1994/01887 1994년11월09일 국내특허 : 일본 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴	(65) 공개번호 (43) 공개일자 (87) 국제공개번호 (87) 국제공개일자
		특1996-0700524 1996년01월20일 WO 1995/13625 1995년05월18일
(30) 우선권 주장	93-283694 1993년11월12일 일본(JP)	
(73) 특허권자	세이코 엡슨 가부시기가이샤 구사마 사부로	
(72) 발명자	일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1 우라마쓰에이지	
(74) 대리인	일본392나가노켄스와시오와3조메3반5고세이코엡슨가부시기가이샤나이 이병호	

심사관 : 송원선

(54) 반도체소자의실장구조및실장방법과,액정표시장치

명세서

- <1> 기술분야
- <2> 본 발명은 반도체 소자를 실장하기 위한 구조 및 방법에 관한 것으로 특히 액정 표시 장치 등의 전자 장치에 회로 기판을 써서 반도체 소자를 실장하는데에 적합한 구조 및 방법에 관한 것이다. 또 본 발명은 이와 같은 실장 구조 및 방법을 써서 구동용 반도체 소자를 실장한 액정 표시 장치에 관한 것이다.
- <3> 배경기술
- <4> 종래부터 전자 장치에 반도체 소자를 실장하기 위해 소위 TAB(Tape Automated Bonding) 기술을 써서 반도체 소자를 탑재한 테이프 캐리어 패키지를 일괄 접속하는 TAB 방식이나 유리 기판의 표면에 패턴 형성된 배선에 반도체 소자를 직접 접속하는 COG(Chip-on-Glass) 방식등이 알려져 있다.
- <5> 액정 표시 장치에서는 매트릭스 구조의 XY 전극으로 구성되는 액정 디스플레이의 패널 주변부에, 상술한 TAB 방식에 의해 구동용 반도체 칩을 접속하는 것이 일반적이다. 그러나 이 경우에는 반도체 소자의 입력 및 출력 배선이 TAB 패키지의 동일 면에 형성되고, 또한 각 TAB 패키지가 액정 패널의 외측에 장착되기 때문에 실장면적이 매우 커지고 액정 표시부의 주변에 큰 소위 액자 부분 즉 디스에리어가 형성되어서 액정 표시 장치 전체가 대형화하고 상대적으로 표시 면적이 적어지는 문제가 있었다.
- <6> 다시 각 TAB 패키지의 반도체 소자에 입력 신호 및 전원 등을 공급하기 위해 입력 버스 배선을 설치한 별개의 구동 회로 기판이 필요하고 그 때문에 디스에리어가 한층 더 확대됨과 함께 코스트가 증대하는 문제가 있었다.
- <7> 또 COG 방식에 의해 구동용 반도체 소자를 액정 패널의 표면에 직접 실장하는 경우에는 액정 패널 주변부의 표면에 입력 배선, 출력 배선등을 패터닝하기 때문에 액정 패널의 실장 면적이 커지고 TAB 방식의 경우와 같이 디스에리어가 매우 커진다. 다시, 입력 출력 배선과 입력 버스 배선을 동일면 위에서 크로스 배선 처리를 하기 때문에 제조 코스트가 매우 높아지는 문제가 있었다.
- <8> 거기에서 본원 출원인은 일본국 특허출원 헤이세이 5-223523호 명세서에 기재된 바와 같이 다층 구조의 회로 기판을 거쳐서 액정 구동용 LSI 를 액정 표시 장치에 실장하는 구조를 제안하였다. 제 26 도 및 제 27 도에 도시하는 바와 같이 이 적층 회로 기판(55)은 그것의 소정의 위치에 구동용 LSI(56)를 접속한 표면에 입력 배선(57), 출력 배선(58) 및 입력 단자 (59)를 형성하고 그 뒷면에 액정 패널 (60)의 접속 단자(61)에 접속하기 위한 출력 단자(62)를 형성하고 또한 중간층에 입력 버스 배선(63)등을 설치함과 함께 출력 배선과 출력 단자 및 입력 배선과 버스 배선을 각각 바이어홀(64)을 거쳐서 층간 접속하고 있다.
- <9> 이에 따라 TAB 기판에 접속되는 구동 회로 기판이 불필요하게 되므로 실장 면적이 적어져 액정

표시 장치 전체를 소형화 또한 박형화 할 수 있음과 함께 접속점 수를 적게하여 신뢰성의 향상을 도모할 수가 있다.

- <10> 그러나 통상 반도체 소자 1 개당 80~수백이나 되는 다수의 출력 배선과 출력 단자를 바이어홀에 의해 층간 접속하기 위해 제조 코스트가 높아지고 또한 다수의 바이어홀을 형성하므로 회로 기판의 실장 면적이 커지는 문제가 있었다. 다시 적어도 3 층 이상의 다층 구조로 되기 때문에 제조 공정이 복잡해져서 제조 코스트가 증대할 뿐만 아니라 실장후의 액정 표시 장치의 박형화를 충분히 도모할 수 없다. 또 가공상의 곤란성에서 출력 배선의 피치를 예를 들자면 150 μ m 이하로까지 파인화하는 것이 곤란하다. 이 때문에 전자기기의 다운 사이징화의 요청에 충분히 대응할 수 없는 우려가 있다.
- <11> 거기에서 본 발명의 목적은 반도체 소자를 탑재한 회로 기판에 있어서 바이어홀에 의한 층간 접속을 적게하고 또는 완전하게 배제해서 실장 면적을 적게하고 또 회로 기판에서 입출력선, 버스 배선을 위한 중간 도전층을 배제해서 박형화를 도모하고 콤팩트로 다운 사이징화의 요청에 대응이 됨과 함께, 제조 공정을 간단히 하고 또한 제조 코스트를 저감시킬 수가 있는 반도체 소자의 실장 구조 및 실장 방법을 제공함에 있다.
- <12> 또, 본 발명의 다른 목적은 액정 표시 장치에 그것의 구동용 LSI를 실장하는 경우에 액정 패널의 액자 면적 즉 디스플레이어를 최소로하여 실질적으로 표시 면적을 확대하고 다운 사이징화의 요청에 대응해서 장치 전체의 소형화 박형화를 도모할 수가 있는 액정 표시 장치를 제공함에 있다.
- <13> 발명의 개시
- <14> 본 발명에 의하면 전자 장치에 반도체 소자를 실장하기 위한 구조로서 각각에 반도체 소자를 탑재하고 또한 이 반도체 소자에 접속된 2 조의 입력 배선 및 1 조의 출력 배선과 각 조의 입력 배선에 각각 접속된 2 조의 입력 단자와 출력 배선에 접속된 1 조의 출력 단자와 각 조간의 입력 단자를 서로 접속하는 입력 버스 배선을 갖춘 복수의 회로 기판을 구비하고, 각 회로 기판의 출력 단자를 전자 장치의 대응하는 단자에 접속하고 또한 각 회로 기판이 1 조의 입력 단자와 전기적으로 접속하므로서 서로 연결되는 것을 특징으로 하는 반도체 소자의 실장 구조가 제공된다.
- <15> 본 발명의 제 1 실시예에 의하면, 각 회로 기판은 출력 배선, 출력 단자 및 입력 배선이 반도체 소자를 실장한 면에 형성되고, 입력 단자 및 입력 버스 배선이 반도체 실장면과 반대쪽 면에 형성되고 또한 각 입력 단자와 대응하는 각 입력 배선을 접속하기 위한 바이어홀이 회로 기판에 설치됨과 함께 입력 버스 배선에 의해 인접하는 회로 기판의 각 반도체 소자를 연락하는 버스 배선 경로가 구성되도록 되어 있다.
- <16> 이 경우 상기 입력 버스 배선에 덧붙여서 반도체 소자의 단자를 경유해서 2 조의 입력 배선을 서로 접속하므로서 제 2 의 입력 버스 배선이 반도체 실장면에 형성된다. 또 반도체 소자의 내부가 복수로 불럭 분할되는 경우에는 같은 신호를 각 불럭에 2 조의 입력 배선 및 입력 단자에서 별개로 공급할 수가 있다. 또 한편의 조의 입력 배선에서 입력한 신호에 대한 반도체 소자의 출력이 다른편의 조의 입력 배선을 거쳐서 별도의 회로 기판의 반도체 소자로 보내지고 이 반도체 소자에서 출력되는 것과 같은 캐스케이드 접속도 가능하다. 다시, 이와 같은 반도체 소자와 각 2 조의 입력 단자 및 입력 배선과의 접속은, 필요에 의해 적당히 조합시킬 수가 있다.
- <17> 또, 본 발명의 제 2 실시예에 의하면 각 회로 기판은 입력 배선, 입력 단자 및 출력 배선이 반도체 소자의 실장면에 형성되고, 출력 단자가 반도체 소자 실장면과 반대쪽 면에 형성되고 또한 각 출력 단자와 대응하는 각 출력 배선 및 접속하기 위한 바이어홀이 설치됨과 함께 각각 각 조의 입력 단자에 접속된 2 조의 입력 배선이 서로 반도체 소자의 단자를 경유해서 접속되므로서 입력 버스 배선이 형성되고 꼭 같이 인접하는 회로 기판의 각 반도체 소자를 연결하는 버스 배선 경로가 구성된다. 또, 이 경우에도 상기 제 1 실시예의 경우와 같은 캐스케이드 접속이 가능하다.
- <18> 또, 본 발명의 다른 실시예에 의하면 각 회로 기판은 입력 배선, 입력 단자, 출력 배선 및 출력 단자가 반도체 소자의 실장면에 형성되고 또한 입력 버스 배선이 한편의 입력 단자의 조와 다른 편입력 단자의 조와의 사이를 반도체 소자의 단자를 경유해서 접속하는 입력 배선에 의해 형성되고 인접하는 회로 기판끼리를 접속하므로서 각 회로 기판의 반도체 소자를 연결하는 버스 배선 경로가 구성되도록 할 수가 있다. 이 경우에도 상술한 캐스케이드 접속이 가능한 것은 말할 나위도 없다.
- <19> 본 발명에 의하면, 이와 같이 구성되므로서 회로 기판에 형성되는 바이어홀의 수를 삭감하고 또는 바이어홀을 배제할 수가 있고 회로 기판의 실장면적을 적게 하고 또한 박형화할 수가 있다.
- <20> 또, 본 발명의 다른 실시예에 의하면, 상술한 각 회로 기판에 복수의 반도체 소자를 실장할 수가 있고 이것을 전자 장치에 실장하므로서, 1회의 접속 공정으로 복수의 반도체 소자를 동시에 접속할 수가 있다.
- <21> 또, 본 발명에 의하면, 전자 장치에 반도체 소자를 실장하기 위한 방법으로서, 한쪽면에 반도체 소자를 실장하고 또한 동일면에 반도체 소자의 입력 배선 및 출력 배선, 및 입력 단자 또는 출력 단자의 한편을 갖추고, 다른 면에 입력 단자 또는 출력 단자의 다른편을 갖추고, 입력 단자 또는 출력 단자의 다른 편과 한쪽 면의 대응하는 입력 배선 또는 출력 배선을 바이어 홀을 거쳐서 접속하고, 또한 입력 단자와 같은 면 위에 입력 버스 배선을 갖춘 회로 기판을 준비하고, 출력 단자를 상기 전자 장치의 대응하는 단자에 접속하므로서 회로 기판을 전자 장치에 실장하는 공정으로 구성이 되는 것을 특징으로 하는 반도체 장치의 실장 방법이 제공된다.
- <22> 다시, 본 발명에 의하면, 전자 장치에 반도체 소자를 실장하기 위한 방법으로서, 한쪽 면에 반도체 소자를 실장하고 같은 면에 반도체 소자의 입력 배선 및 출력 배선, 입력 단자, 출력 단자 및 입력 버스 배선을 갖춘 회로 기판을 준비하고, 출력 단자를 전자 장치의 단자에 접속하므로서 회로 기판을 상기 전자 장치에 실장하는 공정으로 구성이 되는 것을 특징으로 하는 반도체 장치의 실장 방법이 제공된다.

- <23> 특히, 본 발명에 의한 반도체 소자의 실장 구조를 액정 표시 장치에 적용한 경우, 각각 액정 구동용 반도체 소자를 탑재하고, 반도체 소자에 접속된 2 조의 입력 배선 및 1 조의 출력 배선과, 각 조의 입력 배선에 각각 접속된 2 조의 입력 단자와, 출력 배선에 접속된 1 조의 출력 단자와, 각 조간의 입력 단자를 서로 접속하는 입력 버스 배선을 갖춘 복수의 회로 기판을 갖추고, 이들의 회로 기판에 있어서 출력 배선, 출력 단자 및 입력 배선이, 반도체 소자를 실장한 면에 형성이 되고, 입력 단자 및 입력 버스 배선이 반도체 소자 실장면과 반대쪽 면에 형성이 되고, 각 입력 단자와 대응하는 각 입력 배선을 접속하기 위한 바이어홀이 설치되고, 또한 각 회로 기판의 출력 단자를 액정 표시 장치의 전극 단자에 접속함과 함께 각 회로 기판이 그것의 각 조의 입력 단자를 서로 인접하는 다른 회로 기판의 1 조의 입력 단자와 전기적으로 접속하므로써 서로 연결되어 있는 것을 특징으로 하는 액정 표시 장치가 제공된다.
- <24> 이에 따라, 액정 표시 패널의 표시 부분의 외측에 형성되는 액자 부분을 축소할 수가 있고 실질적으로 표시 부분을 확대해서 다운 사이징화에 적합한 콤팩트한 액정 표시 장치를 얻을 수가 있다.
- <25> 도면의 간단한 설명
- <26> 제 1 도는 본 발명에 의한 제 1 실시예의 반도체 소자의 실장 구조를 적용한 액정 표시 장치의 평면도.
- <27> 제 2 도는 제 1 도의 액정 표시 장치에 사용되는 회로 기판을 도시하는 평면도.
- <28> 제 3 도는 제 1 실시예의 회로 기판을 LCD 셀에 접속한 상태를 도시하는 제 1 도의 III-III 선에 있어서 부분 확대 단면도.
- <29> 제 4 도는 제 1 실시예의 회로 기판의 변형예를 도시하는 제 3 도와 같은 단면도.
- <30> 제 5 도는 제 1 도의 액정 표시 장치에 있어서 인접하는 회로 기판끼리의 접속 상태를 도시하는 부분 확대도.
- <31> 제 6 도는 FPC(플렉시블 배선판)를 써서 인접하는 회로 기판끼리를 접속하는 별도의 실시예를 도시하는 제 5 도와 같은 부분 확대도.
- <32> 제 7 도는 본 발명의 제 2 실시예에 의한 회로 기판을 LCD 셀에 접속한 상태를 도시하는 제 3 도와 같은 단면도.
- <33> 제 8 도는 제 2 실시예의 변형예를 도시하는 단면도.
- <34> 제 9 도는 2 개의 LCD 구동용 LSI를 탑재한 본 발명의 제 3 실시예에 의한 회로 기판을 도시하는 평면도.
- <35> 제 10 도는 제 9 도의 변형예를 도시하는 회로 기판의 평면도.
- <36> 제 11 도는 다수의 LCD 구동용 LSI를 탑재한 회로 기판을 LCD 셀의 주변에 접속한 액정 표시 장치를 도시하는 사시도.
- <37> 제 12 도는 본 발명의 제 4 실시예에 의한 반도체 소자의 실장 구조에 사용하는 회로 기판의 평면도.
- <38> 제 13 도는 제 12 도의 XII-XII 선에 있어서 회로 기판의 단면도.
- <39> 제 14 도는 제 4 실시예의 회로 기판을 LCD 셀에 접속한 상태를 도시하는 단면도.
- <40> 제 15 도는 제 4 실시예의 회로 기판의 변형예를 도시하는 제 13 도와 같은 단면도.
- <41> 제 16 도는 제 15 도의 회로 기판을 LCD 셀에 접속한 상태를 도시하는 단면도.
- <42> 제 17 도는 제 4 실시예의 다른 변형예에 의한 회로 기판을 도시하는 제 12 도의 XVI-XVI 선에 있어서의 단면도.
- <43> 제 18a 도 및 18b 도는 제 17 도의 변형예에 의한 복수의 회로 기판을 LCD 셀에 접속할때에 인접하는 회로 기판 끼리의 접속 상태를 각각 도시하는 평면도 및 측면도.
- <44> 제 19a 도~19c 도는 각각 제 4 실시예에 의한 회로 기판의 또다른 변형예를 도시하는 단면도.
- <45> 제 20 도는 복수의 회로 기판을 LCD 셀에 접속하기 위한 본 발명의 다른 실시예를 도시하는 사시도.
- <46> 제 21 도는 제 20 도의 실시예의 변형예를 도시하는 사시도.
- <47> 제 22 도는 액정 표시 장치의 표시부 및 디스플레이어를 도시하는 평면도.
- <48> 제 23 도는 본 발명의 제 1 실시예를 적용해서 구동용 LSI를 실장한 전자 인자 장치를 도시하는 단면도.
- <49> 제 24 도는 제 4 실시예의 회로 기판을 사용한 전자 인자 장치를 도시하는 제 23 도와 같은 단면도.
- <50> 제 25 도는 제 4 실시예의 변형예에 의한 제 15 도의 회로 기판을 사용한 전자 인자 장치를 도시하는 단면도.
- <51> 제 26 도는 종래 기술에 의한 다층 구조의 회로 기판을 사용한 반도체 소자의 실장 구조를 도시하는 단면도.

<52> 제 27 도는 제 26 도의 회로 기판을 도시하는 평면도.

<53> 발명을 실시하기 위한 최량의 형태

<54> 제 1 도에 있어서 본 발명에 의한 반도체 소자의 실장 구조를 적용한 액정 표시 장치(1)는 통상의 XY 매트릭스 전극 구조를 갖춘 LCD 셀(2)의 주변에 그것의 윗변, 아랫변 및 좌변을 따라서 각각 다수의 회로 기판(3)이 직선 형상으로 연속해서 접속되어 있다. LCD 셀(2)의 윗변 및 아랫변에 접속된 회로 기판(3)에는 X 쪽의 액정 구동용 LSI(4)가 상기 LCD 셀의 좌변에 접속된 회로 기판(3)에는 Y 쪽의 액정 구동용 LSI(4)가 각각 1 개씩 후술하는 바와 같이 실장되어 있다. 또, LCD 셀(2)의 좌상각 부분 및 좌하각 부분에는, X 쪽의 상기 회로 기판의 입력 버스 배선과 Y 쪽의 상기 회로 기판의 입력 버스 배선을 연락 접속하기 위한 중계 기판(5)이 각각 설치되어 있다. 다시, LCD 셀(2)의 좌하각 부분의 중계 기판(5)에는, 상기 각 회로 기판에 전원 및 전력 신호를 공급하기 위한 케이블(6)이 접속되어 있다.

<55> 회로 기판(3)은, 예를 들자면 세라믹스, 유리 에폭시 수지, 폴리이미드 수지등 통상의 비교적 경질인 기판 재료를 사용해서, 제 2 도에 도시하는 바와 같이 장수 방향으로 가늘고 긴 장방형으로 형성되어 있다. 회로 기판(3)의 한쪽면(7)에는 그것의 아래 반의 거의 중앙 위치에 꼭 같이 가늘고 긴 장방형을 이루는 1 개의 액정 구동용 LSI(4)가 장수방향을 따라 페이스다운 본딩에 의해 실장되어 있다. 당연히 별도의 실시예에서는 필요에 따라 장방형이외의 다른 형상 예를 들자면 정방형에 가까운 외형의 LSI를 사용할 수가 있고, 그에 따라서 회로 기판(3)의 외형을 변경할 수가 있다. 또 사용 조건이나 필요에 따라서 예를 들자면 액정 표시 장치(1)의 표시 내용이 증대해서 주파수가 높아지는 경우등에 회로 기판(3)에 전기적 그랜드층을 설치할 필요가 생긴다. 이와 같은 경우에는 회로 기판(3)의 내부에 그랜드층으로서 도전층을 설치할 수가 있다.

<56> 회로 기판(3)의 LSI 실장면 즉 표면(7)의 상반부에는, 그것의 윗변을 따라 장수방향을 LSI(4)의 출력 단자와 같은 수의 1 조의 출력 단자(8)가 일정한 피치로 직선 형상으로 형성되고 또한 각각 LSI(4)와의 사이에 설치된 대응하는 출력 배선(9)에 접속되어 있다. 통상 출력 단자(8)의 피치는 약 100~200 μ m 정도이나 그것의 재료나 성막 프로세스를 적당하게 선택함으로써 50 μ m 이하의 좁은 피치로 형성할 수도 있다.

<57> 회로 기판(3)의 LSI 실장면(7)과 반대쪽의 면 즉 뒷면(10)에는 그것의 좌우 양변을 따라 각각 LSI(4)의 입력 단자와 같은 수의 각 1 조의 입력 단자(11)가 일정한 피치로 직선으로 나란히 설치되어 있다. 본 실시예에 있어서 입력 단자(11)의 피치는 약 100~300 μ m 정도이다. 다시 회로 기판(3)의 표면(7)에는 입력 배선(12)이 LSI(4)로부터 상기 회로 기판의 좌우 각 변으로 향해서 대응하는 입력 단자(11)의 위치까지 연장하도록 패턴이 형성되어져 있다. 각 입력 단자(11)는 대응하는 입력 배선(12)과 각각 바이어홀(13)을 거쳐서 접속되고 이에 따라 LSI(4)에 접속되어 있다. 본 실시예에 있어서 바이어홀(13)의 직경은 100 μ m 이하 필요에 따라 적당히 변경할 수가 있다. 다시 회로 기판(3)의 뒷면(10)에는 좌변의 입력 단자(11)와 우변의 입력 단자(11)를 서로 접속하는 입력 버스 배선(14)이 패턴 형성되어 있다.

<58> 본 실시예에서는, 도시하는 바와 같이, 좌우 2 조의 입력 단자(11)가 각각 입력 배선(12)을 거쳐서 상기 LSI의 입력 단자에 접속되어 있다. 따라서 회로 기판(3)의 좌변의 입력 단자(11)와 우변의 입력 단자(11)가 상기 각 LSI의 입력 단자를 경유해서 입력 배선(12)에 의해 서로 접속되므로 뒷면(10)의 입력 버스 배선(14)에 더해서 그것과 병행하게 입력 배선(12)으로 구성되는 제 2의 입력 버스 배선이 LSI 실장면(7)에 설치하게 된다. 이에 따라, 회로 기판(3) 전체로서 입력 버스 배선의 저항치를 적게할 수가 있다.

<59> 또, LSI(4)가 특히 제 2 도와 같이 가늘고 긴 슬럼형인 경우에는 내부가 복수로 예를 들자면 좌우로 불럭 분할되고 또 불럭마다 별개로 LSI 입력 단자를 설치할 수가 있다. 이와 같은 경우 각 불럭의 상기 LSI 입력 단자는 좌우 어느 것의 가까운 편의 입력 단자(11)와 입력 배선(12)을 거쳐서 접속되고 따라서 같은 신호가 좌우에서 별개로 공급된다. 또, 본 실시예에 의하면 좌변의 입력 단자(11)에서 좌변쪽의 입력 배선(12)을 거쳐서 LSI(4)에 접속하고 또한 그것의 출력을 우변쪽의 입력 배선(12)을 거쳐서 우변의 입력 단자(11)에 접속함으로써 인접하는 좌우의 회로 기판의 LSI를 직렬로 연결하는 캐스케이드 접속에 적용할 수가 있다.

<60> 실제로는, 이들의 실시예를 사용하는 회로 기판이나 LSI의 구성등 요구에 따라서 적당하게 조합시킬 수가 있다. 예를 들자면 LSI(4)의 내부가 부분적으로 예를들자면 전원 계통이 불럭 분할되어서 일부의 신호가 좌우의 입력 단자 및 입력 배선에서 별개로 입력되고 다른 일부의 신호는 상술한 캐스케이드 접속에 의해 예를들자면 우측의 입력 단자 및 입력 배선을 거쳐서 인접하는 회로 기판의 LSI에 송신되고 또한 나머지의 신호가 LSI의 입력 단자를 경유해서 접속되는 좌우의 입력 배선으로 구성이 되는 입력 버스 배선을 거쳐서 송신되도록 구성할 수도 있다.

<61> 이들의 배선(9, 12, 14) 및 단자(8, 11)는 Au 단체에 의해 또는 AgPd, Ag, Cu를 베이스 재료로서 필요에 따라서 Ni Au 또는 Sn 등을 도금함으로써 형성되고 또한 필요에 따라서 그 표면에 솔더레지스트 등을 칠함으로써 부식 및 손상의 방지를 도모할 수가 있다. 바이어홀(13)은 상기 각 배선 및 단자와 같이 Au 등의 금속 재료에 의해 또는 AgPd, Ag, Cu를 베이스 재료의 필요에 따라서 Ni Au 또는 Sn 등을 도금함으로써 형성되고 또한 필요에 의해 솔더레지스트 등이 칠해진다. 회로 기판(3)에 실장된 LSI(4)는 필요에 의해 자외선 경화형, 열경화형 에폭시계등의 접착제로 구성되는 몰드재(15)로 피복함으로써 내습성, 절연성을 높여서 신뢰성의 향상을 도모할 수가 있다.

<62> 제 3 도에는, 회로 기판(3)을 LCD 셀(2)에 접속함으로써 구동용 LSI(4)를 액정 표시 장치(1)에 실장한 구조가 도시되어 있다. LCD 셀(2)의 전극 패턴을 형성한 아래쪽의 투명 전극 기판(16)의 주변면에는 상기 전극에 접속된 LCD 단자(17)가 회로 기판(3)의 출력 단자(8)에 대응시켜서 소정의 피치로 직선 형상으로 형성되어 있다. 각 LCD 단자(17)는 통상 ITO(산화 인듐 주석) 투명 전극으로 형성되고 필요에 따라서 Cr, Ni, Au, Cu 등의 금속 또는 그들을 조합시켜서 도금 처리할 수가 있다.

- <63> 회로 기판(3)은, 각 출력 단자(8)를 대응하는 LCD 단자 (17)와 자리맞춤을 하면서 그들 사이에 ACF 즉 이방성 도전막 (18)을 설치하여 소정의 가압 가열 공구에 의해 열압착하므로서 일괄해서 전기적이고 또한 기계적으로 접속된다. 본 실시예 에서는 ACF(18)로서 히다찌가세이고우교(주)제의 AC6000 번계 또는 7000 번계의 열경화형의 것을 사용하였다. 또 ACF에는 예를 들자면 UV 경화성의 것이나 페스트 형상의 이방성 도전 접착제를 사용할 수가 있다. 다시 LCD 셀(2)과 회로 기판 (3)과의 접속 부분에는 방습 등을 목적으로 하여 몰드재(19)를 실시할 수가 있다.
- <64> 별도의 실시예에서는, 제 4 도에 도시하는 바와 같이 회로 기판(3)의 출력 단자(8)에 Au, Cu 등의 뱀프(20)가 형성되어 있다. 이에 따라 제 3 도와 같이 ACF(18)를 사용해서 접속하므로서 출력 단자(8)와 LCD 단자(17)를 보다 확실하고 또한 양호하게 전기적으로 접속할 수가 있다.
- <65> 제 5 도에 도시하는 바와 같이, 인접시켜서 LCD 셀(2)에 접속된 회로 기판 (3, 3')끼리는 서로 인접하는 입력 단자(11, 11')끼리가 Au, Al, Cu 등의 금속 또는 그들의 합금으로 구성되는 와이어(21)를 사용해서 와이어 본딩에 의해 서로 접속되어 있다. 이에 따라 LCD 셀(2)의 주변에 연속해서 실장된 전체 회로 기판(3)의 입력 버스 배선(14)이 서로 연락된다. 실제로, 인접하는 상기 회로 기판의 입력단자끼리를 와이어 본딩할때에는 회로 기판(3, 3')의 아래쪽에 적당한 지지부재를 설치하면 편리하다. 또 별도의 실시예에서는 제 6 도에 도시하는 바와 같이 그 표면에 배선을 패턴 형성한 FPC(22)를 사용해서 인접하는 회로 기판(3, 3')의 입력 단자(11, 11')간을 접속할 수가 있다.
- <66> 또, 상술한 실시예에서는, LSI(4)가 Au 등의 뱀프가 부착된 입력 출력 단자 (23)를 갖추고 페이스다운 방식으로 회로 기판 (3)의 입력 및 출력 배선(11, 9)에 직접 접속되어 있다. 그러나 페이스업 방식을 채용해서 회로 기판(3)위에 위로 향해 고정된 LSI(4)의 각 입력 출력 단자를 대응하는 입력 및 출력 배선과 와이어 본딩할 수도 있다.
- <67> 이와 같이, 본 발명의 반도체 소자의 실장 구조에 의하면, 회로 기판(3)의 출력 단자(8)를 LSI(4)의 실장면(7)과 같은 면위에 설치해서 LCD 셀(2)의 단자(17)와 접속하므로서 상술한 일본국 특허출원 헤이세이 5-223523호 명세서에 기재된 실장 구조와 같이 출력 배선과 출력 단자를 접속하기 위한 바이어홀을 회로 기판에 설치할 필요가 없다. 특히 출력 단자의 수는 입력 단자의 수보다도 매우 많고, 상술한 바와 같이 반도체 소자 1 개당 80~수백개이므로 출력 단자를 위한 바이어홀을 없애므로서 회로 기판을 콤팩트하고 얇게 형성할 수 있고 또한 그 면적을 유효하게 이용할 수 있고 배선의 자유도를 높일 수가 있다. 또 반대쪽의 면(10)에 입력 단자(11) 및 입력 버스 배선(14)을 형성하므로서 회로 기판(3)의 외형을 보다 적게하고 또한 중간 도전층을 없애고 그 두께를 얇게 할 수가 있다.
- <68> 이에 따라, LCD 셀(2)의 주위에 존재하는 액자 부분 즉 제 1 도에 있어서 액정 표시 장치(1)의 표시 부분(24)의 주위에 첫수 A 로 표시되는 실장 영역을 매우 적게 할 수가 있다. 다시 회로 기판(3)의 박형화에 의해 이 회로 기판을 LCD 셀 (2)에 실장하였을 때에 그것의 두께의 범위 내에 LSI(4)를 수용할 수가 있다. 따라서 실장 구조를 콤팩트하여 액정 표시 장치(1) 전체를 소형화할 수가 있다. 또 별도의 실시예에서는 LCD 셀 (2)의 어느 1 변에만, 2 변 또는 4 변 전체에 본 발명에 의한 반도체 소자의 실장 구조를 사용할 수가 있고, 그 경우에도 같은 작용 효과가 얻어진다.
- <69> 제 7 도에는, 본 발명에 의한 반도체 소자의 실장 구조의 제 2 실시예가 도시되어 있다. 본 실시예의 회로 기판(3)은 제 2 도에 도시하는 제 1 실시예의 회로 기판과 거의 같은 가늘고 긴 장방형을 이루고, 또한 그것의 거의 중앙에 LCD 구동용 LSI(4)가 실장되어 있다. LSI 실장면(7)에는, 출력 배선(9), 입력 배선(12)에 더해서 그것의 좌우 양변에 따라 각 1 조의 각각 LSI(4)의 입력 단자와 같은수의 입력 단자(11)가 형성되어 있다. 좌변의 입력 단자(11)와 우변의 입력 단자(11)와는 각각 대응하는 좌우의 입력 배선(12)을 거쳐서 LSI(4)의 입력 단자에 접속되어 있다. 즉, LSI(4)의 상기 입력 단자를 경유하여 좌우 양변의 입력 단자(11)끼리를 접속하는 좌우의 입력 배선(12)이 동시에 입력 버스 배선(14)을 구성한다. 다시, 본 실시예에서는, 좌변의 입력 배선(12)에서 입력한 신호에 대한 상기 LSI의 출력이 우변의 입력 배선(12)을 거쳐서 별도의 회로 기판의 LSI로 보내지고 이 LSI 에서 출력되는 것과 같은 캐스케이드 접속을 조합시킬 수도 있다.
- <70> 회로 기판(3)의 LSI 실장면(7)과 반대쪽의 면(10)에는 제 1 실시예의 회로 기판과 같이 그것의 윗변을 따라 장수 방향으로 1 조의 출력 단자(8)가 형성되고 또한 회로 기판(3)을 관통하는 바이어홀(25)에 의해 각각 대응하는 출력 배선(9)과 서로 접속되어 있다. 회로 기판(3)은 출력 단자(8)를 전극 기판(16) 위의 LCD 단자(17)와 위치 맞추면서 그 사이에 ACF(18)를 설치하여 열압착하므로서 꼭 같이 LCD 셀(2)에 전기적이고 또한 기계적으로 접속된다. 본 실시예의 경우에 인접하는 회로 기판(3)끼리는 제 1 실시예와 같이 입력 단자 (11)끼리를 와이어 또는 FPC를 사용하므로서 서로 접속된다.
- <71> 본 실시예의 경우, LSI 실장면(7) 위에서는 입력 배선 (12) 즉 입력 버스 배선들 설계할때에 전극 기판(16)과의 접촉면적을 필요로 하는 반대쪽면(10)과 비교해서 그것의 피치를 크게 설정할 수 있으므로 유리하다. 또 입력 단자(11)와 접속하기 위한 바이어홀을 설치할 필요가 없으므로 상술한 제 1 실시예 정도는 아니나 회로 기판(3)의 콤팩트화, 코스트의 저감화 및 기판면적의 유효 이용을 도모할 수가 있다.
- <72> 제 8 도에는, 상술한 제 2 실시예의 변형예가 도시되어 있고, 전극 기판(16)의 주변부가 그것의 평면에서 회로 기판(3) 전체를 포함하는 영역까지 확대되어 있다. 이에 따라 회로 기판 (3)을 출력 단자(8)의 부분뿐만이 아니고 그것의 아랫면 (10) 전체에서 전극 패널(16)위에 접촉할 수가 있고 LCD 셀(2)에 회로 기판(3)을 기계적으로 강하게 또한 확실하게 접속할 수가 있다.
- <73> 제 9 도에는, 1 개의 회로 기판에 2 개의 LCD 구동용 LSI를 실장한 본 발명의 제 3 실시예에 의한 반도체 소자의 실장 구조가 도시되어 있다. 이 회로 기판 (31)은 제 2 도에 도시하는 제 1 실시예의 회로 기판(3)과 같은 구성을 하고 또한 그것보다도 좌우로 가늘고 긴 띠판 형상으로 형성되고 그것의 한 쪽면(7)에 2 개의 LSI(4, 4')가 장수 방향으로 한쪽의 옆변을 따라서 직렬로 페이스다운 본딩에 의해 실장이 되어 있다.
- <74> LSI 실장면(7)에는, 각 LSI(4, 4')의 출력 단자에 대응하는 같은 수의 각 1 조의 출력 단자(8,

8')가 각각 장수 방향의 다른편의 측면을 따라 일정 피치로 직선 형상으로 설치되어 있다. 상기 각 조의 출력 단자는 각각 대응하는 각 LSI(4, 4')에서 연장하도록 패턴 형성된 출력 배선(9, 9')과 접속되어 있다. 회로 기판의 뒷면(10)에는 좌우 각 변에 각각 1 조의 LSI(4, 4')의 입력 단자와 같은 수의 입력 단자(11, 11')가 일정 피치로 설치되어 있다. 상기 좌우 각 조의 입력 단자끼리는 상기 회로 기판 뒷면을 장수 방향으로 연장하도록 패턴 형성된 입력 버스 배선(14)에 의해 서로 접속되어 있다.

<75>

다시, LSI 실장면(7)에는 각 LSI(4, 4')의 입력 배선(12, 12')이 각각 패턴 형성되어 있다. 상기 각 LSI에서 회로 기판 (3)의 좌변 또는 우변으로 향해서 연장하는 입력 배선(12, 12')은 바이어홀(13, 13')을 거쳐서 대응하는 각 입력 단자 (11, 11')와 서로 접속되어 있다. 다시 상기 양 LSI(4, 4')간을 연장하는 입력 배선(12, 12')이 서로 접속됨과 함께 공통의 바이어홀(13")을 거쳐서 입력 버스 배선 (14)과 접속되어 있다.

<76>

따라서, 제 1 실시예의 회로 기판(3)의 경우와 같이 회로 기판(31)의 좌변의 입력 단자(11)와 우변의 입력 단자(11')가 상기 양 LSI의 입력 단자를 경유해서 입력 배선(12 및 12')에 의해 서로 접속된다. 이에 따라 상술한 입력 버스 배선(14)에 더해서 제 2의 입력 버스 배선이 LSI 실장면(7)에 설치되게 되고 전체로서 입력 버스 배선의 저항치를 적게할 수가 있다.

<77>

다시 제 1 실시예의 경우와 같이, LSI(4, 4')가 가늘고 긴 슬림 타입으로 내부가 좌우로 블럭 분할되어 있는 경우에는, 상기 각 LSI의 좌측 또는 우측 블럭의 입력 단자가 좌변 또는 우변의 가까운 편의 입력 단자(11, 11')와 입력 배선(12, 12')을 거쳐서 접속되고 또한 상기 각 LSI의 다른 편의 블럭의 입력 단자가 양 LSI 간의 입력 배선(12, 12') 및 공통의 바이어홀 (13")을 거쳐서 입력 버스 배선(14)과 접속되어서 같은 신호가 좌우 블럭에 별개로 공급된다. 또한 좌변의 입력 단자 (11)에서 좌변쪽의 입력 배선 (12)을 거쳐서 좌측의 LSI(4)에 접속하고 그것의 출력은 상기 양 LSI 간의 입력 배선(12, 12')을 거쳐서 우측의 LSI(4')에 접속하고 또한 그것의 출력을 우변쪽의 입력 배선(12')을 우변의 입력 단자(11')에 접속하는 캐스케이드 접속을 포함하도록 또는 조합해서 배선을 구성할 수도 있다.

<78>

회로 기판(31)은, 제 3의 경우와 같이 각 출력 단자(8, 8')를 대응하는 전극 기판의 LCD 단자에 위치를 맞추면서 ACF를 사용해서 LCD 셀에 일괄 접속된다. 이와 같이 본 실시예에 의하면 2 개의 액정 구동용 LSI를 1 회의 접속 공정으로 LCD 셀에 실장할 수가 있다. 또, 인접하는 회로 기판(31)의 입력 단자간을 와이어 본딩 또는 FPC에 의해 서로 접속한다. 이에 따라, 인접하는 회로 기판끼리를 연락하기 위한 버스 배선 경로가 형성된다.

<79>

또, 본 실시예에서는, 회로 기판(31)을, 제 7 도의 제 2 실시예와 같이 LSI 실장면에 출력 단자를 설치한 구성으로 할 수가 있다. 제 10 도에는 이와 같은 변형예에 의한 반도체 소자의 실장 구조가 도시되어 있다. 같은 도면의 회로 기판 (31)도 똑같이 가늘고 긴 띠판 형상을 하고 또한 그것의 한쪽면(7)에 2 개의 LSI(4, 4')가 장수 방향을 따라 직렬로 페이스다운 본딩되어 있다.

<80>

LSI 실장면(7)에는, 좌우 각변에 각각 1 조의 입력 단자 (11, 11')가 일정 피치로 설치되고 또한 상기 각 입력 단자로 부터 각 LSI(4, 4')로 향해서 입력 배선(12, 12')이 패턴 형성되어 있다. 다시 LSI 실장면(7)의 뒷면으로 향해서 각 LSI(4, 4')의 출력 배선(9, 9')이 패턴 형성되어 있다. 회로 기판 (3)의 뒷면(10)에는 LCD 셀에 접속하기 위한 각 1 조의 출력 단자(8, 8')가 각각 장수방향쪽변을 따라 출력 배선(9, 9')에 대응하는 위치에 직선 형상으로 설치되고 또한 회로 기판 (3)을 관통하는 바이어홀(25, 25')을 거쳐서 서로 접속되어 있다.

<81>

또, 회로 기판(3)의 LSI 실장면(7)에는, LSI(4, 4')의 입력 단자가 접속되는 랜드끼리를 접속하는 입력 버스 배선 (14)이 패턴 형성되어 있다. 이에 따라 입력 단자(11, 11') 끼리가 입력 배선(12, 12') 및 입력 버스 배선을 거쳐서 서로 접속되고 인접하는 회로 기판끼리를 연락하기 위한 버스 배선 경로를 형성하고 있다.

<82>

다시 본 발명에 의하면, 1 개의 회로 기판에 3 개 또는 그이상의 반도체 소자를 실장해서 1 번의 접속 공정으로 다수의 반도체 소자를 동시에 실장할 수가 있다. 이와 같은 본 발명의 가장 적합한 실시예가 제 11도에 도시되어 있다. 같은 도면에 도시하는 바와 같이, LCD 셀(2)에는, 그것의 주변에 따라 윗변, 아랫변 및 좌변에 각각 1 개의 가늘고 긴 띠판 형상의 회로 기판 (32~34)이 접속되어 있다. 회로 기판(32,34)에는 각각 8 개의 X 쪽 구동용 LSI(41, 42)가 또 회로 기판(33)에는 4 개의 Y 쪽 구동용 LSI(43)가 각각 한쪽 면에 장수방향을 따라 직선 형상으로 연속해서 실장되어 있다.

<83>

각 회로 기판(32~34)은, 제 10 도에 도시하는 실시예와 거의 같은 구성을 하고, LSI 실장면에는, 좌우 양변에 설치된 각 1 조의 입력 단자에 접속된 입력 배선, 및 인접하는 LSI 끼리를 연락하기 위한 입력 버스 배선이 패턴 형성되어 있다. 상기 LSI 실장면과 반대쪽면에는, 각 LSI의 출력 단자가 장수 방향의 한쪽 측면을 따라 형성되어 있다. 따라서, 각 회로 기판(32~ 34)은, 상기 출력 단자와 전극 기판(16) 사이에 ACF를 사용함으로써 용이하게 전극 기판(16)에 일괄 접속된다.

<84>

다시, LCD 셀(2)의 좌상각에는, 중계 기판(5)이 설치되어서 X 쪽의 회로 기판(32)과 Y 쪽의 회로 기판(33)을 상기 입력 단자를 거쳐서 서로 접속하고 있다. LCD 셀(2)의 좌하각에는 외부로의 케이블을 일체화한 중계 기판(5')이 설치되고 아래쪽의 X 쪽 회로 기판(34)과 Y 쪽 회로 기판(33)을 접속하는 것과 동시에 상기 각 회로 기판에 외부에서 전원, 입력 신호등을 공급할 수가 있다. 또 당연히 X 쪽 회로 기판 (32, 34)은 Y 쪽 회로 기판의 접속되지 않은 우변 또는 좌변에는 상기 입력 단자를 설치하지 않아도 된다.

<85>

본 발명에 의하면, 이와 같이 LCD 셀의 각 변을 따라 각각 1 개의 회로 기판을 접속하도록 하므로써 다수의 액정 구동용 LSI를 실장함으로써 공수를 적게 하고 또한 작업을 용이하게 하여 생산성의 향상을 도모하고 제조 코스트를 저감시킬 수가 있다. 동시에, 상술한 각 실시예와 같이, 액정 표시 장치의 실장 면적을 종래보다 대폭적으로 적게할 수가 있다. 예를 들자면, 제 22도에 도시하는 바와 같이 본 발명에 의한 실장 구조를 사용해서 20cm(8 인치) 사이즈의 액정 표시 패널을 제조한 경우 동일한 외형 치수에 대해서 표시부(24)의 주위에 형성되는 액자 부분 즉 디스에리어의 크기를 같은 도면에 도시하는 치수 A로서 종래의 A1 = 9mm 에서 A2 = 5mm 로 삭감할 수가 있다. 이에 따라 동일 외형 치수의 액정 표시 패

널에 있어서 표시부의 사이즈를 D1 = 20cm 에서 D2 = 22cm(8.7 인치)의 것으로 변경할 수가 있고 표시 면적을 실질적으로 확대할 수가 있었다.

<86> 또, 본 실시예에 있어서도, 회로 기판(35)을 제 2 도의 제 1 실시예의 회로 기판(3)과 같이 LSI 실장면에 출력 단자를 설치한 구성으로 할 수가 있고 그 경우에도 동일하게 2 개의 액정 구동용 LSI를 탑재할 수가 있다.

<87> 제 12 도 및 제 13 도에는, 본 발명의 제 4 실시예에 의한 반도체 소자의 실장 구조의 회로 기판(35)이 도시되어 있다. 본 실시예의 회로 기판(35)은 상술한 제 1 내지 제 3 실시예의 회로 기판과 같이 가늘고 긴 장방형을 이루나 LCD 구동용 LSI(4)의 실장면(7)위에 출력 단자(8), 출력 배선(9), 입력 단자(11), 및 입력 배선(12)이 패턴 형성되고 그 때문에 바이어스를 전혀 갖지 않는 점에서 다르다. 이와 같이 출력 단자 또는 입력 단자와 출력 배선 또는 입력 배선을 접속하는 바이어스를 전혀 사용하지 않으므로 회로 기판(35) 자체의 구성을 매우 간단하게 할 수가 있고 제조 코스트를 보다 한층 더 저감시킬 수가 있다.

<88> 다시, 회로 기판(35)의 좌우 각 변에는 각각 1 조의 LSI(4)의 입력 단자와 같은 수의 입력 단자(11)가 설치되고 또한 각각 입력 배선(12)을 거쳐서 상기 LSI 입력 단자와 접속되어 있다. 이와 같이 좌변 및 우변의 입력 단자(11) 끼리를 접속하는 입력 배선(12)에 의해 동시에 인접하는 다른 회로 기판을 연락하기 위한 입력 버스 배선이 형성된다. 또, 본 실시예에 있어서도 상술한 각 실시예와 같이 좌변의 입력 배선(12)에서 입력한 신호에 대한 상기 LSI의 출력이 우변의 입력 배선(12)을 거쳐서 별도의 회로 기판의 LSI로 보내져서 출력되는 캐스케이드 접속을 조합시킬 수가 있다.

<89> 본 실시예의 회로 기판(35)은, 제 14 도에 도시하는 바와 같이 상술한 각 실시예와 같이 ACF(18)를 써서 출력 단자(8)가 전극 기판(16)의 LCD 단자(17)에 전기적이고 또한 기계적으로 접속이 된다. 이와 같이해서 박형화하고 또한 LSI(4)와 출력 단자(8)를 동일 면위에 설치한 회로 기판(35)을 LCD 셀(2)에 접속하므로써 LSI(4)가 전극 기판(16)의 측방에 또한 그것의 두께의 범위 내에 설치되므로 액정 표시 장치 전체를 박형화할 수가 있다.

<90> 또, 본 실시예의 회로 기판(35)은, 제 13 도에 도시하는 바와 같이 입력 단자(8), 출력 배선(9), 입력 배선(12) 및 입력 단자(11)가 회로 기판(35)의 LSI 실장면(7)에서 내부에 매설하도록 형성이 되어 있다. 따라서 예를 들자면 제 15 도와 같이 회로 기판(35)의 뒷면(10)을 부분적으로 삭제해서 창(26)을 개설하므로써 출력 단자(8)를 뒷면(10)쪽으로 노출시킬 수가 있다.

<91> 이와 같이 출력 단자(8)를 회로 기판(35)의 양면에 노출시키므로써 회로 기판(35)은 제 16 도에 도시하는 바와 같이 전극 기판(16)의 LCD 단자(17)에 접속할 수가 있다. 이 경우 회로 기판(35)을 그것의 전체면에 걸쳐서 전극 기판(16)에 접촉할 수 있으므로 보다 확실하고 또한 안정적으로 고정할 수가 있다. 회로 기판(35)의 창(26)은 예를 들자면 엑시머 레이저 가공등에 의해 뒷면(10)을 선택적으로 제거하므로써 용이하게 형성할 수가 있다.

<92> 창을 개설한 회로 기판(35)의 다른 실시예가 제 17 도에 도시되어 있다. 제 4 실시예의 회로 기판(35)은 제 12 도에 도시하는 바와 같이 입력 단자(11)를 설치하여 좌우각쪽의 변 부분이 외방으로 얼마쯤 돌출하고 있다. 제 17 도의 변형 예에서는, 상기 좌우쪽 변부분의 뒷면(10)을 삭제해서 입력 단자(11)를 뒷면(10)쪽으로 노출시키고 있다. 이와 같이 입력 단자(11)를 회로 기판(35)의 상면에 노출시키므로써, 복수의 회로 기판(35)을 LCD 셀(2)의 주변에 인접시켜서 실장하는 경우, 제 18 도에 도시하는 바와 같이 회로 기판(35)의 인접하는 입력 단자(11) 부분을 서로 겹쳐서 ACF나 납땜등에 의해 서로 접속할 수가 있다. 이 경우 상술한 제 1 및 제 2 실시예와 같이 와이어 본딩이나 FPC를 사용할 필요가 없으므로 접속 작업이 용이하고 또한 접속 부분의 신뢰성이 향상되고 더욱이 부품점수가 적어져서 코스트의 저감화를 도모할 수가 있다.

<93> 제 19a 도~19c 도에는 제 4 실시예의 회로 기판의 또 다른 변형예가 각각 도시되어 있다. 제 19a 도의 회로 기판(35)은 회로 기판 뒷면(10)의 LSI(4)에 대응하는 영역에 창(27)이 설치되어 있다. 또 제 19b 도에는 제 19a 도의 창(27)에 더해서 제 14 도와 같이 출력 단자(8)를 노출시키는 창(28)이 개설 형성되어 있다. 다시 제 19c 도의 회로 기판(35)에는 출력 단자(8), 출력 배선(9), 입력 배선(12)을 포함하는 회로 기판 뒷면(10)의 거의 전체를 노출시키는 창(29)이 설치되어 있다. 이들의 변형예에서는 회로 기판(35)의 뒷면(10)에 LSI(4)의 실장 영역에 대응하는 창을 설치하므로써 LSI(4)를 회로 기판(35)에 실장할때 가열공구를 입력 배선(12) 및 출력 배선(9)에 직접 닿을 수가 있다. 이 때문에 LSI(4)의 각 입출력 단자를 입력 및 출력 배선(12, 9)에 의해 용이하게 갠본딩하므로써 접속할 수가 있다.

<94> 제 20 도 및 제 21 도에는, 제 4 실시예의 회로 기판(35)을 LCD 셀(2)에 접속하기 위한 별도의 구성이 각각 표시되어 있다. 제 20 도의 실시예에서는 입력 단자(11)가 회로 기판(35)의 좌우 양쪽변은 아니고 장수방향의 한쪽 변을 따라서 출력 단자(8)의 배열의 좌우양쪽에 설치되어 있다. 회로 기판(35)의 LSI 실장면(7)과 반대쪽의 뒷면에는 도시하지 않았으나 제 17 도와 같이 출력 단자(8) 및 입력 단자(11)를 노출시키는 창이 설치되어 있다.

<95> LCD 셀(2)의 전극 기판(16)의 주변에는 그것의 X 전극 또는 Y 전극에 접속된 LCD 단자(17)에 더해서 그들과 같이 전극 기판(16)의 둘레 가장자리를 따라서 회로 기판(35)의 입력 단자(11)에 대응하는 위치에 패널 접속 단자(30')가 패턴 형성되어 있다. 다시 전극 기판(16)에는 상기 회로 기판에 인접시켜서 별도의 회로 기판(35')을 접속하기 위해 꼭 같이 LCD 단자(17') 및 패널 접속 단자(30')가 전극 기판(16)의 둘레 가장자리를 따라 패턴 형성되어 있다.

<96> 회로 기판(35)의 패널 접속 단자(17)와 인접하는 회로 기판(35')의 패널 접속 단자(17)와는 각각 전극 기판(16)위에 패턴 형성된 버스 배선(36)에 의해 서로 접속되어 있다. 따라서 회로 기판(35, 35')을 그것의 출력 단자(8, 8') 및 입력 단자(11, 11')를 각각 대응하는 LCD 단자(17, 17') 및 패널 접속 단자(30, 30')에 위치 일치시켜, 예를 들자면 ACF를 써서 열압착하므로써 전극 기판(16)에 접속하면 동시에 상기 양 회로 기판의 입력 단자(11, 11')끼리가 서로 접속된다.

<97>

이와 같이 본 실시예에서는, 와이어 본딩이나 FPC를 사용하지 않고 각 회로 기판을 전극 기판에 실장하는것만으로 인접하는 상기 회로 기판끼리가 접속되어서 입력 버스 배선이 서로 연락된다. 따라서 접속 작업이 용이하고 공수를 적게할 수 있는 이점이 있다. 다시 본 실시예에서는 회로 기판 (35)의 출력 단자(8) 및 입력 단자(11)가 일직선 형상으로 설치되므로 가압 헤드를 직선 형상의 간단한 형상으로 할 수 있고 본딩 장치를 간단히 구성할 수가 있다.

<98>

또, 제 20 도의 실시예에서는 회로 기판 뒷면에 창을 설치하여 입출력 단자를 노출시킨 제 17 도와 같은 구성을 갖춘 회로 기판을 사용하였으나 최소한 출력 단자 및 입력 단자가 같으면 위에 설치되어 있는 다른 구성의 회로 기판을 사용할 수가 있다. 예를 들자면, 제 12 도에 도시되는 회로 기판 뒷면에 창을 갖지 않는 구조를 사용할 수가 있다. 이 경우 회로 기판(35)은 제 14 도의 경우와 같이 LSI(4)가 전극 기판(16)의 측면으로 또한 그것의 두께의 범위 내에 위치하도록 접속되어 있다.

<99>

제 21 도의 실시예에서는, 각 LCD 단자(17) 및 패널 접속 단자(30)가 전극 기판(16)의 안쪽에 설치되고 그것의 겉쪽에 버스 배선(36)이 패턴 형성되어 있다. 회로 기판(35)은 제 20 도의 실시예와 같은 구성의 것이고 꼭 같이 ACF 등을 사용해서 전극 기판(16)에 일괄적으로 접속된다.

<100>

본 실시예에서는, LCD 단자(17)에서 LCD 셀(2)의 X 전극 또는 Y 전극으로의 배선길이가 제 20 도의 실시예의 경우보다도 짧아지므로 그것의 배선 저항치가 적어지는 이점이 얻어진다. 또, LCD 단자(17) 등을 형성하는 전극 기판(16)의 주변을 제 20 도의 실시예의 경우보다 적게할 수가 있다. 단, 본 실시예에서는 전극기판 (16)의 주변에 LCD 단자(17) 및 패널 접속 단자(30)의 외측에 버스 배선(36)을 설치하는 영역을 확보할 필요가 있게 되므로 제 20 도의 실시예와 같이 뒷면에 창을 갖추지 않은 제 13 도의 회로 기판을 접속하는 것은 곤란하다.

<101>

이상, 본 발명에 의한 반도체 소자의 실장 구조를 전자 장치로서 액정 표시 장치에 적용한 경우에 대해서 설명을 하였으나 본 발명은 EL(전기 발광) 디스플레이, 플라즈마 디스플레이 등의 다른 전자 표시장치나 열 프린터등의 전자 인자 장치에도 꼭 같이 적용할 수가 있다.

<102>

제 23 도 내지 제 25 도에는 전자 인자 장치로서 열 프린터 헤드에 구동용 LSI를 실장하는 구조의 실시예가 표시되어 있다. 제 23 도에 있어서 열 프린터 헤드(37)에는 발열 부분(38)을 형성한 세라믹 기판(39) 위에 구동용 LSI(40)를 탑재한 회로 기판(44)이 접속되어 있다. 회로 기판(44)은 제 1 도의 회로 기판(3)과 같은 구성을 하고 구동용 LSI(40)를 탑재한 면에 출력 배선(45), 출력 단자(46), 입력 배선(47)이 형성되고 또한 반대쪽의 면에는 입력 단자(48)와 인접하는 회로 기판의 LSI에 접속하기 위한 입력 버스 배선이 형성됨과 함께 입력 단자(48)가 바이어홀(49)에 의해 입력 배선(47)과 서로 접속되어 있다. 회로 기판(44)은 써멀 프린터 헤드(37)의 기판(39) 위에 형성된 열 프린터 헤드 단자(50)와 출력 단자(46)를 위치 일치시킨 ACF(51)를 사용해서 열압착에 의해 전기적이고 또한 기계적으로 접속되어 있다.

<103>

제 24 도의 실시예에서는 회로 기판(52)이 제 12 도의 회로 기판(35)과 같은 구성을 하고 또 제 14 도의 경우와 같이 열 프린터 헤드(37)의 기판에 접속되어 있다. 또, 제 25 도의 실시예에서는 회로 기판(53)이 제 15 도의 회로 기판(35)과 같은 구성을 하고 또한 제 16 도의 경우와 같이 열 프린터 헤드(37)의 기판(39)에 접속되어 있다.

<104>

이와 같이 본 발명의 반도체 소자의 실장 구조에 의하면, 전자 표시 장치뿐만 아니고 전자 인자 장치, 그 밖의 여러 가지의 전자 장치에 사용된 경우에도, 실장 면적을 매우 적게 하고 또한 장치 전체를 박형화할 수가 있고, 다운 사이징화의 요청에 대응하여 말하자면 디스에리어가 적은 콤팩트한 전자 장치를 실현할 수가 있다.

(57) 청구의 범위

청구항 1

전자 장치에 반도체 소자를 실장하기 위한 구조에 있어서,

각각 상기 반도체 소자를 탑재한 복수의 회로기판을 구비하고,

상기 각 회로 기판이 상기 반도체 소자에 접속된 2 조의 입력 배선 및 1 조의 출력 배선과, 상기 각 조의 입력 배선에 각각 접속된 2 조의 입력 단자와, 상기 출력 배선에 접속된 1 조의 출력 단자와, 상기 각 조 간의 상기 입력 단자를 서로 접속하는 입력 버스 배선을 갖추고,

상기 출력 배선, 상기 출력 단자 및 상기 입력 배선이 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 상기 입력 단자 및 상기 입력 버스 배선이 상기 회로 기판의 상기 반도체 소자 실장면과 반대쪽 면에 형성되고, 또한 상기 각 입력 단자와 대응하는 상기 각 입력 배선이 각각 바이어홀에 의해 접속되고,

상기 각 회로 기판이 그것의 상기 출력 단자를 상기 전자 장치의 대응하는 단자에 접속하므로써 상기 전자 장치에 실장됨과 함께,

상기 각 회로 기판이 상기 각 조의 입력 단자를 서로 인접하는 다른 상기 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속하므로써 상기 인접하는 다른 회로 기판과 연결되는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 2

제 1 항에 있어서,

상기 각 회로 기판의 입력 단자와 상기 인접하는 회로 기판의 입력 단자 사이가 와이어 본딩에 의해 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 3

제 1 항에 있어서,

상기 각 회로 기판의 입력 단자와 상기 인접하는 회로 기판의 입력 단자와의 사이가 FPC에 의해 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 4

제 1 항 내지 3 항 중 어느 한 항에 있어서,

상기 회로 기판의 상기 출력 단자가 이방성 도전막을 거쳐서 상기 전자 장치의 상기 단자에 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 5

전자 장치에 반도체 소자를 실장하기 위한 구조에 있어서,

각각 상기 반도체 소자를 탑재한 복수의 회로 기판을 구비하고,

상기 각 회로 기판이 상기 반도체 소자에 접속된 2 조의 입력 배선 및 1 조의 출력 배선과 상기 각 조의 입력 배선에 각각 접속된 2 조의 입력 단자와, 상기 출력 배선에 접속된 1 조의 출력 단자와, 상기 각 조간의 상기 입력 단자를 서로 접속하는 입력 버스 배선을 갖추고,

상기 입력 배선, 상기 입력 단자 및 상기 출력 배선이 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 상기 출력 단자가 상기 회로 기판의 상기 반도체 소자 실장면과 반대쪽 면에 형성되고 또한 상기 각 출력 단자와 대응하는 상기 각 출력 배선이 각각 바이어홀에 의해 접속됨과 함께, 상기 입력 버스 배선이 상기 반도체 소자를 거쳐서 서로 접속되는 상기 2 조의 입력 배선에 의해 형성되고,

상기 각 회로 기판이 그것의 상기 출력 단자를 상기 전자 장치의 대응하는 단자에 접속함으로써 상기 전자 장치에 실장되고,

상기 각 회로 기판이 상기 각 조의 입력 단자를 서로 인접하는 별도의 상기 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속함으로써, 상기 인접하는 별도의 회로 기판과 연결되는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 6

제 5 항에 있어서,

상기 각 회로 기판의 입력 단자와 상기 인접하는 회로 기판의 입력 단자와의 사이가 와이어 본딩에 의해 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장구조.

청구항 7

제 5 항에 있어서,

상기 각 회로 기판의 입력 단자와 상기 인접하는 회로 기판의 입력 단자와의 사이가 FPC에 의해 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 8

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 회로기판의 상기 출력 단자가, 이방성 도전막을 거쳐서 상기 전자 장치의 상기 단자에 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 9

전자 장치에 반도체 소자를 실장하기 위한 구조에 있어서,

각각 상기 반도체 소자를 탑재한 복수의 회로 기판을 구비하고,

상기 각 회로기판이, 상기 반도체 소자에 접속된 2 조의 입력 배선 및 1 조의 출력 배선과, 상기 각 조의 입력 배선에 각각 접속된 2 조의 입력 단자와, 상기 출력 배선에 접속된 1 조의 출력 단자와, 상기 각 조간의 상기 입력 단자를 서로 접속하는 입력 버스 배선을 갖추고,

상기 입력 배선, 상기 입력 단자, 상기 출력 배선 및 상기 출력 단자가 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 또한 상기 입력 버스 배선이, 상기 반도체 소자를 거쳐서 서로 접속되는 상기 2 조의 입력 배선에 의해 형성되고,

상기 각 회로 기판이, 그것의 상기 출력 단자를 상기 전자 장치의 대응하는 단자에 접속함으로써 상기 전자 장치에 실장되고,

상기 각 회로 기판이, 상기 각 조의 입력 단자를 서로 인접하는 다른 상기 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속함으로써, 상기 인접하는 별도의 회로 기판과 연결되는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 10

제 9 항에 있어서,

상기 회로기판이 상기 출력 단자를 상기 반도체 소자 실장면과 반대의 면에 노출시키고, 노출한

상기 출력 단자와 상기 전자 장치의 상기 단자를 접속하므로서, 상기 회로 기판이 상기 전자 장치에 실장되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 11

제 9 항 또는 10 항에 있어서,

상기 회로 기판이, 적어도 1 조의 상기 입력 단자를 상기 반도체 소자 실장면과 반대의 면에 노출시키고, 상기 반대면에 노출한 상기 입력 단자와 인접하는 별도의 상기 회로 기판의 입력 단자를 겹치므로서, 상기 인접하는 회로 기판과 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 12

제 9 항 또는 10 항에 있어서,

상기 회로 기판이, 상기 반도체 소자를 실장한 영역의 상기 입력 배선 및 출력 배선을 상기 반도체 소자 실장면과 반대면에 노출시키는 창을 갖춘 것들 특징으로 하는 반도체 소자의 실장 구조.

청구항 13

제 9 항에 있어서,

상기 각 회로 기판의 입력 단자와 상기 인접하는 회로 기판의 입력 단자와의 사이가 와이어 본딩에 의해 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장구조.

청구항 14

제 9 항에 있어서,

상기 각 회로 기판의 입력 단자와 상기 인접하는 회로 기판의 입력 단자와의 사이가 FPC에 의해 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 15

제 9 항, 10 항, 13 항 또는 14 항 중 어느 한 항에 있어서,

상기 회로 기판의 상기 출력 단자가, 이방성 도전막을 거쳐서 상기 전자 장치의 상기 단자에 접속되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 16

전자 장치에 반도체 소자를 실장하기 위한 구조에 있어서,

복수의 상기 반도체 소자를 탑재한 적어도 1 개의 회로 기판을 구비하고,

상기 회로 기판이, 상기 각 반도체 소자에 대해서, 각각 1 조의 출력 배선과, 상기 출력 배선에 접속된 1 조의 출력 단자와, 적어도 1 조의 입력 배선을 갖추고, 또 1 조의 상기 입력 배선에 접속된 적어도 1 조의 입력 단자와, 상기 입력 단자에 접속된 입력 버스 배선을 갖추고,

상기 출력 배선, 상기 출력 단자 및 상기 입력 배선이, 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 상기 입력 단자 및 상기 입력 버스 배선이, 상기 회로 기판의 상기 반도체 소자 실장면과 반대쪽의 면에 형성되고, 또한 상기 각 반도체 소자의 상기 입력 배선이, 상기 입력 단자 또는 상기 입력 버스 배선과 바이어홀을 거쳐서 접속됨과 함께,

상기 회로 기판이, 상기 출력 단자를 상기 전자 장치의 대응하는 단자에 접속하므로서 상기 전자 장치에 실장되는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 17

제 16 항에 있어서,

복수의 상기 회로 기판을 구비하고, 또한 상기 각 회로 기판이, 상기 각 조의 입력 단자를 서로 인접하는 다른 상기 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속하므로서, 상기 인접하는 별도의 회로 기판과 연결되는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 18

전자 장치에 반도체 소자를 실장하기 위한 구조에 있어서,

복수의 상기 반도체 소자를 탑재한 적어도 1 개의 회로 기판을 구비하고,

상기 회로 기판이 상기 각 반도체 소자에 대해서 각각 1 조의 출력 배선과, 상기 출력 배선에 접속된 1 조의 출력 단자와, 적어도 1 조의 입력 배선을 갖추고, 또한 1 조의 상기 입력 배선에 접속된 적어도 1 조의 입력 단자와 상기 입력 단자에 접속된 입력 버스 배선을 갖추고,

상기 입력 배선, 상기 입력 단자 및 상기 출력 배선이, 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 상기 출력 단자가 상기 회로 기판의 반도체 소자 실장면과 반대쪽 면에 형성되고, 또한 상기 각 출력 단자와 대응하는 상기 각 출력 배선이 바이어 홀에 의해 접속됨과 함께, 상기 입력 버스 배선이 상기 입력 단자에 접속된 상기 입력 배선과 상기 반도체 소자를 거쳐서 서로 접속되는 상기 각 입력 배선에 의해 형성되고,

상기 회로 기판이, 상기 출력 단자를 상기 전자 장치의 대응하는 단자에 접속하므로서 상기 전자

장치에 실장되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 19

제 18 항에 있어서,

복수의 상기 회로 기판을 구비하고, 또한 상기 각 회로 기판이, 상기 각 조의 입력 단자를 서로 인접하는 별도의 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속하므로서, 상기 인접하는 별도의 회로 기판과 연결되는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 20

전자 장치에 반도체 소자를 실장하기 위한 구조에 있어서,

복수의 상기 반도체 소자를 탑재한 적어도 1 개의 회로 기판들 구비하고,

상기 회로 기판이, 상기 각 반도체 소자에 대해서, 각각 1 조의 출력 배선과, 상기 출력 배선에 접속된 1 조의 출력 단자와, 적어도 1 조의 입력 배선을 갖추고, 또한 1 조의 상기 입력 배선에 접속된 적어도 1 조의 입력 단자와, 상기 입력 단자에 접속된 입력 버스 배선을 갖추고,

상기 입력 배선, 상기 입력 단자, 상기 출력 배선 및 상기 출력 단자가 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 또한 상기 입력 버스 배선이, 상기 입력 단자에 접속된 상기 입력 배선과 상기 반도체 소자를 거쳐서 서로 접속되는 상기 각 입력 배선에 의해 형성이 됨과 함께,

상기 회로 기판이, 상기 출력 단자를 상기 전자 장치의 대응하는 단자에 접속하므로서 상기 전자 장치에 실장되어 있는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 21

제 20 항에 있어서,

복수의 상기 회로 기판을 구비하고, 또한 상기 각 회로 기판이, 상기 각 조의 입력 단자를 서로 인접하는 별도의 상기 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속하므로서, 상기 인접하는 다른 회로 기판과 연결되는 것을 특징으로 하는 반도체 소자의 실장 구조.

청구항 22

전자 장치에 반도체 소자를 실장하기 위한 방법에 있어서,

한쪽 면에 상기 반도체 소자를 실장하고, 상기 한쪽면에 상기 반도체 소자의 입력 배선 및 출력 배선 및, 입력 단자 또는 출력 단자의 한쪽을 갖추고, 다른쪽 면에 상기 입력 단자 또는 출력 단자의 다른쪽을 갖추고, 상기 입력 단자 또는 출력 단자의 다른쪽과 상기 한쪽면의 대응하는 상기 입력 배선 또는 출력 배선을 바이어홀을 거쳐서 접속하고, 또한 상기 입력 단자와 같은면 위에 입력 버스 배선을 갖춘 회로 기판을 준비하고,

상기 출력 단자를 상기 전자 장치의 대응하는 단자에 접속하므로서, 상기 회로 기판을 상기 전자 장치에 실장하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 23

제 22 항에 있어서,

상기 회로 기판의 상기 출력 단자와 상기 전자 장치의 상기 단자와의 사이에 이방성 도전막을 배치하고, 열압착하므로서 상기 회로 기판을 상기 전자 장치에 실장하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 24

제 22 항 또는 23 항에 있어서,

서로 인접시켜서 상기 전자 장치에 실장된 복수의 상기 회로 기판을, 그것의 인접하는 상기 입력 단자간을 접속하므로서 서로 접속하는 과정을 포함하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 25

제 24 항에 있어서,

서로 인접하는 상기 회로 기판의 인접하는 상기 입력 단자간을 와이어 본딩하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 26

제 24 항에 있어서,

서로 인접하는 상기 회로 기판의 인접하는 상기 입력 단자간을 FPC에 의해 서로 접속하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 27

전자 장치에 반도체 소자를 실장하기 위한 방법에 있어서,

한쪽면에 상기 반도체 소자를 실장하고, 상기 한쪽면에 상기 반도체 소자의 입력 배선 및 출력 배선, 입력 단자, 출력 단자, 및 입력 버스 배선을 갖춘 회로 기판을 준비하고, 상기 출력 단자를 상기

전자 장치의 대응하는 단자에 접속하므로서, 상기 회로 기판을 상기 전자 장치에 실장하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 28

제 27 항에 있어서,

상기 회로 기판의 상기 출력 단자와 상기 전자 장치의 상기 단자 사이에 이방성 도전막을 배치하고, 열압착하므로서 회로 기판을 상기 전자 장치에 실장하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 29

제 27 항 또는 28 항에 있어서,

서로 인접시켜서 상기 전자 장치에 실장된 복수의 상기 회로 기판을, 그것의 인접하는 상기 입력 단자간을 접속하므로서 서로 접속하는 과정을 포함하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 30

제 29 항에 있어서,

서로 인접하는 상기 회로 기판의 인접하는 상기 입력 단자간을 와이어 본딩하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 31

제 29 항에 있어서,

서로 인접하는 상기 회로 기판의 인접하는 상기 입력 단자간을 FPC에 의해 서로 접속하는 것을 특징으로 하는 반도체 장치의 실장 방법.

청구항 32

복수의 액정 구동용 반도체 소자를 탑재한 액정 표시 장치에 있어서,

각각 상기 반도체 소자를 탑재한 복수의 회로 기판을 구비하고,

상기 각 회로 기판이, 상기 반도체 소자에 접속된 2 조의 입력 배선 및 1 조의 출력 배선과, 상기 각 조의 입력 배선에 각각 접속된 2 조의 입력 단자와, 상기 출력 배선에 접속된 1 조의 출력 단자와, 상기 각 조간의 입력 단자를 서로 접속하는 입력 버스 배선을 갖추고,

상기 출력 배선, 상기 출력 단자 및 상기 입력 배선이, 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 상기 입력 단자 및 상기 입력 버스 배선이, 상기 회로 기판의 상기 반도체 소자 실장면과 반대쪽면에 형성되고, 또한 상기 각 입력 단자와 대응하는 상기 각 입력 배선이 각각 바이어홀에 의해 접속되고,

상기 각 회로 기판이 상기 출력 단자를 상기 액정 표시 장치의 전극 단자에 접속함으로써 실장됨과 함께,

상기 각 회로 기판이 상기 각 조의 입력 단자를 서로 인접하는 별도의 상기 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속하므로서, 상기 인접하는 별도의 회로 기판과 연결되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 33

수의 액정 구동용 반도체 소자를 탑재한 액정 표시 장치에 있어서,

각각 상기 반도체 소자를 탑재한 복수의 회로 기판을 구비하고,

상기 각 회로 기판이, 상기 반도체 소자에 접속된 2 조의 입력 배선 및 1 조의 출력 배선과, 상기 각 조의 입력 배선에 각각 접속된 2 조의 입력 단자와, 상기 출력 배선에 접속된 1 조의 출력 단자와, 상기 각 조간의 상기 입력 단자를 서로 접속하는 입력 버스 배선을 갖추고,

상기 입력 배선, 입력 단자 및 출력 배선이 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 상기 출력 단자가 상기 회로 기판의 상기 반도체 소자 실장면과 반대쪽 면에 형성되고, 또한 상기 각 출력 단자와 대응하는 상기 각 출력 배선이 각각 바이어 홀에 의해 접속됨과 함께, 상기 입력 버스 배선이 상기 반도체 소자를 거쳐서 서로 접속되는 상기 2조의 입력 배선에 의해 형성되고,

상기 각 회로 기판이, 그것의 상기 출력 단자를 상기 액정 표시 장치의 전극 단자에 접속하므로서 실장되고,

상기 각 회로 기판이 상기 각 조의 입력 단자를 서로 인접하는 다른 상기 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속하므로서, 상기 인접하는 다른 회로 기판과 연결되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 34

복수의 액정 구동용 반도체 소자를 탑재한 액정 표시 장치에 있어서,

각각 상기 반도체 소자를 탑재한 복수의 회로 기판을 구비하고,

상기 각 회로 기판이, 상기 반도체 소자에 접속된 2 조의 입력 배선 및 1 조의 출력 배선과, 상기 각 조의 입력 배선에 각각 접속된 2 조의 입력 단자와, 상기 출력 배선에 접속된 1 조의 출력 단자와,

상기 각 조간의 상기 입력 단자를 서로 접속하는 입력 버스 배선을 갖추고,

상기 입력 배선, 상기 입력 단자, 상기 출력 배선 및 상기 출력 단자가 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 또한 상기 입력 버스 배선이 상기 반도체 소자를 거쳐서 서로 접속되는 상기 2 조의 입력 배선에 의해 형성되고,

상기 각 회로 기판이, 그것의 상기 출력 단자를 상기 액정 표시 장치의 전극 단자에 접속함으로써 실장되고,

상기 각 회로 기판이 상기 각 조의 입력 단자를 서로 인접하는 다른 상기 회로 기판의 1 조의 상기 입력 단자에 전기적으로 접속함으로써, 상기 인접하는 다른 회로 기판과 연결되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 35

복수의 액정 구동용 반도체 소자를 탑재한 액정 표시 장치에 있어서,

복수의 상기 반도체 소자를 탑재한 적어도 1 개의 회로 기판을 구비하고,

상기 회로 기판이, 상기 각 반도체 소자에 대해서 각각 1 조의 출력 배선과, 상기 출력 배선에 접속된 1 조의 출력 단자와 적어도 1 조의 입력 배선을 갖추고, 또한 1 조의 상기 입력 배선에 접속된 적어도 1 조의 입력 단자와, 상기 입력 단자에 접속된 입력 버스 배선을 갖추고,

상기 출력 배선, 상기 출력 단자 및 상기 입력 배선이, 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 상기 입력 단자 및 상기 입력 버스 배선이 상기 회로 기판의 상기 반도체 소자 실장면과 반대쪽면에 형성되고, 또한 상기 각 반도체 소자의 상기 입력 배선이 상기 입력 단자 또는 상기 입력 버스 배선과 바이어스를 거쳐서 접속됨과 함께,

상기 회로 기판이 상기 출력 단자를 상기 액정 표시 장치의 전극 단자에 접속함으로써 실장되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 36

복수의 액정 구동용 반도체 소자를 탑재한 액정 표시 장치에 있어서,

복수의 반도체 소자를 탑재한 적어도 1 개의 회로 기판을 구비하고,

상기 회로 기판이 상기 각 반도체 소자에 대해서 각각 1 조의 출력 배선과,

상기 출력 배선에 접속된 1 조의 출력 단자와, 적어도 1 조의 입력 배선을 갖추고, 또한 1 조의 상기 입력 배선에 접속된 적어도 1 조의 입력 단자와, 상기 입력 단자에 접속된 입력 버스 배선을 갖추고,

상기 입력 배선, 상기 입력 단자 및 상기 출력 배선이 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 상기 출력 단자가 상기 회로 기판의 상기 반도체 소자 실장면과 반대쪽 면에 형성되고, 또한 상기 각 출력 단자와 대응하는 상기 각 출력 배선이 바이어스에 의해 접속됨과 함께, 상기 입력 버스 배선이, 상기 입력 단자에 접속된 상기 입력 배선과 상기 반도체 소자를 거쳐서 서로 접속되는 상기 각 입력 배선에 의해 형성되고,

상기 회로 기판이, 상기 출력 단자를 상기 액정 표시 장치의 전극 단자에 접속함으로써 실장되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 37

복수의 액정 구동용 반도체 소자를 탑재한 액정 표시 장치에 있어서,

복수의 상기 반도체 소자를 탑재한 적어도 1 개의 회로 기판을 구비하고,

상기 회로 기판이, 상기 각 반도체 소자에 대해서 각각 1 조의 출력 배선과, 상기 출력 배선에 접속된 1 조의 출력 단자와, 적어도 1 조의 입력 배선을 갖추고, 또한 1 조의 상기 입력 배선에 접속된 적어도 1 조의 입력 단자와, 상기 입력 단자에 접속된 입력 버스 배선을 갖추고,

상기 입력 배선, 상기 입력 단자, 상기 출력 배선 및 상기 출력 단자가, 상기 회로 기판의 상기 반도체 소자를 실장한 면에 형성되고, 또한 상기 입력 버스 배선이, 상기 입력 단자에 접속된 상기 입력 배선과 상기 반도체 소자를 거쳐서 서로 접속되는 상기 각 입력 배선에 의해 형성됨과 함께,

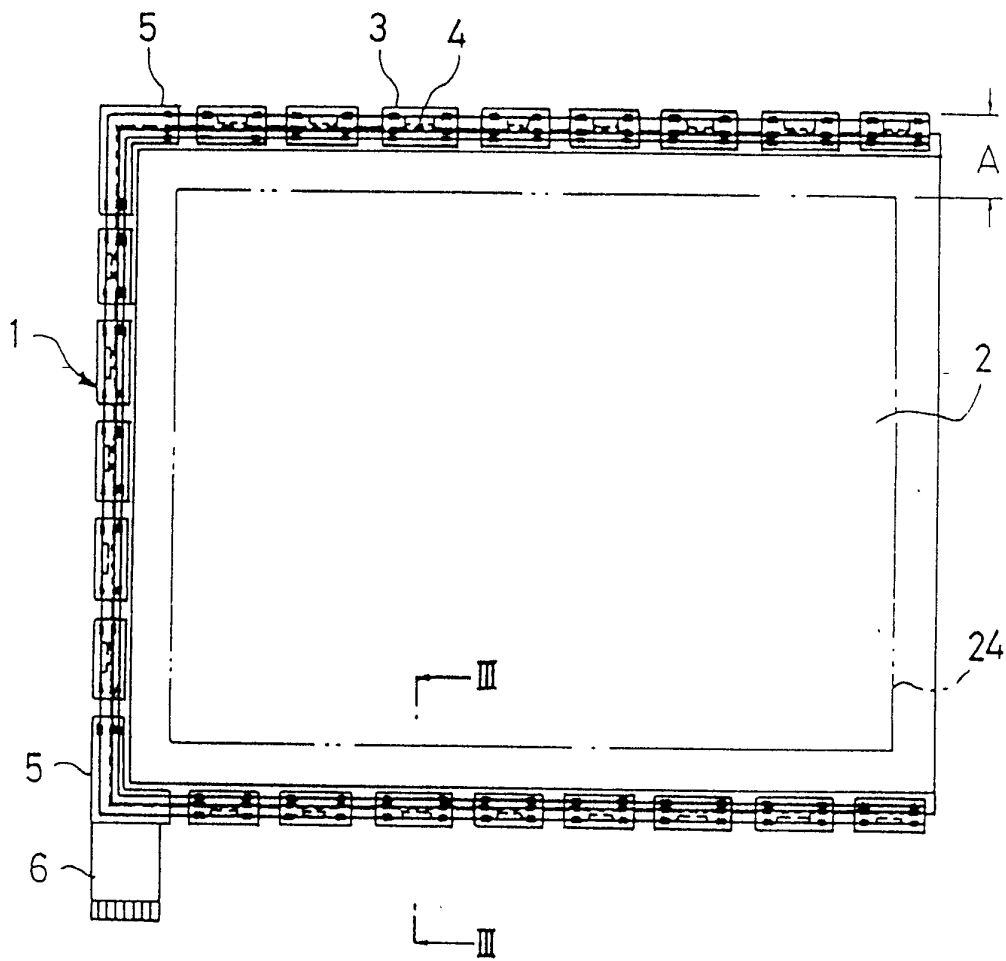
상기 회로 기판이, 상기 출력 단자를 상기 액정 표시 장치의 전극 단자에 접속함으로써 실장되어 있는 것을 특징으로 하는 액정 표시 장치.

요약

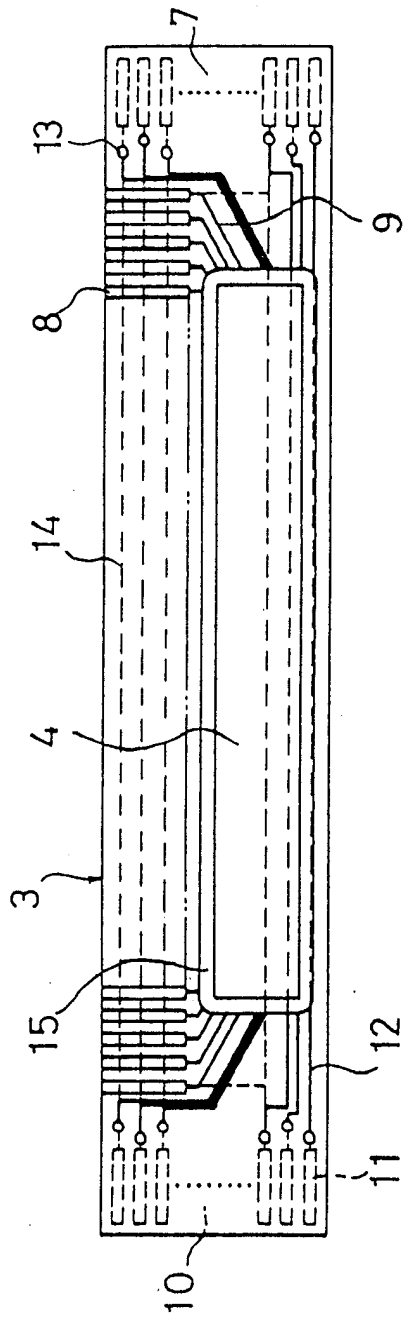
회로 기판(3)의 한쪽면에 반도체 소자(4)가 실장되고, 또한 그 동일면상에, 반도체 소자의 입력 배선(12) 및 출력 배선(9)과, 입력 단자(11) 또는 출력 단자 (8)중 적어도 어느 한쪽이 형성된다. 입력 단자 또는 출력 단자중 한쪽만이 반도체 소자의 실장면에 형성되는 경우, 그 다른쪽 단자는 회로 기판의 다른쪽 면에 형성되고, 또한 대응하는 입력 배선 또는 출력 배선과 바이어스를 통해 중간 접속된다. 동일 회로 기판상의 인접하는 반도체 소자간 또는 인접하는 다른 회로 기판의 반도체 소자간을 연결하기 위해, 입력 단자에 접속된 입력 버스 배선 (14)이 설치된다. 회로 기판은 출력 단자를 LCD 셀(2)의 대응하는 LCD 단자(17)에 이방성 도전막(18)을 통해 접속함으로써, 반도체 소자가 액정 표시 장치에 실장된다. 인접하는 회로 기판끼리는 그 인접하는 입력 단자간을 와이어(21) 또는 FPC(22) 등으로 접속함으로써 상호 접속된다.

도면

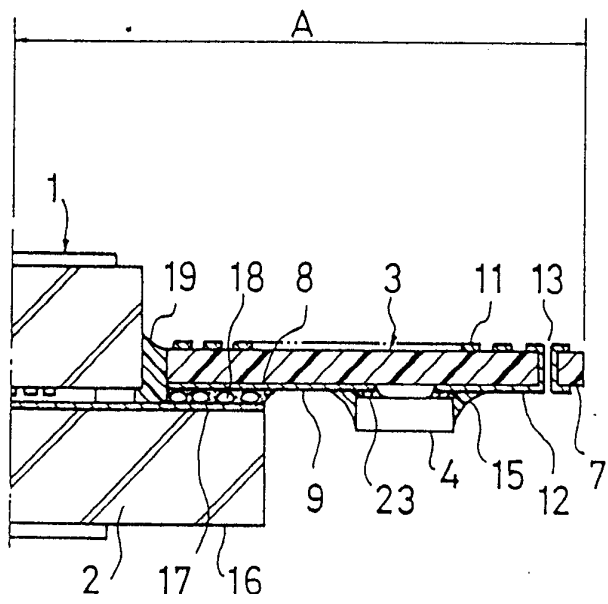
도면1



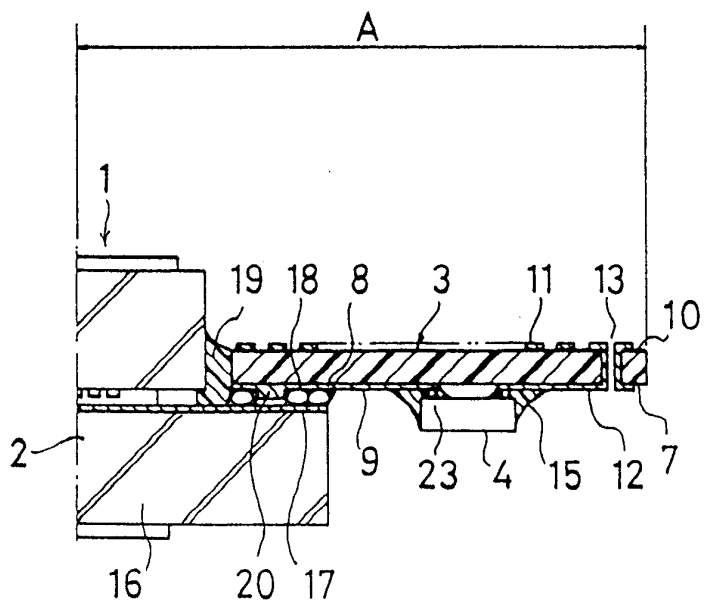
도면2



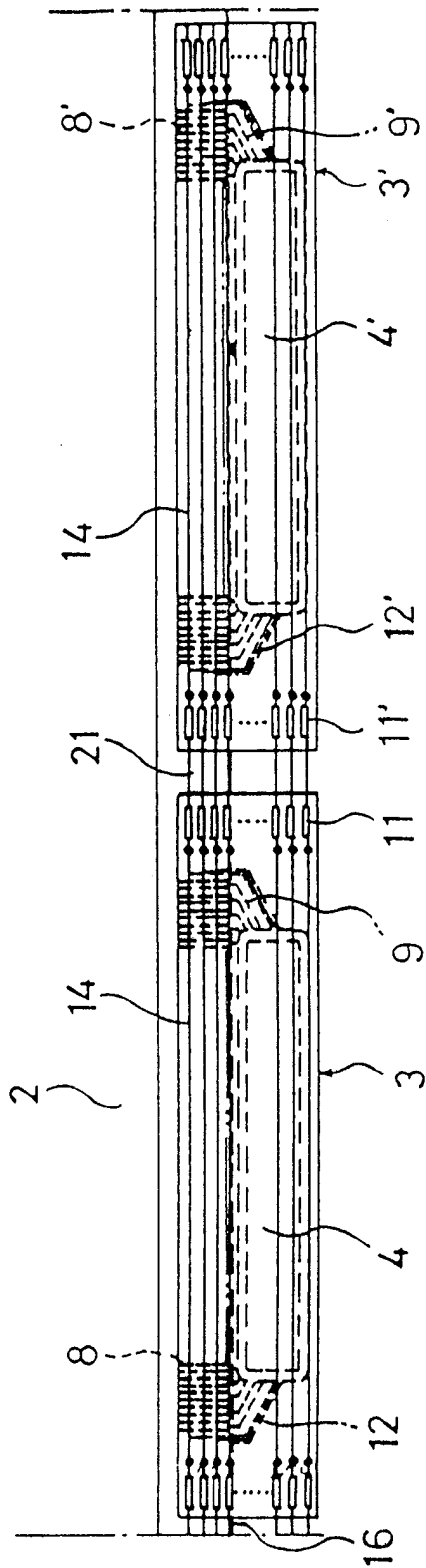
도면3



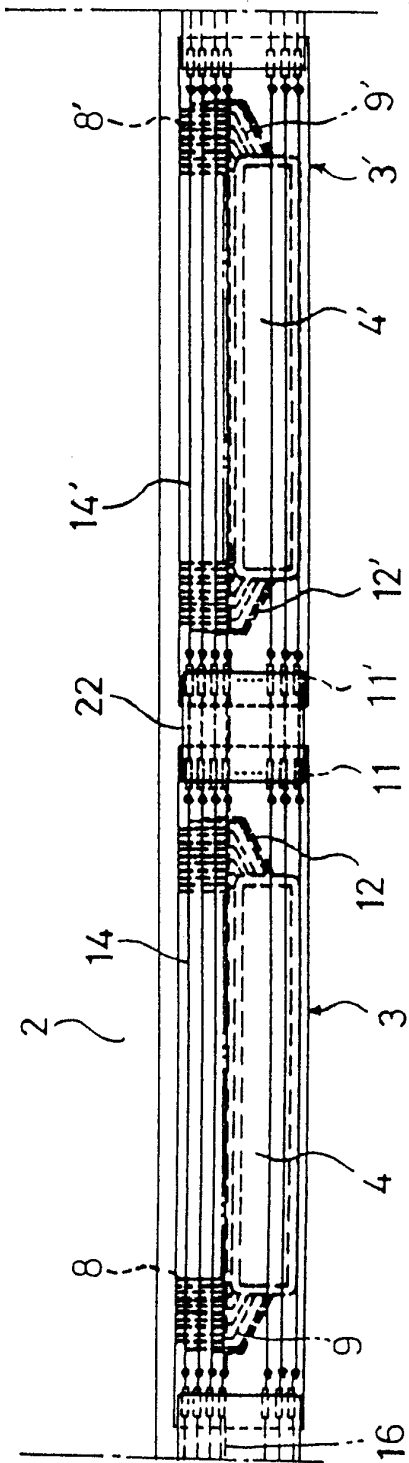
도면4



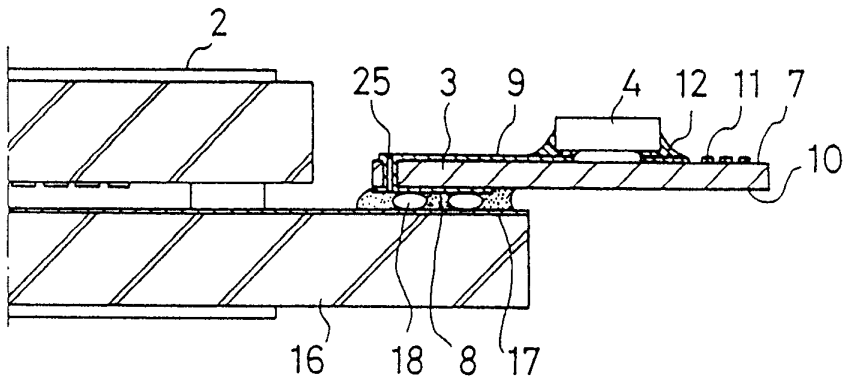
도면5



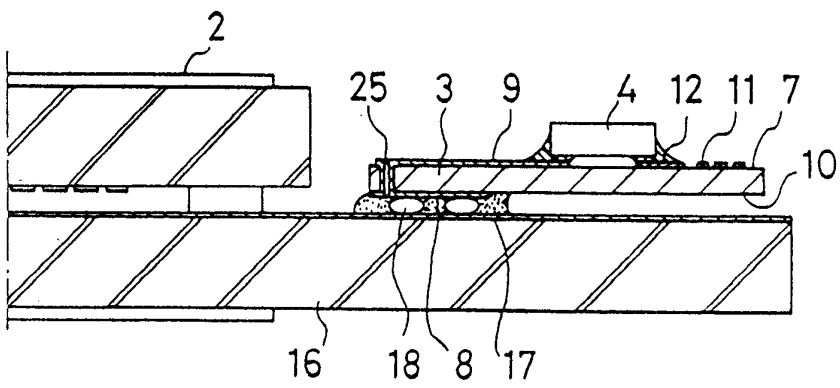
도면6



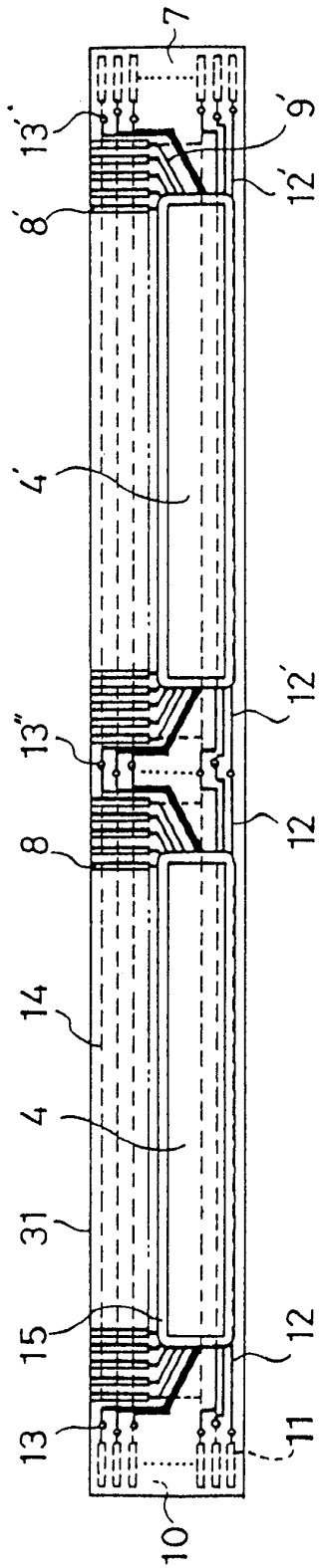
도면7



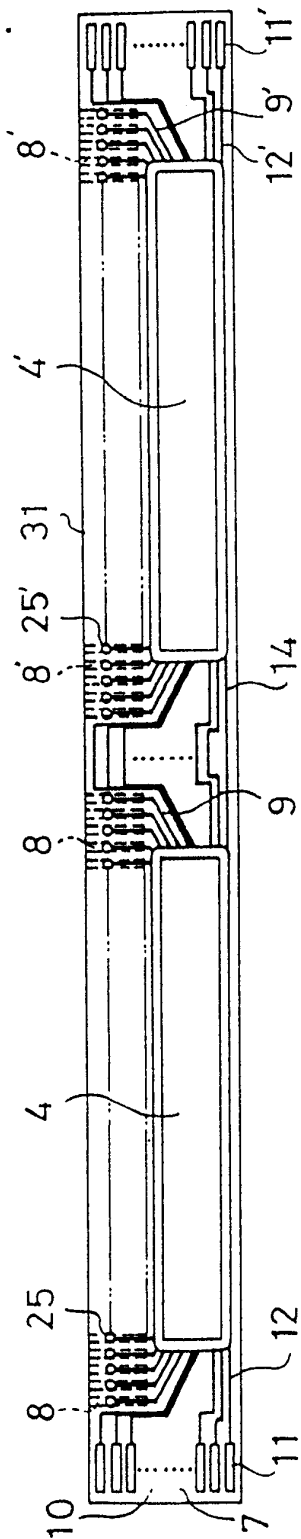
도면8



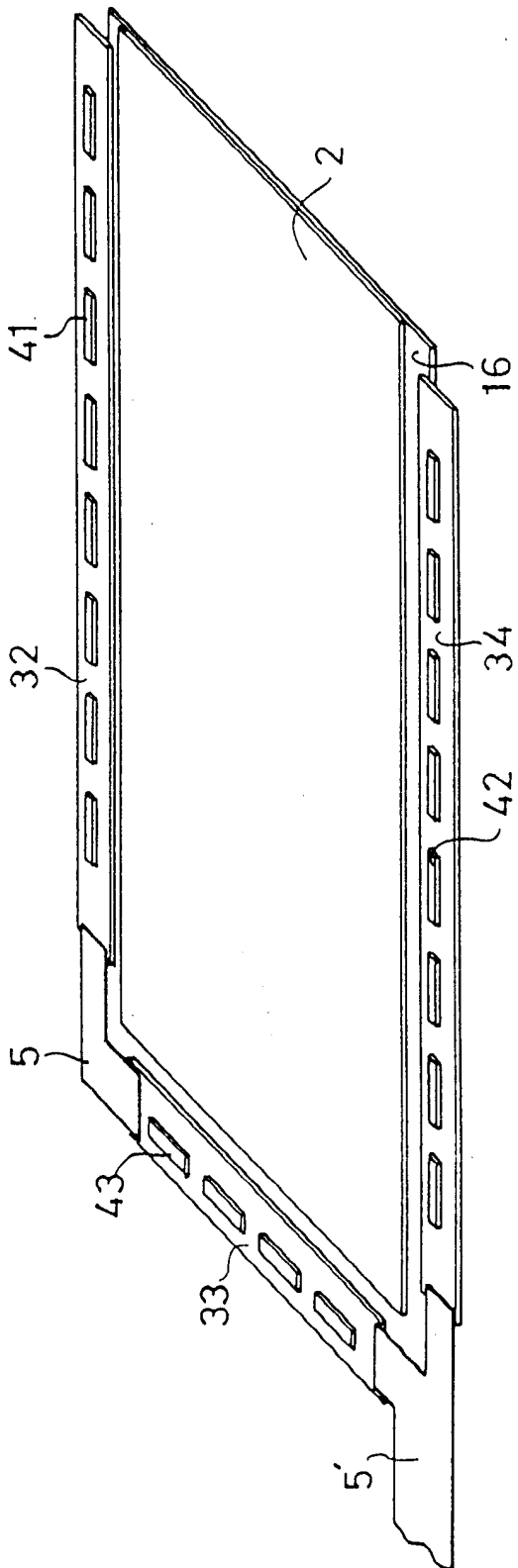
도면9



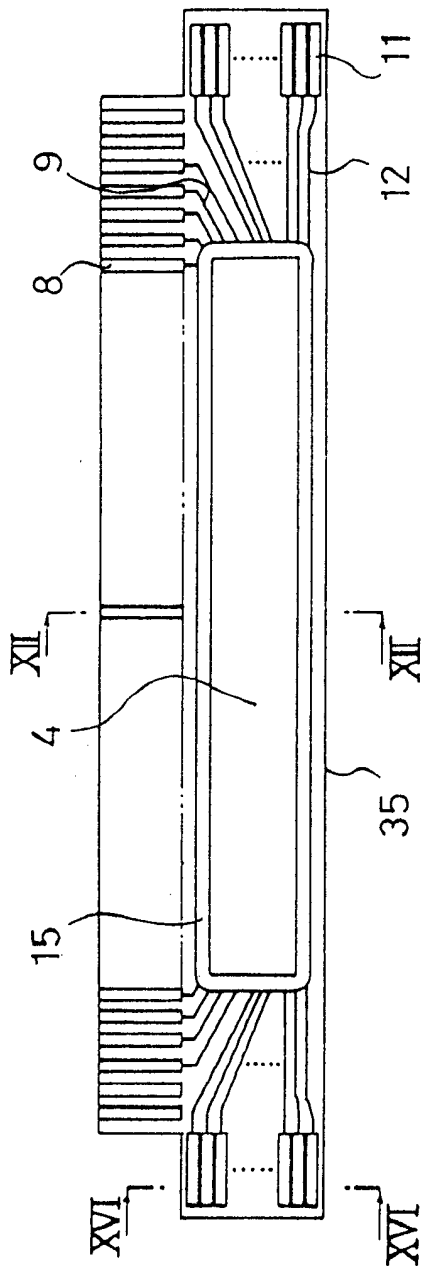
도면10



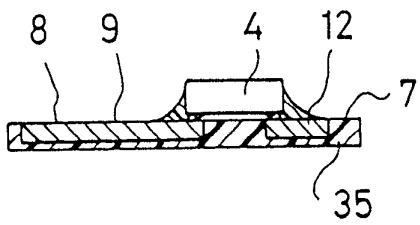
도면11



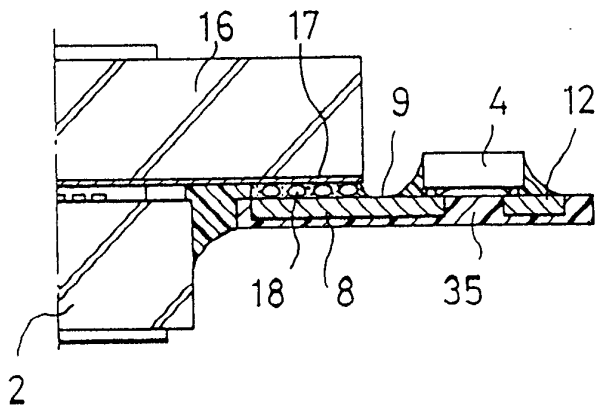
도면12



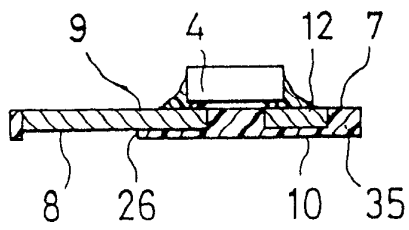
도면13



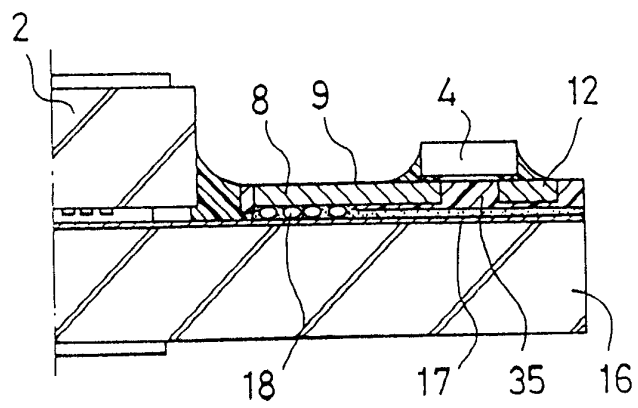
도면14



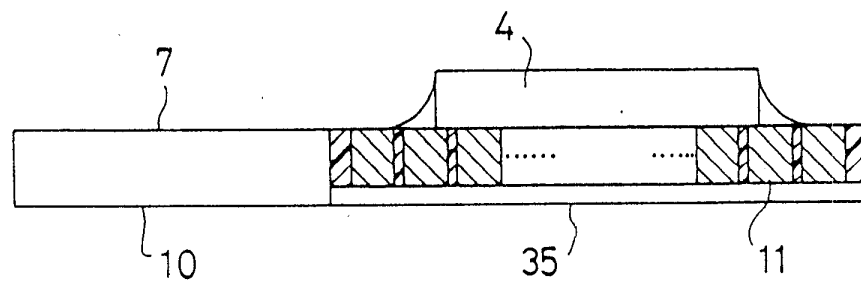
도면15



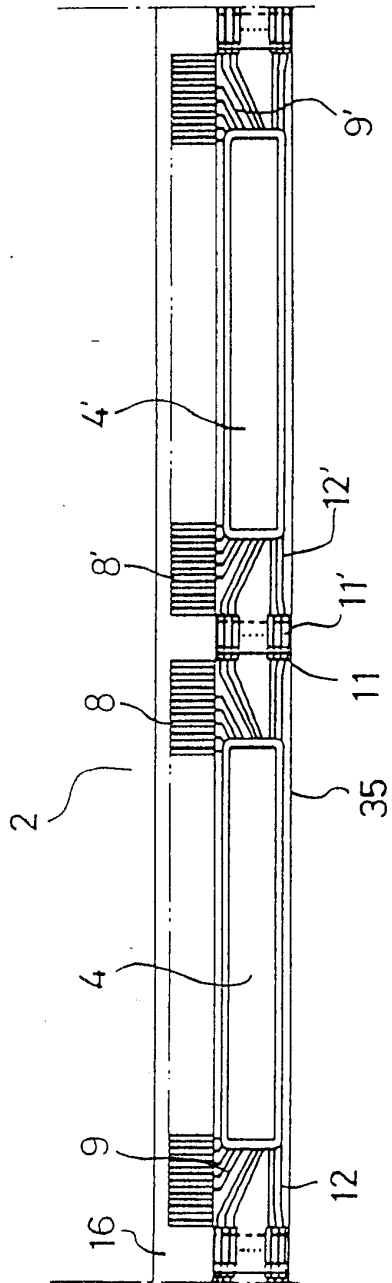
도면16



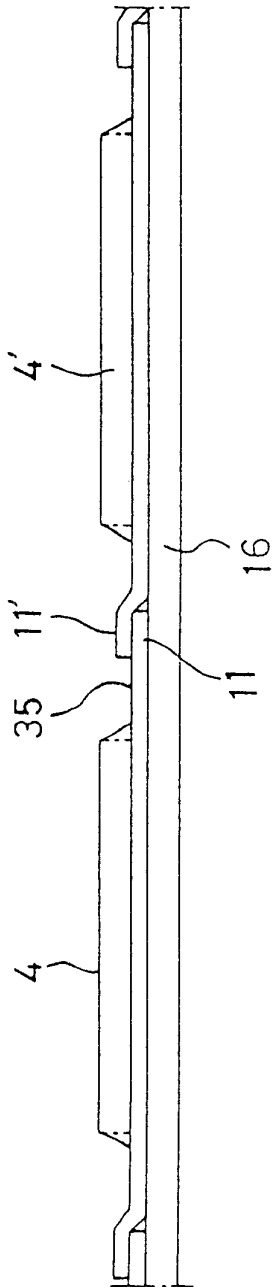
도면17



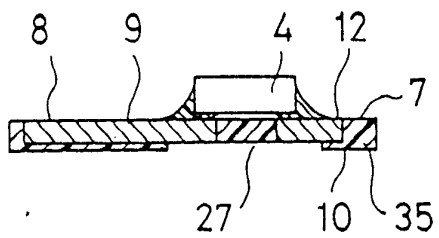
도면 18a



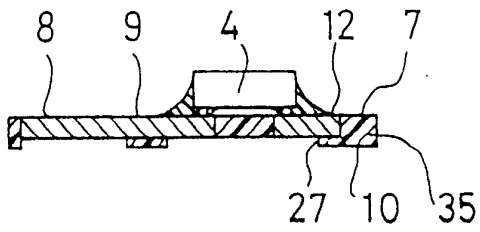
도면 18b



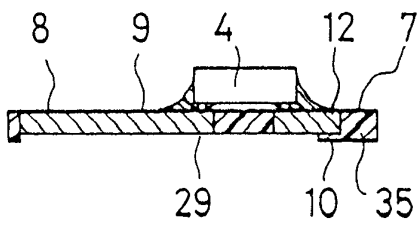
도면 19a



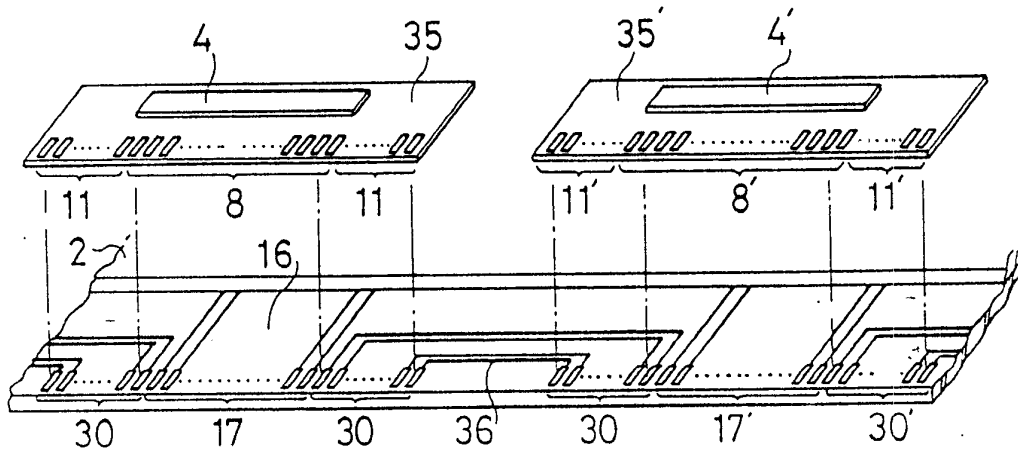
도면 19b



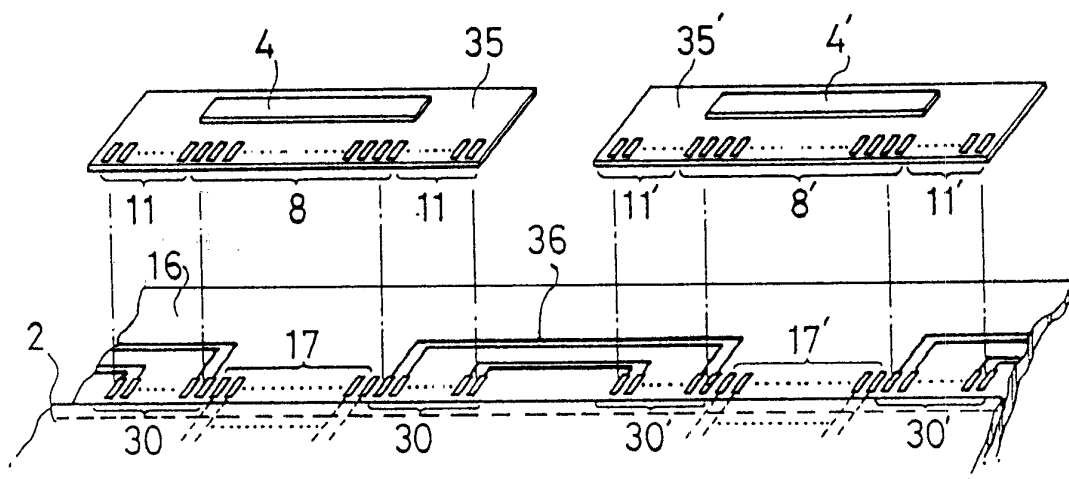
도면 19c



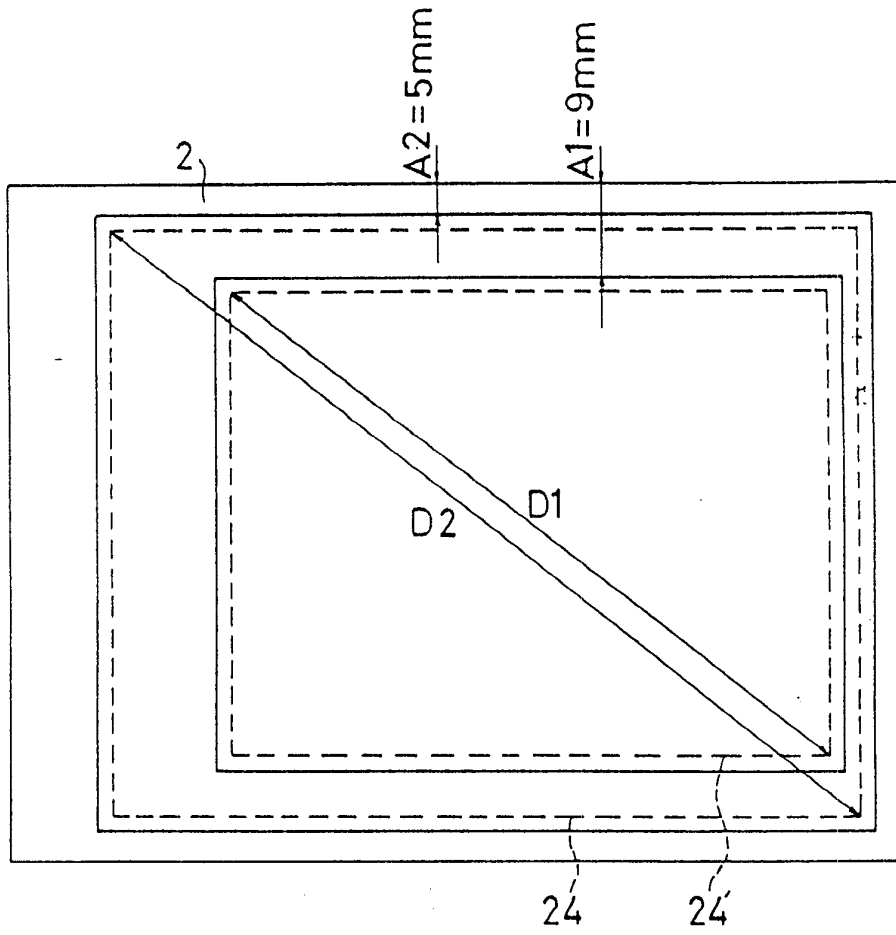
도면 20



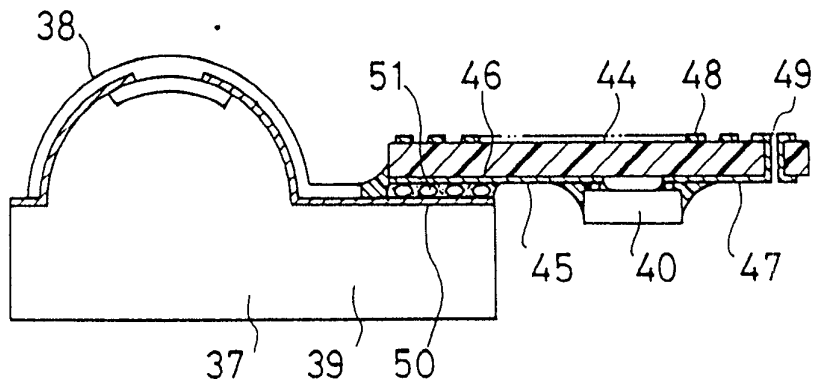
도면 21



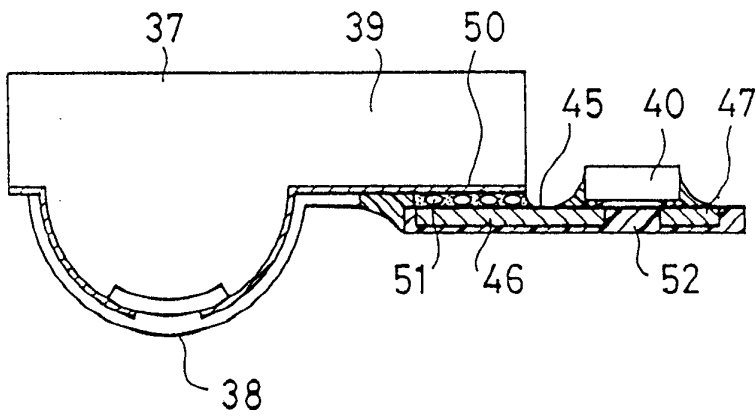
도면22



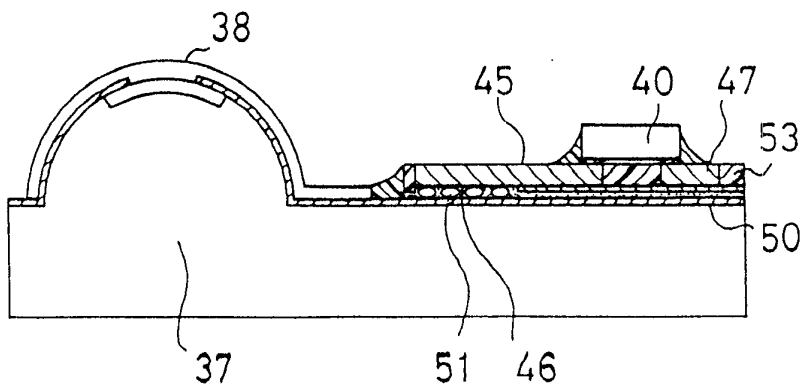
도면23



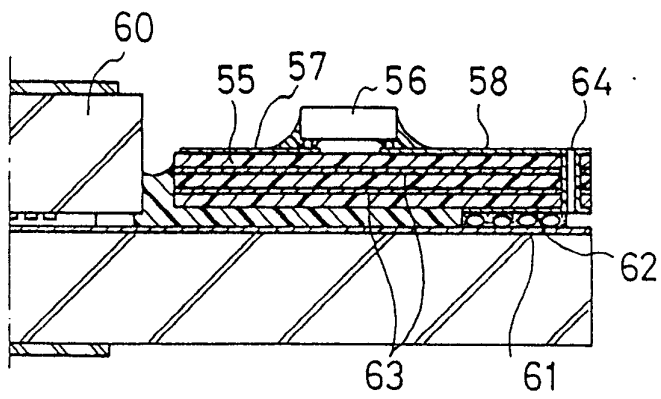
도면24



도면25



도면26



도면27

