

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月18日(18.07.2024)



(10) 国際公開番号

WO 2024/150098 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/088 (2006.01)
G02F 1/1368 (2006.01) H10K 50/10 (2023.01)
G09F 9/00 (2006.01) H10K 50/84 (2023.01)
G09F 9/30 (2006.01) H10K 59/12 (2023.01)
H01L 21/336 (2006.01) H10K 59/124 (2023.01)
H01L 21/8234 (2006.01) H10K 59/131 (2023.01)
H01L 27/06 (2006.01) H10K 71/60 (2023.01)

(21) 国際出願番号: PCT/IB2024/050136

(22) 国際出願日: 2024年1月8日(08.01.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-003822 2023年1月13日(13.01.2023) JP
特願 2023-013711 2023年2月1日(01.02.2023) JP

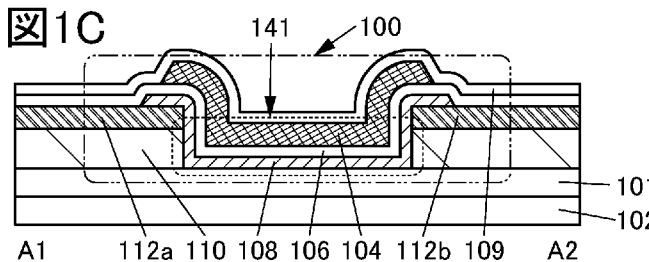
(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 木村肇(KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 澤井寛美(SAWAI, Hiromi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 倉田求(KURATA, Motomu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 宮田翔希(MIYATA, Shoki); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 和久田真弘(WAKUDA, Masahiro); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 村川

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置、及びその作製方法



(57) Abstract: Provided is a semiconductor device having a small footprint. The semiconductor device is provided with a first transistor so as to have a region located inside a first opening of a spacer. A source electrode and a drain electrode are provided so as to face each other across the first opening in a plan view. A semiconductor layer is provided along the lateral surface and the bottom surface of the first opening. A gate insulation layer and a gate electrode are provided in this order on the semiconductor layer so that each has a region located inside the first opening. In addition, it is possible to provide a second transistor that shares a portion of steps with the first transistor. The second transistor is provided so as to have a region located inside a second opening of the spacer. One of a source electrode and a drain electrode of the second transistor is provided below the second opening, and the other of the source electrode and the drain electrode of the second transistor is provided above the spacer.



努(MURAKAWA, Tsutomu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約: 占有面積の小さい半導体装置を提供する。スペーサの第1の開口部の内部に位置する領域を有するように第1のトランジスタが設けられる半導体装置。平面視において第1の開口部を挟んで対向するように、ソース電極及びドレイン電極が設けられる。第1の開口部の側面及び底面に沿って、半導体層が設けられる。半導体層上には、第1の開口部の内部に位置する領域を有するように、ゲート絶縁層、及びゲート電極がこの順で設けられる。また、第1のトランジスタと一部の工程を共通にした、第2のトランジスタを設けることができる。第2のトランジスタは、スペーサの第2の開口部の内部に位置する領域を有するように設けられる。第2の開口部の下に、第2のトランジスタのソース電極及びドレイン電極の一方が設けられ、スペーサ上に、第2のトランジスタのソース電極及びドレイン電極の他方が設けられる。

明細書

発明の名称

半導体装置、及びその作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、及びその作製方法に関する。本発明の一態様は、トランジスタ、及びその作製方法に関する。本発明の一態様は、半導体装置を有する表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野として、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、又はそれらの作製方法を一例として挙げることができる。

[0003]

本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

トランジスタを有する半導体装置は、電子機器に広く適用されている。また、近年、表示装置の用途が多様化しており、例えば、携帯情報端末、テレビジョン装置（テレビジョン受信機ともいう）、デジタルサイネージ（Digital Signage：電子看板）、及びPID（Public Information Display）等に表示装置が用いられている。表示装置として、例えば、有機EL（Electro Luminescence）素子、又は発光ダイオード（LED：Light Emitting Diode）を有する表示装置、液晶素子を有する表示装置、電気泳動方式により表示を行う電子ペーパーが挙げられる。

[0005]

表示装置において、トランジスタの占有面積を小さくすることで、画素サイズを縮小でき、精細度を高めることができる。また、トランジスタの占有面積を小さくすることで、開口率を高めることができる。そのため、微細なトランジスタが求められている。

[0006]

高精細な表示装置が要求される機器として、例えば、仮想現実（VR：Virtual Reality）、拡張現実（AR：Augmented Reality）、代替現実（SR：Substitutional Reality）、及び複合現実（MR：Mixed Reality）向けの機器が、盛んに開発されている。

[0007]

特許文献1には、有機EL素子を用いた、高精細な表示装置が開示されている。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 国際公開第2016/038508号

発明の概要

発明が解決しようとする課題

[0009]

トランジスタが微細化され、チャネル長が短くなると、トランジスタの飽和性が低くなる。例えば、表示装置が有する画素の発光素子（発光デバイスともいう）に流れる電流を制御する駆動トランジスタが微細化されてチャネル長が短くなることにより飽和性が低くなると、発光素子に流れる電流が不安定となり、発光素子の発光輝度が不安定になる場合がある。例えば、発光素子に流れる電流に経時的なばらつきが発生し、静止画を表示している場合であっても発光素子の発光輝度に経時的なばらつきが発生する場合がある。

[0010]

本発明の一態様は、微細なサイズのトランジスタを提供することを課題の1つとする。又は、チャネル長が長いトランジスタを提供することを課題の1つとする。又は、チャネル長が長いトランジスタ及びチャネル長が短いトランジスタを提供することを課題の1つとする。又は、飽和性が高いトランジスタを提供することを課題の1つとする。又は、電気特性が良好なトランジスタを提供することを課題の1つとする。又は、小型の半導体装置を提供することを課題の1つとする。又は、配線抵抗が小さい半導体装置を提供することを課題の1つとする。又は、高速に駆動する半導体装置又は表示装置を提供することを課題の1つとする。又は、低価格な半導体装置又は表示装置を提供することを課題の1つとする。又は、消費電力が低い半導体装置又は表示装置を提供することを課題の1つとする。又は、信頼性が高いトランジスタ、半導体装置、又は表示装置を提供することを課題の1つとする。又は、高精細な表示装置を提供することを課題の1つとする。又は、生産性が高い半導体装置の作製方法、又は表示装置の作製方法を提供することを課題の1つとする。又は、作製コストが低い半導体装置の作製方法、又は表示装置の作製方法を提供することを課題の1つとする。又は、新規なトランジスタ、半導体装置、表示装置、又はこれらの作製方法を提供することを課題の1つとする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、第1の絶縁層と、第1の絶縁層上の第2の絶縁層及びトランジスタと、を有し、トランジスタは、第1の導電層と、第2の導電層と、第3の導電層と、半導体層と、第3の絶縁層と、を有し、第2の絶縁層は、第1の絶縁層に達する開口部を有し、第1の導電層、及び第2の導電層は、平面視において開口部を挟んで対向するように、第2の絶縁層上に設けられ、半導体層は、第1の導電層と接する領域、及び第2の導電層と接する領域を有し、且つ開口部の内部に位置する領域を有するように設けられ、第3の絶縁層は、開口部の内部に位置する領域を有するように、半導体層上に設けられ、第3の導電層は、開口部の内部に位置する領域を有するように、第3の絶縁

層上に設けられる半導体装置である。

[0013]

又は、本発明の一態様は、第1の絶縁層と、第1の絶縁層上の第2の絶縁層、第1のトランジスタ、及び第2のトランジスタと、を有し、第1のトランジスタは、第1の導電層と、第2の導電層と、第3の導電層と、第1の半導体層と、第3の絶縁層と、を有し、第2のトランジスタは、第4の導電層と、第5の導電層と、第6の導電層と、第2の半導体層と、第3の絶縁層と、を有し、第4の導電層は、第1の絶縁層上に設けられ、第2の絶縁層は、第4の導電層上に設けられ、第2の絶縁層は、第1の絶縁層に達する第1の開口部、及び第4の導電層に達する第2の開口部を有し、第1の導電層、及び第2の導電層は、平面視において第1の開口部を挟んで対向するように、第2の絶縁層上に設けられ、第5の導電層は、第2の絶縁層上に設けられ、且つ第2の開口部と重なる領域を有する第3の開口部を有し、第1の半導体層は、第1の導電層と接する領域、及び第2の導電層と接する領域を有し、且つ第1の開口部の内部に位置する領域を有するように設けられ、第2の半導体層は、第4の導電層と接する領域、及び第5の導電層と接する領域を有し、且つ第1の開口部の内部に位置する領域、及び第2の開口部の内部に位置する領域を有するように設けられ、第3の絶縁層は、第1の開口部の内部に位置する領域、第2の開口部の内部に位置する領域、及び第3の開口部の内部に位置する領域を有するように、第1の半導体層上、及び第2の半導体層上に設けられ、第3の導電層は、第1の開口部の内部に位置する領域を有するように、第3の絶縁層上に設けられ、第6の導電層は、第2の開口部の内部に位置する領域、及び第3の開口部の内部において、第3の絶縁層を第2の半導体層との間に挟んで対向する領域を有するように設けられる半導体装置である。

[0014]

又は、上記態様において、第1のトランジスタのチャネル長の、第1の開口部の底面に沿った成分の長さは、第1のトランジスタのチャネル長の、第1の開口部の側面に沿った成分の長さ以上であってもよい。

[0015]

又は、上記態様において、第1の導電層の幅、及び第2の導電層の幅は、それぞれ第1の半導体層の幅より大きくてもよい。

[0016]

又は、上記態様において、第2の絶縁層は、第1の層と、第1の層上の第2の層と、第2の層上の第3の層と、を有し、第1の半導体層、及び第2の半導体層は、金属酸化物を含み、第2の層は、第1の層、及び第3の層より酸素の含有量が多くてもよい。

[0017]

又は、上記態様において、第1の層、及び第3の層は、第2の層より酸素の拡散係数が小さくてもよい。

[0018]

又は、上記態様において、酸素の含有量は、二次イオン質量分析法、X線光電子分光法、又は昇温脱離ガス分析法を用いて測定されてもよい。また、酸素の拡散係数は、昇温脱離ガス分析法、又は二次イオン質量分析法により算出されてもよい。

[0019]

又は、本発明の一態様は、第1の絶縁層を形成し、第1の絶縁層上に、第1の導電層を形成し、第

1の絶縁層上、及び第1の導電層上に、第2の絶縁層を形成し、第2の絶縁層上に、導電膜を形成し、導電膜に、第1の開口部と、第1の導電層と重なる領域を有する第2の開口部と、をそれぞれ形成し、第2の絶縁層に、第1の開口部と重なる領域を有し、且つ第1の絶縁層に達する第3の開口部、及び第2の開口部と重なる領域を有し、且つ第1の導電層に達する第4の開口部をそれぞれ形成し、導電膜を加工することにより、平面視において第2の開口部を挟んで対向するように第2の導電層、及び第3の導電層を形成し、且つ第2の開口部を有する第4の導電層を形成し、第2の導電層と接する領域、及び第3の導電層と接する領域を有し、且つ第3の開口部の内部に位置する領域を有する第1の半導体層、並びに、第1の導電層と接する領域、及び第4の導電層と接する領域を有し、且つ第2の開口部の内部に位置する領域、及び第4の開口部の内部に位置する領域を有する第2の半導体層をそれぞれ形成し、第2乃至第4の開口部の内部に位置する領域を有するように、第1の半導体層上、及び第2の半導体層上に第3の絶縁層を形成し、第3の絶縁層上に、第3の開口部の内部に位置する領域を有する第5の導電層、並びに、第2の開口部の内部に位置する領域、及び第4の開口部の内部に位置する領域を有する第6の導電層をそれぞれ形成する半導体装置の作製方法である。

[0020]

又は、上記態様において、第2の絶縁層として、第1の層と、第1の層上の第2の層と、第2の層上の第3の層と、をそれぞれ形成し、第1の半導体層、及び第2の半導体層として、金属酸化物を含む層を形成し、第2の層の形成後、且つ第3の層の形成前に、第2の層に酸素を供給してもよい。

[0021]

又は、上記態様において、第1の層、及び第3の層を、第2の層より酸素の拡散係数が小さくなるように形成してもよい。

発明の効果

[0022]

本発明の一態様により、微細なサイズのトランジスタを提供できる。又は、チャネル長が長いトランジスタを提供できる。又は、チャネル長が長いトランジスタ及びチャネル長が短いトランジスタを提供できる。又は、飽和性が高いトランジスタを提供できる。又は、電気特性が良好なトランジスタを提供できる。又は、小型の半導体装置を提供できる。又は、配線抵抗の小さい半導体装置を提供できる。又は、高速に駆動する半導体装置又は表示装置を提供できる。又は、低価格な半導体装置又は表示装置を提供できる。又は、消費電力が低い半導体装置又は表示装置を提供できる。又は、信頼性が高いトランジスタ、半導体装置、又は表示装置を提供できる。又は、高精細な表示装置を提供できる。又は、生産性の高い半導体装置の作製方法、又は表示装置の作製方法を提供できる。又は、作製コストが低い半導体装置の作製方法、又は表示装置の作製方法を提供できる。又は、新規なトランジスタ、半導体装置、表示装置、又はこれらの作製方法を提供できる。

[0023]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0024]

図1A、及び図1Bは、半導体装置の構成例を示す平面図である。図1C、及び図1Dは、半導体

装置の構成例を示す断面図である。

図 2 A は、半導体装置の構成例を示す平面図である。図 2 B、及び図 2 C は、半導体装置の構成例を示す断面図である。

図 3 A 乃至図 3 C は、半導体装置の構成例を示す断面図である。

図 4 A、及び図 4 B は、半導体装置の構成例を示す断面図である。

図 5 A は、半導体装置の構成例を示す平面図である。図 5 B、及び図 5 C は、半導体装置の構成例を示す断面図である。

図 6 A、及び図 6 B は、半導体装置の構成例を示す断面図である。

図 7 A は、半導体装置の構成例を示す平面図である。図 7 B は、半導体装置の構成例を示す断面図である。

図 8 A は、半導体装置の構成例を示す平面図である。図 8 B は、半導体装置の構成例を示す断面図である。

図 9 A、及び図 9 B は、半導体装置の構成例を示す平面図である。

図 10 A、及び図 10 B は、半導体装置の構成例を示す平面図である。

図 11 A、及び図 11 B は、半導体装置の構成例を示す平面図である。

図 12 A、及び図 12 B は、半導体装置の構成例を示す平面図である。

図 13 A、及び図 13 B は、半導体装置の構成例を示す平面図である。図 13 C は、半導体装置の構成例を示す断面図である。

図 14 A、及び図 14 B は、半導体装置の構成例を示す平面図である。図 14 C は、半導体装置の構成例を示す断面図である。

図 15 A、及び図 15 B は、半導体装置の構成例を示す平面図である。図 15 C は、半導体装置の構成例を示す断面図である。

図 16 A、及び図 16 B は、半導体装置の構成例を示す平面図である。図 16 C は、半導体装置の構成例を示す断面図である。

図 17 A は、半導体装置の構成例を示す平面図である。図 17 B、及び図 17 C は、半導体装置の構成例を示す断面図である。

図 18 A は、半導体装置の構成例を示す平面図である。図 18 B は、半導体装置の構成例を示す断面図である。

図 19 A、及び図 19 B は、半導体装置の構成例を示す断面図である。

図 20 A は、半導体装置の構成例を示す平面図である。図 20 B、及び図 20 C は、半導体装置の構成例を示す断面図である。

図 21 A は、半導体装置の構成例を示す平面図である。図 21 B は、半導体装置の構成例を示す断面図である。

図 22 A は、表示装置の構成例を示すブロック図である。図 22 B は、画素の構成例を示す平面図である。図 22 C、及び図 22 D は、画素の構成例を示す回路図である。

図 23 A、及び図 23 B は、表示装置の構成例を示す平面図である。図 23 C は、表示装置の構成例を示す断面図である。

図 24 A は、半導体装置の構成例を示す平面図である。図 24 B は、半導体装置の構成例を示す断面図である。

図 25 A は、表示装置の構成例を示すブロック図である。図 25 B は、画素の構成例を示す回路図

である。

図 2 6 A は、表示装置の構成例を示す平面図である。図 2 6 B は、表示装置の構成例を示す断面図である。

図 2 7 は、画素の構成例を示す回路図である。

図 2 8 は、画素の駆動方法の一例を示すタイミングチャートである。

図 2 9 は、画素の駆動方法の一例を示す回路図である。

図 3 0 は、画素の駆動方法の一例を示す回路図である。

図 3 1 は、画素の駆動方法の一例を示す回路図である。

図 3 2 は、画素の駆動方法の一例を示す回路図である。

図 3 3 は、画素の駆動方法の一例を示す回路図である。

図 3 4 は、画素の駆動方法の一例を示す回路図である。

図 3 5 は、画素の駆動方法の一例を示す回路図である。

図 3 6 A、及び図 3 6 B は、画素回路の構成例を示す平面図である。

図 3 7 A、及び図 3 7 B は、画素回路の構成例を示す平面図である。

図 3 8 A、及び図 3 8 B は、画素回路の構成例を示す平面図である。

図 3 9 は、画素回路の構成例を示す平面図である。

図 4 0 A 乃至図 4 0 E は、半導体装置の作製方法例を示す断面図である。

図 4 1 A 乃至図 4 1 C は、半導体装置の作製方法例を示す断面図である。

図 4 2 A 乃至図 4 2 D は、半導体装置の作製方法例を示す断面図である。

図 4 3 A 乃至図 4 3 D は、半導体装置の作製方法例を示す断面図である。

図 4 4 A、及び図 4 4 B は、半導体装置の作製方法例を示す断面図である。

図 4 5 A、及び図 4 5 B は、表示装置の構成例を示す斜視図である。

図 4 6 は、表示装置の構成例を示す断面図である。

図 4 7 は、表示装置の構成例を示す断面図である。

図 4 8 は、表示装置の構成例を示す断面図である。

図 4 9 A は、表示装置の構成例を示す平面図である。図 4 9 B、及び図 4 9 C は、表示装置の構成例を示す断面図である。

図 5 0 A、及び図 5 0 B は、表示装置の構成例を示す断面図である。

図 5 1 は、表示装置の構成例を示す断面図である。

図 5 2 A 乃至図 5 2 D は、電子機器の構成例を示す図である。

図 5 3 A 乃至図 5 3 F は、電子機器の構成例を示す図である。

図 5 4 A 乃至図 5 4 G は、電子機器の構成例を示す図である。

図 5 5 A、及び図 5 5 B は、実施例に係る試料の構成を示す断面図である。

図 5 6 は、実施例に係るトランジスタの $I_d - V_g$ 特性を示すグラフである。

図 5 7 A、及び図 5 7 B は、実施例に係るトランジスタの $I_d - V_g$ 特性を示すグラフである。

図 5 8 A、及び図 5 8 B は、実施例に係る S T E M 像である。

図 5 9 は、実施例に係るトランジスタのオフ電流の評価に用いた回路の構成を示す回路図である。

図 6 0 は、実施例に係るトランジスタのオフ電流の評価結果を示すアレニウスプロットである。

図 6 1 A、及び図 6 1 B は、実施例に係るトランジスタの $I_d - V_g$ 特性を示すグラフである。

図 6 2 A、及び図 6 2 B は、実施例に係るトランジスタの $I_d - V_d$ 特性を示すグラフである。

発明を実施するための形態

[0025]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0026]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0027]

図面において示す各構成の、位置、大きさ、及び範囲等は、理解の簡単のため、実際の位置、大きさ、及び範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び範囲等に限定されない。

[0028]

本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0029]

なお、「層」という言葉と、「膜」という言葉とは、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である場合がある。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である場合がある。また、「絶縁層」という用語を、「絶縁膜」という用語に変更することが可能である場合がある。さらに、「半導体層」という用語を、「半導体膜」という用語に変更することが可能である場合がある。

[0030]

トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び、導通又は非導通を制御するスイッチング動作等を実現できる。本明細書等におけるトランジスタは、IGFET（Insulated Gate Field Effect Transistor）及び薄膜トランジスタ（TFT：Thin Film Transistor）を含む。

[0031]

「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書等においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのソース及びドレインの呼称については、ソース端子及びドレイン端子、又はソース電極及びドレイン電極等、状況に応じて適切に言い換えることができる。

[0032]

「ゲート」と「バックゲート」は入れ替えることができる。このため、本明細書等においては、「ゲート」と「バックゲート」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのゲート及びバックゲートの呼称については、ゲート電極及びバックゲート電極等、状況

に応じて適切に言い換えることができる。

[0033]

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極又は配線をはじめ、トランジスタ等のスイッチング素子、抵抗素子、コイル、容量素子、その他の各種機能を有する素子等が含まれる。

[0034]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースドレイン間に流れる電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧がしきい値電圧よりも低い（pチャネル型トランジスタでは、しきい値電圧よりも高い）状態をいう。

[0035]

一般に「電圧」とは、ある電位と基準の電位（例えば、接地電位（GND電位）またはソース電位など）との電位差のことを示す場合が多い。また、「電位」は相対的なものであり、基準となる電位によって配線等に与える電位が変化する場合がある。よって「電圧」と「電位」は互いに言い換えることが可能な場合がある。

[0036]

本明細書等において「平面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、又は一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、又は上層が下層の外側に位置することもあり、この場合も「平面形状が概略一致」という場合がある。また、平面形状が一致又は概略一致している場合、端部が揃っている、又は概略揃っているということもできる。

[0037]

本明細書等において、ある構成要素の平面形状とは、その平面視における当該構成要素の輪郭形状のことをいう。また平面視とは、当該構成要素の被形成面、又は当該構成要素が形成される支持体（例えば基板）の表面の法線方向から見ることをいう。

[0038]

本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（テーパ角ともいう）が90度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0039]

本明細書等において、メタルマスク、又はFMM（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、又はFMMを用いずに作製されるデバイスをMML（メタルマスクレス）構造のデバイスと呼称する場合がある。なお、MML構造のデバイスは、メタルマスクを用いることなく作製できるため、メタルマスクの合わせ精度に起因する精細度の上限を超える

ことができる。また、MML構造のデバイスは、メタルマスクの作製に係る設備及びメタルマスクの洗浄工程を不要にできる。また、MML構造のデバイスは、作製コストを低く抑えることが可能となるため、大量生産に適している。

[0040]

本明細書等では、発光波長が異なる発光素子で発光層を作り分ける構造をSBS (Side By Side) 構造と呼ぶ場合がある。SBS構造は、発光素子ごとに材料及び構成を最適化できるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

[0041]

本明細書等において、正孔又は電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層又は電子注入層を「キャリア注入層」といい、正孔輸送層又は電子輸送層を「キャリア輸送層」といい、正孔ブロック層又は電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、それぞれ、断面形状、又は特性等によって明確に区別できない場合がある。また、1つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち2つ又は3つの機能を兼ねる場合がある。

[0042]

本明細書等において、発光素子は、一対の電極間にEL層を有する。EL層は、少なくとも発光層を有する。ここで、EL層が有する層（機能層ともいう）として、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及びキャリアブロック層（正孔ブロック層及び電子ブロック層）等が挙げられる。本明細書等において、受光素子（受光デバイスともいう）は、一対の電極間に少なくとも光電変換層として機能する活性層を有する。本明細書等では、一対の電極の一方を画素電極と記し、他方を共通電極と記すことができる。

[0043]

本明細書等において、犠牲層（マスク層と呼称してもよい）とは、少なくとも発光層（より具体的には、EL層を構成する層のうち、島状に加工される層）の上方に位置し、作製工程中において、当該発光層を保護する機能を有する。

[0044]

本明細書等において、島状とは、同一工程で形成された同一材料を用いた2以上の層が物理的に分離されている状態であることを示す。例えば、島状の発光層とは、当該発光層と、隣接する発光層とが、物理的に分離されている状態であることを示す。

[0045]

本明細書等において、段切れとは、層、膜、又は電極が、被形成面の形状（例えば段差等）に起因して分断されてしまう現象を示す。

[0046]

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置の構成例について説明する。ここでは特に、トランジスタを有する構成について説明する。

[0047]

本発明の一態様の半導体装置では、下地絶縁層上に、スペーサとして機能する絶縁層が設けられる。スペーサは、下地絶縁層に達する第1の開口部を有する。第1の開口部の内部に位置する領域を有するように、第1のトランジスタが設けられる。なお、以下の説明においては、スペーサとして機

能する絶縁層を、単にスペーサという場合があるが、スペーサを絶縁層と読み替えてもよい。

[0048]

スペーサ上には、第1のトランジスタのソース電極（第1のソース電極）、及びドレイン電極（第1のドレイン電極）が設けられる。第1のソース電極、及び第1のドレイン電極は、平面視において第1の開口部を挟んで対向するように設けられる。

[0049]

第1の開口部の内部に位置する領域を有するように、第1の半導体層が設けられる。第1の半導体層には、第1のトランジスタにおけるチャネル形成領域が設けられる。第1の半導体層は、第1の開口部の底面及び側面に沿って設けることができる。また、第1の半導体層は、例えば第1のソース電極の上面と接する領域、第1のソース電極の側面と接する領域、第1のドレイン電極の上面と接する領域、及び第1のドレイン電極の側面と接する領域を有することができる。第1の半導体層上には、第1の開口部の内部に位置する領域を有するように、第1のトランジスタのゲート絶縁層、及びゲート電極（第1のゲート電極）がこの順に設けられる。第1のゲート電極は、第1の開口部の内部において、ゲート絶縁層を介して第1の半導体層と重なる領域を有するように設けられる。また、第1のゲート電極は、第1の開口部の内部において、ゲート絶縁層を第1の半導体層との間に挟んで対向する領域を有するように設けられる。

[0050]

本明細書等において、BがAに達する開口部を有する場合、当該開口部により露出されたAの上面を、当該開口部の底面という。また、当該開口部により露出されたBの側面を、当該開口部の側面という。

[0051]

以上により、第1のトランジスタでは、第1の半導体層において、第1の開口部の底面に沿った方向だけでなく、第1の開口部の側面に沿った方向も、チャネル長とすることができる。これにより、第1の開口部を設けず、例えばプレーナ型のトランジスタとする場合より、第1のトランジスタの占有面積、具体的には第1の半導体層の占有面積を大きくすることなく、第1のトランジスタのチャネル長を長くできる。よって、サイズが微細で、且つ飽和性が高いトランジスタを実現できる。したがって、例えば本発明の一態様の半導体装置を、発光素子を有する表示装置に適用する場合、画素を微細化しつつ、発光素子に流れる電流を制御する駆動トランジスタの飽和性を高くできる。よって、発光素子に流れる電流を安定化させ、発光素子の発光輝度を安定化させることができる。例えば、表示装置に静止画を表示する場合に、発光素子に流れる電流に経時的なばらつきが発生することを抑制し、発光素子の発光輝度に経時的なばらつきが発生することを抑制できる。以上より、本発明の一態様の半導体装置を表示装置に適用することにより、高精細且つ信頼性が高い表示装置を実現できる。

[0052]

本明細書等において、トランジスタの $I_d - V_d$ 特性における、飽和領域の電流の変化が小さい（傾きが小さい）ことを、「飽和性が高い」という。

[0053]

ここで、下地絶縁層上には、第1のトランジスタの他、第1のトランジスタと構成が異なる第2のトランジスタを設けることができる。第1のトランジスタ、及び第2のトランジスタは、一部の工程を共通にして形成できる。

[0054]

本発明の一態様の半導体装置に第2のトランジスタを設ける場合、下地絶縁層上に、第2のトランジスタのソース電極（第2のソース電極）及びドレイン電極（第2のドレイン電極）の一方として機能する、第1の導電層が設けられる。

[0055]

第1の導電層上に、上記スペーサが設けられる。当該スペーサは、第1の導電層に達する第2の開口部を有する。第2の開口部は、第1の開口部と同じ工程で形成できる。第2の開口部の内部に位置する領域を有するように、第2のトランジスタが設けられる。

[0056]

スペーサ上には、第2のソース電極及び第2のドレイン電極の他方として機能する、第2の導電層が設けられる。第2の導電層は、第2の開口部と重なる領域を有する第3の開口部を有する。第2の導電層は、第1のソース電極、及び第1のドレイン電極と同じ材料を用いて、同じ工程で形成できる。例えば、第1のソース電極、第1のドレイン電極、及び第2の導電層は、同一の導電膜を加工することにより形成できる。

[0057]

第2の開口部の内部に位置する領域、及び第3の開口部の内部に位置する領域を有するように、第2の半導体層が設けられる。第2の半導体層には、第2のトランジスタにおけるチャネル形成領域が設けられる。第2の半導体層は、第2の開口部の側面、及び第3の開口部の側面に沿って設けることができる。また、第2の半導体層は、例えば第1の導電層の上面、第2の導電層の側面、及び第2の導電層の上面と接する領域を有することができる。第2の半導体層は、第1の半導体層と同じ材料を用いて、同じ工程で形成できる。例えば、第1の半導体層、及び第2の半導体層は、同一の半導体膜を加工することにより形成できる。

[0058]

第2の半導体層上には、第2の開口部の内部に位置する領域を有するように、第2のトランジスタのゲート絶縁層、及びゲート電極（第2のゲート電極）がこの順に設けられる。第2のゲート電極は、第2の開口部の内部において、ゲート絶縁層を第2の半導体層との間に挟んで対向する領域を有するように設けられる。ここで、第2のトランジスタのゲート絶縁層は、第1のトランジスタのゲート絶縁層と共有できる。また、第2のゲート電極は、第1のゲート電極と同じ材料を用いて、同じ工程で形成できる。例えば、第1のゲート電極、及び第2のゲート電極は、同一の導電膜を加工することにより形成できる。

[0059]

第2のトランジスタでは、スペーサの第2の開口部における側面に沿った方向はチャネル長となるが、下地絶縁層の上面と平行な方向はチャネル長とならない。よって、第2のトランジスタのチャネル長は、第1のトランジスタのチャネル長より短くなる。よって、第2のトランジスタは、第1のトランジスタよりオン電流を大きくできる。したがって、第2のトランジスタを、上述の画素に設けられる、例えば画像データを書き込む画素を選択する機能を有する選択トランジスタに適用することにより、本発明の一態様の表示装置を高速に駆動させることができる。

[0060]

本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」又は「概略

平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」又は「概略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0061]

以上より、本発明の一態様の半導体装置では、例えば電気特性が異なる複数のトランジスタを、一部の工程を共通にして形成できる。よって、作製コストを抑えつつ、例えば所望の性能を有する回路を実現しやすくなる。以上より、低価格且つ高い性能を有する半導体装置を実現できる。例えば、本発明の一態様の半導体装置を表示装置に適用する場合、低価格、高精細、高信頼性、且つ高速に駆動する表示装置を実現できる。

[0062]

<半導体装置の構成例1>

図1Aは、本発明の一態様の半導体装置である半導体装置10の構成例を示す平面図である。図1Aにおいて、半導体装置10の構成要素の一部、例えば一部の絶縁層を省略している。半導体装置の構成例を示す平面図については、以降の図面においても図1Aと同様に、構成要素の一部を省略する。図1Bは、図1Aから一部の要素を省略した平面図である。

[0063]

図1Cは、図1Aに示す一点鎖線A1-A2における切断面の断面図である。図1Dは、図1Aに示す一点鎖線B1-B2における切断面の断面図である。

[0064]

半導体装置10において、基板102上に絶縁層101が設けられ、絶縁層101上に絶縁層110、及びトランジスタ100が設けられる。絶縁層101は、下地絶縁層として機能する。絶縁層110は、スペーサとして機能する。なお、基板102と絶縁層101の間に、電極、配線、トランジスタ、容量、及び抵抗等のうち少なくとも1つが設けられてもよい。例えば、基板102上に下地絶縁層を、当該下地絶縁層上に配線が設けられる層（配線層ともいう）を設け、配線層上に絶縁層101を設けてもよい。

[0065]

トランジスタ100は、導電層104と、導電層112aと、導電層112bと、絶縁層106と、半導体層108と、を有する。トランジスタ100において、導電層104はゲート電極として機能し、絶縁層106の一部はゲート絶縁層として機能する。導電層112aはソース電極及びドレイン電極の一方として機能し、導電層112bはソース電極及びドレイン電極の他方として機能する。トランジスタ100を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0066]

絶縁層110は、絶縁層101に達する開口部141を有する。開口部141の内部に位置する領域を有するように、トランジスタ100が設けられる。

[0067]

絶縁層110上に、導電層112a及び導電層112bが設けられる。別言すると、1つのトランジスタ100当たり2つの導電層112が、絶縁層110上に設けられる。以降の説明において、符号“112”にアルファベットが付された導電層をまとめて、導電層112と記載する。

[0068]

導電層 112a 及び導電層 112b の一部の端部は、開口部 141 側の絶縁層 110 の端部と揃っていることが好ましい。導電層 112a と導電層 112b は、同じ材料を用いることができる。また、導電層 112a と導電層 112b は同じ工程で形成できる。例えば、導電層 112a 及び導電層 112b となる導電膜を形成し、当該導電膜を加工することにより、導電層 112a 及び導電層 112b を形成できる。

[0069]

図 1B は、図 1A から導電層 104 を省略した図である。図 1B に示すように、導電層 112a、及び導電層 112b は、平面視において開口部 141 を挟んで対向するように設けられる。

[0070]

半導体層 108 は、開口部 141 の内部に位置する領域を有する。半導体層 108 は、開口部 141 の底面及び側面に沿って設けることができる。また、半導体層 108 は、例えば導電層 112a の上面と接する領域、導電層 112a の側面と接する領域、導電層 112b の上面と接する領域、及び導電層 112b の側面と接する領域を有することができる。さらに、半導体層 108 は、絶縁層 101 の上面と接する領域、及び絶縁層 110 の側面と接する領域を有することができる。

[0071]

半導体層 108 の導電層 112a と接する領域はソース領域及びドレイン領域の一方として機能し、導電層 112b と接する領域は他方として機能する。半導体層 108 において、ソース領域とドレイン領域の間にチャネル形成領域が設けられる。

[0072]

絶縁層 106 は、開口部 141 の内部に位置する領域を有するように設けられ、具体的には開口部 141 を覆うように設けられる。絶縁層 106 は、半導体層 108 上、導電層 112a 上、導電層 112b 上、絶縁層 110 上、及び絶縁層 101 上に設けられる。絶縁層 106 は、半導体層 108 の上面及び側面、導電層 112a 及び導電層 112b の上面、絶縁層 110 の上面及び側面、並びに絶縁層 101 の上面に沿った形状を有する。絶縁層 106 は、半導体層 108 の上面と接する領域、半導体層 108 の側面と接する領域、導電層 112a の上面と接する領域、導電層 112b の上面と接する領域、絶縁層 110 の上面と接する領域、絶縁層 110 の側面と接する領域、及び絶縁層 101 の上面と接する領域を有することができる。また、図 1C、及び図 1D には示していないが、絶縁層 106 は、導電層 112a の側面、及び導電層 112b の側面に沿った形状を有することができ、導電層 112a の側面と接する領域、及び導電層 112b の側面と接する領域を有することができる。

[0073]

導電層 104 は、開口部 141 の内部に位置する領域を有するように、絶縁層 106 上に設けられる。導電層 104 は、開口部 141 の内部において、絶縁層 106 を介して半導体層 108 と重なる領域を有するように設けられる。また、導電層 104 は、開口部 141 の内部において、絶縁層 106 を半導体層 108 との間に挟んで対向する領域を有するように設けられる。導電層 104 は、絶縁層 106 に沿った形状を有し、具体的には絶縁層 106 の上面、及び開口部 141 の内部における絶縁層 106 の側面に沿った形状を有することができる。また、導電層 104 は、絶縁層 106 の上面と接する領域、及び開口部 141 の内部における絶縁層 106 の側面と接する領域を有することができる。

[0074]

トランジスタ100を覆うように、絶縁層109が設けられる。絶縁層109は、導電層104上、及び絶縁層106上に設けられる。絶縁層109は、トランジスタ100の保護層として機能する。なお、図1C、及び図1Dでは、絶縁層109が平坦化されていない例を示しているが、絶縁層109は平坦化されていてもよい。また、絶縁層109として、平坦化されていない絶縁層と、当該絶縁層上の平坦化されている絶縁層と、の積層構造としてもよい。

[0075]

図2A、図2B、及び図2Cは、それぞれ図1B、図1C、及び図1Dの拡大図である。図2A、図2B、及び図2Cを用いて、トランジスタ100のチャンネル長、及びチャンネル幅等について説明する。

[0076]

図2A、図2B、及び図2Cでは、トランジスタ100のチャンネル長を長さL100、チャンネル幅を幅W100、開口部141の幅を幅D141、絶縁層110の厚さを厚さT110__1、絶縁層110の開口部141における側面と絶縁層101の上面とのなす角を角度 θ 110、導電層112aの幅を幅W112a、導電層112bの幅を幅W112bとする。また、図2A、図2B、及び図2Cでは、長さL100、幅W100、幅D141、厚さT110__1、幅W112a、及び幅W112bを、両矢印で示している。以降の図面においても同様の表記をする。ここで、厚さT110__1は、図2Bに示すように、断面視における絶縁層110の被形成面（ここでは、絶縁層101の上面）と導電層112a又は導電層112bの下面の最短距離とすることができる。

[0077]

本明細書等において、ソース電極又はドレイン電極として機能する導電層の幅は、当該導電層の、チャンネル幅方向と平行な方向の長さを示す。よって、幅W112a、及び幅W112bは、幅W100と平行な方向である。

[0078]

図2Bでは、半導体層108の領域として、領域108i、領域108na、及び領域108nbを示している。領域108iは、領域108naと領域108nbの間に設けられる。

[0079]

領域108iの少なくとも一部は、トランジスタ100のチャンネル形成領域として機能する。領域108naは、半導体層108の導電層112aと接する領域、及びその近傍の領域である。領域108naの少なくとも一部は、トランジスタ100のソース領域及びドレイン領域の一方として機能する。領域108nbは、半導体層108の導電層112bと接する領域、及びその近傍の領域である。領域108nbの少なくとも一部は、トランジスタ100のソース領域及びドレイン領域の他方として機能する。領域108na、及び領域108nbの少なくとも一部は、領域108iの少なくとも一部より電気抵抗が低い領域（以下、低抵抗領域とも記す）とすることができる。例えば、領域108na、及び領域108nbの少なくとも一部は、領域108iの少なくとも一部よりキャリア濃度が高い領域、又は酸素欠陥密度が高い領域とすることができる。図2Bでは、領域108iと領域108naの境界の高さが、絶縁層110と導電層112aの境界の高さと一致、又は概略一致し、領域108iと領域108nbの境界の高さが、絶縁層110と導電層112bの境界の高さと一致、又は概略一致する例を示しているが、これらの高さが一致、又は概略一致しなくてもよい。

[0080]

本明細書等において、「高さが一致又は概略一致」とは、断面視において、基準となる面（例えば、基板表面等の平坦な面）からの高さが等しいことをいう。例えば、半導体装置の製造プロセスにおいて、平坦化処理を行うことで、単層又は複数の層の表面が露出する場合がある。この場合、平坦化処理の被処理面は、基準となる面からの高さが等しくなる。ただし、当該被処理面は、平坦化処理の際の、処理装置、処理方法、又は被処理面の材料によって、複数の層の高さが厳密には等しくならない場合がある。本明細書等において、この場合も、「高さが一致又は概略一致」という。例えば、基準面に対して、高さが異なる２つの層（ここでは第１の層と、第２の層とする）を有する場合、第１の層の上面の高さと、第２の層の上面の高さと、の差が２０nm以下である場合も、「高さが一致又は概略一致」という。

[0081]

トランジスタ１００のチャンネル長である長さ L_{100} は、断面視における絶縁層１１０の開口部１４１における側面の長さの２倍と、開口部１４１の幅 D_{141} と、の合計に相当する。断面視における絶縁層１１０の、開口部１４１における側面の長さは、厚さ T_{110_1} と、角度 θ_{110} と、で決めることができる。ここで、開口部１４１の高さは、厚さ T_{110_1} とすることができる。また、幅 D_{141} は、トランジスタ１００のチャンネル長の、開口部１４１の底面に沿った成分と平行な方向における、開口部１４１の底面の長さ、例えば当該長さの最大値とすることができる。

[0082]

以上により、トランジスタ１００では、半導体層１０８において、開口部１４１の底面に沿った方向（横方向ともいう）だけでなく、開口部１４１の側面に沿った方向（縦方向ともいう）もチャンネル長とすることができる。これにより、開口部１４１を設けず、例えばプレーナ型のトランジスタとする場合より、トランジスタ１００の占有面積、具体的には半導体層１０８の占有面積を大きくすることなく、トランジスタ１００のチャンネル長を長くできる。よって、サイズが微細で、且つ飽和性が高いトランジスタを実現できる。したがって、例えば半導体装置１０を、発光素子を有する表示装置に適用する場合、画素を微細化しつつ、発光素子に流れる電流を制御する駆動トランジスタの飽和性を高くできる。よって、発光素子に流れる電流を安定化させ、発光素子の発光輝度を安定化させることができる。例えば、表示装置に静止画を表示する場合に、発光素子に流れる電流に経時的なばらつきが発生することを抑制し、発光素子の発光輝度に経時的なばらつきが発生することを抑制できる。以上より、半導体装置１０を表示装置に適用することにより、高精細且つ信頼性が高い表示装置を実現できる。なお、トランジスタ１００は、縦方向と、横方向との双方に電流が流れる構成であるため、VLFET (Vertical Lateral Field Effect Transistor) といえることができる。

[0083]

前述のように、トランジスタ１００のチャンネル長である長さ L_{100} は、開口部１４１の底面に沿った成分と、開口部１４１の側面に沿った成分と、を有する。ここで、長さ L_{100} の、開口部１４１の底面に沿った成分の長さが、開口部１４１の側面に沿った成分の長さより長いと、開口部１４１の底面に沿った成分の長さ L_{100} への寄与を、開口部１４１の側面に沿った成分の長さ L_{100} への寄与より大きくできる。半導体装置１０にトランジスタ１００を複数設ける場合、例えば開口部１４１の幅 D_{141} はトランジスタ１００毎に異ならせることができる。一方、開口部１４１の高さとすることができる厚さ T_{110_1} は複数のトランジスタ１００間で等しく、又は概略等しくなる。よって、開口部１４１の底面に沿った成分の長さ L_{100} への寄与を大きくする

ことにより、複数のトランジスタ100間で長さL100を制御しやすくなり、具体的には長さL100を異ならせやすくなる。これにより、半導体装置10が有する回路において、例えば電気特性が異なる複数のトランジスタ100を作り分けやすくなる。よって、例えば所望の性能を有する回路を実現しやすくなる。以上より、高い性能を有する半導体装置を実現できる。

[0084]

例えば、トランジスタ100のチャネル長の、開口部141の底面に沿った成分の長さは、トランジスタ100のチャネル長の、開口部141の側面に沿った成分の長さ以上とすることが好ましい。又は、トランジスタ100のチャネル長の開口部141の底面に沿った成分と平行な方向における、半導体層108の平面視における長さL108は、厚さT110—1以上とすることが好ましい。又は、幅D141を厚さT110—1以上とすることが好ましい。

[0085]

厚さT110—1は、例えば、0.1nm以上3 μ m未満、0.1nm以上2.5 μ m以下、1nm以上2 μ m以下、1nm以上1.5 μ m以下、5nm以上1.2 μ m以下、5nm以上1 μ m以下、7nm以上500nm以下、7nm以上300nm以下、10nm以上200nm以下、10nm以上100nm以下、又は10nm以上50nm以下とすることができる。

[0086]

フォトリソグラフィ法を用いて開口部141を形成する場合、開口部141の幅D141は露光装置の限界解像度以上となる。幅D141は、例えば、200nm以上5 μ m未満、200nm以上4.5 μ m以下、200nm以上4 μ m以下、300nm以上3.5 μ m以下、300nm以上3 μ m以下、400nm以上2.5 μ m以下、400nm以上2 μ m以下、500nm以上1.5 μ m以下、又は500nm以上1 μ m以下とすることができる。

[0087]

図1A、図1B、及び図2Aでは、開口部141の平面形状が円形である例を示す。このとき、幅D141は当該円の直径に相当することができる。なお、本明細書等において、円形とは真円に限定されない。

[0088]

開口部141の平面形状に限定はなく、例えば、円形、楕円形、三角形、四角形（長方形、菱形、及び正方形を含む）、五角形等の多角形、又はこれら多角形の角が丸い形状とすることができる。なお、多角形は、凹多角形（少なくとも一つの内角が180度を超える多角形）及び凸多角形（全ての内角が180度以下である多角形）のどちらであってもよい。

[0089]

本明細書等において、絶縁層に設けられる開口部の平面形状とは、当該絶縁層の当該開口部側の上面端部の形状、又は下面端部の形状を指す。例えば、開口部141の平面形状とは、絶縁層110の開口部141側の上面端部の形状、又は下面端部の形状を指す。

[0090]

絶縁層110の開口部141における側面は、垂直形状であることが好ましく、例えば絶縁層101に対して垂直であることが好ましい。つまり、角度 θ 110は、80°以上100°以下が好ましく、85°以上95°以下がより好ましい。これにより、トランジスタ100を微細なサイズのトランジスタとすることができる。よって、半導体装置10に設けられる回路の占有面積を小さくでき、半導体装置10を小型の半導体装置とすることができる。なお、絶縁層110の開口部14

1における側面は、テーパ形状であってもよい。例えば、角度 $\theta 110$ が、 90° 未満、又は 80° 未満であってもよい。この場合、絶縁層 110 上に形成される層（例えば、半導体層 108）の被覆性を高めることができる。また、角度 $\theta 110$ が小さいほど、長さ $L100$ を大きくでき、角度 $\theta 110$ が大きいほど、長さ $L100$ を小さくできる。

[0091]

なお、図 2 B、及び図 2 C 等では、断面視において、絶縁層 110 の開口部 141 における側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁層 110 の開口部 141 における側面の形状は曲線であってもよく、また側面の形状が直線である領域と曲線である領域の双方を有してもよい。

[0092]

トランジスタ 100 のチャンネル幅である幅 $W100$ は、開口部 141 の底面に沿った長さ $L100$ の成分と垂直な方向における、半導体層 108 の長さに相当する。なお、本明細書等において、開口部 141 の底面に沿った長さ $L100$ の成分と垂直な方向における、半導体層 108 の長さを、半導体層 108 の幅という。つまり、幅 $W100$ を、半導体層 108 の幅とすることができる。

[0093]

ここで、導電層 112 a の幅 $W112a$ 、及び導電層 112 b の幅 $W112b$ は、幅 $W100$ より大きくすることが好ましい。これにより、導電層 112 a、及び導電層 112 b の配線抵抗を小さくし、半導体装置 10 を高速に駆動させることができる。なお、幅 $W112a$ 、及び幅 $W112b$ を、幅 $W100$ 以下としてもよい。

[0094]

また、開口部 141 の幅 $D141$ は、幅 $W112a$ 、及び幅 $W112b$ 以上とすることが好ましい。これにより、導電層 112 a と導電層 112 b が接触し、電氣的に短絡することを防止できる。

[0095]

次に、トランジスタ 100 の詳細な構成について、説明する。

[0096]

半導体層 108 に用いる半導体材料は、特に限定されない。例えば、単体元素よりなる半導体、又は化合物半導体を用いることができる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、窒化物半導体、及び酸化物半導体（OS: Oxide Semiconductor）が挙げられる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

[0097]

半導体層 108 に用いる半導体材料の結晶性は特に限定されず、非晶質半導体、単結晶性半導体、又は単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体又は結晶性を有する半導体を用いると、トランジスタ 100 の特性劣化を抑制できるため好ましい。

[0098]

半導体層 108 は、シリコンを用いることができる。シリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（LTPS: Low Temperature Poly Silicon）が挙

げられる。チャネル形成領域に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成でき、低コストで作製できる。チャネル形成領域に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、チャネル形成領域に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

[0099]

本明細書等において、チャネル形成領域にシリコンを用いたトランジスタを、Siトランジスタという。

[0100]

半導体層108は、半導体特性を示す金属酸化物（酸化物半導体ともいう）を有することが好ましい。

[0101]

半導体層108に用いる金属酸化物のバンドギャップは、2.0 eV以上が好ましく、2.5 eV以上がより好ましい。

[0102]

酸化物半導体を用いたトランジスタ（以下、OSトランジスタと記す）は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、OSトランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間に亘って保持することが可能である。また、OSトランジスタを適用することで、半導体装置の消費電力を低減できる。

[0103]

絶縁層110は、1層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。酸化物として、例えば、酸化シリコン、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、酸化セリウム、ガリウム亜鉛酸化物、及びハフニウムアルミネートが挙げられる。窒化物として、例えば、窒化シリコン、及び窒化アルミニウムが挙げられる。酸化窒化物として、例えば、酸化窒化シリコン、酸化窒化アルミニウム、酸化窒化ガリウム、酸化窒化イットリウム、及び酸化窒化ハフニウムが挙げられる。窒化酸化物として、例えば窒化酸化シリコン、及び窒化酸化アルミニウムが挙げられる。特に、絶縁層110として窒化シリコンを用いると、絶縁層110を不純物が透過しにくい層とすることができるため、トランジスタ100のチャネル形成領域への不純物の混入を抑制できる。よって、トランジスタ100を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。同様に、絶縁層101にも窒化シリコンを用いると、トランジスタ100のチャネル形成領域への不純物の混入をより好適に抑制できる。

[0104]

本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0105]

トランジスタ 100 において、半導体層 108 の絶縁層 101 と接する領域、及び絶縁層 110 と接する領域は、チャネル形成領域として機能する。半導体層 108 に金属酸化物を用いる場合、半導体層 108 と絶縁層 101、及び半導体層 108 と絶縁層 110 との界面特性を向上させるため、絶縁層 101 の半導体層 108 と接する領域の少なくとも一部、及び絶縁層 110 の半導体層 108 と接する領域の少なくとも一部は酸素を有することが好ましい。具体的には、絶縁層 101 における半導体層 108 のチャネル形成領域と接する領域、及び絶縁層 110 における半導体層 108 のチャネル形成領域と接する領域は、酸素を有することが好ましい。絶縁層 110 における半導体層 108 のチャネル形成領域と接する領域に、酸化物及び酸化窒化物の一以上を好適に用いることができる。

[0106]

また、絶縁層 101 の半導体層 108 と接する領域の少なくとも一部は、水素を捕獲又は固着する（ゲッタリングともいう）機能を有することが好ましい。これにより、半導体層 108 のチャネル形成領域中の水素濃度を低減できる。よって、チャネル形成領域の酸素欠損（ V_o ）及び V_oH を低減し、チャネル形成領域を i 型又は実質的に i 型とすることができる。これにより、トランジスタ 100 を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0107]

水素を捕獲又は固着する機能を有する絶縁層として、アモルファス構造を有する金属酸化物が挙げられる。例えば、酸化マグネシウム、又は、アルミニウム及びハフニウム的一方又は双方を含む酸化物、等の金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲又は固着する性質を有する場合がある。つまり、アモルファス構造を有する金属酸化物は、水素を捕獲又は固着する能力が高いといえる。

[0108]

図 3 A、及び図 3 B は、それぞれ図 2 B、及び図 2 C に示す構成の変形例であり、絶縁層 110 が、絶縁層 110 b と、絶縁層 110 b 上の絶縁層 110 c と、の 2 層積層構造である例を示している。なお、平面構成例は図 1 A、及び図 2 A を参照できる。図 3 A に示す構成例では、絶縁層 110 b は、半導体層 108 の側面と接する領域、及び絶縁層 101 の上面と接する領域を有することができる。また、絶縁層 110 c は、半導体層 108 の側面と接する領域、導電層 112 a の下面と接する領域、導電層 112 b の下面と接する領域、及び絶縁層 106 の下面と接する領域を有することができる。

[0109]

絶縁層 110 b は酸素を有することが好ましい。例えば、絶縁層 110 b の酸素の含有量は、絶縁層 110 c の酸素の含有量より多いことが好ましい。例えば、絶縁層 110 b の単位体積あたりの酸素の含有量は、絶縁層 110 c の単位体積あたりの酸素の含有量より多いことが好ましい。また、絶縁層 110 b には、前述の酸化物及び酸化窒化物の一以上を用いることが好ましい。具体的には、絶縁層 110 b には、酸化シリコン及び酸化窒化シリコン的一方又は双方を好適に用いることができる。以上により、少なくとも半導体層 108 の絶縁層 110 b と接する領域は、トランジスタ 100 のチャネル形成領域として機能できる。

[0110]

酸素等の元素の含有量の測定には、例えば、二次イオン質量分析法（SIMS : Secondary Ion Mass Spectrometry）を用いることができる。

y Ion Mass Spectrometry)、又はX線光電子分光法(XPS:X-ray Photoelectron Spectroscopy)を用いることができる。目的の元素の含有率が高い(例えば、0.5 atomic %以上、又は1 atomic %以上)場合は、XPSが適している。一方、目的の元素の含有率が低い(例えば0.5 atomic %以下、又は1 atomic %以下)場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ましい。また、昇温脱離ガス分析法(TDS:Thermal Desorption Spectroscopy)を用いて上記元素の脱離量を測定することにより、例えば2つの層における上記元素の含有量を比較できる。なお、酸素以外の元素の含有量の測定にも、SIMS、XPS、又はTDS法等を用いることができる。

[0111]

絶縁層110bには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ100の作製工程中にかかる熱により、絶縁層110bが酸素を放出することで、半導体層108に酸素を供給できる。絶縁層110bから半導体層108、特にチャネル形成領域に酸素を供給することで、酸素欠損(V_o)が修復され、酸素欠損(V_o)を低減できる。したがって、トランジスタ100を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0112]

例えば、酸素を含む雰囲気における加熱処理、又は酸素を含む雰囲気におけるプラズマ処理を行うことで、絶縁層110bに酸素を供給できる。また、絶縁層110bの上面に、スパッタリング法により、酸素を含む雰囲気で酸化物膜を形成することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。

[0113]

絶縁層110bは、スパッタリング法、又はプラズマ化学気相堆積(PECVD:Plasma Enhanced Chemical Vapor Deposition)法等の成膜方法で形成することが好ましい。特に、スパッタリング法を用い、成膜ガスに水素ガスを用いない方法で形成することで、水素の含有量の極めて少ない膜とすることができる。そのため、チャネル形成領域に水素が供給されることを抑制し、トランジスタ100の電気特性の安定化を図ることができる。

[0114]

絶縁層110bにおいて、物質が拡散しやすいことが好ましい。絶縁層110bにおける物質の拡散係数が大きいことが好ましいともいえる。特に、絶縁層110bは、酸素が拡散しやすいことが好ましい。つまり、絶縁層110bにおける酸素の拡散係数が大きいことが好ましい。絶縁層110bに含まれる酸素は、絶縁層110b中を拡散し、絶縁層110bと半導体層108の界面を介して半導体層108に供給される。

[0115]

酸素の拡散係数の算出には、TDSを用いることができる。又は、SIMSを用いてもよい。なお、酸素以外の物質の拡散係数も、TDS、又はSIMSを用いて算出できる場合がある。

[0116]

ここで、半導体層108に導電率の高い材料を用いることで、オン電流の大きいトランジスタとすることができる。しかしながら、導電率の高い材料を用いると酸素欠損(V_o)が形成されやすく、チャネル形成領域の酸素欠損(V_o)が多くなると、トランジスタのしきい値電圧がシフトし、ゲ

ート電圧が0 V時に流れるドレイン電流（以下、カットオフ電流とも記す）が大きくなってしまう場合がある。例えば、nチャネル型トランジスタでは、しきい値電圧がマイナス側にシフトすることで、カットオフ電流が大きくなってしまう場合がある。絶縁層110bを設けることにより、少なくとも半導体層108の絶縁層110bと接する領域、つまりトランジスタ100のチャネル形成領域に酸素が供給され、チャネル形成領域の酸素欠損（ V_o ）を低減できる。これにより、しきい値電圧がシフトすることが抑制され、小さいカットオフ電流と、大きいオン電流が両立したトランジスタとすることができる。したがって、半導体装置10を、低い消費電力と高い性能が両立した半導体装置とすることができる。

[0117]

絶縁層110cは、自身から放出される不純物（例えば、水素及び水）の量が少なく、かつ不純物が透過しにくいことが好ましい。これにより、絶縁層110cに含まれる不純物が、トランジスタ100のチャネル形成領域に拡散することを抑制できる。したがって、トランジスタ100を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0118]

絶縁層110cは、酸素が透過しにくい膜を用いることが好ましく、例えば絶縁層110bより酸素が透過しにくい膜を用いることが好ましい。また、絶縁層110cは、酸素の拡散係数が小さい膜を用いることが好ましく、例えば絶縁層110bより酸素の拡散係数が小さい膜を用いることが好ましい。以上により、絶縁層110bに含まれる酸素が、絶縁層110cを介して導電層112a、及び導電層112bに拡散することを抑制できる。これにより、導電層112a及び導電層112bの電気抵抗が高くなることを抑制できる。それとともに、絶縁層110bに含まれる酸素が絶縁層110c側に拡散することが抑制されるため、絶縁層110bからトランジスタ100のチャネル形成領域へ供給される酸素の量が増え、チャネル形成領域の酸素欠損（ V_o ）及び V_oH を低減できる。これにより、トランジスタ100のチャネル形成領域をi型又は実質的にi型とすることができる。よって、トランジスタ100を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0119]

絶縁層110cは窒素を有することが好ましく、前述の窒化物及び窒化酸化物のいずれか一つ又は複数を用いることが好ましい。絶縁層110cは、例えば、窒化シリコン又は窒化酸化シリコンを好適に用いることができる。又は、絶縁層110cに酸化物及び酸化窒化物の一以上を用いてもよい。絶縁層110cは、例えば酸化アルミニウムを好適に用いることができる。

[0120]

図3Aでは、絶縁層110bの厚さを厚さ T_{110b_1} 、絶縁層110cの厚さを厚さ T_{110c_1} としている。

[0121]

絶縁層110bの厚さ T_{110b_1} は、例えば、5 nm以上3 μ m未満、5 nm以上2.5 μ m以下、5 nm以上2 μ m以下、5 nm以上1.5 μ m以下、7 nm以上1.2 μ m以下、7 nm以上1 μ m以下、7 nm以上500 nm以下、7 nm以上300 nm以下、10 nm以上200 nm以下、10 nm以上100 nm以下、10 nm以上50 nm以下、又は10 nm以上30 nm以下とすることができる。絶縁層110cの厚さ T_{110c_1} は、厚さ T_{110b_1} 以下とすることができる。厚さ T_{110c_1} は、例えば、3 nm以上1 μ m以下、3 nm以上500 nm以下、

3 nm以上300 nm以下、3 nm以上200 nm以下、5 nm以上100 nm以下、5 nm以上50 nm以下、5 nm以上30 nm以下、又は5 nm以上20 nm以下とすることができる。

[0122]

図3Aに示すように、厚さ T_{110b_1} は、断面視における絶縁層110bの被形成面（ここでは、絶縁層101の上面）と絶縁層110cの下面の最短距離とすることができる。また、厚さ T_{110c_1} は、断面視における絶縁層110cの被形成面（ここでは、絶縁層110bの上面）と導電層112a又は導電層112bの下面の最短距離とすることができる。

[0123]

絶縁層110cの厚さ T_{110c_1} が厚いと、絶縁層110cから放出される不純物の量が多くなり、トランジスタ100のチャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さ T_{110c_1} が薄いと、絶縁層110bに含まれる酸素が絶縁層110cを介して、導電層112a及び導電層112b側に拡散し、トランジスタ100のチャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さ T_{110c_1} を前述の範囲とすることにより、チャネル形成領域の酸素欠損(V_o)及び V_oH を低減できる。これにより、トランジスタ100のチャネル形成領域をi型又は実質的にi型とすることができる。また、絶縁層110bに含まれる酸素によって導電層112a、及び導電層112bが酸化され、導電層112a、及び導電層112bの電気抵抗が高くなることを抑制できる。以上により、トランジスタ100を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0124]

図3Cは、図3Aに示す領域108na、及びその近傍の領域を示す拡大図である。図3Cでは、半導体層108の、導電層112aと接する領域、及びその近傍の領域だけでなく、絶縁層110cと接する領域、及びその近傍の領域である領域107を、低抵抗領域を含む領域108naに含める例を示している。なお、図3Cには示していないが、領域108nbには、導電層112bと接する領域、及びその近傍の領域だけでなく、絶縁層110cと接する領域、及びその近傍の領域を含めることができる。図3Cでは、領域108iと領域108naの境界の高さが、絶縁層110bと絶縁層110cの境界の高さと一致、又は概略一致する例を示しているが、これらの高さは一致、又は概略一致しなくてもよい。同様に、領域108iと領域108nbの境界の高さは、絶縁層110bと絶縁層110cの境界の高さと一致、又は概略一致してもよいし、しなくてもよい。

[0125]

絶縁層110cに不純物を放出する材料を用いることで、領域107を低抵抗領域とすることができる。半導体層108は、トランジスタ100のソース領域及びドレイン領域と、チャネル形成領域と、の間に低抵抗領域を有する構成とすることができる。低抵抗領域は、ドレイン電界（ドレイン領域、及びその近傍に生じる電界）を緩和するためのバッファ領域として機能できる。なお、これらの低抵抗領域が、ソース領域又はドレイン領域として機能してもよい。ドレイン領域とチャネル形成領域との間に低抵抗領域を設けることにより、ドレイン領域近傍に高い電界が生じにくくなる。これにより、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制できる。

[0126]

前述したように、絶縁層110cから放出される不純物の量が多すぎると、トランジスタ100のチャネル形成領域に不純物が拡散してしまう恐れがある。絶縁層110cに不純物を放出する材料を用いる場合であっても、放出される不純物の量は少ないことが好ましい。

[0127]

図3Aに示す例において、トランジスタ100のチャンネル長である長さL100は、断面視における絶縁層110bの開口部141における側面の長さの2倍と、開口部141の幅D141と、の合計に相当する。断面視における絶縁層110bの開口部141における側面の長さは、厚さT110bと、角度 θ 110と、で決めることができる。

[0128]

図4A、及び図4Bは、それぞれ図2B、及び図3Aに示す構成の変形例である。図4A、及び図4Bは、絶縁層106が例えば島状に加工されている例を示している。

[0129]

図4A、及び図4Bでは、絶縁層106の上面端部が、導電層104の下面端部と一致、又は概略一致する例を示している。例えば、絶縁層106を導電層104と同一のパターンで加工することにより、絶縁層106の上面端部を、導電層104の下面端部と一致、又は概略一致させることができる。なお、絶縁層106の上面端部は、導電層104の下面端部と一致、又は概略一致してなくてもよい。例えば、絶縁層106の上面端部が、導電層104の下面端部より外側に位置してもよい。

[0130]

図5A、図5B、及び図5Cは、それぞれ図1A、図3A、及び図3Bに示す半導体装置10の変形例であり、トランジスタ100が、導電層103と、絶縁層105と、を有する例を示している。ここで、導電層103と、絶縁層105と、を有するトランジスタ100をトランジスタ100Aとし、トランジスタ100Aを有する半導体装置10を半導体装置10Aとする。

[0131]

トランジスタ100Aでは、絶縁層101上に導電層103が設けられ、導電層103上、及び絶縁層101上に絶縁層105が設けられる。絶縁層105は、導電層103の上面及び側面、並びに絶縁層101の上面に沿った形状を有する。絶縁層105は、導電層103の上面と接する領域、導電層103の側面と接する領域、及び絶縁層101の上面と接する領域を有することができる。

[0132]

絶縁層105上には、絶縁層110、及び半導体層108が設けられる。絶縁層110が有する開口部141は、絶縁層105に達する。半導体層108の底面は、絶縁層105の上面と接する領域を有することができる。また、絶縁層106は、絶縁層105の上面と接する領域を有することができる。

[0133]

導電層103は、半導体層108、絶縁層106、及び導電層104の、開口部141の内部に位置する領域と、絶縁層105を介して重なる領域を有する。これにより、導電層104だけでなく導電層103をゲート電極として機能させることができ、絶縁層106だけでなく絶縁層105をゲート絶縁層として機能させることができる。よって、トランジスタ100Aは、チャンネル形成領域を挟んで両側にゲート電極が配置される、デュアルゲート型のトランジスタということができる。

[0134]

トランジスタ100Aでは、例えば導電層104を第1のゲート電極、フロントゲート電極、又は単にゲート電極ということができる。また、導電層103を第2のゲート電極、又はバックゲート電極ということができる。なお、上述の導電層104の呼称と導電層103の呼称を入れ替えても

よい。また、絶縁層 106 を第 1 のゲート絶縁層といい、絶縁層 105 を第 2 のゲート絶縁層といえることができる。なお、絶縁層 105 を第 1 のゲート絶縁層といい、絶縁層 106 を第 2 のゲート絶縁層といってもよい。

[0135]

トランジスタ 100 が導電層 103 を有することにより、半導体層 108 のバックチャネル側の電位を固定でき、しきい値電圧がシフトすることを抑制できる。ここで、トランジスタ 100 のしきい値電圧がマイナス方向にシフトすると、カットオフ電流が大きくなってしまう場合がある。トランジスタ 100 のしきい値電圧がマイナス方向にシフトすることを抑制することにより、カットオフ電流が小さいトランジスタとすることができる。なお、カットオフ電流が小さいことをノーマリーオフと記す場合がある。

[0136]

なお、図 5 B では、絶縁層 110b が平坦化されている例を示しているが、絶縁層 110b が平坦化されていなくてもよい。この場合、絶縁層 110c は平坦化されていてもよいし、平坦化されていなくてもよい。

[0137]

図 6 A、及び図 6 B は、それぞれ図 3 A、及び図 3 B に示す構成の変形例であり、絶縁層 147、及び絶縁層 149 が設けられる例を示している。図 6 A では、絶縁層 147、及び絶縁層 149 が、絶縁層 110 と半導体層 108 の間、導電層 112a と半導体層 108 の間、及び導電層 112b と半導体層 108 の間に設けられる例を示している。図 6 B では、絶縁層 147、及び絶縁層 149 が、絶縁層 110 と絶縁層 106 の間に設けられる例を示している。

[0138]

絶縁層 147 は、絶縁層 110 の側面と接する領域、導電層 112a の側面と接する領域、導電層 112b の側面と接する領域、絶縁層 101 の上面と接する領域、半導体層 108 の側面と接する領域、及び絶縁層 106 と接する領域を有することができる。図 6 A、及び図 6 B に示すように、断面視において、絶縁層 147 の絶縁層 101 の上面と接する部分に突出部が形成される。突出部の端部において、絶縁層 147 は、半導体層 108 と接することができる。絶縁層 147 の突出部は、他の部分よりも、開口部 141 の中央に向かって突出した形状になる。

[0139]

絶縁層 147 は、水素に対するバリア性を有することが好ましく、特に水素の拡散を抑制する能力が高いことが好ましい。絶縁層 147 として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン及び窒化酸化シリコンの一又は複数をを用いることができる。絶縁層 147 として、例えば、窒化シリコンを好適に用いることができる。絶縁層 147 を設けることで、トランジスタ 100 の外部から、絶縁層 147 を介して半導体層 108 に水素が拡散することを抑制できる。

[0140]

絶縁層 149 は、絶縁層 147 上に設けることができる。絶縁層 149 は、絶縁層 147 の側面と接する領域、絶縁層 147 の上記突出部における上面と接する領域、半導体層 108 と接する領域、及び絶縁層 106 と接する領域を有することができる。図 6 A、及び図 6 B に示すように、断面視において、絶縁層 149 の側面は、絶縁層 147 の突出部の側端部と面一になる場合がある。

[0141]

絶縁層 149 は、水素に対するバリア性を有することが好ましく、特に水素を捕獲又は固着する能力が高いことが好ましい。絶縁層 149 として、例えば、マグネシウムを含む酸化物、又は、アルミニウム及びハフニウム的一方若しくは両方を含む酸化物、の一又は複数を用いることができる。また、これらの酸化物は、アモルファス構造を有することがより好ましい。アモルファス構造を有する酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲又は固着する性質を有する場合がある。なお、これらの酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成されていてもよい。また、水素の拡散を抑制する能力が高い材料として、窒化シリコン及び窒化酸化シリコンを挙げることができる。絶縁層 149 として、例えば、酸化ハフニウムを好適に用いることができる。絶縁層 149 を設けることで、例えば、絶縁層 110 に含まれる水素を、絶縁層 149 で捕獲又は固着できる。例えば半導体層 108 に金属酸化物を適用する場合、半導体装置に絶縁層 147 及び絶縁層 149 を設けることにより、半導体層 108 に混入しうる水素、及び水等を除去できる。したがって、トランジスタ 100 を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0142]

図 6 A、及び図 6 B に示す半導体装置を作製する場合、基板 102 上に絶縁層 101、絶縁層 110、導電層 112 a、及び導電層 112 b を形成し、絶縁層 110 に開口部 141 を形成した後、開口部 141 を覆うように、絶縁層 147 となる絶縁膜、及び絶縁層 149 となる絶縁膜を順に形成する。続いて、絶縁層 149 となる絶縁膜、及び絶縁層 147 となる絶縁膜を加工し、絶縁層 149、及び絶縁層 147 を形成する。例えば、絶縁層 149 となる絶縁膜、及び絶縁層 147 となる絶縁膜の上面に対し、概略均一にエッチングを施すことにより、絶縁層 149、及び絶縁層 147 を形成できる。このように均一にエッチングして平坦化することを異方性エッチングともいう。なお、絶縁層 149、及び絶縁層 147 を、フォトリソグラフィ法を用いて形成してもよい。

[0143]

その後、半導体層 108、絶縁層 106、導電層 104、及び絶縁層 109 を順に形成する。以上により、図 6 A、及び図 6 B に示す半導体装置を作製できる。

[0144]

図 7 A、及び図 7 B は、それぞれ図 2 A、及び図 3 A に示す半導体装置 10 の変形例であり、導電層 112 b が、絶縁層 101 と絶縁層 110 の間に設けられる例を示している。つまり、図 7 A、及び図 7 B は、導電層 112 b が絶縁層 110 の下に設けられる例を示している。ここで、図 7 A に示す半導体装置 10 を半導体装置 10 B とし、図 7 B に示すトランジスタ 100 をトランジスタ 100 B とする。半導体装置 10 B では、開口部 141 は、導電層 112 b に達する領域を有する。なお、半導体装置 10 B は、導電層 112 a が絶縁層 110 の下に設けられ、導電層 112 b が絶縁層 110 の上に設けられてもよい。この場合、導電層 112 b を導電層 112 a、領域 108 n b を領域 108 n a と適宜読み替えることにより、以下の半導体装置 10 B、及びトランジスタ 100 B の説明を参照できる。

[0145]

トランジスタ 100 B では、例えば領域 108 i と領域 108 n b の境界が、絶縁層 110 b の上面より低い位置に設けられる。図 7 B では、領域 108 i と領域 108 n b の境界の高さが、絶縁層 110 b と絶縁層 110 c の境界の高さより低い例を示している。

[0146]

トランジスタ 100B では、縦方向のチャネル長を、開口部 141 における側面の長さの 1 倍、又は概略 1 倍とすることができる。また、横方向のチャネル長を、開口部 141 の幅 D141 より短くできる。以上により、トランジスタ 100B は、例えば図 3A に示すトランジスタ 100 より、チャネル長を短くできる。なお、図 7A、及び図 7B では、半導体層 108 の導電層 112b と重なる下面端部が、絶縁層 110 上に設けられる例を示しているが、当該下面端部が導電層 112b と接してもよい。この場合、領域 108nb が絶縁層 110 と接しない構成とすることができる。

[0147]

図 8A、及び図 8B は、それぞれ図 7A、及び図 7B に示す半導体装置 10B の変形例であり、導電層 112b だけでなく、導電層 112a が、絶縁層 101 と絶縁層 110 の間に設けられる例を示している。つまり、図 8A、及び図 8B は、導電層 112b だけでなく、導電層 112a が絶縁層 110 の下に設けられる例を示している。ここで、図 8A に示す半導体装置 10 を半導体装置 10C とし、図 8B に示すトランジスタ 100 をトランジスタ 100C とする。半導体装置 10C では、開口部 141 は、導電層 112a に達する領域、及び導電層 112b に達する領域を有する。

[0148]

トランジスタ 100C では、縦方向のチャネル長を有さない、つまり縦方向のチャネル長を 0 とすることができる。また、横方向のチャネル長を、トランジスタ 100B より短くできる。以上より、トランジスタ 100C は、トランジスタ 100B よりチャネル長を短くできる。なお、図 8A、及び図 8B では、半導体層 108 の導電層 112a と重なる下面端部、及び導電層 112b と重なる下面端部が、絶縁層 110 上に設けられる例を示しているが、導電層 112a と重なる上記下面端部が導電層 112a と接し、導電層 112b と重なる上記下面端部が導電層 112b と接してもよい。この場合、領域 108na、及び領域 108nb が絶縁層 110 と接しない構成とすることができる。

[0149]

図 9A は、図 2A に示す構成の変形例であり、半導体層 108 の幅 W100 が、導電層 112a の幅 W112a、及び導電層 112b の幅 W112b よりも大きい例を示している。なお、図 9A では、幅 W100 が幅 D141 より小さい例を示しているが、幅 W100 は幅 D141 以上であってもよい。

[0150]

幅 W100 を大きくすることにより、半導体装置 10 が有するトランジスタ 100 のオン電流を大きくできる。一方、幅 W100 を小さくすることにより、トランジスタ 100 を微細なサイズのトランジスタとすることができる。

[0151]

図 9B は、図 2A に示す構成の変形例であり、1 つの開口部 141 に半導体層 108 が 2 つ設けられる例を示している。

[0152]

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“[1]”、“[2]”、“__1”、又は“__2”等の識別用の符号を付記して記載する場合がある。例えば、2 つの半導体層 108 を、それぞれ半導体層 108 [1]、及び半導体層 108 [2] と記載して区別する。

[0153]

図9Bに示す例では、半導体層108[1]、及び半導体層108[2]が、それぞれ同一の導電層112a、及び同一の導電層112bと接する領域を有する例を示している。なお、1つの開口部141に半導体層108が3つ以上設けられてもよい。

[0154]

1つの開口部141に半導体層108を複数設ける場合、1つの開口部141に半導体層108を1つだけ設ける場合より、半導体層108の1つ当たりの面積を小さくできる。これにより、半導体装置10の作製工程において、半導体層108に酸素を供給しやすくなる場合がある。よって、チャネル形成領域の酸素欠損(V_o)及び V_oH を低減できる場合がある。これにより、半導体装置10が有するトランジスタ100を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる場合がある。一方、1つの開口部141に半導体層108を1つ設ける場合、1つの開口部141に半導体層108を複数設ける場合より、半導体装置10が有するトランジスタ100を微細化しつつ、チャネル幅を大きくできる。

[0155]

図10A、及び図10Bは、図2Aに示す構成の変形例であり、開口部141の平面形状が図2Aに示す半導体装置10と異なる。図10Aでは、開口部141の平面形状が矩形である例を示しており、図10Bでは、開口部141の平面形状が隅の丸い矩形である例を示している。

[0156]

例えば図2Aに示すように開口部141の平面形状を円形とすることにより、開口部141を形成する際の加工精度を高めることができる。一方、開口部141の平面形状を矩形、又は隅の丸い矩形等とすることにより、開口部141の側面が平面、又は概略平面である領域を有するため、半導体層108、絶縁層106、及び導電層104等、開口部141の内部に設ける層の被覆性を高めることができる場合がある。また、開口部141の平面形状を矩形とする場合、隅を角張らせることにより、隅を丸くする場合より、半導体装置10が有するトランジスタ100を微細化しつつ、開口部141の平面視における面積を大きくできる。一方、開口部141の隅を丸くする場合、開口部141の隅を角張らせる場合より、開口部141の内部に設ける層の、開口部141の隅に対する被覆性を高めることができる。

[0157]

図11A、及び図11Bは、それぞれ図10A、及び図10Bに示す構成の変形例であり、図9Bに示す構成と同様に1つの開口部141に半導体層108が2つ設けられる例を示している。なお、前述のように1つの開口部141に半導体層108が3つ以上設けられてもよい。

[0158]

図12A、及び図12Bは、それぞれ図11A、及び図11Bに示す構成の変形例であり、半導体層108[1]が設けられる開口部141と、半導体層108[2]が設けられる開口部141と、が異なる例を示している。図12A、及び図12Bでは、半導体層108[1]が設けられる開口部141を開口部141[1]と記載し、半導体層108[2]が設けられる開口部141を開口部141[2]と記載することにより、2つの開口部141を区別する。以降の図面においても同様の記載をする。なお、同一の導電層112a、及び同一の導電層112bと接する領域を有する半導体層108が3つ以上設けられる場合は、開口部141も3つ以上設けることができる。

[0159]

図12A、及び図12Bに示す例では、図11A、及び図11Bに示す例より、絶縁層110から

半導体層 108 へ酸素を供給しやすくなる。一方、図 11A、及び図 11B に示す例では、図 12A、及び図 12B に示す例より、1つのトランジスタ 100 に設けられる開口部 141 の占有面積の合計を小さくできるため、トランジスタ 100 を微細なサイズのトランジスタとすることができる。

[0160]

図 13A は、図 1A に示す構成の変形例である。図 13B は、図 13A から導電層 104 を省略した平面図である。図 13C は、図 13A に示す一点鎖線 A1-A2 における切断面の断面図である。図 13A 乃至図 13C では、1つのトランジスタ 100 が、開口部 141 [1] の内部、及び開口部 141 [2] の内部にまたがって設けられ、平面視において開口部 141 [1] と開口部 141 [2] の間に導電層 112c が設けられる例を示している。別言すると、図 13A 乃至図 13C に示す半導体装置 10 において、導電層 112a 及び導電層 112c は、平面視において開口部 141 [1] を挟んで対向するように設けられる。また、導電層 112b 及び導電層 112c は、平面視において開口部 141 [2] を挟んで対向するように設けられる。ここで、1つの半導体層 108 が複数の開口部 141 の内部にまたがって設けられ、且つ平面視において当該複数の開口部 141 の間に導電層が設けられるトランジスタ 100 をトランジスタ 100D とし、トランジスタ 100D を有する半導体装置 10 を半導体装置 10D とする。

[0161]

図 13A 乃至図 13C に示す例では、1つのトランジスタ 100 が 3つの導電層 112 を有する。なお、1つのトランジスタ 100 が、3つ以上の開口部 141 の内部にまたがって設けられてもよい。この場合、1つのトランジスタ 100 に導電層 112 を 4つ以上設ける構成とすることができる。

[0162]

1つのトランジスタ 100 を複数の開口部 141 の内部にまたがって設けることにより、1つのトランジスタ 100 を 1つの開口部 141 の内部に設ける場合より、トランジスタ 100 の縦方向のチャンネル長を長くし、トランジスタ 100 の飽和性を高くできる。一方、1つのトランジスタ 100 を 1つの開口部 141 の内部に設けることにより、1つのトランジスタ 100 を複数の開口部 141 の内部にまたがって設ける場合より、トランジスタ 100 を微細なサイズのトランジスタとすることができる。

[0163]

図 14A、図 14B、及び図 14C は、それぞれ図 13A、図 13B、及び図 13C に示す構成の変形例であり、開口部 141 [1] の内部に位置する領域を有する半導体層 108 と、開口部 141 [2] の内部に位置する領域を有する半導体層 108 と、が異なる例を示している。図 14A、図 14B、及び図 14C では、開口部 141 [1] の内部に位置する領域を有する半導体層 108 を、半導体層 108 [1] と記載している。また、開口部 141 [2] の内部に位置する領域を有する半導体層 108 を、半導体層 108 [2] と記載している。なお、1つのトランジスタ 100 が、3つ以上の開口部 141 の内部にまたがって設けられる場合、例えば開口部 141 毎に異なる半導体層 108 を設けることができる。ここで、複数の開口部 141 の内部にまたがって設けられ、また当該複数の開口部 141 毎に異なる半導体層 108 が設けられ、さらに平面視において当該複数の開口部 141 の間に導電層が設けられるトランジスタ 100 をトランジスタ 100E とし、トランジスタ 100E を有する半導体装置 10 を半導体装置 10E とする。

[0164]

トランジスタ100Eでは、トランジスタ100Dより、半導体層108の1つ当たりの面積を小さくできる。これにより、半導体装置10Eは、半導体装置10Dより、半導体装置の作製工程において半導体層108に酸素を供給しやすくなる場合がある。よって、チャネル形成領域の酸素欠損(V_o)及びV_oHを低減できる場合がある。よって、トランジスタ100Eは、トランジスタ100Dより良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる場合がある。一方、トランジスタ100Dは、開口部141間の距離をトランジスタ100Eより短くできるため、微細なサイズのトランジスタとすることができる。

[0165]

図15A、図15B、及び図15Cは、それぞれ図13A、図13B、及び図13Cに示す構成の変形例であり、トランジスタ100が、導電層103と、絶縁層105と、を有する例を示している。つまり、図15A、図15B、及び図15Cは、図5A、図5B、及び図5Cに示す構成と、図13A、図13B、及び図13Cに示す構成と、を組み合わせた構成であるといえる。このようなトランジスタ100をトランジスタ100Fとする。また、トランジスタ100Fを有する半導体装置10を半導体装置10Fとする。

[0166]

トランジスタ100Fは、しきい値電圧のシフトを抑制しつつ、トランジスタ100Aより飽和性を高くできる。一方、トランジスタ100Aは、トランジスタ100Fより微細化できる。

[0167]

図16A、図16B、及び図16Cは、それぞれ図15A、図15B、及び図15Cに示す構成の変形例であり、開口部141[1]の内部に位置する領域を有するように半導体層108[1]が設けられ、開口部141[2]の内部に位置する領域を有するように半導体層108[2]が設けられる例を示している。図16A、図16B、及び図16Cは、図14A、図14B、及び図14Cに示す構成と、図15A、図15B、及び図15Cに示す構成と、を組み合わせた構成であるといえる。このようなトランジスタ100をトランジスタ100Gとする。また、トランジスタ100Gを有する半導体装置10を半導体装置10Gとする。

[0168]

トランジスタ100Gは、トランジスタ100Fより良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる場合がある。一方、トランジスタ100Fは、開口部141間の距離をトランジスタ100Gより短くできるため、微細なサイズのトランジスタとすることができる。

[0169]

<半導体装置の構成例2>

図17Aは、本発明の一態様の半導体装置である半導体装置20の構成例を示す平面図である。図17Bは、図17Aに示す一点鎖線A3-A4における切断面の断面図である。図17Cは、図17Aに示す一点鎖線B3-B4における切断面の断面図である。

[0170]

半導体装置20は、図1A、図1C、及び図1Dに示すトランジスタ100の他、トランジスタ100と構成が異なるトランジスタ200を有する。トランジスタ200は、絶縁層101上に設けられる。

[0171]

トランジスタ 200 は、導電層 204 と、導電層 212a と、導電層 212b と、絶縁層 106 と、半導体層 208 と、を有する。トランジスタ 200 において、導電層 204 はゲート電極として機能し、絶縁層 106 の一部はゲート絶縁層として機能する。導電層 212a はソース電極及びドレイン電極の一方として機能し、導電層 212b はソース電極及びドレイン電極の他方として機能する。トランジスタ 200 を構成する各層は、単層構造であってもよく、積層構造であってもよい。

[0172]

導電層 212a は、絶縁層 101 上に設けられる。絶縁層 110 は、導電層 212a 上に設けられる。絶縁層 110 は、導電層 212a の上面及び側面を覆うように設けられる。絶縁層 110 は、導電層 212a に達する開口部 241 を有する。開口部 241 の内部に位置する領域を有するように、トランジスタ 200 が設けられる。なお、図 17B、及び図 17C では、絶縁層 110 が平坦化されている例を示しているが、絶縁層 110 が平坦化されていなくてもよい。

[0173]

絶縁層 110 上に、導電層 212b が設けられる。導電層 212b は、開口部 241 と重なる領域を有する開口部 243 を有する。開口部 241、及び開口部 243 の平面形状は、開口部 141 がとり得る平面形状と同様の形状とすることができる。ここで、開口部 241 の平面形状と開口部 243 の平面形状は、互いに一致、又は概略一致させることができる。このとき、導電層 212b の開口部 243 側の下面端部は、絶縁層 110 の開口部 241 側の上面端部と一致、又は概略一致することが好ましい。導電層 212b の下面とは、絶縁層 110 側の面を指す。絶縁層 110 の上面とは、導電層 212b 側の面を指す。

[0174]

なお、開口部 241 の平面形状と開口部 243 の平面形状とは互いに一致しなくてもよい。また、開口部 241 と開口部 243 の平面形状が円形であるとき、開口部 241 と開口部 243 は同心円状であってもよく、同心円状でなくてもよい。

[0175]

導電層 212b は、導電層 112a、及び導電層 112b と同じ材料を用いることができる。また、導電層 212b は、導電層 112a、及び導電層 112b と同じ工程で形成できる。例えば、導電層 112a、導電層 112b、及び導電層 212b となる導電膜を形成し、当該導電膜を加工することにより、導電層 112a、導電層 112b、及び導電層 212b を形成できる。

[0176]

半導体層 208 は、開口部 241 の内部に位置する領域、及び開口部 243 の内部に位置する領域を有する。半導体層 208 は、開口部 241 の底面及び側面、並びに開口部 243 の側面に沿って設けることができる。半導体層 208 は、例えば導電層 212a の上面と接する領域、導電層 212b の側面と接する領域、及び導電層 212b の上面と接する領域を有することができる。さらに、半導体層 208 は、絶縁層 110 の側面と接する領域を有することができる。

[0177]

半導体層 208 の導電層 212a と接する領域はソース領域及びドレイン領域の一方として機能し、導電層 212b と接する領域は他方として機能する。半導体層 208 において、ソース領域とドレイン領域の間にチャンネル形成領域が設けられる。

[0178]

半導体層 208 は、半導体層 108 と同じ材料を用いることができる。また、半導体層 208 は、

半導体層 108 と同じ工程で形成できる。例えば、半導体層 108、及び半導体層 208 となる半導体膜を形成し、当該半導体膜を加工することにより、半導体層 108、及び半導体層 208 を形成できる。

[0179]

絶縁層 106 は、開口部 241 の内部に位置する領域、及び開口部 243 の内部に位置する領域を有するように設けられ、具体的には開口部 241、及び開口部 243 を覆うように設けられる。絶縁層 106 は、半導体層 208 上、及び導電層 212b 上に設けられる。絶縁層 106 は、半導体層 208 の上面及び側面、並びに、導電層 212b の上面及び側面に沿った形状を有する。絶縁層 106 は、半導体層 208 の上面と接する領域、半導体層 208 の側面と接する領域、導電層 212b の上面と接する領域、及び導電層 212b の側面と接する領域を有することができる。

[0180]

導電層 204 は、開口部 241 の内部に位置する領域、及び開口部 243 の内部に位置する領域を有するように、絶縁層 106 上に設けられる。導電層 204 は、開口部 241 の内部において、絶縁層 106 を半導体層 208 との間に挟んで対向する領域を有するように設けられる。導電層 204 は、絶縁層 106 に沿った形状を有し、具体的には絶縁層 106 の上面、並びに、開口部 241 及び開口部 243 の内部における絶縁層 106 の側面に沿った形状を有することができる。また、導電層 204 は、絶縁層 106 の上面と接する領域、並びに、開口部 241 及び開口部 243 の内部における絶縁層 106 の側面と接する領域を有することができる。

[0181]

導電層 204 は、導電層 104 と同じ材料を用いることができる。また、導電層 204 は、導電層 104 と同じ工程で形成できる。例えば、導電層 104、及び導電層 204 となる導電膜を形成し、当該導電膜を加工することにより、導電層 104、及び導電層 204 を形成できる。

[0182]

トランジスタ 200 を覆うように、絶縁層 109 が設けられる。絶縁層 109 は、導電層 204 上に設けられる。絶縁層 109 は、トランジスタ 200 の保護層として機能する。

[0183]

トランジスタ 200 は、半導体層 208 よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、半導体層 208 の下面がソース電極及びドレイン電極として機能する導電層 212a 及び導電層 212b と接することから、TGBC (Top Gate Bottom Contact) 型のトランジスタということができる。また、トランジスタ 200 は、被形成面である絶縁層 101 の表面に対してソース電極とドレイン電極とが異なる高さに位置し、絶縁層 101 の表面に対して垂直方向、又は概略垂直方向にドレイン電流が流れる。トランジスタ 200 において、縦方向、又は概略縦方向にドレイン電流が流れるということもできる。そのため、トランジスタ 200 は、縦チャンネル型トランジスタ、又は VFET (Vertical Field Effect Transistor) ということができる。

[0184]

トランジスタ 200 は、導電層 212a と導電層 212b の間に設けられる絶縁層 110 の厚さでチャンネル長を制御できる。したがって、トランジスタの作製に用いる露光装置の限界解像度よりも小さなチャンネル長を有するトランジスタを精度高く作製できる。また、複数のトランジスタ 200 間の特性ばらつきも低減される。よって、トランジスタ 200 を含む半導体装置の動作が安定し、

信頼性を高めることができる。また、特性ばらつきが減ると、回路設計の自由度が高くなり、半導体装置の動作電圧を低くできる。よって、半導体装置の消費電力を低くできる。

[0185]

トランジスタ200は、ソース電極、チャネル形成領域を有する層、及びドレイン電極を、重ねて設けることができるため、チャネル形成領域を有する層を平面状に配置した、いわゆるプレーナ型トランジスタと比較して、占有面積を大幅に縮小できる。

[0186]

導電層212a、導電層212b、及び導電層204はそれぞれ、配線として機能でき、トランジスタ200はこれらの配線が重なる領域に設けることができる。つまり、トランジスタ200及び配線を有する回路において、トランジスタ200及び配線の占有面積を縮小できる。したがって、回路の占有面積を縮小でき、小型の半導体装置とすることができる。

[0187]

チャネル長の短いトランジスタ200と、チャネル長の長いトランジスタ100を、一部の工程を共通にして絶縁層101上に形成できる。例えば、大きいオン電流が求められるトランジスタにトランジスタ200を適用し、高い飽和性を求められるトランジスタにトランジスタ100を適用することにより、高い性能の半導体装置とすることができる。このように、本発明の一態様の半導体装置においては、同一基板上で、チャネル長の異なるトランジスタを、絶縁層の厚さ、及びパターン形成により、自由に設計できるといった優れた効果を奏する。

[0188]

図17Aでは、開口部241の幅を幅D241とする。また、図17Aでは、幅D241を、両矢印で示している。以降の図面においても同様の表記をする。

[0189]

幅D241は、小さいことが好ましく、例えばチャネル長を大きくすることが好ましいトランジスタ100が設けられる開口部141の幅D141以下であることが好ましい。これにより、トランジスタ200を、微細なサイズのトランジスタとすることができる。また、トランジスタ100のチャネル長は幅D141に依存することから、幅D141を幅D241より大きくすることにより、トランジスタ100のチャネル長を確保しつつ、トランジスタ200を微細なサイズのトランジスタとすることができる。

[0190]

トランジスタ200のソース電極又はドレイン電極の一方として機能する導電層212a、及びトランジスタ200のソース電極又はドレイン電極の他方として機能する導電層212bは、異なる面上に設けられる。具体的には、導電層212aは絶縁層101上に設けられ、導電層212bは絶縁層110上に設けられ、絶縁層110は導電層212aと導電層212bに挟持される。一方、トランジスタ100のソース電極又はドレイン電極の一方として機能する導電層112a、及びトランジスタ100のソース電極又はドレイン電極の他方として機能する導電層112bは、同じ面上に設けられる。具体的には、導電層112a及び導電層112bは絶縁層110上に設けられる。トランジスタ200のソース電極又はドレイン電極の一方は、トランジスタ100のソース電極及びドレイン電極と異なる面上に設けられ、トランジスタ200のソース電極又はドレイン電極の他方は、トランジスタ100のソース電極及びドレイン電極と同じ面上に設けられるともいえる。

[0191]

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小でき、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方又は双方）に適用する場合、駆動回路の占有面積を縮小でき、狭額縁の表示装置とすることができる。

[0192]

図18A、及び図18Bは、それぞれ図17A、及び図17Bに示すトランジスタ200の拡大図である。図18A、及び図18Bを用いて、トランジスタ200のチャネル長、及びチャネル幅等について説明する。

[0193]

図18A、及び図18Bでは、トランジスタ200のチャネル長を長さ L_{200} 、チャネル幅を幅 W_{200} 、絶縁層110の厚さを厚さ T_{110_2} 、絶縁層110の開口部241における側面と絶縁層101の上面とのなす角を角度 θ_{110} とする。また、図18A、及び図18Bでは、長さ L_{200} 、幅 W_{200} 、及び厚さ T_{110_2} を、両矢印で示している。以降の図面においても同様の表記をする。ここで、厚さ T_{110_2} は、図18Bに示すように、断面視における導電層212aの被形成面（ここでは、導電層212aの上面）と導電層212bの下面の最短距離とすることができる。

[0194]

図18Bでは、半導体層208の領域として、領域208i、領域208na、及び領域208nbを示している。領域208iは、領域208naと領域208nbの間に設けられる。

[0195]

領域208iの少なくとも一部は、トランジスタ200のチャネル形成領域として機能する。領域208naは、半導体層208の導電層212aと接する領域、及びその近傍の領域である。領域208naの少なくとも一部は、トランジスタ200のソース領域及びドレイン領域の一方として機能する。領域208nbは、半導体層208の導電層212bと接する領域、及びその近傍の領域である。領域208nbの少なくとも一部は、トランジスタ200のソース領域及びドレイン領域の他方として機能する。領域208na、及び領域208nbの少なくとも一部は、領域208iの少なくとも一部より電気抵抗が低い領域（以下、低抵抗領域とも記す）とすることができる。例えば、領域208na、及び領域208nbの少なくとも一部は、領域208iの少なくとも一部よりキャリア濃度が高い領域、又は酸素欠陥密度が高い領域とすることができる。図18Bでは、領域208iと領域208nbの境界の高さが、絶縁層110と導電層212bの境界の高さと一致、又は概略一致する例を示しているが、これらの高さが一致、又は概略一致しなくてもよい。

[0196]

トランジスタ200のチャネル長である長さ L_{200} は、断面視における絶縁層110の開口部241における側面の長さに相当する。つまり、長さ L_{200} は、絶縁層110の厚さ T_{110_2} 、及び絶縁層110の開口部241における側面と絶縁層110の被形成面（ここでは、導電層212aの上面）とのなす角の角度 θ_{110} で決まる。したがって、長さ L_{200} を露光装置の限界解像度よりも小さな値とすることができ、微細なサイズのトランジスタを実現できる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば、最小線幅 $2\mu\text{m}$ 又は $1.5\mu\text{m}$ 程度）では実現できなかった、極めて小さいチャネル長のトランジスタを実現できる。また、最先端のLSI技術で用いられる極めて高価な露光装置を用いることなく、チャネル長が 10nm 未満

のトランジスタを実現することもできる。

[0197]

長さL200は、例えば、0.1nm以上3 μ m未満、0.1nm以上2.5 μ m以下、1nm以上2 μ m以下、1nm以上1.5 μ m以下、5nm以上1.2 μ m以下、5nm以上1 μ m以下、7nm以上500nm以下、7nm以上300nm以下、10nm以上200nm以下、10nm以上100nm以下、又は10nm以上50nm以下とすることができる。

[0198]

長さL200を小さくすることにより、トランジスタ200のオン電流を大きくできる。トランジスタ200を用いることにより、高速動作が可能な回路を作製できる。さらには回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置とすることができる。例えば、本発明の一態様の半導体装置を大型の表示装置、又は高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減でき、表示ムラを抑制できる。また、回路の占有面積を縮小できるため、表示装置の額縁を狭くできる。

[0199]

絶縁層110の厚さT110₂及び角度 θ 110を調整することにより、長さL200を制御できる。

[0200]

絶縁層110の開口部241における側面は、開口部141における側面と同様に、垂直形状であることが好ましく、例えば絶縁層101に対して垂直であることが好ましい。なお、絶縁層110の開口部241における側面は、テーパ形状であってもよい。また、絶縁層110の開口部241における側面の形状は、開口部141における側面の形状と同様に直線であってもよいし、曲線であってもよいし、また側面の形状が直線である領域と曲線である領域の双方を有してもよい。

[0201]

ここで、導電層212bは、開口部241の内部に設けないことが好ましい。具体的には、導電層212bは、絶縁層110の開口部241における側面と接する領域を有さないことが好ましい。導電層212bを開口部241の内側にも設ける場合、トランジスタ200の長さL200が絶縁層110の側面の長さより短くなり、長さL200の制御が困難になってしまう場合がある。したがって、開口部243の平面形状が開口部241の平面形状と一致、又は、上面視において開口部243が開口部241を包含することが好ましい。

[0202]

図18Aでは、開口部241の平面形状が円形である例を示す。このとき、幅D241は当該円の直径に相当し、トランジスタ200のチャネル幅である幅W200は当該円の円周の長さとなる。すなわち、幅W200は、 $\pi \times D141$ となる。このように、開口部241の平面形状が円形であると、他の形状に比べて、幅W200の小さいトランジスタを実現できる。

[0203]

開口部241の幅D241は、深さ方向で変化する場合がある。開口部241の幅D241として、例えば、断面視における絶縁層110の最も高い位置の径、最も低い位置の径、及びこれらの中間点の位置の径の3つの平均値を用いることができる。又は、開口部241の径として、例えば、断面視における絶縁層110の最も高い位置の径、最も低い位置の径、又はこれらの中間点の位置の径の、いずれかの径を用いてもよい。

[0204]

フォトリソグラフィ法を用いて開口部241を形成する場合、開口部241の幅D241は露光装置の限界解像度以上となる。幅D241は、例えば、200nm以上5 μ m未満、200nm以上4.5 μ m以下、300nm以上4 μ m以下、300nm以上3.5 μ m以下、400nm以上3 μ m以下、400nm以上2.5 μ m以下、500nm以上2 μ m以下、500nm以上1.5 μ m以下、又は500nm以上1 μ m以下とすることができる。

[0205]

例えば図18Bでは、トランジスタ200において、半導体層208、絶縁層106、及び導電層204が、開口部241及び開口部243を覆う例を示しているが、本発明の一態様はこれに限られない。絶縁層110と、導電層212aとによって段差が形成され、当該段差に沿って半導体層208、絶縁層106及び導電層204が設けられる構成としてもよい。

[0206]

図19Aは、図17Bに示す構成の変形例であり、絶縁層110が、絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、の3層積層構造である例を示している。なお、平面構成例は図17Aを参照できる。

[0207]

図19Aに示す例では、絶縁層110aは、半導体層108の側面と接する領域、半導体層208の側面と接する領域、導電層212aの上面と接する領域、導電層212aの側面と接する領域、及び絶縁層101の上面と接する領域を有することができる。絶縁層110bは、半導体層108の側面と接する領域、及び半導体層208の側面と接する領域を有することができる。絶縁層110cは、半導体層108の側面と接する領域、半導体層208の側面と接する領域、導電層112aの下面と接する領域、導電層112bの下面と接する領域、導電層212bの下面と接する領域、及び絶縁層106の下面と接する領域を有することができる。なお、図19Aでは、絶縁層110aが平坦化されておらず、絶縁層110bが平坦化されている例を示しているが、絶縁層110aが平坦化されていてもよいし、絶縁層110bが平坦化されていなくてもよい。絶縁層110bが平坦化されていない場合、絶縁層110cは平坦化されていてもよいし、平坦化されていなくてもよい。

[0208]

絶縁層110aは、絶縁層110cに用いることができる材料を用いることができ、絶縁層110cと同様の機能を有することができる。例えば、絶縁層110aは、絶縁層110bより酸素の含有量が少ないことが好ましい。言い換えると、絶縁層110bは、絶縁層110aより酸素の含有量が多いことが好ましい。また、絶縁層110bは、絶縁層110a、及び絶縁層110cより酸素の含有量が多いことが好ましい。例えば、絶縁層110bの単位体積あたりの酸素の含有量は、絶縁層110aの単位体積あたりの酸素の含有量、及び絶縁層110cの単位体積あたりの酸素の含有量より多いことが好ましい。

[0209]

また、絶縁層110a、及び絶縁層110cは、酸素が透過しにくい膜を用いることが好ましく、例えば絶縁層110bより酸素が透過しにくい膜を用いることが好ましい。また、絶縁層110a、及び絶縁層110cは、酸素の拡散係数が小さい膜を用いることが好ましく、例えば絶縁層110bより酸素の拡散係数が小さい膜を用いることが好ましい。以上により、絶縁層110bに含まれ

る酸素が、絶縁層 110a を介して導電層 212a に拡散し、絶縁層 110c を介して導電層 112a、導電層 112b、及び導電層 212b に拡散することを抑制できる。これにより、導電層 112a、導電層 112b、導電層 212a、及び導電層 212b の電気抵抗が高くなることを抑制できる。それとともに、絶縁層 110b に含まれる酸素が絶縁層 110a 側、及び絶縁層 110c 側に拡散することが抑制されるため、絶縁層 110b からトランジスタ 200 のチャネル形成領域へ供給される酸素の量が増え、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減できる。これにより、トランジスタ 200 を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0210]

図 19B は、図 19A に示す半導体層 208、及びその近傍の領域を示す拡大図である。図 19B では、半導体層 208 の、導電層 212a と接する領域、及びその近傍の領域だけでなく、絶縁層 110a と接する領域、及びその近傍の領域である領域 107a を、低抵抗領域を含む領域 208na に含める例を示している。また、図 19B では、半導体層 208 の、導電層 212b と接する領域、及びその近傍の領域だけでなく、絶縁層 110c と接する領域、及びその近傍の領域である領域 107b を、低抵抗領域を含む領域 208nb に含める例を示している。図 19B では、領域 208i と領域 208nb の境界の高さが、絶縁層 110b と絶縁層 110c の境界の高さと一致、又は概略一致する例を示しているが、これらの高さは一致、又は概略一致しなくてもよい。

[0211]

絶縁層 110a に不純物を放出する材料を用いることで、領域 107a を低抵抗領域とすることができる。また、絶縁層 110c に不純物を放出する材料を用いることで、領域 107b を低抵抗領域とすることができる。半導体層 208 は、トランジスタ 100 のソース領域及びドレイン領域と、チャネル形成領域と、の間に、低抵抗領域を有する構成とすることができる。前述のように、低抵抗領域は、ドレイン電界を緩和するためのバッファ領域として機能できる。なお、これらの低抵抗領域が、ソース領域又はドレイン領域として機能してもよい。

[0212]

前述のように、ドレイン領域とチャネル形成領域との間に低抵抗領域を設けることにより、ドレイン領域近傍に高い電界が生じにくくなる。これにより、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制できる。例えば、導電層 212a がドレイン電極として機能し、導電層 212b がソース電極として機能する場合、半導体層 208 の絶縁層 110a と接する領域を低抵抗領域とすることにより、ドレイン領域近傍に高い電界が生じにくくなる。また、導電層 212a がソース電極として機能し、導電層 212b がドレイン電極として機能する場合、半導体層 208 の絶縁層 110c と接する領域を低抵抗領域とすることにより、ドレイン領域近傍に高い電界が生じにくくなる。

[0213]

絶縁層 110c と同様に、絶縁層 110a から放出される不純物の量が多すぎると、チャネル形成領域に不純物が拡散してしまう恐れがある。絶縁層 110a 及び絶縁層 110c として不純物を放出する材料を用いる場合であっても、放出される不純物の量は少ないことが好ましい。

[0214]

図 19B では、絶縁層 110a の厚さを厚さ T_{110a} 、絶縁層 110b の厚さを厚さ T_{110b} 、絶縁層 110c の厚さを厚さ T_{110c} としている。

[0215]

絶縁層110aの厚さT110aは、例えば、0.5nm以上1 μ m未満、0.5nm以上500nm以下、0.5nm以上400nm以下、1nm以上300nm以下、1nm以上200nm以下、1nm以上150nm以下、2nm以上100nm以下、2nm以上50nm以下、2nm以上30nm以下、3nm以上20nm以下、3nm以上15nm以下、又は3nm以上10nm以下とすることができる。厚さT110aは、図19Bに示すように、断面視における絶縁層110aの被形成面（ここでは、導電層212aの上面）と絶縁層110bの下面の最短距離とすることができる。

[0216]

絶縁層110aの厚さT110aが厚いと、絶縁層110aから放出される不純物の量が多くなり、チャンネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さT110aが薄いと、絶縁層110bに含まれる酸素が絶縁層110aを介して、導電層212a側に拡散し、チャンネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さT110aを前述の範囲とすることにより、チャンネル形成領域の酸素欠損（ V_o ）及び V_oH を低減できる。また、絶縁層110bに含まれる酸素によって導電層212aが酸化され、導電層212aの電気抵抗が高くなることを抑制できる。これにより、トランジスタ200を、良好な電気特性を示し、且つ信頼性の高いトランジスタとすることができる。

[0217]

図19Bに示す例において、トランジスタ200のチャンネル長である長さL200は、断面視における絶縁層110bの開口部241における側面の長さに相当する。つまり、図19Bに示す例において、長さL200は、厚さT110b—2と、角度 θ 110と、で決めることができる。

[0218]

図20A、及び図20Bは、それぞれ図17A、及び図19Aに示す半導体装置20の変形例であり、トランジスタ100として導電層103、及び絶縁層105を有するトランジスタ100Aが設けられる例を示している。ここで、トランジスタ100Aを有する半導体装置20を、半導体装置20Aとする。図20Bでは、絶縁層105上に導電層212aが設けられる例を示している。

[0219]

図20Cは、図20Bに示す構成の変形例であり、導電層212aが、絶縁層101と絶縁層105の間に設けられる例を示している。図20Cに示す例では、開口部241は、絶縁層110だけでなく、絶縁層105にも設けられる。また、図20Cに示す例では、導電層212aは、導電層103と同じ材料を用い、同じ工程で形成できる。例えば、導電層103、及び導電層212aとなる導電膜を形成し、当該導電膜を加工することにより、導電層103、及び導電層212aを形成できる。

[0220]

図21A、及び図21Bは、それぞれ図17A、及び図19Aに示す半導体装置20の変形例であり、トランジスタ100のゲート電極が、トランジスタ200のソース電極又はドレイン電極の他方と電気的に接続される例を示している。具体的には、図21A、及び図21Bでは、トランジスタ100のゲート電極と、トランジスタ200のソース電極又はドレイン電極の他方と、を共に導電層104とする例を示している。ここで、図21A、及び図21Bでは、トランジスタ200が導電層212bを有さない例を示している。図21A、及び図21Bに示す半導体装置20を、半

導体装置 20B とする。

[0221]

図 21A、及び図 21B に示す半導体装置 20B において、絶縁層 110、及び絶縁層 106 は、導電層 212a に達する開口部 245 を有する。開口部 245 の内部に位置する領域を有するように、トランジスタ 200 が設けられる。

[0222]

導電層 104 は、開口部 245 と重なる領域を有する開口部 247 を有する。開口部 245 の平面形状は、開口部 241 がとり得る平面形状と同様の形状とすることができ、開口部 247 の平面形状は、開口部 243 がとり得る平面形状と同様の形状とすることができる。ここで、開口部 245 の平面形状と開口部 247 の平面形状は、互いに一致、又は概略一致させることができる。このとき、導電層 104 の開口部 247 側の下面端部は、絶縁層 106 の開口部 245 側の上面端部と一致、又は概略一致することが好ましい。

[0223]

なお、開口部 245 の平面形状と開口部 247 の平面形状とは互いに一致しなくてもよい。また、開口部 245 と開口部 247 の平面形状が円形であるとき、開口部 245 と開口部 247 は同心円状であってもよく、同心円状でなくてもよい。

[0224]

図 21A、及び図 21B に示す半導体装置 20B において、半導体層 208 は、開口部 245 の内部に位置する領域、及び開口部 247 の内部に位置する領域を有する。半導体層 208 は、開口部 245 の底面及び側面、並びに開口部 247 の側面に沿って設けることができる。半導体層 208 は、例えば導電層 212a の上面と接する領域、導電層 104 の側面と接する領域、及び導電層 104 の上面と接する領域を有することができる。さらに、半導体層 208 は、絶縁層 110 の側面と接する領域、及び絶縁層 106 の側面と接する領域を有することができる。

[0225]

半導体層 208 上には、トランジスタ 200 のゲート絶縁層として機能する絶縁層 206 が設けられる。絶縁層 206 は、開口部 245 の内部に位置する領域、及び開口部 247 の内部に位置する領域を有するように設けられ、具体的には開口部 245、及び開口部 247 を覆うように設けられる。絶縁層 206 は、半導体層 208 上、導電層 104 上、及び絶縁層 106 上に設けられる。絶縁層 206 は、半導体層 208 の上面及び側面、導電層 104 の上面及び側面、並びに、絶縁層 106 に沿った形状を有する。絶縁層 206 は、半導体層 208 の上面と接する領域、半導体層 208 の側面と接する領域、導電層 104 の上面と接する領域、導電層 104 の側面と接する領域、及び絶縁層 106 と接する領域を有することができる。

[0226]

導電層 204 は、開口部 245 の内部に位置する領域、及び開口部 247 の内部に位置する領域を有するように、絶縁層 206 上に設けられる。導電層 204 は、開口部 245 の内部において、絶縁層 206 を半導体層 208 との間に挟んで対向する領域を有するように設けられる。導電層 204 は、絶縁層 206 に沿った形状を有し、具体的には絶縁層 206 の上面、並びに、開口部 245 及び開口部 247 の内部における絶縁層 206 の側面に沿った形状を有することができる。また、導電層 204 は、絶縁層 206 の上面と接する領域、並びに、開口部 245 及び開口部 247 の内部における絶縁層 206 の側面と接する領域を有することができる。

[0227]

半導体装置20等は、表示装置に適用でき、例えば表示装置が有する画素回路に適用できる。図22Aは、本発明の一態様の表示装置である、表示装置30の構成例を示すブロック図である。表示装置30は、表示部25と、走査線駆動回路31と、信号線駆動回路33と、電源回路35と、を有する。表示部25は、マトリクス状に配列された複数の画素21を有する。なお、電源回路35は、表示装置30の外部に設けられるとしてもよい。

[0228]

走査線駆動回路31は、配線41を介して画素21と電氣的に接続される。配線41は、例えば上記マトリクスの行方向に延伸する。

[0229]

信号線駆動回路33は、配線43を介して画素21と電氣的に接続される。配線43は、例えば上記マトリクスの列方向に延伸する。

[0230]

電源回路35は、配線45を介して画素21と電氣的に接続される。例えば、全ての画素21を、同一の配線45を介して電源回路35と電氣的に接続できる。

[0231]

図22Aにおいて、配線41、及び配線43を直線で示しているが、1本の直線が1本の配線であるとは限られず、複数の配線を1本の直線で表す場合がある。以降のブロック図、及び回路図等においても、複数の配線を1本の直線で表す場合がある。また、配線41、及び配線43以外の配線においても、複数の配線を1本の直線で表す場合がある。

[0232]

画素21は、表示素子を有し、表示素子により画像を表示部25に表示できる。表示素子として、例えば発光素子を用いることができ、具体的には有機EL素子を用いることができる。また、表示素子として、液晶素子（液晶デバイスともいう。）を用いてもよい。

[0233]

走査線駆動回路31は、例えば画像データを書き込む画素21を、行ごとに選択する機能を有する。走査線駆動回路31は、具体的には、配線41に信号を出力することにより、画像データを書き込む画素21を選択できる。ここで、走査線駆動回路31は、例えば1行目の配線41に上記信号を出力した後、2行目の配線41に上記信号を出力し、最終行の配線41まで順に上記信号を出力することにより、全ての画素21を選択することができる。よって、走査線駆動回路31が配線41に出力する信号は走査信号であり、配線41は走査線ということができる。

[0234]

信号線駆動回路33は、画像データを生成する機能を有する。画像データは、配線43を介して画素21に供給される。例えば、走査線駆動回路31が選択している行に含まれる全ての画素21に画像データを書き込むことができる。ここで、画像データは、信号（画像信号）として表すことができる。よって、配線43は、信号線ということができる。

[0235]

電源回路35は、電源電位を生成し、配線45に供給する機能を有する。電源回路35は、例えば高電源電位（以下、単に「高電位」、又は「VDD」ともいう。）を生成し、配線45に供給する機能を有する。また、電源回路35は、低電源電位（以下、単に「低電位」、又は「VSS」とも

いう。)を生成する機能を有してもよい。配線45に電源電位が供給されることから、配線45は、電源線といえることができる。

[0236]

図22Bは、画素21の構成例を示す平面図である。画素21は、複数の副画素23を有することができる。図22Bでは、画素21が、副画素23R、副画素23G、及び副画素23Bを有する例を示している。ここで、画素21が表示素子として発光素子を有する場合、例えば図22Bに示す副画素の平面形状は、発光素子の発光領域の平面形状に相当する。なお図22Bでは、副画素23R、副画素23G、及び副画素23Bの開口率(サイズ、又は発光領域のサイズともいえる)を等しく又は概略等しく示すが、本発明の一態様はこれに限られない。副画素23R、副画素23G、及び副画素23Bの開口率は、それぞれ適宜決定できる。副画素23R、副画素23G、及び副画素23Bの開口率は、それぞれ異なってもよく、2つ以上が等しく又は概略等しくてもよい。

[0237]

本明細書等において、例えば副画素23R、副画素23G、及び副画素23Bに共通する事項を説明する場合には、これらを区別するアルファベットを省略し、副画素23と記載する場合がある。アルファベットで区別する他の要素についても、これらに共通する事項を説明する場合には、アルファベットを省略した符号を用いて説明する場合がある。

[0238]

図22Bに示す画素21には、副画素23の配列法としてストライプ配列が適用されている。なお、副画素23の配列法として、Sストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、又はペンタイル配列等を適用してもよい。

[0239]

副画素23R、副画素23G、及び副画素23Bは、それぞれ異なる色の光を呈する。副画素23R、副画素23G、及び副画素23Bとして、赤色(R)、緑色(G)、及び青色(B)の3色の副画素、並びに黄色(Y)、シアン(C)、及びマゼンタ(M)の3色の副画素等が挙げられる。また、画素21に副画素23を4個以上設けてもよい。例えば、画素21に、R、G、B、及び白色(W)の4色の副画素を設けてもよい。以上、表示装置30は、画素21が異なる色の光を呈する副画素23を複数有することにより、表示部25にフルカラーの画像を表示できる。なお、画素21に、例えばR、G、B、及び赤外光(IR)の副画素を設けてもよい。

[0240]

なお、表示部25には、センサが設けられてもよく、例えば画素21にセンサを設けてもよい。例えば、表示部25が、指紋センサとしての機能を有してもよい。例えば、表示部25が、光学式、又は超音波式の指紋センサとしての機能を有してもよい。

[0241]

図22Cは、副画素23の構成例を示す回路図である。図22Cに示す副画素23は、画素回路40Aと、発光素子60と、を有する。発光素子60として、例えば、OLED(Organic Light Emitting Diode)、又はQLED(Quantum-dot Light Emitting Diode)を用いることが好ましい。発光素子60が有する発光物質として、例えば、蛍光を発する物質(蛍光材料)、燐光を発する物質(燐光材料)、熱活性化遅延蛍光を示す物質(熱活性化遅延蛍光(Thermally activated delayed fluorescence:TADF)材料)、及び無機化合物(例えば量子ドット材料)が挙げ

られる。また、発光素子60として、マイクロLED (Light Emitting Diode) 等のLEDを用いることもできる。

[0242]

画素回路40Aは、トランジスタ200、トランジスタ100、及び容量57を有する。つまり、画素回路40Aは、2Tr (トランジスタ) 1C (容量) 型の画素回路である。

[0243]

画素回路40Aにおいて、トランジスタ200のソース又はドレインの一方は、配線43と電氣的に接続される。トランジスタ200のソース又はドレインの他方は、トランジスタ100のゲートと電氣的に接続される。トランジスタ100のゲートは、容量57の一方の電極と電氣的に接続される。トランジスタ200のゲートは、配線41と電氣的に接続される。

[0244]

トランジスタ100のソース又はドレインの一方は、配線45と電氣的に接続される。トランジスタ100のソース又はドレインの他方は、容量57の他方の電極と電氣的に接続される。容量57の他方の電極は、発光素子60の一方の電極と電氣的に接続される。発光素子60の他方の電極は、配線47と電氣的に接続される。ここで、発光素子60の一方の電極は、画素電極ともいう。また、配線47は、例えば全ての副画素23間で共有できる。よって、発光素子60の他方の電極は、共通電極ともいう。

[0245]

前述のように、配線41は走査線として機能し、配線43は信号線として機能し、配線45は電源線として機能する。また、配線47は電源線として機能し、例えば配線45に高電源電位が供給される場合は、配線47には低電源電位が供給される。配線47は、例えば電源回路35と電氣的に接続できる。

[0246]

トランジスタ200は、スイッチとしての機能を有し、選択トランジスタともいう。トランジスタ200は、配線41の電位に基づいて、配線43とトランジスタ100のゲートとの間の導通状態、及び非導通状態を制御する機能を有する。トランジスタ200をオン状態とすることにより、画像データが画素回路40Aに書き込まれ、トランジスタ200をオフ状態とすることにより、書き込まれた画像データが保持される。ここで、トランジスタ200のオン電流が大きいと、画素回路40Aへの画像データの書き込みを高速に行うことができ好ましい。

[0247]

トランジスタ100は、発光素子60に流れる電流量を制御する機能を有し、駆動トランジスタともいう。容量57は、トランジスタ100のゲートの電位を保持する機能を有する。発光素子60の発光輝度は、トランジスタ100のゲートに供給される、画像データに対応する電位に応じて制御される。具体的には、配線45に高電源電位が供給され、配線47に低電源電位が供給される場合、トランジスタ100のゲートの電位に応じて、配線45から配線47に流れる電流の大きさが制御される。これにより、発光素子60の発光輝度が制御される。ここで、トランジスタ100の飽和性が高いと、発光素子60に流れる電流を安定化させ、発光素子60の発光輝度を安定化させることができ好ましい。例えば、表示部25に静止画を表示する場合に、発光素子60に流れる電流に経時的なばらつきが発生することを抑制し、発光素子60の発光輝度に経時的なばらつきが発生することを抑制できる。

[0248]

図22Cに示すトランジスタ100、及びトランジスタ200には、図21A、及び図21Bに示すトランジスタ100、及びトランジスタ200を適用できる。前述のように、トランジスタ100は、トランジスタ200よりチャネル長が長く、飽和性が高い。また、トランジスタ100は、微細なサイズのトランジスタとすることができる。以上より、トランジスタ100を駆動トランジスタに適用することにより、副画素23が設けられる画素21を微細化しつつ、駆動トランジスタの飽和性を高くできる。よって、発光素子60に流れる電流を安定化させ、発光素子60の発光輝度を安定化させることができる。

[0249]

また、トランジスタ200は、トランジスタ100よりチャネル長が短い。よって、トランジスタ200は、トランジスタ100よりオン電流を大きくできる。また、トランジスタ200は、微細なサイズのトランジスタとすることができる。以上より、トランジスタ200を選択トランジスタに適用することにより、副画素23が設けられる画素21を微細化しつつ、選択トランジスタのオン電流を大きくできる。よって、画素21を微細化しつつ、画素21への画像データの書き込みを、高速に行うことができる。

[0250]

以上より、半導体装置20を表示装置に適用することにより、高精細、高信頼性、且つ高速に駆動する表示装置を実現できる。

[0251]

ここで、例えば図3A、及び図17Aに示す幅D141が、図19Bに示す厚さT110b₂に比して大きいと、トランジスタ100のチャネル長と、トランジスタ200のチャネル長と、の差を大きくできる。これにより、トランジスタ100の飽和性をより高くし、トランジスタ200のオン電流をより大きくできる場合があり好ましい。

[0252]

図22Dは、副画素23の構成例を示す回路図である。図22Dに示す副画素23は、画素回路40Bと、液晶素子69と、を有する。

[0253]

画素回路40Bは、トランジスタ50、及び容量57を有する。つまり、画素回路40Bは、1T₁C型の画素回路である。

[0254]

画素回路40Bにおいて、トランジスタ50のソース又はドレインの一方は、配線43と電氣的に接続される。トランジスタ50のソース又はドレインの他方は、容量57の一方の電極と電氣的に接続される。容量57の一方の電極は、液晶素子69の一方の電極と電氣的に接続される。トランジスタ50のゲートは、配線41と電氣的に接続される。容量57の他方の電極、及び液晶素子69の他方の電極は、配線45と電氣的に接続される。ここで、液晶素子69の一方の電極は、画素電極ともいう。また、液晶素子69の他方の電極は、共通電極という場合がある。また、画素回路40Bにおいて、配線45には、例えば接地電位を供給できる。

[0255]

画素回路40Bにおいて、トランジスタ50はスイッチとしての機能を有し、配線41の電位に基づいて、配線43と液晶素子69の一方の電極との間の導通状態、及び非導通状態を制御する機能

を有する。トランジスタ50をオン状態とすることにより、画像データが画素回路40Bに書き込まれ、トランジスタ50をオフ状態とすることにより、書き込まれた画像データが保持される。

[0256]

容量57は、液晶素子69の一方の電極の電位を保持する機能を有する。液晶素子69の一方の電極に供給される、画像データに対応する電位に応じて、液晶素子69の配向状態が制御される。

[0257]

液晶素子69のモードとしては、例えば、TN (Twisted Nematic) モード、STN (Super-Twisted Nematic) モード、VA (Vertical Alignment) モード、ASM (Axially Symmetric Aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、MVA (Multidomain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、IPS (In Plane Switching) モード、FFS (Fringe Field Switching) モード、又はTBA (Transverse Bend Alignment) モード等を用いてもよい。また、他の例として、ECB (Electrically Controlled Birefringence) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、及びゲストホストモード等がある。ただし、これに限られず、様々なモードを用いることができる。

[0258]

トランジスタ50は、本明細書等に示すトランジスタ100、又はトランジスタ200と同様の構成とすることができる。トランジスタ50をトランジスタ100と同様の構成とすることにより、例えばトランジスタ50をトランジスタ200と同様の構成とする場合よりトランジスタ50のチャネル長を長くできるため、トランジスタ50のオフ電流を小さくできる。これにより、副画素23に画像データを長期間保持できる。一方、トランジスタ50をトランジスタ200と同様の構成とすることにより、例えばトランジスタ50をトランジスタ100と同様の構成とする場合よりトランジスタ50のチャネル長を短くできるため、トランジスタ50のオン電流を大きくできる。これにより、副画素23への画像データの書き込みを高速に行うことができる。

[0259]

図23Aは、図22Cに示す画素回路40Aの構成例を示す平面図である。図23Bは、図23Aに示す導電層104のハッチングを省略し、破線で表した平面図である。図23A、及び図23Bには、絶縁層110は示していない。図23Cは、図23Aに示す一点鎖線C1-C2における切断面の断面図である。図23Cでは、容量57の構成例を示している。

[0260]

図23Aに示す例では、トランジスタ100、及びトランジスタ200を図21Aに示す構成と同様の構成としている。容量57は、図23Cに示すように、絶縁層110上の導電層112bと、導電層112b上の絶縁層106と、絶縁層106上の導電層104と、を有する。

[0261]

導電層 2 1 2 a の少なくとも一部は、信号線として機能する配線 4 3 として機能し、図 2 2 A に示す信号線駆動回路 3 3 と電氣的に接続される。導電層 1 1 2 a の少なくとも一部は、電源線として機能する配線 4 5 として機能し、図 2 2 A に示す電源回路 3 5 と電氣的に接続される。導電層 2 0 4 の少なくとも一部は、走査線として機能する配線 4 1 として機能し、図 2 2 A に示す走査線駆動回路 3 1 と電氣的に接続される。

[0 2 6 2]

図 2 4 A、及び図 2 4 B は、それぞれ図 1 7 A、及び図 1 9 A に示す半導体装置 2 0 の変形例であり、トランジスタ 1 0 0 のソース電極又はドレイン電極の他方が、トランジスタ 2 0 0 のソース電極又はドレイン電極の他方と電氣的に接続される例を示している。具体的には、図 2 4 A、及び図 2 4 B では、トランジスタ 1 0 0 のソース電極又はドレイン電極の他方と、トランジスタ 2 0 0 のソース電極又はドレイン電極の他方と、を共に導電層 1 1 2 b とする例を示している。ここで、図 2 4 A、及び図 2 4 B では、トランジスタ 2 0 0 が導電層 2 1 2 b を有さない例を示している。図 2 4 A、及び図 2 4 B に示す半導体装置 2 0 を、半導体装置 2 0 C とする。半導体装置 2 0 C が有するトランジスタ 2 0 0 において、半導体層 2 0 8 は、導電層 1 1 2 b の側面と接する領域、及び導電層 1 1 2 b の上面と接する領域を有することができる。

[0 2 6 3]

図 2 5 A は、表示装置 3 0 の構成例を示すブロック図であり、図 2 2 A に示す表示装置 3 0 の変形例である。図 2 5 A に示す表示装置 3 0 は、配線 4 1 として配線 4 1 a 及び配線 4 1 b を有する点、並びに基準電位生成回路 3 7 が設けられる点が、図 2 2 A に示す表示装置 3 0 と異なる。

[0 2 6 4]

基準電位生成回路 3 7 は、配線 4 8 を介して画素 2 1 と電氣的に接続される。例えば、全ての画素 2 1 を、同一の配線 4 8 を介して基準電位生成回路 3 7 と電氣的に接続できる。基準電位生成回路 3 7 は、例えば駆動トランジスタのゲートソース間電圧（ゲートとソースの電位差）の、駆動トランジスタ毎のばらつきを補正するための基準電位を生成し、配線 4 8 に供給する機能を有する。配線 4 8 の電位が基準電位となることから、配線 4 8 は基準電位線といえることができる。なお、基準電位生成回路 3 7 を、電源回路といってもよい。また、電源回路 3 5 と基準電位生成回路 3 7 をまとめて 1 つの回路としてもよい。例えば、基準電位生成回路 3 7 を、電源回路 3 5 に含めてもよい。

[0 2 6 5]

図 2 5 B は、図 2 5 A に示す画素 2 1 が有する副画素 2 3 の構成例を示す回路図である。図 2 5 B に示す副画素 2 3 は、画素回路 4 0 C と、発光素子 6 0 と、を有する。

[0 2 6 6]

画素回路 4 0 C は、トランジスタ 5 1、トランジスタ 1 0 0、トランジスタ 2 0 0、及び容量 5 7 を有する。つまり、画素回路 4 0 C は、3 T r（トランジスタ）1 C（容量）型の画素回路である。

[0 2 6 7]

画素回路 4 0 C において、トランジスタ 5 1 のソース又はドレインの一方は、配線 4 3 と電氣的に接続される。トランジスタ 5 1 のソース又はドレインの他方は、トランジスタ 1 0 0 のゲートと電氣的に接続される。トランジスタ 1 0 0 のゲートは、容量 5 7 の一方の電極と電氣的に接続される。トランジスタ 5 1 のゲートは、配線 4 1 a と電氣的に接続される。

[0 2 6 8]

トランジスタ 100 のソース又はドレインの一方は、配線 45 と電氣的に接続される。トランジスタ 200 のソース又はドレインの一方は、配線 48 と電氣的に接続される。トランジスタ 100 のソース又はドレインの他方は、トランジスタ 200 のソース又はドレインの他方と電氣的に接続される。トランジスタ 200 のソース又はドレインの他方は、容量 57 の他方の電極と電氣的に接続される。容量 57 の他方の電極は、発光素子 60 の一方の電極と電氣的に接続される。トランジスタ 200 のゲートは、配線 41b と電氣的に接続される。発光素子 60 の他方の電極は、配線 47 と電氣的に接続される。

[0269]

画素回路 40C において、トランジスタ 51 は、選択トランジスタとしての機能を有する。トランジスタ 100 は、駆動トランジスタとしての機能を有する。トランジスタ 200 は、スイッチとしての機能を有し、配線 41b の電位に基づいて、配線 48 と発光素子 60 の一方の電極との間の導通状態、及び非導通状態を制御する機能を有する。配線 48 には、例えば基準電位が供給される。トランジスタ 200 を介して供給される配線 48 の基準電位によって、複数の副画素 23 のそれぞれに設けられるトランジスタ 100 のゲートソース間電圧の、トランジスタ 100 毎のばらつきを抑制できる。

[0270]

また配線 48 は、トランジスタ 100 に流れる電流、又は発光素子 60 に流れる電流を、副画素 23 の外部に出力するためのモニタ線として機能させることができる。配線 48 に出力された電流は、例えばソースフォロア回路により電位に変換できる。又は、例えば A-D コンバータによりデジタル信号に変換できる。

[0271]

図 25B に示すトランジスタ 100、及びトランジスタ 200 には、図 24A、及び図 24B に示すトランジスタ 100、及びトランジスタ 200 を適用できる。トランジスタ 100 を駆動トランジスタに適用することにより、副画素 23 を微細化しつつ、駆動トランジスタの飽和性を高くできる。また、トランジスタ 200 を、基準電位線として機能する配線 48 が電氣的に接続されたトランジスタに適用することにより、副画素 23 を微細化しつつ、画素回路 40C への基準電位の供給を高速に行うことができる。なお、トランジスタ 51 は、例えばトランジスタ 200 と同様の構成のトランジスタとすることができる。

[0272]

図 26A は、図 25B に示す画素回路 40C の構成例を示す平面図である。図 26A には、絶縁層 110 は示していない。図 26B は、図 26A に示す一点鎖線 C3-C4 における切断面の断面図である。図 26B では、トランジスタ 51、及び容量 57 の構成例を示している。

[0273]

図 26A に示す例では、トランジスタ 100、及びトランジスタ 200 を図 24A に示す構成と同様の構成としている。トランジスタ 51 は、ソース電極又はドレイン電極の一方として機能する導電層 72a と、ソース電極又はドレイン電極の他方として機能する導電層 112b と、チャネル形成領域を有する半導体層 78 と、ゲート絶縁層として機能する絶縁層 106 と、ゲート電極として機能する導電層 74 と、を有する。絶縁層 110 には導電層 72a に達する開口部 71 が、導電層 112b には開口部 71 と重なる領域を有する開口部 73 がそれぞれ設けられる。開口部 71 の内部に位置する領域、及び開口部 73 の内部に位置する領域を有するように、半導体層 78、絶縁層

106、及び導電層74が設けられる。

[0274]

前述のように、トランジスタ51は、トランジスタ200と同様の構成のトランジスタとすることができる。図26A、及び図26Bに示す例では、導電層72a、半導体層78、導電層74、開口部71、及び開口部73は、それぞれ導電層212a、半導体層208、導電層204、開口部241、及び開口部243に対応する。

[0275]

容量57についての説明は、図23Cの説明を参照できる。

[0276]

図26Bに示すように、絶縁層106は、導電層112bに達する開口部75を有し、開口部75の内部で導電層112bと導電層104が電氣的に接続される。具体的には、例えば開口部75の内部で、導電層112bと導電層104が接する領域を有する。

[0277]

図26Aでは、開口部75の平面形状を円形としているが、本発明の一態様はこれに限られず、開口部141がとり得る形状と同様の形状、開口部241がとり得る形状と同様の形状、又は開口部243がとり得る形状と同様の形状とすることができる。

[0278]

導電層72aの少なくとも一部は、信号線として機能する配線43として機能し、図25Aに示す信号線駆動回路33と電氣的に接続される。導電層112aの少なくとも一部は、電源線として機能する配線45として機能し、図25Aに示す電源回路35と電氣的に接続される。導電層212aの少なくとも一部は、基準電位線として機能する配線48として機能し、図25Aに示す基準電位生成回路37と電氣的に接続される。導電層74の少なくとも一部は、走査線として機能する配線41aとして機能し、図25Aに示す走査線駆動回路31と電氣的に接続される。導電層204の少なくとも一部は、走査線として機能する配線41bとして機能し、図25Aに示す走査線駆動回路31と電氣的に接続される。

[0279]

本実施の形態では、絶縁層110が1層、2層、又は3層積層構造である例を示しているが、絶縁層110は4層以上の積層構造であってもよい。

[0280]

本実施の形態で示した半導体装置20には、半導体装置10と同様に、絶縁層147、及び絶縁層149を設けることができる。この場合、絶縁層110と半導体層208の間、及び導電層212bと半導体層208の間にも、絶縁層147、及び絶縁層149を設けることができる。例えば、絶縁層147は、導電層212aの上面と接する領域、及び導電層212bの開口部243における側面と接する領域を有することができる。また、絶縁層149は、半導体層208と接する領域を有することができる。

[0281]

図27は、図25Aに示す画素21が有する副画素23の構成例を示す回路図である。図27に示す副画素23は、画素回路40Dと、発光素子60と、を有する。

[0282]

画素回路40Dは、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジス

タTr 4、トランジスタTr 5、トランジスタTr 6、トランジスタTr 7、容量C 1、容量C 2、及び容量C 3を有する。つまり、画素回路40Dは、7Tr（トランジスタ）3C（容量）型の画素回路である。ここで、トランジスタTr 2は、第1のゲートと、第2のゲートと、を有するデュアルゲート型のトランジスタである。以下では、トランジスタTr 2の第1のゲートを単にゲートといい、第2のゲートをバックゲートという。

[0283]

画素回路40Dにおいて、トランジスタTr 1のソース又はドレインの一方は、トランジスタTr 2のゲート、トランジスタTr 3のソース又はドレインの一方、及び容量C 1の一方の電極と電氣的に接続される。トランジスタTr 2のソース又はドレインの一方は、トランジスタTr 3のソース又はドレインの他方、トランジスタTr 5のソース又はドレインの一方、トランジスタTr 6のソース又はドレインの一方、容量C 1の他方の電極、及び容量C 2の一方の電極と電氣的に接続される。トランジスタTr 2のバックゲートは、トランジスタTr 4のソース又はドレインの一方、及び容量C 2の他方の電極と電氣的に接続される。トランジスタTr 5のソース又はドレインの他方は、容量C 3の一方の電極、及び発光素子60の一方の電極と電氣的に接続される。トランジスタTr 5のゲートは、トランジスタTr 7のソース又はドレインの一方、及び容量C 3の他方の電極と電氣的に接続される。

[0284]

画素回路40Dにおいて、トランジスタTr 2のソース又はドレインの一方、トランジスタTr 3のソース又はドレインの他方、トランジスタTr 5のソース又はドレインの一方、トランジスタTr 6のソース又はドレインの一方、容量C 1の他方の電極、及び容量C 2の一方の電極が電氣的に接続されるノードをノードN1とする。また、トランジスタTr 2のバックゲート、トランジスタTr 4のソース又はドレインの一方、及び容量C 2の他方の電極と電氣的に接続されるノードをノードN2とする。また、トランジスタTr 1のソース又はドレインの一方、トランジスタTr 2のゲート、トランジスタTr 3のソース又はドレインの一方、及び容量C 1の一方の電極が電氣的に接続されるノードをノードN3とする。さらに、トランジスタTr 5のゲート、トランジスタTr 7のソース又はドレインの一方、及び容量C 3の他方の電極と電氣的に接続されるノードをノードN4とする。

[0285]

画素回路40Dには、配線41として配線41a、配線41b、及び配線41cが電氣的に接続される。配線41aは、トランジスタTr 1のゲート、トランジスタTr 6のゲート、及びトランジスタTr 7のゲートと電氣的に接続される。配線41bは、トランジスタTr 3のゲート、及びトランジスタTr 4のゲートと電氣的に接続される。配線41cは、トランジスタTr 7のソース又はドレインの他方と電氣的に接続される。

[0286]

配線43は、トランジスタTr 1のソース又はドレインの他方と電氣的に接続される。配線45は、トランジスタTr 2のソース又はドレインの他方と電氣的に接続される。配線48は、トランジスタTr 6のソース又はドレインの他方と電氣的に接続される。配線49は、トランジスタTr 4のソース又はドレインの他方と電氣的に接続される。

[0287]

トランジスタTr 1、及びトランジスタTr 3乃至トランジスタTr 7は、スイッチとしての機能

を有する。トランジスタTr 1、トランジスタTr 6、及びトランジスタTr 7は、配線41 aの電位に基づき、オン状態又はオフ状態となる。トランジスタTr 3、及びトランジスタTr 4は、配線41 bの電位に基づき、オン状態又はオフ状態となる。トランジスタTr 5は、トランジスタTr 7がオン状態となっている場合に、配線41 cの電位に基づきオン状態又はオフ状態となる。

[0288]

トランジスタTr 1、トランジスタTr 6、及びトランジスタTr 7のオン電流が大きいと、画素回路40 Dの駆動を高速に行うことができ好ましい。前述のように、トランジスタ200のオン電流は、トランジスタ100のオン電流より大きくできる。よって、トランジスタTr 1、及びトランジスタTr 3乃至トランジスタTr 7にはトランジスタ200を適用することが好ましい。

[0289]

トランジスタTr 1をオン状態とすることにより、トランジスタTr 2のゲートの電位が、配線43の電位に対応する電位となる。また、配線43は、画像データを生成する機能を有する信号線駆動回路33と電気的に接続される。以上より、トランジスタTr 1をオン状態とすることにより、画像データを画素回路40 Dに書き込むことができ、トランジスタTr 1をオフ状態とすることにより、書き込まれた画像データを保持できる。トランジスタTr 1は、選択トランジスタともいう。

[0290]

トランジスタTr 2は、発光素子60に流れる電流量を制御する機能を有し、駆動トランジスタともいう。容量C1は、トランジスタTr 2のゲートの電位を保持する機能を有する。発光素子60の発光輝度は、トランジスタTr 2のゲートに供給される、画像データに対応する電位に応じて制御される。具体的には、配線45に高電源電位が供給され、配線47に低電源電位が供給される場合、トランジスタTr 2のゲートの電位に応じて、配線45から配線47に流れる電流の大きさが制御される。これにより、発光素子60の発光輝度が制御される。

[0291]

トランジスタTr 2の飽和性が高いと、発光素子60に流れる電流を安定化させ、発光素子60の発光輝度を安定化させることができ好ましい。前述のように、トランジスタ100の飽和性は、例えばトランジスタ200の飽和性より高くできる。また、前述のトランジスタ100 Aは、デュアルゲート型のトランジスタ100である。以上より、トランジスタTr 2にはトランジスタ100 A、又はトランジスタ100 F等を適用できる。

[0292]

トランジスタTr 5は、発光素子60の発光、及び消光を制御する機能を有する。トランジスタTr 3、及びトランジスタTr 6がオフ状態である場合、トランジスタTr 5をオン状態とすることにより、トランジスタTr 2のゲートの電位に対応する大きさの電流が発光素子60に流れ、発光素子60を発光させることができる。一方、トランジスタTr 5をオフ状態とすることにより、トランジスタTr 2のゲートの電位に関わらず発光素子60に電流が流れなくなり、発光素子60を発光させなくする、つまり消光させることができる。

[0293]

画素回路40 Dでは、配線48を、駆動トランジスタとして機能するトランジスタTr 2に流れる電流、又は発光素子60に流れる電流を、副画素23の外部に出力するためのモニタ線として機能させることができる。この場合、トランジスタTr 2のしきい値電圧を補正できる。具体的には、トランジスタTr 2のバックゲートの電位を制御することにより、トランジスタTr 2のしきい値

電圧を補正できる。トランジスタ T_{r2} のバックゲートの電位は、容量 C_2 に保持できる。

[0294]

＜表示装置の駆動方法例＞

以下では、図27に示す副画素23の駆動方法の一例を、図面を用いて説明する。図28は、画素回路40Dの駆動方法の一例を示すタイミングチャートである。図29乃至図35は、タイミングチャートに示す各期間における、画素回路40Dの状態を示す回路図である。ここで、配線45、配線47、配線48、及び配線49には、それぞれ電位 V_a 、電位 V_c 、電位 V_0 、及び電位 V_1 が供給されるものとする。また、配線41a、配線41b、及び配線41cのそれぞれには、高電位又は低電位が供給されるものとする。

[0295]

高電位は、nチャネル型のトランジスタのゲートに供給すると当該トランジスタがオン状態となる電位であり、低電位は、nチャネル型のトランジスタのゲートに供給すると当該トランジスタがオフ状態となる電位である。以下では、トランジスタ T_{r1} 乃至トランジスタ T_{r7} が全てnチャネル型トランジスタであるとして説明を行うが、例えば電位の大小関係を適宜逆転させることにより、トランジスタ T_{r1} 乃至トランジスタ T_{r7} の少なくとも一部がpチャネル型トランジスタであっても以下の説明を参照できる。

[0296]

電位 V_a はアノード電位であり、電位 V_c はカソード電位である。電位 V_a は、電位 V_c 、及び電位 V_0 より高い電位とする。また、電位 V_1 は電位 V_0 よりも高い電位とする。図28乃至図35では、電位 V_0 を0Vとして説明を行う。

[0297]

画素回路40Dは、配線43から供給された画像信号に応じて、発光素子60に流れる電流の大きさを制御する機能を有する。発光素子60の発光輝度は、当該電流の大きさに制御される。

[0298]

なお、例えば画素の駆動方法を示すタイミングチャート及び回路図において、端子または配線などに隣接して、“H”、“L”、“ V_0 ”、または“ V_1 ”などの電位を示す記号（「電位記号」ともいう。）を記す場合がある。ここで、“H”は高電位を示し、“L”は低電位を示す。また、例えば画素の駆動方法を示す回路図において、端子および配線などの電位変化をわかりやすくするため、電位変化があった端子および配線などに付記する電位記号を、囲み文字で記す場合がある。また、オフ状態のトランジスタに重ねて“X”記号を付す場合がある。さらに、電流を破線矢印で示す場合がある。なお、電流を破線矢印で示す場合、当該電流が流れる向きが矢印とは逆方向となる場合がある。

[0299]

発光素子60に流れる電流は、主に上記画像信号と、トランジスタ T_{r2} のしきい値電圧と、によって決定される。よって、同じ画像信号を、マトリクス状に配列された複数の画素回路40Dに供給しても、それぞれの画素回路40Dが有するトランジスタ T_{r2} のしきい値電圧が異なると、発光素子60に流れる電流が異なる。よって、トランジスタ T_{r2} のしきい値電圧のばらつきが表示品位低下の一因となる。

[0300]

そこで、副画素23毎にトランジスタ T_{r2} のしきい値電圧を取得することによって、発光素子6

0に流れる電流のばらつきを低減する。なお、トランジスタ T_{r2} のしきい値電圧を取得する動作を「しきい値電圧補正動作」と言う場合がある。

[0301]

[しきい値電圧補正動作]

期間 T_1 より前には、配線41a、及び配線41bの電位が低電位であり、配線41cの電位が高電位であるものとする。期間 T_1 において、リセット動作を行う。具体的には、配線41a、配線41b、及び配線41cに高電位を供給する（図29参照）。配線41aに高電位を供給することにより、トランジスタ T_{r1} 、トランジスタ T_{r6} 、及びトランジスタ T_{r7} がオン状態となる。配線41bに高電位を供給することにより、トランジスタ T_{r3} 、及びトランジスタ T_{r4} がオン状態となる。

[0302]

ノード N_1 には、トランジスタ T_{r6} を介して電位 V_0 が供給される。ノード N_2 には、トランジスタ T_{r4} を介して電位 V_1 が供給される。ノード N_3 には、トランジスタ T_{r6} 、及びトランジスタ T_{r3} を介して電位 V_0 が供給される。ノード N_4 には、配線41cからトランジスタ T_{r7} を介して高電位が供給され、トランジスタ T_{r5} がオン状態となる。

[0303]

また、期間 T_1 において、トランジスタ T_{r1} 、トランジスタ T_{r3} 、及びトランジスタ T_{r6} を介して、配線43と配線48が導通状態になる。よって、期間 T_1 では、配線43を配線48と同電位とするか、配線43をフローティング状態にすることが好ましい。図29では、配線43の電位を、配線48の電位と等しい電位 V_0 とする例を示している。

[0304]

期間 T_1 において、ノード N_1 の電位は配線45の電位より低い。よって、トランジスタ T_{r2} のソースと、ノード N_1 と、の間に電流を流すことができる。ノード N_3 の電位とノード N_1 の電位が共に電位 V_0 であることから、トランジスタ T_{r2} のゲートソース間電圧は0Vとなる。また、ノード N_2 の電位が電位 V_1 、ノード N_1 の電位が電位 V_0 であることから、トランジスタ T_{r2} のバックゲートソース間電圧（バックゲートとソースの電位差）は“ $V_1 - V_0$ ”となる。

[0305]

期間 T_2 において、配線41cに低電位を供給する（図30参照）。これにより、配線41cからトランジスタ T_{r7} を介してノード N_4 に低電位が供給され、トランジスタ T_{r5} がオフ状態となる。

[0306]

期間 T_3 において、配線41aに低電位を供給する（図31参照）。これにより、トランジスタ T_{r1} 、トランジスタ T_{r6} 、及びトランジスタ T_{r7} がオフ状態となる。この状態において、トランジスタ T_{r2} のバックゲートの電位が V_1 であることから、配線45からノード N_1 に電流が流れる。これにより、ノード N_1 の電位が上昇する。また、トランジスタ T_{r3} がオン状態であるため、ノード N_3 の電位も上昇する。具体的には、ノード N_1 及びノード N_3 の電位は、トランジスタ T_{r2} のバックゲートの電位 V_1 から、トランジスタ T_{r2} のしきい値電圧 V_{th} を引いた値“ $V_1 - V_{th}$ ”まで上昇する。よって、トランジスタ T_{r2} のバックゲートソース間電圧は、しきい値電圧 V_{th} となる。

[0307]

期間T 4において、配線4 1 bに低電位を供給する（図3 2参照）。これにより、トランジスタT r 3、及びトランジスタT r 4がオフ状態となる。よって、ノードN 1、ノードN 2、およびノードN 3がフローティング状態になる。以上により、トランジスタT r 2のしきい値電圧が補正される。

[0 3 0 8]

なお、配線4 5と配線4 7の間に、微小電流が流れる場合がある。これにより、期間T 4において、ノードN 1の電位が低下する場合がある。また、ノードN 1の電位の低下に追従して、ノードN 2の電位、及びノードN 3の電位も低下する場合がある。このような場合であっても、トランジスタT r 2のバックゲートソース間電圧は、しきい値電圧V t hに保持される。

[0 3 0 9]

[データ書き込み動作]

期間T 5において、配線4 3に、画像信号に対応する電位V d a t aを供給する。この状態で、配線4 1 a、及び配線4 1 cに高電位を供給する（図3 3参照）。配線4 1 aに高電位を供給することにより、トランジスタT r 1、トランジスタT r 6、及びトランジスタT r 7がオン状態となる。トランジスタT r 1がオン状態となることにより、ノードN 3に電位V d a t aが供給され、副画素2 3に画像データが書き込まれる。トランジスタT r 6がオン状態となることにより、ノードN 1に電位V 0が供給される。よって、トランジスタT r 2のゲートソース間電圧は“V d a t a − V 0”となり、電位V 0を0 Vとすると電位V d a t aとなる。

[0 3 1 0]

ノードN 1とノードN 2は容量C 2を介して容量結合しているため、ノードN 1の電位が“V 1 − V t h”から“V 0”に変化すると、ノードN 2の電位も同様に变化する。ノードN 2の電位は、“V 1 − (V 1 − V t h − V 0)”で示される。すなわち、ノードN 2の電位は“V t h + V 0”となり、電位V 0を0 Vとするとしきい値電圧V t hとなる。

[0 3 1 1]

ノードN 4には、配線4 1 cからトランジスタT r 7を介して高電位が供給され、トランジスタT r 5がオン状態となる。これにより、発光素子6 0のアノードに、トランジスタT r 6、及びトランジスタT r 5を介して電位V 0が供給される。

[0 3 1 2]

[発光動作]

期間T 6において、配線4 1 aに低電位を供給する（図3 4参照）。これにより、トランジスタT r 1、トランジスタT r 6、及びトランジスタT r 7がオフ状態となる。トランジスタT r 6をオフ状態とすることにより、配線4 5から配線4 7に電流が流れる。これにより、発光素子6 0に電流I eが流れ、発光素子6 0は電流I eに応じた輝度で発光する。また、配線4 5から配線4 7に電流が流れると、ノードN 1の電位、及び発光素子6 0のアノードの電位が上昇する。

[0 3 1 3]

また、ノードN 2及びノードN 3がフローティング状態となる。ノードN 1とノードN 3は容量C 1を介して容量結合している。期間T 6において、ノードN 1の電位が電位V 0から電位V a 1に変化すると、ノードN 3の電位も同様に变化する。ここでは、ノードN 3の電位が“V d a t a + V a 1”になる。すなわち、トランジスタT r 2のソースの電位が変化しても、トランジスタT r 2のゲートソース間電圧は電位V d a t aのまま維持される。

[0314]

同様に、ノードN1の電位変化に追従してノードN2の電位が“ $V_{th} + V_{a1}$ ”になる。よって、トランジスタTr2のバックゲートソース間電圧は V_{th} のまま維持される。

[0315]

また、発光素子60のアノードとノードN4は容量C3を介して容量結合している。よって、発光素子60のアノードの電位が電位V0から電位 V_{a2} に変化すると、ノードN4の電位も同様に变化する。ここでは、ノードN4の電位が“ $H + V_{a2}$ ”になる。すなわち、トランジスタTr5のソースに相当する、発光素子60のアノードの電位が変化しても、トランジスタTr5のゲートソース間電圧を高電位に維持できる。

[0316]

例えば、トランジスタTr5のゲートが固定電位である場合、トランジスタTr5のソース電位が上昇するとゲートソース間電圧が小さくなる。ゲートソース間電圧がトランジスタTr5のしきい値電圧を下回ると、トランジスタTr5がオフ状態になる。このため、発光素子60のアノードの電位を高くする場合は、トランジスタTr5のゲートにも高い電位を供給する必要がある、そのための電源または電源回路を追加する必要がある。そこで、トランジスタTr5のゲートとソースの間に容量C3を設けてブートストラップ回路を構成することで、発光素子60のアノードの電位を大きくしても、電源回路を追加することなくトランジスタTr5のオン状態を維持できる。よって、安定して発光素子60に電流 I_e を供給できる。なお、容量C3を「ブートストラップ容量」と呼ぶ場合がある。また、容量C1および容量C2のそれぞれもブートストラップ容量として機能する。

[0317]

また、前述した通り、発光素子60に流れる電流 I_e の電流量は、画像信号に対応する電位 V_{data} と、トランジスタTr2のしきい値電圧 V_{th} と、によって決定される。画素回路40Dでは、しきい値補正動作を行うことで、発光素子60に流れる電流 I_e の電流量を電位 V_{data} により制御できる。

[0318]

発光素子60の発光輝度を電位 V_{data} により制御するため、発光動作時はトランジスタTr5を確実にオン状態にしておく必要がある。画素回路40Dでは、発光動作時にトランジスタTr5を確実にオン状態とできる。これにより、正確な電流 I_e の制御が可能になるため、中間調の色再現性を高めることができる。よって、本発明の一態様の表示装置の表示品位を高めることができる。

[0319]

[消光動作]

期間T7において、配線41aに高電位を供給し、配線41cに低電位を供給する（図35参照）。配線41aに高電位を供給することにより、トランジスタTr1、トランジスタTr6、及びトランジスタTr7がオン状態となる。トランジスタTr6がオン状態となることにより、ノードN1に電位V0が供給される。トランジスタTr4はオフ状態であり、ノードN1とノードN2は容量C2を介して容量結合しているため、ノードN1の電位変化に追従してノードN2の電位が“ $V_{th} + V_0$ ”となる。

[0320]

ノードN4には、配線41cからトランジスタTr7を介して低電位が供給され、トランジスタT

r 5 がオフ状態となる。これにより、発光素子 6 0 に電流が流れなくなり、発光素子 6 0 の発光が停止する。

[0321]

なお、期間 T 7 では、配線 4 3 と電氣的に接続する他の副画素 2 3 に書き込む画像データに対応する電位 V d a t a X が、トランジスタ T r 1 を介してノード N 3 に供給される場合があるが、トランジスタ M 5 がオフ状態であるため、消光動作に支障はない。

[0322]

表示素子として E L 素子などの発光素子を用いた表示装置は、1 フレーム期間中に発光素子を点灯し続けることができる。このような駆動方法を「ホールド型」または「ホールド型駆動」ともいう。表示装置の駆動方法をホールド型駆動にすることで、表示画面のフリッカ現象などを低減できる。一方でホールド型駆動では、動画表示において残像感および画像のぼやけなどが生じやすい。動画を表示したときに人が感じる解像度を「動画解像度」ともいう。すなわち、ホールド型駆動は動画解像度が低下しやすい。

[0323]

また、動画表示における残像感および画像のぼやけなどを改善する「黒挿入駆動」が知られている。「黒挿入駆動」は、「疑似インパルス型」または「疑似インパルス型駆動」とも呼ばれる。黒挿入駆動は、1 フレームおきに黒表示を行なう、もしくは、1 フレーム中の一定期間黒表示を行なう駆動方法である。

[0324]

画素回路 4 0 D を有する表示装置では、消光動作によって黒挿入駆動の実現が容易である。よって、当該表示装置は、動画解像度が低下しにくく、表示品位の高い動画表示を行うことができる。

[0325]

期間 T 7 以降において、配線 4 1 a の電位を低電位とした後、配線 4 1 c の電位を高電位とする。以上が画素回路 4 0 D の駆動方法の一例である。

[0326]

図 3 6 A、図 3 6 B、図 3 7 A、図 3 7 B、図 3 8 A、図 3 8 B、及び図 3 9 は、画素回路 4 0 D の構成例を示す平面図である。図 3 6 A、図 3 6 B、及び図 3 7 A では、トランジスタ T r 1 乃至トランジスタ T r 7 の構成要素を示している。図 3 7 B、図 3 8 A、図 3 8 B、及び図 3 9 では、トランジスタ T r 1 乃至トランジスタ T r 7 の構成要素に加え、容量 C 1、容量 C 2、及び容量 C 3 の構成要素を示している。図 3 6 A 乃至図 3 9 に示す例では、トランジスタ T r 2 には、図 1 6 A に示すトランジスタ 1 0 0 G を適用している。また、トランジスタ T r 1、及びトランジスタ T r 3 乃至トランジスタ T r 7 には、例えば図 2 0 A に示すトランジスタ 2 0 0 を適用している。

[0327]

図 3 6 A では、導電層 9 0 1 A、導電層 9 0 1 B、導電層 9 0 1 C、導電層 9 0 1 D、導電層 9 0 1 E、導電層 9 0 1 F、導電層 9 0 1 G、導電層 9 0 3 A、導電層 9 0 3 B、導電層 9 0 3 C、導電層 9 0 3 D、及び導電層 9 0 3 E を示している。図 3 6 A 乃至図 3 9 において、アルファベットを除いた符号が同一の導電層は、互いに同じ材料を用い、同じ工程で形成できる。例えば、導電層 9 0 1 A 乃至導電層 9 0 1 G は、互いに同じ材料を用い、同じ工程で形成できる。また、導電層 9 0 3 A 乃至導電層 9 0 3 E は、互いに同じ材料を用い、同じ工程で形成できる。

[0328]

導電層 901A は、トランジスタ 100G が有する導電層 103 に相当し、トランジスタ Tr 2 のバックゲート電極として機能する。導電層 903A 乃至導電層 903E は、それぞれトランジスタ 200 が有する導電層 212a に相当する。導電層 903A は、トランジスタ Tr 1、及びトランジスタ Tr 3 のソース電極又はドレイン電極の一方として機能する。導電層 903B は、トランジスタ Tr 4 のソース電極又はドレイン電極の一方として機能する。導電層 903C は、トランジスタ Tr 5 のソース電極又はドレイン電極の一方として機能する。導電層 903D は、トランジスタ Tr 6 のソース電極又はドレイン電極の一方として機能する。導電層 903E は、トランジスタ Tr 7 のソース電極又はドレイン電極の一方として機能する。ここで、導電層 903D は、図 27 に示す配線 48 として機能する。

[0329]

図 36B では、図 36A に示す要素の他、導電層 905A、導電層 905B、導電層 905C、導電層 905D、導電層 905E、導電層 905F、導電層 905G、導電層 905H、半導体層 909A、半導体層 909B、半導体層 909C、半導体層 909D、半導体層 909E、半導体層 909F、半導体層 909G、及び半導体層 909H を示している。

[0330]

導電層 905A は、トランジスタ 200 が有する導電層 212b に相当し、トランジスタ Tr 1 のソース電極又はドレイン電極の他方として機能する。導電層 905B は、トランジスタ 100G が有する導電層 112a に相当し、トランジスタ Tr 2 のソース電極又はドレイン電極の一方として機能する。導電層 905C は、トランジスタ 100G が有する導電層 112b に相当し、トランジスタ Tr 2 のソース電極又はドレイン電極の他方として機能する。導電層 905D は、トランジスタ 100G が有する導電層 112c に相当する。

[0331]

導電層 905E 乃至導電層 905H は、それぞれトランジスタ 200 が有する導電層 212b に相当する。導電層 905E は、トランジスタ Tr 3、及びトランジスタ Tr 6 のソース電極又はドレイン電極の他方として機能する。導電層 905F は、トランジスタ Tr 4 のソース電極又はドレイン電極の他方として機能する。導電層 905G は、トランジスタ Tr 5 のソース電極又はドレイン電極の他方として機能する。導電層 905H は、トランジスタ Tr 7 のソース電極又はドレイン電極の他方として機能する。

[0332]

絶縁層 110（図示せず）には、開口部 907A、開口部 907B、開口部 907C、開口部 907D、開口部 907E、開口部 907F、開口部 907G、及び開口部 907H が設けられる。開口部 907A は、例えば図 20A に示す開口部 241 に相当し、導電層 903A に達する。開口部 907B は、図 16A に示す開口部 141 [1] に相当し、導電層 901A に達する。開口部 907C は、図 16A に示す開口部 141 [2] に相当し、導電層 901A に達する。

[0333]

開口部 907D 乃至開口部 907H は、それぞれ図 20A 等 に示す開口部 241 に相当する。開口部 907D は、導電層 903A に達する。開口部 907E は、導電層 903B に達する。開口部 907F は、導電層 903C に達する。開口部 907G は、導電層 903D に達する。開口部 907H は、導電層 903E に達する。

[0334]

導電層 905A には、開口部 907A と重なる領域を有するように開口部 908A が設けられる。導電層 905E には、開口部 907D と重なる領域を有するように開口部 908B が設けられ、開口部 907G と重なる領域を有するように開口部 908E が設けられる。導電層 905F には、開口部 907E と重なる領域を有するように開口部 908C が設けられる。導電層 905G には、開口部 907F と重なる領域を有するように開口部 908D が設けられる。導電層 905H には、開口部 907H と重なる領域を有するように開口部 908F が設けられる。

[0335]

半導体層 909A は、トランジスタ 200 の半導体層 208 に相当し、開口部 907A の内部に位置する領域、及び開口部 907B の内部に位置する領域を有するように設けられる。半導体層 909B は、トランジスタ 100G の半導体層 108 [1] に相当し、開口部 907B の内部に位置する領域を有するように設けられる。半導体層 909C は、トランジスタ 100G の半導体層 108 [2] に相当し、開口部 907C の内部に位置する領域を有するように設けられる。

[0336]

半導体層 909D 乃至半導体層 909H は、トランジスタ 200 の半導体層 208 に相当する。半導体層 909D は、開口部 907D の内部に位置する領域、及び開口部 908B の内部に位置する領域を有するように設けられる。半導体層 909E は、開口部 907E の内部に位置する領域、及び開口部 908C の内部に位置する領域を有するように設けられる。半導体層 909F は、開口部 907F の内部に位置する領域、及び開口部 908D の内部に位置する領域を有するように設けられる。半導体層 909G は、開口部 907G の内部に位置する領域、及び開口部 908E の内部に位置する領域を有するように設けられる。半導体層 909H は、開口部 907H の内部に位置する領域、及び開口部 908F の内部に位置する領域を有するように設けられる。

[0337]

図 37A では、図 36B に示す要素の他、導電層 911A、導電層 911B、導電層 911C、及び導電層 911D を示している。導電層 911A は、トランジスタ 200 が有する導電層 204 に相当し、トランジスタ Tr1、トランジスタ Tr6、及びトランジスタ Tr7 のゲート電極として機能する。導電層 911B は、トランジスタ 100G が有する導電層 104 に相当し、トランジスタ Tr2 のゲート電極として機能する。

[0338]

導電層 911C、及び導電層 911D は、トランジスタ 200 が有する導電層 204 に相当する。導電層 911C は、トランジスタ Tr3 及びトランジスタ Tr4 のゲート電極として機能する。導電層 911D は、トランジスタ Tr5 のゲート電極として機能する。

[0339]

図 37B では、図 37A に示す要素の他、導電層 913A、導電層 913B、導電層 913C、導電層 913D、導電層 913E、導電層 913F、導電層 913G、導電層 913H、導電層 913I、導電層 913J、及び導電層 913K を示している。なお、図 37B 以降の、画素回路 40D の構成例を示す平面図では、一部の構成要素の符号を省略する。

[0340]

導電層 913A は、容量 C1 の一方の電極として機能する。導電層 913B は、容量 C2 の一方の電極として機能する。導電層 913G は、容量 C3 の一方の電極として機能する。

[0341]

導電層 913A は、コンタクトホール 917A を介して、導電層 903A と電氣的に接続され、コンタクトホール 921B を介して、導電層 911B と電氣的に接続される。導電層 913B は、コンタクトホール 915A を介して、導電層 901A と電氣的に接続され、コンタクトホール 917B を介して、導電層 903B と電氣的に接続される。導電層 913C は、コンタクトホール 915B を介して、導電層 901B と電氣的に接続され、コンタクトホール 921C を介して、導電層 911C と電氣的に接続される。導電層 913D は、コンタクトホール 915C を介して、導電層 901C と電氣的に接続され、コンタクトホール 921A を介して、導電層 911A と電氣的に接続される。導電層 913E は、コンタクトホール 915D を介して、導電層 901G と電氣的に接続され、コンタクトホール 919G を介して、導電層 905H と電氣的に接続される。導電層 913F は、コンタクトホール 919C を介して、導電層 905C と電氣的に接続される。導電層 913G は、コンタクトホール 917D を介して、導電層 903E と電氣的に接続され、コンタクトホール 921D を介して、導電層 911D と電氣的に接続される。導電層 913H は、コンタクトホール 919A を介して、導電層 905A と電氣的に接続される。導電層 913I は、コンタクトホール 919B を介して、導電層 905B と電氣的に接続される。導電層 913J は、コンタクトホール 917C を介して、導電層 903C と電氣的に接続され、コンタクトホール 919D を介して、導電層 905E と電氣的に接続され、コンタクトホール 919F を介して、導電層 905G と電氣的に接続される。導電層 913K は、コンタクトホール 919E を介して、導電層 905F と電氣的に接続される。

[0342]

本明細書等において、コンタクトホールとは、2つの導電層を電氣的に接続するための開口部を示す。つまり、コンタクトホールは、開口部の一態様である。AとBがコンタクトホールを介して電氣的に接続されるという場合、コンタクトホールにプラグを設け、プラグを介してAとBが電氣的に接続される場合を含む。また、AとBの少なくとも一方がコンタクトホールの内部に位置する領域を有し、AとBがコンタクトホールの内部で接することにより、AとBが電氣的に接続される場合を含む。コンタクトホールは、例えば絶縁層に設けることができる。

[0343]

図38Aは、図37Bに示す要素の他、導電層 923A、及び導電層 923Bを示している。導電層 923Aは、容量C1の他方の電極、及び容量C2の他方の電極として機能する。導電層 923Bは、容量C3の他方の電極として機能する。

[0344]

導電層 913Aと導電層 923Aの間、導電層 913Bと導電層 923Aの間、及び導電層 913Gと導電層 923Bの間には、誘電体として機能する絶縁層が設けられる。そして、導電層 913Aと導電層 923Aが重なる領域が容量C1として機能し、導電層 913Bと導電層 923Aが重なる領域が容量C2として機能し、導電層 913Gと導電層 923Bが重なる領域が容量C3として機能する。

[0345]

図38Bは、図38Aに示す要素の他、引き回し配線として機能する導電層 925A、導電層 925B、導電層 925C、導電層 925D、導電層 925E、導電層 925F、導電層 925G、及び導電層 925Hを示している。

[0346]

導電層 9 2 5 A は、コンタクトホール 9 2 7 A を介して導電層 9 1 3 C と電氣的に接続される。導電層 9 2 5 B は、コンタクトホール 9 2 7 B を介して導電層 9 1 3 D と電氣的に接続される。導電層 9 2 5 C は、コンタクトホール 9 2 7 C を介して導電層 9 1 3 E と電氣的に接続される。導電層 9 2 5 D は、コンタクトホール 9 2 7 D を介して導電層 9 1 3 J と電氣的に接続され、コンタクトホール 9 2 9 B を介して導電層 9 2 3 B と電氣的に接続される。導電層 9 2 5 E は、コンタクトホール 9 2 7 E を介して導電層 9 1 3 H と電氣的に接続される。導電層 9 2 5 F は、コンタクトホール 9 2 7 F を介して導電層 9 1 3 I と電氣的に接続される。導電層 9 2 5 G は、コンタクトホール 9 2 7 G を介して導電層 9 1 3 J と電氣的に接続され、コンタクトホール 9 2 9 A を介して導電層 9 2 3 A と電氣的に接続される。導電層 9 2 5 H は、コンタクトホール 9 2 7 H を介して導電層 9 1 3 K と電氣的に接続される。

[0347]

導電層 9 2 5 A は、図 27 に示す配線 4 1 b として機能する。導電層 9 2 5 B は、図 27 に示す配線 4 1 a として機能する。導電層 9 2 5 C は、図 27 に示す配線 4 1 c として機能する。導電層 9 2 5 F は、図 27 に示す配線 4 5 として機能する。

[0348]

図 39 は、図 38 B に示す要素の他、引き回し配線として機能する導電層 9 3 1 A、導電層 9 3 1 B、及び導電層 9 3 1 C を示している。導電層 9 3 1 A は、コンタクトホール 9 3 3 A を介して導電層 9 2 5 D と電氣的に接続される。導電層 9 3 1 B は、コンタクトホール 9 3 3 B を介して導電層 9 2 5 E と電氣的に接続される。導電層 9 3 1 C は、コンタクトホール 9 3 3 C、及びコンタクトホール 9 3 3 D を介して導電層 9 2 5 H と電氣的に接続される。

[0349]

導電層 9 3 1 B は、図 27 に示す配線 4 3 として機能する。導電層 9 3 1 C は、配線 4 9 として機能する。

[0350]

[半導体層 108、及び半導体層 208]

半導体層 108、及び半導体層 208 に用いることができる金属酸化物について、具体的に説明する。金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウム又は亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素 M と、亜鉛と、の中から選ばれる 2 つ又は 3 つを有することが好ましい。なお、元素 M は、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素 M として、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモン等が挙げられる。金属酸化物が有する元素 M は、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウム及びスズの一種又は複数種がさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0351]

半導体層108、及び半導体層208はそれぞれ、例えば、インジウム酸化物（In酸化物）、インジウム亜鉛酸化物（In-Zn酸化物）、インジウムスズ酸化物（In-Sn酸化物、ITOとも記す）、インジウムチタン酸化物（In-Ti酸化物）、インジウムガリウム酸化物（In-Ga酸化物）、インジウムタングステン酸化物（In-W酸化物、IWOとも記す）、インジウムガリウムアルミニウム酸化物（In-Ga-Al酸化物）、インジウムガリウムスズ酸化物（In-Ga-Sn酸化物、IGTOとも記す）、ガリウム亜鉛酸化物（Ga-Zn酸化物、GZOとも記す）、アルミニウム亜鉛酸化物（Al-Zn酸化物、AZOとも記す）、インジウムアルミニウム亜鉛酸化物（In-Al-Zn酸化物、IAZOとも記す）、インジウムスズ亜鉛酸化物（In-Sn-Zn酸化物、ITZO（登録商標）とも記す）、インジウムチタン亜鉛酸化物（In-Ti-Zn酸化物）、インジウムガリウム亜鉛酸化物（In-Ga-Zn酸化物、IGZOとも記す）、インジウムガリウムスズ亜鉛酸化物（In-Ga-Sn-Zn酸化物、IGZTOとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（In-Ga-Al-Zn酸化物、IGAZO、IGZAO、又はIAGZOとも記す）等を用いることができる。又は、シリコンを含むインジウムスズ酸化物（ITSOとも記す）、ガリウムスズ酸化物（Ga-Sn酸化物）、アルミニウムスズ酸化物（Al-Sn酸化物）等を用いることができる。

[0352]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流が大きいトランジスタを実現できる。

[0353]

なお、金属酸化物は、インジウムに代えて、又は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第5周期に属する金属元素、及び第6周期に属する金属元素等が挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウム等が挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0354]

金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、又は、バンドギャップの縮小等が生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素等が挙げられる。

[0355]

金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0356]

金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすること

により、金属酸化物に酸素欠損 (V_o) が形成されることを抑制できる。したがって、酸素欠損 (V_o) に起因するキャリア生成が抑制され、オフ電流が小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0357]

半導体層 108、及び半導体層 208 に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

[0358]

金属酸化物が I_n-M-Z_n 酸化物の場合、当該 I_n-M-Z_n 酸化物における I_n の原子数比は M の原子数比以上であることが好ましい。このような I_n-M-Z_n 酸化物の金属元素の原子数比として、例えば、 $I_n:M:Z_n=1:1:1$ 、 $I_n:M:Z_n=1:1:1.2$ 、 $I_n:M:Z_n=2:1:3$ 、 $I_n:M:Z_n=3:1:2$ 、 $I_n:M:Z_n=4:2:3$ 、 $I_n:M:Z_n=4:2:4.1$ 、 $I_n:M:Z_n=5:1:3$ 、 $I_n:M:Z_n=5:1:6$ 、 $I_n:M:Z_n=5:1:7$ 、 $I_n:M:Z_n=5:1:8$ 、 $I_n:M:Z_n=6:1:6$ 、 $I_n:M:Z_n=10:1:1$ 、 $I_n:M:Z_n=10:1:3$ 、 $I_n:M:Z_n=10:1:4$ 、 $I_n:M:Z_n=10:1:6$ 、 $I_n:M:Z_n=10:1:7$ 、 $I_n:M:Z_n=10:1:8$ 、 $I_n:M:Z_n=5:2:5$ 、 $I_n:M:Z_n=10:1:10$ 、 $I_n:M:Z_n=20:1:10$ 、 $I_n:M:Z_n=40:1:10$ 、及びこれらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、又は電界効果移動度等を高めることができる。

[0359]

I_n-M-Z_n 酸化物における I_n の原子数比は M の原子数比未満であってもよい。このような I_n-M-Z_n 酸化物の金属元素の原子数比として、例えば、 $I_n:M:Z_n=1:3:2$ 、 $I_n:M:Z_n=1:3:3$ 、 $I_n:M:Z_n=1:3:4$ 、及びこれらの近傍の組成が挙げられる。金属酸化物中の M の原子数の割合を大きくすることで、酸素欠損 (V_o) の生成を抑制できる。

[0360]

なお、元素 M として複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素 M の原子数の割合とすることができる。

[0361]

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

[0362]

半導体層 108、及び半導体層 208 にインジウムの含有率が高い材料を用いることで、トランジスタのオン電流、又は電界効果移動度等を高めることができる。さらに、元素 M を有することで、酸素欠損 (V_o) の生成を抑制できる。元素 M の含有率（含有される全ての金属元素の原子数の和に対する元素 M の原子数の割合）は、 0.1% 以上 3% 以下が好ましく、さらには 0.1% 以上 2% 以下が好ましい。これにより、電気特性が良好なトランジスタとすることができる。例えば、 $I_n:M:Z_n=40:1:10$ 、及びその近傍の金属酸化物を用いることが好ましい。元素 M は、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及び

インジウムから選ばれた一種又は複数種であることがより好ましい。具体的には、 $\text{In} : \text{Sn} : \text{Zn} = 40 : 1 : 10$ 、及びその近傍の金属酸化物を好適に用いることができる。又は、 $\text{In} : \text{Al} : \text{Zn} = 40 : 1 : 10$ 、及びその近傍の金属酸化物を好適に用いることができる。

[0363]

ここで、半導体層108、及び半導体層208に多結晶構造の金属酸化物を用いると、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまふ場合がある。多結晶構造になりやすい組成の金属酸化物を用いる場合、結晶化を阻害する元素を含むことが好ましい。例えば、インジウムスズ酸化物（ITO）と比較して、シリコンを含むインジウムスズ酸化物（ITSO）は多結晶構造になりづらいため、半導体層108、及び半導体層208に好適に用いることができる。ITSOを用いる場合、シリコンの含有率（含有される全ての金属元素の原子数の和に対するシリコンの原子数の割合）は、1%以上20%以下が好ましく、さらには3%以上20%以下が好ましく、さらには3%以上15%以下が好ましく、さらには5%以上15%以下が好ましい。具体的には、 $\text{In} : \text{Sn} : \text{Si} = 45 : 5 : 4$ 、 $\text{In} : \text{Sn} : \text{Si} = 95 : 5 : 8$ 、及びこれらの近傍の金属酸化物を好適に用いることができる。

[0364]

半導体層108、及び半導体層208の組成の分析には、例えば、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray Spectrometry）、X線光電子分光法（XPS: X-ray Photoelectron Spectrometry）、誘導結合プラズマ質量分析法（ICP-MS: Inductively Coupled Plasma-Mass Spectrometry）、又は誘導結合高周波プラズマ発光分光法（ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry）を用いることができる。又は、これらの手法を複数組み合わせることで分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0365]

金属酸化物の形成には、スパッタリング法、又は原子層堆積（ALD: Atomic Layer Deposition）法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0366]

半導体層108、及び半導体層208はそれぞれ、2以上の金属酸化物層を有する積層構造としてもよい。半導体層108、及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに同じ、又は概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、作製コストを削減できる。

[0367]

半導体層108、及び半導体層208のそれぞれが有する2以上の金属酸化物層は、組成が互いに異なってもよい。例えば、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ [原子

数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。また、元素Mとして、ガリウム、アルミニウム、又はスズを用いることが特に好ましい。第1の金属酸化物層と第2の金属酸化物層における元素Mは、同じであってもよく、互いに異なってもよい。例えば、第1の金属酸化物層と第2の金属酸化物層は、互いに組成が異なるIGZO層であってもよい。

[0368]

例えば、 $I_n : Z_n = 4 : 1$ [原子数比] もしくはその近傍の組成の第1の金属酸化物層と、当該第1の金属酸化物層上に設けられる $I_n : M : Z_n = 1 : 1 : 1$ [原子数比] もしくはその近傍の組成の第2の金属酸化物層と、の積層構造を好適に用いることができる。

[0369]

例えば、インジウム酸化物、インジウムガリウム酸化物、及びIGZOの中から選ばれるいずれか1つと、IAZO、IAGZO、及びITZO（登録商標）の中から選ばれるいずれか1つと、の積層構造を用いてもよい。

[0370]

なお、第1の金属酸化物を有する第1の金属酸化物層と、第2の金属酸化物を有する第2の金属酸化物層の積層構造とし、第1の金属酸化物の組成と第2の金属酸化物の組成が同じ、又は概略同じである場合、第1の金属酸化物層と第2の金属酸化物層の境界（界面）を明確に確認できない場合がある。

[0371]

半導体層108、及び半導体層208は、結晶性を有する金属酸化物を用いることが好ましい。結晶性を有する金属酸化物の構造として、例えば、CAAC (c-axis aligned crystal) 構造、多結晶構造、及び微結晶 (nc: nano-crystal) 構造が挙げられる。結晶性を有する金属酸化物を用いることにより、半導体層108中及び半導体層208中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

[0372]

半導体層108、及び半導体層208はそれぞれ、CAAC-OS又はnc-OSを用いることが好ましい。

[0373]

CAAC-OSは、複数の層状結晶を有する。当該結晶のc軸は、被形成面の法線方向に配向している。半導体層108、及び半導体層208はそれぞれ、被形成面に対して平行又は概略平行な層状結晶を有することが好ましい。例えば、半導体層208は、導電層212bの上面と接する領域においては当該上面に対して平行又は概略平行な層状結晶を有し、導電層212bの側面と接する領域においては当該側面に対して平行又は概略平行な層状結晶を有することが好ましい。特に、半導体層208は、開口部241において、被形成面である絶縁層110の側面に対して平行又は概略平行な層状結晶を有することが好ましい。このような構成とすることにより、トランジスタ200のチャネル長方向に対して、半導体層208の層状結晶が平行又は概略平行に形成されるため、オン電流の大きいトランジスタとすることができる。同様に、半導体層108は、被形成面（ここでは、絶縁層110の側面、導電層112aの側面、及び導電層112bの側面）に対して平行又は概略平行な層状結晶を有することが好ましい。特に、半導体層108は、導電層104と重なる領域において、被形成面である絶縁層110の側面に対して平行又は概略平行な層状結晶を有する

ことが好ましい。

[0374]

チャネル形成領域に結晶性が高い金属酸化物を用いることで、チャネル形成領域中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物を用いることで、大きな電流を流すことができるトランジスタを実現できる。

[0375]

金属酸化物をスパッタリング法により形成する場合、形成時の基板温度が高いほど、結晶性の高い金属酸化物を形成できる。形成時の基板温度は、例えば、形成時に基板が置かれるステージの温度により調整できる。また、形成に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）、又は処理室内の酸素分圧が高いほど、結晶性の高い金属酸化物を形成できる。

[0376]

半導体層108、及び半導体層208の結晶性は、例えば、X線回折（XRD：XRay Diffraction）パターン、透過型電子顕微鏡（TEM：Transmission Electron Microscope）像、又は電子線回折（ED：Electron Diffraction）パターンにより解析できる。又は、これらの手法を複数組み合わせることで分析を行ってもよい。

[0377]

半導体層108、及び半導体層208に金属酸化物を用いる場合、チャネル形成領域の V_{OH} をできる限り低減し、高純度真性又は実質的に高純度真性にするのが好ましい。このように、 V_{OH} が十分低減された金属酸化物を得るには、金属酸化物中の水、及び水素等の不純物を除去すること（脱水、又は脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損（ V_O ）を修復することが重要である。 V_{OH} 等の不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与できる。なお、金属酸化物に酸素を供給して酸素欠損（ V_O ）を修復することを、加酸素化処理と記す場合がある。

[0378]

半導体層108、及び半導体層208に金属酸化物を用いる場合、チャネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域のキャリア濃度の下限値について限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0379]

OSトランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射する環境においても好適に用いることができる。OSトランジスタは、放射線に対する信頼性が高いともいえる。例えば、X線のフラットパネルディテクタの画素回路に、OSトランジスタを好適に用いることができる。また、OSトランジスタは、宇宙空間で使用する半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、X線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

[0380]

半導体層108、及び半導体層208はそれぞれ、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイ

オン結合によって形成される層が、ファンデルワールス結合のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流が大きいトランジスタを提供できる。

[0381]

上記層状物質として、例えば、グラフェン、シリセン、及びカルコゲン化物等が挙げられる。カルコゲン化物は、カルコゲン（第16族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、及び13族カルコゲナイド等が挙げられる。トランジスタのチャネル形成領域として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、及びセレン化ジルコニウム（代表的には ZrSe_2 ）等が挙げられる。

[0382]

[導電層112a、導電層112b、導電層104、導電層103、導電層212a、導電層212b、及び導電層204]

導電層112a、導電層112b、導電層104、導電層103、導電層212a、導電層212b、及び導電層204はそれぞれ、単層構造でもよく、2層以上の積層構造であってもよい。導電層112a、導電層112b、導電層104、導電層103、導電層212a、導電層212b、及び導電層204に用いることができる材料として、それぞれ、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの一又は複数、並びに前述した金属の一又は複数を成分とする合金が挙げられる。導電層112a、導電層112b、導電層104、導電層103、導電層212a、導電層212b、及び導電層204にはそれぞれ、銅、銀、金、及びアルミニウムのうち一又は複数を含む、低抵抗な導電材料を好適に用いることができる。特に、銅又はアルミニウムは量産性に優れるため好ましい。

[0383]

導電層112a、導電層112b、導電層104、導電層103、導電層212a、導電層212b、及び導電層204にはそれぞれ、導電性を有する金属酸化物（酸化物導電体）を用いることができる。酸化物導電体（OC: Oxide Conductor）として、例えば、酸化インジウム、酸化亜鉛、In-Sn酸化物（ITO）、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、In-Sn-Si酸化物（シリコンを含むITO、ITSOともいう）、ガリウムを添加した酸化亜鉛、及びIn-Ga-Zn酸化物が挙げられる。特にインジウムを含む導電性酸化物は、導電性が高いため好ましい。

[0384]

半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体とすることができる。

[0385]

導電層 112a、導電層 112b、導電層 104、導電層 103、導電層 212a、導電層 212b、及び導電層 204はそれぞれ、前述の酸化物導電体（金属酸化物）を含む導電膜と、金属又は合金を含む導電膜と、の積層構造としてもよい。金属又は合金を含む導電膜を用いることで、配線抵抗を小さくできる。

[0386]

導電層 112a、導電層 112b、導電層 104、導電層 103、導電層 212a、導電層 212b、及び導電層 204はそれぞれ、Cu-X合金膜（Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、又はTi）を適用してもよい。Cu-X合金膜を用いることで、ウェットエッチング法により加工できるため、作製コストを削減できる。

[0387]

なお、導電層 112a、導電層 112b、導電層 104、導電層 103、導電層 212a、導電層 212b、及び導電層 204は互いに同じ材料を用いてもよく、異なる材料を用いてもよい。

[0388]

導電層 112a及び導電層 112bは、半導体層 108と接する領域を有する。導電層 212a及び導電層 212bは、半導体層 208と接する領域を有する。半導体層 108として金属酸化物を用いる場合、導電層 112a及び導電層 112bに酸化されやすい金属（例えば、アルミニウム）を用いると、導電層 112aと半導体層 108との間、及び導電層 112bと半導体層 108との間に絶縁性の酸化物（例えば、酸化アルミニウム）が形成され、これらの導通を妨げる恐れがある。同様に、半導体層 208として金属酸化物を用いる場合、導電層 212a及び導電層 212bに酸化されやすい金属を用いると、導電層 212aと半導体層 208との間、及び導電層 212bと半導体層 208との間に絶縁性の酸化物が形成され、これらの導通を妨げる恐れがある。そのため、導電層 112a、導電層 112b、導電層 212a、及び導電層 212bには、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、又は酸化物導電材料を用いることが好ましい。

[0389]

導電層 112a、導電層 112b、導電層 212a、及び導電層 212bにはそれぞれ、例えば、チタン、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物を用いることが好ましい。これらは、酸化されにくい導電材料、又は、酸化されても電気抵抗が低く保たれる材料であるため、好ましい。

[0390]

導電層 112a、導電層 112b、導電層 212a、及び導電層 212bにはそれぞれ、前述の酸化物導電体を用いることができる。具体的には、酸化インジウム、酸化亜鉛、ITO、In-Zn酸化物、In-W酸化物、In-W-Zn酸化物、In-Ti酸化物、In-Ti-Sn酸化物、シリコンを含むIn-Sn酸化物、又はガリウムを添加した酸化亜鉛等の導電性酸化物を用いることができる。

[0391]

導電層 112a、導電層 112b、導電層 212a、及び導電層 212bにはそれぞれ、窒化物導電体を用いてもよい。窒化物導電体として、例えば、窒化タンタル、及び窒化チタンが挙げられる。

[0392]

導電層 112a、導電層 112b、導電層 104、導電層 212a、導電層 212b、及び導電層 104はそれぞれ、積層構造を有してもよい。このとき、少なくとも半導体層 108、又は半導体層 208と接する領域には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、又は酸化物導電材料を用いることが好ましい。また、半導体層 108、及び半導体層 208と接しない領域には、電気抵抗率の低い材料を用いることが好ましい。これにより、導電層の電気抵抗を低くできる。例えば、半導体層 108、又は半導体層 208と接する領域に In-Sn-Si 酸化物 (ITSO) を、半導体層 108 及び半導体層 208 と接しない領域に銅又はタングステンを好適に用いることができる。

[0393]

[絶縁層 106、絶縁層 105、及び絶縁層 206]

絶縁層 106、絶縁層 105、及び絶縁層 206 は、単層構造でもよく、2 層以上の積層構造であってもよい。絶縁層 106、絶縁層 105、及び絶縁層 206 は、1 層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。絶縁層 106、絶縁層 105、及び絶縁層 206 は、絶縁層 110 に用いることができる材料を用いることができる。

[0394]

絶縁層 106 は、半導体層 108、及び半導体層 208 と接する領域を有する。また、絶縁層 105 は、半導体層 108 と接する領域を有し、絶縁層 206 は、半導体層 208 と接する領域を有する。半導体層 108、及び半導体層 208 に金属酸化物を用いる場合、絶縁層 106 を構成する膜のうち、少なくとも半導体層 108、及び半導体層 208 と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。また、絶縁層 105 を構成する膜のうち、少なくとも半導体層 108 と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。さらに、絶縁層 206 を構成する膜のうち、少なくとも半導体層 208 と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。また、絶縁層 106、絶縁層 105、及び絶縁層 206 には、加熱により酸素を放出する膜を用いるとより好ましい。

[0395]

具体的には、絶縁層 106、絶縁層 105、及び絶縁層 206 が単層構造の場合、絶縁層 106、絶縁層 105、及び絶縁層 206 には、酸化物又は酸化窒化物を用いることが好ましい。具体的には、絶縁層 106、絶縁層 105、及び絶縁層 206 は、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。

[0396]

絶縁層 106 を積層構造とする場合、半導体層 108、及び半導体層 208 と接する側の絶縁膜は酸化物又は酸化窒化物を有し、導電層 204 及び導電層 104 と接する側の絶縁膜は窒化物又は窒化酸化物を有することが好ましい。また、絶縁層 105 を積層構造とする場合、半導体層 108 と接する側の絶縁膜は酸化物又は酸化窒化物を有し、導電層 103 と接する側の絶縁膜は窒化物又は窒化酸化物を有することが好ましい。さらに、絶縁層 206 を積層構造とする場合、半導体層 208 と接する側の絶縁膜は酸化物又は酸化窒化物を有し、導電層 204 と接する側の絶縁膜は窒化物又は窒化酸化物を有することが好ましい。当該酸化物又は酸化窒化物として、例えば、酸化シリコン又は酸化窒化シリコンを好適に用いることができる。当該窒化物又は窒化酸化物として、窒化シリコン又は窒化酸化シリコンを好適に用いることができる。

[0397]

窒化シリコン、及び窒化酸化シリコンは自身から放出される不純物（例えば、水及び水素）の量が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層106、絶縁層105、及び絶縁層206として好適に用いることができる。不純物が絶縁層106、絶縁層105、及び絶縁層206から、半導体層108及び半導体層208に拡散することが抑制されることで、トランジスタの電気特性を良好とし、且つ信頼性を高めることができる。

[0398]

なお、微細なトランジスタにおいて、ゲート絶縁層の厚さが薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料（high-k材料ともいう）を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層106、絶縁層105、及び絶縁層206に用いることができるhigh-k材料として、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

[0399]

[絶縁層109]

トランジスタ100及びトランジスタ200の保護層として機能する絶縁層109は、不純物が拡散しにくい材料を用いることが好ましい。絶縁層109を設けることにより、トランジスタに外部から不純物が拡散することを効果的に抑制でき、半導体装置の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。

[0400]

絶縁層109は、無機材料を有する絶縁層、又は有機材料を有する絶縁層とすることができる。絶縁層109は、例えば、酸化物、酸化窒化物、窒化酸化物又は窒化物の無機材料を好適に用いることができる。より具体的には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一又は複数を有することができる。有機材料として、例えば、アクリル樹脂、及びポリイミド樹脂の一又は複数を有することができる。有機材料は感光性の材料を用いてもよい。また、上述の絶縁膜を2以上積層して用いてもよい。絶縁層109は、無機材料を有する絶縁層と、有機材料を有する絶縁層との積層構造としてもよい。

[0401]

[基板102]

基板102の材質に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコン、又は炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI基板、ガラス基板、石英基板、サファイア基板、セラミック基板、又は有機樹脂基板を、基板102として用いてもよい。また、基板102には、半導体素子が設けられていてもよい。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

[0402]

基板102として、可撓性基板を用い、可撓性基板上に直接、トランジスタ100、及びトランジスタ200等を形成してもよい。又は、基板102と、トランジスタ100及びトランジスタ200

0等と、の間に剥離層を設けてもよい。剥離層を設けることにより、その上に半導体装置を一部あるいは全部完成させた後、基板102より分離し、他の基板に転載できる。その際、トランジスタ100及びトランジスタ200等を耐熱性の劣る基板、又は可撓性基板にも転載できる。

[0403]

基板102として、前述の基板上に絶縁層を積層させて用いてもよい。

[0404]

<半導体装置の作製方法例1>

以下では、本発明の一態様の半導体装置の作製方法例について、図面を用いて説明する。なお、各要素の材料及び形成方法について、先に説明した部分と同様の部分については説明を省略することがある。

[0405]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び導電膜等）は、スパッタリング法、化学気相堆積（CVD: Chemical Vapor Deposition）法、真空蒸着法、パルスレーザー堆積（PLD: Pulsed Laser Deposition）法、ALD法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法等を用いて形成できる。CVD法には、PECVD法、及び熱CVD法等がある。また、熱CVD法のひとつに、有機金属化学気相堆積（MOCVD: Metal Organic CVD）法がある。

[0406]

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び導電膜等）は、スピスコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、又はナイフコート等の湿式の成膜方法により形成できる。

[0407]

半導体装置を構成する薄膜を加工する際には、例えばフォトリソグラフィ法を用いることができる。又は、ナノインプリント法、サンドブラスト法、リフトオフ法等により薄膜を加工してもよい。また、メタルマスク等の遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

[0408]

フォトリソグラフィ法として、代表的には以下の2つの方法がある。1つは、加工したい薄膜上にレジストマスクを形成して、例えばエッチングにより当該薄膜を加工し、レジストマスクを除去する方法である。もう1つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

[0409]

フォトリソグラフィ法において、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、又はこれらを混合させた光を用いることができる。そのほか、紫外線、KrFレーザ光、又はArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（EUV: Extreme Ultraviolet）光、又はX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線又は電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビーム等のビームを走査することにより露光を行う場合には、フォトマスクは不要である。

[0410]

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、及びサンドブラスト法の一又は複数を用いることができる。

[0411]

図17A、及び図17Bに示す半導体装置20の作製方法の一例を、図40A乃至図41Cを用いて説明する。図40A乃至図41Cには、図17Aに示す一点鎖線A3-A4に対応する断面図を示す。

[0412]

まず、基板102上に、絶縁層101を形成する（図40A）。絶縁層101の形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。ここで、絶縁層101を複数の層の積層構造とする場合、それぞれの層のうち少なくとも1つの層の形成方法を、他の層の形成方法と異ならせてもよい。以上は以降に示す他の絶縁層、導電層、及び半導体層等においても同様である。

[0413]

続いて、絶縁層101上に、導電層212aとなる導電膜を形成し、当該導電膜を加工して導電層212aを形成する（図40A）。当該導電膜の形成は、スパッタリング法を好適に用いることができる。

[0414]

続いて、絶縁層101上、及び導電層212a上に、絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、をそれぞれ形成する。これにより、絶縁層101上、及び導電層212a上に絶縁層110が形成される（図40A）。

[0415]

絶縁層110a、絶縁層110b、及び絶縁層110cの形成は、例えばALD法、スパッタリング法、又はCVD法を用いることができる。例えば、絶縁層110aの形成はALD法を好適に用いることができ、絶縁層110b、及び絶縁層110cの形成はスパッタリング法を好適に用いることができる。

[0416]

ここで、絶縁層110bを、酸素を含む雰囲気中で成膜することにより、絶縁層110bに多くの酸素を含ませることができる。例えば、絶縁層110bを、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、絶縁層110bに多くの酸素を含ませることができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を絶縁層110bの成膜に用いることで、絶縁層110b中の水素濃度を低減できる。このように絶縁層110bを成膜することで、絶縁層110bから、後の工程で形成する半導体層108のチャネル形成領域、及び半導体層208のチャネル形成領域に酸素を供給し、酸素欠損の低減を図ることができる。

[0417]

また、絶縁層110b上に、スパッタリング法により、酸素を含む雰囲気中で酸化物膜を形成することで酸素を供給してもよい。

[0418]

上記酸化物膜の導電性は問わない。酸化物膜としては、絶縁膜、半導体膜、及び導電膜の少なくとも一種を用いることができる。酸化物膜として、例えば、酸化アルミニウム、酸化ハフニウム、ハ

フニウムアルミネート、インジウム酸化物、インジウムスズ酸化物、又はシリコンを含有したインジウムスズ酸化物を用いることができる。

[0419]

酸化物膜として、半導体層108と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、半導体層108に適用可能な金属酸化物材料を用いることが好ましい。

[0420]

酸化物膜の形成時に、成膜装置の処理室内に導入する成膜ガスの全流量に対する酸素流量の割合（酸素流量比）、又は処理室内の酸素分圧が高いほど、絶縁層110b中に供給される酸素の量を増やすことができる。酸素流量比又は酸素分圧は、例えば50%以上100%以下、好ましくは65%以上100%以下、より好ましくは80%以上100%以下とする。

[0421]

このように、酸素を含む雰囲気でスパッタリング法により酸化物膜を形成することにより、酸化物膜の形成時に、絶縁層110bへ酸素を供給するとともに、絶縁層110bから酸素が脱離することを防ぐことができる。その結果、絶縁層110bに多くの酸素を閉じ込めることができる。そして、後の加熱処理によって、半導体層108に多くの酸素を供給できる。その結果、半導体層108中の酸素欠損及びV_OHを低減でき、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

[0422]

酸化物膜を形成した後、加熱処理を行ってもよい。酸化物膜を形成した後に加熱処理を行うことで、酸化物膜から絶縁層110bに好適に酸素を供給できる。

[0423]

加熱処理の温度は、150℃以上基板の歪み点未満が好ましく、150℃以上450℃以下がより好ましく、150℃以上350℃以下がより好ましく、200℃以上300℃以下がさらに好ましい。加熱処理は、貴ガス、窒素、又は酸素の一以上を含む雰囲気で行うことができる。窒素を含む雰囲気、又は酸素を含む雰囲気として、乾燥空気（CDA: Clean Dry Air）を用いてもよい。なお、当該雰囲気における水素、及び水等の含有量が極力少ないことが好ましい。当該雰囲気として、露点が-60℃以下、好ましくは-100℃以下の高純度ガスを用いることが好ましい。水素、及び水等の含有量が極力少ない雰囲気を用いることで、絶縁層110b等に水素、及び水等が取り込まれることを可能な限り防ぐことができる。加熱処理は、オーブン、又は急速加熱（RTA: Rapid Thermal Annealing）装置等を用いることができる。RTA装置を用いることで、加熱処理時間を短縮できる。

[0424]

酸化物膜を形成した後、又は前述の加熱処理の後に、さらに、酸化物膜を介して絶縁層110bに酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、及びプラズマ処理が挙げられる。本発明の一態様の半導体装置の作製方法におけるプラズマ処理では、例えば酸素ガスを高周波電力によってプラズマ化させる装置を好適に用いることができる。ガスを高周波電力によってプラズマ化させる装置として、例えば、プラズマエッチング装置及びプラズマアッシング装置が挙げられる。

[0425]

なお、絶縁層101、導電層212a、絶縁層110a、及び絶縁層110bを形成した後、酸化

物膜を形成する前に、加熱処理を行ってもよい。加熱処理を行うことで、絶縁層 110b の表面及び膜中から水及び水素を脱離させることができる。

[0426]

続いて、酸化物膜を除去する。

[0427]

酸化物膜の除去方法に特に限定は無いが、化学機械研磨 (CMP: Chemical Mechanical Polishing) 法、又はエッチング法を用いることができる。酸化物膜の除去にエッチング法を用いる場合、ウェットエッチング法を用いることにより、酸化物膜の除去の際に、絶縁層 110b がエッチングされることを抑制できる。

[0428]

なお、絶縁層 110b に対して酸素を供給する処理は、前述の方法に限定されない。例えば、絶縁層 110b 上に上記酸化物膜を形成せずに、イオン注入処理、イオンドーピング処理、プラズマイメージョンイオン注入処理、又はプラズマ処理等を行ってもよい。また、絶縁層 110b 上に酸素の脱離を抑制する膜を形成した後、当該膜を介して絶縁層 110b に酸素を供給してもよい。当該膜は、酸素を供給した後に除去することが好ましい。上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、錫、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、及びタングステンのうち、1以上を有する、導電膜又は半導体膜を用いることができる。

[0429]

ここで、絶縁層 110a、及び絶縁層 110c を、酸素が透過しにくくなるように形成することが好ましく、例えば絶縁層 110b より酸素が透過しにくくなるように形成することが好ましい。また、絶縁層 110a、及び絶縁層 110c を、酸素の拡散係数が小さくなるように形成することが好ましく、例えば絶縁層 110b より酸素の拡散係数が小さくなるように形成することが好ましい。以上により、絶縁層 110b に含まれる酸素が、絶縁層 110a を介して導電層 212a に拡散し、絶縁層 110c を介して後の工程で形成する導電層 112a、導電層 112b、及び導電層 212b に拡散することを抑制できる。これにより、導電層 112a、導電層 112b、導電層 212a、及び導電層 212b の電気抵抗が高くなることを抑制できる。それとともに、絶縁層 110b に含まれる酸素が絶縁層 110a 側、及び絶縁層 110c 側に拡散することが抑制されるため、絶縁層 110b からトランジスタのチャネル形成領域へ供給される酸素の量が増え、チャネル形成領域の酸素欠損 (V_o) 及び V_oH を低減できる。これにより、良好な電気特性を示し、且つ信頼性の高いトランジスタを作製できる。

[0430]

図 40A では、絶縁層 110 が平坦化されており、具体的には絶縁層 110b が平坦化されている例を示している。平坦化は、例えば CMP 法を用いて行うことができる。なお、前述のように、絶縁層 110a が平坦化されていてもよいし、絶縁層 110b が平坦化されていなくてもよい。絶縁層 110b が平坦化されていない場合、絶縁層 110c は平坦化されていてもよいし、平坦化されていなくてもよい。

[0431]

続いて、絶縁層 110c 上に、後の工程で導電層 112a、導電層 112b、及び導電層 212b となる導電膜 112f を形成する (図 40B)。導電膜 112f の形成は、例えば、スパッタリン

グ法を好適に用いることができる。

[0432]

続いて、導電膜112fの一部を除去し、導電膜112fに開口部143、及び開口部243を形成する(図40C)。導電膜112fは、エッチング法を用いて加工でき、微細加工の観点からドライエッチング法で加工することが好ましい。

[0433]

続いて、絶縁層110a、絶縁層110b、及び絶縁層110cの一部を除去し、絶縁層110に開口部141、及び開口部241を形成する(図40D)。開口部141は、開口部143と重なる領域を有し、且つ絶縁層101に達するように形成される。開口部241は、開口部243と重なる領域を有し、且つ導電層212aに達するように形成される。絶縁層110a、絶縁層110b、及び絶縁層110cの一部の除去は、エッチング法を用いて行うことができ、微細加工の観点から、ドライエッチング法を用いて行うことが好ましい。

[0434]

なお、開口部241を形成する際、又は開口部241を形成した後に、開口部241と重なる領域の導電層212aの一部を除去してもよい。導電層212aの、後の工程で形成する半導体層208の下面と接する領域の厚さが、半導体層208と接しない領域の厚さより薄くなることにより、導電層212a近傍のチャネル形成領域にかかるゲート電極の電界を強くでき、トランジスタ200のオン電流を大きくできる。

[0435]

続いて、導電膜112fを加工することにより、導電層112a、導電層112b、及び導電層212bを形成する(図40E)。導電層112a、及び導電層112bは、平面視において開口部141を挟んで対向するように形成される。また、導電層212bは、開口部243を有するように形成される。前述のように、導電膜112fはエッチング法を用いて加工でき、微細加工の観点からドライエッチング法で加工することが好ましい。

[0436]

続いて、加熱処理を行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、例えば窒素ガス又は不活性ガスの雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。以上のような加熱処理を行うことで、後述する半導体層108、及び半導体層208となる金属酸化物膜の成膜前に、例えば絶縁層101、及び絶縁層110に含まれる、水等の不純物を低減できる。

[0437]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量を1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にする。高純度化されたガスを用いて加熱処理を行うことで、例えば絶縁層101、及び絶縁層110に水分が取り込まれることを可能な限り防ぐことができる。なお、上記加熱処理は、導電膜112fへの開口部143及び開口部243の形成後、且つ導電層112a、導電層112b、及び導電層212bの形成前に行ってもよい。

[0438]

続いて、開口部141、開口部241、及び開口部243を覆うように、半導体層108、及び半導体層208となる半導体膜108fを形成する(図41A)。半導体膜108fは、導電層11

2 a の上面と接する領域、導電層 1 1 2 a の側面と接する領域、導電層 1 1 2 b の上面と接する領域、導電層 1 1 2 b の側面と接する領域、導電層 2 1 2 a の上面と接する領域、導電層 2 1 2 b の上面と接する領域、導電層 2 1 2 b の側面と接する領域、絶縁層 1 1 0 の上面と接する領域、絶縁層 1 1 0 の開口部 1 4 1 における側面と接する領域、絶縁層 1 1 0 の開口部 2 4 1 における側面と接する領域、及び絶縁層 1 0 1 の上面と接する領域を有するように形成できる。

[0439]

半導体膜 1 0 8 f としては、金属酸化物膜を用いることができ、具体的には酸化物半導体膜を用いることができる。半導体膜 1 0 8 f の形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。ここで、半導体膜 1 0 8 f の成膜は、被覆性が良好な成膜方法を用いることが好ましく、CVD法又はALD法等を用いることがより好ましい。例えば、当該酸化物半導体膜として、ALD法を用いて、In-Ga-Zn酸化物を成膜すればよい。なお、開口部 1 4 1、開口部 2 4 1、及び開口部 2 4 3 の側面がテーパ形状である場合には、スパッタリング法を用いて半導体膜 1 0 8 f を成膜できる。

[0440]

また、半導体膜 1 0 8 f の成膜中、又は成膜後に、例えば酸素を含む雰囲気でマイクロ波処理を行うことで、半導体膜 1 0 8 f 中の不純物濃度を低減させることが好ましい。なお、不純物としては、特に、水素、及び炭素が挙げられる。また、マイクロ波処理を行うことで、半導体膜 1 0 8 f の結晶性を高めることができる場合がある。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[0441]

酸素を含む雰囲気でマイクロ波処理を行うことで、マイクロ波、又はRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。また、酸化物半導体に作用する酸素は、酸素原子、酸素分子、酸素イオン、及び酸素ラジカル（Oラジカルともいう、不対電子をもつ原子、分子、又はイオン）等様々な形態がある。なお、酸化物半導体に作用する酸素は、上述の形態のいずれか一又は複数であればよく、特に酸素ラジカルであると好適である。

[0442]

また、上述の酸素を含む雰囲気でマイクロ波処理を行う際に、基板を加熱することで、半導体膜 1 0 8 f 中の不純物濃度を、さらに低減させることができるため好適である。上述の基板を加熱する温度としては、100℃以上650℃以下、好ましくは200℃以上600℃以下、さらに好ましくは300℃以上450℃以下で行えばよい。

[0443]

上述の酸素を含む雰囲気でマイクロ波処理を行う際に基板を加熱することで、SIMSにより得られる酸化物半導体膜中の炭素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とすることができる。

[0444]

半導体膜 1 0 8 f は、2層以上の積層構造とすることができる。この場合、各層の成膜方法は同じであってもよいし、異なってもよい。例えば、半導体膜 1 0 8 f を2層の積層構造とする場合、半導体膜 1 0 8 f の下層をスパッタリング法で成膜し、半導体膜 1 0 8 f の上層をALD法で成膜してもよい。スパッタリング法を用いて成膜された酸化物半導体膜は結晶性を有しやすい。そこで、結晶性を有する酸化物半導体膜を半導体膜 1 0 8 f の下層として設けることで、半導体膜 1 0 8 f

の上層の結晶性を高めることができる。また、スパッタリング法で成膜した酸化物半導体膜の下層にピンホール又は段切れ等が形成されたとしても、それらと重畳する部分を、被覆性の良好なALD法で成膜した半導体膜108fの上層で塞ぐことができる。

[0445]

半導体膜108fの成膜後、加熱処理を行うことが好ましい。加熱処理は、上記酸化物半導体膜が多結晶化しない温度範囲で行えばよく、250℃以上650℃以下、好ましくは400℃以上600℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすればよい。また、加熱処理は減圧状態で行なってもよい。又は、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行なってもよい。

[0446]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にすればよい。高純度化されたガスを用いて加熱処理を行うことで、例えば上記酸化物半導体膜に水分が取り込まれることを可能な限り防ぐことができる。

[0447]

ここで、半導体膜108fが、多くの酸素を含む絶縁層110bと接した状態で、上記加熱処理を行うことが好ましい。これにより絶縁層110bから半導体膜108fのチャネル形成領域となる部分に酸素を供給し、酸素欠損の低減を図ることができる。

[0448]

なお、上記においては、半導体膜108fの成膜後に加熱処理を行ったが、本発明はこれに限られるものではない。さらに後の工程で加熱処理を行ってもよい。

[0449]

続いて、半導体膜108fを加工し、半導体層108、及び半導体層208を形成する(図41B)。半導体膜108fとして金属酸化物膜を用いる場合、半導体層108、及び半導体層208は、金属酸化物を含む層とすることができる。半導体膜108fは、エッチング法を用いて加工でき、微細加工の観点からドライエッチング法で加工することが好ましい。

[0450]

半導体層108は、開口部141の内部に位置する領域を有するように形成される。半導体層108は、開口部141の底面及び側面に沿って形成できる。また、半導体層108は、例えば導電層112aの上面と接する領域、導電層112aの側面と接する領域、導電層112bの上面と接する領域、及び導電層112bの側面と接する領域を有するように形成できる。さらに、半導体層108は、絶縁層101の上面と接する領域、及び絶縁層110の側面と接する領域を有するように形成できる。

[0451]

半導体層208は、開口部241の内部に位置する領域、及び開口部243の内部に位置する領域を有するように形成される。半導体層208は、開口部241の底面及び側面、並びに開口部243の側面に沿って形成できる。半導体層208は、例えば導電層212aの上面と接する領域、導

電層 2 1 2 b の側面と接する領域、及び導電層 2 1 2 b の上面と接する領域を有するように形成できる。さらに、半導体層 2 0 8 は、絶縁層 1 1 0 の側面と接する領域を有するように形成できる。

[0 4 5 2]

続いて、半導体層 1 0 8、半導体層 2 0 8、導電層 1 1 2 a、導電層 1 1 2 b、導電層 2 1 2 b、及び絶縁層 1 1 0 を覆って、絶縁層 1 0 6 を形成する（図 4 1 C）。絶縁層 1 0 6 は、開口部 1 4 1 の内部に位置する領域、開口部 2 4 1 の内部に位置する領域、及び開口部 2 4 3 の内部に位置する領域を有するように、半導体層 1 0 8 上、及び半導体層 2 0 8 上に形成される。絶縁層 1 0 6 の形成は、例えば、ALD 法、CVD 法、又はスパッタリング法を用いることができる。

[0 4 5 3]

半導体層 1 0 8、及び半導体層 2 0 8 に金属酸化物を用いる場合、絶縁層 1 0 6 は、酸素が拡散することを抑制するバリア層として機能することが好ましい。絶縁層 1 0 6 が酸素の拡散を抑制する機能を有することにより、半導体層 1 0 8、及び半導体層 2 0 8 に含まれる酸素が絶縁層 1 0 6 より上側に拡散することが抑制され、半導体層 1 0 8、及び半導体層 2 0 8 に酸素欠損 (V_O) が増加することを抑制できる。その結果、良好な電気特性を示し、且つ信頼性の高いトランジスタを作製できる。

[0 4 5 4]

本明細書等において、バリア層とは、バリア性を有する層のことを示す。例えば、バリア性を有する絶縁層を、バリア絶縁層ということが出来る。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）、及び対応する物質を捕獲又は固着する機能の、一方又は双方を指すものとする。

[0 4 5 5]

ゲート絶縁層として機能する絶縁層 1 0 6 の形成時の温度を高くすることにより、欠陥の少ない絶縁層とすることができる。しかしながら、絶縁層 1 0 6 の形成時の温度が高いと半導体層 1 0 8、及び半導体層 2 0 8 から酸素が脱離し、半導体層 1 0 8、及び半導体層 2 0 8 中の酸素欠損 (V_O) 及び V_OH が増加してしまう場合がある。絶縁層 1 0 6 の形成時の基板温度は、180℃以上 450℃以下が好ましく、さらには 200℃以上 450℃以下が好ましく、さらには 250℃以上 450℃以下が好ましく、さらには 300℃以上 450℃以下が好ましく、さらには 300℃以上 400℃以下が好ましい。絶縁層 1 0 6 の形成時の基板温度を前述の範囲とすることで、絶縁層 1 0 6 の欠陥を少なくするとともに、半導体層 1 0 8、及び半導体層 2 0 8 から酸素が脱離することを抑制できる。したがって、良好な電気特性を示し、且つ信頼性の高いトランジスタを作製できる。

[0 4 5 6]

絶縁層 1 0 6 を形成する前に、半導体層 1 0 8、及び半導体層 2 0 8 の表面に対してプラズマ処理を行ってもよい。当該プラズマ処理により、半導体層 1 0 8、及び半導体層 2 0 8 の表面に吸着する水等の不純物を低減できる。そのため、半導体層 1 0 8 と絶縁層 1 0 6 との界面、及び半導体層 2 0 8 と絶縁層 1 0 6 との界面における不純物を低減でき、信頼性の高いトランジスタを実現できる。特に、半導体層 1 0 8、及び半導体層 2 0 8 の形成から、絶縁層 1 0 6 の形成までの間に半導体層 1 0 8、及び半導体層 2 0 8 の表面が大気に曝される場合に好適である。プラズマ処理は、例えば、酸素、オゾン、窒素、一酸化二窒素、又はアルゴン等の雰囲気で行うことができる。また、プラズマ処理と絶縁層 1 0 6 の成膜とは、大気に曝すことなく連続して行われることが好ましい。

[0 4 5 7]

続いて、絶縁層 106 上に、導電層 104 及び導電層 204 となる導電膜を形成し、当該導電膜を加工することにより、導電層 104 及び導電層 204 を形成する。これにより、トランジスタ 100、及びトランジスタ 200 を作製できる（図 41C）。

[0458]

導電層 104 は、開口部 141 の内部に位置する領域を有するように形成される。導電層 204 は、開口部 241 の内部に位置する領域、及び開口部 243 の内部に位置する領域を有するように形成される。導電層 104 及び導電層 204 となる導電膜の形成は、例えばスパッタリング法、CVD 法、又は ALD 法を用いることができる。

[0459]

続いて、トランジスタ 100、及びトランジスタ 200 を覆って、絶縁層 109 を形成する。具体的には、導電層 104、導電層 204、及び絶縁層 106 を覆って、絶縁層 109 を形成する（図 17B）。絶縁層 109 の形成は、例えばスパッタリング法、CVD 法、又は ALD 法を用いることができる。

[0460]

絶縁層 109 の形成後、加熱処理を行ってもよい。なお、当該加熱処理は行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程）がある場合には、当該加熱処理と兼ねることができる場合もある。

[0461]

以上の工程により、図 17A、及び図 17B に示す半導体装置 20 を作製できる。

[0462]

以上のように、本発明の一態様の半導体装置の作製方法では、例えば電気特性が異なる複数のトランジスタを、一部の工程を共通にして形成できる。例えば、トランジスタ 100 が有する導電層 112a 及び導電層 112b と、トランジスタ 200 が有する導電層 212b と、を同一の工程で形成できる。また、トランジスタ 100 が有する半導体層 108 と、トランジスタ 200 が有する半導体層 208 と、を同一の工程で形成できる。さらに、トランジスタ 100 が有する導電層 104 と、トランジスタ 200 が有する導電層 204 と、を同一の工程で形成できる。よって、作製コストを抑えつつ、例えば所望の性能を有する回路を実現しやすくできる。したがって、低価格且つ高い性能を有する半導体装置を作製できる。例えば、本発明の一態様の半導体装置を表示装置に適用する場合、低価格、高精細、高信頼性、且つ高速に駆動する表示装置を作製できる。

[0463]

<半導体装置の作製方法例 2>

図 20A、及び図 20B に示す半導体装置 20A の作製方法の一例を、図 42A 乃至図 42D を用いて説明する。図 42A 乃至図 42D には、図 20A に示す一点鎖線 A3-A4 に対応する断面図を示す。なお、前述の<半導体装置の作製方法例 1>と重複する部分については適宜説明を省略し、相違する部分について主に説明する。

[0464]

まず、基板 102 上に絶縁層 101 を形成し、絶縁層 101 上に、導電層 103 となる導電膜を形成する。続いて、当該導電膜を加工して導電層 103 を形成する（図 42A）。当該導電膜の形成は、例えばスパッタリング法、CVD 法、又は ALD 法を用いることができる。

[0465]

続いて、絶縁層 101 上、及び導電層 103 上に、絶縁層 105 を形成する。絶縁層 105 の形成は、例えば、ALD 法、CVD 法、又はスパッタリング法を用いることができる。

[0466]

後の工程で形成する半導体層 108 に金属酸化物を用いる場合、絶縁層 105 は、酸素が拡散することを抑制するバリア層として機能することが好ましい。絶縁層 105 が酸素の拡散を抑制する機能を有することにより、半導体層 108 に含まれる酸素が絶縁層 105 より下側に拡散することが抑制され、半導体層 108 に酸素欠損 (V_o) が増加することを抑制できる。その結果、良好な電気特性を示し、且つ信頼性の高いトランジスタを作製できる。

[0467]

続いて、絶縁層 105 上に導電層 212a を形成する。その後、絶縁層 105 上、及び導電層 212a 上に絶縁層 110 を形成し、絶縁層 110 上に導電膜 112f を形成する (図 42B)。

[0468]

続いて、導電膜 112f を加工し、導電層 112a と、導電層 112b と、開口部 243 を有する導電層 212b と、を形成する。また、絶縁層 110 の一部を除去し、絶縁層 110 に開口部 141、及び開口部 241 を形成する (図 42C)。開口部 141 は、導電層 103 と重なる領域を有し、絶縁層 105 に達する。開口部 241 は、導電層 212a に達する。開口部 141、開口部 241、開口部 243、導電層 112a、導電層 112b、及び導電層 212b の形成については、図 40C 乃至図 40E を参照できる。

[0469]

なお、図 20C に示す半導体装置 20A を作製する場合、絶縁層 110 に開口部 141、及び開口部 241 を形成した後、導電層 212a に達する開口部を絶縁層 105 に形成する。これにより、絶縁層 105 にも開口部 241 が形成される。例えば、レジストマスクによるパターニングを行って絶縁層 110 に開口部 141、及び開口部 241 を形成し、レジストマスクを除去した後、再度レジストマスクによるパターニングを行って絶縁層 105 に開口部 241 を形成し、レジストマスクを除去することにより、図 20C に示す半導体装置 20A を作製できる。

[0470]

続いて、半導体層 108、半導体層 208、絶縁層 106、導電層 104、及び導電層 204 を形成する (図 42D)。その後、絶縁層 109 を形成する (図 20B)。以上の工程により、図 20A、及び図 20B に示す半導体装置 20A を作製できる。

[0471]

<半導体装置の作製方法例 3>

図 21A、及び図 21B に示す半導体装置 20B の作製方法の一例を、図 43A 乃至図 44B を用いて説明する。図 43A 乃至図 44B には、図 21A に示す一点鎖線 A3-A4 に対応する断面図を示す。なお、前述の<半導体装置の作製方法例 1>と重複する部分については適宜説明を省略し、相違する部分について主に説明する。

[0472]

まず、基板 102 上に、絶縁層 101、導電層 212a、絶縁層 110、及び導電膜 112f を順に形成する。続いて、導電膜 112f の一部を除去して開口部を形成する。その後、絶縁層 110 の一部を除去し、当該開口部と重なる領域を有する開口部 141 を絶縁層 110 に形成する (図 43A)。

[0473]

続いて、導電膜112fを加工することにより、導電層112a、及び導電層112bを形成する(図43B)。導電膜112fは、エッチング法を用いて加工でき、微細加工の観点からドライエッチング法で加工することが好ましい。ここで、導電層112a、及び導電層112bの形成後、加熱処理を行ってもよい。

[0474]

続いて、開口部141の内部に位置する領域を有するように、半導体層108を形成する。続いて、半導体層108、導電層112a、導電層112b、及び絶縁層110を覆って、絶縁層106を形成する。その後、絶縁層106上に、導電層104となる導電膜104fを形成する(図43C)。導電膜104fの形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。

[0475]

続いて、導電膜104fの一部を除去して開口部247を形成し、絶縁層110の一部を除去して開口部245を形成する(図43D)。開口部245は、開口部247と重なる領域を有し、且つ導電層212aに達する。導電膜104fの一部の除去、及び絶縁層110の一部の除去は、エッチング法を用いて行うことができ、微細加工の観点から、ドライエッチング法を用いて行うことが好ましい。

[0476]

続いて、導電膜104fを加工することにより、導電層104を形成する。これにより、トランジスタ100を作製できる(図44A)。導電層104は、開口部247を有するように形成される。なお、導電膜104fを加工して導電層104を形成した後、導電層104の一部を除去して開口部247を形成し、その後絶縁層110の一部を除去して開口部245を形成してもよい。

[0477]

続いて、半導体層208、導電層104、及び絶縁層106を覆って、絶縁層206を形成する(図44B)。絶縁層206は、開口部245の内部に位置する領域、及び開口部247の内部に位置する領域を有するように、半導体層208上に形成される。絶縁層206の形成は、例えば、ALD法、CVD法、又はスパッタリング法を用いることができる。絶縁層206の形成については、前述の絶縁層106の形成についての説明を参照できる。

[0478]

続いて、絶縁層206上に、導電層204となる導電膜を形成し、当該導電膜を加工することにより、導電層204を形成する。これにより、トランジスタ200を作製できる(図44B)。導電層204は、開口部245の内部に位置する領域、及び開口部247の内部に位置する領域を有するように形成される。導電層204となる導電膜の形成は、例えばスパッタリング法、CVD法、又はALD法を用いることができる。

[0479]

続いて、導電層204、及び絶縁層206を覆って、絶縁層109を形成する(図21B)。以上の工程により、図21A、及び図21Bに示す半導体装置20Bを作製できる。

[0480]

本明細書等に示す複数の構成例は、適宜組み合わせて実施できる。例えば、図10A、及び図10B等に示す開口部141の平面形状は、他の図面に示す開口部141にも適用できる。

[0481]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0482]

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置を適用することのできる表示装置の構成例について説明する。

[0483]

本発明の一態様の半導体装置が有するトランジスタは、微細なサイズのトランジスタとすることができるため、本発明の一態様の半導体装置を適用する表示装置は、高精細な表示装置とすることができる。例えば、本発明の一態様の表示装置は、腕時計型、及びブレスレット型等の情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ等のVR向け機器、及びメガネ型のAR向け機器等の頭部に装着可能な機器（HMD：Head Mounted Display）の表示部に用いることができる。

[0484]

[表示モジュール]

図45Aに、表示モジュール380の斜視図を示す。表示モジュール380は、表示装置30と、FPC390と、を有する。

[0485]

表示モジュール380は、基板102及び基板170を有する。表示モジュール380は、表示部25を有する。表示部25は、画像を表示する領域である。

[0486]

図45Bに、基板102側の構成を模式的に示した斜視図を示している。基板102上には、回路部382と、回路部382上の画素回路部383と、画素回路部383上の画素部384と、が積層されている。また、基板102上の画素部384と重ならない部分に、FPC390と接続するための端子部385が設けられている。端子部385と回路部382とは、複数の配線により構成される配線部386により電氣的に接続されている。

[0487]

画素部384は、周期的に配列した複数の画素21を有する。図45Bの右側に、1つの画素21の拡大図を示している。画素21は、赤色の光を発する発光素子60R、緑色の光を発する発光素子60G、及び青色の光を発する発光素子60Bを有する。

[0488]

画素回路部383は、周期的に配列した複数の画素回路40を有する。1つの画素回路40は、1つの画素21が有する3つの発光素子の発光を制御する回路である。1つの画素回路40には、1つの発光素子の発光を制御する回路が3つ設けられる構成としてもよい。例えば、画素回路40は、1つの発光素子につき、1つの選択トランジスタと、1つの電流制御用トランジスタ（駆動トランジスタ）と、容量素子と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソースにはソース信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示パネルが実現されている。なお、画素回路40も、画素21に含めることができる。

[0489]

回路部382は、画素回路部383の各画素回路40を駆動する回路を有する。例えば、ゲート線駆動回路、及びソース線駆動回路の一方又は双方を有することが好ましい。このほか、演算回路、メモリ回路、及び電源回路等の少なくとも一つを有していてもよい。また、回路部382に設けられるトランジスタが画素回路40の一部を構成してもよい。すなわち、画素回路40が、画素回路部383が有するトランジスタと、回路部382が有するトランジスタと、により構成されていてもよい。

[0490]

FPC390は、外部から回路部382に画像信号及び電源電位等を供給するための配線として機能する。また、FPC390上にICが実装されていてもよい。

[0491]

表示モジュール380は、画素部384の下側に画素回路部383及び回路部382の一方又は双方が重ねて設けられた構成とすることができるため、表示部25の開口率（有効表示面積比）を極めて高くできる。例えば表示部25の開口率は、40%以上100%未満、好ましくは50%以上95%以下、より好ましくは60%以上95%以下とすることができる。また、画素21を極めて高密度に配置することが可能で、表示部25の精細度を極めて高くできる。例えば、表示部25には、2000ppi以上、好ましくは3000ppi以上、より好ましくは5000ppi以上、さらに好ましくは6000ppi以上であって、20000ppi以下、又は30000ppi以下の精細度で、画素21が配置されることが好ましい。

[0492]

このような表示モジュール380は、極めて高精細であることから、ヘッドマウントディスプレイ等のVR向け機器、又はメガネ型のAR向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール380の表示部を視認する構成の場合であっても、表示モジュール380は極めて高精細な表示部25を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。また、表示モジュール380はこれに限られず、比較的小型の表示部を有する電子機器に好適に用いることができる。例えば腕時計等の装着型の電子機器の表示部に好適に用いることができる。

[0493]

以下では、表示装置30に適用できる表示装置として、表示装置30A、表示装置30B、及び表示装置30Cを示す。

[0494]

[表示装置30A]

図46に示す表示装置30Aは、基板102、絶縁層101、絶縁層110、絶縁層109、トランジスタ100、容量340、発光素子60R、発光素子60G、及び発光素子60B等を有する。図46では、絶縁層110が、絶縁層110aと、絶縁層110a上の絶縁層110bと、絶縁層110b上の絶縁層110cと、の3層積層構造である例を示している。

[0495]

トランジスタ100は、導電層112a、導電層112b、半導体層108、絶縁層106、及び導電層104等を有する。トランジスタ100には、実施の形態1で例示した各種トランジスタを適用できる。また、基板102、絶縁層101、絶縁層110a、絶縁層110b、絶縁層110

c、及び絶縁層 109 には、実施の形態 1 で例示した材料を適用でき、また実施の形態 1 で例示した機能を有することができる。

[0496]

絶縁層 109 上には、絶縁層 119 が設けられる。絶縁層 119 は、層間絶縁層として機能し、平坦化された層とすることができる。なお、絶縁層 119 と、絶縁層 119 上に設けられる絶縁層 354 と、の間に、トランジスタ 100 に例えば絶縁層 119 から水又は水素等の不純物が拡散することを防ぐバリア層を設けてもよい。

[0497]

導電層 112a は、絶縁層 119 に埋め込まれるプラグ 374 と電氣的に接続される。ここで、プラグ 374 は、絶縁層 119 の開口部の側面、絶縁層 109 の開口部の側面、及び導電層 112a の上面の一部を覆う導電層 374a と、導電層 374a と接する領域を有する導電層 374b とを有することが好ましい。このとき、導電層 374a として、水素及び酸素が拡散しにくい導電材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、水及び水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。このような構成にすることで、水及び水素などの不純物が、プラグ 374 を通じて半導体層 108、及び半導体層 208 に混入することを抑制できる。なお、導電層 374b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電層 374b としては、タングステン、銅、またはアルミニウムを主成分とする導電性材料などを用いればよい。

[0498]

絶縁層 119 上に容量 340 が設けられている。容量 340 は、導電層 341 と、導電層 345 と、これらの間に位置する絶縁層 343 を有する。導電層 341 は、容量 340 の一方の電極として機能し、導電層 345 は、容量 340 の他方の電極として機能し、絶縁層 343 は、容量 340 の誘電体として機能する。

[0499]

導電層 341 は絶縁層 119 上に設けられ、絶縁層 354 に埋め込まれている。導電層 341 は、プラグ 374 によってトランジスタ 100 の導電層 112a と電氣的に接続されている。絶縁層 343 は導電層 341 を覆って設けられる。導電層 345 は、絶縁層 343 を介して導電層 341 と重なる領域に設けられている。

[0500]

容量 340 を覆って、絶縁層 355a が設けられ、絶縁層 355a 上に絶縁層 355b が設けられ、絶縁層 355b 上に絶縁層 355c が設けられている。

[0501]

絶縁層 119、絶縁層 354、絶縁層 343、絶縁層 355a、絶縁層 355b、及び絶縁層 355c には、それぞれ無機絶縁膜を好適に用いることができる。無機絶縁膜に用いることができる材料として、前述のように例えば酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。

[0502]

例えば、絶縁層 355a 及び絶縁層 355c に酸化シリコン膜を用い、絶縁層 355b に窒化シリコン膜を用いることが好ましい。これにより、絶縁層 355b は、エッチング保護膜として機能させることができる。本実施の形態では、絶縁層 355c の一部がエッチングされ、凹部が形成され

ている例を示すが、絶縁層 3 5 5 c に凹部が設けられていなくてもよい。

[0 5 0 3]

絶縁層 3 5 5 c 上に発光素子 6 0 R、発光素子 6 0 G、及び発光素子 6 0 B が設けられている。

[0 5 0 4]

発光素子 6 0 R は、画素電極 4 1 1 R、有機層 4 1 2 R、共通層 4 1 4、及び共通電極 4 1 3 を有する。発光素子 6 0 G は、画素電極 4 1 1 G、有機層 4 1 2 G、共通層 4 1 4、及び共通電極 4 1 3 を有する。発光素子 6 0 B は、画素電極 4 1 1 B、有機層 4 1 2 B、共通層 4 1 4、及び共通電極 4 1 3 を有する。共通層 4 1 4 と共通電極 4 1 3 は、発光素子 6 0 R、発光素子 6 0 G、及び発光素子 6 0 B に共通に設けられる。

[0 5 0 5]

以下では、発光素子 6 0 R、発光素子 6 0 G、及び発光素子 6 0 B に共通する事項を説明する場合には、発光素子 6 0 と呼称して説明する場合がある。同様に、有機層 4 1 2 R、有機層 4 1 2 G、及び有機層 4 1 2 B 等、アルファベットで区別する構成要素についても、これらに共通する事項を説明する場合には、アルファベットを省略した符号を用いて説明する場合がある。

[0 5 0 6]

発光素子 6 0 R が有する有機層 4 1 2 R は、少なくとも赤色の光を発する発光性の有機化合物を有する。発光素子 6 0 G が有する有機層 4 1 2 G は、少なくとも緑色の光を発する発光性の有機化合物を有する。発光素子 6 0 B が有する有機層 4 1 2 B は、少なくとも青色の光を発する発光性の有機化合物を有する。有機層 4 1 2 R、有機層 4 1 2 G、及び有機層 4 1 2 B は、それぞれ E L 層とも呼ぶことができ、少なくとも発光性の有機化合物を含む層（発光層）を有する。

[0 5 0 7]

表示装置 3 0 A は、発光色ごとに、発光素子を作り分けているため、低輝度での発光と高輝度での発光で色度の変化が小さい。また、有機層 4 1 2 R、有機層 4 1 2 G、及び有機層 4 1 2 B がそれぞれ離隔しているため、高精細な表示パネルであっても、隣接する副画素間におけるクロストークの発生を抑制できる。したがって、高精細であり、かつ、表示品位の高い表示パネルを実現できる。

[0 5 0 8]

隣り合う発光素子の間の領域には、絶縁層 4 2 5、樹脂層 4 2 6、及び層 4 2 8 が設けられる。

[0 5 0 9]

発光素子の画素電極 4 1 1 R、画素電極 4 1 1 G、及び画素電極 4 1 1 B は、絶縁層 3 5 5 a、絶縁層 3 5 5 b、及び絶縁層 3 5 5 c に埋め込まれたプラグ 3 5 6、絶縁層 3 5 4 に埋め込まれた導電層 3 4 1、並びにプラグ 3 7 4 によってトランジスタ 1 0 0 の導電層 1 1 2 a と電気的に接続されている。絶縁層 3 5 5 c の上面の高さと、プラグ 3 5 6 の上面の高さは、一致又は概略一致している。プラグには各種導電材料を用いることができる。プラグ 3 5 6 には、例えばプラグ 3 7 4 に用いることができる材料と同様の材料を用いることができる。

[0 5 1 0]

また、発光素子 6 0 R、発光素子 6 0 G、及び発光素子 6 0 B 上には保護層 4 2 1 が設けられている。保護層 4 2 1 上には、接着層 4 7 1 によって基板 1 7 0 が貼り合わされている。

[0 5 1 1]

隣接する 2 つの画素電極 4 1 1 間には、画素電極 4 1 1 の上面端部を覆う絶縁層が設けられていない。そのため、隣り合う発光素子の間隔を極めて狭くできる。したがって、高精細、又は、高解像

度の表示装置とすることができる。

[0512]

[表示装置30B]

以下では、上記とは一部の構成が異なる表示装置について説明する。なお、上記と共通する部分はこれを参照し、説明を省略する場合がある。

[0513]

図47に示す表示装置30Bは、半導体層が平面上に形成されたプレーナ型のトランジスタであるトランジスタ150と、縦方向と、横方向との双方に電流が流れるトランジスタ100とが積層された例を示している。

[0514]

トランジスタ150は、半導体層151、絶縁層153、導電層154、一对の導電層155、絶縁層156、及び導電層157を有する。

[0515]

基板102上に、絶縁層152が設けられている。絶縁層152は、基板102から水又は水素等の不純物がトランジスタ150に拡散すること、及び半導体層151から絶縁層152側に酸素が脱離することを防ぐバリア層として機能する。絶縁層152としては、例えば酸化アルミニウム膜、酸化ハフニウム膜、又は窒化シリコン膜等の、酸化シリコン膜よりも水素及び酸素の一方又は双方が拡散しにくい膜を用いることができる。

[0516]

絶縁層152上に導電層157が設けられ、導電層157を覆って絶縁層156が設けられている。導電層157は、トランジスタ150の第1のゲート電極として機能し、絶縁層156の一部は、第1のゲート絶縁層として機能する。絶縁層156の少なくとも半導体層151と接する部分には、酸化シリコン膜等の酸化物絶縁膜を用いることが好ましい。絶縁層156の上面は、平坦化されていることが好ましい。

[0517]

半導体層151は、絶縁層156上に設けられる。半導体層151は、金属酸化物を有することが好ましい。一对の導電層155は、半導体層151上に接して設けられ、ソース電極及びドレイン電極として機能する。

[0518]

一对の導電層155の上面及び側面、並びに半導体層151の側面等を覆って絶縁層158、及び絶縁層161が設けられている。絶縁層158は、半導体層151に水又は水素等の不純物が拡散すること、及び半導体層151から酸素が脱離することを防ぐバリア層として機能する。絶縁層158としては、上記絶縁層152と同様の絶縁膜を用いることができる。

[0519]

絶縁層158及び絶縁層161の、平面視における一对の導電層155の一方と、他方と、の間に、半導体層151に達する開口部が設けられている。当該開口部の内部に、半導体層151の上面に接する絶縁層153と、導電層154とが埋め込まれている。導電層154は、第2のゲート電極として機能し、絶縁層153は第2のゲート絶縁層として機能する。

[0520]

導電層154の上面、絶縁層153の上面、及び絶縁層161の上面は、それぞれ高さが一致又は

概略一致するように平坦化处理され、これらを覆って絶縁層 159 が設けられている。絶縁層 159 は、トランジスタ 100、及びトランジスタ 150 に水又は水素等の不純物が拡散することを防ぐバリア層として機能する。絶縁層 159 としては、上記絶縁層 152 と同様の絶縁膜を用いることができる。

[0521]

トランジスタ 150 には、チャネルが形成される半導体層を 2 つのゲートで挟持する構成が適用されている。2 つのゲートを接続し、これらに同一の信号を供給することによりトランジスタを駆動してもよい。又は、2 つのゲートのうち、一方にしきい値電圧を制御するための電位を与え、他方に駆動のための電位を与えることで、トランジスタ 150 のしきい値電圧を制御してもよい。

[0522]

[表示装置 30C]

図 48 に示す表示装置 30C は、半導体基板にチャネルが形成されるトランジスタ 310 と、縦方向と、横方向との双方に電流が流れるトランジスタ 100 とが積層された構成を有する。

[0523]

トランジスタ 310 は、基板 102 にチャネル形成領域を有するトランジスタである。表示装置 30C が有する基板 102 としては、例えば単結晶シリコン基板等の半導体基板を用いることができる。トランジスタ 310 は、基板 102 の一部、導電層 311、低抵抗領域 312、絶縁層 313、及び絶縁層 314 を有する。導電層 311 は、ゲート電極として機能する。絶縁層 313 は、基板 102 と導電層 311 の間に位置し、ゲート絶縁層として機能する。低抵抗領域 312 は、基板 102 に不純物がドーピングされた領域であり、ソース又はドレインの一方として機能する。絶縁層 314 は、導電層 311 の側面を覆って設けられる。

[0524]

また、基板 102 に埋め込まれるように、隣接する 2 つのトランジスタ 310 の間に素子分離層 315 が設けられている。

[0525]

以下では、発光素子 60R、発光素子 60G、及び発光素子 60B の、図 46 乃至図 48 とは異なる構成例について説明する。

[0526]

前述のように、本発明の一態様は、発光素子を有する表示装置である。表示装置は、発光色の異なる 2 つ以上の画素を有する。画素は、それぞれ発光素子を有する。例えば、それぞれ赤色 (R)、緑色 (G)、又は青色 (B) の光を発する 3 種類の発光素子を有することで、フルカラーの表示装置を実現できる。

[0527]

発光色がそれぞれ異なる複数の発光素子を有する表示装置を作製する場合、少なくとも発光材料を含む層 (発光層) をそれぞれ島状に形成する必要がある。EL 層の一部又は全部を作り分ける場合、メタルマスク等のシャドーマスクを用いた蒸着法により島状の有機膜を形成する方法が知られている。しかしながらこの方法では、メタルマスクの精度、メタルマスクと基板との位置ずれ、メタルマスクのたわみ、及び蒸気の散乱等による成膜される膜の輪郭の広がり等、様々な影響により、島状の有機膜の形状及び位置に設計からのずれが生じるため、表示装置の高精細化、及び高開口率化が困難である。また、蒸着の際に、層の輪郭がぼやけて、端部の厚さが薄くなることがある。つま

り、島状の発光層は場所によって厚さにばらつきが生じることがある。また、大型、高解像度、又は高精細な表示装置を作製する場合、メタルマスクの寸法精度の低さ、及び熱等による変形により、製造歩留まりが低くなる懸念がある。そのため、例えばペンタイル配列等の特殊な画素配列方式を採用することにより、疑似的に精細度（画素密度ともいう）を高める対策が取られていた。

[0528]

本明細書等において、島状とは、同一工程で形成された同一材料を用いた2以上の層が物理的に分離されている状態であることを示す。例えば、島状の発光層とは、当該発光層と、隣接する発光層とが、物理的に分離されている状態であることを示す。

[0529]

本発明の一態様は、EL層をファインメタルマスク（FMM）等のシャドーマスクを用いることなく、フォトリソグラフィにより、微細なパターンに加工する。これにより、これまで実現が困難であった高い精細度と、大きな開口率を有する表示装置を実現できる。さらに、EL層を作り分けることができるため、極めて鮮やかで、コントラストが高く、表示品位の高い表示装置を実現できる。なお、例えば、EL層をメタルマスクと、フォトリソグラフィと、の双方を用いて微細なパターンに加工してもよい。

[0530]

また、EL層の一部又は全部を物理的に分断できる。これにより、隣接する発光素子間で共通に用いる層（共通層ともいう）を介した、発光素子間のリーク電流を抑制できる。これにより、意図しない発光に起因したクロストークを防ぐことができ、コントラストの極めて高い表示装置を実現できる。特に、低輝度における電流効率の高い表示装置を実現できる。

[0531]

本発明の一態様は、白色発光の発光素子と、カラーフィルタとを組み合わせた表示装置とすることもできる。この場合、異なる色の光を呈する画素（副画素）に設けられる発光素子に、それぞれ同じ構成の発光素子を適用でき、全ての層を共通層とすることができる。さらに、それぞれのEL層の一部又は全部を、フォトリソグラフィにより分断してもよい。これにより、共通層を介したリーク電流が抑制され、コントラストの高い表示装置を実現できる。特に、導電性の高い中間層を介して、複数の発光層を積層したタンデム構造を有する素子では、当該中間層を介したリーク電流を効果的に防ぐことができるため、高い輝度、高い精細度、及び高いコントラストを兼ね備えた表示装置を実現できる。

[0532]

EL層をフォトリソグラフィ法により加工する場合、発光層の一部が露出し、劣化の要因となる場合がある。そのため、少なくとも島状の発光層の側面を覆う絶縁層を設けることが好ましい。当該絶縁層は、島状のEL層の上面の一部を覆う構成としてもよい。当該絶縁層としては、水及び酸素に対してバリア性を有する材料を用いることが好ましい。例えば、水又は酸素を拡散しにくい、無機絶縁膜を用いることができる。これにより、EL層の劣化を抑制し、信頼性の高い表示装置を実現できる。

[0533]

さらに、隣接する2つの発光素子間には、いずれの発光素子のEL層も設けられない領域（凹部）を有する。当該凹部を覆って共通電極、又は共通電極及び共通層を形成する場合、共通電極がEL層の端部の段差により分断されてしまう現象（段切れともいう）が生じ、EL層上の共通電極が絶

縁してしまう場合がある。そこで、隣接する2つの発光素子間に位置する局所的な段差を、平坦化膜として機能する樹脂層により埋める構成（LFP: Local Filling Planarizationともいう）とすることが好ましい。当該樹脂層は、平坦化膜としての機能を有する。これにより、共通層又は共通電極の段切れを抑制し、信頼性の高い表示装置を実現できる。

[0534]

以下では、本発明の一態様の表示装置の、より具体的な構成例について、図面を参照して説明する。

[0535]

[構成例1]

図49Aに、本発明の一態様の表示装置30の上面概略図を示す。前述のように、表示装置30は、表示部25を有する。表示装置30は、層401上に、赤色光を発する発光素子60R、緑色光を発する発光素子60G、及び青色光を発する発光素子60Bをそれぞれ複数有する。図49Aでは、各発光素子の区別を簡単にするため、各発光素子の発光領域内にR、G、及びBの符号を付している。ここで、図46乃至図48に示す基板102から絶縁層355cまでを、層401に含めることができる。

[0536]

発光素子60R、発光素子60G、及び発光素子60Bは、それぞれ表示部25にマトリクス状に配列している。図49Aは、一方向に同一の色の発光素子が配列する、いわゆるストライプ配列を示している。なお、発光素子の配列方法はこれに限られず、Sストライプ配列、デルタ配列、ベイヤー配列、又はジグザグ配列等の配列方法を適用してもよいし、ペンタイル配列、又はダイヤモンド配列等を用いることもできる。

[0537]

また、図49Aには、共通電極413と電気的に接続する接続電極411Cを示している。接続電極411Cは、共通電極413に供給するための電位（例えばアノード電位、又はカソード電位）が与えられる。接続電極411Cは、発光素子60R、発光素子60G、及び発光素子60B等が配列する表示領域の外に設けられる。

[0538]

接続電極411Cは、表示領域の外周に沿って設けることができる。例えば、表示領域の外周の一辺に沿って設けられていてもよいし、表示領域の外周の2辺以上にわたって設けられていてもよい。すなわち、表示領域の上面形状が長方形である場合には、接続電極411Cの上面形状は、帯状（長方形）、L字状、コの字状（角括弧状）、又は四角形等とすることができる。

[0539]

図49Bは、図49Aに示す一点鎖線D1-D2における切断面の断面図である。図49Cは、図49Aに示す一点鎖線D3-D4における切断面の断面図である。図49Bには、発光素子60R、発光素子60G、及び発光素子60Bの断面概略図を示し、図49Cには、接続電極411Cと共通電極413とが接続される接続部440の断面概略図を示している。

[0540]

前述のように、発光素子60Rは、画素電極411R、有機層412R、共通層414、及び共通電極413を有する。発光素子60Gは、画素電極411G、有機層412G、共通層414、及び共通電極413を有する。発光素子60Bは、画素電極411B、有機層412B、共通層414、及び共通電極413を有する。共通層414と共通電極413は、発光素子60R、発光素子

60G、及び発光素子60Bに共通に設けられる。

[0541]

有機層412、及び共通層414は、それぞれ独立に電子注入層、電子輸送層、正孔注入層、及び正孔輸送層のうち、一以上を有することができる。例えば、有機層412が、画素電極411側から正孔注入層、正孔輸送層、発光層、電子輸送層の積層構造を有し、共通層414が電子注入層を有する構成とすることができる。

[0542]

共通電極413上には、発光素子60R、発光素子60G、及び発光素子60Bを覆って、保護層421が設けられている。保護層421は、上方から各発光素子に水等の不純物が拡散することを防ぐ機能を有する。

[0543]

画素電極411の端部はテーパ形状を有することが好ましい。画素電極411の端部がテーパ形状を有する場合、画素電極411の端部に沿って設けられる有機層412も、テーパ形状とすることができる。画素電極411の端部をテーパ形状とすることで、画素電極411の端部を乗り越えて設けられる有機層412の被覆性を高めることができる。また、画素電極411の側面をテーパ形状とすることで、作製工程中の異物（例えば、ゴミ、又はパーティクル等ともいう）を、洗浄等の処理により除去することが容易となり好ましい。

[0544]

本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面とがなす角（テーパ角ともいう）が90°未満である領域を有すると好ましい。

[0545]

有機層412は、フォトリソグラフィ法により島状に加工されている。そのため、有機層412は、その端部において、上面と側面との成す角が90度に近い形状となる。一方、例えばFMM（Fine Metal Mask）を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば端部まで1 μ m以上10 μ m以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

[0546]

前述のように、隣り合う発光素子の間の領域には、絶縁層425、樹脂層426、及び層428が設けられる。

[0547]

隣接する2つの発光素子間において、互いの有機層412の側面が樹脂層426を挟んで対向して設けられている。樹脂層426は、隣接する2つの発光素子の間に位置し、それぞれの有機層412の端部、及び2つの有機層412の間の領域を埋めるように設けられている。樹脂層426は、滑らかな凸状の上面形状を有しており、樹脂層426の上面を覆って、共通層414及び共通電極413が設けられている。

[0548]

樹脂層426は、隣接する2つの発光素子間に位置する段差を埋める平坦化膜として機能する。樹脂層426を設けることにより、共通電極413が有機層412の端部の段差により分断されてしまう現象（段切れともいう）が生じ、有機層412上の共通電極413が絶縁してしまうことを防

ることができる。樹脂層426は、LFP (Local Filling Planarization) 層ともいうことができる。

[0549]

樹脂層426としては、有機材料を有する絶縁層を好適に用いることができる。例えば、樹脂層426として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等を適用できる。また、樹脂層426として、ポリビニルアルコール (PVA)、ポリビニルブチラール、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、又はアルコール可溶性のポリアミド樹脂等の有機材料を用いてもよい。

[0550]

また、樹脂層426として、感光性の樹脂を用いることができる。感光性の樹脂としてはフォトリジストを用いてもよい。感光性の樹脂は、ポジ型の材料、又はネガ型の材料を用いることができる。

[0551]

樹脂層426は、可視光を吸収する材料を含んでいてもよい。例えば、樹脂層426自体が可視光を吸収する材料により構成されていてもよいし、樹脂層426が、可視光を吸収する顔料を含んでいてもよい。樹脂層426としては、例えば、赤色、青色、又は緑色の光を透過し、他の光を吸収するカラーフィルタとして用いることのできる樹脂、又はカーボンブラックを顔料として含み、ブラックマトリクスとして機能する樹脂等を用いることができる。

[0552]

絶縁層425は、有機層412の側面に接して設けられている。また絶縁層425は、有機層412の上端部を覆って設けられている。また絶縁層425の一部は、層401の上面に接して設けられている。

[0553]

絶縁層425は、樹脂層426と有機層412との間に位置し、樹脂層426が有機層412に接することを防ぐための保護膜として機能する。有機層412と樹脂層426とが接すると、例えば樹脂層426の形成時に用いられる有機溶媒により有機層412が溶解する可能性がある。そのため、有機層412と樹脂層426との間に絶縁層425を設ける構成とすることで、有機層412の側面を保護することが可能となる。

[0554]

絶縁層425としては、無機材料を有する絶縁層とすることができる。絶縁層425には、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜等の無機絶縁膜を用いることができる。絶縁層425は単層構造であってもよく積層構造であってもよい。酸化絶縁膜としては、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、インジウムガリウム亜鉛酸化物膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、及び酸化タンタル膜等が挙げられる。窒化絶縁膜としては、窒化シリコン膜及び窒化アルミニウム膜等が挙げられる。酸化窒化絶縁膜としては、酸化窒化シリコン膜、及び酸化窒化アルミニウム膜等が挙げられる。窒化酸化絶縁膜としては、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜等が挙げられる。特にALD法により形成した酸化アルミニウム膜若しくは酸化ハフニウム膜等の酸化金属膜、又は酸化シリコン膜等の無機絶縁膜を絶縁層42

5に適用することで、ピンホールが少なく、EL層を保護する機能に優れた絶縁層425を形成できる。

[0555]

絶縁層425の形成は、スパッタリング法、CVD法、PLD法、又はALD法等を用いることができる。絶縁層425は、被覆性が良好なALD法を用いて形成することが好ましい。

[0556]

また、絶縁層425と、樹脂層426との間に、反射膜（例えば、銀、パラジウム、銅、チタン、及びアルミニウム等の中から選ばれる一又は複数を含む金属膜）を設け、発光層から射出される光を上記反射膜により反射させる構成としてもよい。これにより、光取り出し効率を向上させることができる。

[0557]

層428は、有機層412のエッチング時に、有機層412を保護するための保護層（マスク層、犠牲層ともいう）の一部が残存したものである。層428には、上記絶縁層425に用いることができる材料を用いることができる。特に、層428と絶縁層425と同じ材料を用いると、例えば加工のための装置を共通に用いることができるため、好ましい。

[0558]

特にALD法により形成した酸化アルミニウム膜若しくは酸化ハフニウム膜等の酸化金属膜、又は酸化シリコン膜等の無機絶縁膜はピンホールが少ないため、EL層を保護する機能に優れ、絶縁層425及び層428に好適に用いることができる。

[0559]

保護層421としては、例えば、少なくとも無機絶縁膜を含む単層構造又は積層構造とすることができる。無機絶縁膜としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、又は酸化ハフニウム膜等の、酸化物膜及び窒化物膜が挙げられる。又は、保護層421としてインジウムガリウム酸化物、インジウム亜鉛酸化物、インジウムスズ酸化物、インジウムガリウム亜鉛酸化物等の半導体材料又は導電性材料を用いてもよい。

[0560]

保護層421としては、無機絶縁膜と、有機絶縁膜の積層膜を用いることもできる。例えば、一對の無機絶縁膜の間に、有機絶縁膜を挟んだ構成とすることが好ましい。さらに有機絶縁膜が平坦化膜として機能することが好ましい。これにより、有機絶縁膜の上面を平坦なものとするため、その上の無機絶縁膜の被覆性が向上し、バリア性を高めることができる。また、保護層421の上面が平坦となるため、保護層421の上方に構造物（例えばカラーフィルタ、タッチセンサの電極、又はレンズアレイ等）を設ける場合に、下方の構造に起因する凹凸形状の影響を軽減できるため好ましい。

[0561]

図49Cには、接続電極411Cと共通電極413とが電氣的に接続する接続部440を示している。接続部440では、接続電極411C上において、絶縁層425及び樹脂層426に開口部部が設けられる。当該開口部部において、接続電極411Cと共通電極413とが電氣的に接続されている。

[0562]

なお、図 4 9 C には、接続電極 4 1 1 C と共通電極 4 1 3 とが電氣的に接続する接続部 4 4 0 を示しているが、接続電極 4 1 1 C 上に共通層 4 1 4 を介して共通電極 4 1 3 が設けられていてもよい。例えば共通層 4 1 4 にキャリア注入層を用いた場合では、当該共通層 4 1 4 に用いる材料の電気抵抗率が十分に低く、且つ厚さも薄く形成できるため、共通層 4 1 4 が接続部 4 4 0 に位置していても問題は生じない場合が多い。これにより、共通電極 4 1 3 と共通層 4 1 4 とを同じ遮蔽マスクを用いて形成できるため、製造コストを低減できる。

[0563]

[構成例 2]

以下では、上記構成例 1 とは一部の構成が異なる表示装置について説明する。なお、上記構成例 1 と共通する部分はこれを参照し、説明を省略する場合がある。

[0564]

図 5 0 A は、図 4 9 B に示す構成の変形例であり、発光素子の構成が異なり、また着色層を有する例を示している。

[0565]

図 5 0 A に示す例では、表示装置 3 0 が、白色光を発する発光素子 6 0 W を有する。発光素子 6 0 W は、画素電極 4 1 1、有機層 4 1 2 W、共通層 4 1 4、及び共通電極 4 1 3 を有する。有機層 4 1 2 W は、白色発光を発する。例えば、有機層 4 1 2 W は、発光色が補色の関係となる 2 種類以上の発光材料を含む構成とすることができる。例えば、有機層 4 1 2 W は、赤色の光を発する発光性の有機化合物と、緑色の光を発する発光性の有機化合物と、青色の光を発する発光性の有機化合物と、を有する構成とすることができる。また、青色の光を発する発光性の有機化合物と、黄色の光を発する発光性の有機化合物と、を有する構成としてもよい。

[0566]

隣接する 2 つの発光素子 6 0 W 間において、それぞれの有機層 4 1 2 W は分断されている。これにより、有機層 4 1 2 W を介して隣接する発光素子 6 0 W 間に流れるリーク電流を抑制でき、当該リーク電流に起因したクロストークを抑制できる。そのため、コントラスト、及び色再現性の高い表示装置を実現できる。

[0567]

保護層 4 2 1 上には、平坦化膜として機能する絶縁層 4 2 2 が設けられ、絶縁層 4 2 2 上には着色層 4 1 6 R、着色層 4 1 6 G、及び着色層 4 1 6 B が設けられている。以下では、着色層 4 1 6 R、着色層 4 1 6 G、及び着色層 4 1 6 B に共通する事項を説明する場合には、着色層 4 1 6 と呼称して説明する場合がある。

[0568]

着色層 4 1 6 は、特定の波長の光の透過率が、他の波長の光の透過率より高い。よって、着色層 4 1 6 は、特定の色の光を透過する機能を有する。例えば、着色層 4 1 6 R は赤色の光を透過する機能を有し、着色層 4 1 6 G は緑色の光を透過する機能を有し、着色層 4 1 6 B は青色の光を透過する機能を有する。ここで、1 つの発光素子 6 0 W が、着色層 4 1 6 R、着色層 4 1 6 G、及び着色層 4 1 6 B の内 1 つと重なる領域を有する。よって、発光素子 6 0 W が発する光が例えば白色光であっても、表示部 2 5 は例えば赤色の光、緑色の光、及び青色の光を射出し、フルカラー表示を行うことができる。

[0569]

着色層 4 1 6 に用いることのできる材料としては、金属材料、樹脂材料、及び顔料又は染料が含まれた樹脂材料等が挙げられる。着色層 4 1 6 は、例えばインクジェット法を用いて形成できる。

[0570]

絶縁層 4 2 2 としては、有機樹脂膜、又は上面が平坦化された無機絶縁膜を用いることができる。絶縁層 4 2 2 は、着色層 4 1 6 R、着色層 4 1 6 G、及び着色層 4 1 6 B の被形成面を成すため、絶縁層 4 2 2 の上面が平坦であることで、着色層 4 1 6 R、着色層 4 1 6 G、及び着色層 4 1 6 B の上面に凹凸が形成されることを抑制できる。これにより、着色層 4 1 6 R の厚さを均一にでき、着色層 4 1 6 G の厚さを均一にでき、着色層 4 1 6 B の厚さを均一にできる。以上により、表示部 2 5 に表示される画像の色純度を高めることができる。なお、着色層 4 1 6 の厚さが不均一であると、光の吸収量が着色層 4 1 6 の場所によって変わるため、色純度が低下してしまう恐れがある。

[0571]

図 5 0 A では、透過する光の波長が異なる着色層 4 1 6 を、樹脂層 4 2 6 上で重ねる例を示している。これにより、例えば着色層 4 1 6 G と重なる発光素子 6 0 W が発する光が、隣接する着色層 4 1 6 R、又は着色層 4 1 6 B を透過し、表示装置の外部に射出されることを抑制できる。これにより、透過する光の波長が異なる着色層 4 1 6 が重ならない場合より、表示部 2 5 に表示される画像のコントラストを高めることができる。

[0572]

[構成例 3]

図 5 0 B は、図 4 9 B に示す構成の変形例である。表示装置 3 0 が図 5 0 B に示す構成を有する場合、発光素子 6 0 R は、画素電極 4 1 1、導電層 4 1 5 R、有機層 4 1 2 W、及び共通電極 4 1 3 を有する。発光素子 6 0 G は、画素電極 4 1 1、導電層 4 1 5 G、有機層 4 1 2 W、及び共通電極 4 1 3 を有する。発光素子 6 0 B は、画素電極 4 1 1、導電層 4 1 5 B、有機層 4 1 2 W、及び共通電極 4 1 3 を有する。導電層 4 1 5 R、導電層 4 1 5 G、及び導電層 4 1 5 B はそれぞれ透光性を有し、光学調整層として機能する。

[0573]

画素電極 4 1 1 に、可視光を反射する膜を用い、共通電極 4 1 3 に、可視光に対して反射性と透過性の両方を有する膜を用いることにより、微小共振器（マイクロキャビティ）構造を実現できる。このとき、導電層 4 1 5 R、導電層 4 1 5 G、及び導電層 4 1 5 B の厚さをそれぞれ、最適な光路長となるように調整することで、白色発光を呈する有機層 4 1 2 を用いた場合であっても、発光素子 6 0 R、発光素子 6 0 G、及び発光素子 6 0 B からは、それぞれ異なる波長の光が強められた光を得ることができる。

[0574]

さらに、発光素子 6 0 R、発光素子 6 0 G、及び発光素子 6 0 B の光路上には、それぞれ着色層 4 1 6 R、着色層 4 1 6 G、及び着色層 4 1 6 B が設けられることで、色純度の高い光を得ることができる。また、透過する光の波長が異なる着色層 4 1 6 を絶縁層 4 2 3 上で重ねることにより、表示部 2 5 に表示される画像のコントラストを高めることができる。

[0575]

また、画素電極 4 1 1 の端部、導電層 4 1 5 R の端部、導電層 4 1 5 G の端部、及び導電層 4 1 5 B の端部を覆う絶縁層 4 2 3 が設けられている。絶縁層 4 2 3 は、端部がテーパ形状を有していることが好ましい。絶縁層 4 2 3 を設けることで、その上に形成される有機層 4 1 2 W、共通電極 4

1 3、及び保護層 4 2 1 等による被覆性を高めることができる。

[0 5 7 6]

有機層 4 1 2 W 及び共通電極 4 1 3 は、それぞれ一続きの膜として、各発光素子に共通して設けられている。このような構成とすることで、表示装置の作製工程を大幅に簡略化できるため好ましい。

[0 5 7 7]

ここで、画素電極 4 1 1 は、その端部が垂直に近い形状であることが好ましい。これにより、絶縁層 4 2 3 の表面に傾斜が急峻な部分を形成でき、この部分を被覆する有機層 4 1 2 W の一部に厚さの薄い部分を形成すること、又は有機層 4 1 2 W の一部を分断できる。そのため、例えばフォトリソグラフィ法による有機層 4 1 2 W の加工を行うことなく、隣接する発光素子間に生じる有機層 4 1 2 W を介したリーク電流を抑制できる。

[0 5 7 8]

[表示装置 7 0]

図 5 1 は、表示装置 7 0 の構成例を示す断面図である。表示装置 7 0 は、表示素子として実施の形態 1 の図 2 2 D に示す液晶素子 6 9 を有する。表示装置 7 0 には、上述の表示装置 3 0 の構成を適宜適用できる。

[0 5 7 9]

表示装置 7 0 は、液晶素子 6 9 の他、トランジスタ 5 0 を有する。トランジスタ 5 0 を覆うように絶縁層 1 0 9 が設けられ、絶縁層 1 0 9 上には絶縁層 1 1 9 が設けられる。液晶素子 6 9 は、絶縁層 1 1 9 上に設けられる。

[0 5 8 0]

表示装置 7 0 が有する絶縁層 1 1 9 には、有機材料を有する絶縁層を好適に用いることができる。有機材料として、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いることが好ましい。なお、本明細書等において、アクリル樹脂とは、ポリメタクリル酸エステル、又はメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0 5 8 1]

絶縁層 1 1 9 には、アクリル樹脂、ポリアミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリアミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等を用いてもよい。また、絶縁層 1 1 9 は、ポリビニルアルコール（PVA）、ポリビニルブチラル、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、又はアルコール可溶性のポリアミド樹脂等の有機材料を用いてもよい。また、感光性の樹脂としてフォトレジストを用いてもよい。感光性の有機樹脂として、ポジ型の材料及びネガ型の材料のどちらを用いてもよい。

[0 5 8 2]

絶縁層 1 1 9 を、有機絶縁層と、無機絶縁層との積層構造にしてもよい。例えば、絶縁層 1 1 9 を、有機絶縁層と、当該有機絶縁層上の無機絶縁層との積層構造とすることができる。絶縁層 1 1 9 の最表面に無機絶縁層を設けることにより、当該無機絶縁層をエッチング保護層として機能させることができる。これにより、画素電極 5 1 2 を形成する際に絶縁層 1 1 9 の一部がエッチングされ、絶縁層 1 1 9 の平坦性が低くなってしまうことを抑制できる。

[0 5 8 3]

なお、表示装置 70 が有する絶縁層 119 に用いることができる材料と同様の材料を、表示装置 30 が有する絶縁層 119 に用いてもよい。また、表示装置 30 が有する絶縁層 119 に用いることができる材料と同様の材料を、表示装置 70 が有する絶縁層 119 に用いてもよい。

[0584]

前述のように、トランジスタ 50 は、本明細書等に出すトランジスタ 100、又はトランジスタ 200 と同様の構成とすることができる。図 51 では、トランジスタ 50 を、トランジスタ 100 と同様の構成とする例を示している。なお、表示装置 70 は、容量 57 を有してもよい。

[0585]

液晶素子 69 は、画素電極 512 と共通電極 516 を有し、画素電極 512 と共通電極 516 の間に液晶 543 が設けられる。絶縁層 106、絶縁層 109、及び絶縁層 119 には、導電層 112a に達する開口部 529 が設けられる。画素電極 512 は、開口部 529 の内部で、トランジスタ 50 の導電層 112a と電氣的に接続される。

[0586]

図 51 では、液晶素子 69 として縦電界方式を適用する例を示しており、画素電極 512 と共通電極 516 の間に液晶 543 が設けられる。画素電極 512 は、液晶素子 69 毎に分離して設けられ、共通電極 516 は、複数の液晶素子 69 で共有される。なお、液晶素子 69 として縦電界方式を適用する場合、共通電極は対向電極ともいうことができる。

[0587]

基板 170 の基板 102 側の面には、遮光層 517 及び着色層 416 と、絶縁層 533 と、共通電極 516 と、絶縁層 547 と、がこの順で設けられる。つまり、図 51 において、画素電極 512、及びそれより下の層は基板 102 側に設けられ、絶縁層 547、及びそれより上の層は基板 170 側に設けられる。ここで、図 51 では、着色層 416 として着色層 416R、及び着色層 416G を示している。

[0588]

表示装置 70 を作製する際は、まず、基板 102 上に画素電極 512 までの層を形成し、基板 170 上に絶縁層 547 までの層を形成する。続いて、基板 102 と基板 170、具体的には絶縁層 119 と絶縁層 533 を、接着層（図示せず）を用いて貼り合わせる。また、例えば液晶注入法、又は液晶滴下法等により、画素電極 512 と共通電極 516 の間に液晶 543 を配置する。以上により、表示装置 70 を作製できる。

[0589]

表示装置 70 を透過型の液晶表示装置とする場合、例えば基板 102 の外側（基板 170 とは反対側）に、白色光を発するバックライトを設ける。そして、バックライトが発し、液晶素子 69 を透過した光を、基板 170 側から取り出すことにより、表示装置 70 の表示部に画像を表示できる。よって、表示装置 70 において、基板 102、及び基板 170 には、透光性が高い材料を用いることが好ましい。また、画素電極 512、及び共通電極 516 には、透光性が高い導電性材料、例えば可視光に対する透光性が高い導電性材料を用いることが好ましい。透光性が高い導電性材料として、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、及び酸化亜鉛等が挙げられる。また、ガリウムを添加した酸化亜鉛等の導電性酸化物を、透光性が高い導電性材料として用いることができる。さらに、透光性が高い導電性材料として、グラフェンを用いてもよい。グラフェンは、酸化グラフェンを還元することにより形成できる。例えば、酸化グラフェンに熱を加えることによ

り、グラフェンを形成できる。

[0590]

また、画素電極512、及び共通電極516として、透光性を有する程度に薄い、金属又は合金を用いることができる。例えば、金、銀、白金、マグネシウム、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、若しくはチタン等の金属、又は当該金属を含む合金を用いることができる。また、当該金属又は当該合金の窒化物等を用いてもよく、例えば窒化チタンを用いてもよい。また、上述した材料を含む導電層を2層以上積層してもよい。

[0591]

なお、表示装置70を、例えば反射型の液晶表示装置とする場合、画素電極512には、反射性が高い導電性材料、例えば可視光に対する反射性が高い導電性材料を用いることが好ましい。反射性が高い導電性材料として、アルミニウム、マグネシウム、チタン、クロム、マンガン、鉄、コバルト、ニッケル、銅、ガリウム、亜鉛、インジウム、スズ、モリブデン、タンタル、タングステン、パラジウム、金、白金、銀、イットリウム、及びネオジム等の金属、並びにこれらを適宜組み合わせる。また、反射性が高い導電性材料として、アルミニウム、ニッケル、及びランタンの合金(A1-Ni-La)等のアルミニウムを含む合金(アルミニウム合金)、並びに、銀とマグネシウムの合金、及び銀とパラジウムと銅の合金(Ag-Pd-Cu、APCとも記す)等の銀を含む合金が挙げられる。

[0592]

なお、基板102の外側(基板170とは反対側)、及び基板170の外側(基板102とは反対側)には、偏光板等の各種光学部材を設けることができる。この場合、例えば各種光学部材の外側に、バックライトを設けることができる。

[0593]

絶縁層547は、スペーサとして機能し、例えば液晶543は絶縁層547と重ならない構成とすることができる。絶縁層547は、基板102と基板170の間の距離を制御し、液晶543の厚さを制御する機能を有する。絶縁層547をトランジスタ50と重ねて設けることにより、絶縁層547に起因する開口率の低下を抑制でき好ましい。

[0594]

図51では、絶縁層547が画素電極512と重ならない例を示しているが、絶縁層547が画素電極512の一部と重なってもよい。例えば、開口部529において、絶縁層547と画素電極512が重なってもよい。絶縁層547が画素電極512の一部と重なる場合、画素電極512と共通電極516の間に絶縁層547が設けられる。

[0595]

画素電極512を覆うように配向層541を基板102側に設け、共通電極516及び絶縁層547を覆うように配向層545を基板170側に設けることができる。表示装置70に配向層541と配向層545を設ける場合、配向層541と配向層545の間に、液晶543が設けられる。液晶543は、配向層541と接する領域、及び配向層545と接する領域を有する。配向層545は、絶縁層547と重なる領域において、配向層541と接する領域を有することができる。

[0596]

配向層541、及び配向層545は、液晶543の配向を制御する機能を有する。なお、配向層541及び配向層545を設けなくてもよい。

[0597]

表示装置70に配向層541、及び配向層545を設ける場合、まず、基板102上に画素電極512までの層を形成した後、画素電極512を覆うように配向層541を形成する。また、基板170上に絶縁層547までの層を形成した後、共通電極516及び絶縁層547を覆うように配向層545を形成する。続いて、基板102と基板170、具体的には絶縁層119と絶縁層533を、接着層（図示せず）を用いて貼り合わせる。また、配向層541と配向層545の間に液晶543を配置する。以上により、配向層541、及び配向層545を有する表示装置70を作製できる。

[0598]

前述のように、例えば着色層416Rは赤色の光を透過し、着色層416Gは緑色の光を透過し、着色層416Bは青色の光を透過する。よって、バックライトが発する光が例えば白色光であっても、表示装置70が有する表示部は例えば赤色の光、緑色の光、及び青色の光を射出し、フルカラー表示を行うことができる。

[0599]

また、上記バックライトが青色又は紫色の光を発し、着色層416に当該青色又は紫色の光を他の色（例えば赤色、又は緑色等）に変換する、色変換材料を適用する構成としてもよい。色変換材料としては、蛍光材料、燐光材料、又は量子ドットが分散された樹脂材料等を用いることができる。なおこのとき、着色層416を、バックライト側から色変換材料とカラーフィルタとの積層構造とすると好ましい。

[0600]

隣接する着色層416の間には、遮光層517が設けられる。遮光層517が設けられる部分が、非表示領域となる。遮光層517は、絶縁層547と重なる領域を有するように設けられる。また、遮光層517は、開口部529と重なる領域を有するように設けることができる。例えば、着色層416の端部が遮光層517と重なるように遮光層517を設けることで、着色層416と遮光層517を隙間なく設けることができる。

[0601]

遮光層517を設けることで、例えば着色層416Rと重なる液晶素子69を透過した光が、隣接する着色層416G、又は着色層416Bを透過することを抑制できる。また、遮光層517を設けることで、例えば外光の映り込みを抑制できる。以上により、表示装置70の表示部に表示される画像のコントラストを高めることができる。なお、遮光層517を設けない構成としてもよい。これにより、バックライトが発する光を表示装置70の外側に、具体的には例えば基板170の外側に効率的に取り出すことができる。

[0602]

絶縁層533は、例えば着色層416に含まれる成分が液晶素子69に拡散することを抑制する、オーバーコートとしての機能を有する。ここで、絶縁層533が平坦化されていると、絶縁層533上に共通電極516を形成しやすく好ましい。なお、絶縁層533は平坦化されていなくてもよい。絶縁層533は、例えば絶縁層119に用いることができる材料と同様の材料を用いることができる。

[0603]

なお、図51では、縦電界方式の液晶素子を有する表示装置の例を示したが、本発明の一態様はこ

れに限られず、例えば横電界方式の液晶素子を有する表示装置としてもよい。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶543に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また、配向膜を設けなくてもよいので、ラビング処理も不要となる。よって、ラビング処理によって引き起こされる静電破壊を抑制でき、作製工程中の表示装置の不良又は破損を軽減できる。

[0604]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[0605]

(実施の形態3)

本実施の形態では、本発明の一態様の電子機器について説明する。

[0606]

本実施の形態の電子機器は、表示部に本発明の一態様の半導体装置が適用された表示パネル（表示装置）を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易であり、信頼性が高く、また高い表示品位を実現できる。したがって、様々な電子機器の表示部に用いることができる。

[0607]

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用等のモニタ、デジタルサイネージ、パチンコ機等の大型ゲーム機等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、等が挙げられる。

[0608]

特に、本発明の一態様の表示パネルは、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイ等のVR向け機器、メガネ型のAR向け機器、及びMR向け機器等、頭部に装着可能なウェアラブル機器等が挙げられる。

[0609]

本発明の一態様の表示パネルは、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）、8K（画素数7680×4320）といった極めて高い解像度を有していることが好ましい。特に4K、8K、又はそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示パネルにおける画素密度（精細度）は、100ppi以上が好ましく、300ppi以上が好ましく、500ppi以上がより好ましく、1000ppi以上がより好ましく、2000ppi以上がより好ましく、3000ppi以上がより好ましく、5000ppi以上がより好ましく、7000ppi以上がさらに好ましい。このように高い解像度及び高い精細

度の一方又は双方を有する表示パネルを用いることで、臨場感及び奥行き感等をより高めることが可能となる。また、本発明の一態様の表示パネルの画面比率（アスペクト比）については、特に限定はない。例えば、表示パネルは、1 : 1（正方形）、4 : 3、16 : 9、及び16 : 10等様々な画面比率に対応できる。

[0610]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を検知、検出、又は測定する機能を含むもの）を有していてもよい。

[0611]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、及びテキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0612]

図52A乃至図52Dを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ARのコンテンツを表示する機能、及びVRのコンテンツを表示する機能の一方又は双方を有する。なお、これらウェアラブル機器は、AR、VRの他に、SR又はMRのコンテンツを表示する機能を有していてもよい。電子機器が、AR、VR、SR、及びMR等のうち少なくとも一つのコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

[0613]

図52Aに示す電子機器700A、及び図52Bに示す電子機器700Bは、それぞれ、一对の表示パネル751と、一对の筐体721と、通信部（図示しない）と、一对の装着部723と、制御部（図示しない）と、撮像部（図示しない）と、一对の光学部材753と、フレーム757と、一对の鼻パッド758と、を有する。

[0614]

表示パネル751には、本発明の一態様の表示パネルを適用できる。これにより、電子機器700A、及び電子機器700Bを、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器とすることができる。電子機器700A、及び電子機器700Bは、極めて精細度の高い表示が可能であることにより、使用者に高い没入感を感じさせることができる。

[0615]

電子機器700A、及び電子機器700Bは、それぞれ、光学部材753の表示領域756に、表示パネル751で表示した画像を投影できる。光学部材753は透光性を有するため、使用者は光学部材753を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器700A、及び電子機器700Bは、それぞれ、AR表示が可能な電子機器である。

[0616]

電子機器700A、及び電子機器700Bには、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器700A、及び電子機器700Bは、それぞれ、ジャイロセンサ等の加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた

画像を表示領域 7 5 6 に表示することもできる。

[0 6 1 7]

通信部は無線通信機を有し、当該無線通信機により例えば映像信号を供給できる。なお、無線通信機に代えて、又は無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

[0 6 1 8]

また、電子機器 7 0 0 A、及び電子機器 7 0 0 B には、バッテリーが設けられており、無線及び有線の一方又は双方によって充電できる。

[0 6 1 9]

筐体 7 2 1 には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体 7 2 1 の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作又はスライド操作等を検出し、様々な処理を実行できる。例えば、タップ操作によって動画の一時停止又は再開等の処理を実行することが可能となり、スライド操作により、早送り又は早戻しの処理を実行すること等が可能となる。また、2つの筐体 7 2 1 のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

[0 6 2 0]

タッチセンサモジュールとしては、様々なタッチセンサを適用できる。例えば、静電容量方式、抵抗膜方式、赤外線方式、電磁誘導方式、表面弾性波方式、又は光学方式等、種々の方式を採用できる。特に、静電容量方式又は光学方式のセンサを、タッチセンサモジュールに適用することが好ましい。

[0 6 2 1]

光学方式のタッチセンサを用いる場合には、受光デバイス（受光素子ともいう）として、光電変換デバイス（光電変換素子ともいう）を用いることができる。光電変換デバイスの活性層には、無機半導体及び有機半導体の一方又は双方を用いることができる。

[0 6 2 2]

図 5 2 C に示す電子機器 8 0 0 A、及び図 5 2 D に示す電子機器 8 0 0 B は、それぞれ、一対の表示部 8 2 0 と、筐体 8 2 1 と、通信部 8 2 2 と、一対の装着部 8 2 3 と、制御部 8 2 4 と、一対の撮像部 8 2 5 と、一対のレンズ 8 3 2 と、を有する。

[0 6 2 3]

表示部 8 2 0 には、本発明の一態様の表示パネルを適用できる。これにより、電子機器 8 0 0 A、及び電子機器 8 0 0 B を、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器とすることができる。電子機器 8 0 0 A、及び電子機器 8 0 0 B は、極めて精細度の高い表示が可能であることにより、使用者に高い没入感を感じさせることができる。

[0 6 2 4]

表示部 8 2 0 は、筐体 8 2 1 の内部の、レンズ 8 3 2 を通して視認できる位置に設けられる。また、一対の表示部 8 2 0 に異なる画像を表示させることで、視差を用いた 3 次元表示を行うこともできる。

[0 6 2 5]

電子機器 8 0 0 A、及び電子機器 8 0 0 B は、それぞれ、VR 向けの電子機器ということができる。電子機器 8 0 0 A 又は電子機器 8 0 0 B を装着した使用者は、レンズ 8 3 2 を通して、表示部 8 2

0に表示される画像を視認できる。

[0626]

電子機器800A、及び電子機器800Bは、それぞれ、レンズ832及び表示部820が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ832と表示部820との距離を変えることで、ピントを調整する機構を有していることが好ましい。

[0627]

装着部823により、使用者は電子機器800A又は電子機器800Bを頭部に装着できる。なお、例えば図52Cにおいては、メガネのつる（テンプルともいう）のような形状として例示しているがこれに限定されない。装着部823は、使用者が装着できればよく、例えば、ヘルメット型又はバンド型の形状としてもよい。

[0628]

撮像部825は、外部の情報を取得する機能を有する。撮像部825が取得したデータは、表示部820に出力できる。撮像部825には、イメージセンサを用いることができる。また、望遠、及び広角等の複数の画角に対応可能なように複数のカメラを設けてもよい。

[0629]

なお、ここでは撮像部825を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部ともよぶ）を設ければよい。すなわち、撮像部825は、検知部の一態様である。検知部としては、例えばイメージセンサ、又は、ライダー（L I D A R : L i g h t D e t e c t i o n a n d R a n g i n g）等の距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

[0630]

電子機器800Aは、骨伝導イヤホンとして機能する振動機構を有していてもよい。例えば、表示部820、筐体821、及び装着部823のいずれか一又は複数に、当該振動機構を有する構成を適用できる。これにより、別途、ヘッドホン、イヤホン、又はスピーカ等の音響機器を必要とせず、電子機器800Aを装着しただけで映像と音声を楽しむことができる。

[0631]

電子機器800A、及び電子機器800Bは、それぞれ、入力端子を有していてもよい。入力端子には、例えば映像出力機器からの映像信号、及び電子機器内に設けられるバッテリーを充電するための電力等を供給する、ケーブルを接続できる。

[0632]

本発明の一態様の電子機器は、イヤホン750と無線通信を行う機能を有していてもよい。イヤホン750は、通信部（図示しない）を有し、無線通信機能を有する。イヤホン750は、無線通信機能により、電子機器から情報（例えば音声データ）を受信できる。例えば、図52Aに示す電子機器700Aは、無線通信機能によって、イヤホン750に情報を送信する機能を有する。また、例えば、図52Cに示す電子機器800Aは、無線通信機能によって、イヤホン750に情報を送信する機能を有する。

[0633]

また、電子機器がイヤホン部を有していてもよい。図52Bに示す電子機器700Bは、イヤホン

部 7 2 7 を有する。例えば、イヤホン部 7 2 7 と制御部とは、互いに有線接続されている構成とすることができる。イヤホン部 7 2 7 と制御部とをつなぐ配線の一部は、筐体 7 2 1 又は装着部 7 2 3 の内部に配置されていてもよい。

[0634]

同様に、図 5 2 D に示す電子機器 8 0 0 B は、イヤホン部 8 2 7 を有する。例えば、イヤホン部 8 2 7 と制御部 8 2 4 とは、互いに有線接続されている構成とすることができる。イヤホン部 8 2 7 と制御部 8 2 4 とをつなぐ配線の一部は、筐体 8 2 1 又は装着部 8 2 3 の内部に配置されていてもよい。また、イヤホン部 8 2 7 と装着部 8 2 3 とがマグネットを有していてもよい。これにより、イヤホン部 8 2 7 を装着部 8 2 3 に磁力によって固定でき、収納が容易となり好ましい。

[0635]

なお、電子機器は、イヤホン又はヘッドホン等を接続できる音声出力端子を有していてもよい。また、電子機器は、音声入力端子及び音声入力機構の一方又は双方を有していてもよい。音声入力機構としては、例えば、マイク等の集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

[0636]

このように、本発明の一態様の電子機器としては、メガネ型（電子機器 7 0 0 A 及び電子機器 7 0 0 B 等）と、ゴーグル型（電子機器 8 0 0 A 及び電子機器 8 0 0 B 等）と、のどちらも好適である。

[0637]

図 5 3 A に示す電子機器 6 5 0 0 は、スマートフォンとして用いることのできる携帯情報端末機である。

[0638]

電子機器 6 5 0 0 は、筐体 6 5 0 1、表示部 6 5 0 2、電源ボタン 6 5 0 3、ボタン 6 5 0 4、スピーカ 6 5 0 5、マイク 6 5 0 6、カメラ 6 5 0 7、光源 6 5 0 8 及び制御装置 6 5 0 9 等を有する。表示部 6 5 0 2 はタッチパネル機能を備える。なお、制御装置 6 5 0 9 としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数有する。本発明の一態様の半導体装置は、表示部 6 5 0 2、及び制御装置 6 5 0 9 等に適用できる。本発明の一態様の半導体装置を制御装置 6 5 0 9 に用いることで、消費電力を低減させることができるため好適である。

[0639]

表示部 6 5 0 2 に、本発明の一態様の表示パネルを適用できる。これにより、電子機器 6 5 0 0 を、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器とすることができる。

[0640]

図 5 3 B は、筐体 6 5 0 1 のマイク 6 5 0 6 側の端部を含む断面概略図である。

[0641]

筐体 6 5 0 1 の表示面側には透光性を有する保護部材 6 5 1 0 が設けられ、筐体 6 5 0 1 と保護部材 6 5 1 0 に囲まれた空間内に、表示パネル 6 5 1 1、光学部材 6 5 1 2、タッチセンサパネル 6 5 1 3、プリント基板 6 5 1 7、及びバッテリー 6 5 1 8 等が配置されている。

[0642]

保護部材 6 5 1 0 には、表示パネル 6 5 1 1、光学部材 6 5 1 2、及びタッチセンサパネル 6 5 1 3 が接着層（図示しない）により固定されている。

[0643]

表示部 6 5 0 2 よりも外側の領域において、表示パネル 6 5 1 1 の一部が折り返されており、当該折り返された部分に F P C 6 5 1 5 が接続されている。F P C 6 5 1 5 には、I C 6 5 1 6 が実装されている。F P C 6 5 1 5 は、プリント基板 6 5 1 7 に設けられた端子に接続されている。

[0 6 4 4]

表示パネル 6 5 1 1 には本発明の一態様のフレキシブルディスプレイを適用できる。そのため、極めて軽量の電子機器を実現できる。また、表示パネル 6 5 1 1 が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー 6 5 1 8 を搭載することもできる。また、表示パネル 6 5 1 1 の一部を折り返して、画素部の裏側に F P C 6 5 1 5 との接続部を配置することにより、狭額縁の電子機器を実現できる。

[0 6 4 5]

図 5 3 C にテレビジョン装置の一例を示す。テレビジョン装置 7 1 0 0 は、筐体 7 1 0 1 に表示部 7 0 0 0 が組み込まれている。ここでは、スタンド 7 1 0 3 により筐体 7 1 0 1 を支持した構成を示している。

[0 6 4 6]

図 5 3 C に示すテレビジョン装置 7 1 0 0 の操作は、筐体 7 1 0 1 が備える操作スイッチ、及び別体のリモコン操作機 7 1 1 1 により行うことができる。又は、表示部 7 0 0 0 にタッチセンサを備えていてもよく、指等で表示部 7 0 0 0 に触れることでテレビジョン装置 7 1 0 0 を操作してもよい。リモコン操作機 7 1 1 1 は、当該リモコン操作機 7 1 1 1 から出力する情報を表示する表示部を有していてもよい。リモコン操作機 7 1 1 1 が備える操作キー又はタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部 7 0 0 0 に表示される映像を操作できる。

[0 6 4 7]

なお、テレビジョン装置 7 1 0 0 は、受信機及びモデム等を備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間等）の情報通信を行うことも可能である。

[0 6 4 8]

図 5 3 D に、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ 7 2 0 0 は、筐体 7 2 1 1、キーボード 7 2 1 2、ポインティングデバイス 7 2 1 3、外部接続ポート 7 2 1 4、及び制御装置 7 2 1 6 等を有する。筐体 7 2 1 1 に、表示部 7 0 0 0 が組み込まれている。制御装置 7 2 1 6 としては、例えば、C P U、G P U、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の半導体装置は、表示部 7 0 0 0、及び制御装置 7 2 1 6 等に適用できる。本発明の一態様の半導体装置を制御装置 7 2 1 6 に用いることで、消費電力を低減させることができるため好適である。

[0 6 4 9]

図 5 3 E 及び図 5 3 F に、デジタルサイネージの一例を示す。

[0 6 5 0]

図 5 3 E に示すデジタルサイネージ 7 3 0 0 は、筐体 7 3 0 1、表示部 7 0 0 0、及びスピーカ 7 3 0 3 等を有する。さらに、L E D ランプ、操作キー（電源スイッチ、又は操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0 6 5 1]

図5 3 Fは円柱状の柱7 4 0 1に取り付けられたデジタルサイネージ7 4 0 0である。デジタルサイネージ7 4 0 0は、柱7 4 0 1の曲面に沿って設けられた表示部7 0 0 0を有する。

[0 6 5 2]

表示部7 0 0 0が広いほど、一度に提供できる情報量を増やすことができる。また、表示部7 0 0 0が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0 6 5 3]

表示部7 0 0 0にタッチパネルを適用することで、表示部7 0 0 0に画像又は動画を表示するだけでなく、使用者が直感的に操作でき、好ましい。また、路線情報もしくは交通情報等の情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0 6 5 4]

また、図5 3 E及び図5 3 Fに示すように、デジタルサイネージ7 3 0 0又はデジタルサイネージ7 4 0 0は、使用者が所持するスマートフォン等の情報端末機7 3 1 1又は情報端末機7 4 1 1と無線通信により連携可能であることが好ましい。例えば、表示部7 0 0 0に表示される広告の情報を、情報端末機7 3 1 1又は情報端末機7 4 1 1の画面に表示させることができる。また、情報端末機7 3 1 1又は情報端末機7 4 1 1を操作することで、表示部7 0 0 0の表示を切り替えることができる。

[0 6 5 5]

また、デジタルサイネージ7 3 0 0又はデジタルサイネージ7 4 0 0に、情報端末機7 3 1 1又は情報端末機7 4 1 1の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0 6 5 6]

図5 3 C乃至図5 3 Fに示す電子機器の表示部7 0 0 0に、本発明の一態様の表示パネルを適用できる。これにより、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器を実現できる。

[0 6 5 7]

図5 4 A乃至図5 4 Gに示す電子機器は、筐体9 0 0 0、表示部9 0 0 1、スピーカ9 0 0 3、操作キー9 0 0 5（電源スイッチ、又は操作スイッチを含む）、接続端子9 0 0 6、センサ9 0 0 7（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を検知、検出、又は測定する機能を含むもの）、マイクロフォン9 0 0 8、等を有する。

[0 6 5 8]

図5 4 A乃至図5 4 Gに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、及びテキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器に例えばカメラを設け、静止画又は動画を撮影し、記録媒体（外部又はカメラに内蔵）に保存する機能、及び撮影した画像を表示部に表示する機能等を有していてもよい。

[0 6 5 9]

図5 4 A乃至図5 4 Gに示す電子機器の詳細について、以下説明を行う。

[0660]

図5 4 Aは、携帯情報端末9 1 0 1を示す斜視図である。携帯情報端末9 1 0 1は、例えばスマートフォンとして用いることができる。なお、携帯情報端末9 1 0 1は、スピーカ9 0 0 3、接続端子9 0 0 6、及びセンサ9 0 0 7等を設けてもよい。また、携帯情報端末9 1 0 1は、文字及び画像情報をその複数の面に表示できる。図5 4 Aでは3つのアイコン9 0 5 0を表示した例を示している。また、破線の矩形で示す情報9 0 5 1を表示部9 0 0 1の他の面に表示することもできる。情報9 0 5 1の一例としては、電子メール、SNS、又は電話等の着信の通知、電子メール又はSNS等の題名、送信者名、日時、時刻、バッテリーの残量、及び電波強度等がある。又は、情報9 0 5 1が表示されている位置にはアイコン9 0 5 0等を表示してもよい。

[0661]

図5 4 Bは、携帯情報端末9 1 0 2を示す斜視図である。携帯情報端末9 1 0 2は、表示部9 0 0 1の3面以上に情報を表示する機能を有する。ここでは、情報9 0 5 2、情報9 0 5 3、情報9 0 5 4がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末9 1 0 2を収納した状態で、携帯情報端末9 1 0 2の上方から観察できる位置に表示された情報9 0 5 3を確認することもできる。使用者は、携帯情報端末9 1 0 2をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0662]

図5 4 Cは、タブレット端末9 1 0 3を示す斜視図である。タブレット端末9 1 0 3は、一例として、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末9 1 0 3は、筐体9 0 0 0の正面に表示部9 0 0 1、カメラ9 0 0 2、マイクロフォン9 0 0 8、スピーカ9 0 0 3を有し、筐体9 0 0 0の左側面には操作用のボタンとしての操作キー9 0 0 5、底面には接続端子9 0 0 6を有する。

[0663]

図5 4 Dは、腕時計型の携帯情報端末9 2 0 0を示す斜視図である。携帯情報端末9 2 0 0は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9 0 0 1はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9 2 0 0は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9 2 0 0は、接続端子9 0 0 6により、他の情報端末と相互にデータ伝送を行うこと、及び充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0664]

図5 4 E乃至図5 4 Gは、折り畳み可能な携帯情報端末9 2 0 1を示す斜視図である。また、図5 4 Eは携帯情報端末9 2 0 1を展開した状態、図5 4 Gは折り畳んだ状態、図5 4 Fは図5 4 Eと図5 4 Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9 2 0 1は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9 2 0 1が有する表示部9 0 0 1は、ヒンジ9 0 5 5によって連結された3つの筐体9 0 0 0に支持されている。例えば、表示部9 0 0 1は、曲率半径0.1 mm以上150 mm以下で曲げることができる。

[0665]

図54A乃至図54Gに示す電子機器の表示部9001に、本発明の一態様の表示パネルを適用できる。これにより、極めて精細度の高い表示が可能であり、且つ信頼性が高い電子機器を実現できる。

[0666]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせることができる。

[実施例1]

[0667]

本実施例では、トランジスタを含む試料を作製し、評価した結果について説明する。

[0668]

本実施例では、図55Aに示す構成の試料1、及び図55Bに示す構成の試料2を作製した。本実施例では、図19Aに示す構成のトランジスタ100、及び絶縁層110等を有する試料1を作製した。また、本実施例では、図19Aに示す構成のトランジスタ200、及び絶縁層110等を有する試料2を作製した。ここで、トランジスタ100が複数含まれるように試料1を作製し、トランジスタ200が複数含まれるように試料2を作製した。

[0669]

試料1は、図40A乃至図41Cに示すトランジスタ100の作製方法で作製した。試料2は、図40A乃至図41Cに示すトランジスタ200の作製方法で作製した。なお、試料1ではトランジスタ200は作製せず、試料2ではトランジスタ100は作製しなかった。以下では、試料1、及び試料2の作製方法を具体的に説明する。

[0670]

試料1では、まず、シリコン基板とした基板102__1上に、絶縁層101__1として、厚さ約5nmの窒化シリコン膜をALD法により成膜した後、厚さ約15nmの酸化ハフニウム膜をALD法により成膜した。窒化シリコン膜は、基板温度400℃で成膜した。酸化ハフニウム膜は、酸化剤としてオゾン(O₃)を用い、基板温度250℃で成膜した。

[0671]

本実施例では、基板102__1の温度を、基板温度という。

[0672]

続いて、絶縁層101__1上に、絶縁層110__1として絶縁層110a__1、絶縁層110b__1、及び絶縁層110c__1を順に形成した。絶縁層110a__1として、厚さ約5nmの窒化シリコン膜をALD法により成膜した。絶縁層110a__1成膜時の基板温度は400℃とした。

[0673]

絶縁層110b__1として、厚さ約20nmの酸化シリコン膜を、シリコンをターゲットに用いたスパッタリング法により成膜した。絶縁層110b__1は、酸素ガスの流量100sccm、アルゴンガスの流量20sccm、基板温度200℃、電源電力3000W、圧力0.6Pa、及びバイアス電力200Wで形成した。

[0674]

絶縁層110c__1として、厚さ約10nmの窒化シリコン膜を、シリコンをターゲットに用いたスパッタリング法により成膜した。絶縁層110c__1は、窒素ガスの流量20sccm、アルゴ

ンガスの流量 5 s c c m、基板温度は室温、電源電力 1 5 0 0 W、及び圧力 0. 2 P a で形成した。

[0 6 7 5]

続いて、絶縁層 1 1 0 c __ 1 上に、図 4 0 B に示す導電膜 1 1 2 f として、厚さ約 2 0 n m の I T S O 膜をスパッタリング法により成膜した。当該 I T S O 膜は、I T O に対し酸化シリコンを 5 w t % 含む膜とした。当該 I T S O 膜は、酸素ガスの流量 1. 5 s c c m、アルゴンガスの流量 5 0 s c c m、基板温度は室温、電源電力 1 0 0 0 W、及び圧力 0. 4 P a で形成した。

[0 6 7 6]

続いて、ドライエッチング法を用いて、上記 I T S O 膜の一部と、絶縁層 1 1 0 c __ 1、絶縁層 1 1 0 b __ 1、及び絶縁層 1 1 0 a __ 1 の一部と、を除去した。これにより、上記 I T S O 膜に、図 4 0 C 及び図 4 0 D に示す開口部 1 4 3 を形成した。また、絶縁層 1 1 0 c __ 1、絶縁層 1 1 0 b __ 1、及び絶縁層 1 1 0 a __ 1 に、開口部 1 4 3 と重なり、絶縁層 1 0 1 __ 1 に達する開口部 1 4 1 を形成した。開口部 1 4 1 は、平面視において直径 3 5 0 n m の円形となるように設計した。

[0 6 7 7]

続いて、ドライエッチング法を用いて上記 I T S O 膜を加工することにより、導電層 1 1 2 a、及び導電層 1 1 2 b を形成した。

[0 6 7 8]

続いて、導電層 1 1 2 a 上、導電層 1 1 2 b 上、及び絶縁層 1 0 1 __ 1 上に、図 4 1 A に示す半導体膜 1 0 8 f を形成した。半導体膜 1 0 8 f としては、厚さ約 2 n m の第 1 の金属酸化物膜と、第 1 の金属酸化物膜上の、厚さ約 5 n m の第 2 の金属酸化物膜と、を順に形成した。

[0 6 7 9]

第 1 の金属酸化物膜は、原子数比が $I n : G a : Z n = 1 : 1 : 1. 2$ である金属酸化物ターゲットを用いたスパッタリング法により成膜した。第 1 の金属酸化物膜は、酸素ガスの流量 9 0 s c c m、アルゴンガスの流量 1 0 s c c m、及び基板温度 2 5 0 °C で形成した。第 2 の金属酸化物膜は、A L D 法により、原子数比が $I n : G a : Z n = 1 : 1 : 1$ となるように基板温度 2 0 0 °C で形成した。第 2 の金属酸化物膜は、酸化剤としてオゾンを用い、1 サイクル 6 0 秒として成膜した。その後、半導体膜 1 0 8 f をドライエッチング法で加工することにより、半導体層 1 0 8 として 2 層積層構造の金属酸化物層を、幅が 1 0 0 n m となるように形成した。

[0 6 8 0]

続いて、半導体層 1 0 8 上、導電層 1 1 2 a 上、及び導電層 1 1 2 b 上に、絶縁層 1 0 6 __ 1 を形成した。絶縁層 1 0 6 __ 1 として、厚さ約 1 n m の酸化アルミニウム膜と、厚さ約 2 n m の酸化シリコン膜と、厚さ約 2 n m の酸化ハフニウム膜と、厚さ約 1 n m の窒化シリコン膜と、を A L D 法により順に成膜した。酸化アルミニウム膜は、酸化剤としてオゾンを用い、基板温度 3 0 0 °C で形成した。酸化シリコン膜は、有機プリカーサを用い、圧力 4 0 0 P a、電源電力 1 0 0 W、及び温度 3 5 0 °C で形成した。酸化ハフニウム膜は、酸化剤としてオゾンを用い、基板温度 2 5 0 °C で成膜した。窒化シリコン膜は、基板温度 4 0 0 °C で形成した。

[0 6 8 1]

続いて、絶縁層 1 0 6 __ 1 上に、導電層 1 0 4 となる導電膜を成膜し、加工することで、導電層 1 0 4 を形成した。導電層 1 0 4 となる導電膜として、厚さ約 5 n m の窒化チタン膜を C V D 法により成膜した後、厚さ約 2 0 n m のタングステン膜をスパッタリング法により成膜した。窒化チタン膜は、基板温度 4 0 0 °C で成膜した。タングステン膜は、アルゴンガスの流量 6 0 s c c m、基板

温度130℃、電源電力1000W、及び圧力0.4Paで形成した。成膜した導電層104となる導電膜は、ドライエッチング法を用いて加工した。以上により、トランジスタ100を形成した。
[0682]

続いて、トランジスタ100を覆うように、絶縁層109__1を形成した。絶縁層109__1として、厚さ約5nmの窒化シリコン膜をスパッタリング法により成膜した。絶縁層109__1は、窒素ガスの流量85sccm、アルゴンガスの流量25sccm、基板温度200℃、電源電力1000W、及び圧力0.5Paで形成した。

[0683]

試料2では、まず、シリコン基板とした基板102__2上に、絶縁層101__2として、厚さ約200nmの酸化シリコン膜を、シリコンをターゲットに用いたスパッタリング法により成膜した。絶縁層101__2は、酸素ガスの流量25sccm、アルゴンガスの流量25sccm、基板温度は170℃、電源電力2500W、及び圧力0.7Paで形成した。

[0684]

続いて、絶縁層101__2上に、導電層212aとなる導電膜を成膜し、加工することで、導電層212aを形成した。導電層212aとなる導電膜として、厚さ約5nmの窒化チタン膜と、厚さ約20nmのタングステン膜と、厚さ約10nmのITSO膜と、をスパッタリング法により順に成膜した。窒化チタン膜は、窒素ガスの流量50sccm、基板温度は室温、電源電力4000W、及び圧力0.2Paで形成した。タングステン膜は、アルゴンガスの流量50sccm、基板温度130℃、電源電力1000W、及び圧力0.4Paで形成した。ITSO膜は、ITOに対し酸化シリコンを5wt%含む膜とした。当該ITSO膜は、酸素ガスの流量1.5sccm、アルゴンガスの流量50sccm、基板温度は室温、電源電力1000W、及び圧力0.4Paで形成した。成膜した導電層212aとなる導電膜は、ドライエッチング法を用いて加工した。

[0685]

続いて、絶縁層101__2上、及び導電層212a上に、絶縁層110__2として絶縁層110a__2、絶縁層110b__2、及び絶縁層110c__2を順に形成した。絶縁層110a__2として、厚さ約5nmの窒化シリコン膜をALD法により成膜した。絶縁層110a__2成膜時の基板温度は400℃とした。

[0686]

絶縁層110b__2として、厚さ約40nmの第1の酸化シリコン膜と、厚さ約35nmの第2の酸化シリコン膜と、厚さ約100nmの窒化シリコン膜とを、シリコンをターゲットに用いたスパッタリング法により順に成膜した。第1の酸化シリコン膜は、酸素ガスの流量164sccm、アルゴンガスの流量36sccm、基板温度200℃、電源電力1000W、圧力0.9Pa、及びバイアス電力200Wで形成した。第2の酸化シリコン膜は、酸素ガスの流量100sccm、アルゴンガスの流量20sccm、基板温度200℃、電源電力3000W、圧力0.6Pa、及びバイアス電力200Wで形成した。窒化シリコン膜は、窒素ガスの流量85sccm、アルゴンガスの流量25sccm、基板温度200℃、電源電力4000W、及び圧力0.5Paで形成した。その後、絶縁層110b__2の、導電層212a上における厚さが20nmとなるように、CMP法を用いて絶縁層110b__2を平坦化した。

[0687]

絶縁層110c__2として、厚さ約10nmの窒化シリコン膜を、シリコンをターゲットに用いた

スパッタリング法により成膜した。絶縁層 110c__2 は、窒素ガスの流量 20 sccm、アルゴンガスの流量 5 sccm、基板温度は室温、電源電力 1500W、及び圧力 0.2 Pa で形成した。
[0688]

続いて、絶縁層 110c__2 上に、導電層 212b として、厚さ約 20 nm の ITO 膜をスパッタリング法により成膜した。当該 ITO 膜は、ITO に対し酸化シリコンを 5 wt% 含む膜とした。導電層 212b は、酸素ガスの流量 1.5 sccm、アルゴンガスの流量 50 sccm、基板温度は室温、電源電力 1000W、及び圧力 0.4 Pa で形成した。

[0689]

続いて、ドライエッチング法を用いて、上記 ITO 膜の一部と、絶縁層 110c__2、絶縁層 110b__2、及び絶縁層 110a__2 の一部と、を除去した。これにより、上記 ITO 膜に、開口部 243 を形成した。また、絶縁層 110c__2、絶縁層 110b__2、及び絶縁層 110a__2 に、開口部 243 と重なり、導電層 212a に達する開口部 241 を形成した。試料 2 には、平面視において直径 60 nm の円形となるように設計した開口部 241 及び開口部 243 と、平面視において直径 150 nm の円形となるように設計した開口部 241 及び開口部 243 と、を形成した。

[0690]

続いて、導電層 212a 上、及び導電層 212b 上に、図 41A に示す半導体膜 108f を形成した。半導体膜 108f としては、厚さ約 2 nm の第 1 の金属酸化物膜と、第 1 の金属酸化物膜上の、厚さ約 5 nm の第 2 の金属酸化物膜と、を順に形成した。

[0691]

第 1 の金属酸化物膜は、原子数比が $In : Ga : Zn = 1 : 1 : 1.2$ である金属酸化物ターゲットを用いたスパッタリング法により成膜した。第 1 の金属酸化物膜は、酸素ガスの流量 90 sccm、アルゴンガスの流量 6 sccm、及び基板温度 250℃ で形成した。第 2 の金属酸化物膜は、ALD 法により、原子数比が $In : Ga : Zn = 1 : 1 : 1$ となるように基板温度 200℃ で形成した。第 2 の金属酸化物膜は、酸化剤としてオゾンを用い、1 サイクル 60 秒として成膜した。その後、半導体膜 108f をドライエッチング法で加工することにより、半導体層 208 として 2 層積層構造の金属酸化物層を形成した。

[0692]

続いて、半導体層 208 上に、絶縁層 106__2 を形成した。絶縁層 106__2 として、厚さ約 1 nm の酸化アルミニウム膜と、厚さ約 2 nm の酸化シリコン膜と、厚さ約 2 nm の酸化ハフニウム膜と、厚さ約 1 nm の窒化シリコン膜と、を ALD 法により順に成膜した。酸化アルミニウム膜は、酸化剤としてオゾンを用い、基板温度 300℃ で形成した。酸化シリコン膜は、有機プリカーサを用い、圧力 400 Pa、電源電力 100W、及び温度 350℃ で形成した。酸化ハフニウム膜は、酸化剤としてオゾンを用い、基板温度 250℃ で形成した。窒化シリコン膜は、基板温度 400℃ で形成した。

[0693]

続いて、絶縁層 106__2 上に、導電層 204 となる導電膜を成膜し、加工することで、導電層 204 を形成した。導電層 204 となる導電膜として、厚さ約 5 nm の窒化チタン膜、及び厚さ約 20 nm のタングステン膜を、CVD 法により順に成膜した。窒化チタン膜、及びタングステン膜は、基板温度 400℃ で成膜した。成膜した導電層 204 となる導電膜は、ドライエッチング法を用い

て加工した。以上により、トランジスタ200を形成した。具体的には、開口部241及び開口部243が平面視において直径60nmの円形となるように設計したトランジスタ200と、開口部241及び開口部243が平面視において直径150nmの円形となるように設計したトランジスタ200と、を同一の基板102上2に形成した。

[0694]

続いて、トランジスタ200を覆うように、絶縁層1092を形成した。絶縁層1092として、厚さ約5nmの窒化シリコン膜をスパッタリング法により成膜した。絶縁層1092は、窒素ガスの流量85sccm、アルゴンガスの流量25sccm、基板温度200℃、電源電力1000W、及び圧力0.5Paで形成した。

[0695]

本実施例では、試作した試料1に含まれるトランジスタ100の I_d-V_g 特性、及び試料2に含まれるトランジスタ200の I_d-V_g 特性をそれぞれ測定した。図56は、試料1に含まれるトランジスタ100の I_d-V_g 特性の測定結果である。図57A、及び図57Bは、試料2に含まれるトランジスタ200の I_d-V_g 特性の測定結果である。図57Aは、開口部241及び開口部243が、平面視において直径60nmの円形となるように設計したトランジスタ200の I_d-V_g 特性の測定結果である。図57Bは、開口部241及び開口部243が、平面視において直径150nmの円形となるように設計したトランジスタ200の I_d-V_g 特性の測定結果である。図56、図57A、及び図57Bにおいて、縦軸はドレイン電流 I_d [A]、横軸はゲート電圧 V_g [V]を表す。なお、試作したトランジスタ100、及びトランジスタ200は、nチャネル型のトランジスタである。

[0696]

トランジスタの I_d-V_g 特性の測定条件としては、ゲート電極に印加する電圧（ゲート電圧 V_g ）を、-4Vから4Vまで0.1V刻みで変化させた。また、ソース電極に印加する電圧（ソース電圧）を0Vとし、ドレイン電極に印加する電圧（ドレイン電圧 V_d ）を、0.1V及び1.2Vとした。図56、図57A、及び図57Bに示すグラフにおいて、実線は $V_d=0.1$ Vでの I_d-V_g 特性の測定結果を示し、破線は $V_d=1.2$ Vでの I_d-V_g 特性の測定結果を示す。

[0697]

トランジスタ100では、しきい値電圧が0.22V、サブスレッショルドスイング値（S値）が83.35mV/decとなった。開口部241及び開口部243が、平面視において直径60nmの円形となるように設計したトランジスタ200では、しきい値電圧が0.28V、しきい値電圧のばらつきが41mV、S値が124mV/decとなった。また、開口部241及び開口部243が、平面視において直径150nmの円形となるように設計したトランジスタ200では、しきい値電圧が-0.23V、しきい値電圧のばらつきが30mV、S値が105mV/decとなった。なお、しきい値電圧は、ドレイン電流 I_d が1pAとなるゲート電圧 V_g とした。

[0698]

以上より、本発明の一態様により、良好なスイッチング特性を有するトランジスタが作製できることが確認された。

[0699]

図58Aは、試料1の走査透過電子顕微鏡（STEM: Scanning Transmission Electron Microscopy）像である。図58Bは、試料2のSTEM像で

ある。ここで、STEM像を撮影した試料1では、半導体層108を、厚さ約20nmの上記第1の金属酸化物膜を加工することにより形成した。つまり、第2の金属酸化物膜は形成しなかった。また、STEM像を撮影した試料1では、絶縁層106__1として、厚さ約1nmの酸化アルミニウム膜と、厚さ約10nmの酸化シリコン膜と、厚さ約2nmの酸化ハフニウム膜と、厚さ約1nmの窒化シリコン膜と、を順に成膜した。

[0700]

STEM像を撮影した試料2では、導電層212aとなる導電膜として、厚さ約5nmの窒化チタン膜と、厚さ約20nmのタングステン膜と、厚さ約20nmのITSO膜と、を順に成膜し、当該導電膜を加工することにより導電層212aを形成した。また、絶縁層110a__2として、厚さ約15nmの窒化シリコン膜を成膜した。また、絶縁層110b__2として、厚さ約40nmの第1の酸化シリコン膜と、厚さ約45nmの第2の酸化シリコン膜と、厚さ約100nmの窒化シリコン膜と、を順に成膜した。また、半導体層208を、厚さ約5nmの上記第1の金属酸化物膜と、当該第1の金属酸化物膜上の、厚さ約5nmの上記第2の金属酸化物膜と、を加工することにより形成した。さらに、開口部241、及び開口部243は、平面視において直径60nmの円形となるように設計した。

[0701]

図58Aに示すように、トランジスタ100を、図55Aに示す所望の形状で作製できることが確認された。例えば、絶縁層110__1に開口部141が形成でき、開口部141の内部に位置する領域を有するように半導体層108が形成できることが確認された。また、開口部141と重なる領域において、半導体層108上に絶縁層106__1が形成され、絶縁層106__1上に導電層104が形成できることが確認された。

[0702]

また、図58Bに示すように、トランジスタ200を、図55Bに示す所望の形状で作製できることが確認された。例えば、絶縁層110__2に開口部241が形成でき、絶縁層110__2上の導電層212bに、開口部241と重なる領域を有する開口部243が形成できることが確認された。また、開口部241の内部に位置する領域、及び開口部243の内部に位置する領域を有するように、半導体層208、絶縁層106__2、及び導電層204が順に形成できることが確認された。

[0703]

また、本実施例では、トランジスタ200のオフ電流を評価した。図59は、トランジスタ200のオフ電流の評価に用いた回路600の構成を示す回路図である。

[0704]

回路600は、トランジスタ601と、トランジスタ603と、トランジスタ605と、トランジスタ607と、を有する。トランジスタ601のソース又はドレインの一方は、端子INと電氣的に接続される。トランジスタ601のソース又はドレインの他方は、トランジスタ603のソース又はドレインの一方と電氣的に接続される。トランジスタ603のソース又はドレインの一方は、トランジスタ605のゲートと電氣的に接続される。トランジスタ605のソース又はドレインの一方、及びトランジスタ607のソース又はドレインの一方は、端子OUTと電氣的に接続される。ここで、トランジスタ601のソース又はドレインの他方、トランジスタ603のソース又はドレインの一方、及びトランジスタ605のゲートが電氣的に接続されるノードをノードFNという。トランジスタ605、及びトランジスタ607により、ノードFNの電位を端子OUTから読み出

す機能を有する、読み出し回路610が構成される。

[0705]

トランジスタ601、トランジスタ603、トランジスタ605、及びトランジスタ607は、設計値がチャネル長20nm、チャネル幅471nmのトランジスタ200を、直列及び並列に複数接続することにより、所望のチャネル長、及びチャネル幅とした。ここで、開口部241、及び開口部243を、平面視において直径150nmの円形となるように設計することにより、トランジスタ200のチャネル幅の設計値を 150π [nm] ≈ 471 nmとした。

[0706]

トランジスタ601は、トランジスタ200を5個直列に接続し、またチャネル幅が $0.5\mu\text{m}$ となるようにトランジスタ200を並列に接続した。トランジスタ603は、トランジスタ200の直列接続は行わず、20000個のトランジスタ200を並列に接続することにより、チャネル長の設計値を20nm、チャネル幅の設計値を9.4nmとした。トランジスタ605、及びトランジスタ607は、トランジスタ200を13個直列に接続し、またチャネル幅が $7.1\mu\text{m}$ となるようにトランジスタ200を並列に接続した。

[0707]

オフ電流の評価は、以下の手順で行った。まず、トランジスタ601をオン状態とし、端子INの電位を1.2Vとした。これにより、ノードFNに1.2Vの電位を書き込んだ。続いて、トランジスタ601のゲートの電位、及びトランジスタ603のゲートの電位を-1.5Vとし、トランジスタ601及びトランジスタ603をオフ状態とした。この間の端子OUTの電位の経時変化を測定することにより、ノードFNの電位の経時変化を測定した。そして、ノードFNの電位の経時変化に基づき、トランジスタ603のオフ電流を評価した。ここで、トランジスタ603のチャネル幅の設計値は、トランジスタ601のチャネル幅の設計値の18800倍であることから、ノードFNの電位の低下を、トランジスタ603のオフ電流によるものとした。

[0708]

図60は、トランジスタ200のオフ電流の評価結果を示すアレニウスプロットである。図60において、横軸は温度T [K] の逆数 ($1000/T$) [$1/K$] を示し、縦軸はチャネル幅 $1\mu\text{m}$ あたりのオフ電流 I_{off} [$A/\mu\text{m}$] を示している。図60には、125℃、100℃、および85℃のそれぞれの環境下におけるオフ電流の算出値をプロットしている。プロットは、トランジスタ200のオフ電流の算出値であり、実線は、当該算出値から得られる回帰直線である。

[0709]

図60に示すアレニウスプロットより、作製したトランジスタ200の、27℃の環境下におけるオフ電流は $4.6\text{ zA}/\mu\text{m}$ と見積もられた。よって、作製したトランジスタ200のオフ電流は極めて低いことが確認された。

[実施例2]

[0710]

本実施例では、トランジスタ100A、及びトランジスタ200を含む表示装置を作製し、評価した結果について説明する。

[0711]

本実施例では、図20A、及び図20Bに示す構成のトランジスタ100A、及びトランジスタ200を有する表示装置を作製した。具体的には、図27に示す副画素23を含む表示装置を、画素

回路40Dの平面構成を図39に示す構成として作製した。つまり、トランジスタTr2をトランジスタ100A、トランジスタTr1、及びトランジスタTr3乃至トランジスタTr7をトランジスタ200として作製した。なお、トランジスタTr1乃至トランジスタTr7は、全てnチャネル型のトランジスタとした。トランジスタ100A、及びトランジスタ200は、図42A乃至図42Dに示す方法で作製した。以下では、当該表示装置の作製方法を具体的に説明する。

[0712]

まず、シリコン基板とした基板102上に、Siトランジスタを含む層を形成する。続いて、当該層上に、絶縁層101として、厚さ約60nmの窒化シリコン膜と、厚さ約40nmの酸化アルミニウム膜と、厚さ約120nmの酸化シリコン膜とを、スパッタリング法により順に成膜した。窒化シリコン膜は、窒素ガスの流量85sccm、アルゴンガスの流量30sccm、基板温度200℃、電源電力1000W、及び圧力0.5Paの条件で、シリコンをターゲットに用いて形成した。酸化アルミニウム膜は、酸素ガスの流量42sccm、アルゴンガスの流量42sccm、基板温度200℃、電源電力5000W、及び圧力0.4Paの条件で、アルミニウムをターゲットに用いて5nm形成した後、バイアス電力を50Wとして35nm形成した。酸化シリコン膜は、酸素ガスの流量60sccm、アルゴンガスの流量60sccm、基板温度200℃、電源電力3000W、及び圧力0.6Paの条件で、シリコンをターゲットに用いて形成した。

[0713]

続いて、絶縁層101上に、導電層103となる導電膜を成膜し、加工することで、導電層103を形成した。導電層103となる導電膜として、厚さ約25nmのタングステン膜を成膜した。導電層103となる導電膜は、アルゴンガスの流量60sccm、基板温度130℃、電源電力1000W、及び圧力0.4Paの条件で、スパッタリング法により形成した。成膜した導電層103となる導電膜は、ドライエッチング法を用いて加工した。

[0714]

続いて、絶縁層101上、及び導電層103上に、絶縁層105を形成した。絶縁層105として、厚さ約5nmの窒化シリコン膜と、厚さ約15nmの酸化ハフニウム膜と、をALD法により順に成膜した。窒化シリコン膜は、基板温度400℃で成膜した。酸化ハフニウム膜は、酸化剤としてオゾンを用い、基板温度250℃で成膜した。

[0715]

続いて、絶縁層105上に、導電層212aとなる導電膜を成膜し、加工することで、導電層212aを形成した。導電層212aとなる導電膜として、厚さ約5nmの窒化チタン膜と、厚さ約20nmのタングステン膜と、厚さ約10nmのITO膜と、をスパッタリング法により順に成膜した。窒化チタン膜は、窒素ガスの流量50sccm、基板温度は室温、電源電力4000W、及び圧力0.2Paで形成した。タングステン膜は、アルゴンガスの流量60sccm、基板温度130℃、電源電力1000W、及び圧力0.4Paで形成した。ITO膜は、ITOに対し酸化シリコンを5wt%含む膜とした。当該ITO膜は、酸素ガスの流量1.5sccm、アルゴンガスの流量50sccm、基板温度は室温、電源電力1000W、及び圧力0.4Paで形成した。成膜した導電層212aとなる導電膜は、ドライエッチング法を用いて加工した。

[0716]

続いて、絶縁層105上、及び導電層212a上に、絶縁層110a、及び絶縁層110bを順に形成した。絶縁層110aとして、厚さ約5nmの窒化シリコン膜をALD法により成膜した。絶

絶縁層 110a 成膜時の基板温度は 400℃とした。

[0717]

絶縁層 110b として、厚さ約 40nm の第 1 の酸化シリコン膜と、厚さ約 25nm の第 2 の酸化シリコン膜と、厚さ約 90nm の窒化シリコン膜とを、シリコンをターゲットに用いたスパッタリング法により順に成膜した。第 1 の酸化シリコン膜は、酸素ガスの流量 164 sccm、アルゴンガスの流量 41 sccm、基板温度 200℃、電源電力 1000W、圧力 0.9 Pa、及びバイアス電力 200W で形成した。第 2 の酸化シリコン膜は、酸素ガスの流量 100 sccm、アルゴンガスの流量 25 sccm、基板温度 200℃、電源電力 3000W、圧力 0.6 Pa、及びバイアス電力 200W で形成した。窒化シリコン膜は、窒素ガスの流量 85 sccm、アルゴンガスの流量 30 sccm、基板温度 200℃、電源電力 4000W、及び圧力 0.5 Pa の条件で 20nm 形成した後、バイアス電力を 100W として 70nm 形成した。その後、絶縁層 110b を、CMP 法を用いて平坦化した。

[0718]

続いて、絶縁層 110b 上に、厚さ約 10nm の酸化アルミニウム膜を、アルミニウムをターゲットに用いたスパッタリング法により成膜した。絶縁層 110c は、酸素ガスの流量 69 sccm、アルゴンガスの流量 14 sccm、基板温度は 200℃、電源電力 5000W、圧力 0.4 Pa、及びバイアス電力 300W で 5nm 形成した後、バイアス電力を 100W として 5nm 形成した。その後、酸化アルミニウム膜を、CMP 法を用いて除去した。

[0719]

続いて、絶縁層 110b 上に、絶縁層 110c を形成した。絶縁層 110c として、厚さ約 10nm の窒化シリコン膜を、シリコンをターゲットに用いたスパッタリング法により成膜した。絶縁層 110c は、窒素ガスの流量 20 sccm、アルゴンガスの流量 5 sccm、基板温度は室温、電源電力 1500W、及び圧力 0.2 Pa で形成した。

[0720]

続いて、絶縁層 110c 上に、導電膜 112f として、厚さ約 20nm の ITO 膜をスパッタリング法により成膜した。当該 ITO 膜は、ITO に対し酸化シリコンを 5wt% 含む膜とした。導電膜 112f は、酸素ガスの流量 1.5 sccm、アルゴンガスの流量 50 sccm、基板温度は室温、電源電力 1000W、及び圧力 0.4 Pa で形成した。

[0721]

続いて、ドライエッチング法を用いて、導電膜 112f、絶縁層 110c、絶縁層 110b、及び絶縁層 110a の一部を除去した。これにより、導電膜 112f に、導電層 212a と重なる開口部 243 を形成した。また、絶縁層 110c、絶縁層 110b、及び絶縁層 110a に、導電層 103 と重なり絶縁層 105 に達する開口部 141、及び開口部 243 と重なり導電層 212a に達する開口部 241 を形成した。開口部 141 は、平面視において直径 350nm の円形となるように設計し、開口部 241、及び開口部 243 は、平面視において直径 160nm の円形となるように設計した。その後、導電膜 112f をドライエッチング法で加工することにより、導電層 112a、導電層 112b、及び導電層 212b を形成した。

[0722]

続いて、導電層 112a 上、導電層 112b 上、導電層 212a 上、導電層 212b 上、絶縁層 105 上、及び絶縁層 110c 上に、図 41A に示す半導体膜 108f を形成した。半導体膜 108

f としては、厚さ約 2 nm の第 1 の金属酸化物膜と、第 1 の金属酸化物膜上の、厚さ約 5 nm の第 2 の金属酸化物膜と、を順に形成した。

[0723]

第 1 の金属酸化物膜は、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、2 である金属酸化物ターゲットを用いたスパッタリング法により成膜した。第 1 の金属酸化物膜は、酸素ガスの流量 90 sccm、アルゴンガスの流量 10 sccm、及び基板温度 250℃で形成した。第 2 の金属酸化物膜は、ALD 法により、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ となるように基板温度 200℃で形成した。第 2 の金属酸化物膜は、酸化剤としてオゾンを用い、1 サイクル 60 秒として成膜した。その後、半導体膜 108 f をドライエッチング法で加工することにより、半導体層 108、及び半導体層 208 として 2 層積層構造の金属酸化物層を形成した。

[0724]

続いて、半導体層 108 上、半導体層 208 上、導電層 112 a 上、導電層 112 b 上、導電層 212 b 上、及び絶縁層 110 c 上に、絶縁層 106 を形成した。絶縁層 106 として、厚さ約 1 nm の酸化アルミニウム膜と、厚さ約 10 nm の酸化シリコン膜と、厚さ約 2 nm の酸化ハフニウム膜と、厚さ約 3 nm の窒化シリコン膜と、を ALD 法により順に成膜した。酸化アルミニウム膜は、酸化剤としてオゾンを用い、基板温度 300℃で形成した。酸化シリコン膜は、有機プリカーサを用い、圧力 400 Pa、電源電力 100 W、及び温度 350℃で形成した。酸化ハフニウム膜は、酸化剤としてオゾンを用い、基板温度 250℃で形成した。窒化シリコン膜は、基板温度 400℃で形成した。

[0725]

続いて、絶縁層 106 上に、導電層 104 及び導電層 204 となる導電膜を成膜し、加工することで、導電層 104 及び導電層 204 を形成した。導電層 104 及び導電層 204 となる導電膜として、厚さ約 5 nm の窒化チタン膜、及び厚さ約 20 nm のタングステン膜を、CVD 法により順に成膜した。窒化チタン膜、及びタングステン膜は、基板温度 400℃で形成した。成膜した導電層 104 及び導電層 204 となる導電膜は、ドライエッチング法を用いて加工した。以上により、トランジスタ 100、及びトランジスタ 200 を形成した。

[0726]

続いて、トランジスタ 200 を覆うように、絶縁層 109 を形成した。絶縁層 109 として、厚さ約 5 nm の窒化シリコン膜をスパッタリング法により成膜した。絶縁層 109 は、窒素ガスの流量 85 sccm、アルゴンガスの流量 25 sccm、基板温度 200℃、電源電力 1000 W、及び圧力 0.5 Pa で形成した。

[0727]

続いて、絶縁層 109 上に、例えば図 48 に示す絶縁層 119 を形成した。絶縁層 119 は、絶縁層 110 b と同様の条件で形成した。その後、導電層 104 上及び導電層 204 上の絶縁層 119 の厚さが 40 nm となるように、CMP 法を用いて絶縁層 119 を平坦化した。

[0728]

続いて、ドライエッチングを用いて、絶縁層 119、絶縁層 109、及び絶縁層 106 の一部を除去して開口部を形成した。その後、当該開口部を覆うように、導電層 374 a となる導電膜として厚さ約 5 nm の窒化チタン膜を、基板温度を 400℃として CVD 法により成膜した。また、導電層 374 a となる導電膜上に、導電層 374 b となる導電膜として厚さ約 150 nm のタングステ

ン膜を、基板温度を400℃としてCVD法により成膜した。

[0729]

続いて、導電層374bとなる導電膜、及び導電層374aとなる導電膜を、絶縁層119の上面が露出するまでCMP法で除去することにより、上記開口部の側面に沿った導電層374aと、上記開口部を埋める導電層374bと、を形成した。これにより、プラグ374を形成した。

[0730]

続いて、プラグ374上、及び絶縁層119上に、導電層341となる導電膜を成膜し、加工することで、導電層341を形成した。導電層341となる導電膜として、厚さ約50nmのタングステン膜を、アルゴンガスの流量60sccm、基板温度230℃、電源電力1000W、及び圧力0.4Paの条件でスパッタリング法により形成した。成膜した導電層341となる導電膜は、ドライエッチング法を用いて加工した。

[0731]

続いて、導電層341上に、絶縁層343として、厚さ約14nmの酸化アルミニウム膜をALD法により成膜した後、厚さ約7nmの酸化窒化シリコン膜をCVD法により成膜した。酸化アルミニウム膜は、基板温度300℃で形成し、酸化窒化シリコン膜は、基板温度350℃で形成した。

[0732]

続いて、絶縁層343上に、導電層345となる導電膜を成膜し、加工することで、導電層345を形成した。導電層345となる導電膜として、厚さ約30nmのタングステン膜を、導電層341となる導電膜と同様の条件でスパッタリング法により形成した。成膜した導電層345となる導電膜は、ドライエッチング法を用いて加工した。以上により、容量340を形成した。

[0733]

続いて、容量340上に、絶縁層355a、絶縁層355b、及び絶縁層355cを順に形成した。その後、絶縁層355c、絶縁層355b、絶縁層355a、及び絶縁層343の一部を除去して、導電層341に達する開口部を形成した。その後、当該開口部を覆うように、プラグ356となる導電膜として、厚さ約10nmの窒化チタン膜を、基板温度を340℃としてCVD法により成膜した。また、窒化チタン膜上に、厚さ約150nmのタングステン膜を、基板温度を345℃としてCVD法により成膜した。その後、プラグ356となる導電膜を、絶縁層355cの上面が露出するまでCMP法で除去することにより、プラグ356を形成した。

[0734]

続いて、プラグ356上、及び絶縁層355c上に、画素電極411R、画素電極411G、及び画素電極411Bとなる導電膜を成膜し、加工することで、画素電極411R、画素電極411G、及び画素電極411Bを形成した。当該導電膜として、厚さ約50nmの第1のチタン膜と、厚さ約70nmのアルミニウム膜と、厚さ約6nmの第2のチタン膜と、厚さ約10nmのITSO膜と、をスパッタリング法により順に形成した。ITSO膜は、ITOに対し酸化シリコンを5wt%含む膜とした。

[0735]

第1のチタン膜は、アルゴンガスの流量20sccm、基板温度は室温、電源電力12000W、及び圧力0.1Paの条件で形成した。アルミニウム膜は、アルゴンガスの流量50sccm、基板温度は室温、電源電力4000W、及び圧力0.4Paの条件で形成した。第2のチタン膜は、アルゴンガスの流量20sccm、基板温度は室温、電源電力1000W、及び圧力0.1Paの

条件で形成した。ITO膜は、導電膜112fと同様の条件で形成した。成膜した画素電極411R、画素電極411G、及び画素電極411Bとなる導電膜のうち、ITO膜は、ウェットエッチング法を用いて加工し、第2のチタン膜、アルミニウム膜、及び第1のチタン膜は、ドライエッチング法を用いて加工した。

[0736]

続いて、画素電極411B上に厚さ約176nmの有機層412Bを、画素電極411G上に厚さ約85nmの有機層412Gを、画素電極411R上に厚さ約115nmの有機層412Rを、ファインメタルマスクを用いずフォトリソグラフィ法によりこの順で形成した。その後、絶縁層425、及び樹脂層426を形成した。

[0737]

続いて、有機層412R上、有機層412G上、有機層412B上、及び樹脂層426上に、厚さ約1.5nmの共通層414を形成した。その後、共通層414上に、共通電極413として、厚さ約25nmの、銀とマグネシウムの体積比が1:0.1の合金膜を形成した。以上により、発光素子60R、発光素子60G、及び発光素子60Bを形成した。その後、共通電極413上に、保護層421として、厚さ約70nmのITOを形成した。以上により、表示装置を作製した。

[0738]

本実施例では、作製した表示装置に含まれるトランジスタ100A及びトランジスタ200の、 I_d-V_g 特性及び I_d-V_d 特性をそれぞれ測定した。具体的には、トランジスタ100Aとして、図27に示すトランジスタTr2の I_d-V_g 特性及び I_d-V_d 特性をそれぞれ測定し、トランジスタ200として、図27に示すトランジスタTr3の I_d-V_g 特性及び I_d-V_d 特性をそれぞれ測定した。

[0739]

図61Aは、トランジスタ100Aの I_d-V_g 特性の測定結果である。図61Bは、トランジスタ200の I_d-V_g 特性の測定結果である。図61A、及び図61Bにおいて、縦軸はドレイン電流 I_d [A]、横軸はゲート電圧 V_g [V]を表す。トランジスタ100A、及びトランジスタ200の I_d-V_g 特性の測定条件としては、ゲート電極に印加する電圧（ゲート電圧 V_g ）を、-4Vから4Vまで0.1V刻みで変化させた。また、ソース電極に印加する電圧（ソース電圧）を0Vとし、ドレイン電極に印加する電圧（ドレイン電圧 V_d ）を、0.1V及び1.2Vとした。図61A、及び図61Bに示すグラフにおいて、実線は $V_d=0.1$ Vでの I_d-V_g 特性の測定結果を示し、破線は $V_d=1.2$ Vでの I_d-V_g 特性の測定結果を示す。

[0740]

図61A、及び図61Bに示すように、トランジスタ100A、及びトランジスタ200は、いずれも良好なスイッチング特性を有することが確認された。

[0741]

図62Aは、トランジスタ100Aの I_d-V_d 特性の測定結果である。図62Bは、トランジスタ200の I_d-V_d 特性の測定結果である。図62A、及び図62Bにおいて、縦軸はドレイン電流 I_d [A]、横軸はドレイン電圧 V_d [V]を表す。トランジスタ100A、及びトランジスタ200の I_d-V_g 特性の測定条件としては、ドレイン電極に印加する電圧（ドレイン電圧 V_d ）を、0.0Vから5.0Vまで0.1V刻みで変化させた。また、ソース電極に印加する電圧（ソース電圧）を0Vとし、ゲート電極に印加する電圧（ゲート電圧 V_g ）を、0.5V、1.0V、

1. 5 V、及び2. 0 Vとした。

[0742]

図62Aに示すように、トランジスタ100Aは飽和性が高く、駆動トランジスタとして機能するトランジスタTr2として好適に用いることができると確認された。また、図62Bに示すように、トランジスタ200はドレイン電流Idが大きく、スイッチとして機能するトランジスタTr1、及びトランジスタTr3乃至トランジスタTr7として好適に用いることができると確認された。

[符号の説明]

[0743]

10A：半導体装置、10B：半導体装置、10C：半導体装置、10D：半導体装置、10E：半導体装置、10F：半導体装置、10G：半導体装置、10：半導体装置、20A：半導体装置、20B：半導体装置、20C：半導体装置、20：半導体装置、21：画素、23B：副画素、23G：副画素、23R：副画素、23：副画素、25：表示部、30A：表示装置、30B：表示装置、30C：表示装置、30：表示装置、31：走査線駆動回路、33：信号線駆動回路、35：電源回路、37：基準電位生成回路、40A：画素回路、40B：画素回路、40C：画素回路、40D：画素回路、40：画素回路、41a：配線、41b：配線、41c：配線、41：配線、43：配線、45：配線、47：配線、48：配線、49：配線、50：トランジスタ、51：トランジスタ、57：容量、60B：発光素子、60G：発光素子、60R：発光素子、60W：発光素子、60：発光素子、69：液晶素子、70：表示装置、71：開口部、72a：導電層、73：開口部、74：導電層、75：開口部、78：半導体層、100A：トランジスタ、100B：トランジスタ、100C：トランジスタ、100D：トランジスタ、100E：トランジスタ、100F：トランジスタ、100G：トランジスタ、100：トランジスタ、101__1：絶縁層、101__2：絶縁層、101：絶縁層、102__1：基板、102__2：基板、102：基板、103：導電層、104f：導電膜、104：導電層、105：絶縁層、106__1：絶縁層、106__2：絶縁層、106：絶縁層、107a：領域、107b：領域、107：領域、108[1]：半導体層、108[2]：半導体層、108f：半導体膜、108i：領域、108na：領域、108nb：領域、108：半導体層、109__1：絶縁層、109__2：絶縁層、109：絶縁層、110__1：絶縁層、110__2：絶縁層、110a：絶縁層、110a__1：絶縁層、110a__2：絶縁層、110b：絶縁層、110b__1：絶縁層、110b__2：絶縁層、110c：絶縁層、110c__1：絶縁層、110c__2：絶縁層、110：絶縁層、112a：導電層、112b：導電層、112c：導電層、112f：導電膜、112：導電層、119：絶縁層、141[1]：開口部、141[2]：開口部、141：開口部、143：開口部、147：絶縁層、149：絶縁層、150：トランジスタ、151：半導体層、152：絶縁層、153：絶縁層、154：導電層、155：導電層、156：絶縁層、157：導電層、158：絶縁層、159：絶縁層、161：絶縁層、170：基板、200：トランジスタ、204：導電層、206：絶縁層、208i：領域、208na：領域、208nb：領域、208：半導体層、212a：導電層、212b：導電層、241：開口部、243：開口部、245：開口部、247：開口部、310：トランジスタ、311：導電層、312：低抵抗領域、313：絶縁層、314：絶縁層、315：素子分離層、340：容量、341：導電層、343：絶縁層、345：導電層、354：絶縁層、355a：絶縁層、355b：絶縁層、355c：絶縁層、356：プラグ、374a：導電層、374b：導電層、374：プラグ、380：表示モジュール、382：回路部、383：

画素回路部、384：画素部、385：端子部、386：配線部、390：FPC、401：層、411B：画素電極、411C：接続電極、411G：画素電極、411R：画素電極、411：画素電極、412B：有機層、412G：有機層、412R：有機層、412W：有機層、412：有機層、413：共通電極、414：共通層、415B：導電層、415G：導電層、415R：導電層、416B：着色層、416G：着色層、416R：着色層、416：着色層、421：保護層、422：絶縁層、423：絶縁層、425：絶縁層、426：樹脂層、428：層、440：接続部、471：接着層、512：画素電極、516：共通電極、517：遮光層、529：開口部、533：絶縁層、541：配向層、543：液晶、545：配向層、547：絶縁層、600：回路、601：トランジスタ、603：トランジスタ、605：トランジスタ、607：トランジスタ、610：読み出し回路、700A：電子機器、700B：電子機器、721：筐体、723：装着部、727：イヤホン部、750：イヤホン、751：表示パネル、753：光学部材、756：表示領域、757：フレーム、758：鼻パッド、800A：電子機器、800B：電子機器、820：表示部、821：筐体、822：通信部、823：装着部、824：制御部、825：撮像部、827：イヤホン部、832：レンズ、901A：導電層、901B：導電層、901C：導電層、901D：導電層、901E：導電層、901F：導電層、901G：導電層、903A：導電層、903B：導電層、903C：導電層、903D：導電層、903E：導電層、905A：導電層、905B：導電層、905C：導電層、905D：導電層、905E：導電層、905F：導電層、905G：導電層、905H：導電層、907A：開口部、907B：開口部、907C：開口部、907D：開口部、907E：開口部、907F：開口部、907G：開口部、907H：開口部、908A：開口部、908B：開口部、908C：開口部、908D：開口部、908E：開口部、908F：開口部、909A：半導体層、909B：半導体層、909C：半導体層、909D：半導体層、909E：半導体層、909F：半導体層、909G：半導体層、909H：半導体層、911A：導電層、911B：導電層、911C：導電層、911D：導電層、913A：導電層、913B：導電層、913C：導電層、913D：導電層、913E：導電層、913F：導電層、913G：導電層、913H：導電層、913I：導電層、913J：導電層、913K：導電層、915A：コンタクトホール、915B：コンタクトホール、915C：コンタクトホール、915D：コンタクトホール、917A：コンタクトホール、917B：コンタクトホール、917C：コンタクトホール、917D：コンタクトホール、919A：コンタクトホール、919B：コンタクトホール、919C：コンタクトホール、919D：コンタクトホール、919E：コンタクトホール、919F：コンタクトホール、919G：コンタクトホール、921A：コンタクトホール、921B：コンタクトホール、921C：コンタクトホール、921D：コンタクトホール、923A：導電層、923B：導電層、925A：導電層、925B：導電層、925C：導電層、925D：導電層、925E：導電層、925F：導電層、925G：導電層、925H：導電層、927A：コンタクトホール、927B：コンタクトホール、927C：コンタクトホール、927D：コンタクトホール、927E：コンタクトホール、927F：コンタクトホール、927G：コンタクトホール、927H：コンタクトホール、929A：コンタクトホール、929B：コンタクトホール、931A：導電層、931B：導電層、931C：導電層、933A：コンタクトホール、933B：コンタクトホール、933C：コンタクトホール、933D：コンタクトホール、6500：電子機器、6501：筐体、6502：表示部、6503：電源ボタン、6504：ボタン、6505：スピーカ、6506：マイク、65

07 : カメラ、6508 : 光源、6509 : 制御装置、6510 : 保護部材、6511 : 表示パネル、6512 : 光学部材、6513 : タッチセンサパネル、6515 : FPC、6516 : IC、6517 : プリント基板、6518 : バッテリ、7000 : 表示部、7100 : テレビジョン装置、7101 : 筐体、7103 : スタンド、7111 : リモコン操作機、7200 : ノート型パーソナルコンピュータ、7211 : 筐体、7212 : キーボード、7213 : ポインティングデバイス、7214 : 外部接続ポート、7216 : 制御装置、7300 : デジタルサイネージ、7301 : 筐体、7303 : スピーカ、7311 : 情報端末機、7400 : デジタルサイネージ、7401 : 柱、7411 : 情報端末機、9000 : 筐体、9001 : 表示部、9002 : カメラ、9003 : スピーカ、9005 : 操作キー、9006 : 接続端子、9007 : センサ、9008 : マイクロフォン、9050 : アイコン、9051 : 情報、9052 : 情報、9053 : 情報、9054 : 情報、9055 : ヒンジ、9101 : 携帯情報端末、9102 : 携帯情報端末、9103 : タブレット端末、9200 : 携帯情報端末、9201 : 携帯情報端末

請求の範囲

[請求項 1]

第 1 の絶縁層と、前記第 1 の絶縁層上の第 2 の絶縁層及びトランジスタと、を有し、
前記トランジスタは、第 1 の導電層と、第 2 の導電層と、第 3 の導電層と、半導体層と、第 3 の絶縁層と、を有し、
前記第 2 の絶縁層は、前記第 1 の絶縁層に達する開口部を有し、
前記第 1 の導電層、及び前記第 2 の導電層は、平面視において前記開口部を挟んで対向するように、前記第 2 の絶縁層上に設けられ、
前記半導体層は、前記第 1 の導電層と接する領域、及び前記第 2 の導電層と接する領域を有し、且つ前記開口部の内部に位置する領域を有するように設けられ、
前記第 3 の絶縁層は、前記開口部の内部に位置する領域を有するように、前記半導体層上に設けられ、
前記第 3 の導電層は、前記開口部の内部に位置する領域を有するように、前記第 3 の絶縁層上に設けられる半導体装置。

[請求項 2]

請求項 1 において、
前記トランジスタのチャンネル長の、前記開口部の底面に沿った成分の長さは、前記トランジスタのチャンネル長の、前記開口部の側面に沿った成分の長さ以上である半導体装置。

[請求項 3]

請求項 1 において、
前記第 1 の導電層の幅、及び前記第 2 の導電層の幅は、それぞれ前記半導体層の幅より大きい半導体装置。

[請求項 4]

請求項 1 乃至 3 のいずれか一項において、
前記第 2 の絶縁層は、第 1 の層と、前記第 1 の層上の第 2 の層と、を有し、
前記半導体層は、金属酸化物を含み、
前記第 1 の層は、前記第 2 の層より酸素の含有量が多い半導体装置。

[請求項 5]

請求項 4 において、
前記酸素の含有量は、二次イオン質量分析法、X線光電子分光法、又は昇温脱離ガス分析法を用いて測定される半導体装置。

[請求項 6]

請求項 4 において、
前記第 2 の層は、前記第 1 の層より酸素の拡散係数が小さい半導体装置。

[請求項 7]

請求項 6 において、
前記酸素の拡散係数は、昇温脱離ガス分析法、又は二次イオン質量分析法により算出される半導体装置。

[請求項 8]

第 1 の絶縁層と、前記第 1 の絶縁層上の第 2 の絶縁層、第 1 のトランジスタ、及び第 2 のトラン

ジスタと、を有し、

前記第1のトランジスタは、第1の導電層と、第2の導電層と、第3の導電層と、第1の半導体層と、第3の絶縁層と、を有し、

前記第2のトランジスタは、第4の導電層と、第5の導電層と、第6の導電層と、第2の半導体層と、前記第3の絶縁層と、を有し、

前記第4の導電層は、前記第1の絶縁層上に設けられ、

前記第2の絶縁層は、前記第4の導電層上に設けられ、

前記第2の絶縁層は、前記第1の絶縁層に達する第1の開口部、及び前記第4の導電層に達する第2の開口部を有し、

前記第1の導電層、及び前記第2の導電層は、平面視において前記第1の開口部を挟んで対向するように、前記第2の絶縁層上に設けられ、

前記第5の導電層は、前記第2の絶縁層上に設けられ、且つ前記第2の開口部と重なる領域を有する第3の開口部を有し、

前記第1の半導体層は、前記第1の導電層と接する領域、及び前記第2の導電層と接する領域を有し、且つ前記第1の開口部の内部に位置する領域を有するように設けられ、

前記第2の半導体層は、前記第4の導電層と接する領域、及び前記第5の導電層と接する領域を有し、且つ前記第1の開口部の内部に位置する領域、及び前記第2の開口部の内部に位置する領域を有するように設けられ、

前記第3の絶縁層は、前記第1の開口部の内部に位置する領域、前記第2の開口部の内部に位置する領域、及び前記第3の開口部の内部に位置する領域を有するように、前記第1の半導体層上、及び前記第2の半導体層上に設けられ、

前記第3の導電層は、前記第1の開口部の内部に位置する領域を有するように、前記第3の絶縁層上に設けられ、

前記第6の導電層は、前記第2の開口部の内部に位置する領域、及び前記第3の開口部の内部において、前記第3の絶縁層を前記第2の半導体層との間に挟んで対向する領域を有するように設けられる半導体装置。

[請求項9]

請求項8において、

前記第1のトランジスタのチャネル長の、前記第1の開口部の底面に沿った成分の長さは、前記第1のトランジスタのチャネル長の、前記第1の開口部の側面に沿った成分の長さ以上である半導体装置。

[請求項10]

請求項8において、

前記第1の導電層の幅、及び前記第2の導電層の幅は、それぞれ前記第1の半導体層の幅より大きい半導体装置。

[請求項11]

請求項8乃至10のいずれか一項において、

前記第2の絶縁層は、第1の層と、前記第1の層上の第2の層と、前記第2の層上の第3の層と、を有し、

前記第1の半導体層、及び前記第2の半導体層は、金属酸化物を含み、

前記第2の層は、前記第1の層、及び前記第3の層より酸素の含有量が多い半導体装置。

[請求項12]

請求項11において、

前記酸素の含有量は、二次イオン質量分析法、X線光電子分光法、又は昇温脱離ガス分析法を用いて測定される半導体装置。

[請求項13]

請求項11において、

前記第1の層、及び前記第3の層は、前記第2の層より酸素の拡散係数が小さい半導体装置。

[請求項14]

請求項13において、

前記酸素の拡散係数は、昇温脱離ガス分析法、又は二次イオン質量分析法により算出される半導体装置。

[請求項15]

第1の絶縁層を形成し、

前記第1の絶縁層上に、第1の導電層を形成し、

前記第1の絶縁層上、及び前記第1の導電層上に、第2の絶縁層を形成し、

前記第2の絶縁層上に、導電膜を形成し、

前記導電膜に、第1の開口部と、前記第1の導電層と重なる領域を有する第2の開口部と、をそれぞれ形成し、

前記第2の絶縁層に、前記第1の開口部と重なる領域を有し、且つ前記第1の絶縁層に達する第3の開口部、及び前記第2の開口部と重なる領域を有し、且つ前記第1の導電層に達する第4の開口部をそれぞれ形成し、

前記導電膜を加工することにより、平面視において前記第2の開口部を挟んで対向するように第2の導電層、及び第3の導電層を形成し、且つ前記第2の開口部を有する第4の導電層を形成し、

前記第2の導電層と接する領域、及び前記第3の導電層と接する領域を有し、且つ前記第3の開口部の内部に位置する領域を有する第1の半導体層、並びに、前記第1の導電層と接する領域、及び前記第4の導電層と接する領域を有し、且つ前記第2の開口部の内部に位置する領域、及び前記第4の開口部の内部に位置する領域を有する第2の半導体層をそれぞれ形成し、

前記第2乃至第4の開口部の内部に位置する領域を有するように、前記第1の半導体層上、及び前記第2の半導体層上に第3の絶縁層を形成し、

前記第3の絶縁層上に、前記第3の開口部の内部に位置する領域を有する第5の導電層、並びに、前記第2の開口部の内部に位置する領域、及び前記第4の開口部の内部に位置する領域を有する第6の導電層をそれぞれ形成する半導体装置の作製方法。

[請求項16]

請求項15において、

前記第2の絶縁層として、第1の層と、前記第1の層上の第2の層と、前記第2の層上の第3の層と、をそれぞれ形成し、

前記第1の半導体層、及び前記第2の半導体層として、金属酸化物を含む層を形成し、

前記第2の層の形成後、且つ前記第3の層の形成前に、前記第2の層に酸素を供給する半導体装置の作製方法。

[請求項 17]

請求項 16 において、

前記第 1 の層、及び前記第 3 の層を、前記第 2 の層より酸素の拡散係数が小さくなるように形成する半導体装置の作製方法。

図1A

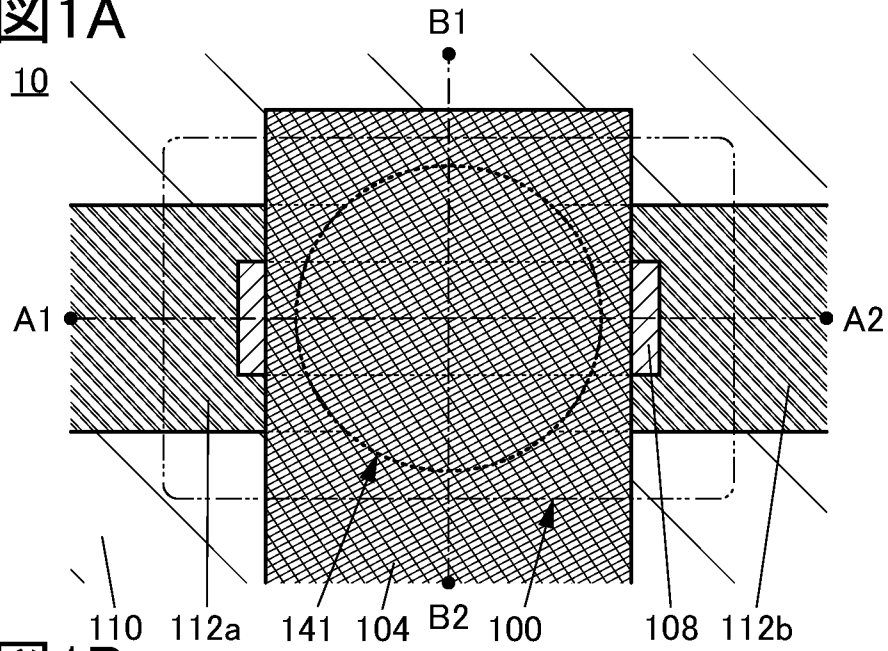


図1B

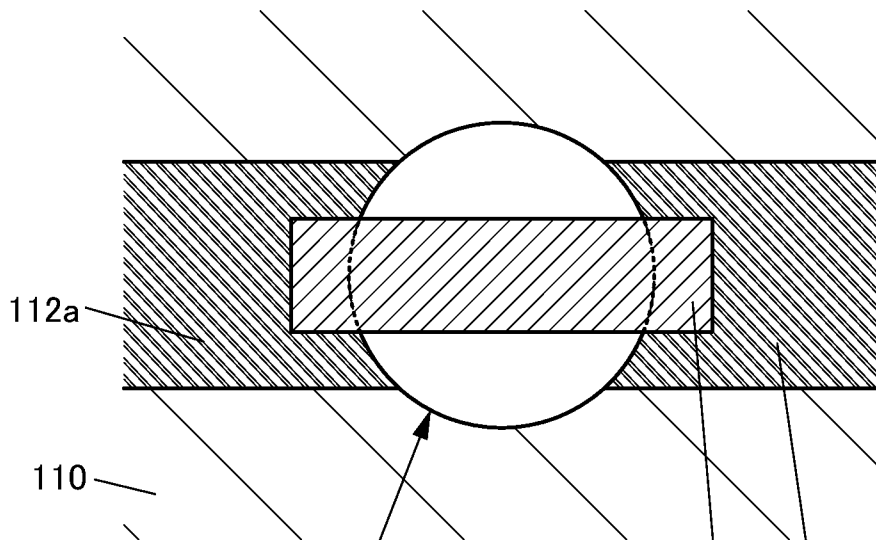


図1C

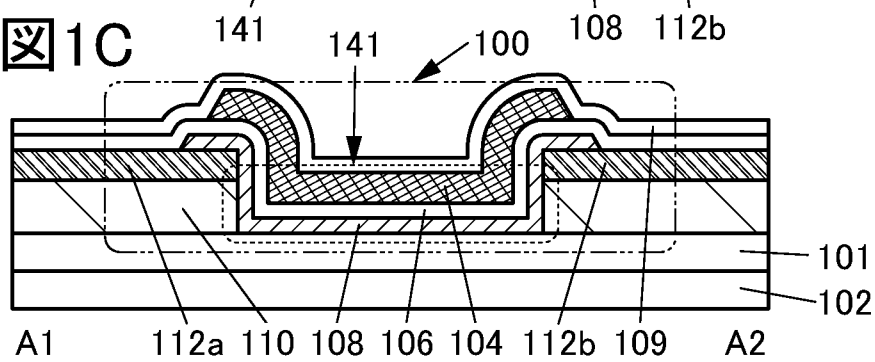


図1D

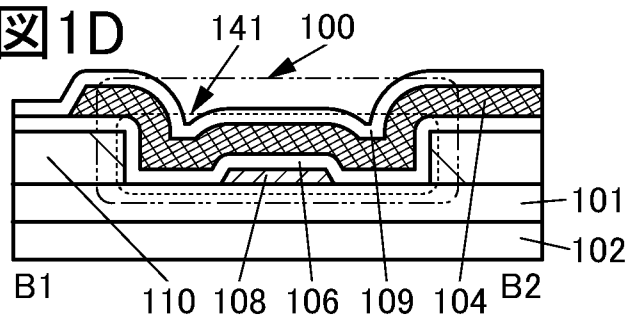


図2A

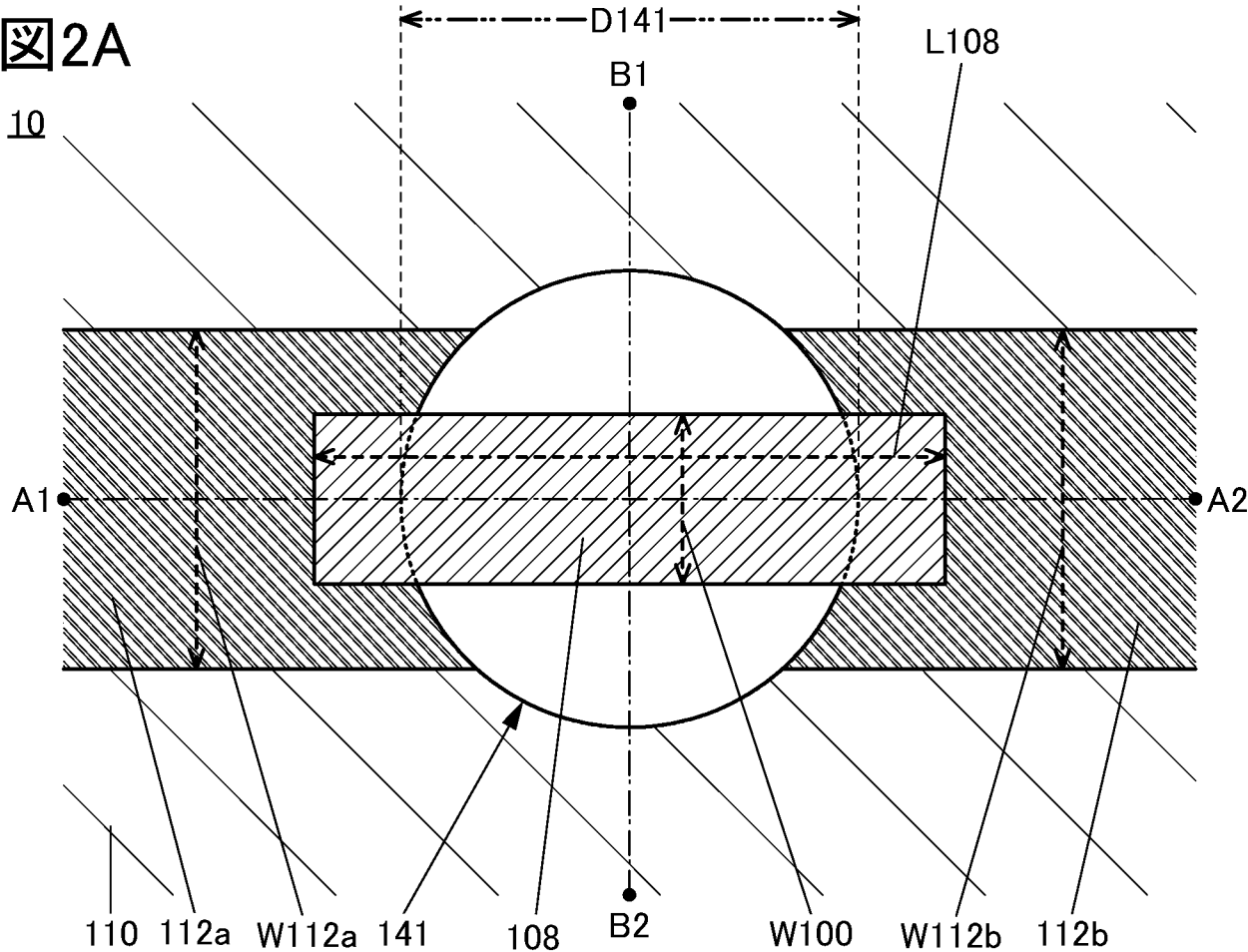


図2B

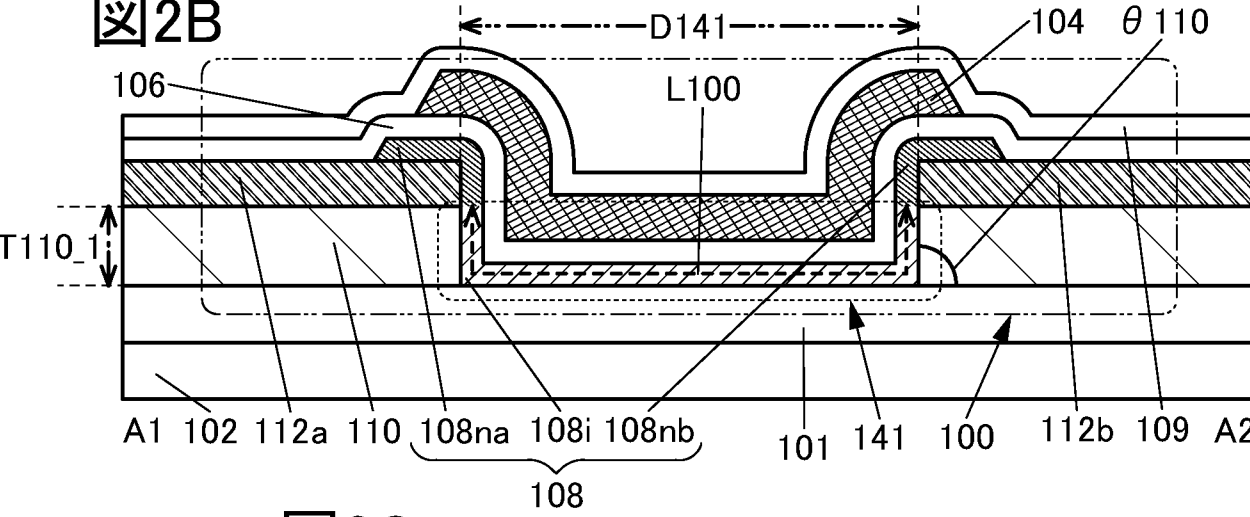
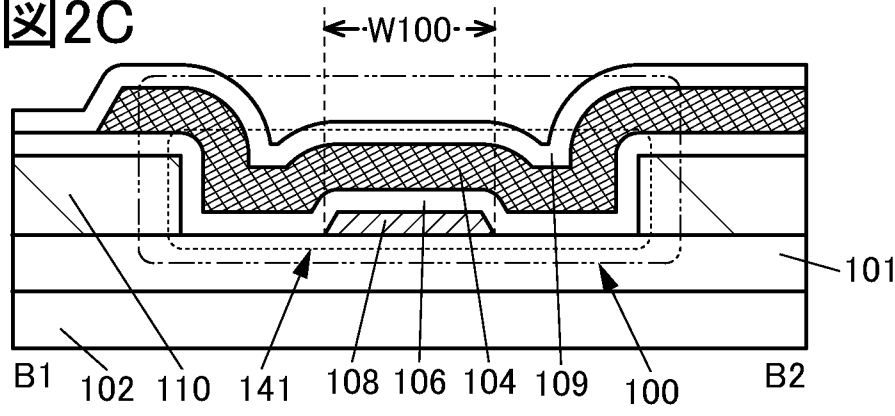
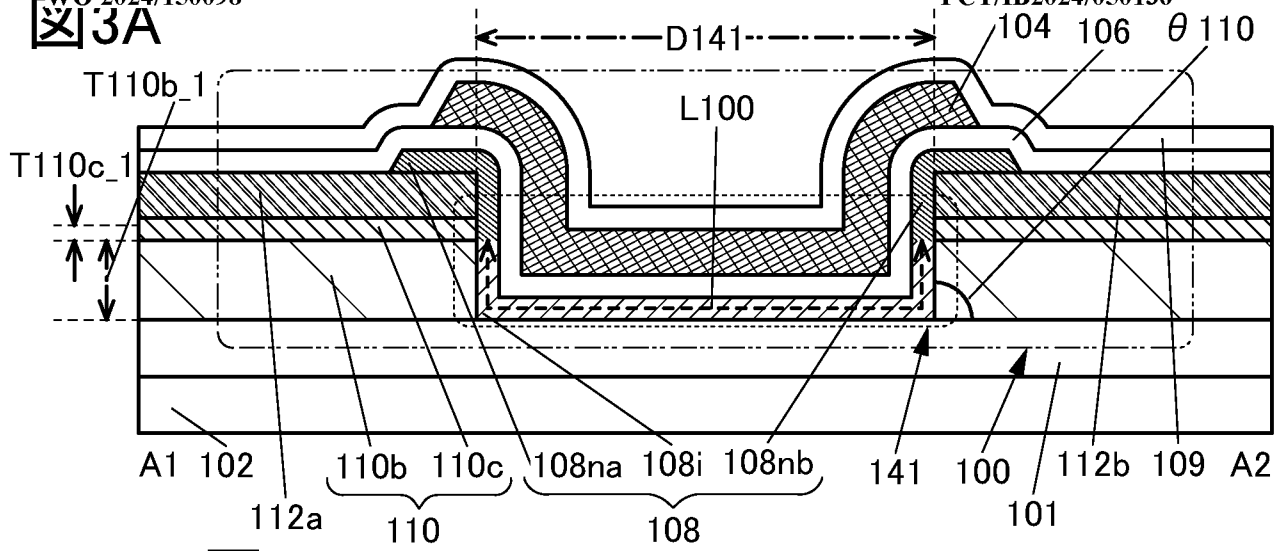


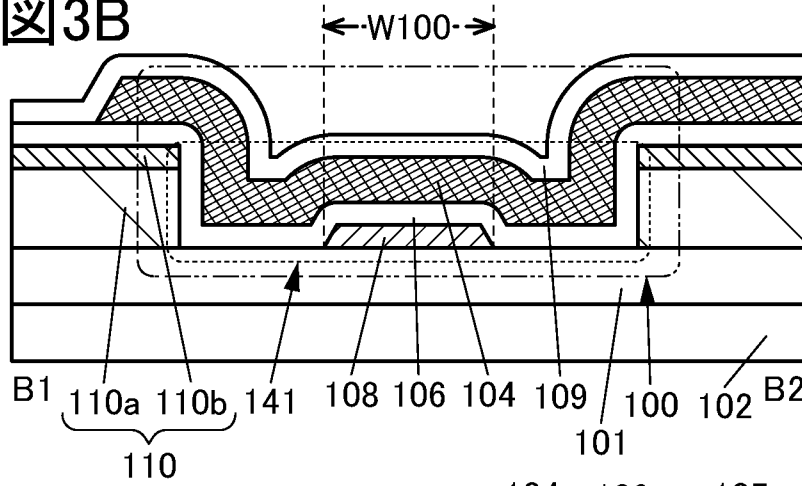
図2C



3A



3B



3C

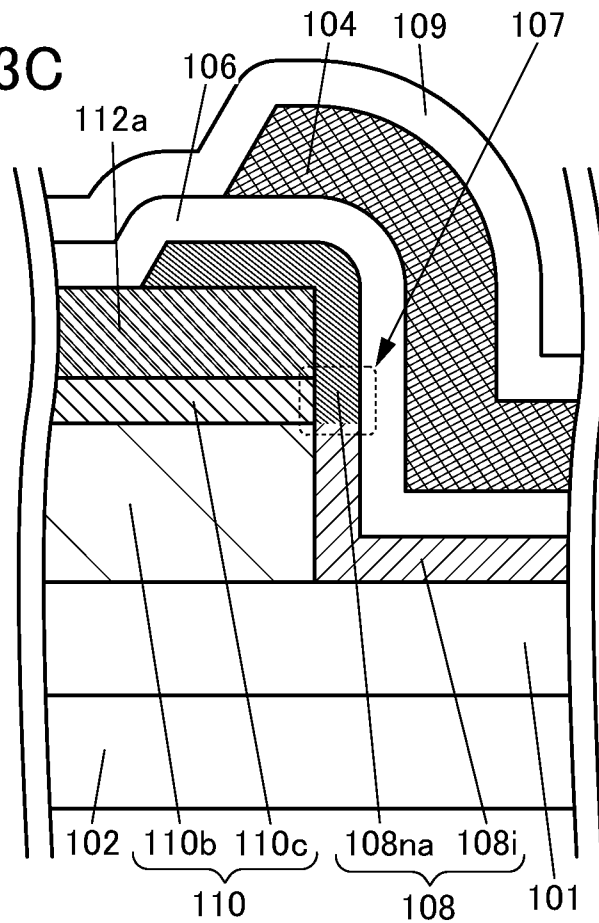


図4A

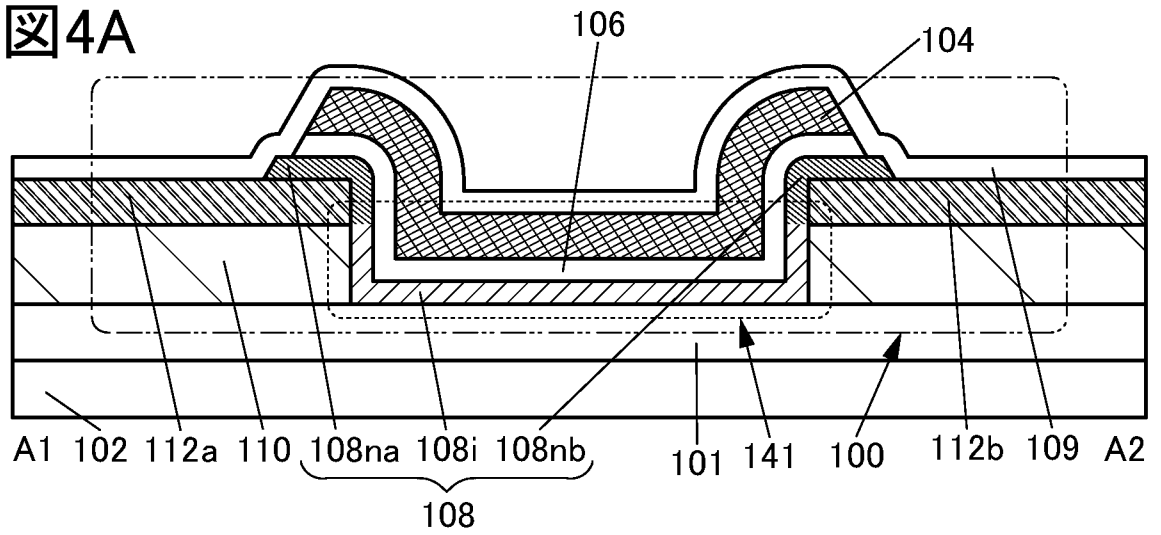


図4B

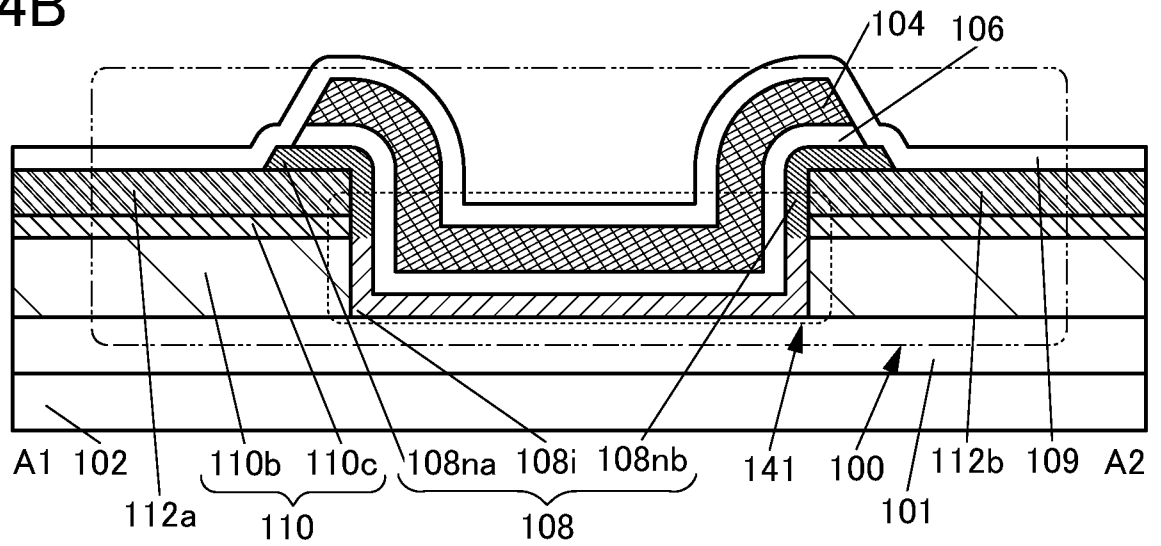


図5A

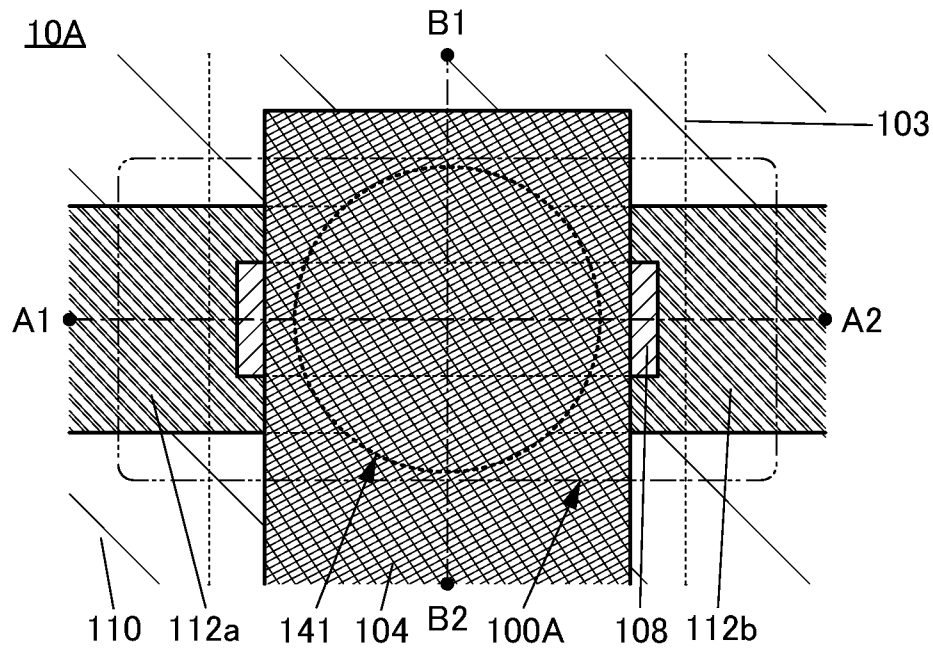


図5B

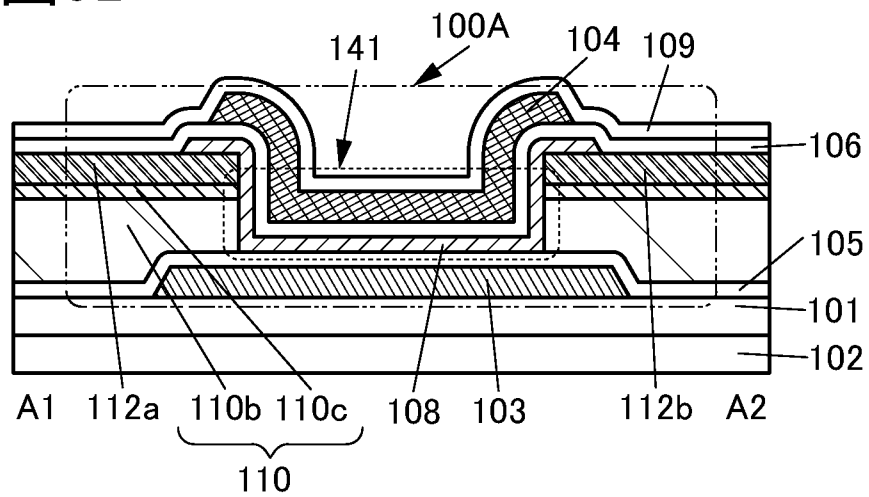


図5C

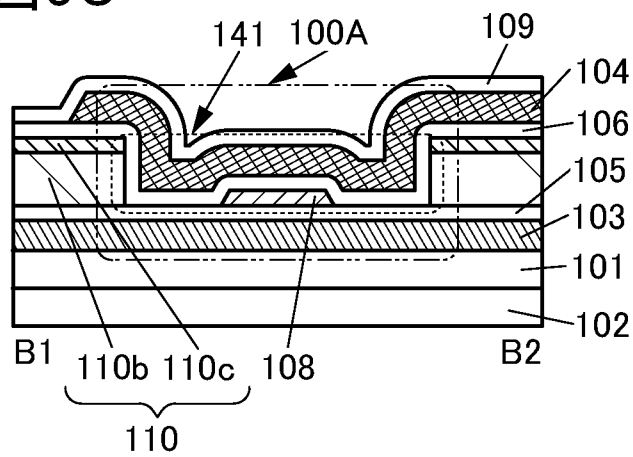


図 6A

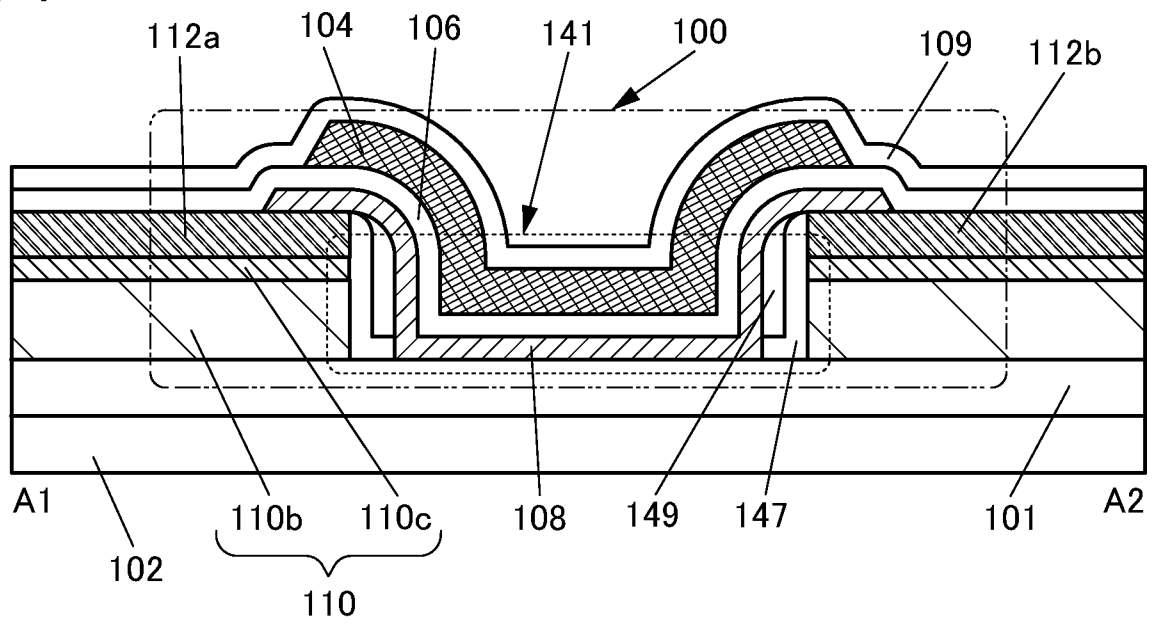


図 6B

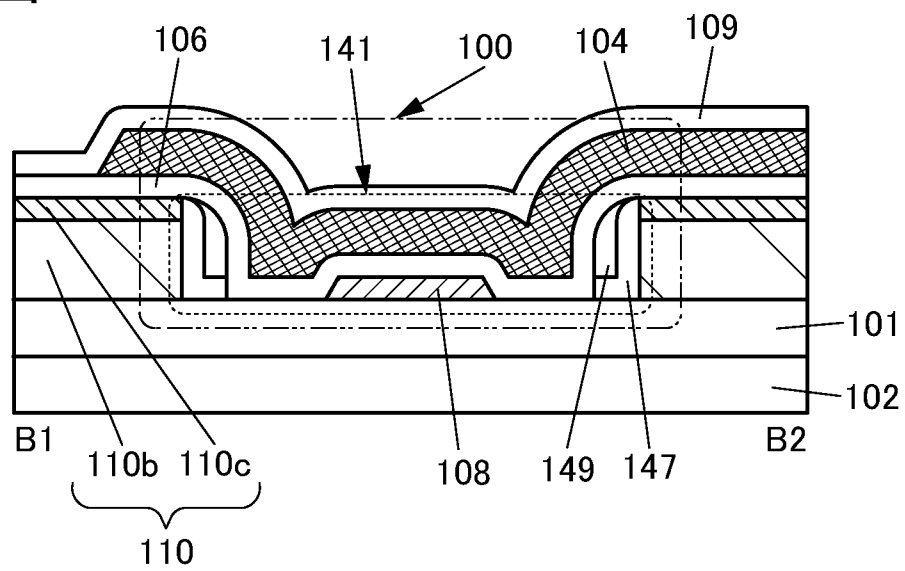


図7A

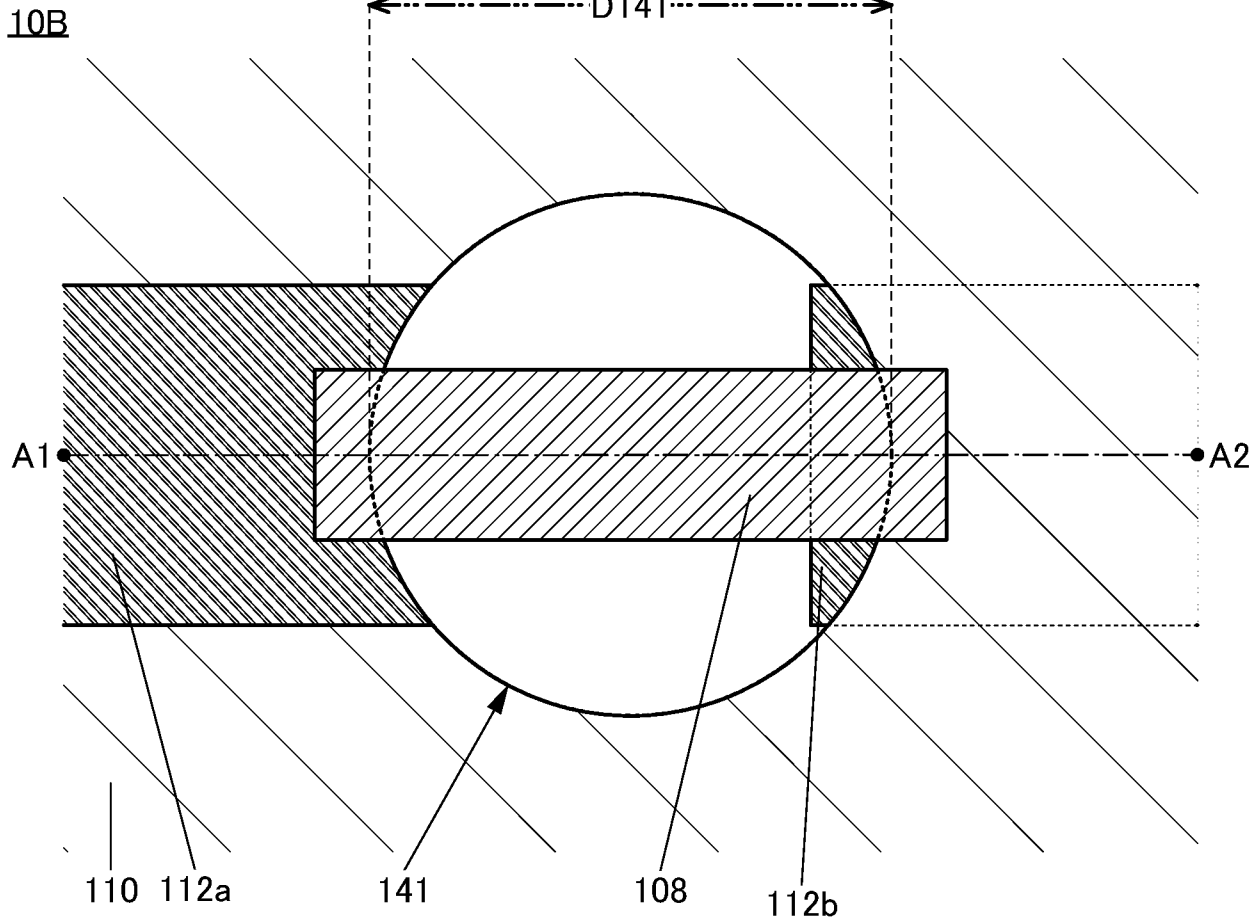


図7B

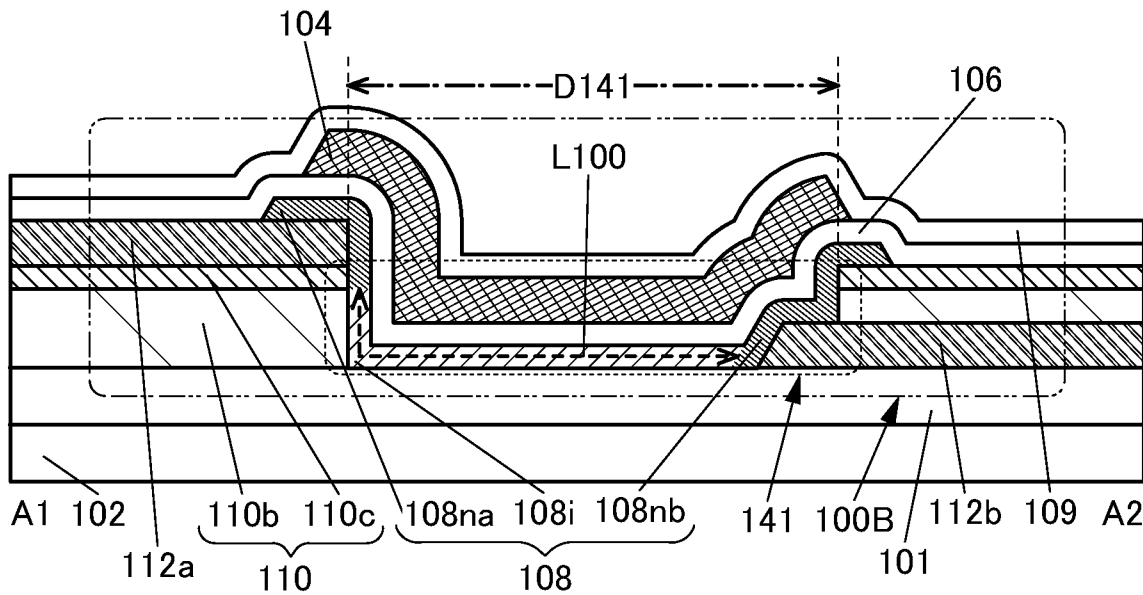


図 8A

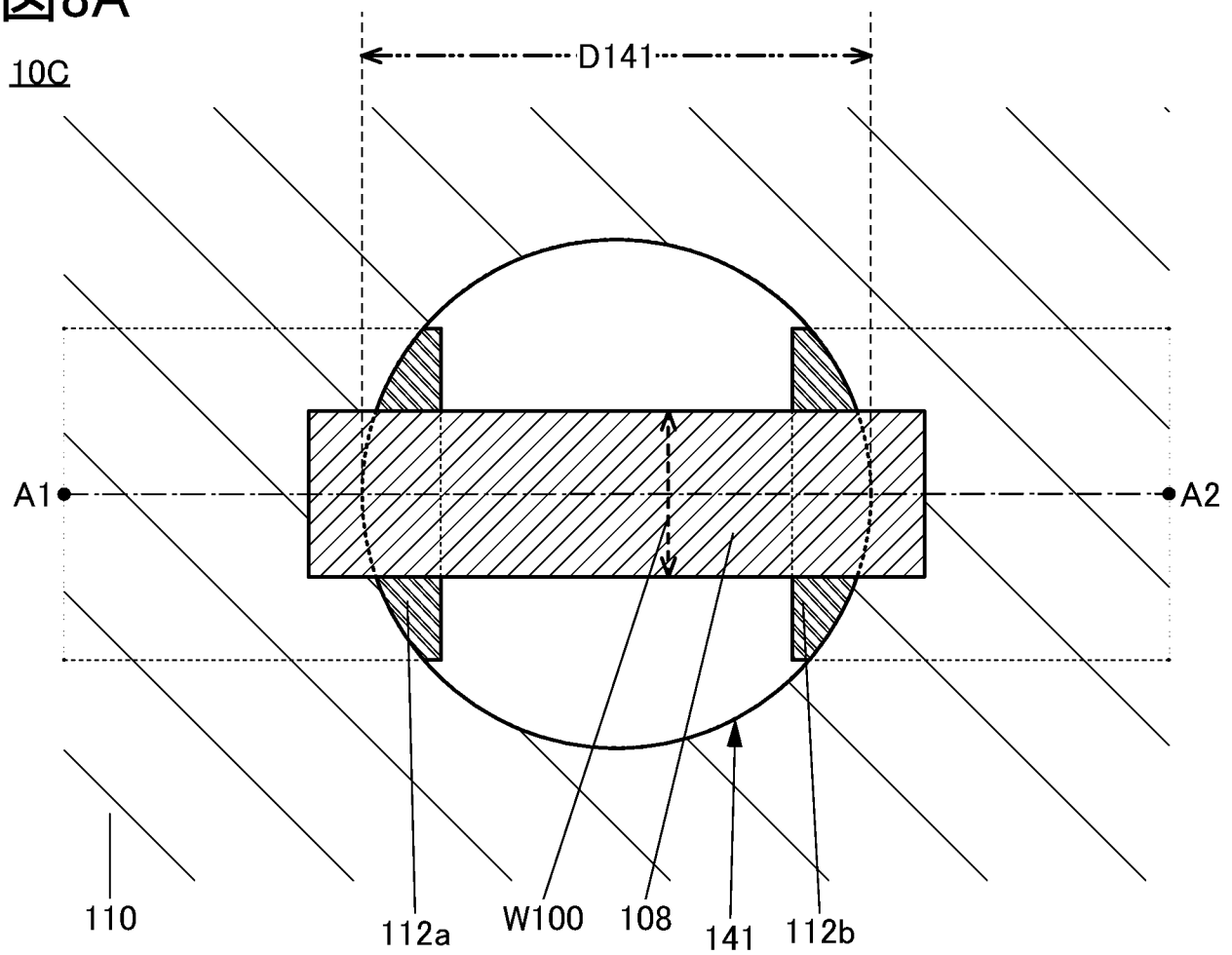


図 8B

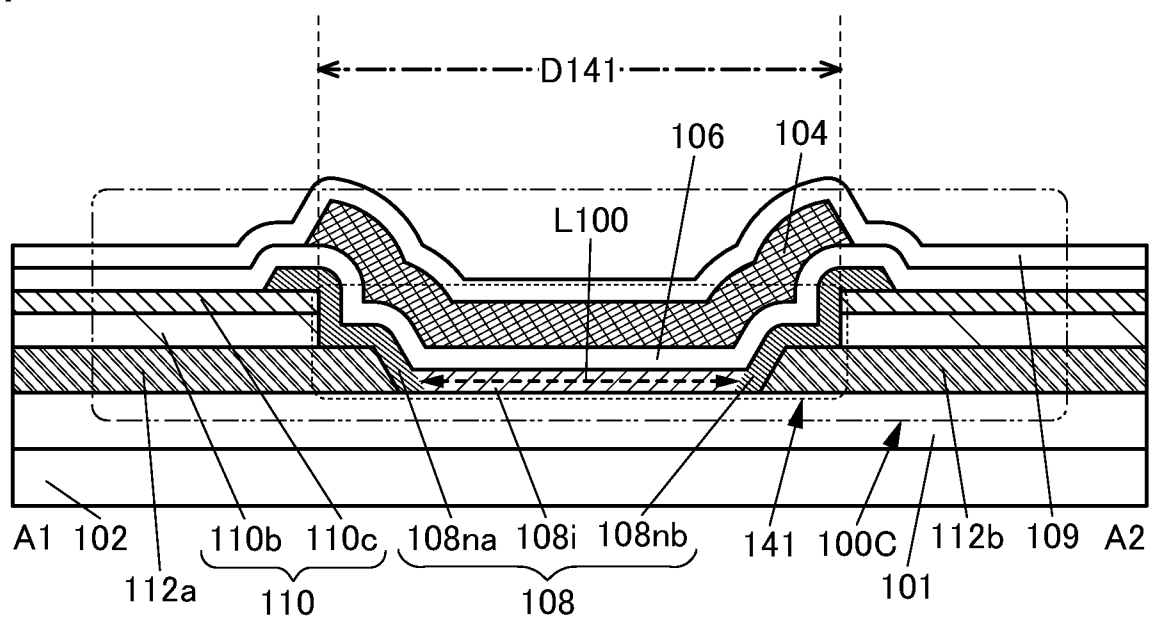


図9A

10

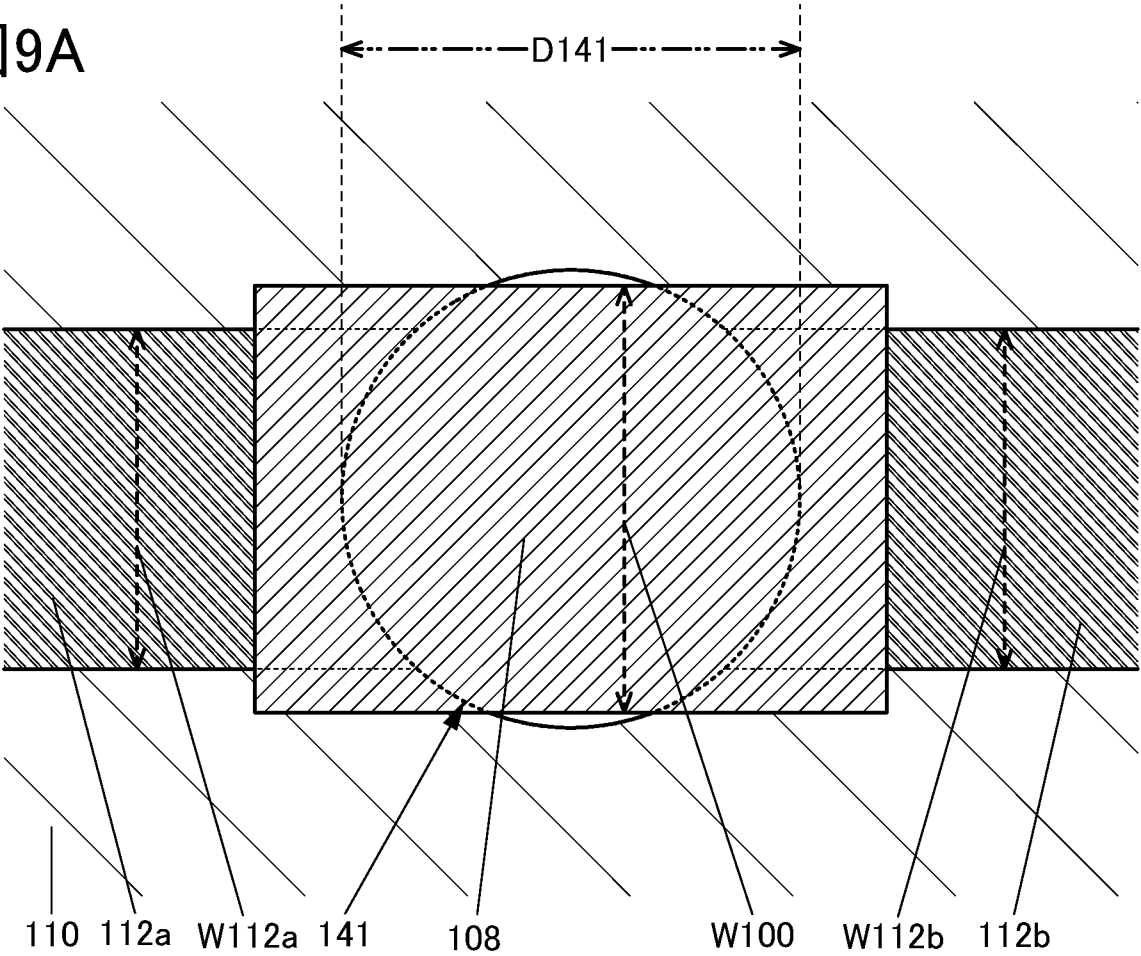


図9B

10

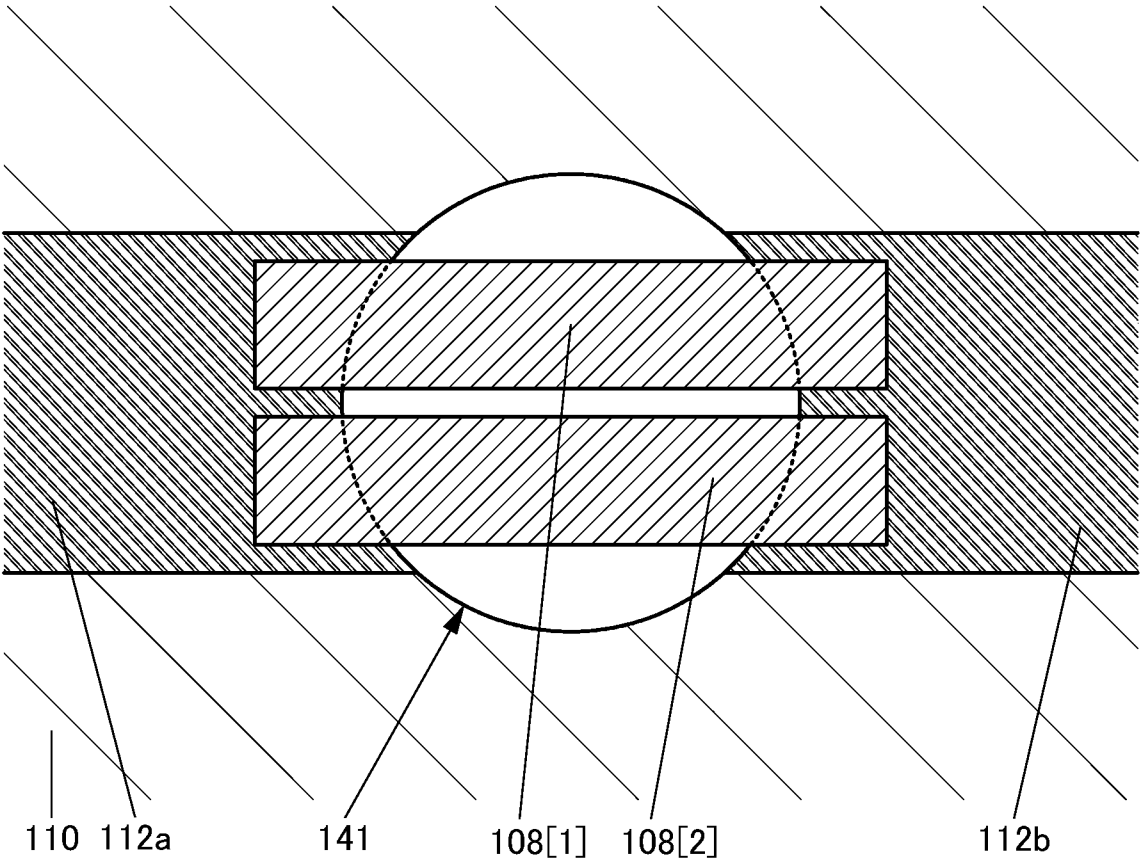


図10A

10

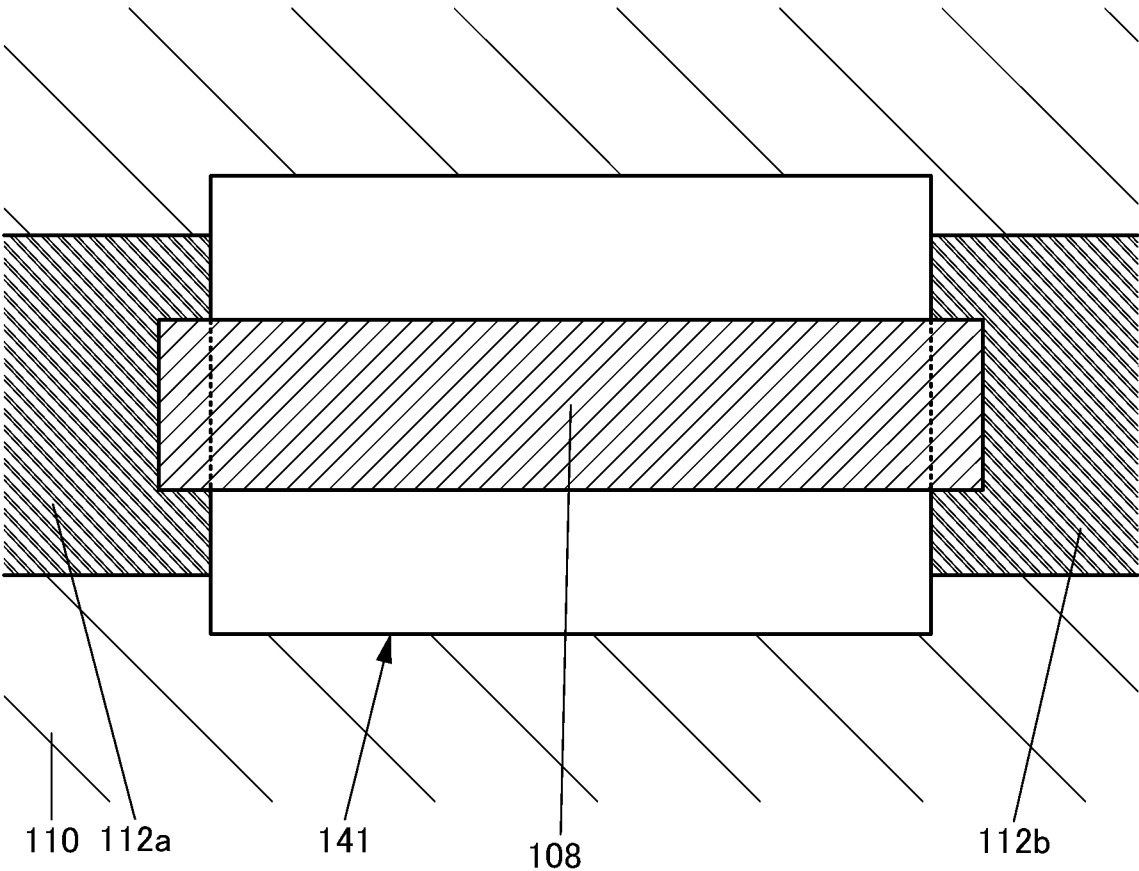


図10B

10

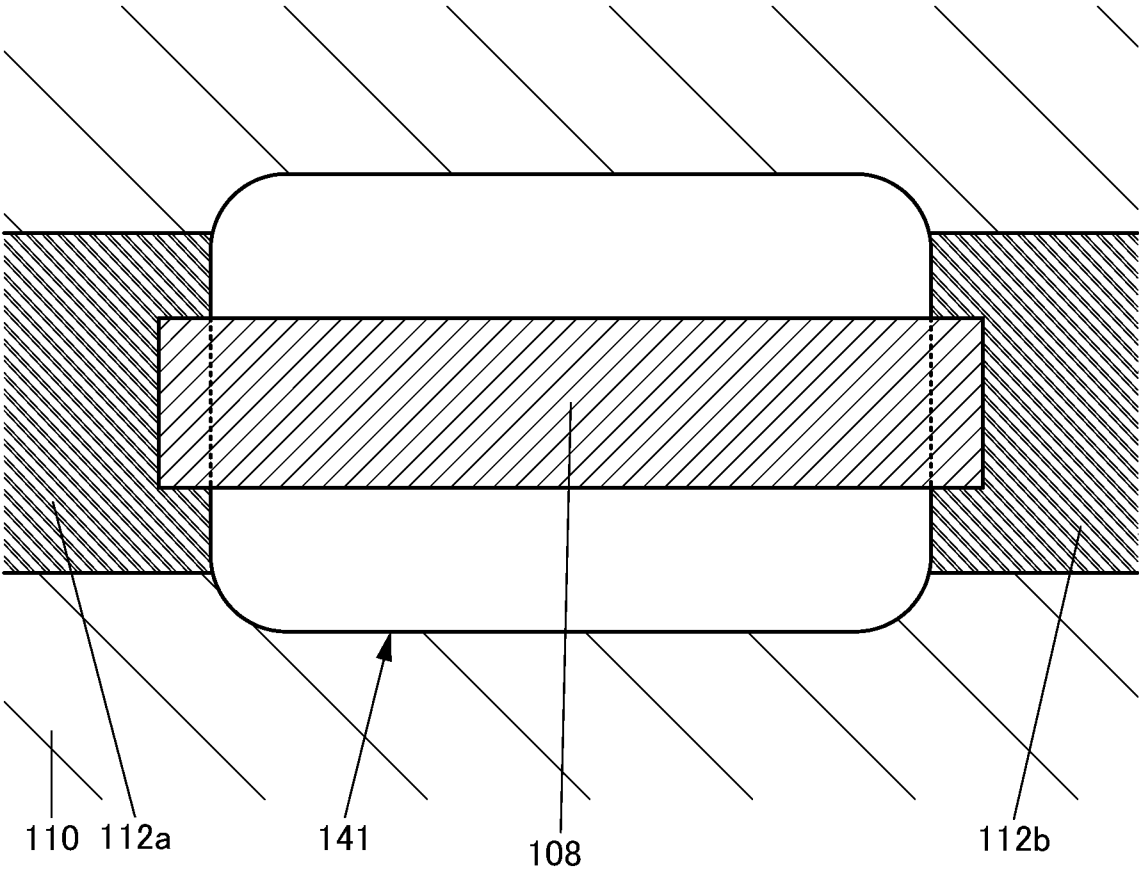


図11A

10

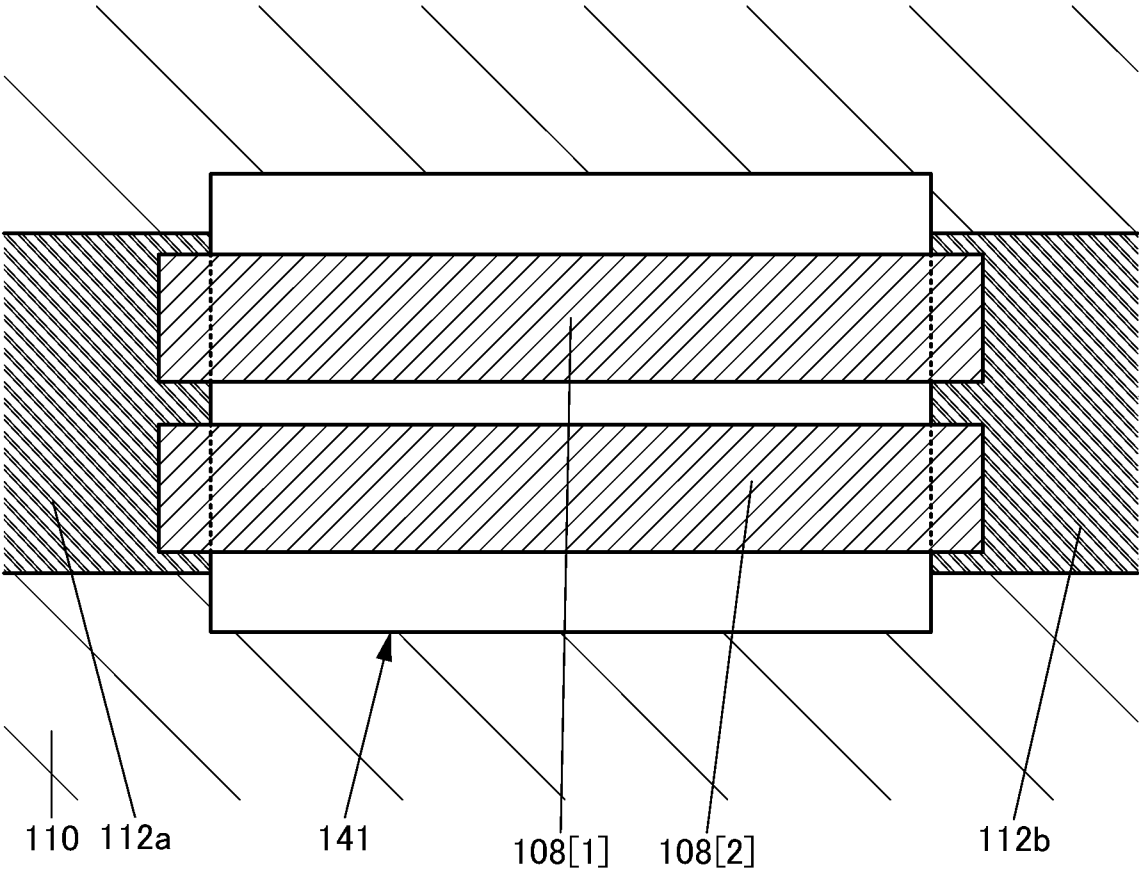


図11B

10

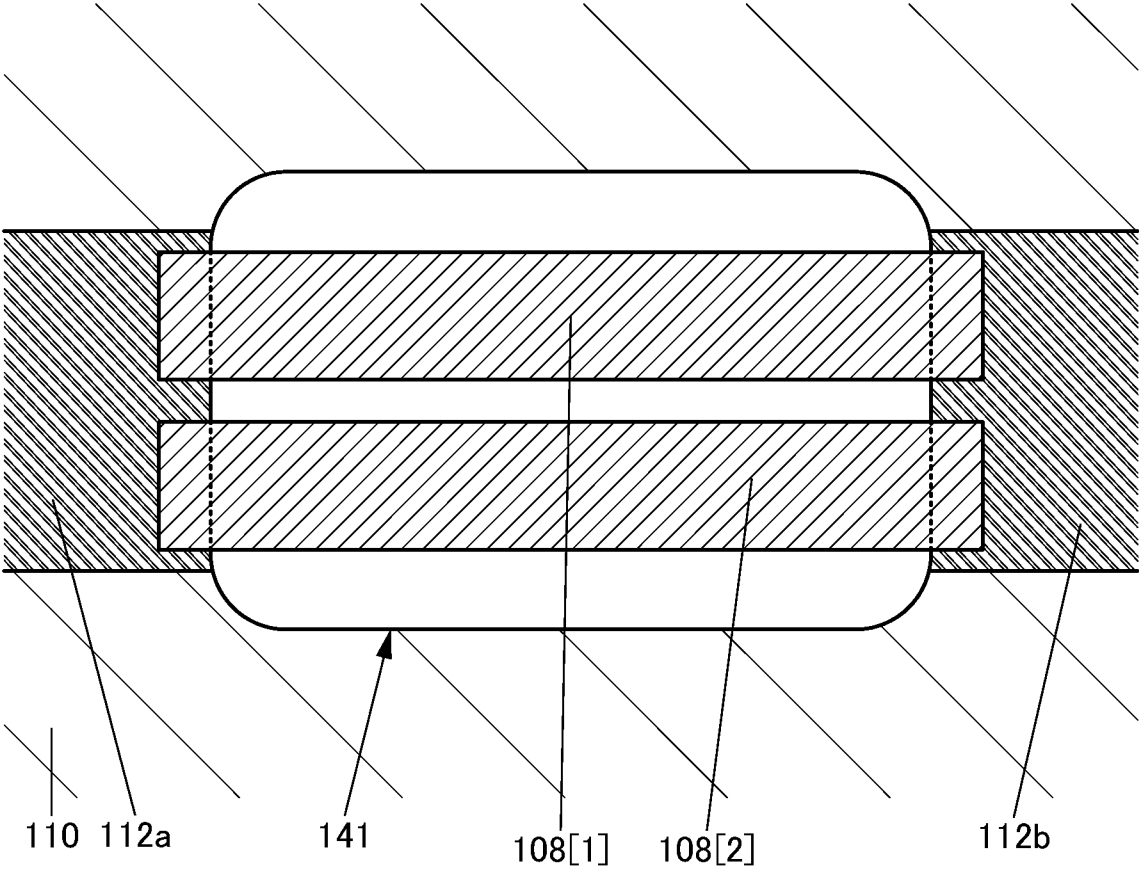


図 12A

10

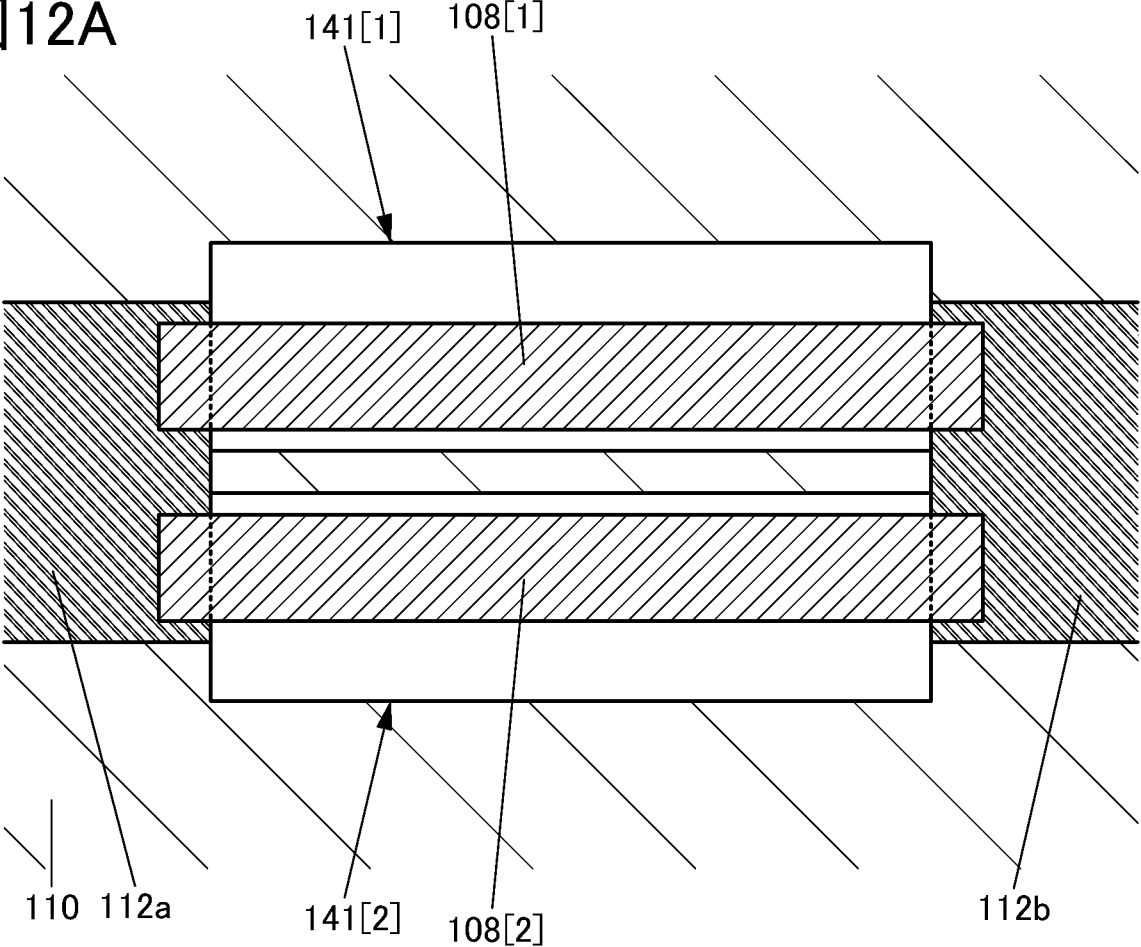


図 12B

10

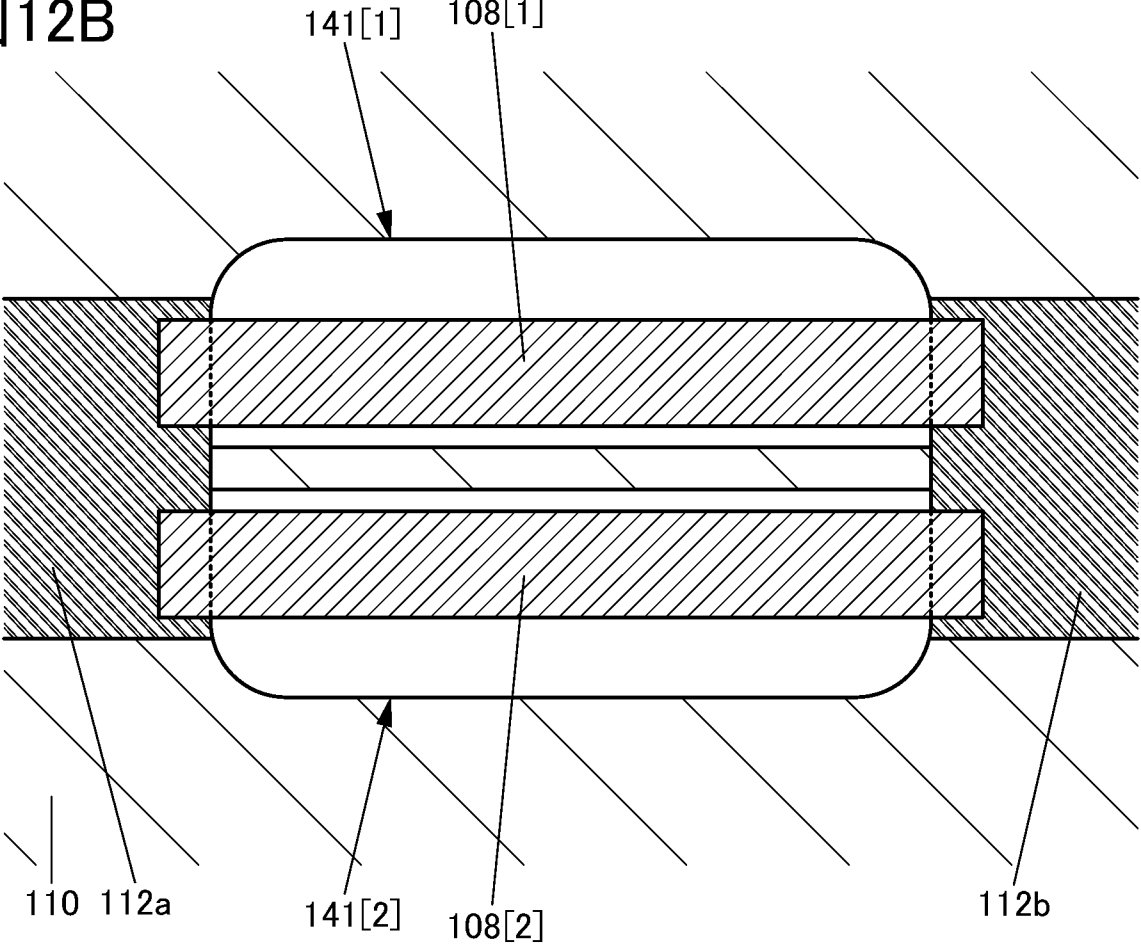


図 13A

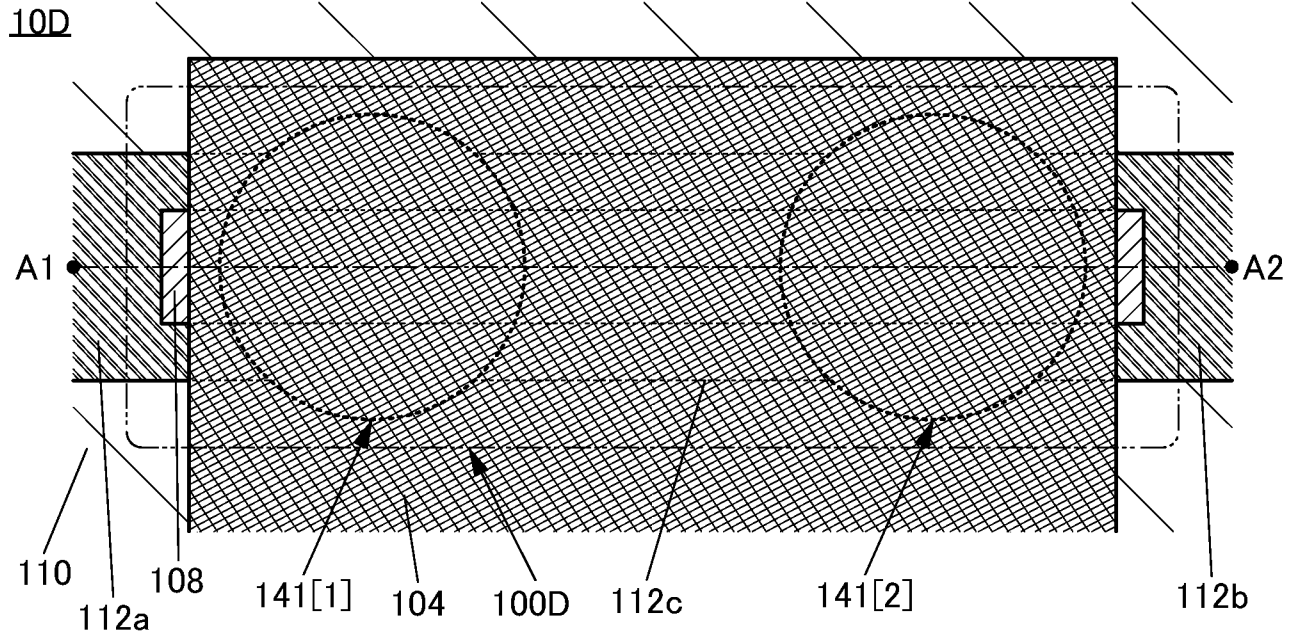


図 13B

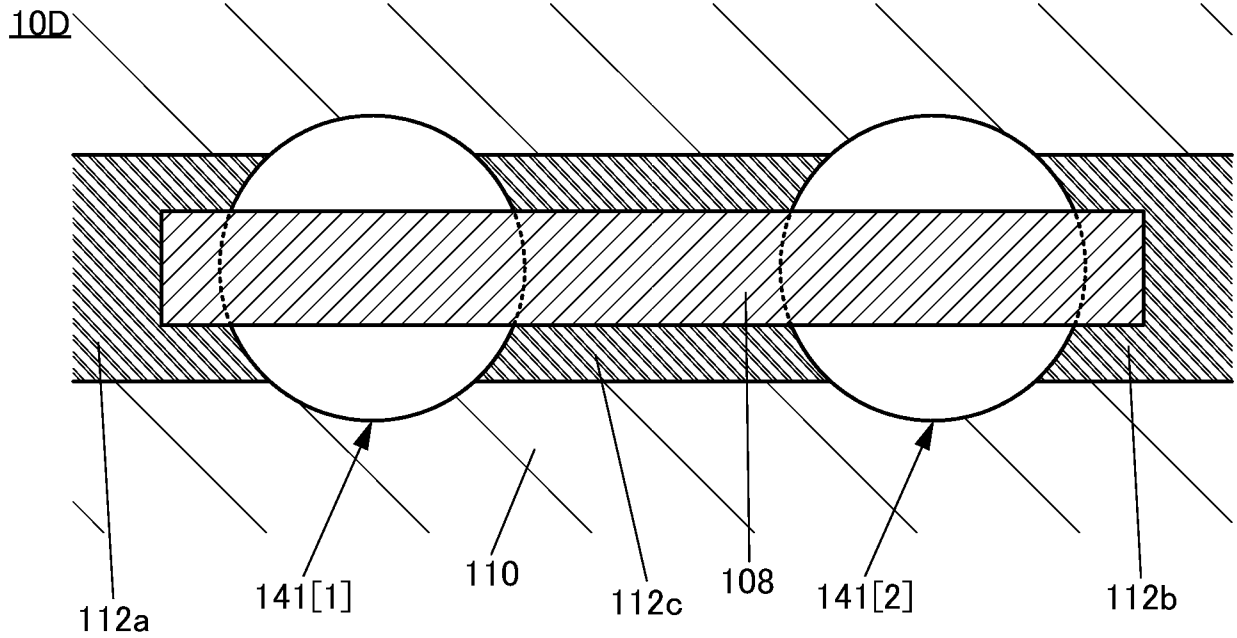


図 13C

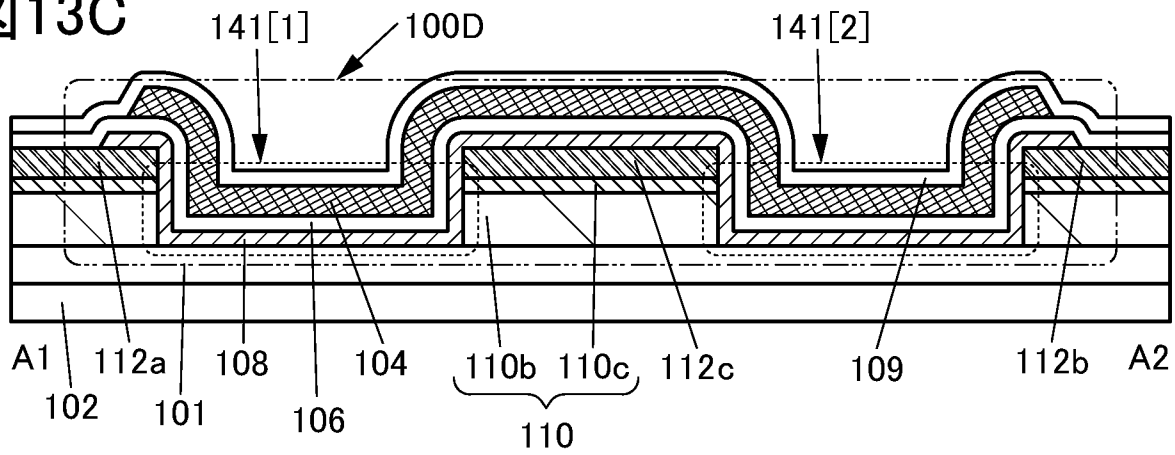


図14A

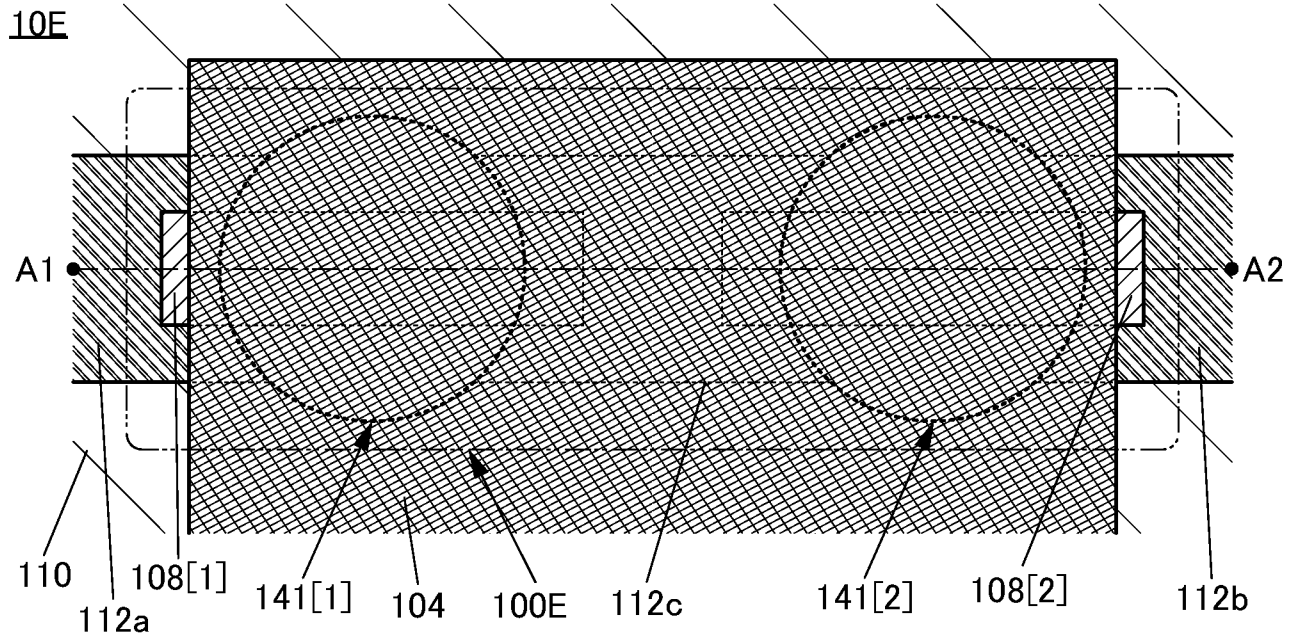


図14B

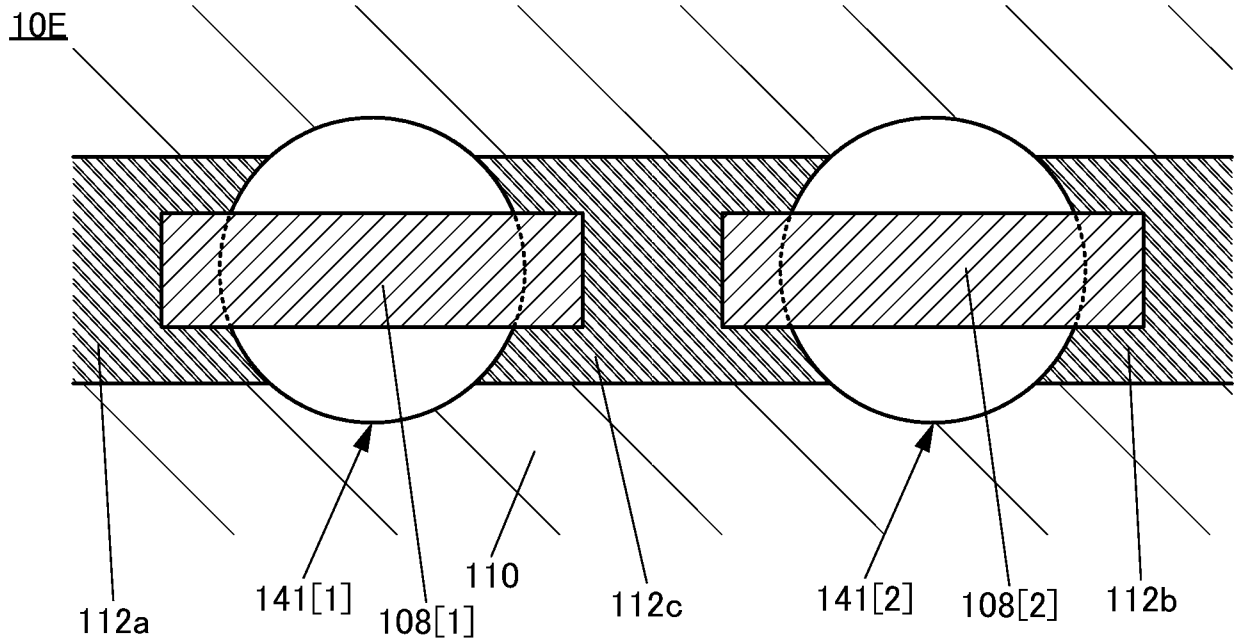
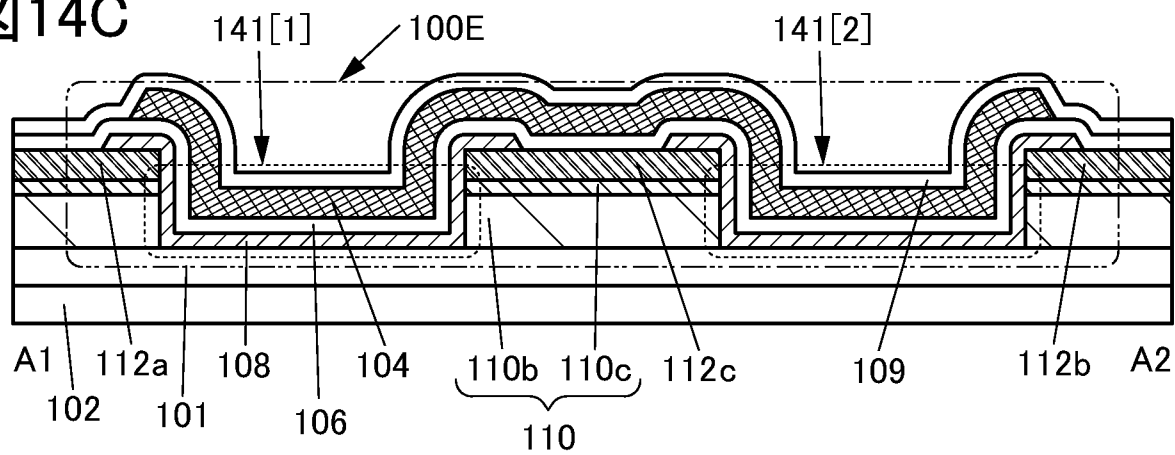


図14C



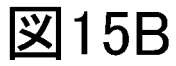


図16A

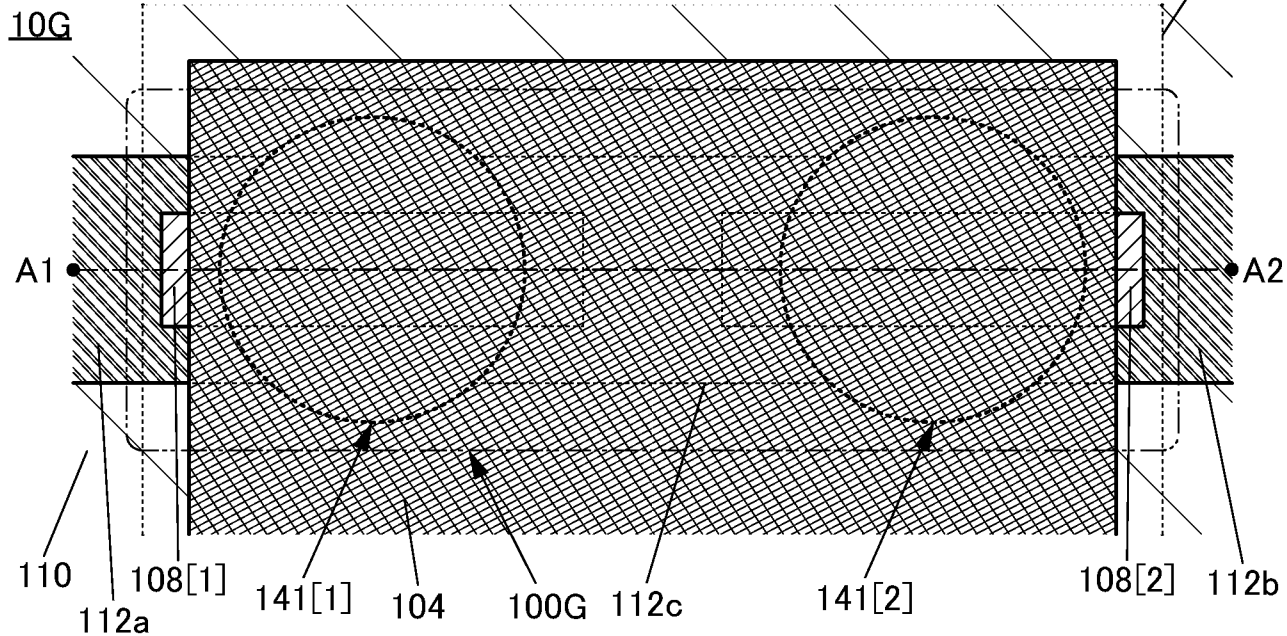


図16B

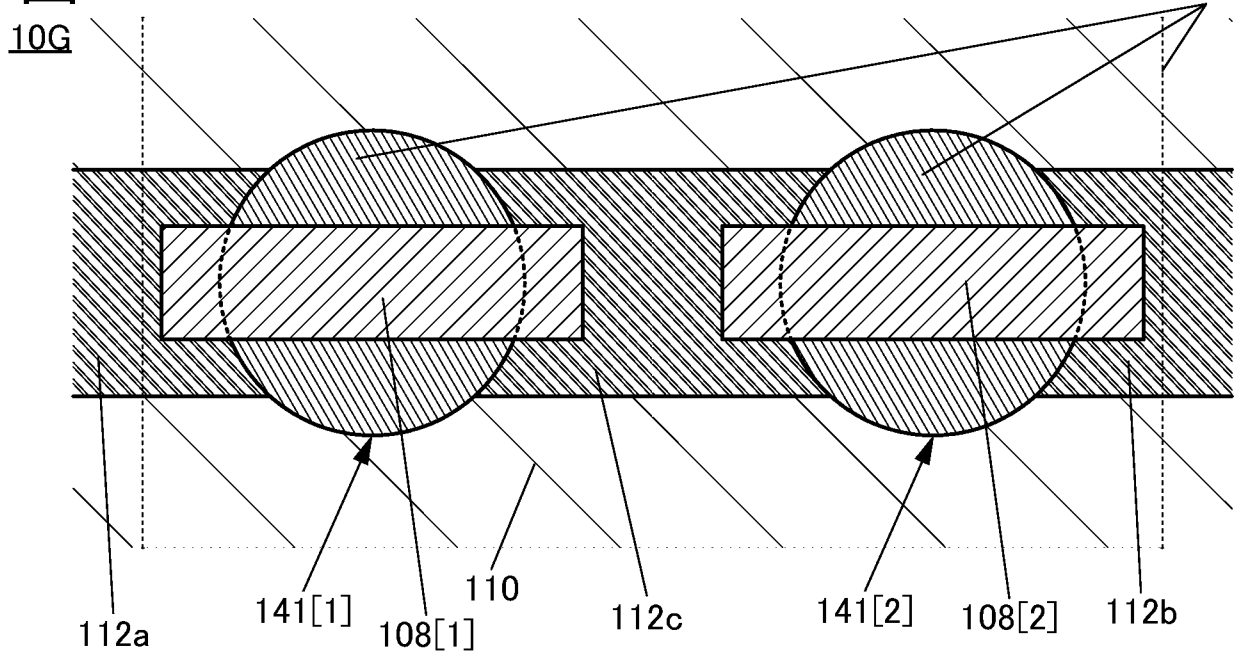


図16C

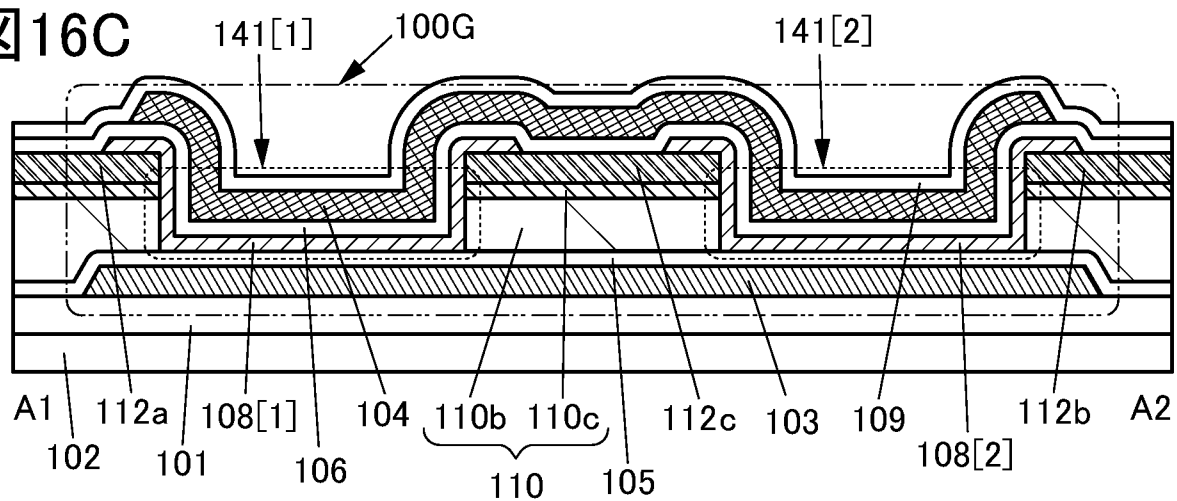


図17A

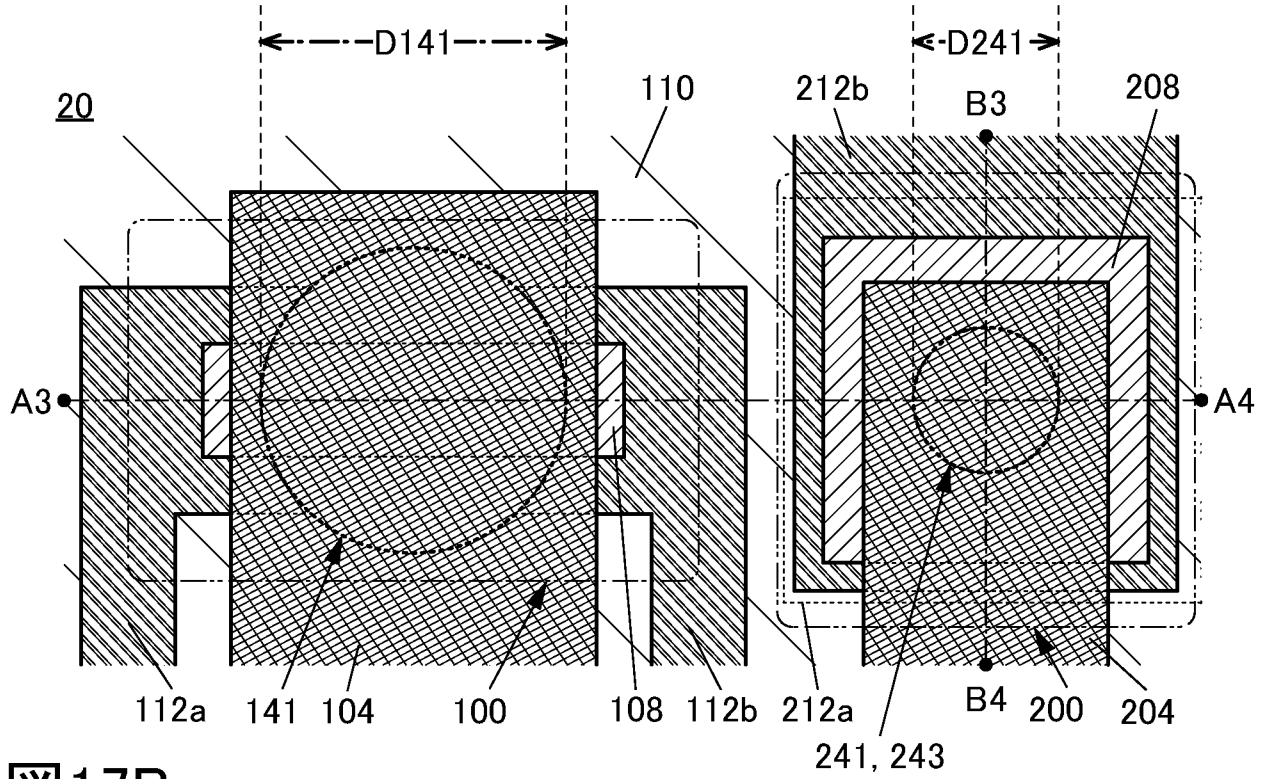


図17B

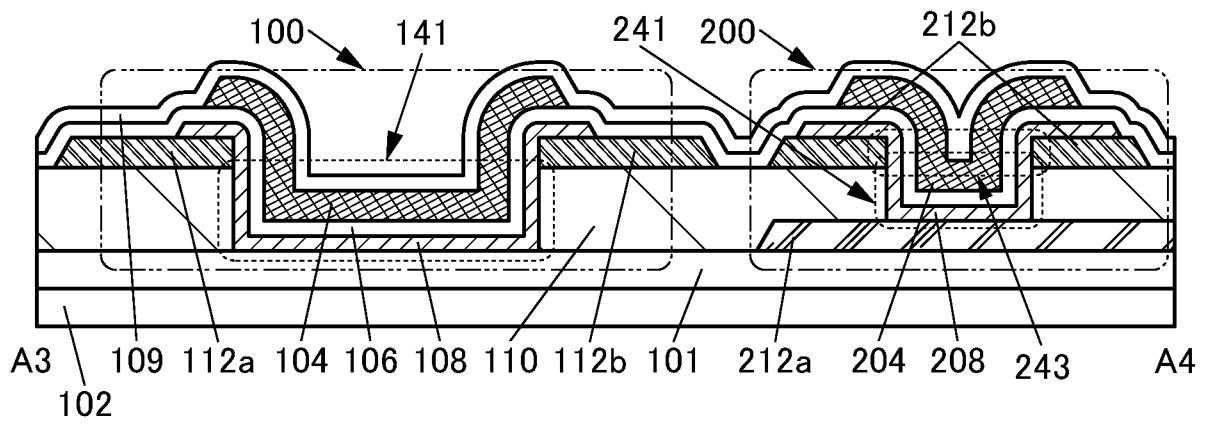


図17C

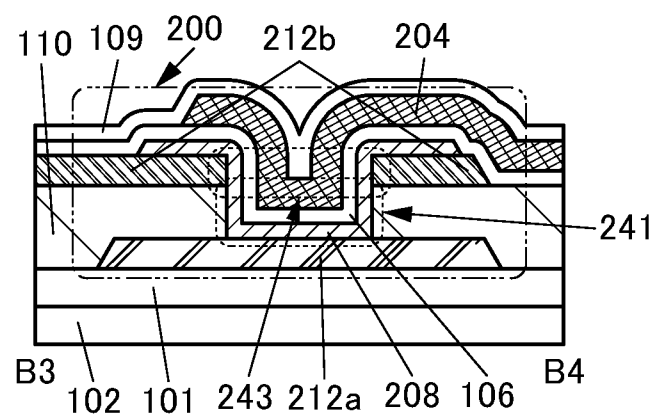


図 19A

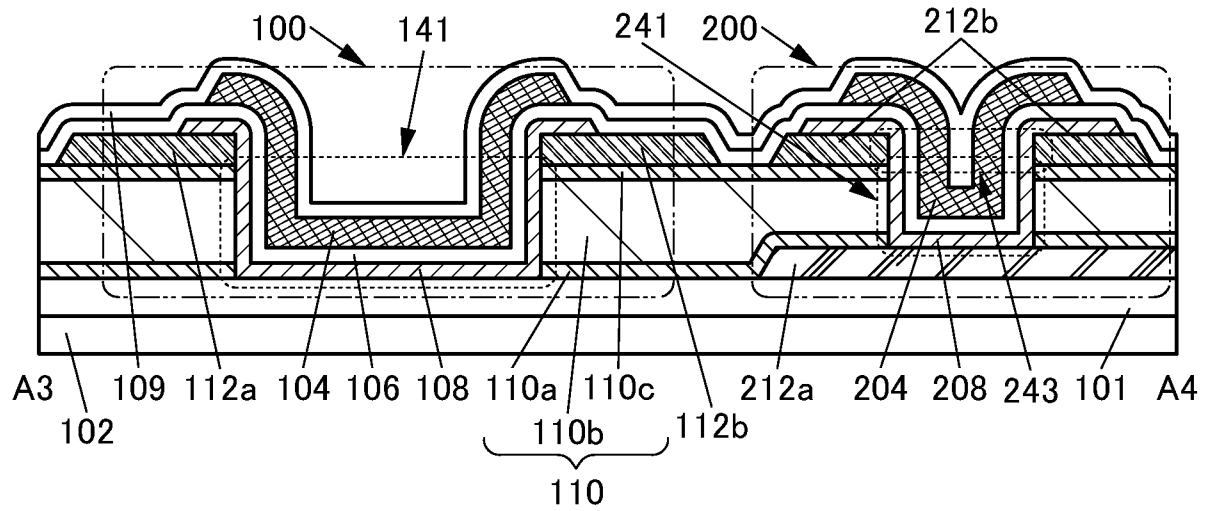
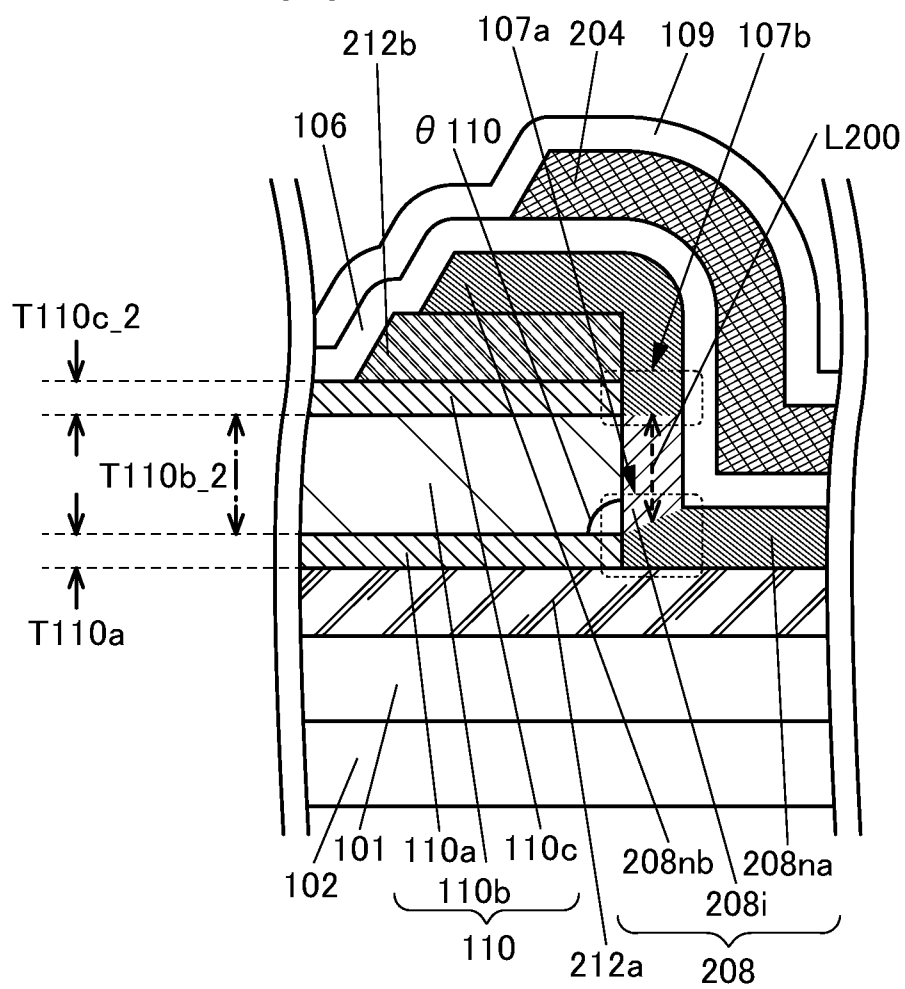
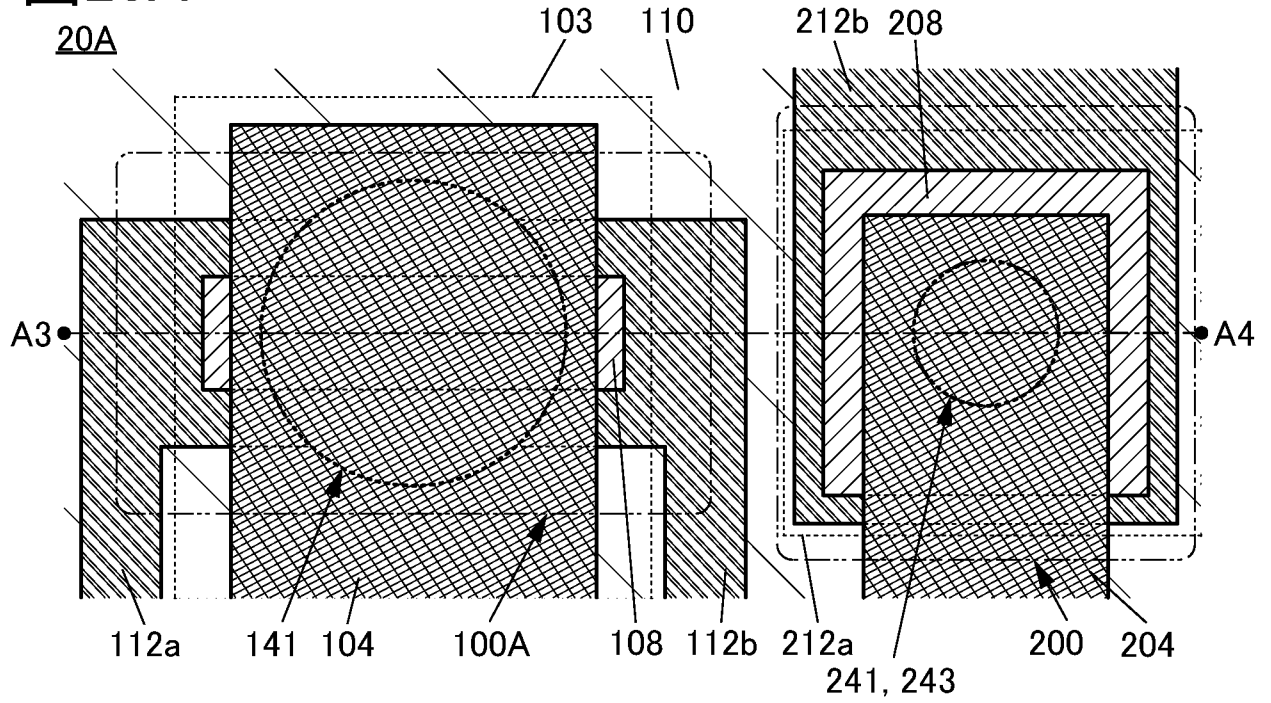
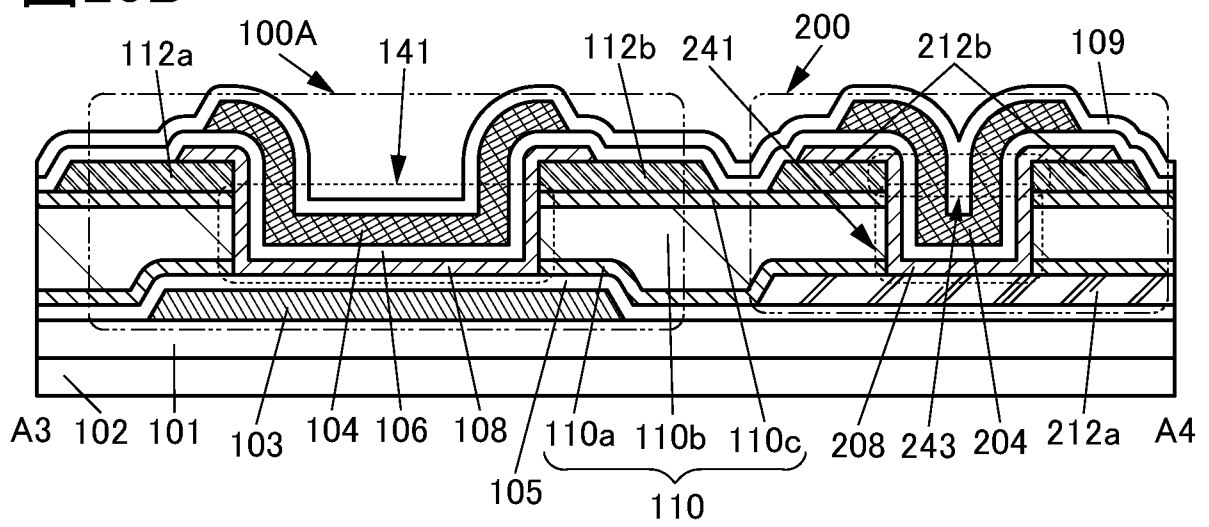


図 19B







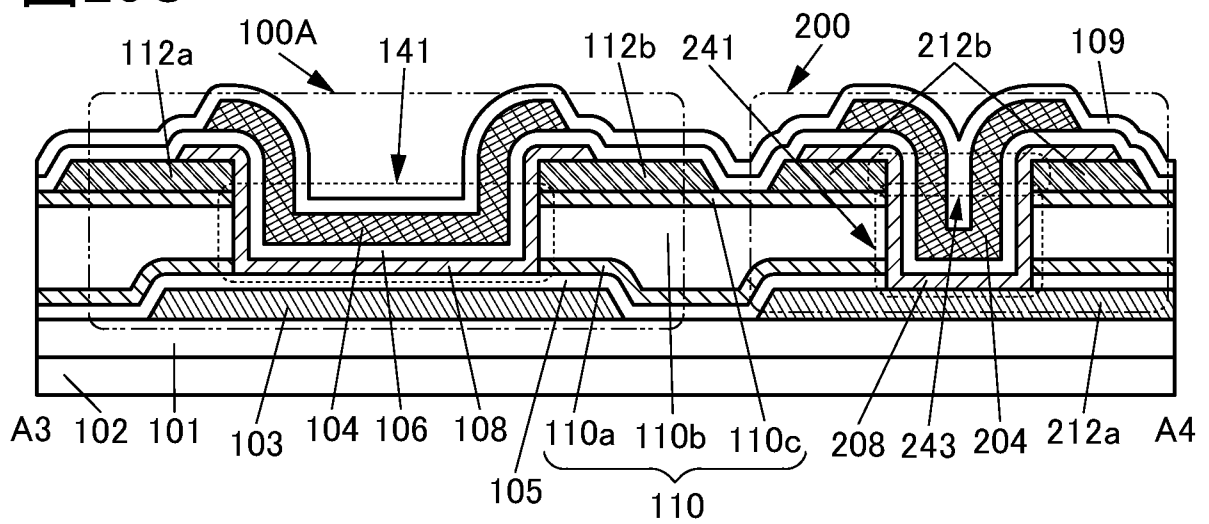


図21A

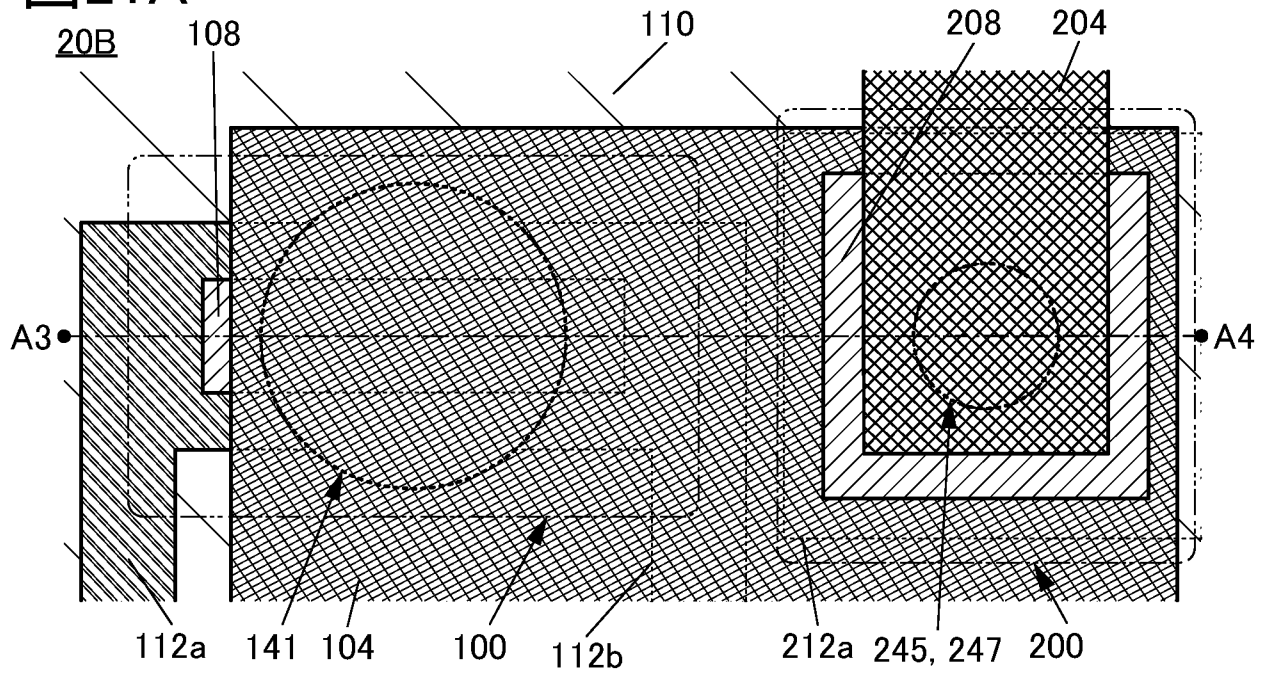


図21B

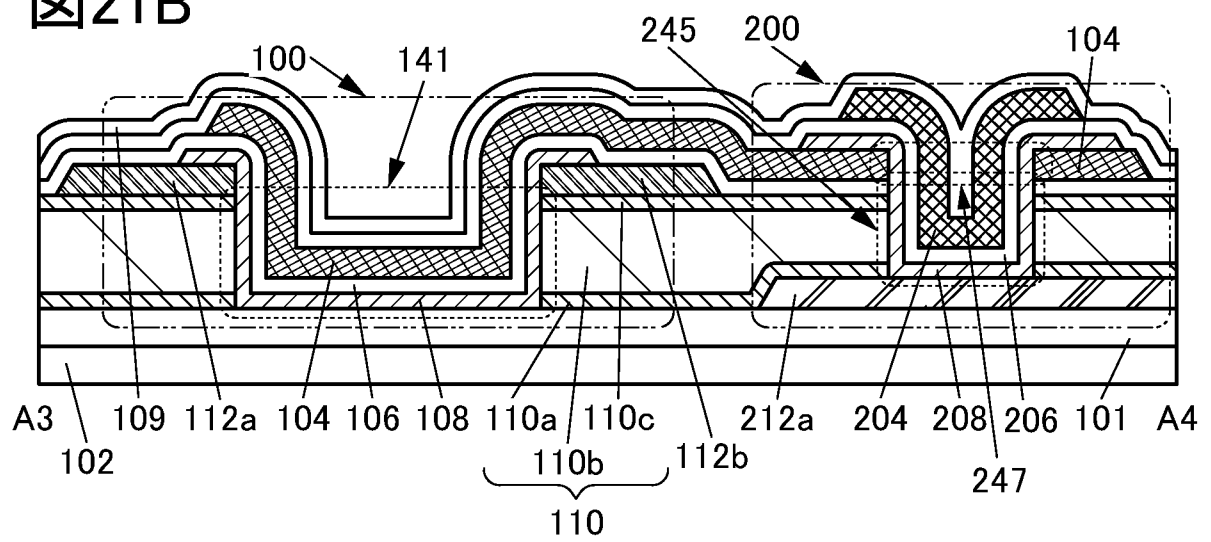


図22A 30

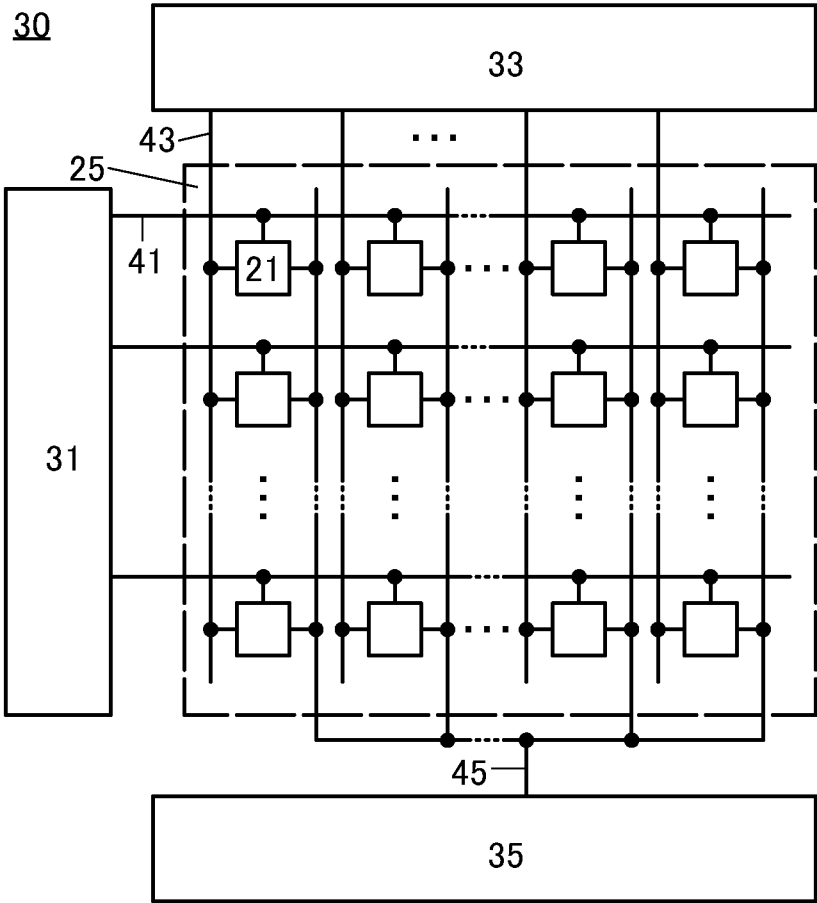


図22B

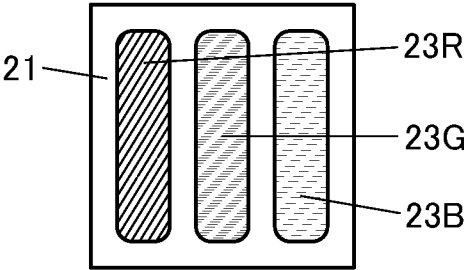


図22C

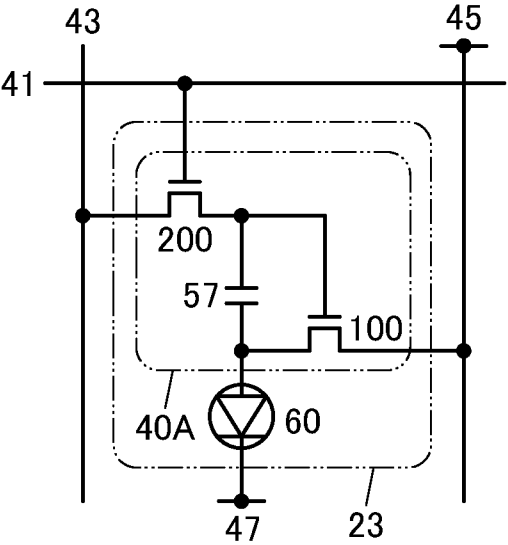


図22D

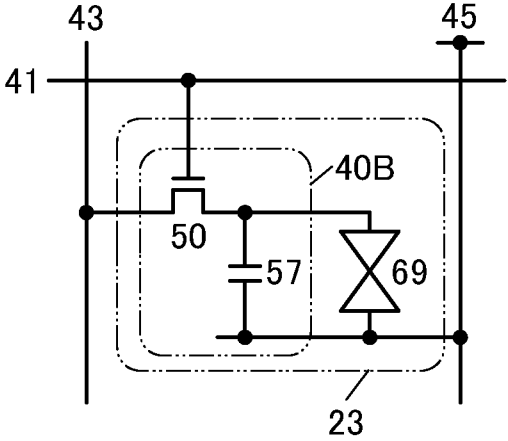


图24A

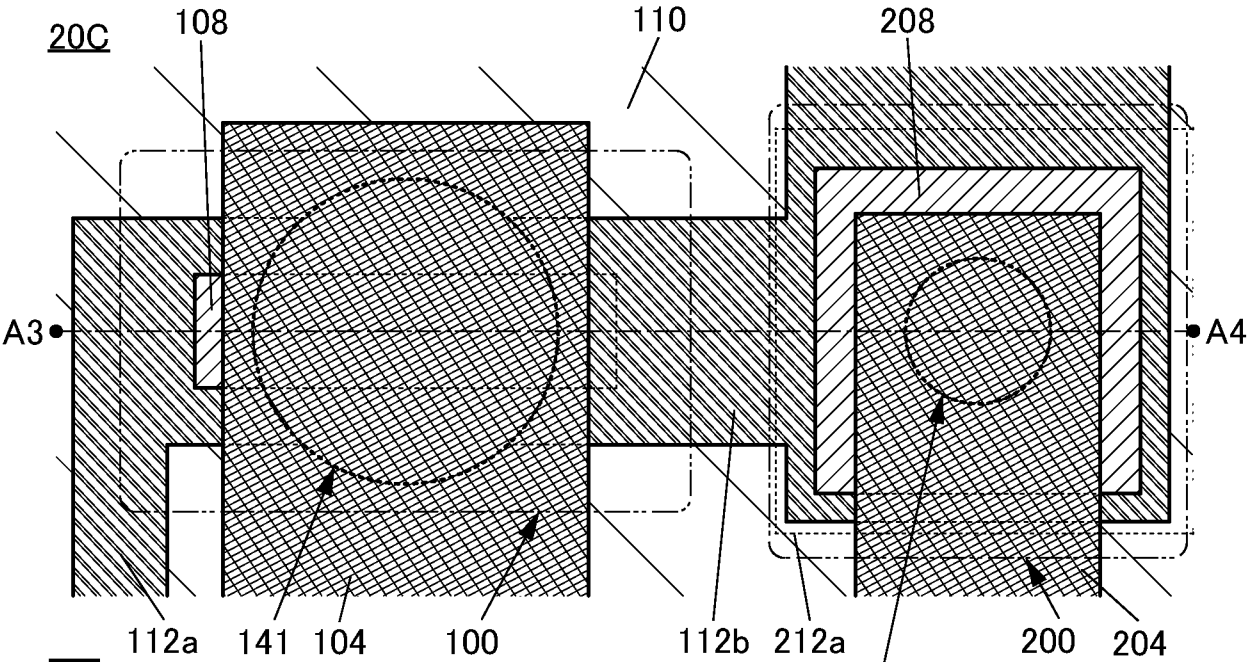


图24B

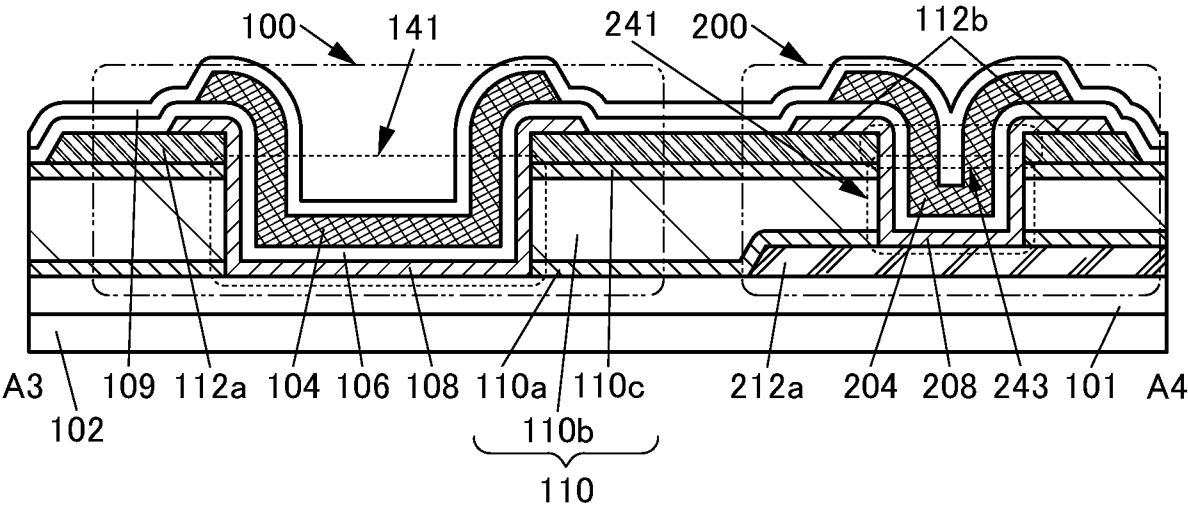


図25A

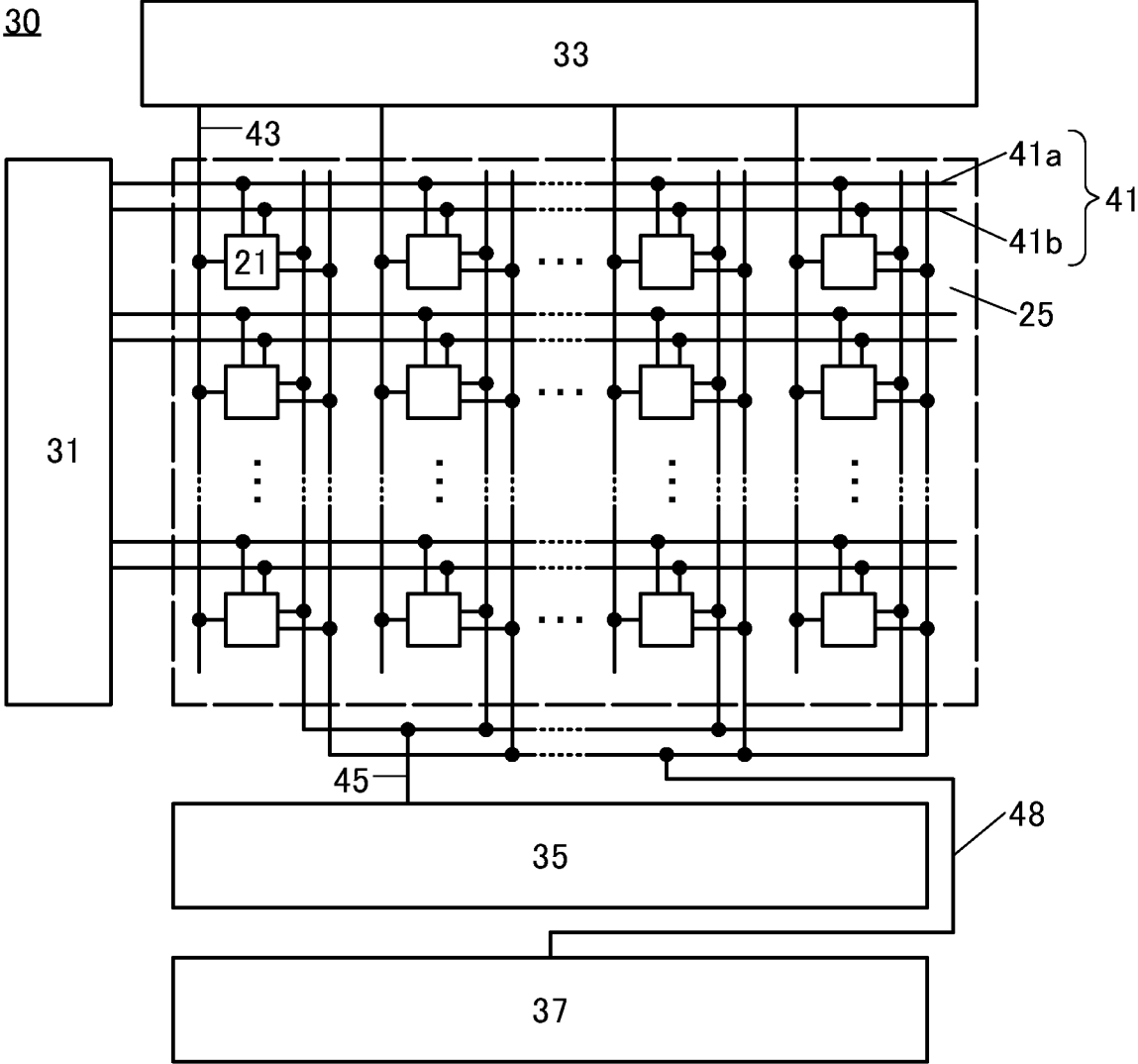


図25B

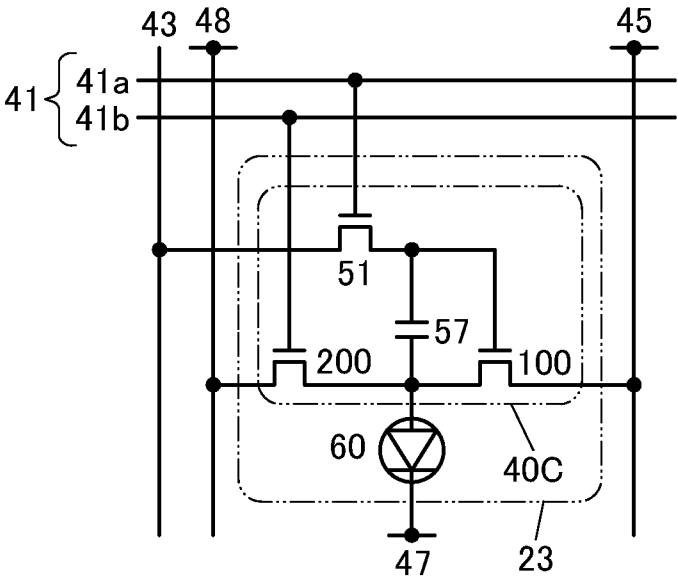


図26A

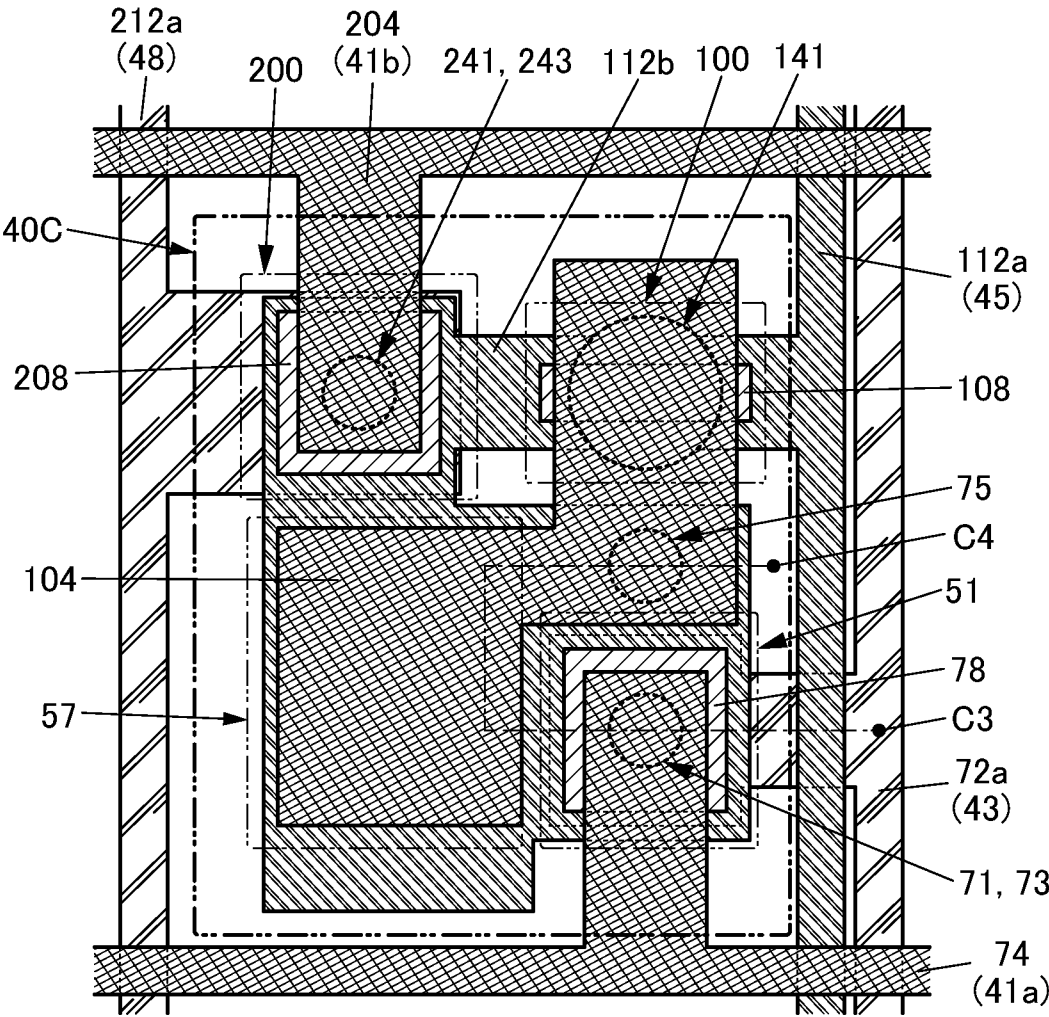
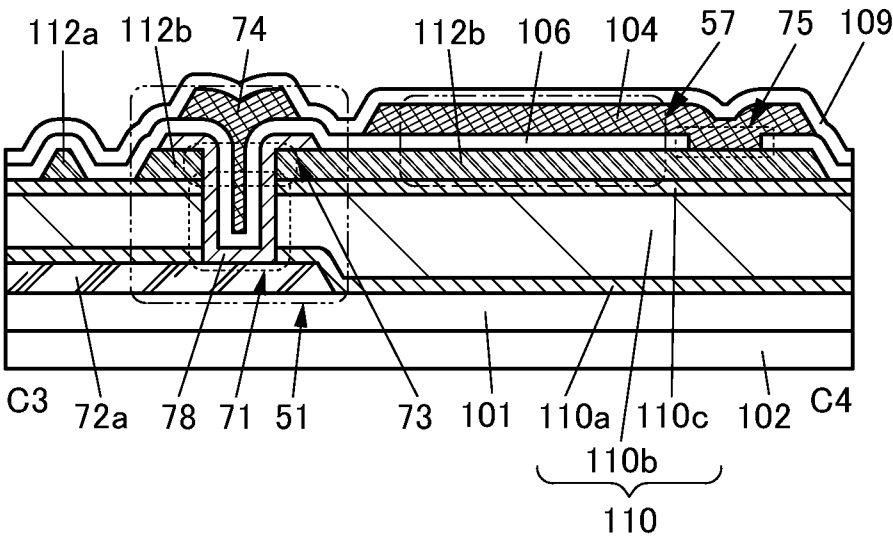
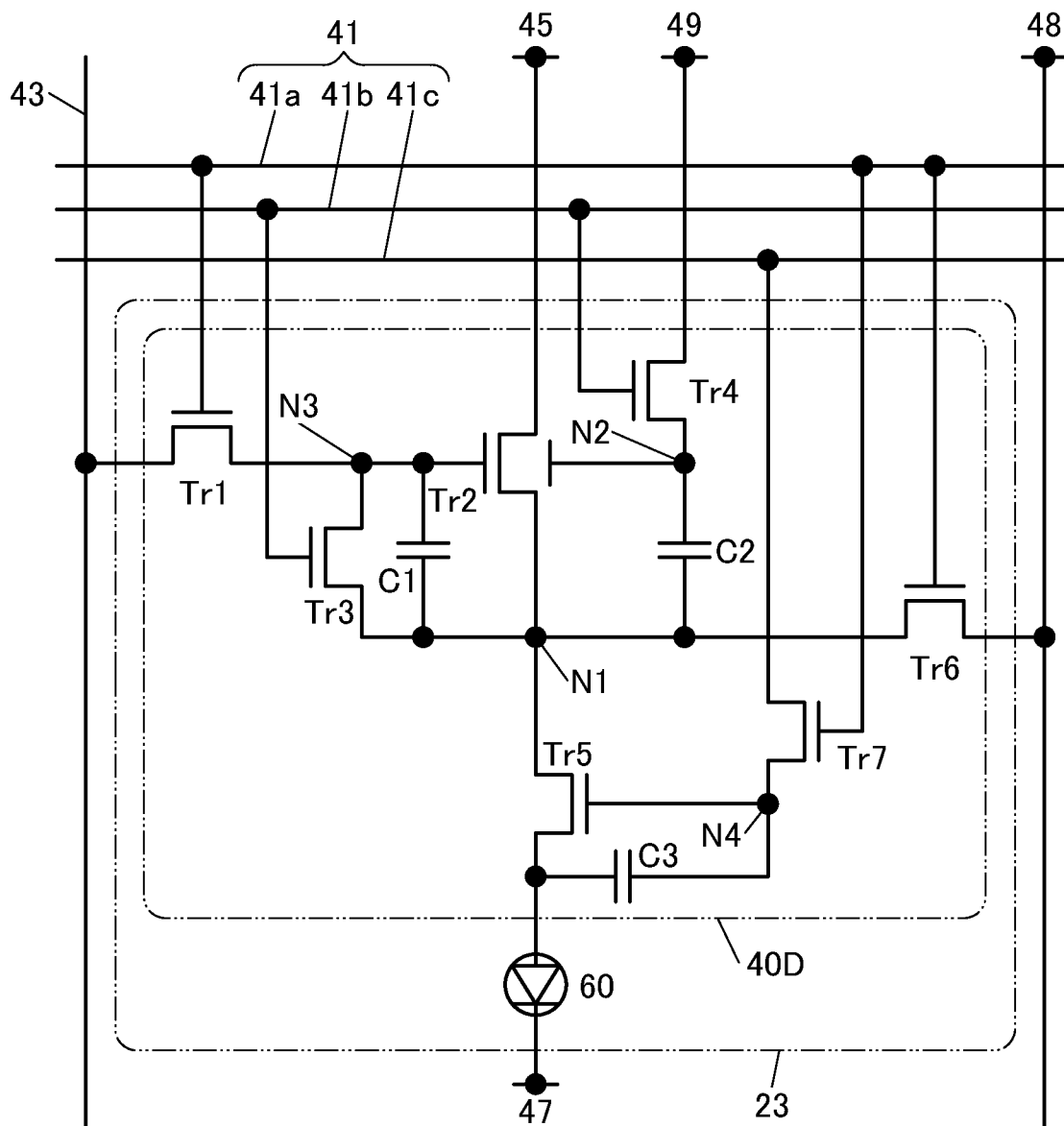
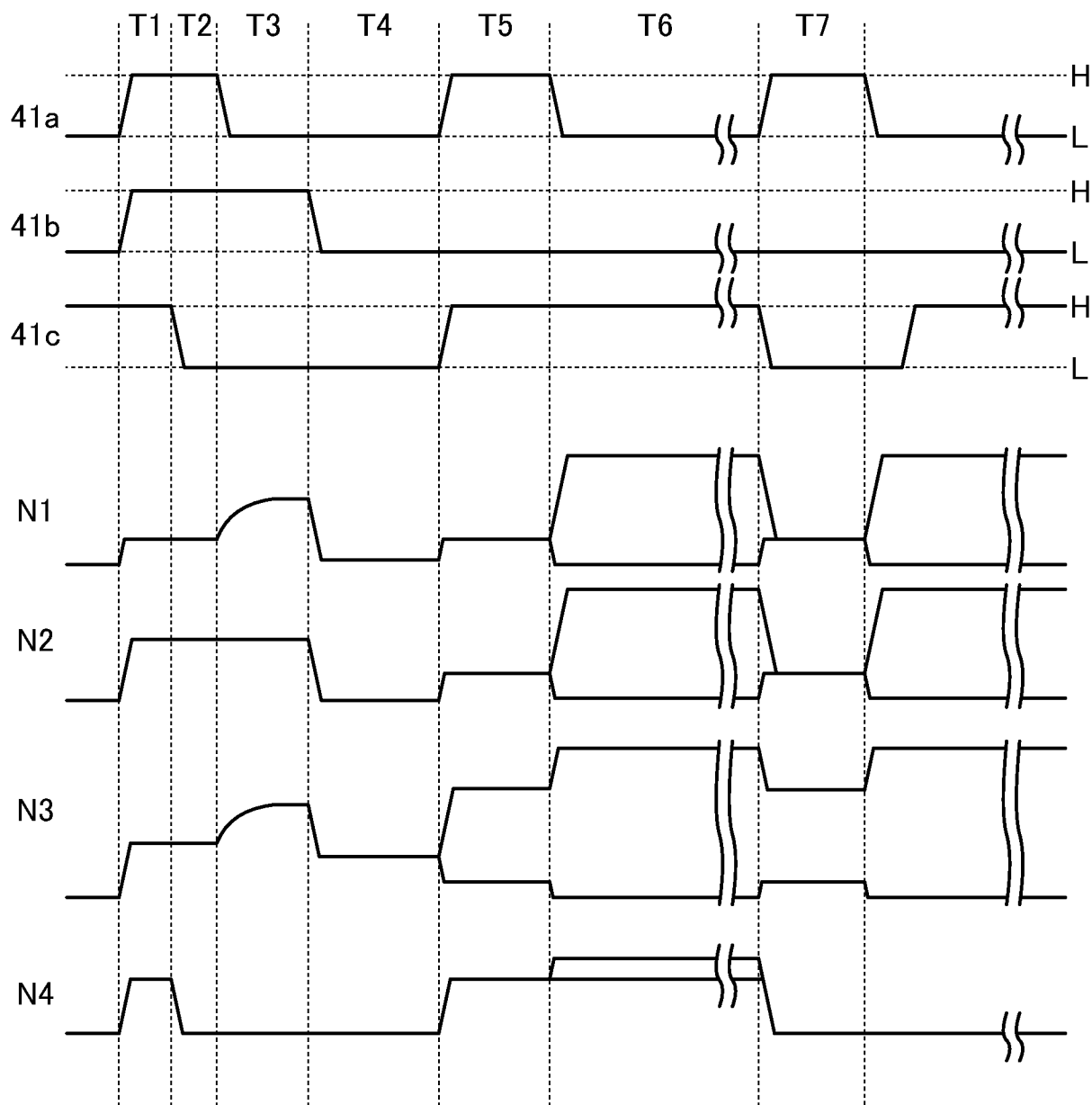
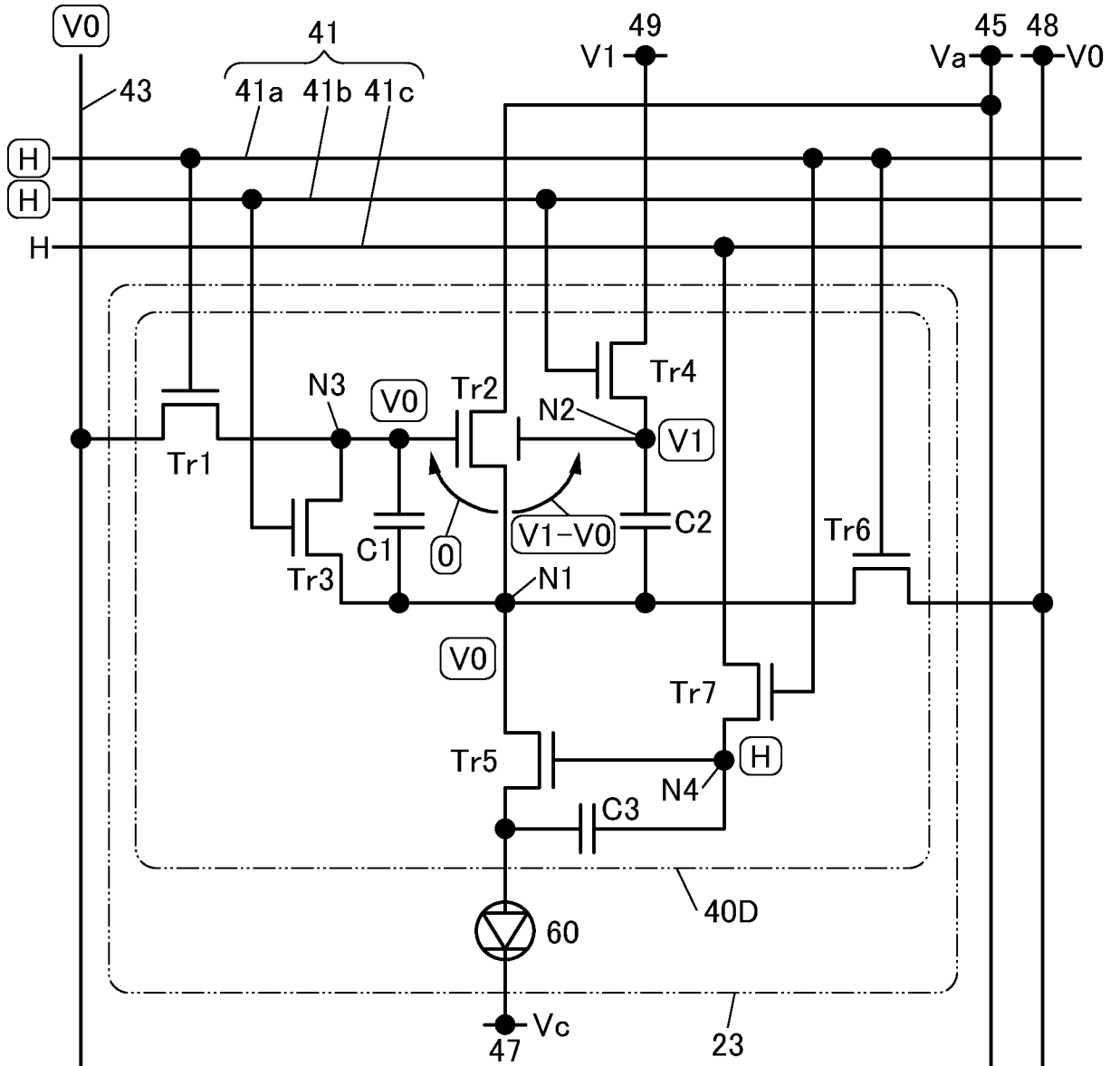


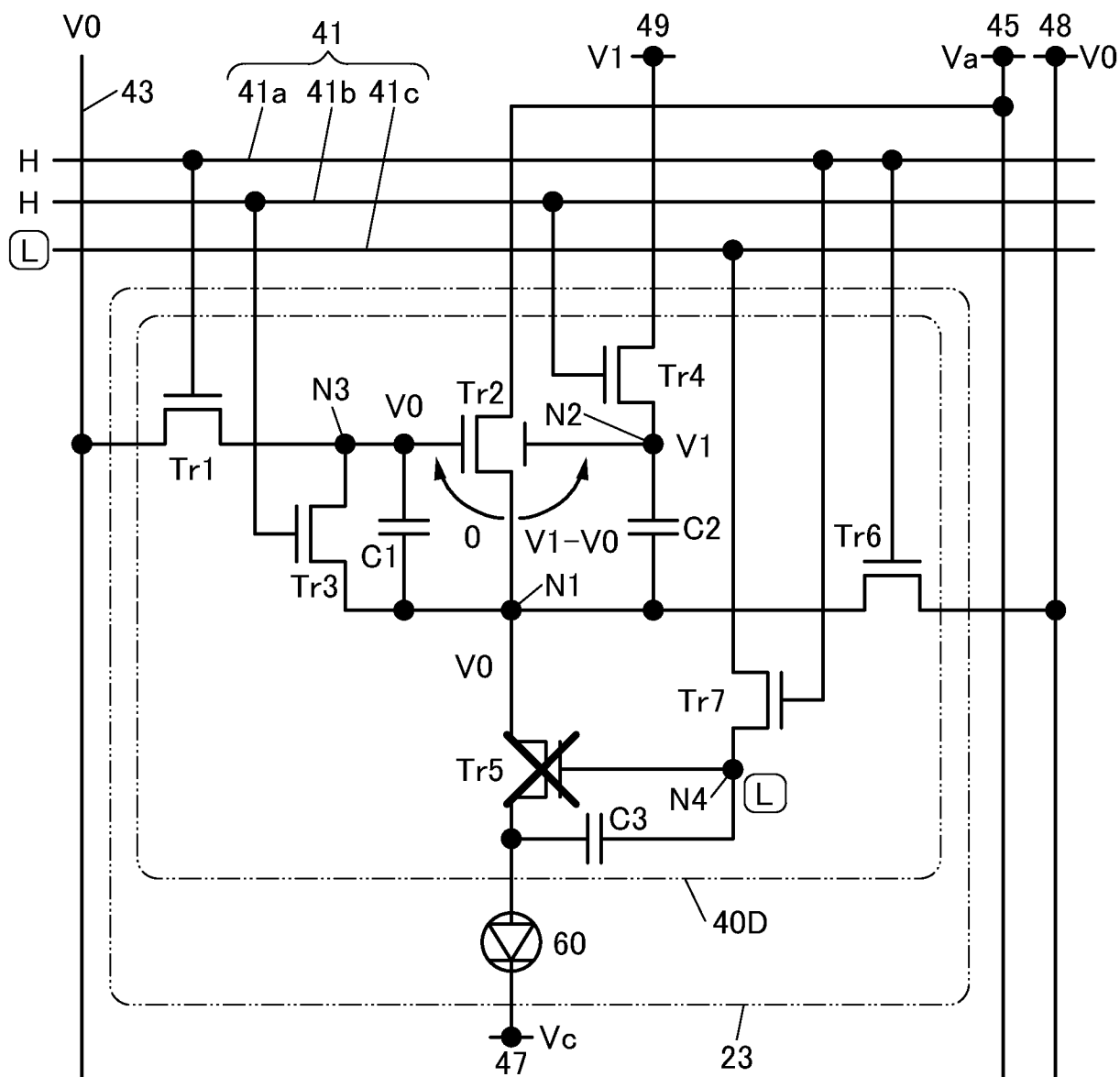
図26B

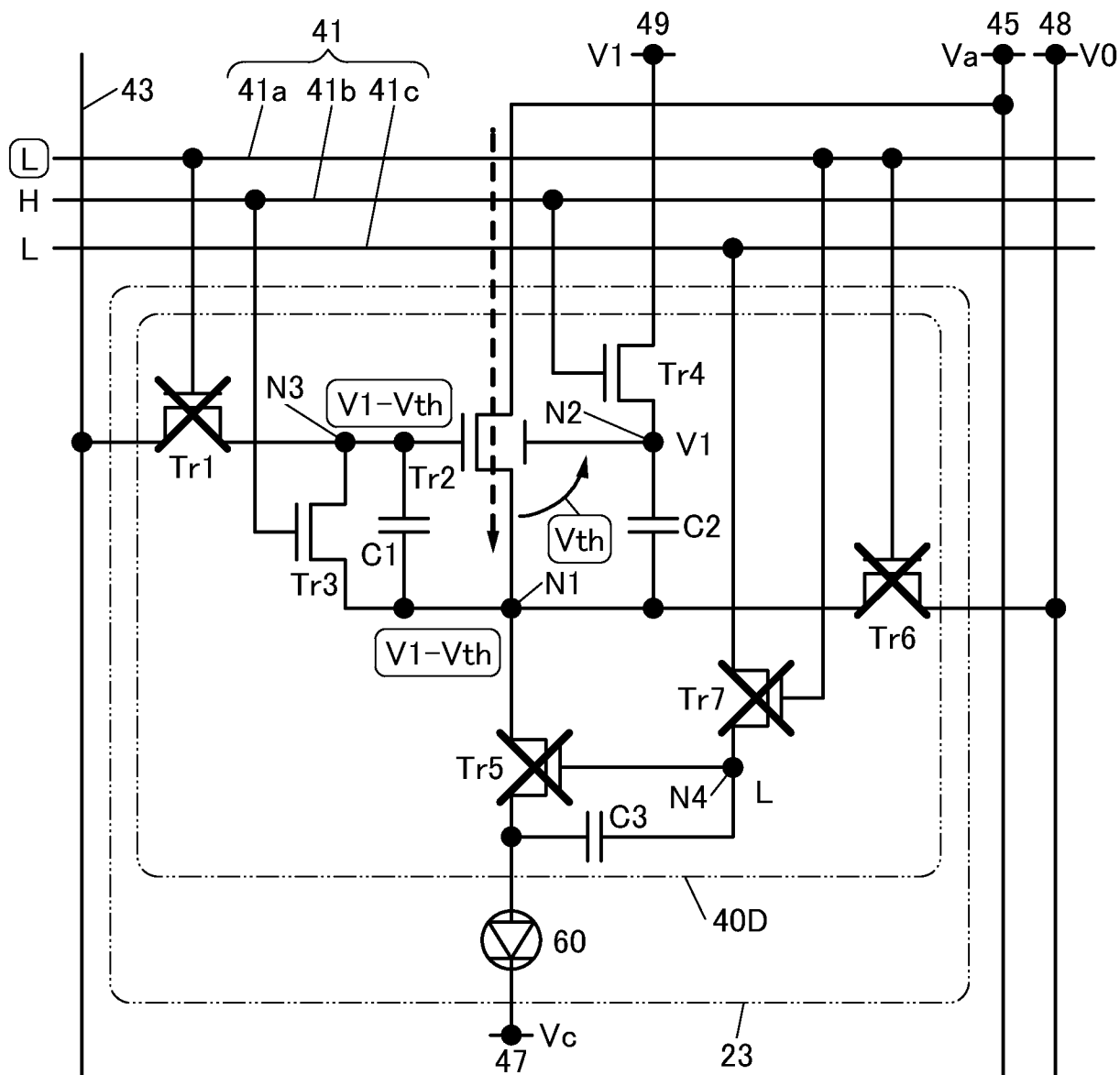






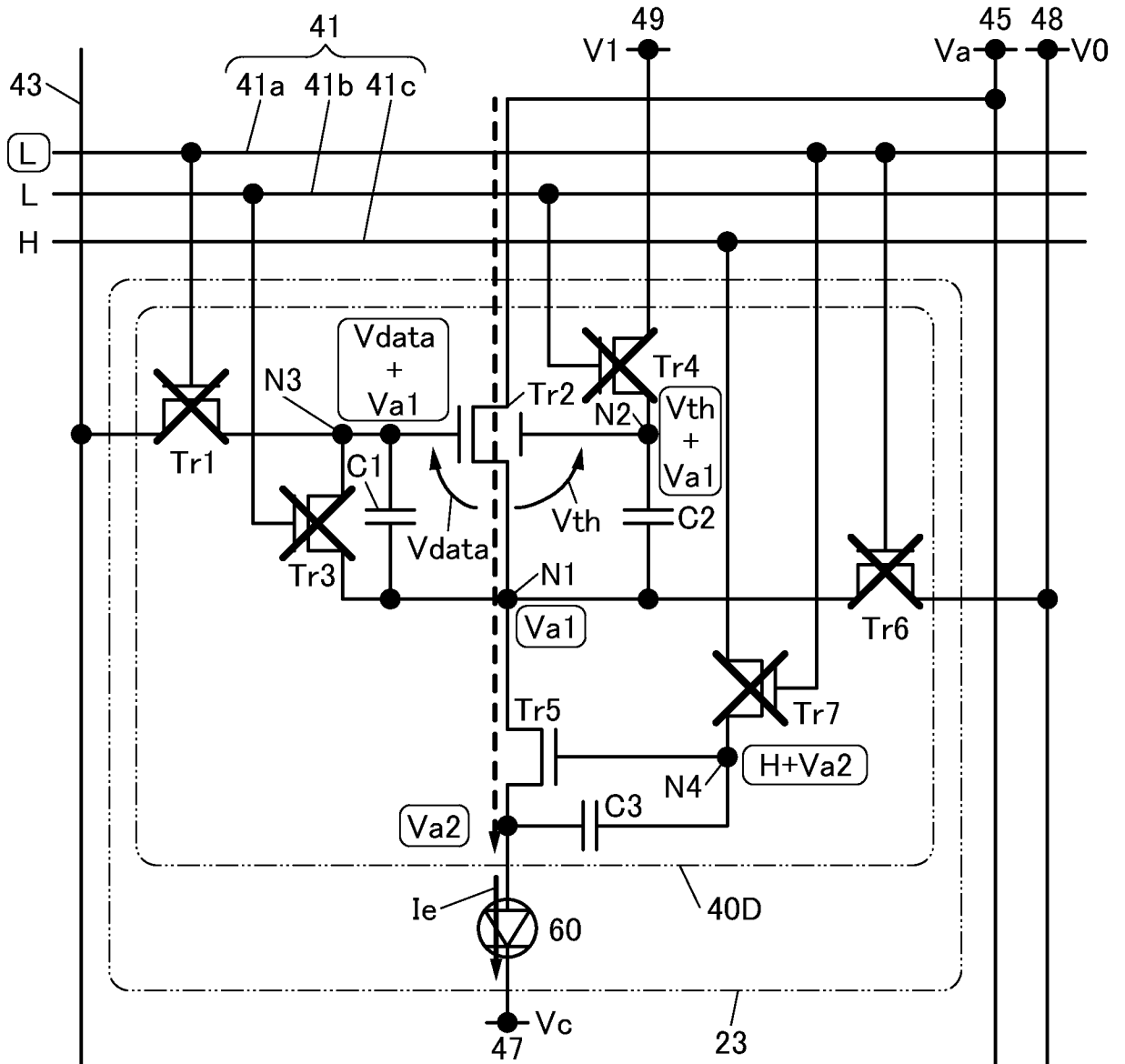












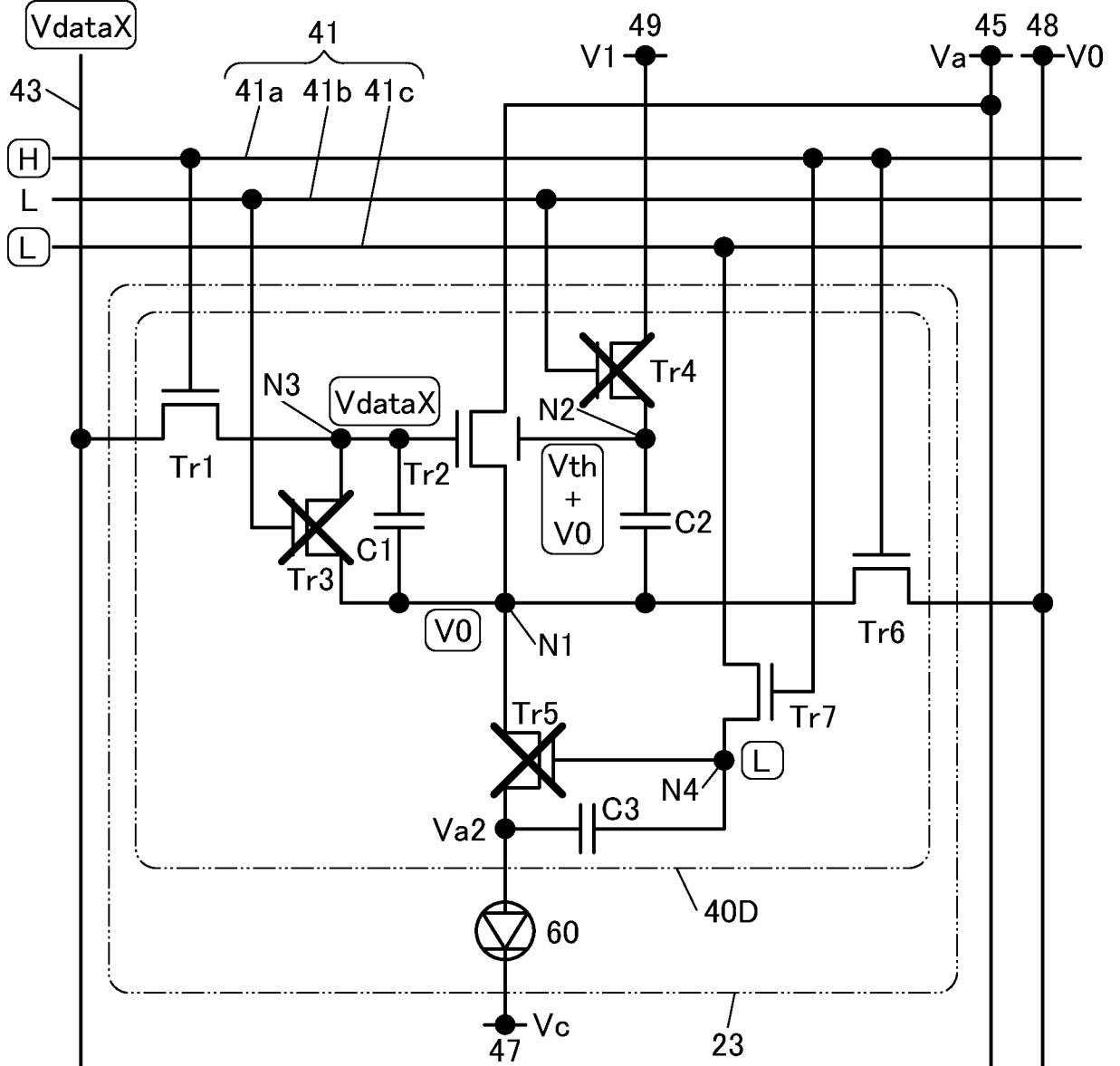


図36A

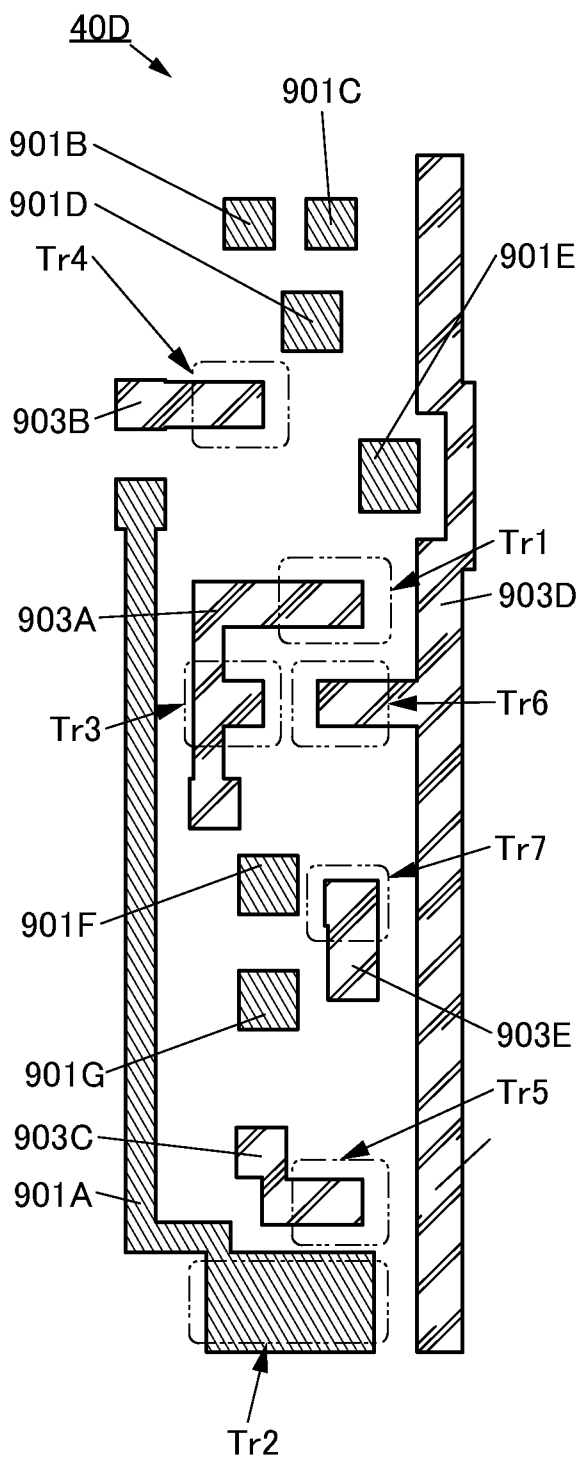


図36B

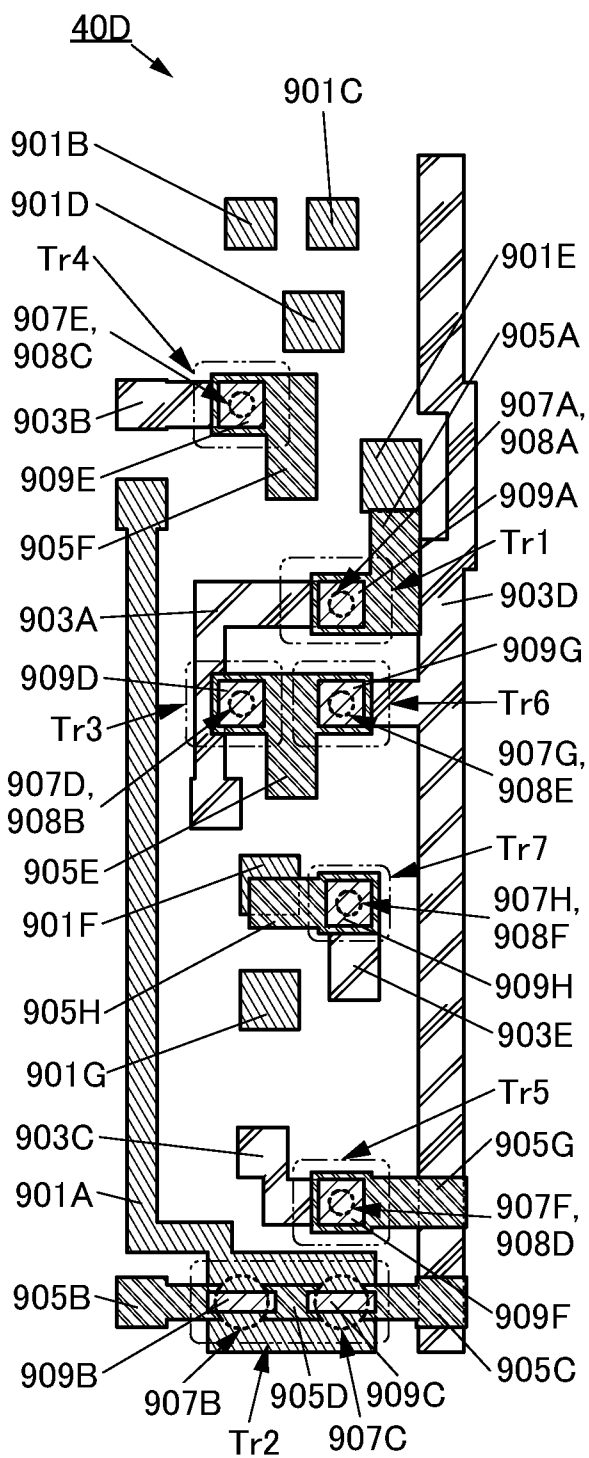


図37A

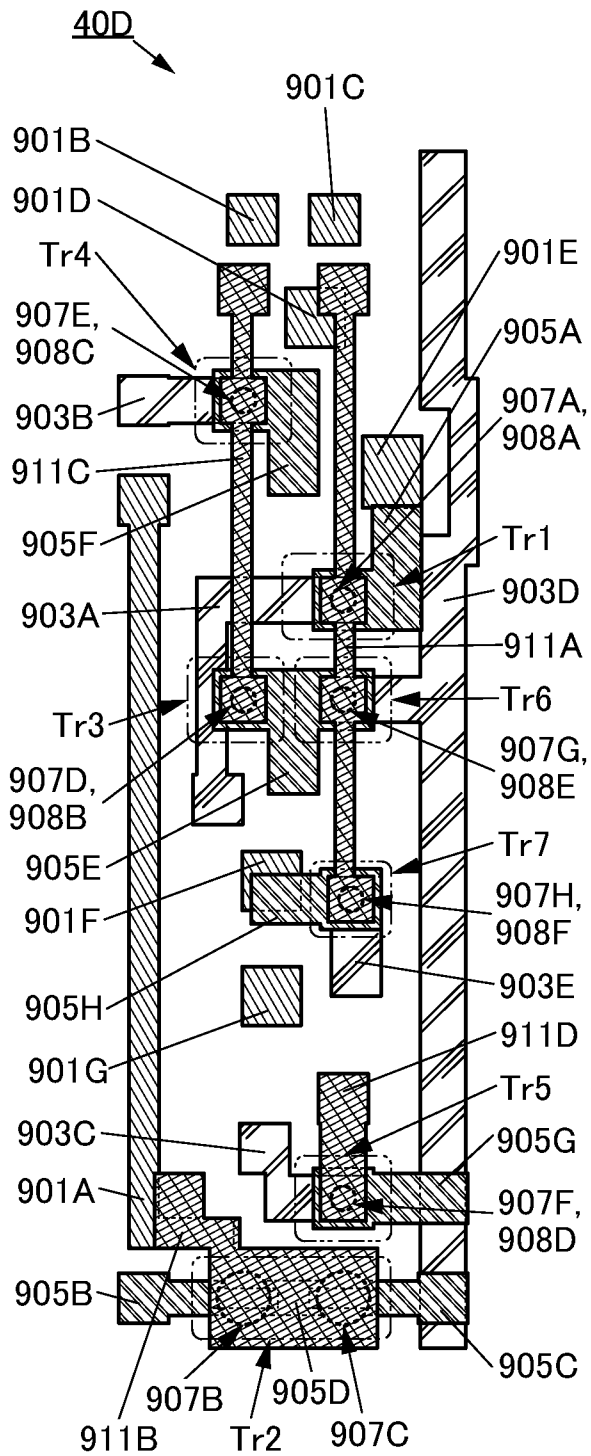


図37B

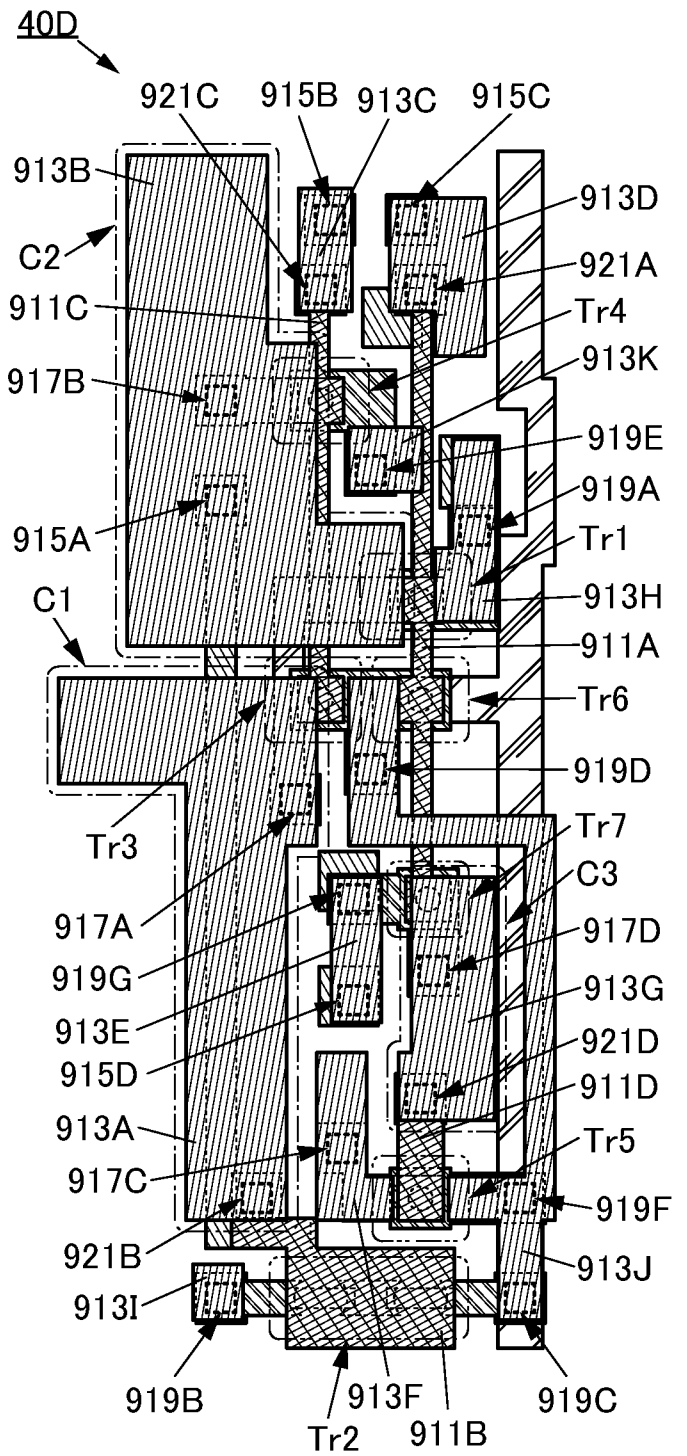


図38A

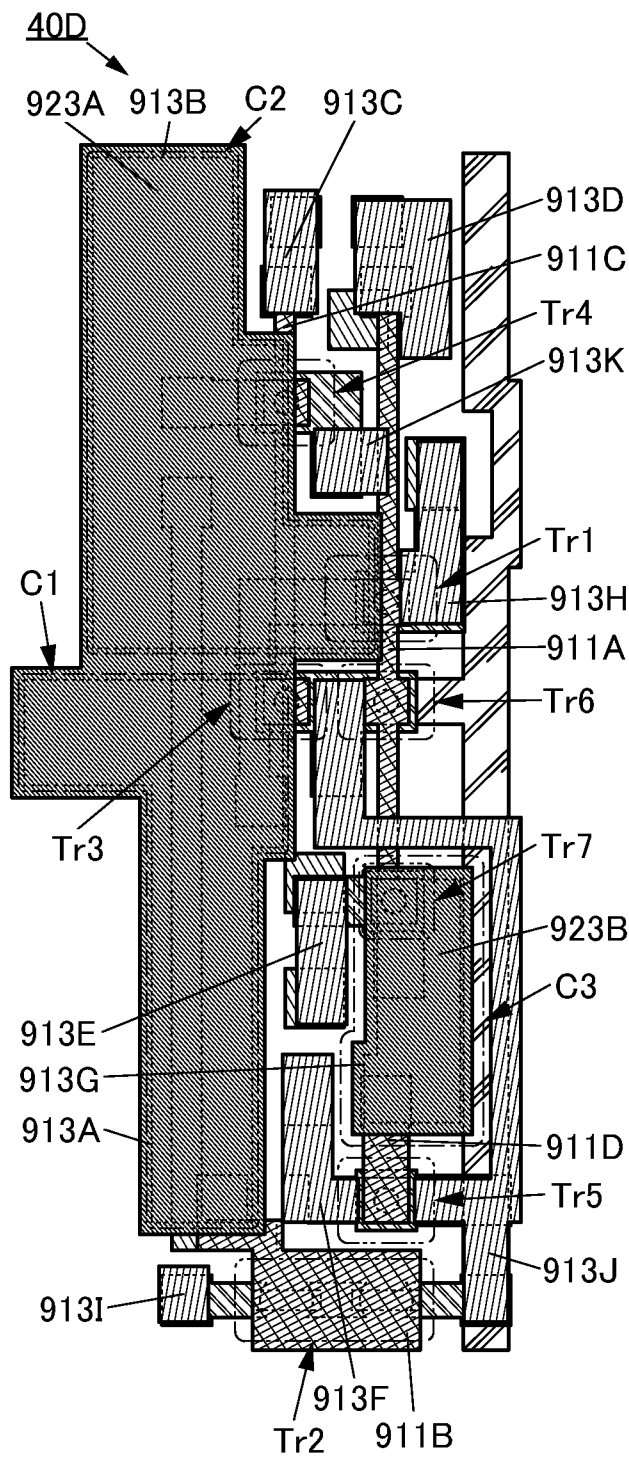
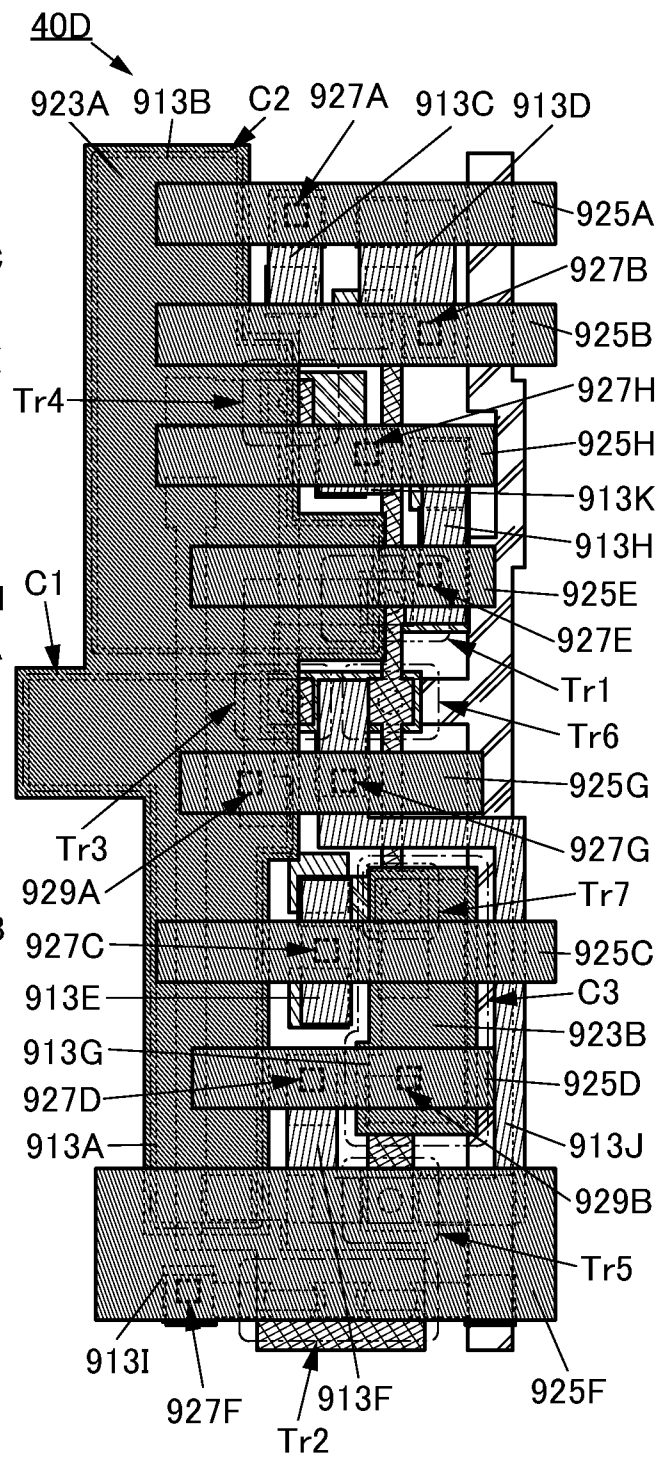
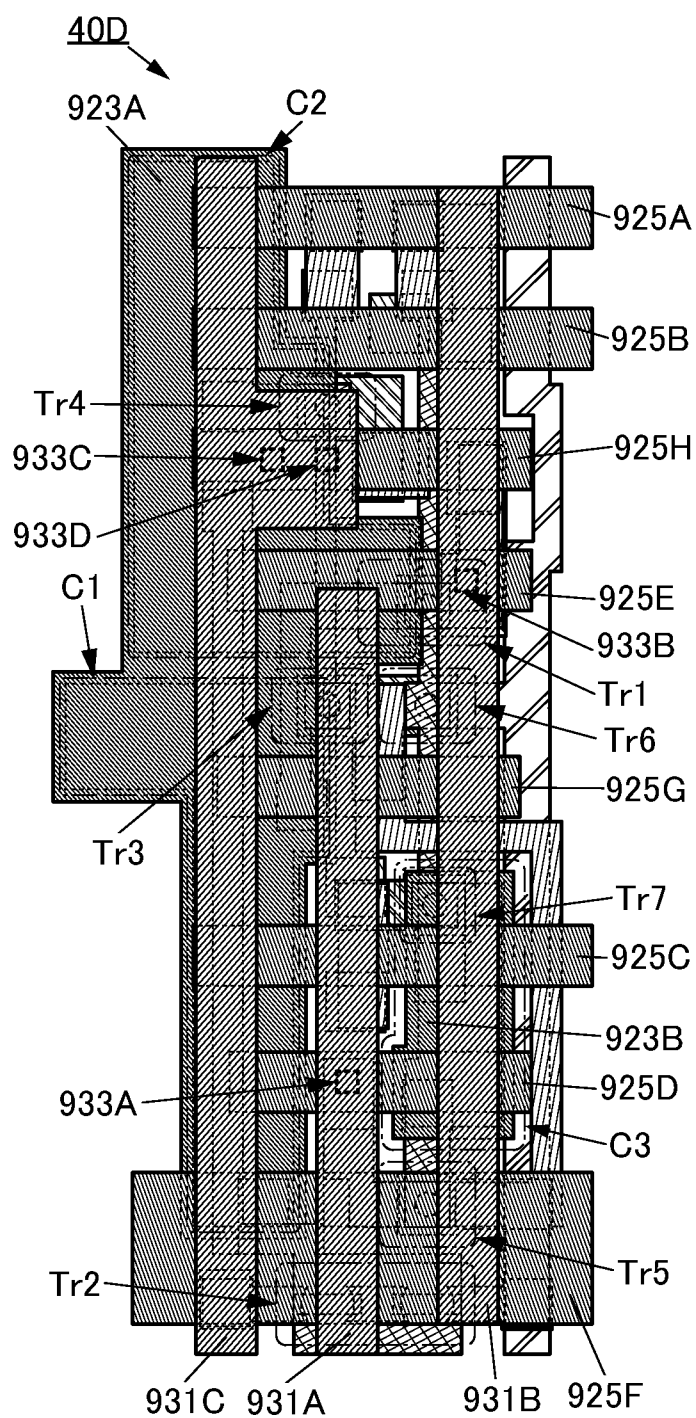
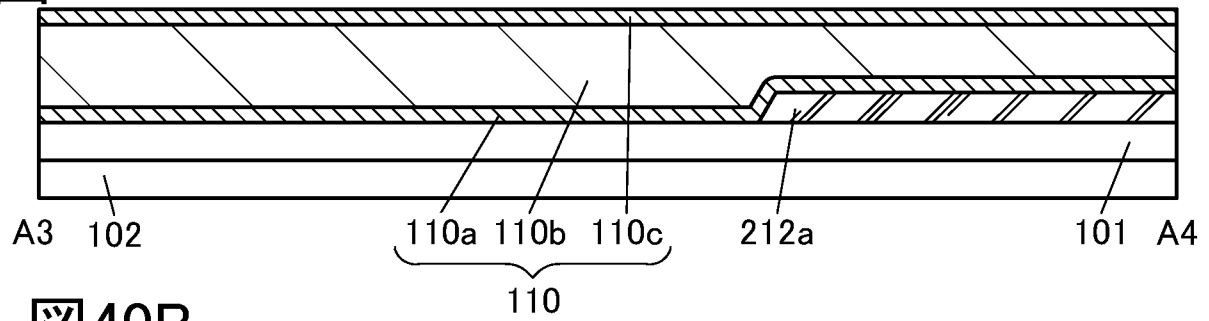


図38B

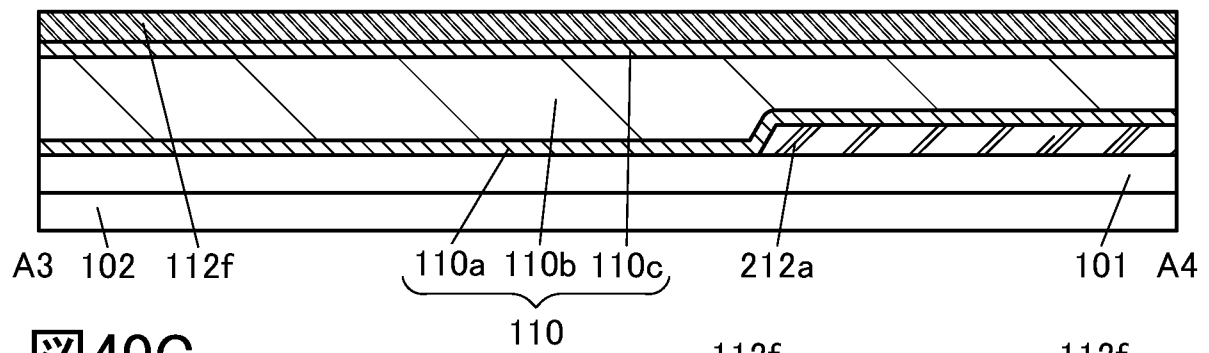




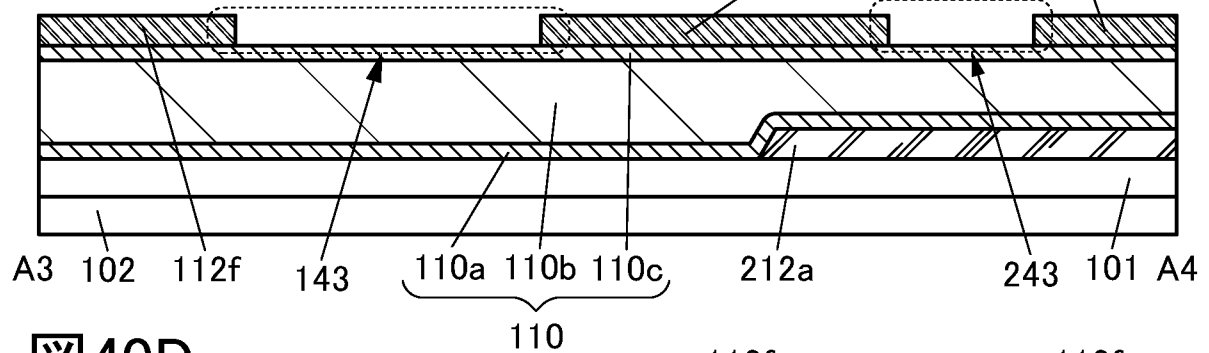
40A



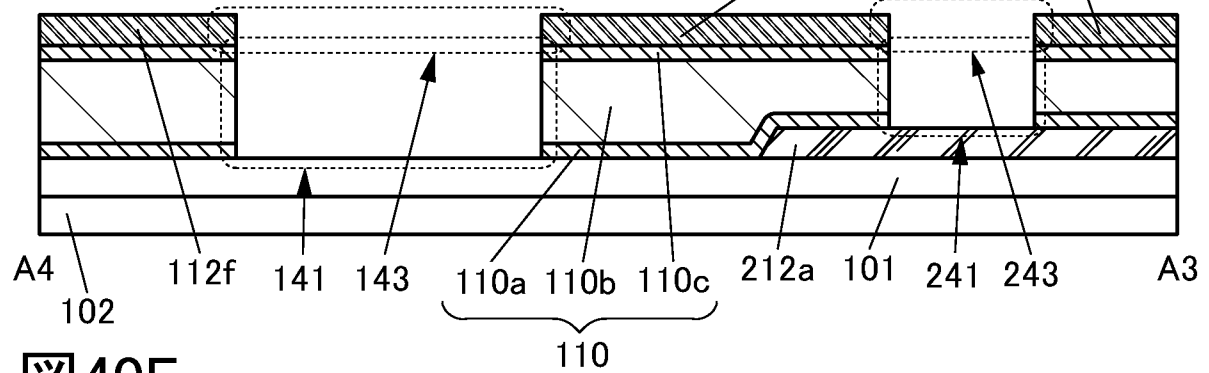
40B



40C



40D



40E

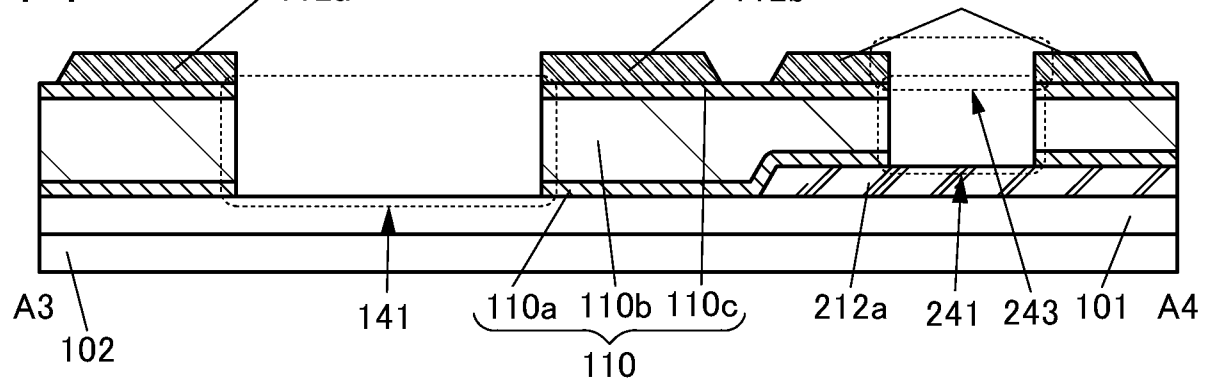


図41A

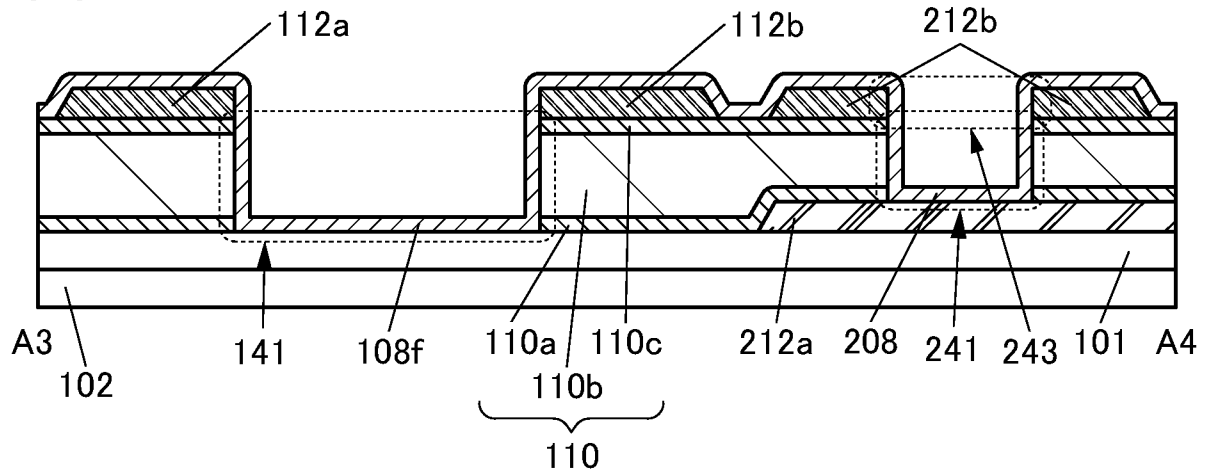


図41B

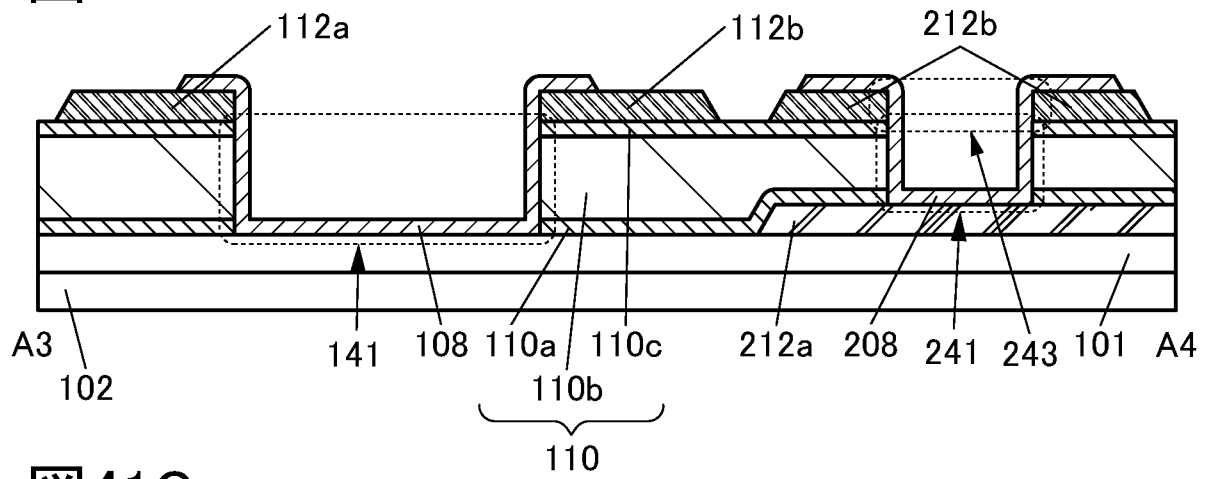


図41C

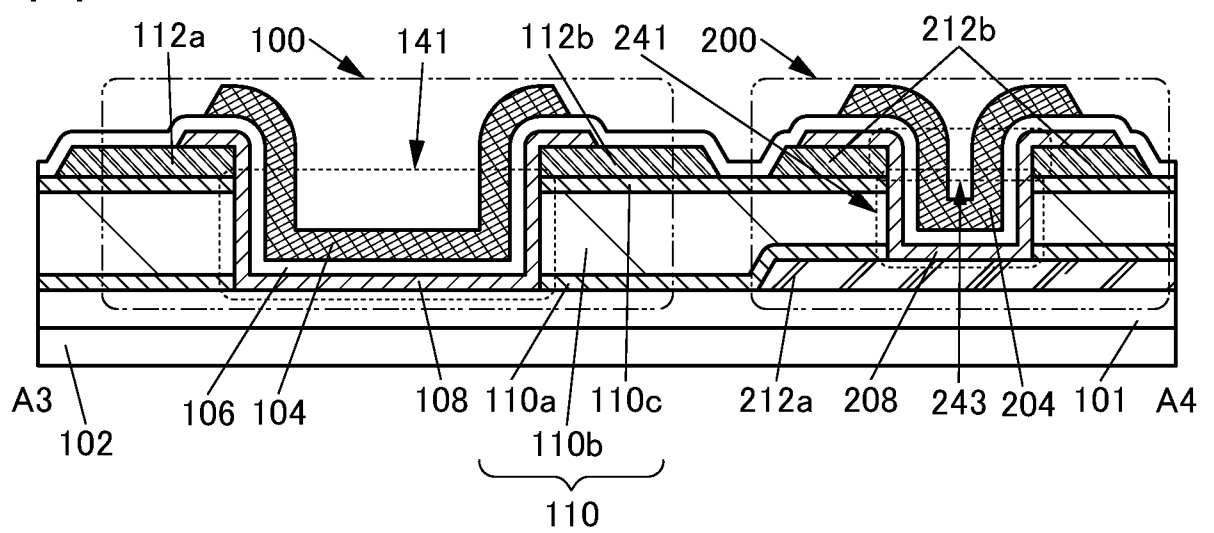


図42A

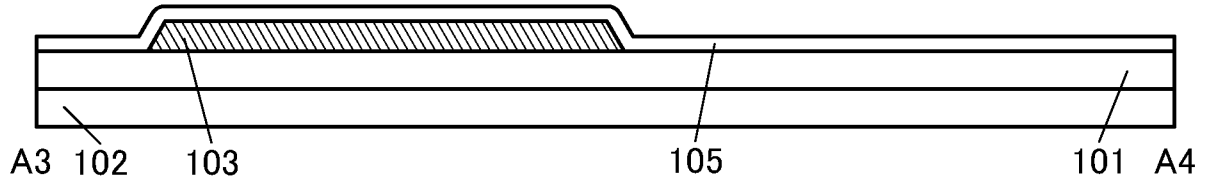


図42B

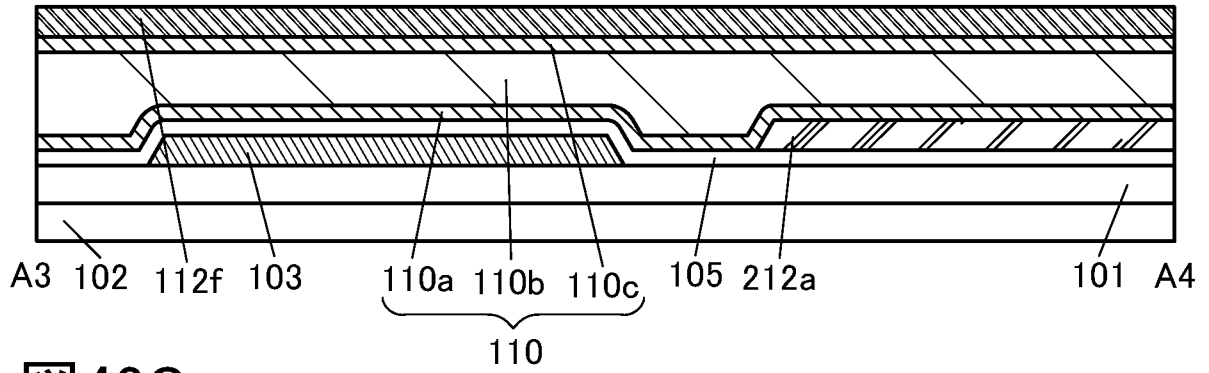


図42C

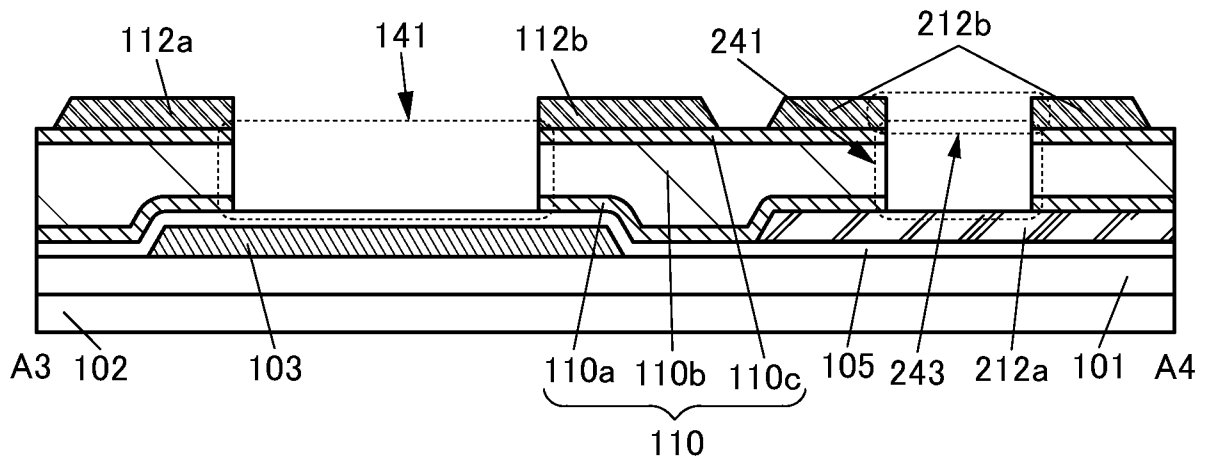


図42D

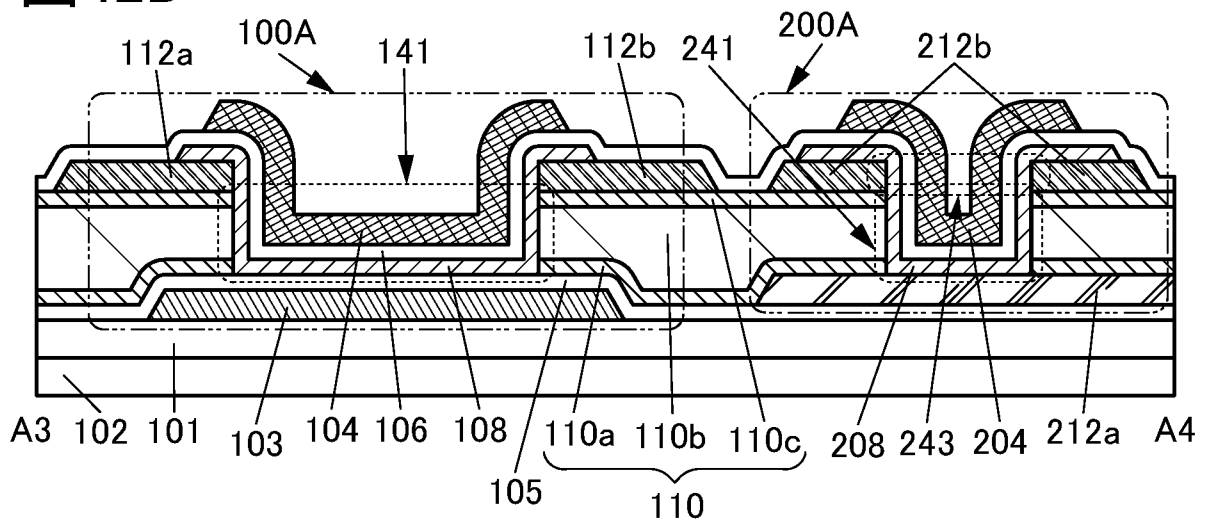


図43A

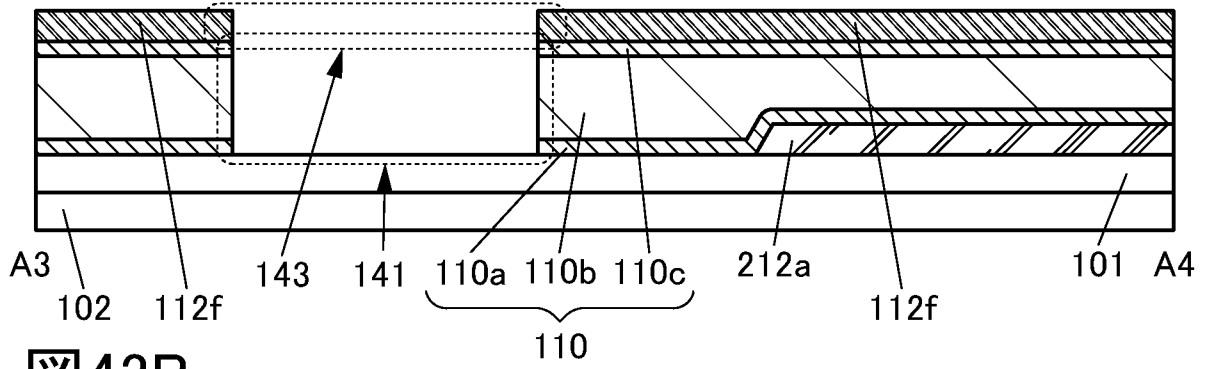


図43B

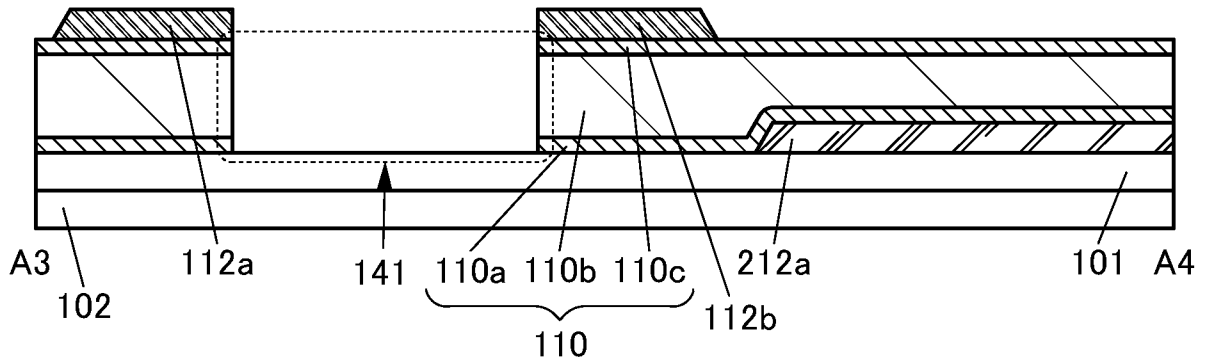


図43C

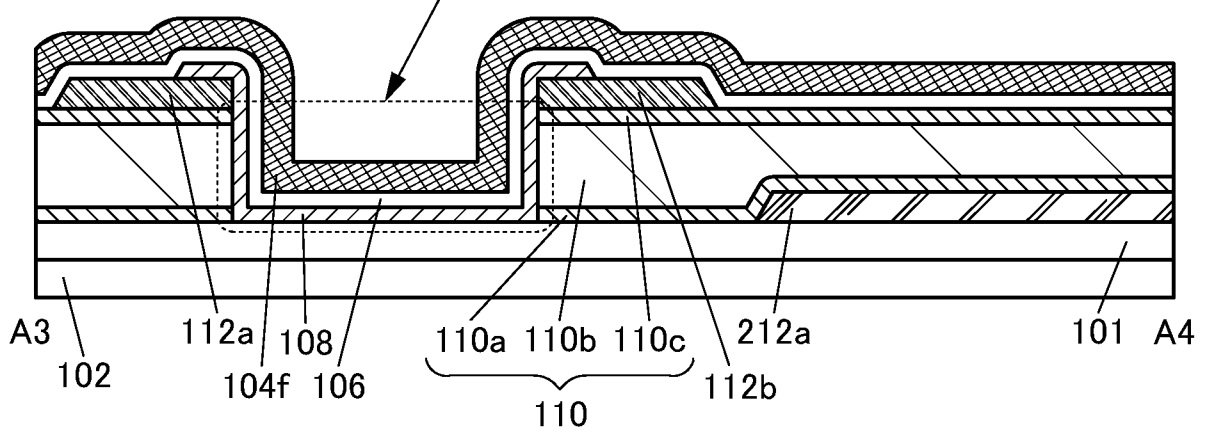


図43D

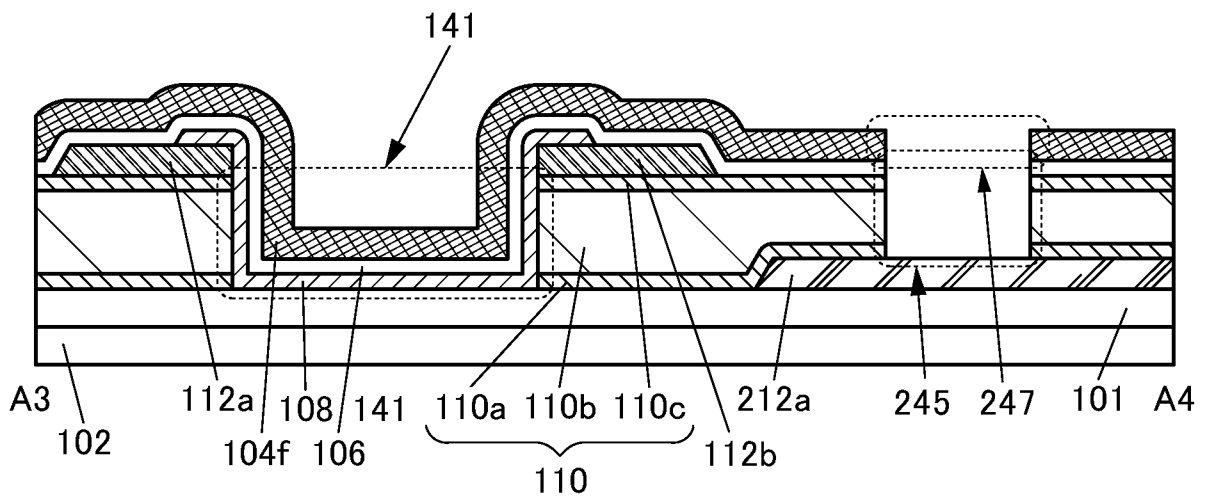


图44A

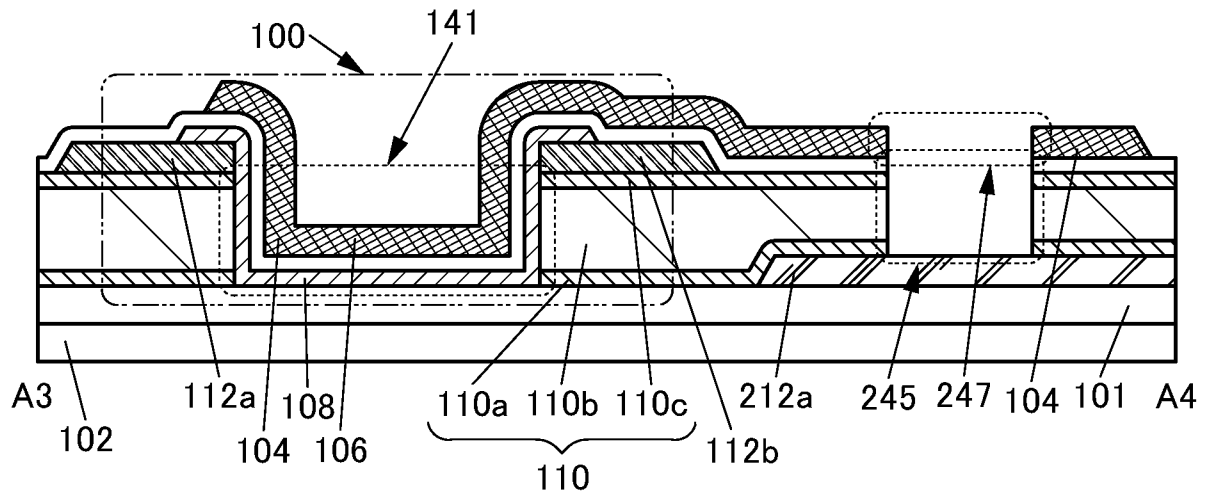


图44B

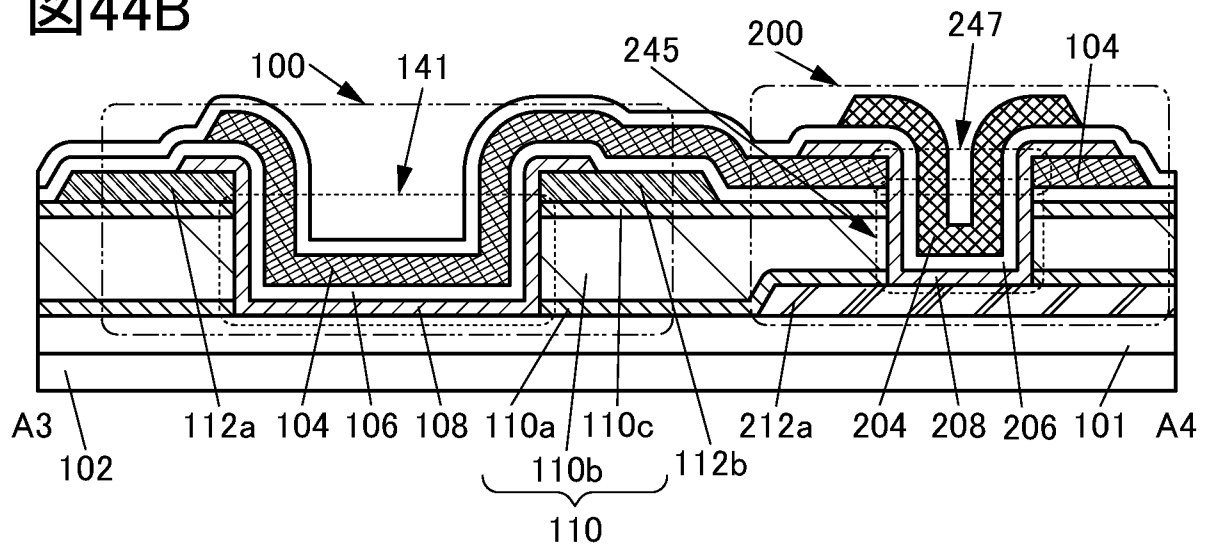


図45A

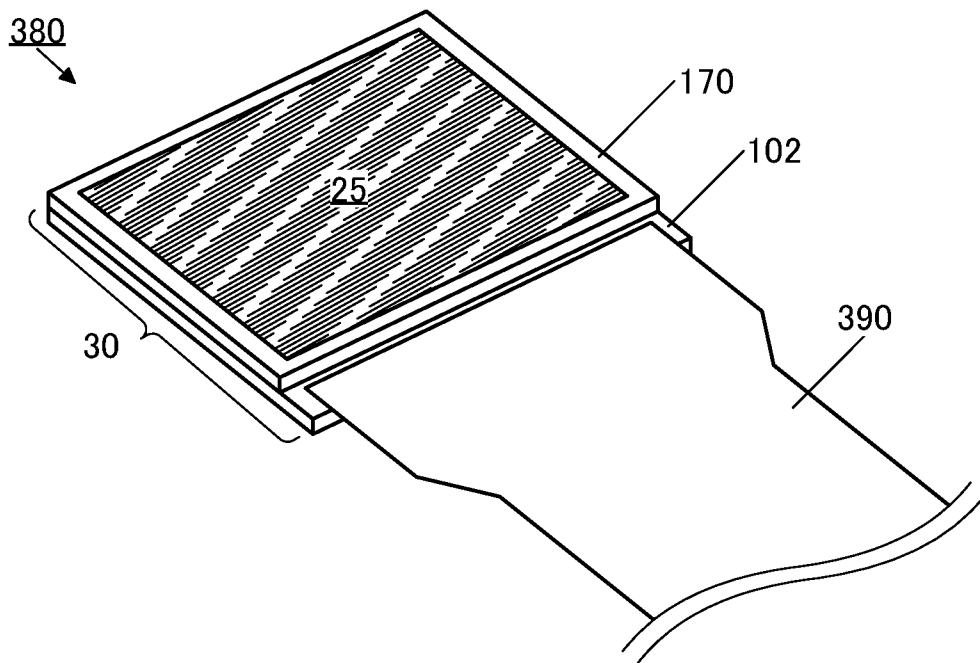
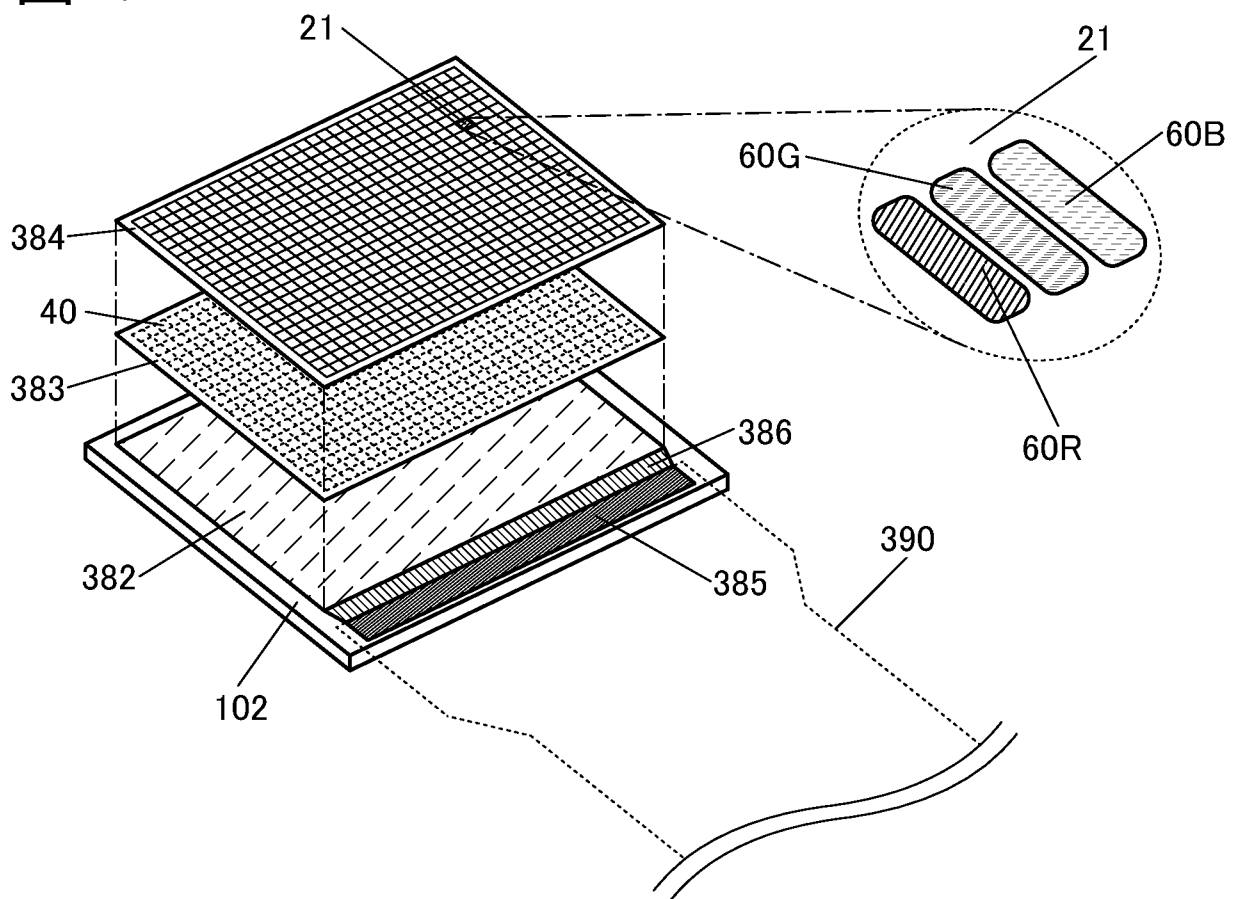
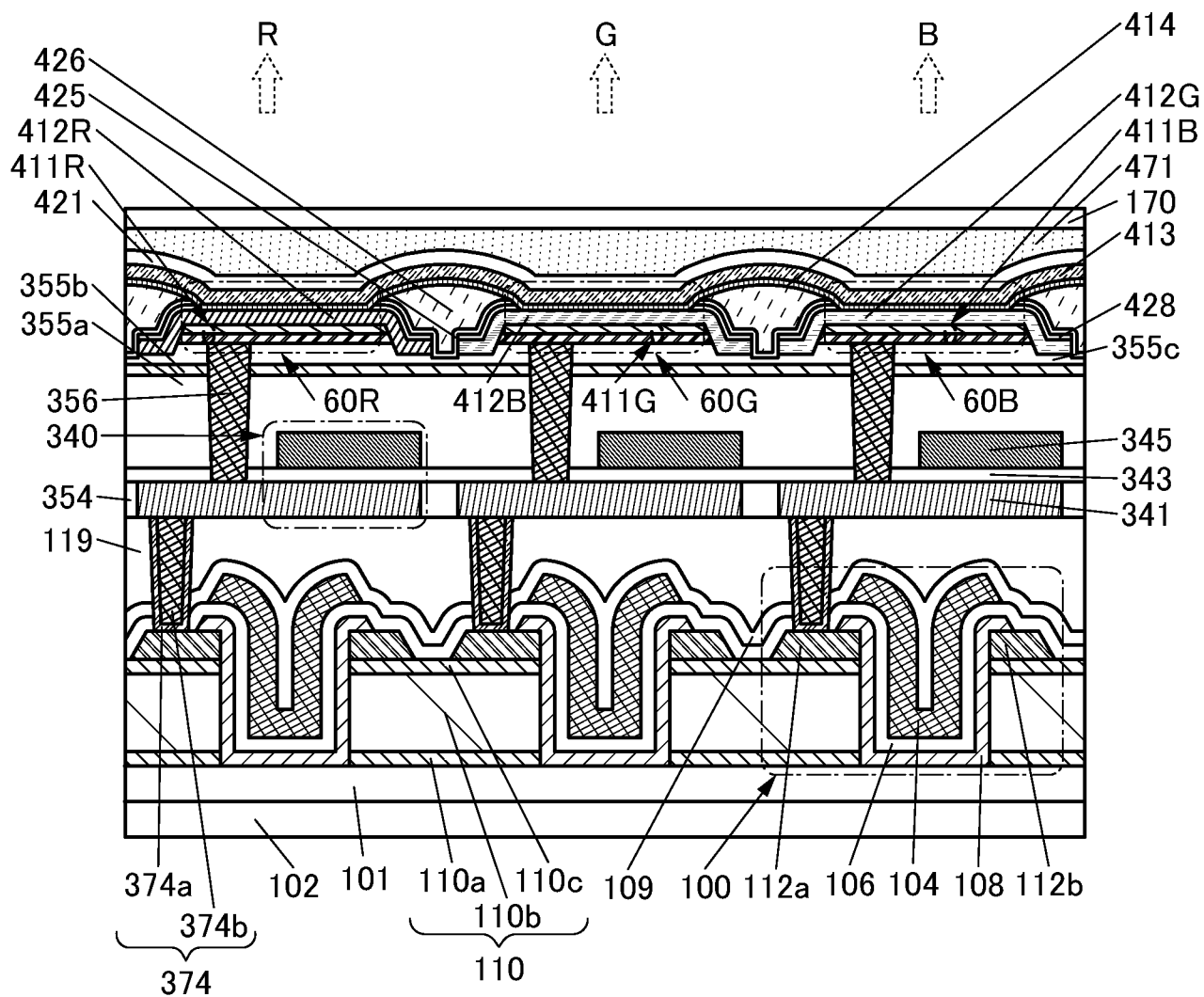


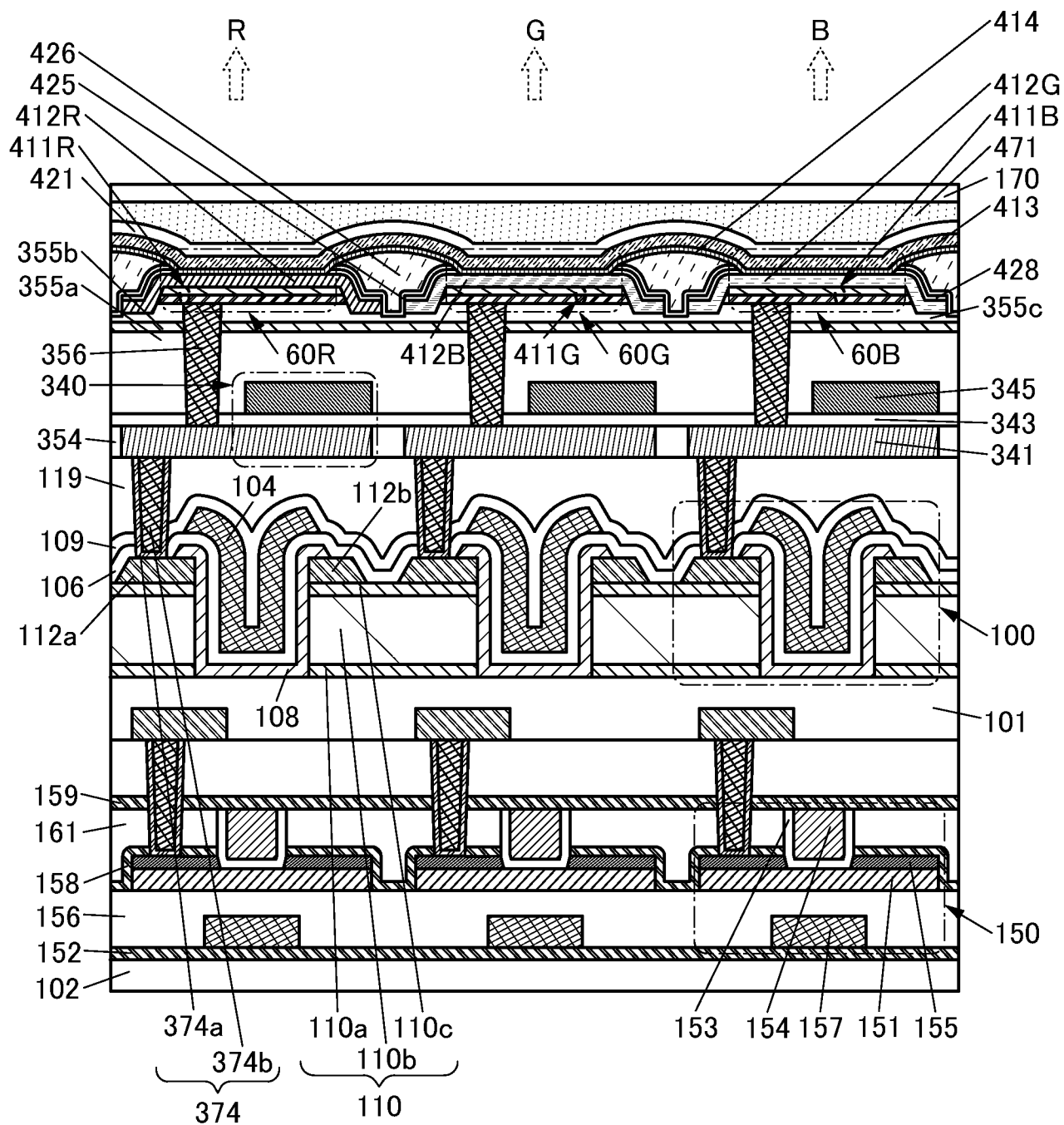
図45B



30A



30B



30C

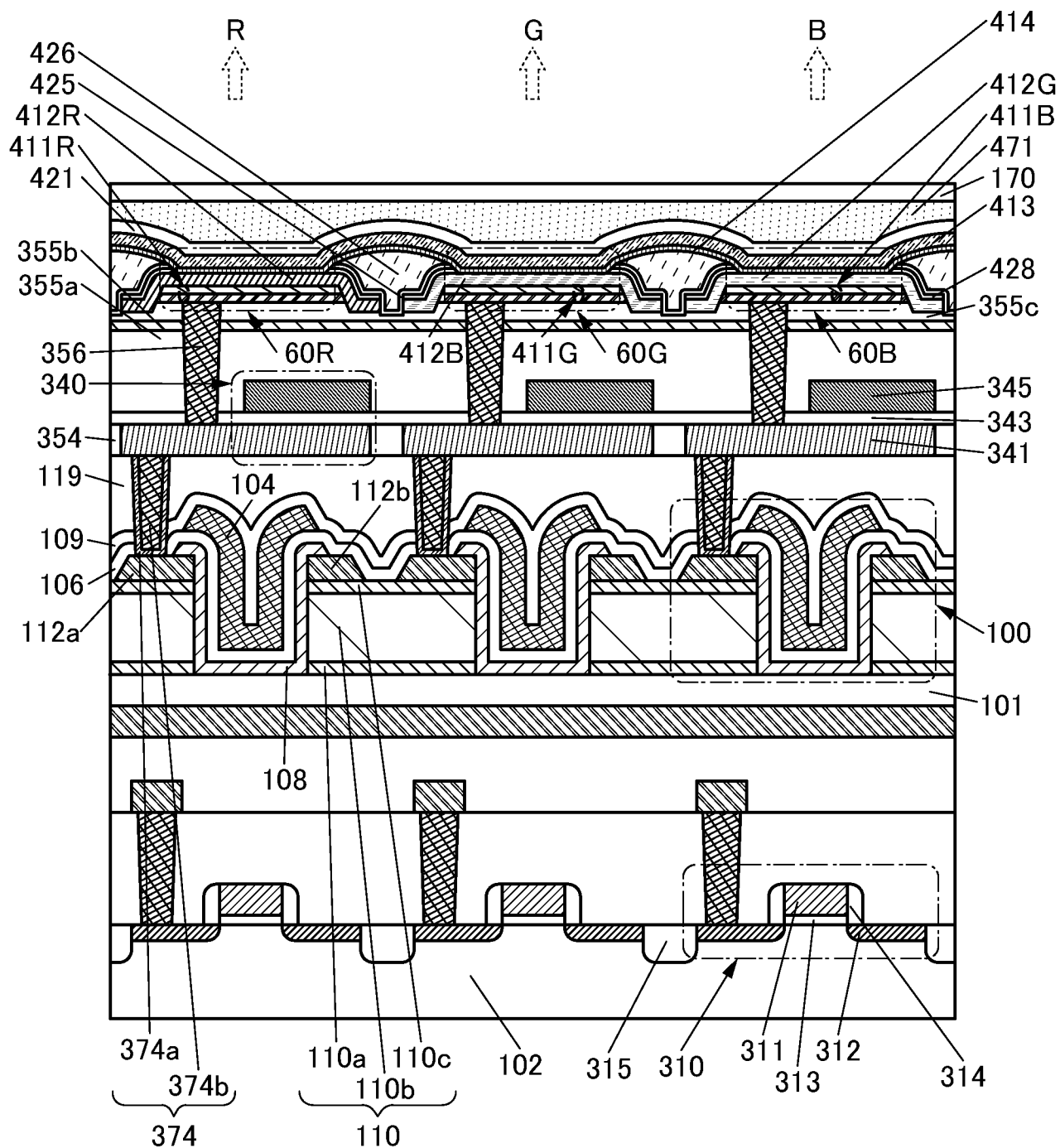


図49A

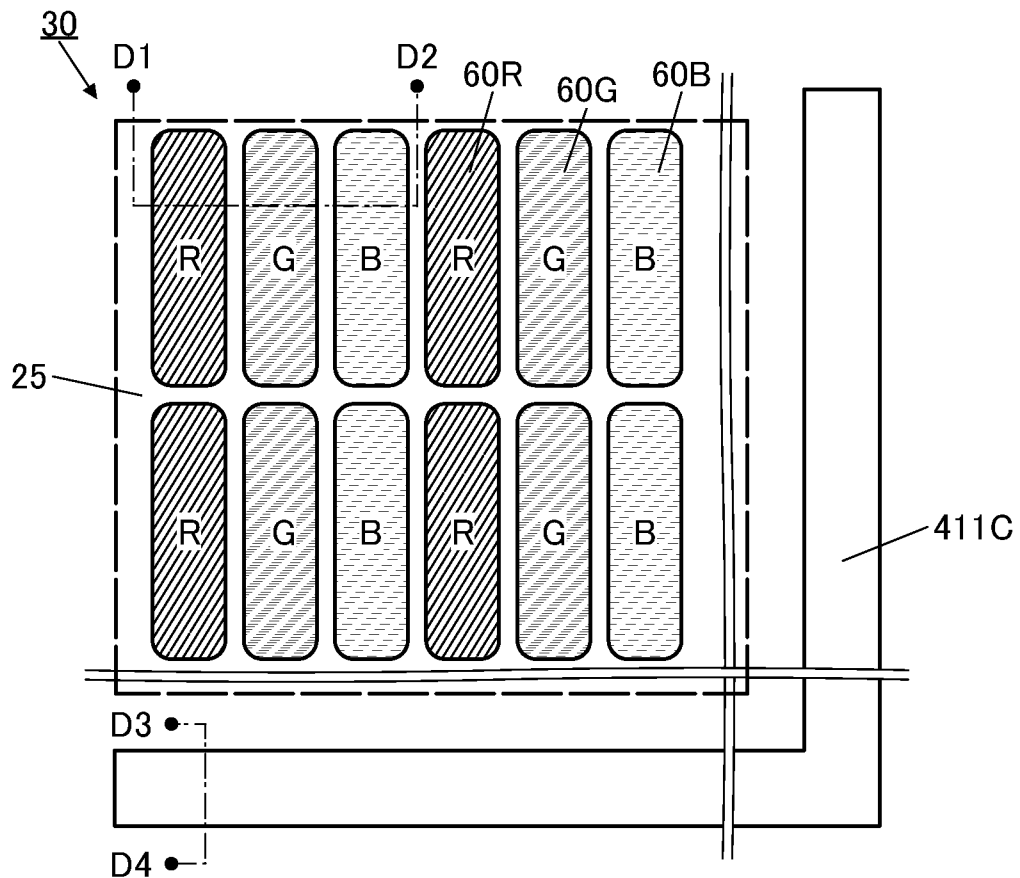


图 49B

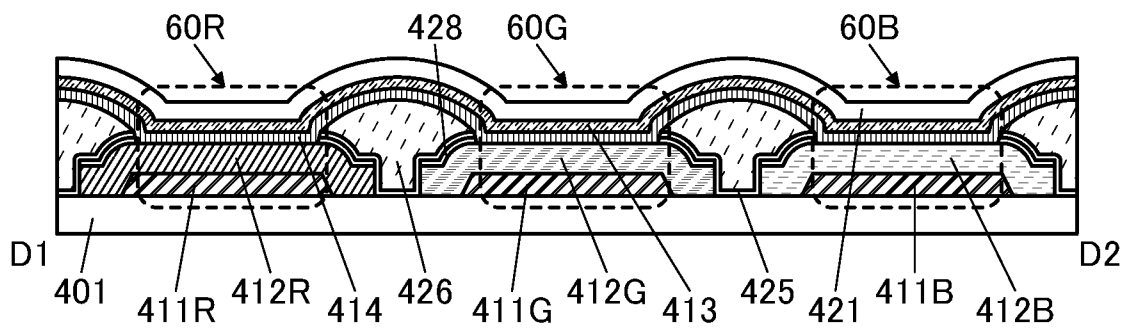


図49C

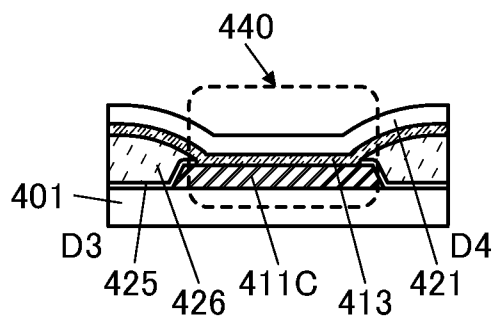


図50A

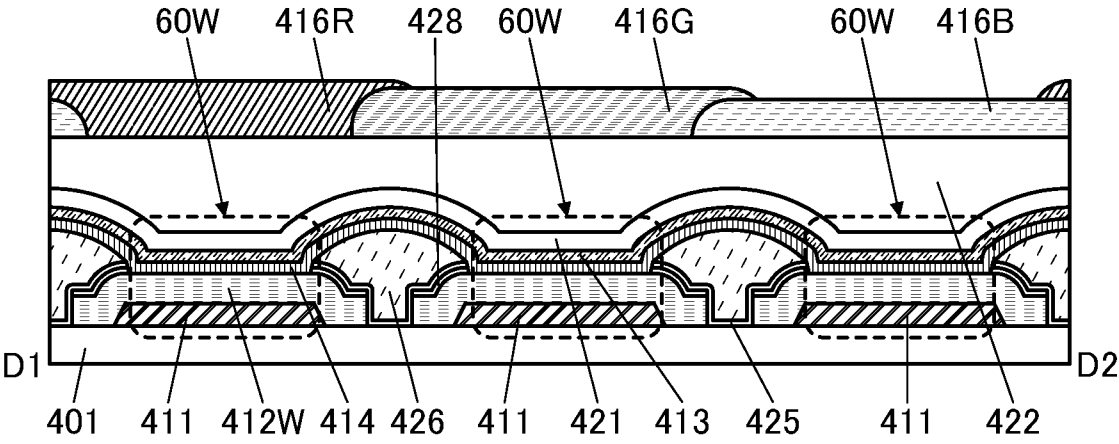
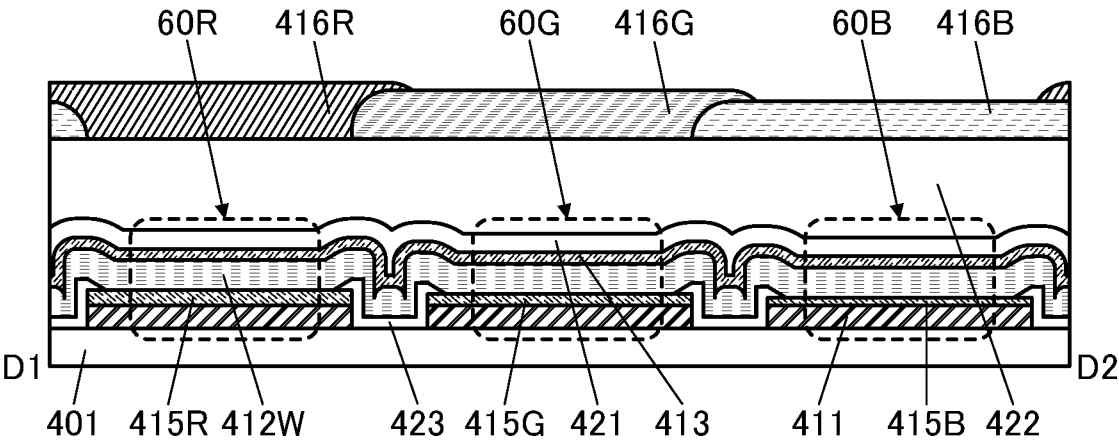


図50B



70

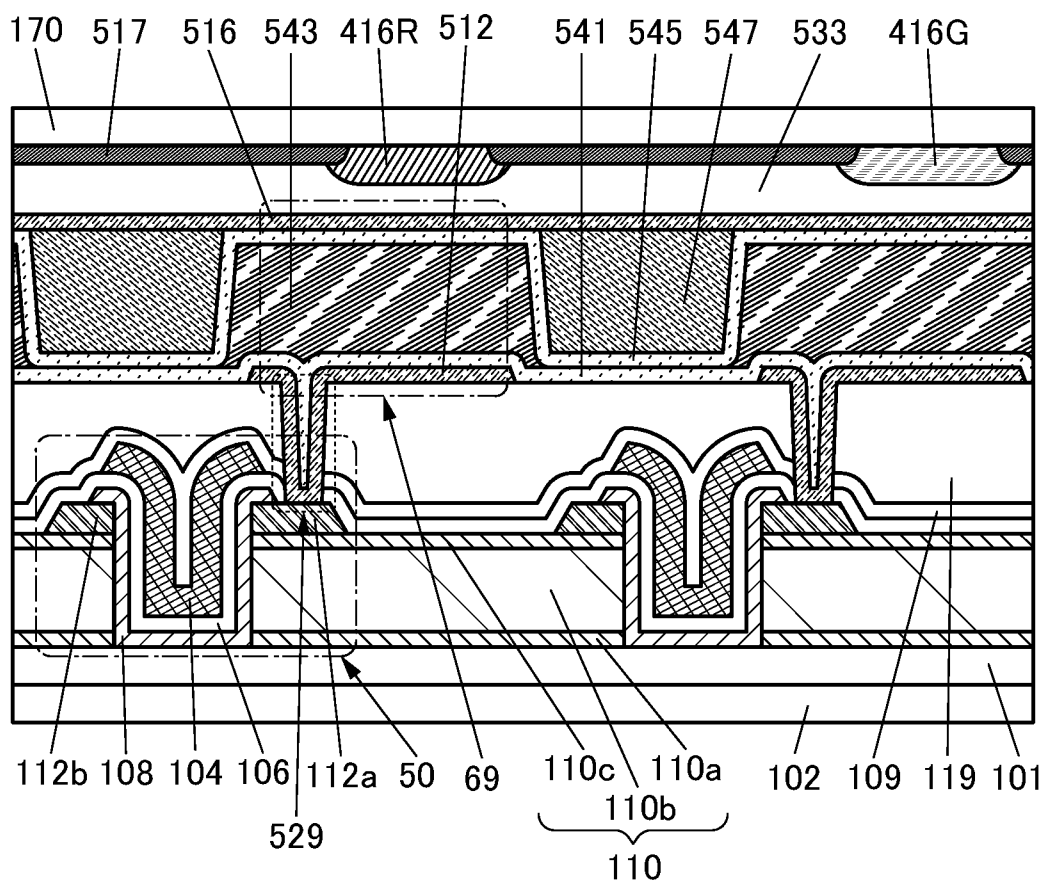


図52A

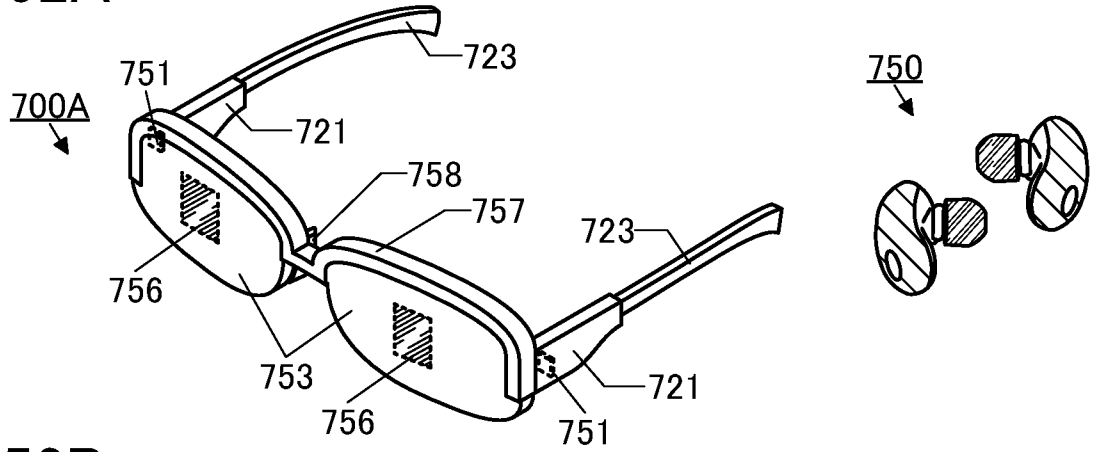


図52B

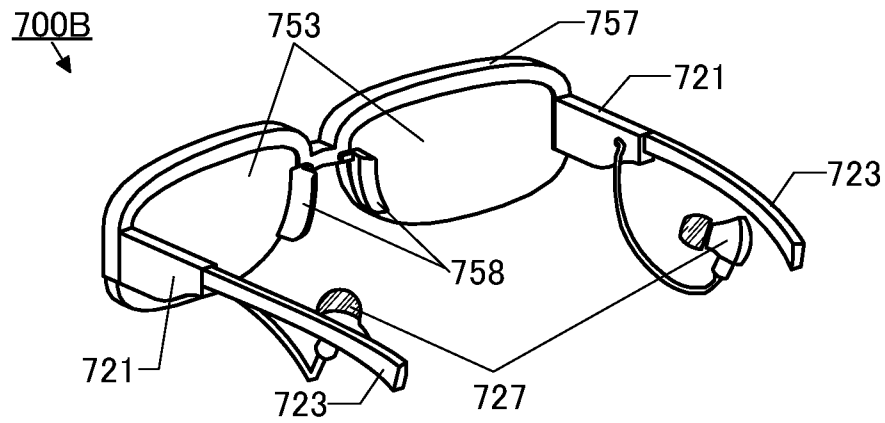


図52C

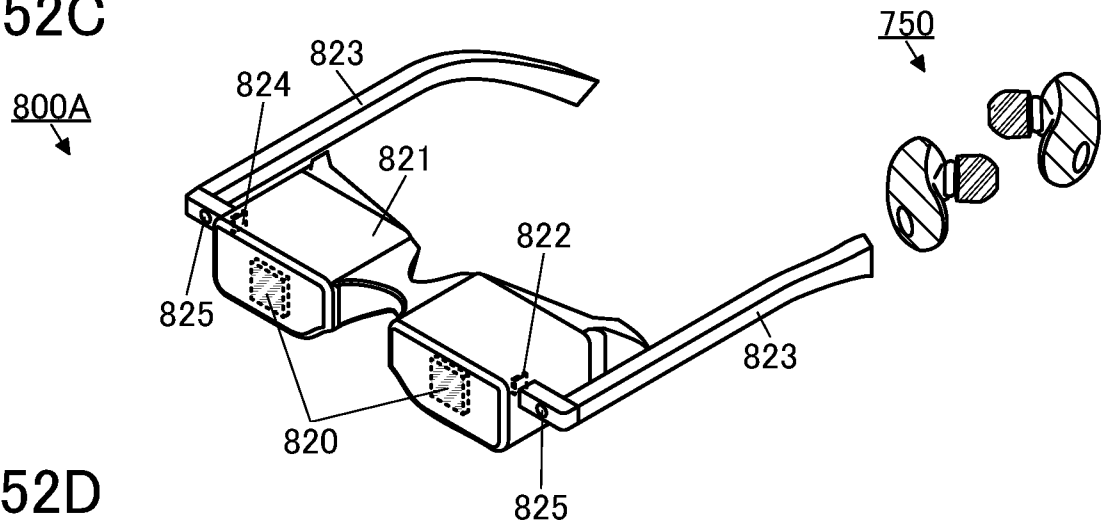


図52D

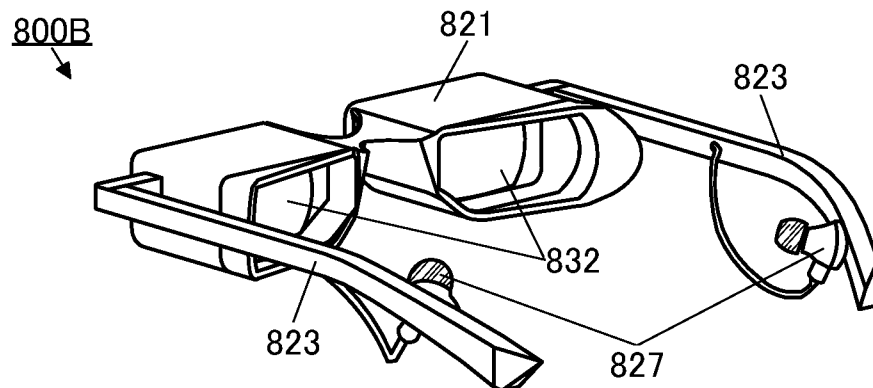


図53A

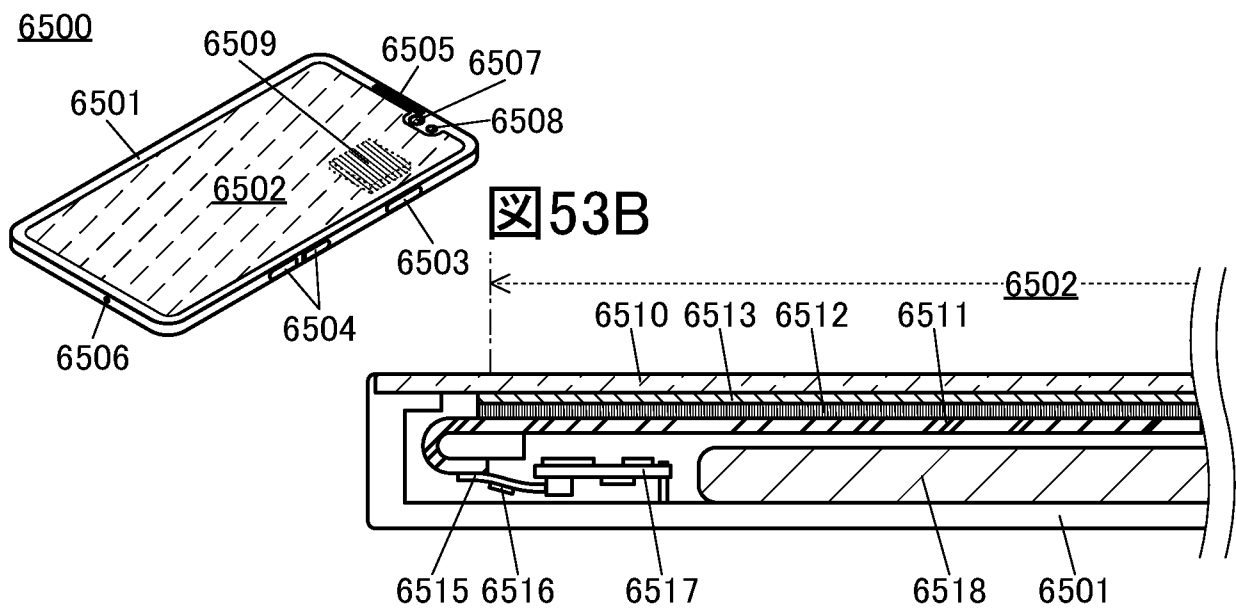


図53C

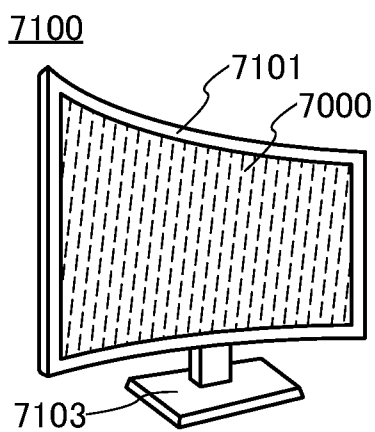


図53D

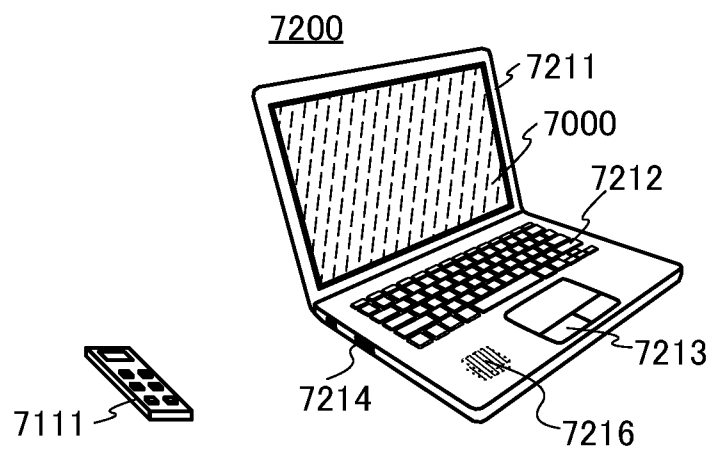


図53E

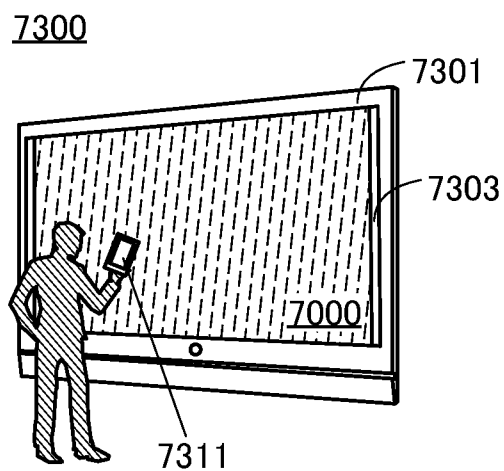


図53F

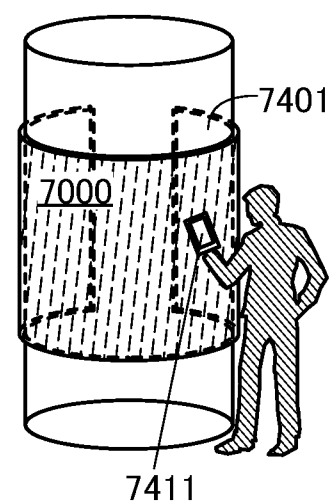


図54A

9101

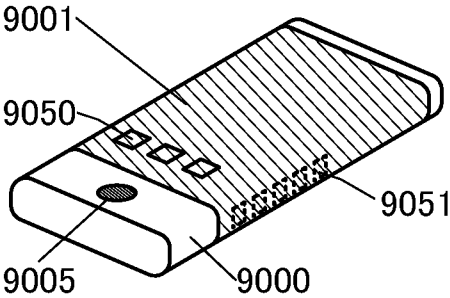


図54D

9200

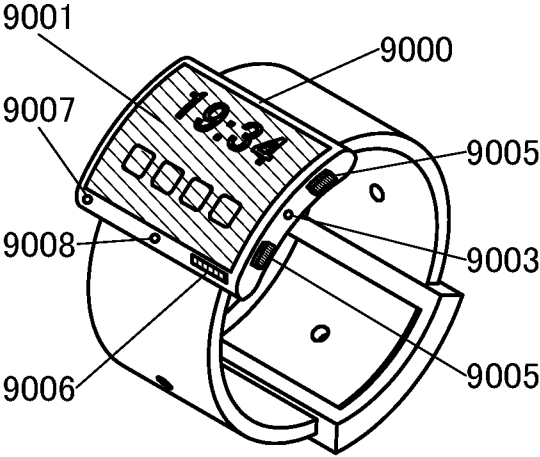


図54B

9102

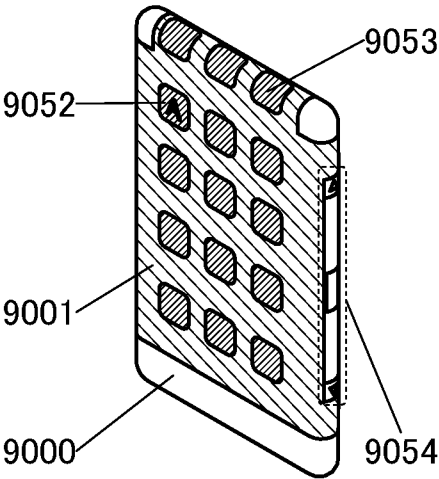


図54E

9201

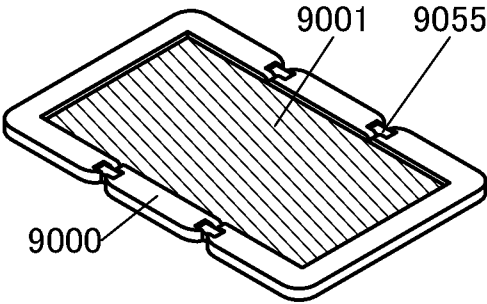


図54C

9103

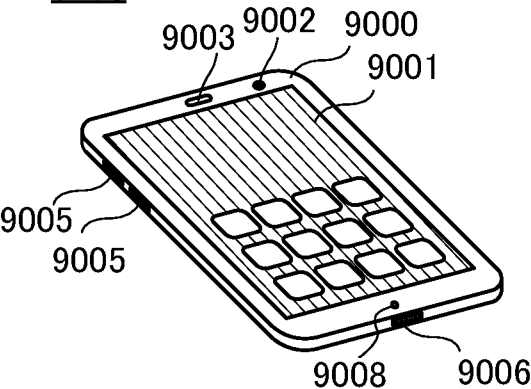


図54F

9201

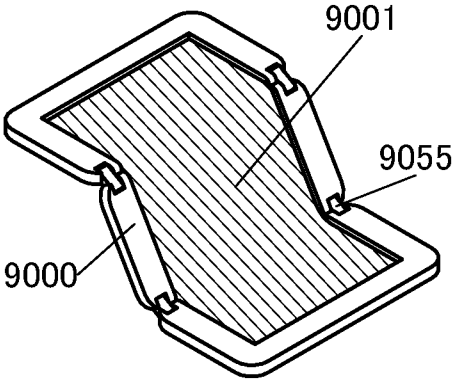


図54G

9201

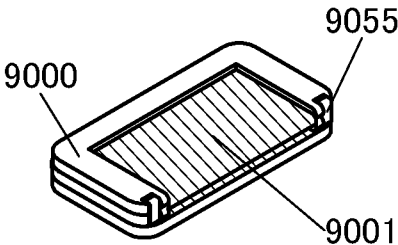


図55A

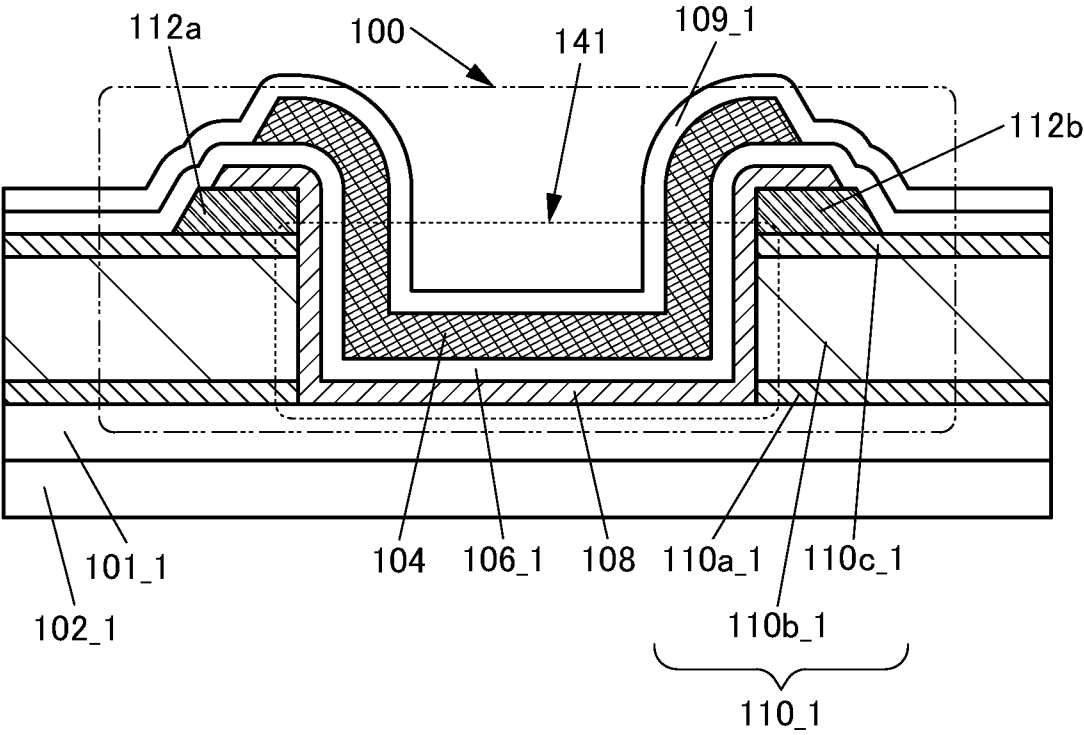
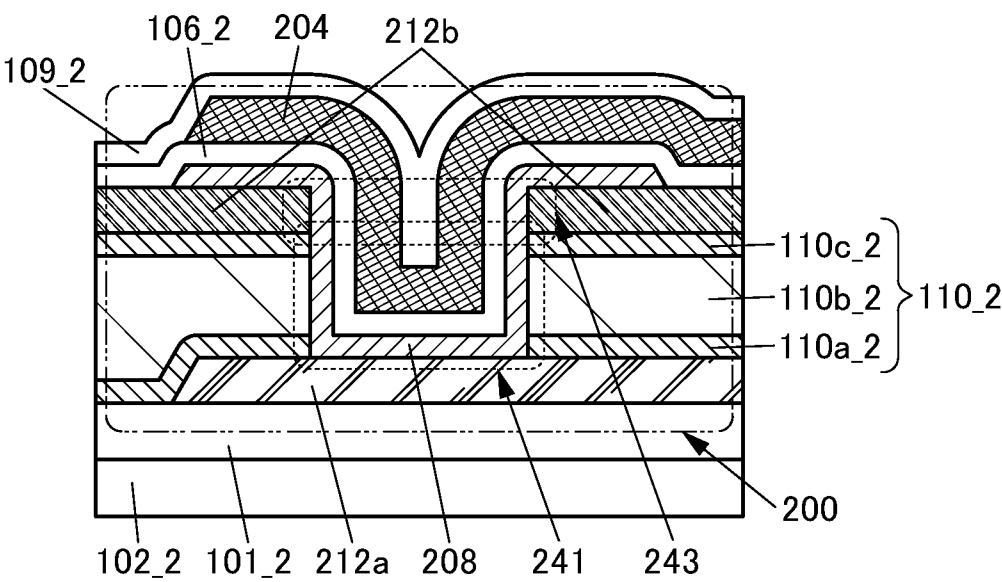


図55B



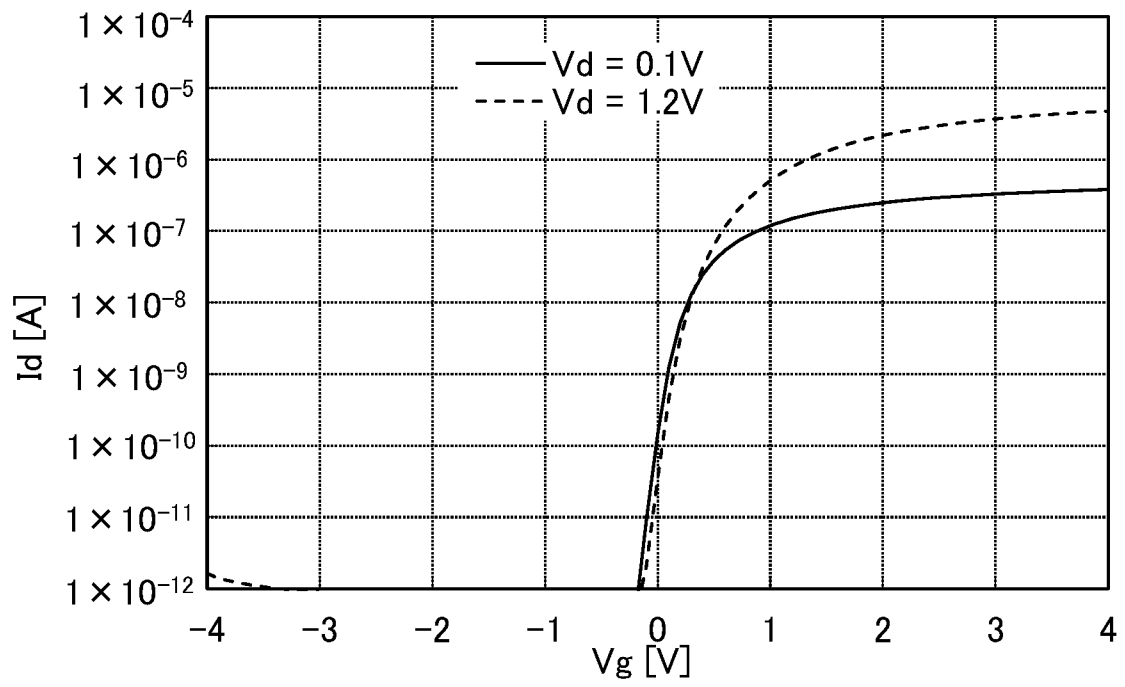


図57A

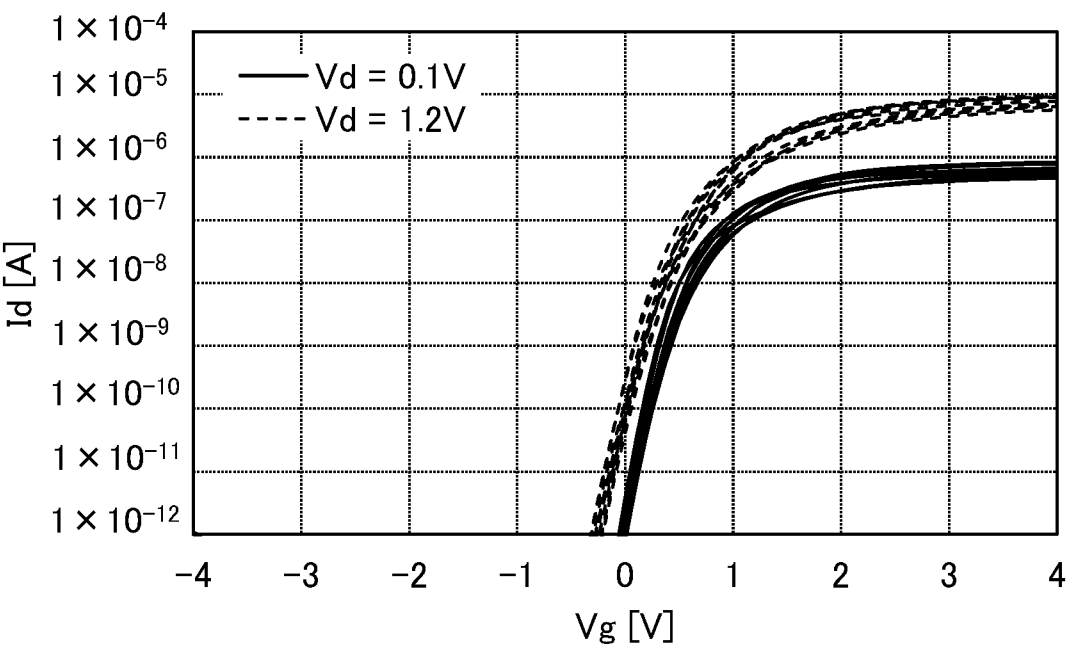


図57B

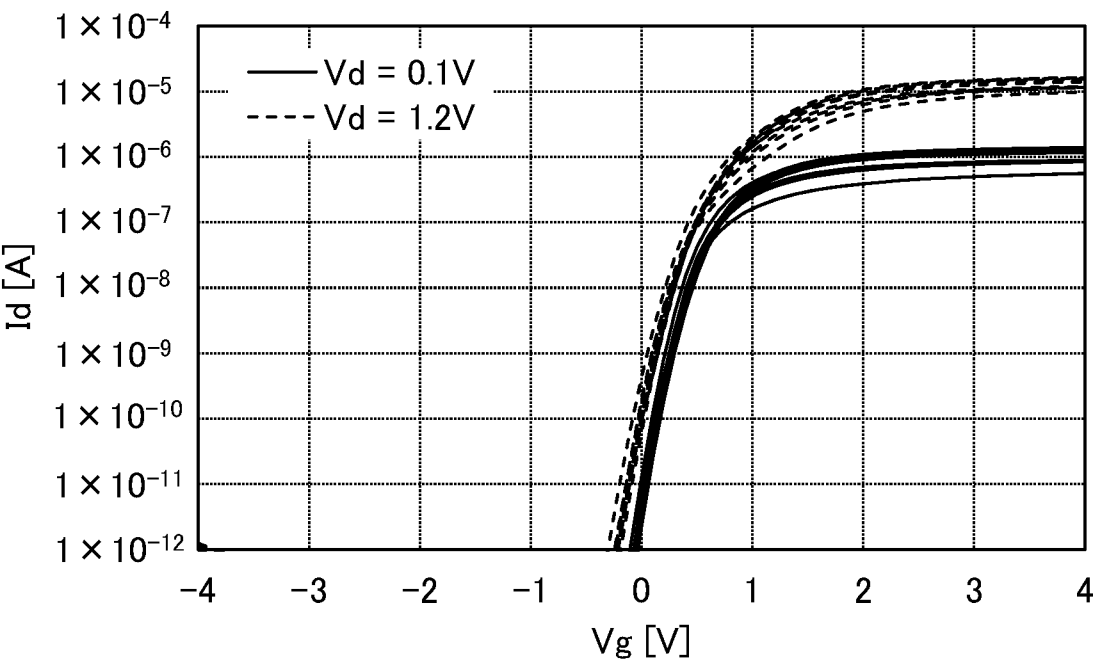


図58A

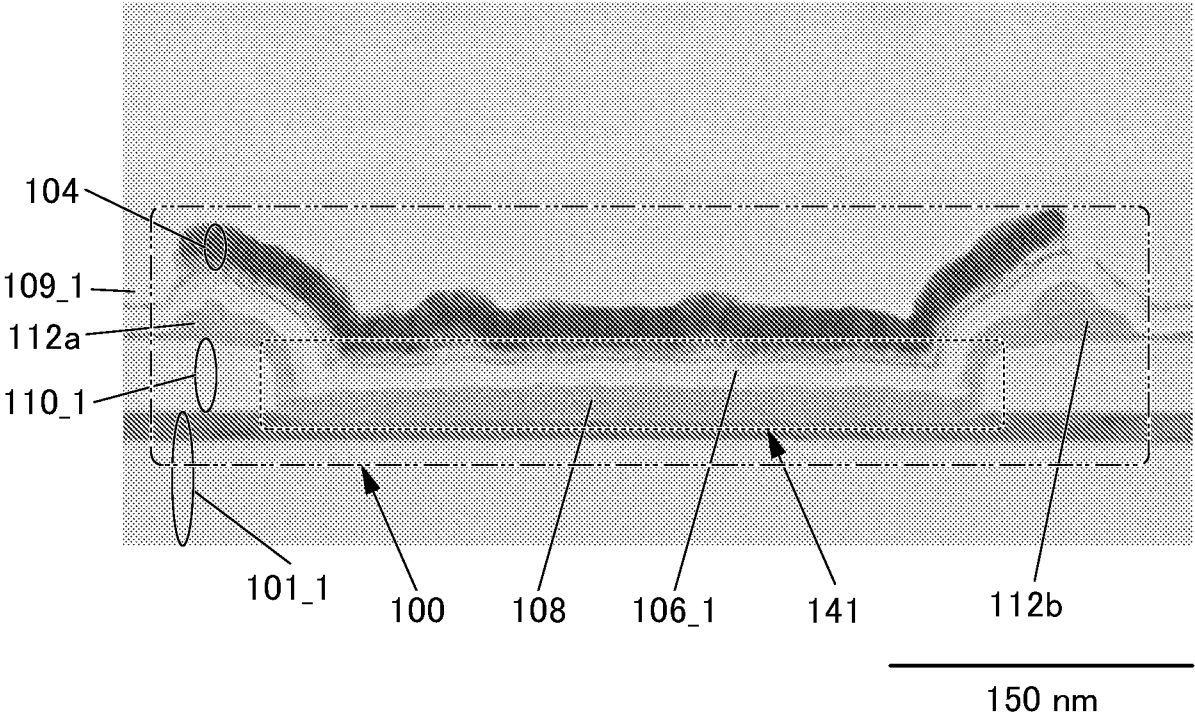
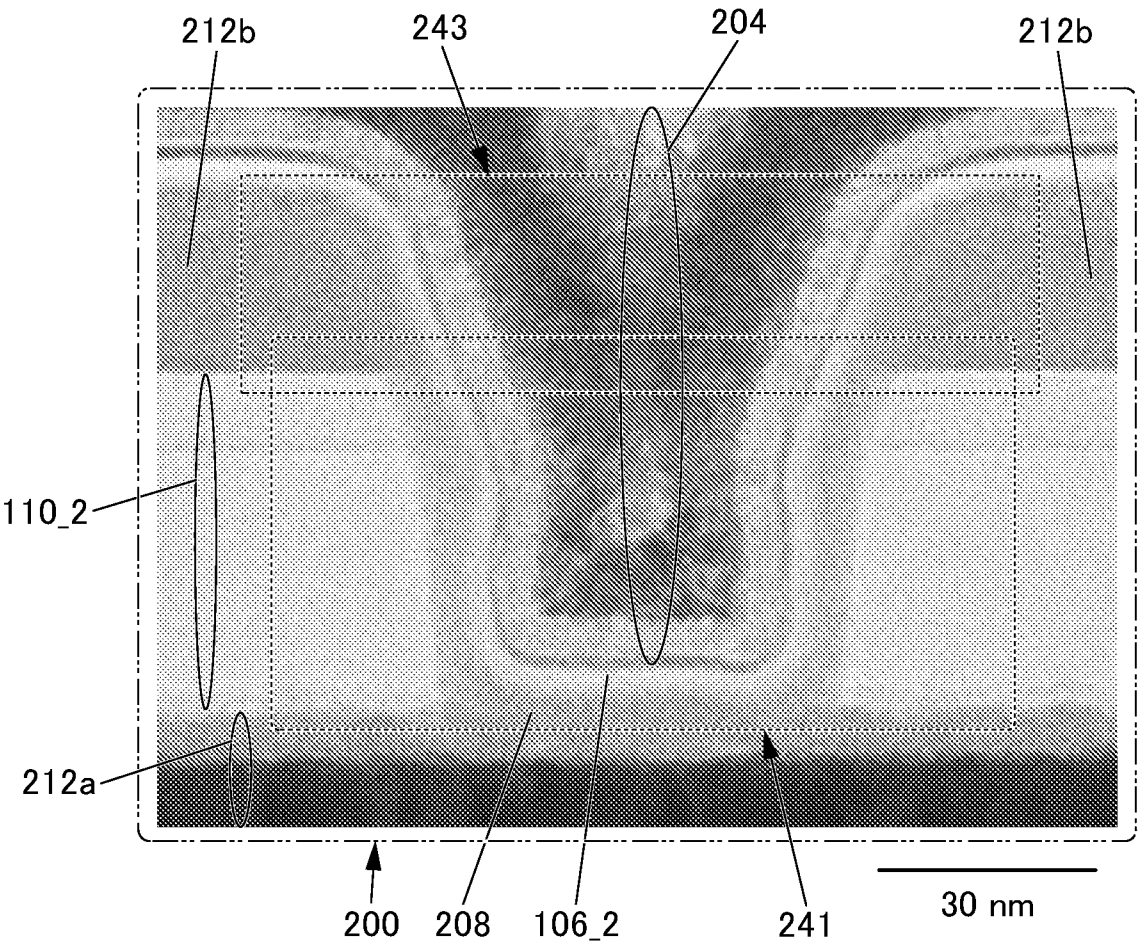
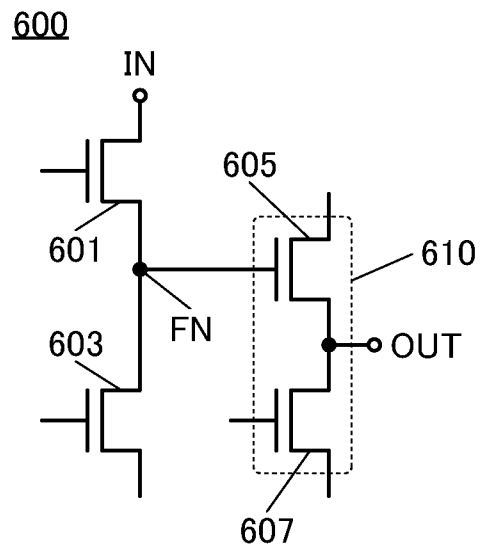


図58B





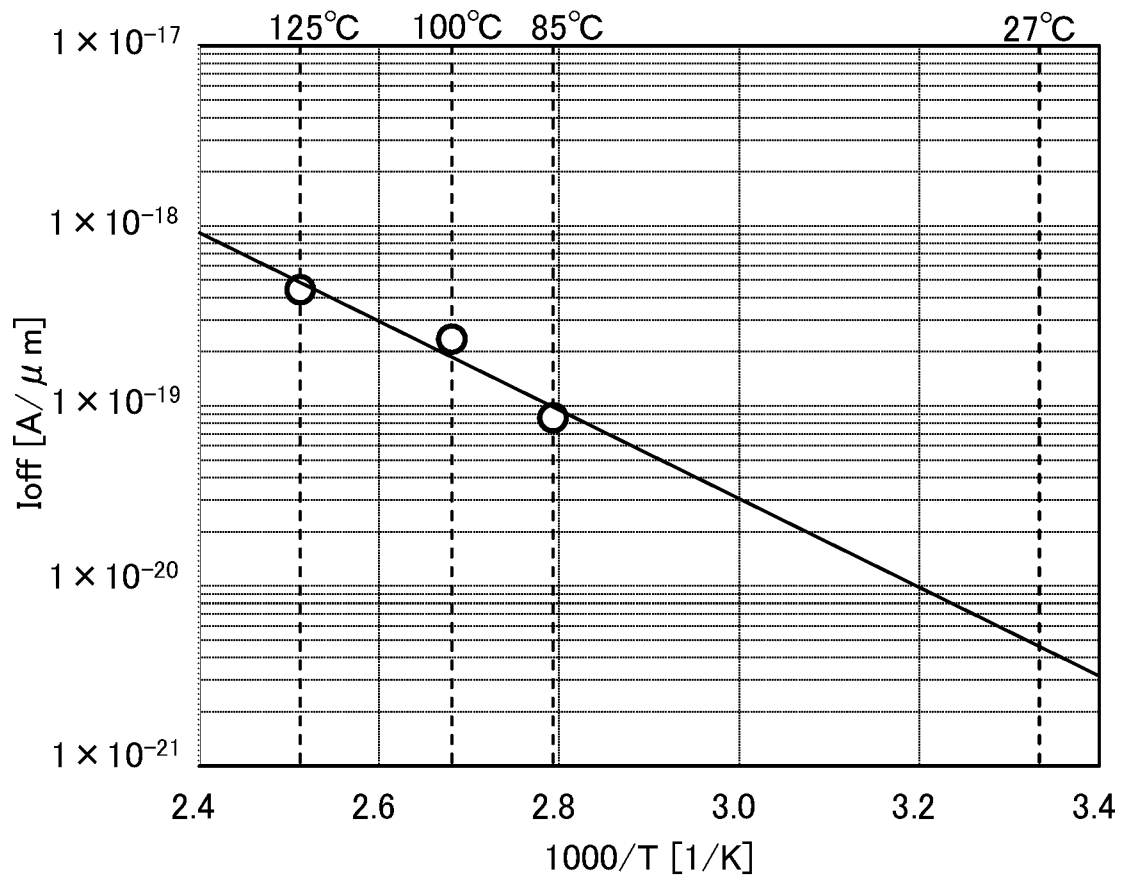


図61A

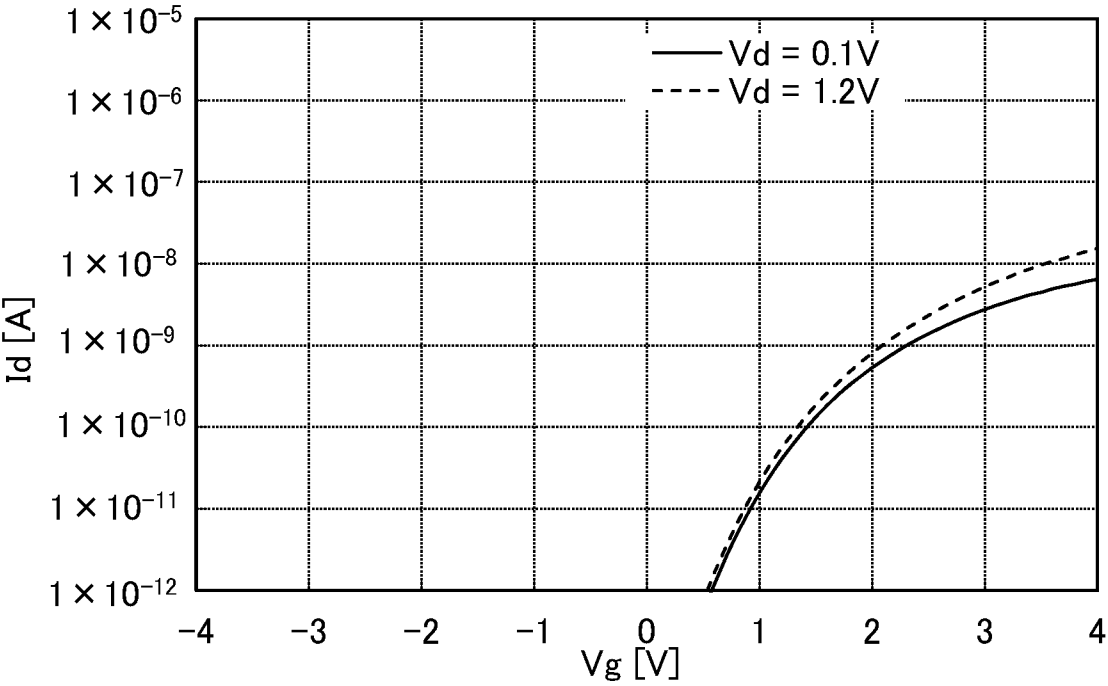


図61B

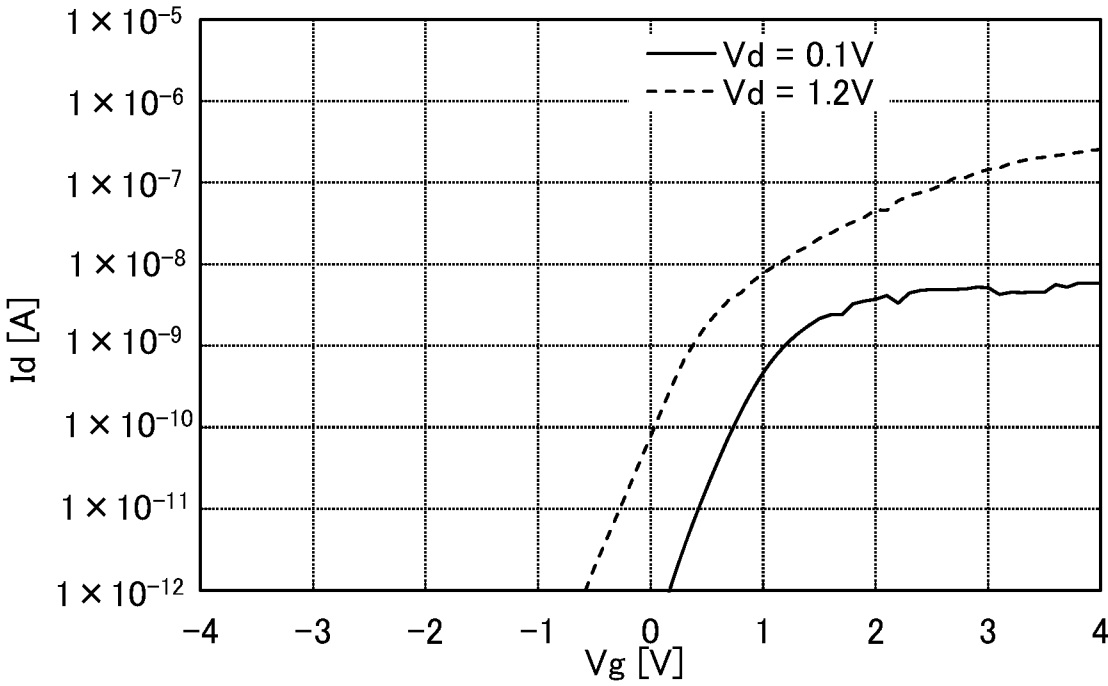


図62A

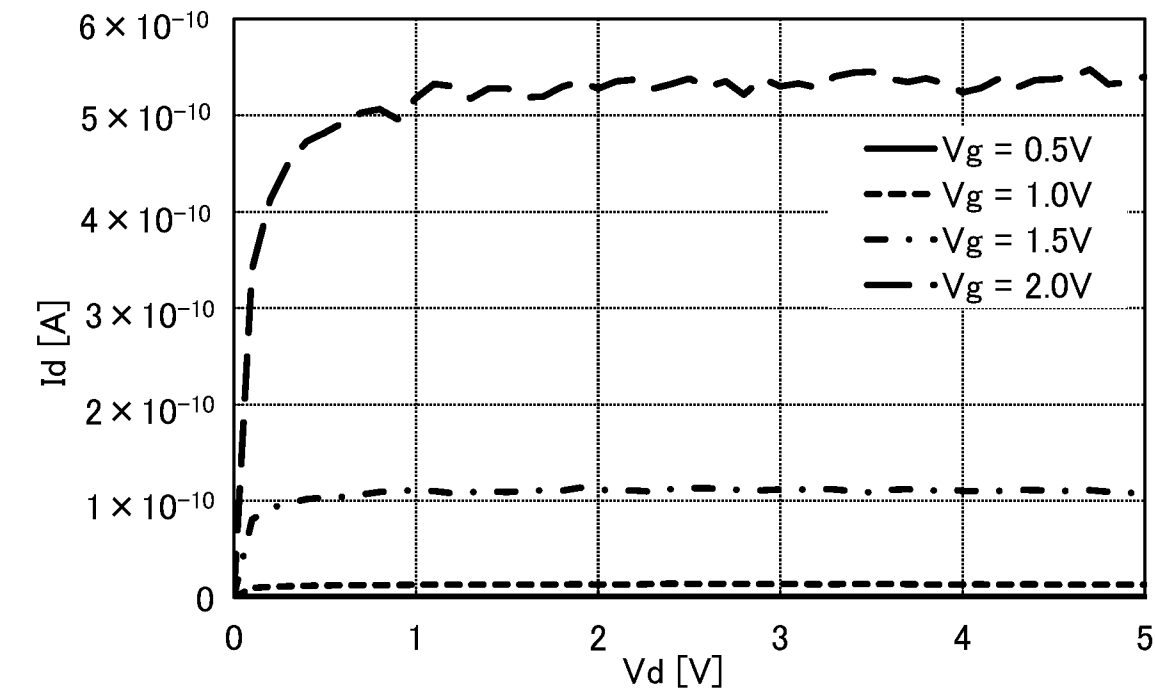
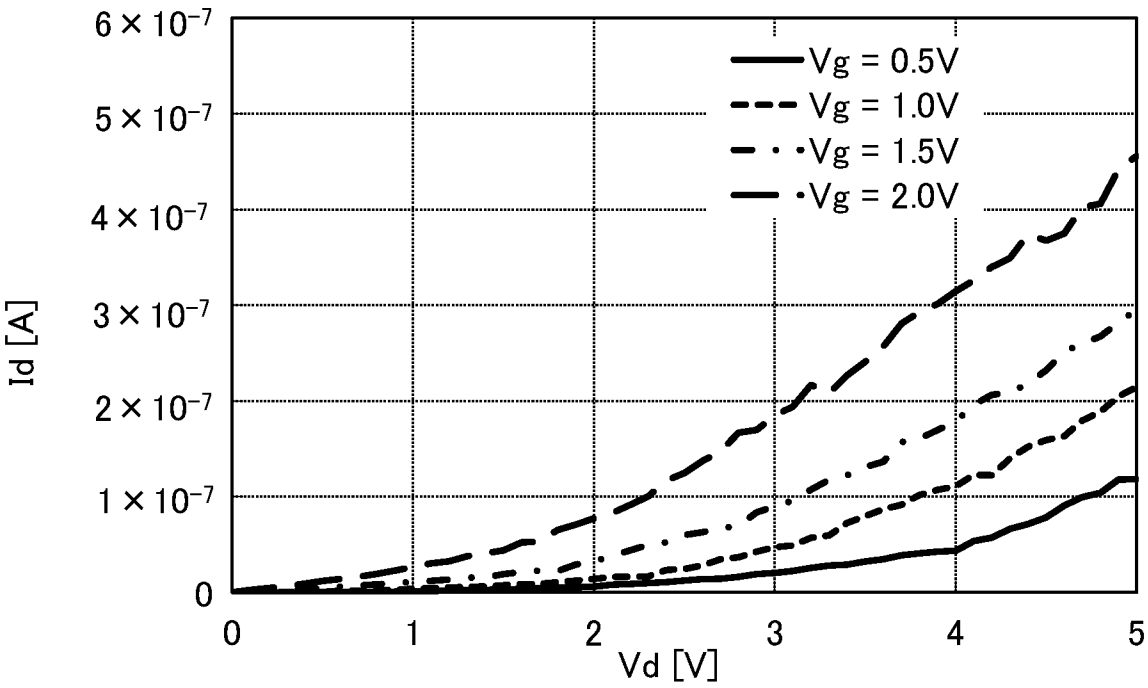


図62B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/050136

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; **G02F 1/1368**(2006.01)i; **G09F 9/00**(2006.01)i; **G09F 9/30**(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H10K 50/10**(2023.01)i; **H10K 50/84**(2023.01)i; **H10K 59/12**(2023.01)i; **H10K 59/124**(2023.01)i; **H10K 59/131**(2023.01)i; **H10K 71/60**(2023.01)i

FI: H01L29/78 618C; H01L29/78 626C; H01L29/78 619A; H01L29/78 626A; H01L29/78 618B; H01L27/06 102A; H01L27/088 E; H01L27/088 B; H01L27/088 331E; G09F9/30 338; G09F9/00 338; G09F9/30 348A; H10K59/12; H10K59/131; H10K50/84; H10K71/60; H01L29/78 616S; H10K50/10; H10K59/124; G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; G02F1/1368; G09F9/00; G09F9/30; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H10K50/10; H10K50/84; H10K59/12; H10K59/124; H10K59/131; H10K71/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-139276 A (JAPAN DISPLAY INC.) 10 August 2017 (2017-08-10) paragraphs [0019], [0020], [0040]-[0042], [0066], [0086]-[0097], [0115], [0116], fig. 15, 16	1-4, 8-11, 15
Y		5, 12
A		6-7, 13-14, 16-17
Y	JP 2021-19197 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 February 2021 (2021-02-15) paragraph [0066]	5, 12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 March 2024

Date of mailing of the international search report

02 April 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-171581 A (KABUSHIKI KAISHA KOBE SEIKO SHO) 01 September 2011 (2011-09-01) paragraph [0029]	5, 12
Y	JP 2009-135380 A (CANON KABUSHIKI KAISHA) 18 June 2009 (2009-06-18) paragraph [0037]	5, 12
A	JP 2014-232867 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 11 December 2014 (2014-12-11)	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2024/050136

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-139276	A	10 August 2017	(Family: none)	
JP	2021-19197	A	15 February 2021	US 2021/0020782	A1
				paragraph [0094]	
				CN 112242448	A
				KR 10-2021-0010333	A
				TW 202111767	A
JP	2011-171581	A	01 September 2011	CN 102169905	A
				KR 10-2011-0095825	A
				TW 201131785	A
JP	2009-135380	A	18 June 2009	US 2010/0065837	A1
				paragraph [0053]	
				WO 2008/069255	A1
				KR 10-2009-0089450	A
				TW 200847441	A
JP	2014-232867	A	11 December 2014	US 2014/0319517	A1
				WO 2014/178357	A1
				TW 201501312	A
				KR 10-2016-0003025	A

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/786(2006.01)i; G02F 1/1368(2006.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i;
H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i;
H10K 50/10(2023.01)i; H10K 50/84(2023.01)i; H10K 59/12(2023.01)i; H10K 59/124(2023.01)i;
H10K 59/131(2023.01)i; H10K 71/60(2023.01)i
FI: H01L29/78 618C; H01L29/78 626C; H01L29/78 619A; H01L29/78 626A; H01L29/78 618B; H01L27/06
102A; H01L27/088 E; H01L27/088 B; H01L27/088 331E; G09F9/30 338; G09F9/00 338; G09F9/30 348A;
H10K59/12; H10K59/131; H10K50/84; H10K71/60; H01L29/78 616S; H10K50/10; H10K59/124; G02F1/1368

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/786; G02F1/1368; G09F9/00; G09F9/30; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H10K50/10;
H10K50/84; H10K59/12; H10K59/124; H10K59/131; H10K71/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-139276 A（株式会社ジャパンディスプレイ）10.08.2017（2017-08-10） 段落[0019]-[0020], [0040]-[0042], [0066], [0086]-[0097], [0115]-[0116], 図15-16	1-4, 8-11, 15
Y		5, 12
A		6-7, 13-14, 16-17
Y	JP 2021-19197 A（株式会社半導体エネルギー研究所）15.02.2021（2021-02-15） 段落[0066]	5, 12
Y	JP 2011-171581 A（株式会社神戸製鋼所）01.09.2011（2011-09-01） 段落[0029]	5, 12

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
22.03.2024

国際調査報告の発送日
02.04.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

石塚 健太郎 5F 4815

電話番号 03-3581-1101 内線 3516

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-135380 A (キヤノン株式会社) 18.06.2009 (2009 - 06 - 18) 段落[0037]	5, 12
A	JP 2014-232867 A (株式会社半導体エネルギー研究所) 11.12.2014 (2014 - 12 - 11)	1-17

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2024/050136

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-139276	A	10.08.2017	(ファミリーなし)	
JP	2021-19197	A	15.02.2021	US 2021/0020782	A1
				段落[0094]	
				CN 112242448	A
				KR 10-2021-0010333	A
				TW 202111767	A
JP	2011-171581	A	01.09.2011	CN 102169905	A
				KR 10-2011-0095825	A
				TW 201131785	A
JP	2009-135380	A	18.06.2009	US 2010/0065837	A1
				段落[0053]	
				WO 2008/069255	A1
				KR 10-2009-0089450	A
				TW 200847441	A
JP	2014-232867	A	11.12.2014	US 2014/0319517	A1
				WO 2014/178357	A1
				TW 201501312	A
				KR 10-2016-0003025	A