

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年5月21日(21.05.2015)



(10) 国際公開番号

WO 2015/072064 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 21/336 (2006.01)
H01L 21/265 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2014/005076
- (22) 国際出願日: 2014年10月6日(06.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-234260 2013年11月12日(12.11.2013) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 合田 健太(GOUDA, Kenta); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).

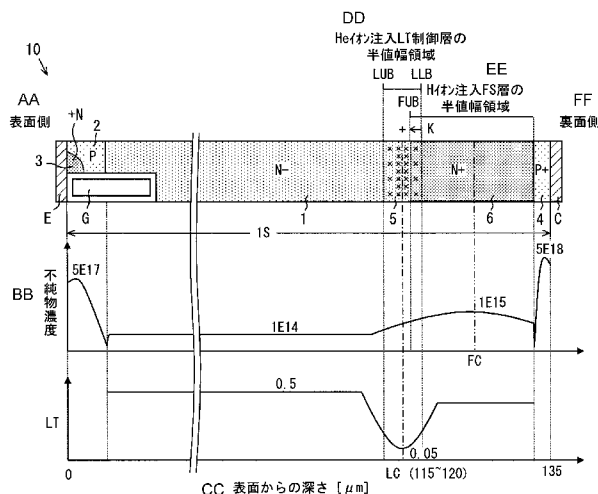
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: INSULATED GATE BIPOLAR TRANSISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 絶縁ゲートバイポーラトランジスタおよびその製造方法



AA Front surface side
BB Impurity concentration
CC Depth from front surface [μm]
DD Half value width region of He ion-implanted life time-controlled layer
EE Half value width region of H ion-implanted field-stop layer
FF Rear surface side

(57) Abstract: This insulated gate bipolar transistor is provided with: a drift layer (1) configured from an N conductivity-type semiconductor substrate (1S); a P conductivity-type collector layer (4) that is formed in a surface layer portion on the rear surface side of the semiconductor substrate; and an N conductivity-type field-stop layer (6), which is formed between the drift layer and the collector layer, and which has a higher impurity concentration than the drift layer. In the thickness direction of the semiconductor substrate, a life time controlled layer (5) is formed with a predetermined half value width by means of helium ion implantation, and the field-stop layer is formed with a predetermined half value width by means of hydrogen ion implantation. It is configured such that a half value width region of the life time controlled layer and a half value width region of the field-stop layer overlap each other.

(57) 要約: 絶縁ゲートバイポーラトランジスタは、N導電型の半導体基板(1S)からなるドリフト層(1)と、半導体基板の裏面側の表層部に形成されたP導電型のコレクタ層(4)と、ドリフト層とコレクタ層の間に形成されたN導電型でドリフト層より不純物濃度が高いフィールドストップ層(6)と、を備える。半導体基板の厚さ方向において、ライフタイム制御層(5)が、ヘリウムのイオン注入により、所定の半値幅で形成されるとともに、フィールドストップ層が、水素のイオン注入により、所定の半値幅で形成されている。ライフタイム制御層の半値幅領域とフィールドストップ層の半値幅領域とが、重なるように構成されている。

ライフタイム制御層(5)が、ヘリウムのイオン注入により、所定の半値幅で形成されるとともに、フィールドストップ層が、水素のイオン注入により、所定の半値幅で形成されている。ライフタイム制御層の半値幅領域とフィールドストップ層の半値幅領域とが、重なるように構成されている。

明 細 書

発明の名称：

絶縁ゲートバイポーラトランジスタおよびその製造方法

関連出願の相互参照

[0001] 本開示は、2013年11月12日に出願された日本出願番号2013-234260号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、絶縁ゲートバイポーラトランジスタ（IGBT、Insulated Gate Bipolar Transistor）およびその製造方法に関する。

背景技術

[0003] 縦型のパワーデバイスであるIGBTが、例えば、特許文献1に開示されている。IGBTは、MOS型電界効果トランジスタ（MOS-FET）とバイポーラトランジスタ（BJT）が複合化した構造として捉えることができ、大電流・大電圧パワーデバイスの1つとして、産業用から家電用まで幅広く適用されてきている。

[0004] 上記特許文献1にも記載されているように、IGBTは、いわゆるパンチスルー（PT）型IGBT、ノンパンチスルー（NPT）型IGBT、および両者の中間的存在のフィールドストップ（FS）型IGBTに大別できる。PT型IGBTは、P導電型（P+）の厚い基板をコレクタ層とし、エピタキシャルで形成されるN導電型（N-）のドリフト層との間に、N導電型（N+）のバッファ層を挿入した構造となっている。PT型IGBTは、オフ（逆バイアス）時において空乏層（電界）がコレクタ側に接触するもので、エピタキシャルウェハを使用するため高コストである。一方、NPT型IGBTは、N導電型（N-）の基板（シリコンウェハ）を薄くしてドリフト層とし、裏面にP導電型（P+）のコレクタ層が形成された構造となっている。NPT型IGBTは、オフ時において表面側のP導電型層とN導電型ドリフト層のPN接合から伸展した空乏層がコレクタ層に接触しないもので、

フローティングゾーンウェハを使用するため低コストで、結晶欠陥が少なく信頼性が高い。また、FS型IGBTは、NPT型IGBTのドリフト層とコレクタ層の間に、フィールドストップ層（以下、FS層と略記）と呼ぶN導電型のバッファ層を挿入して、N導電型（N-）基板の厚さをさらに薄くした構造である。FS型IGBTは、オフ時において表面側のPN接合から伸展した空乏層がFS層に接触し、FS層が空乏層（電界）のストップとして機能する。縦型パワーデバイスであるIGBTは、損失低減を目的としてデバイス厚の薄型化が図られてきており、近年では最も薄型化できるFS型IGBTが主流の構造になりつつある。

[0005] FS型IGBTは、例えば、次のようにして製造することができる。まず、薄いN-基板の裏面側からリン（P）またはアンチモン（Sb）のN型ドーパントを注入して、FS層を形成する。次に、高温アニール（600℃以上）によって活性化した後、浅いP+コレクタ層をN-基板の底面に形成する。しかしながらこの方法では、次のような問題がある。ウェハの破損を減らすためには表面側を先に形成し、表面のメタライジングやパッシベーション層を形成した後で、裏面側にFS層を形成する必要がある。しかしながら、表面に金属層が形成されていると、裏面側におけるドーパント注入後のアニールは、最上面のパッシベーション層の堆積温度（350℃-425℃）を下回る温度に制限される。その結果、リンまたはアンチモンの注入ドーパントの一部だけしかアニールされず、アニール度合いが小さな温度範囲で大きく変化してしまう。この問題を解決するため、先の特許文献1では、水素（H）のイオン注入によってFS層を形成し、その後に浅いP+コレクタ層をボロン（B）の注入で形成する。そして最後に、ウェハを30-60分間、300-400℃でアニールするようにしている。この300-400℃のアニールによって、イオン注入のダメージが消え、FS層に注入された水素がN+ドーパントとして振舞う。このように、水素のイオン注入によってFS層を形成する場合には、300-400℃のアニールで注入水素を活性化することができ、表面側の構造（金属およびパッシベーション）に損傷を

与えることなく、F S層として機能させることができる。

先行技術文献

特許文献

[0006] 特許文献1：特許第4 1 2 8 7 7 7号

発明の概要

[0007] 一般的なI G B Tにおいては、ゲートをオフした後、コレクタ電流が遅れて低下する。このコレクタ電流の低下は、オン時の2割程度まで急激に低下した後、裾を引いてゆっくり低下していく。このコレクタ電流が裾を引く現象（テイル電流）は、I G B Tに特有なもので、オン時に注入されたドリフト層における残留ホールに起因している。このI G B Tに特有なテイル電流を低減して、該テイル電流に伴う損失の低減とスイッチングの高速化を図るため、従来から種々の手法が検討されてきている。

[0008] 例えば、P T型I G B TやN P T型I G B Tでは、ドリフト層に電子やイオンを照射してテイル電流の原因となるドリフト層中の残留ホールのライフタイム（以下、L Tと略記）を短くし、残留ホールを早期に消滅させる方法が検討されている。一方、近年の主流であるF S型I G B Tは、残留ホールのL T制御をしないことを前提として開発が進められてきた。これは、薄型化が最大のメリットであるF S型I G B Tにおいて、複雑なL T制御構造の実現が困難なためである。また、L T制御のためドリフト層に電子やイオンを照射した場合、欠陥発生に伴って、リーク電流が増大するという問題もある。

[0009] 本開示は、薄型化が可能なF S型I G B Tおよびその製造方法を対象としている。そして、簡単な構造で残留ホールのL Tを精密に制御できると共に、リーク電流を抑制でき、損失が小さく高速スイッチングが可能なF S型I G B Tおよびその製造方法を提供することを目的としている。

[0010] 本開示のある態様にかかるI G B Tは、N導電型の半導体基板からなるドリフト層と、該半導体基板の裏面側の表層部に形成されたP導電型のコレクタ層と、ドリフト層とコレクタ層の間に形成されたN導電型でドリフト層よ

り不純物濃度が高いF S層とを備える。

[0011] そして、半導体基板の厚さ方向において、L T制御層が、ヘリウム（He）のイオン注入により、所定の半値幅で形成されてなる構造とする。また、F S層は、水素（H）のイオン注入により、所定の半値幅で形成し、L T制御層の半値幅領域とF S層の半値幅領域とが重なるように構成する。

[0012] 上記IGBTは、N導電型の半導体基板を薄くしてドリフト層として使用するFS型IGBTで、エピタキシャルウェハを使用するPT型IGBTに較べて低コストであり、結晶欠陥が少なく信頼性が高い。また、FS層を持たないNPT型IGBTと較べても、より薄型化が可能である。さらに、上記IGBTのFS層の形成には、水素のイオン注入が用いられている。これによれば、前述したように、表面側の構造に影響を与えない300-400℃の低温アニールで、注入した水素を活性化し、N+ドーパントとして機能させることが可能である。

[0013] さらに、上記IGBTにおいては、ヘリウムのイオン注入によって、LT制御層が形成されている。ヘリウムのイオン注入によって形成されるLT制御層は、基板の厚さ方向での局所的な形成が可能で、電子線照射によるLT制御層のように広範囲に亘ることはない。また、水素のイオン注入によって形成されるLT制御層と較べても、基板の厚さ方向でより局在化させることができる。従って、薄い半導体基板をドリフト層として用いるFS型IGBTにおいて、LT制御層を精密に形成するには、ヘリウムのイオン注入が好適である。上記IGBTでは、このヘリウムのイオン注入で精密形成されるLT制御層の存在で、ターンオフ後にドリフト層中に存在する残留ホールを早期に消滅させ、テイル電流と損失を低減して、スイッチングを高速化することができる。

[0014] また、上記IGBTにおいては、ヘリウムのイオン注入によるLT制御層と水素のイオン注入によるFS層の関係として、LT制御層の半値幅領域とFS層の半値幅領域とが重なるように構成される。このLT制御層とFS層の関係は、シミュレーションによるリーク電流の評価で得られた次の結果に

基づいている。シミュレーションによれば、水素のイオン注入によるF S層の半値幅領域がヘリウムのイオン注入によるL T制御層の半値幅領域に重ならないように形成されているとき、一定の大きなリーク電流が発生する。そして、F S層の半値幅領域がL T制御層の半値幅領域に重なって、F S層の半値幅領域を規定するF S層表面側境界がL T制御層の半値幅領域内に入ってくると、リーク電流が急激に低減し始める。さらに重なりが大きくなり、F S層表面側境界がL T制御層の半値幅領域を規定するL T制御層表面側境界に一致して、L T制御層の半値幅領域がF S層の半値幅領域に丁度含まれるようになると、リーク電流は、重なりがない場合の25%程度まで低下する。そして、F S層表面側境界が、L T制御層表面側境界に対して、L T制御層の半値幅の1/2以上表面側に位置するようになると、リーク電流がゼロとなる。

[0015] また、上記IGBTを製造するにあたっては、以下の工程からなる製造方法を採用することが好ましい。

[0016] 先に、N導電型の半導体基板に対して表面側の構造を形成した後、裏面側から研削・研磨して半導体基板を所定の厚さにしておく。そして、裏面側の構造形成の最初の工程として、半導体基板の裏面側の表層部に、コレクタ層を形成する（コレクタ層形成工程）。このコレクタ層形成工程では、例えば、ボロン（B）等のP型不純物をイオン注入した後、レーザで裏面側の表層部をアニールする。次に、上記コレクタ層形成工程の後、半導体基板の裏面側からヘリウムをイオン注入して、L T制御層を形成する（第1イオン注入工程）。次に、上記第1イオン注入工程の後、半導体基板を一旦アニールする（第1アニール工程）。次に、上記第1アニール工程の後、半導体基板の裏面側から水素をイオン注入して、F S層を形成する（第2イオン注入工程）。次に、上記第2イオン注入工程の後、半導体基板を再びアニールする（第2アニール工程）。そして、最後に、半導体基板の裏面側をメタライズして、コレクタ電極を形成する。

[0017] 以上で、上記IGBTの製造が完了する。

[0018] 上記の第1アニール工程および第2アニール工程におけるアニール温度は、表面側の構造に影響を与えない300℃以上、425℃以下であってよく、特に、360℃以上、400℃以下が好適である。このように、第1アニール工程と第2アニール工程は、同じ温度範囲が適している。従って、ヘリウムをイオン注入する第1イオン注入工程と水素をイオン注入する第2イオン注入工程を続けて行った後、1回のアニール工程で、これらイオン注入層を同時にアニールすることも考えられる。しかしながら、第1イオン注入工程後のヘリウム注入層であるLT制御層と第2イオン注入工程後の水素注入層であるFS層を一括してアニールすると、LT制御層のLT低減効果が消失してしまうことが判明した。このため、上記製造方法においては、ヘリウムをイオン注入する第1イオン注入工程の後の第1アニール工程と、水素をイオン注入する第2イオン注入工程の後の第2アニール工程を、それぞれ別の工程として行っている。

[0019] 以上のようにして、上記したIGBTおよびその製造方法は、薄型化が可能なFS型IGBTを対象とし、簡単な構造で残留ホールのLTを精密に制御できると共に、リーク電流を抑制することが可能である。そして、損失が小さく高速スイッチングが可能なFS型IGBTおよびその製造方法となっている。

図面の簡単な説明

[0020] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]本開示の実施形態に係るIGBTの一例を示す図で、IGBT10の断面構造を模式的に示した図である。

[図2]LT制御層5の半値幅領域とFS層6の半値幅領域の重なり度を示す変数Kに対して、オフ時のリーク電流をシミュレートした結果である。

[図3]変数Kが負となるIGBT90の例を示した図である。

[図4]変数Kが $1.5 \times$ 〔LT制御層5の半値幅〕となるIGBT11の例を示した図である。

[図5]車載用モータの駆動回路に適用した例で、三相交流モータ30の駆動を行う三相のインバータ回路20が備えられた電力変換装置の回路図である。

[図6]IGBT10, 11を製造するにあたって、好ましい製造工程を示したフロー図である。

発明を実施するための形態

[0021] 以下、本開示を実施するための形態を、図に基づいて説明する。

[0022] 図1は、本開示の実施形態に係るIGBTの一例を示す図で、IGBT10の断面構造を模式的に示した図である。図1では、上記断面図と横軸スケールを同じにして、対数の縦軸スケールで、IGBT10の各層における不純物濃度分布および残留ホールのLT分布を模式的に示してある。尚、不純物濃度分布のグラフでは、各層における代表的な最大不純物濃度を 1×10^{15} ($1 \times 10^{15} / \text{cm}^3$)等の記号で示してある。また、LT分布のグラフでは、各層における代表的な最小LTの値を $0.05 (\mu\text{s})$ 等の数値で示してある。

[0023] 図1に示すIGBT10は、FS型IGBTである。すなわち、N導電型(N-)の半導体基板1Sからなるドリフト層1と、該半導体基板1Sの裏面側の表層部に形成されたP導電型(P+)のコレクタ層4と、ドリフト層1とコレクタ層4の間に形成されるFS層6とを有している。FS層6は、N導電型(N+)で、ドリフト層1より高い不純物濃度に設定される。そして、半導体基板1Sの裏面側の表面には、コレクタ電極Cが、コレクタ層4に接続するように形成されている。

[0024] 尚、図1のIGBT10において、半導体基板1Sの表面側の表層部に形成されたP導電型(P)層2は、チャネル形成層であり、P導電型層2の表層部に選択的に形成されているN導電型(N+)領域3は、エミッタ領域である。また、図1のIGBT10は、セル密度の増加とオン電圧の低減が可能なトレンチゲート型であり、N導電型領域3に接して、P導電型層2を貫通するように形成された絶縁トレンチゲートGを有している。そして、半導体基板1Sの表面側の表面には、エミッタ電極Eが、N導電型領域3とP導

電型層 2 に共通接続するように形成されている。

[0025] さらに、図 1 の I G B T 1 0 は、半導体基板 1 S の厚さ方向において、L T 制御層 5 が、ヘリウム (H e) のイオン注入により、所定の半値幅で形成されている。尚、図 1 において一点鎖線で示した L T 制御層 5 中の断面位置 L C が、注入された H e の濃度がピークとなる位置で、L T が最小値となる位置に一致する。この H e の濃度がピークとなる断面位置 L C を、以下、H e 濃度ピーク位置 L C と呼ぶ。また、点線で示した L T 制御層 5 の両端の断面位置 L U B, L L B は、それぞれ、表面側と裏面側において注入された H e のガウス分布する濃度がピーク値の $1/2$ となる位置であり、表面側と裏面側において L T が最小値の 2 倍となる位置に一致する。このように、L T 制御層 5 の半値幅領域を規定する断面位置 L U B, L L B を、以下、L T 制御層表面側境界 L U B および L T 制御層裏面側境界 L L B と呼ぶ。尚、L T 制御層 5 の半値幅領域の厚さは、H e のイオン注入エネルギーに対する各物質での飛程値から計算できるが、イオン注入後の拡がり抵抗測定を行うことによっても確認可能である。

[0026] また、図 1 の I G B T 1 0 では、F S 層 6 を、水素 (H) のイオン注入により所定の半値幅で形成している。尚、図 1 において二点鎖線で示した F S 層 6 中の断面位置 F C が、注入された H の濃度がピークとなる位置である。この H の濃度がピークとなる断面位置 F C を、以下、H 濃度ピーク位置 F C と呼ぶ。また、点線で示した F S 層 6 の表面側の端の断面位置 F U B は、表面側において注入された H の濃度がガウス分布するピーク値の $1/2$ となる位置である。このように、F S 層 6 の半値幅領域を規定する表面側の断面位置 F U B を、以下、F S 層表面側境界 F U B と呼ぶ。

[0027] そして、図 1 の I G B T 1 0 は、上記した L T 制御層 5 の半値幅領域と F S 層 6 の半値幅領域が重なる構成としている。この L T 制御層 5 の半値幅領域と F S 層 6 の半値幅領域の重なり度を示す尺度として、図中に矢印で示した変数 K を導入する。変数 K は、L T 制御層 5 の L T 制御層裏面側境界 L L B を基準とした、F S 層 6 の F S 層表面側境界 F U B の位置を示す値である

。F S層表面側境界F U BがL T制御層裏面側境界L L Bより表面側にあるとき、変数Kは正で、L T制御層5の半値幅領域とF S層6の半値幅領域が重なる状態にある。F S層表面側境界F U BがL T制御層裏面側境界L L Bより裏面側にあるときは、変数Kは負で、L T制御層5の半値幅領域とF S層6の半値幅領域が重ならない状態にある。

[0028] 図1に示すI G B Tは、N導電型の半導体基板1 Sを薄くしてドリフト層1として使用するF S型I G B Tで、エピタキシャルウェハを使用するP T型I G B Tに較べて低コストであり、結晶欠陥が少なく信頼性が高い。また、F S層6を持たないN P T型I G B Tと較べても、より薄型化が可能である。I G B T 10のF S層6の形成には、水素のイオン注入が用いられている。これによれば、表面側の構造に影響を与えない300-400℃の低温アニールで、注入した水素を活性化し、N+ドーパントとして機能させることが可能である。

[0029] さらに、図1のI G B T 10においては、ヘリウムのイオン注入によって、L T制御層5が形成されている。ヘリウムのイオン注入によって形成されるL T制御層5は、図示したように基板の厚さ方向での局所的な形成が可能で、電子線照射によるL T制御層のように広範囲に亘ることはない。また、水素のイオン注入によって形成されるL T制御層と較べても、基板の厚さ方向でより局在化させることができる。例えば、同じ17 MeVのエネルギーでシリコン(Si)中にイオン注入した場合、水素では75 μm程度の半値幅を持つガウス分布になるのに対し、ヘリウムでは3.5 μm程度の半値幅を持つガウス分布になる。また、水素では95個/ion程度の欠陥生成率になるのに対し、ヘリウムでは275個/ion程度の欠陥生成率になる。従って、薄い半導体基板をドリフト層として用いるF S型I G B TにおいてL T制御層を精密に形成するには、図1のI G B T 10のように、ヘリウムのイオン注入が好適である。I G B T 10では、このヘリウムのイオン注入で精密形成されるL T制御層5の存在で、ターンオフ後にドリフト層1中に存在する残留ホールを早期に消滅させ、テイル電流と損失を低減して、スイ

ッチングを高速化することができる。

[0030] また、図1のIGBT10においては、ヘリウムのイオン注入によるLT制御層5と水素のイオン注入によるFS層6の関係として、LT制御層5の半値幅領域とFS層6の半値幅領域とが重なるように構成されている。すなわち、図中の変数Kが正となる関係である。このLT制御層5とFS層6の関係は、シミュレーションによるリーク電流の評価で得られた次の結果に基づいている。

[0031] 図2は、上記シミュレーション結果を示す図で、LT制御層5の半値幅領域とFS層6の半値幅領域の重なり度を示す変数Kに対して、オフ時のリーク電流をシミュレートした結果である。尚、図1と図2では、表面側と裏面側が左右で反転している。

[0032] 図1のIGBT10は、1200V耐圧で設計されており、135 μ mの厚さの半導体基板1Sが用いられている。図2のシミュレーションでは、He濃度ピーク位置LCを表面側から120 μ mの位置とし、LT制御層5の半値幅領域を5 μ mとしている。また、H濃度ピーク位置FC（裏面側からの深さ）を変えることで、変数Kの値を変化させた。尚、1200V耐圧に必要な条件であるFS層6の合計の不純物量がかわらないように、H濃度ピーク位置FCの変更に伴って、FS層6の不純物濃度のガウス分布を変化させた。

[0033] 図2に示すように、シミュレーションによれば、水素のイオン注入によるFS層6の半値幅領域がヘリウムのイオン注入によるLT制御層5の半値幅領域に重ならないように形成されている（ $K < 0$ ）とき、一定の大きなリーク電流が発生する。

[0034] 図3は、変数Kが負となるIGBT90の例を示した図である。図2においても、図3のIGBT90の変数Kを矢印で示している。

[0035] 図3のIGBT90では、FS層6の半値幅領域がLT制御層5の半値幅領域に重ならないように形成されており、LT制御層5の半値幅領域がドリフト層1中にある。この状態にあるIGBT90では、図2に示す $8 \times 10^{-$

¹³ A程度の一定の大きなリーク電流が発生する。

[0036] そして、図1に示したIGBT10のように、FS層6の半値幅領域がLT制御層5の半値幅領域に重なって($K > 0$)、FS層表面側境界FUBがLT制御層5の半値幅領域内に入ってくると、図2のようにリーク電流が急激に低減し始める。さらに重なりが大きくなり、FS層表面側境界FUBがLT制御層表面側境界LUBに一致して、LT制御層5の半値幅領域がFS層6の半値幅領域に丁度含まれるようになると、リーク電流は、重なりがない場合の25%程度まで低下する。

[0037] そして、FS層表面側境界FUBが、LT制御層表面側境界LUBに対して、LT制御層5の半値幅の $1/2$ 以上表面側に位置するようになると($K \geq 1.5 \times [\text{LT制御層5の半値幅}]$)、図2のようにリーク電流がゼロとなる。

[0038] 図4は、変数Kが $1.5 \times [\text{LT制御層5の半値幅}]$ となるIGBT11の例を示した図である。図2においても、図4のIGBT11の変数Kを矢印で示している。

[0039] 図4のIGBT11において、LT制御層5の半値幅領域は $5 \mu\text{m}$ に設定されている。従って、変数Kが $7.5 \mu\text{m}$ になると、LT制御層5を形成するためイオン注入されたヘリウムとそれによって形成される格子欠陥のほとんどは、FS層6の半値幅領域に含まれるようになる。この状態にあるIGBT11では、図2に示すように、リーク電流がゼロとなる。

[0040] 図2のシミュレーション結果に表れたLT制御層とFS層の重なり状態とリーク電流の関係は、以下のように考えられる。FS型IGBTでは、オフ（逆バイアス）時において、表面側のP導電型層とN導電型ドリフト層のPN接合から伸展した空乏層（電界）がFS層に接触し、FS層が空乏層のストップとして機能する。また、ヘリウムのイオン注入で形成したLT制御層に存在する格子欠陥は、電子正孔対の生成中心および再結合中心となる。従って、図3のIGBT90のように、FS層がLT制御層に重ならないようにドリフト層中に形成されている場合には、LT制御層の生成中心で発生し

た電子正孔対が空乏層中の電界でそれぞれ反対極の電極に引かれ、リーク電流になる。そして、図1のIGBT10のように、FS層の半値幅領域がLT制御層の半値幅領域に重なってくると、該重なり領域では、空乏層（電界）が形成されなくなる。このため、該重なり領域のLT制御層で発生した電子正孔対は、電界によって反対極の電極に引かれることなく、すぐに再結合して消滅してしまう。従って、重なりが大きくなるほどリーク電流が低減する。そして、図4のIGBT11のように、FS層表面側境界がLT制御層表面側境界に対してLT制御層の半値幅の $1/2$ 以上表面側になると、LT制御層の格子欠陥のほとんどがFS層の半値幅領域に含まれるようになり、リーク電流がゼロとなる。

[0041] 以上のようにして、図1と図4に例示したIGBT10, 11は、薄型化が可能なFS型IGBTであって、簡単な構造で残留ホールのLTを精密に制御できると共に、リーク電流を抑制でき、損失が小さく高速スイッチングが可能なFS型IGBTとすることができる。

[0042] また、FS型IGBTやNPT型IGBTは、N導電型の半導体基板をドリフト層として使用するため、N導電型の薄いエピタキシャル層をドリフト層として使用するPT型IGBTに較べて、高耐圧用途に適している。従って、図1と図4に例示したIGBT10, 11は、低コストで高耐圧が要求される車載用モータの駆動回路に好適である。

[0043] 図5は、車載用モータの駆動回路に適用した例で、三相交流モータ30の駆動を行う三相のインバータ回路20が備えられた電力変換装置の回路図である。

[0044] 図5において、一点鎖線で囲って示したインバータ回路20は、直流電源21からの電圧および電流を変換して、負荷である三相交流モータ30に電力を供給する。インバータ回路20には、直流電源21と平滑コンデンサ22が並列接続されており、スイッチング時のリップルの低減やノイズの影響を抑制して、一定の電源電圧が供給される。インバータ回路20は、上アームと下アームの直列接続された2つのSW素子がU相、V相、W相の三相分

並列接続された構成とされており、該SW素子に対して、図1や図4に例示したIGBT10, 11が用いられる。また、該SW素子には、還流用のフライホイールダイオード（以下、FWDと略記）23が、それぞれ、逆並列に接続されている。そして、各相の上アームと下アームのSW素子を所定の順番でオンオフ制御して三相の交流電流を生成し、三相交流モータ30を駆動する。

[0045] 図5に示したような車載用のモータを駆動する高電圧のインバータ回路に上記FS型IGBTを用いる場合には、600～1800Vの耐圧が必要とされる。この耐圧を実現できる半導体基板（N導電型ドリフト層）の厚さは、50 μ m以上、180 μ m以下の範囲である。図2では、1200V以上の耐圧を確保するうえで必要とされる変数Kの上限値が示されており、135 μ mの半導体基板1Sを使用するIGBT10, 11では、変数Kの上限値が32 μ mである。

[0046] 次に、本開示の実施形態に係るIGBTの製造方法について説明する。

[0047] 図6は、図1や図4に例示したIGBT10, 11を製造するにあたって、好ましい製造工程を示したフロー図である。以下、図6の製造工程について、図1に示した構造を参照しながら、IGBT10, 11の製造方法について説明する。

[0048] 図6のステップS1に示すように、先に、N導電型（N⁻）の半導体基板に対して、P導電型層2、N導電型領域3、絶縁トレンチゲートGおよびエミッタ電極E等の表面側の構造を形成しておく。次に、ステップS2に示すように、表面側の構造を形成した後、半導体基板を裏面側から研削・研磨して、所定厚さの半導体基板1Sとする。尚、半導体基板1Sの厚さは、900V耐圧では75～90 μ m程度であり、1200V耐圧では125～135 μ m程度である。

[0049] 次に、ステップS3のコレクタ層形成工程に示すように、裏面側の構造形成の最初の工程として、半導体基板1Sの裏面側の表層部に、コレクタ層4を形成する。このコレクタ層形成工程では、例えば、ボロン（B）等のP型

不純物をイオン注入した後、レーザで裏面側の表層部をアニールする。尚、同じ半導体基板 1 S において、図 5 に示した FWD 2 3 を形成する場合には、カソードとなる N 型不純物のイオン注入と上記 IGBT の P 型不純物のイオン注入を選択的に行った後、レーザで裏面側の表層部をアニールする。

[0050] 次に、図 6 のステップ S 4 の第 1 イオン注入工程に示すように、上記コレクタ層形成工程の後、半導体基板 1 S の裏面側からヘリウム (He) をイオン注入して、LT 制御層 5 を形成する。He 線照射量は、 $(1 \sim 3) \times 10^{11} / \text{cm}^{-2}$ 程度である。次に、ステップ S 5 の第 1 アニール工程に示すように、上記第 1 イオン注入工程の後、半導体基板 1 S を、アニール温度：360～400℃、アニール時間：1～2 時間で、一旦アニールする。

[0051] 次に、ステップ S 6 の第 2 イオン注入工程に示すように、上記第 1 アニール工程の後、半導体基板 1 S の裏面側から水素 (H) をイオン注入して、FS 層 6 を形成する。H 線照射量は、 $1 \times (10^{13} \sim 10^{14}) / \text{cm}^{-2}$ 程度である。次に、ステップ S 7 の第 2 アニール工程に示すように、上記第 2 イオン注入工程の後、半導体基板 1 S を、アニール温度：360～400℃、アニール時間：1～2 時間で、再びアニールする。

[0052] そして最後に、図 6 のステップ S 8 に示すように、半導体基板 1 S の裏面側をメタライズして、コレクタ電極 C を形成する。

[0053] 以上で、IGBT 10, 11 の製造が完了する。

[0054] 図 6 に示した IGBT 10, 11 の製造方法において、第 1 アニール工程 S 5 および第 2 アニール工程 S 7 におけるアニール温度は、表面側の構造に影響を与えない 300℃以上、425℃以下であってよく、特に、360℃以上、400℃以下が好適である。このように、第 1 アニール工程 S 5 と第 2 アニール工程 S 7 は、同じ温度範囲が適している。従って、ヘリウム (He) をイオン注入する第 1 イオン注入工程と水素 (H) をイオン注入する第 2 イオン注入工程を続けて行った後、1 回のアニール工程で、これらイオン注入層を同時にアニールすることも考えられる。しかしながら、第 1 イオン注入工程後のヘリウム注入層である LT 制御層と第 2 イオン注入工程後の水

素注入層であるF S層を一括してアニールすると、L T制御層のL T低減効果が消失してしまうことが判明した。このため、図6の製造方法においては、ヘリウムをイオン注入する第1イオン注入工程S4の後の第1アニール工程S5と、水素をイオン注入する第2イオン注入工程S6の後の第2アニール工程S7を、それぞれ別の工程として行っている。

[0055] 尚、ヘリウム注入層であるL T制御層と水素注入層であるF S層を一括してアニールした場合、上記のようにL T制御層のL T低減効果が消失してしまう理由として、次のような要因が考えられる。

[0056] 第1イオン注入工程後の第1アニール工程は、ヘリウムの注入によって形成される格子欠陥を回復させるものではなく、不安定な欠陥だけを取り除いて、残留ホールの所謂L Tキラーとして機能する格子欠陥を安定化させて固定するものである。一方、第2イオン注入工程後の第2アニール工程は、水素の注入によって形成される格子欠陥を回復させて、注入した水素をドナーとして機能させるものである。

[0057] ここで、I G B T 10, 11のようにL T制御層5とF S層6を重ねて形成する場合において、ヘリウムを注入する第1イオン注入工程と水素を注入する第2イオン注入工程を続けて行う場合には、次のようになる。すなわち、第1イオン注入工程によって形成されたL T制御層では、ヘリウムのイオン注入による不安定な欠陥を含めた固定されていない格子欠陥の周りに、第2イオン注入工程で注入された水素が存在することになる。このような状態のL T制御層とF S層を一括してアニールすると、水素の注入によってできたF S層の格子欠陥だけでなく、L T制御層で先に存在していたヘリウムの注入による格子欠陥も回復し、L T制御層のL T低減効果が消失してしまうものと推察している。

[0058] 以上のようにして、上記したI G B Tおよびその製造方法は、薄型化が可能なF S型I G B Tを対象とし、簡単な構造で残留ホールのL Tを精密に制御できると共に、リーク電流を抑制することが可能である。そして、損失が小さく高速スイッチングが可能なF S型I G B Tおよびその製造方法となっ

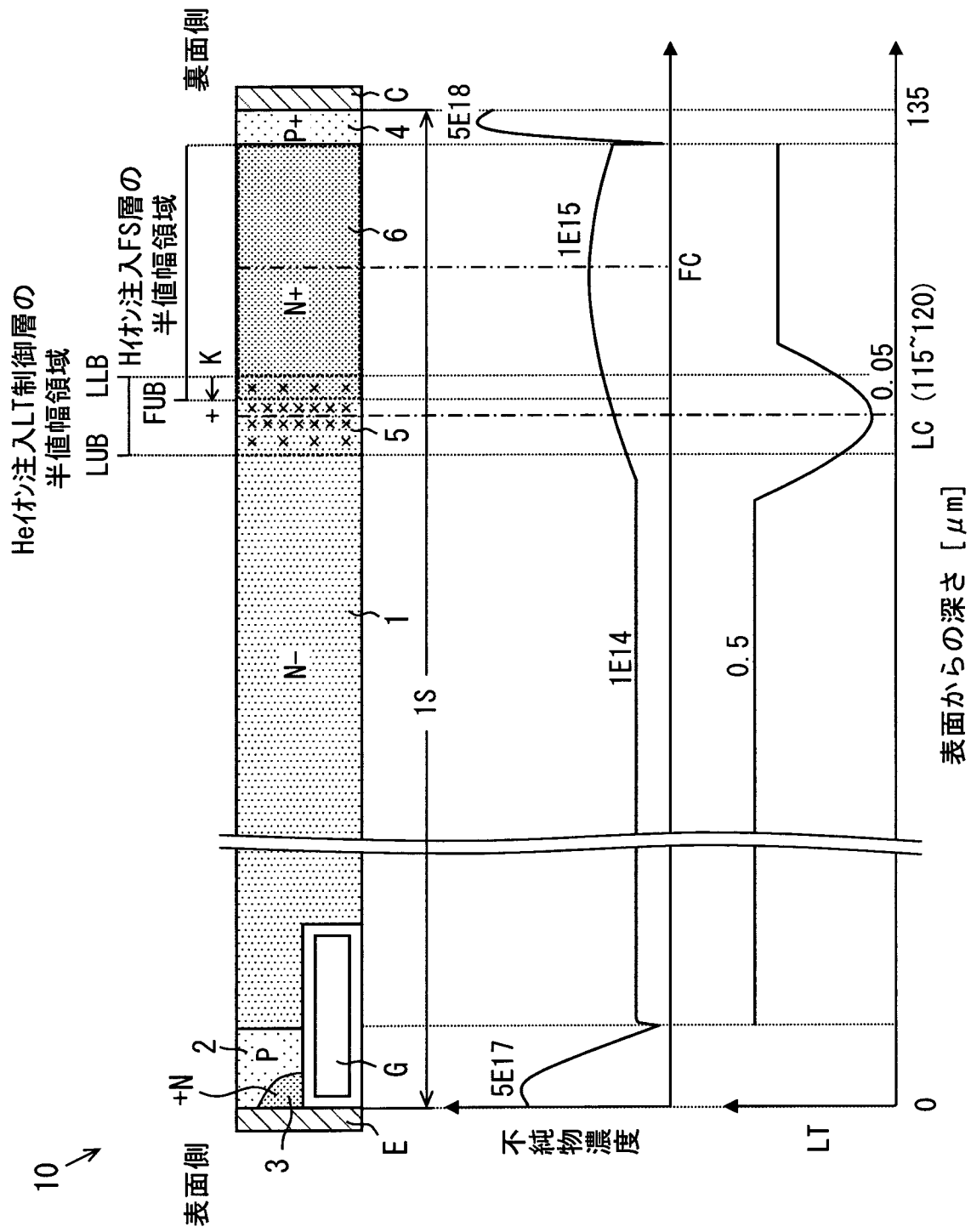
ている。

請求の範囲

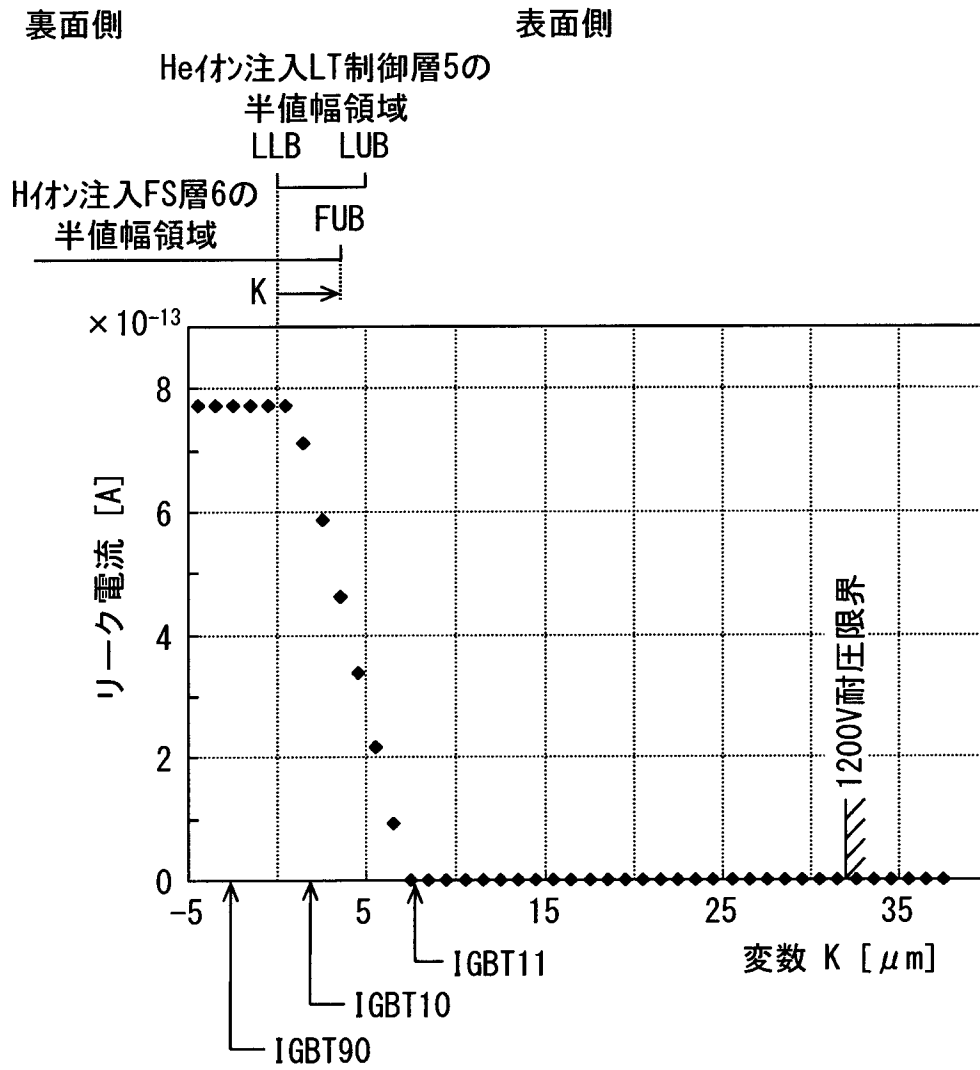
- [請求項1] N導電型の半導体基板（1 S）からなるドリフト層（1）と、
前記半導体基板の裏面側の表層部に形成されたP導電型のコレクタ層（4）と、
前記ドリフト層と前記コレクタ層の間に形成されたN導電型で前記ドリフト層より不純物濃度が高いフィールドストップ層（以下、F S層と略記）（6）と、を備える絶縁ゲートバイポーラトランジスタであって、
前記半導体基板の厚さ方向において、
ライフタイム制御層（以下、L T制御層と略記）（5）が、ヘリウム（H e）のイオン注入により、所定の半値幅で形成されてなり、
前記F S層が、水素（H）のイオン注入により、所定の半値幅で形成されてなり、
前記L T制御層の半値幅領域と前記F S層の半値幅領域とが、重なるように構成されてなる絶縁ゲートバイポーラトランジスタ。
- [請求項2] 前記L T制御層の半値幅領域が、前記F S層の半値幅領域に含まれるように構成されてなる請求項1に記載の絶縁ゲートバイポーラトランジスタ。
- [請求項3] 前記F S層の半値幅領域を規定するF S層表面側境界（F U B）が、前記L T制御層の半値幅領域を規定するL T制御層表面側境界（L T U）に対して、L T制御層の半値幅の1 / 2以上表面側に位置するように構成されてなる請求項2に記載の絶縁ゲートバイポーラトランジスタ。
- [請求項4] 前記L T制御層の半値幅が、5 μ mである請求項3に記載の絶縁ゲートバイポーラトランジスタ。
- [請求項5] 前記半導体基板の厚さが、50 μ m以上、180 μ m以下である請求項1乃至4のいずれか一項に記載の絶縁ゲートバイポーラトランジスタ。

- [請求項6] 前記絶縁ゲートバイポーラトランジスタが、
前記半導体基板の表面側の表層部に形成されたP導電型層を貫通する絶縁トレンチゲート（G）を有した、トレンチゲート型である請求項1乃至5のいずれか一項に記載の絶縁ゲートバイポーラトランジスタ。
- [請求項7] 前記絶縁ゲートバイポーラトランジスタが、
車載用のモータを駆動するインバータ回路に用いられる請求項1乃至6のいずれか一項に記載の絶縁ゲートバイポーラトランジスタ。
- [請求項8] 請求項1乃至7のいずれか一項に記載の絶縁ゲートバイポーラトランジスタの製造方法であって、
前記半導体基板の裏面側の表層部に、前記コレクタ層を形成するコレクタ層形成工程（S3）と、
前記コレクタ層形成工程の後、前記半導体基板の裏面側からヘリウムをイオン注入して、前記LT制御層を形成する第1イオン注入工程（S4）と、
前記第1イオン注入工程の後、前記半導体基板をアニールする第1アニール工程（S5）と、
前記第1アニール工程の後、前記半導体基板の裏面側から水素をイオン注入して、前記FS層を形成する第2イオン注入工程（S6）と、
前記第2イオン注入工程の後、前記半導体基板をアニールする第2アニール工程（S7）と、を有してなる絶縁ゲートバイポーラトランジスタの製造方法。
- [請求項9] 前記第1アニール工程および前記第2アニール工程におけるアニール温度が、300℃以上、425℃以下である請求項8に記載の絶縁ゲートバイポーラトランジスタの製造方法。
- [請求項10] 前記アニール温度が、360℃以上、400℃以下である請求項9に記載の絶縁ゲートバイポーラトランジスタの製造方法。

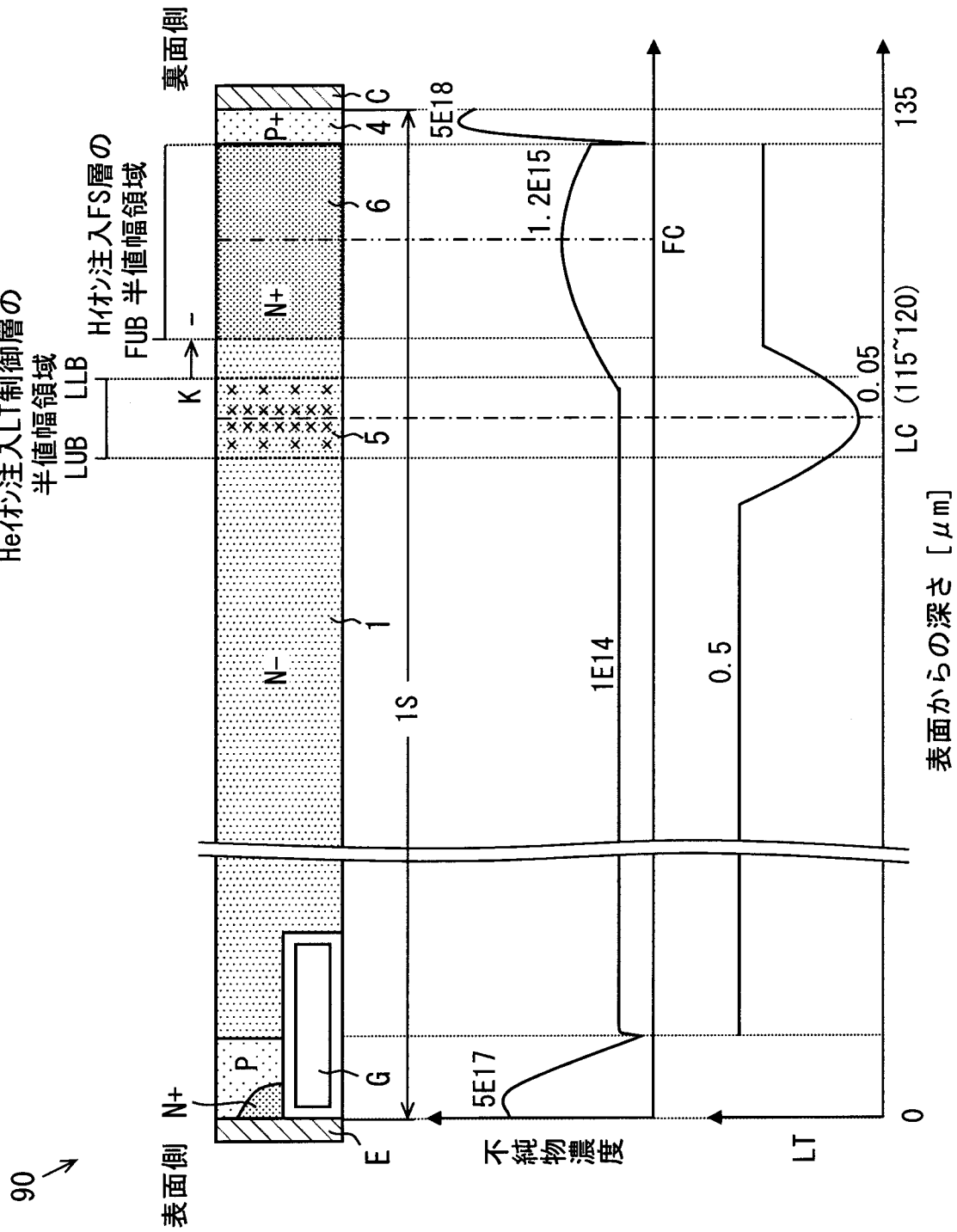
[図1]



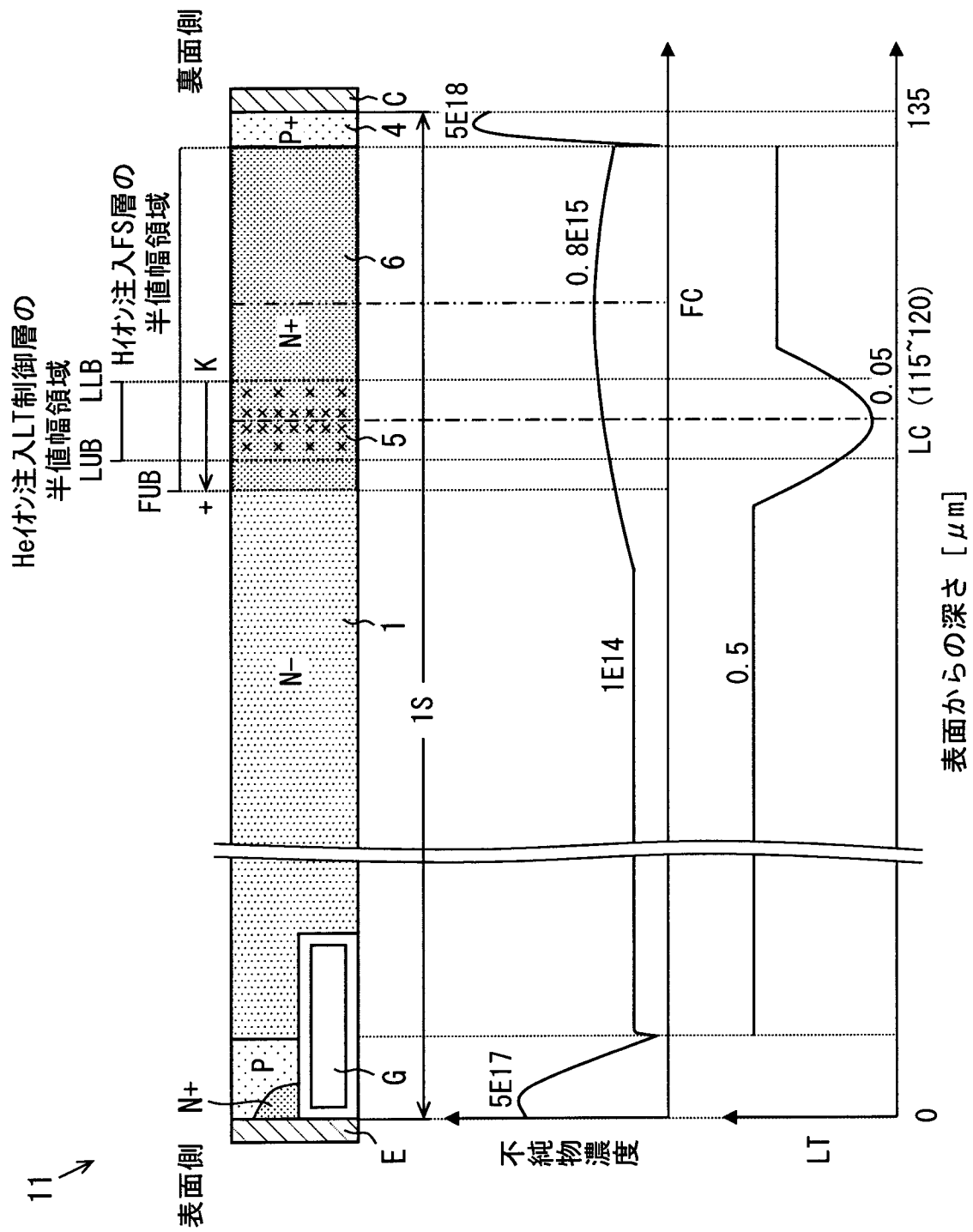
[図2]



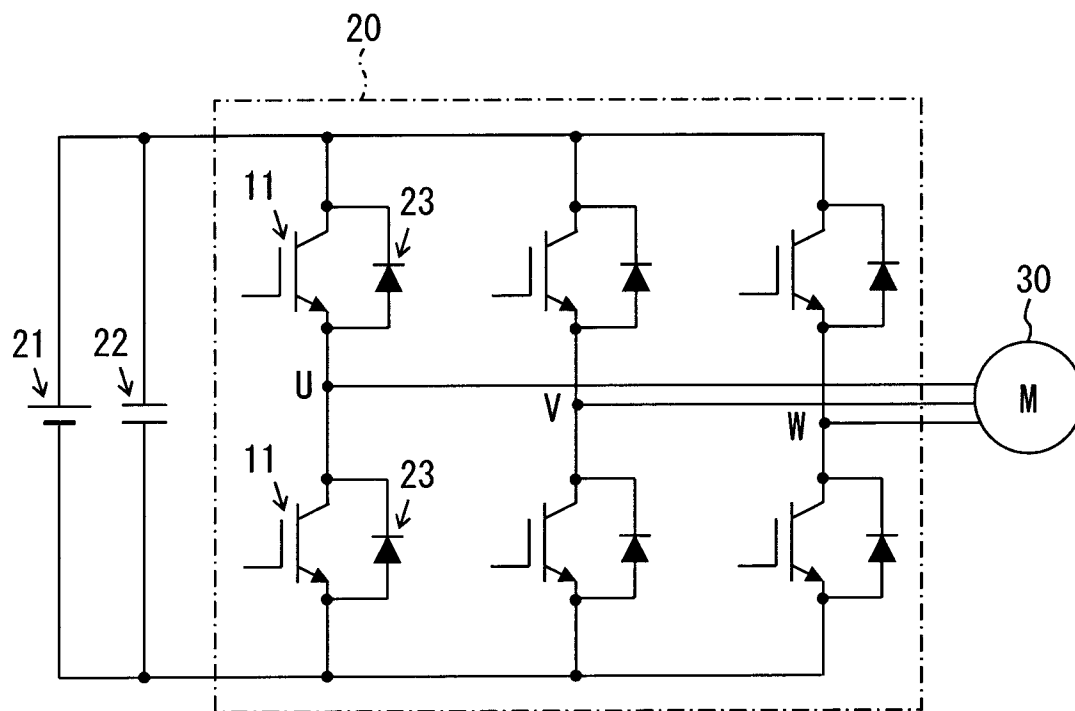
HeiOn注入LT制御層の



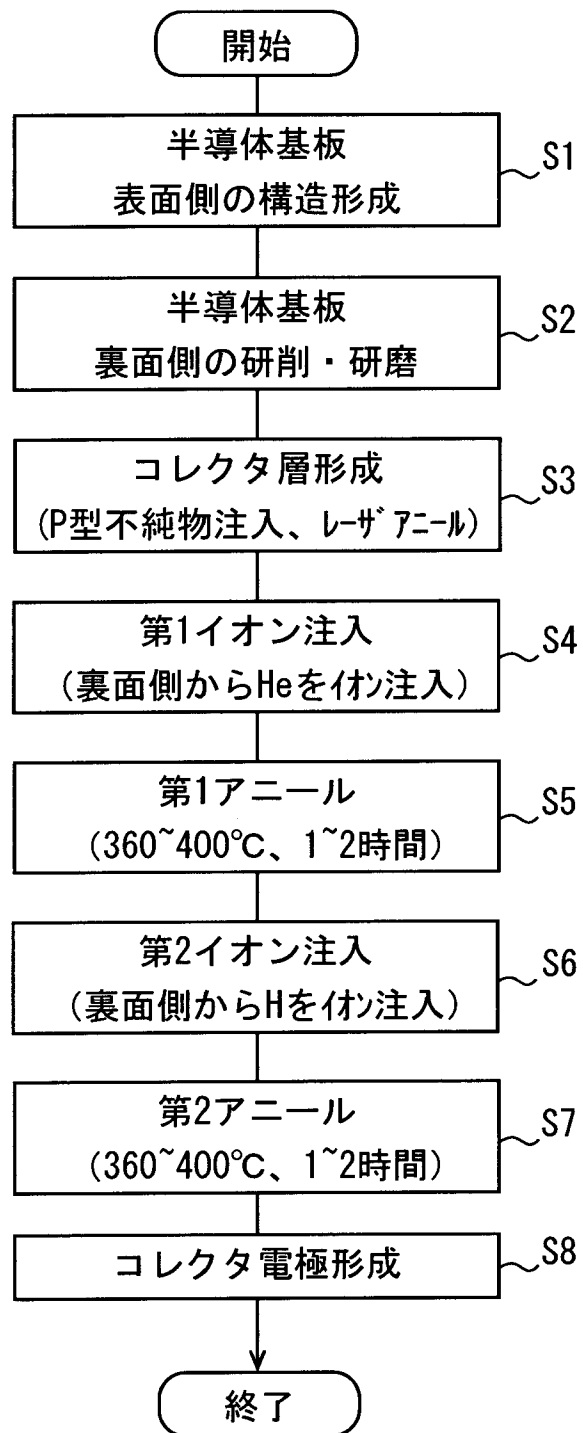
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/005076

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/739(2006.01)i, H01L21/265(2006.01)i, H01L21/336(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/739, H01L21/265, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-074181 A (Toyota Motor Corp., S.H.I.Examination & Inspection, Ltd.), 22 April 2013 (22.04.2013), paragraphs [0019] to [0025], [0028] to [0033], [0039]; fig. 1, 11, 12, 20 & US 2013/0075783 A1 & DE 102012217562 A & CN 103035676 A	1-10
Y	JP 2009-283818 A (Sanken Electric Co., Ltd.), 03 December 2009 (03.12.2009), paragraphs [0012] to [0022]; fig. 1, 3 & US 2009/0289278 A1	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
18 December 2014 (18.12.14)

Date of mailing of the international search report
06 January 2015 (06.01.15)

Name and mailing address of the ISA/
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/005076

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011/049054 A1 (Toyota Motor Corp., Denso Corp.), 28 April 2011 (28.04.2011), paragraphs [0037] to [0046]; fig. 3 & JP 2011-086883 A	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/739(2006.01)i, H01L21/265(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/739, H01L21/265, H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-074181 A（トヨタ自動車株式会社，住重試験検査株式会社） 2013.04.22，段落【0019】－【0025】，【0028】－【0033】，【0039】， 第1，11，12，20図 & US 2013/0075783 A1 & DE 102012217562 A & CN 103035676 A	1-10
Y	JP 2009-283818 A（サンケン電気株式会社）2009.12.03， 段落【0012】－【0022】，第1，3図 & US 2009/0289278 A1	1-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 1 2 . 2 0 1 4

国際調査報告の発送日

0 6 . 0 1 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

平野 崇

5 F

3 6 5 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/049054 A1 (トヨタ自動車株式会社, 株式会社デンソー) 2011.04.28, 段落【0037】 - 【0046】, 第3図 & JP 2011-086883 A	1-10