

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 16 日(16.10.2014)

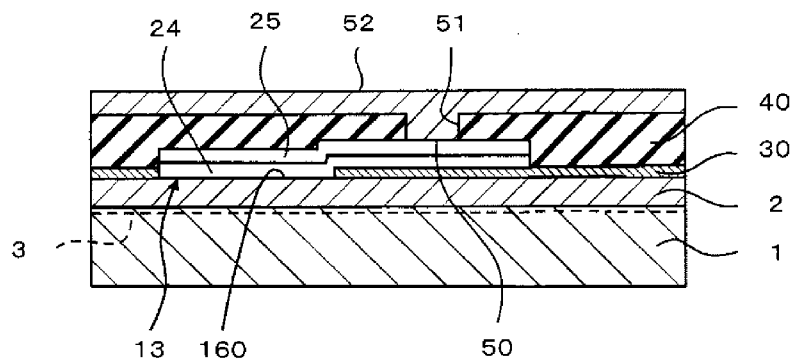


(10) 国際公開番号
WO 2014/167876 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 21/28 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2014/051694
- (22) 国際出願日: 2014 年 1 月 27 日(27.01.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-083892 2013 年 4 月 12 日(12.04.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 森下 敏(MORISHITA, Satoshi). 民谷 哲也(TAMIYA, Tetsuya). 仲山 寛(NAKAYAMA, Yutaka).
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町 8 番 1 号梅田阪急ビルオフィスタワー青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: NITRIDE SEMICONDUCTOR DEVICE

(54) 発明の名称: 窒化物半導体装置



(57) Abstract: This nitride semiconductor device is provided with a substrate (10), a nitride semiconductor laminated body (1, 2), and an electrode metal layer (13). The electrode metal layer (13) is bonded to the nitride semiconductor laminated body (1, 2), and includes a first metal layer (24) having a fine columnar structure including a plurality of column sections (A), and a second metal layer (25), which is laminated on the first metal layer (24), and which has a fine columnar structure including a plurality of column sections (B). The average size of the column sections (B) of the fine columnar structure of the second metal layer (25), said average size being in the diameter direction of the column sections (B), is larger than the average size of the column sections (A) of the fine columnar structure of the first metal layer (24), said average size being in the diameter direction of the column sections (A).

(57) 要約: 窒化物半導体装置は、基板 (10) と、窒化物半導体積層体 (1, 2) と、電極金属層 (13) とを備える。電極金属層 (13) は、窒化物半導体積層体 (1, 2) に接合すると共に、複数の柱部 (A) を含む微細柱状構造を有する第 1 金属層 (24) と、第 1 金属層 (24) 上に積層されると共に、複数の柱部 (B) を含む微細柱状構造を有する第 2 金属層 (25) とを含み、第 2 金属層 (25) の微細柱状構造の柱部 (B) の太さ方向の平均サイズが、第 1 金属層 (24) の微細柱状構造の柱部 (A) の太さ方向の平均サイズよりも大きい。

WO 2014/167876 A1

明 細 書

発明の名称：窒化物半導体装置

技術分野

[0001] 本発明は、窒化物半導体装置に関する。

背景技術

[0002] 従来、窒化物半導体装置としては、特開2006-196764号(特許文献1)に記載されているように、 $GaN/AlGaN$ のヘテロ接合を有するものがある。この従来の窒化物半導体装置では、 GaN 系からなる化合物半導体層上にショットキー障壁を十分な高さとする Ni 層や $Ti_xW_{1-x}N$ 層を形成し、この Ni 層や $Ti_xW_{1-x}N$ 層上に低抵抗金属層を形成することにより、ゲート電極を形成している。

[0003] また、上記特許文献1では、上記ゲート電極において、 $Ti_xW_{1-x}N$ 層は、ショットキー障壁を形成する材料として有用であると共に、この $Ti_xW_{1-x}N$ 層上に形成する低抵抗金属層の金属が GaN 系化合物半導体層に拡散するのを抑える拡散バリアとなるので、ゲート電極へのリーク電流が抑制されることが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-196764号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、上記従来の窒化半導体装置では、ゲート電極へのリーク電流が多少抑制されるものの十分ではなく、アニール条件や膜厚などを工夫しても、ゲート電極へのリーク電流を十分に低減させることができなかったという問題があった。

[0006] そこで、本発明の課題は、ゲート電極へのリーク電流を十分に低減できる窒化物半導体装置を提供することにある。

課題を解決するための手段

- [0007] 本発明者らは、ゲート電極へのリーク電流(以下、ゲートリーク電流という)について鋭意検討した結果、ゲート電極をなす金属材料として微細柱状構造を有する金属材料を積層して用いることにより、ゲートリーク電流を大幅に低減し、ゲートリーク電流不良率を大きく改善するという現象を発見した。
- [0008] 上記ゲート電極をなす金属材料の微細柱状構造が、ゲートリーク電流に関与することの物理的な明確な理由は不明であったが、窒化半導体積層体に接合すると共に、複数の柱部を含む微細柱状構造を有する第1金属層と、第1金属層上に積層されると共に、複数の柱部を含む微細柱状構造を有する第2金属層とを含み、第2金属層の柱部の太さ方向の平均サイズが、第1金属層の柱部の太さ方向の平均サイズよりも大きくなるようゲート電極を構成した場合に、ゲートリーク電流を大幅に低減することが本発明者らによる実験により判明した。
- [0009] さらに、本発明者は、第1金属層および第2金属層を特定の材料で形成し、かつ、これらの金属層の微細柱状構造の複数の柱部の太さ方向の平均サイズが特定の範囲内にあるときにゲートリーク電流がさらに改善することを実験により初めて見出した。
- [0010] 本発明は、このようなゲート電極の微細柱状構造がゲートリーク電流に顕著に関与するという本発明者らの実験による発見に基づいて創出されたものである。
- [0011] すなわち、本発明の窒化物半導体装置は、
基板と、
上記基板上に形成され、ヘテロ界面を有する窒化物半導体積層体と、
上記窒化物半導体積層体上に形成され、電極金属層と
を備え、
上記電極金属層は、
上記窒化半導体積層体に接合すると共に、複数の柱部を含む微細柱状構造を有する第1金属層と、

上記第 1 金属層上に積層されると共に、複数の柱部を含む微細柱状構造を有する第 2 金属層とを含み、

上記第 2 金属層の上記柱部の太さ方向の平均サイズが、上記第 1 金属層の上記柱部の太さ方向の平均サイズよりも大きいことを特徴とする。

[0012] また、一実施形態の窒化半導体装置では、

上記第 1 金属層の上記微細柱状構造は、タングステン窒化物で構成され、上記第 1 金属の上記柱部の太さ方向の平均サイズが 5 nm 以上 25 nm 以下である。

[0013] また、一実施形態の窒化半導体装置では、

上記第 2 金属層の上記柱部の太さ方向の平均サイズが 30 nm 以上 150 nm 以下である。

[0014] また、一実施形態の窒化半導体装置では、

上記第 2 金属層は、タングステンで構成される。

[0015] また、一実施形態の窒化半導体装置では、

上記第 2 金属層は、タングステン層とチタン窒化物層とで構成される。

発明の効果

[0016] 以上より明らかなように、本発明の窒化半導体装置によれば、窒化半導体積層体に接合すると共に、複数の柱部を含む微細柱状構造を有する第 1 金属層と、第 1 金属層上に積層されると共に、複数の柱部を含む微細柱状構造を有する第 2 金属層とを含み、第 2 金属層の上記柱部の太さ方向の平均サイズが、上記第 1 金属層の上記柱部の太さ方向の平均サイズよりも大きい電極金属を備えているので、この電極金属でゲート電極を形成した場合に、ゲートリーク電流を十分に低減することができる。

図面の簡単な説明

[0017] [図1]図 1 は、本発明の第 1 実施形態の窒化物半導体装置の断面図である。

[図2]図 2 は、上記窒化物半導体装置の製造方法を説明するための工程断面図である。

[図3]図 3 は、図 2 に続く工程断面図である。

[図4]図 4 は、図 3 に続く工程断面図である。

[図5]図 5 は、図 4 に続く工程断面図である。

[図6]図 6 は、図 5 に続く工程断面図である。

[図7]図 7 は、図 6 に続く工程断面図である。

[図8]図 8 は、上記窒化物半導体装置のゲート電極の断面構造を示す走査型電子顕微鏡像を示す図である。

[図9]図 9 は、図 8 に示す走査型電子顕微鏡像の線分析結果を示す図である。

[図10]図 10 は、比較例である窒化物半導体装置のゲート電極の断面構造を示す走査型電子顕微鏡像を示す図である。

[図11]図 11 は、図 10 に示す走査型電子顕微鏡像の線分析結果を示す図である。

[図12]図 12 は、上記窒化物半導体装置の第 1 金属層の微細柱状構造の柱部の太さ方向の平均サイズとゲートリーク電流不良率との関係を示す図である。

[図13]図 13 は、上記窒化物半導体装置の第 2 金属層の微細柱状構造の柱部の太さ方向の平均サイズとゲートリーク電流不良率との関係を示す図である。

[図14]図 14 は、本発明の第 2 実施形態の窒化物半導体装置のゲート電極の断面構造を示す走査型電子顕微鏡像を示す図である。

[図15]図 15 は、上記窒化物半導体装置の第 2 金属層の微細柱状構造の柱部の太さ方向の平均サイズとゲートリーク電流不良率との関係を示す図である。

発明を実施するための形態

[0018] 以下、本発明を図示の実施形態により詳細に説明する。

[0019] (第 1 実施形態)

図 1 は、本発明の第 1 実施形態の GaN 系 H F E T (Hetero-junction Field Effect Transistor : ヘテロ接合電界効果トランジスタ)の断面図を示して

いる。

[0020] 上記窒化物半導体装置は、図1に示すように、Si基板10と、このSi基板10上に形成されたアンドープAlGa_{0.5}Nバッファ層15と、このアンドープAlGa_{0.5}Nバッファ層15上に形成された窒化物半導体積層体20とを備えている。この窒化物半導体積層体20は、アンドープGa_{0.5}N層1およびアンドープAlGa_{0.5}N層2からなる。このアンドープGa_{0.5}N層1とアンドープAlGa_{0.5}N層2との界面近傍には、2DEG層（2次元電子ガス層）3が発生する。

[0021] なお、上記Ga_{0.5}N層1に替えて、AlGa_{0.5}N層2よりもバンドギャップの小さい組成を有するAlGa_{0.5}N層としてもよい。また、上記AlGa_{0.5}N層2上にキャップ層として例えばGa_{0.5}Nからなる約1nmの厚さの層を設けてもよい。また、上記窒化物半導体層20は、2層の半導体層で形成されているが、これに限らず、3層の窒化物半導体層で形成されていてもよい。

[0022] また、上記窒化物半導体装置は、ソース電極11およびドレイン電極12を備えている。また、ソース電極11およびドレイン電極12は、AlGa_{0.5}N層2上に、互いに間隔をあけて形成されている。また、ソース電極11、ドレイン電極12は、AlGa_{0.5}N層2と2DEG層3とを貫通してGa_{0.5}N層1まで達する凹部106、109に形成されている。また、AlGa_{0.5}N層2上、かつ、ソース電極11とドレイン電極12との間のソース電極側に、ゲート電極13を形成している。ソース電極11およびドレイン電極12はオーミック電極であり、ゲート電極13はショットキー電極である。上記ソース電極11と、ドレイン電極12と、ゲート電極13と、活性領域とでHFE_{0.5}Tを構成している。なお、ゲート電極13は、金属電極層の一例である。

[0023] ここで、上記活性領域とは、ゲート電極13に印加される電圧によって、ソース電極11とドレイン電極12との間でキャリアが流れる窒化物半導体積層体20(Ga_{0.5}N層1、AlGa_{0.5}N層2)の領域である。

[0024] そして、上記AlGa_{0.5}N層2を保護するため、このAlGa_{0.5}N層2上に、SiO₂からなる絶縁膜30を形成している。また、上記絶縁膜30上に、ソ

ース電極 1 1、ドレイン電極 1 2 およびゲート電極 1 3 を覆うポリイミドからなる層間絶縁膜 4 0 を形成している。この層間絶縁膜 4 0 には、ソース電極 1 1、ドレイン電極 1 2 およびゲート電極 1 3 上の領域に、コンタクト部としてのビア 4 1（図 1 ではソース電極 1 1 およびゲート電極 1 3 上のビアは図示されていない）をそれぞれ形成している。このビア 4 1 内には、ドレイン電極パッド 4 2 の一部が充填され、ドレイン電極パッド 4 2 に接続されている。

[0025] なお、上記絶縁膜 3 0 の材料は、 SiO_2 に限らず、 SiN や Al_2O_3 などであってもよい。特に、絶縁膜 3 0 は、電流コラプス抑制のために半導体層表面にストイキオメトリックを崩した SiN 膜と、表面保護のための SiO_2 膜または SiN 膜との多層膜構造を有するものにしてもよい。また、層間絶縁膜 4 0 の材料は、ポリイミドに限らず、 p-CVD （プラズマ化学気相成長）で製造した SiO_2 膜や SOG （Spin On Glass：塗布ガラス）や BP SG （ホウ素・リン・シリケート・ガラス）などの絶縁材料であってもよい。

[0026] ここで、「電流コラプス」とは、低電圧動作でのトランジスタのオン抵抗と比べて高電圧動作でのトランジスタのオン抵抗が高くなってしまふ現象である。

[0027] 上記構成の窒化物半導体装置において、ゲート電極 1 3 に電圧を印加することにより上記チャネル層を制御して、ソース電極 1 1 とドレイン電極 1 2 とゲート電極 1 3 を有する HFET をオンオフさせる。この HFET は、ゲート電極 1 3 に負電圧が印加されているときにゲート電極 1 3 下の GaN 層 1 に空乏層が形成されてオフ状態となる一方、ゲート電極 1 3 の電圧がゼロのときにゲート電極 1 3 下の GaN 層 1 に空乏層がなくなってオン状態となるノーマリーオンタイプのトランジスタである。

[0028] 次に、上記 GaN 系 HFET の製造方法を図 2～図 7 に従って説明する。なお、図 2～図 7 では、図を見やすくするために、 Si 基板 1 0 や AlGaN バッファ層 1 5 を図示せず、また、ゲート電極 1 3、ソース電極 1 1 およびドレイン電極 1 2 の大きさや間隔を変えている。

[0029] まず、図2に示すように、上記Si基板10上に、MOCVD(Metal Organic Chemical Vapor Deposition:有機金属気相成長)法を用いて、AlGaInバッファ層15、GaIn層101およびAlGaIn層102を順に形成する。GaIn層101の厚さは例えば1 μ m、AlGaIn層102の厚さは例えば30nmとする。このGaIn層101とAlGaIn層102とが窒化物半導体積層体120を構成している。

[0030] そして、上記AlGaIn層102上に絶縁膜130(例えばSiO₂)を例えばプラズマCVD(Cheical Vapor Deposition:化学的気相成長)法により200nmの厚さに成膜する。このとき、GaIn層101とAlGaIn層102とのヘテロ界面近傍には、2DEG層103が形成されている。

[0031] 次に、上記絶縁膜130上にフォトリソ(図示せず)を塗布してパターニングした後、ドライエッチングにより、オーミック電極を形成すべき部分を除去する。これにより、図3に示す用に、絶縁膜130の上面からGaIn層101の上側の一部に達して2DEG層103よりも深い凹部106, 109を形成する。この凹部106, 109の深さはAlGaIn層102の表面から2DEG層103までの深さ以上であればよく、例えば50nmとする。

[0032] 上記ドライエッチングでは、塩素系のガスを用い、RIE(reactive ion etching:リアクティブイオンエッチング)装置の自己バイアス電位V_{dc}を180V以上かつ240V以下に設定する。

[0033] 上記凹部106, 109形成後、順次、O₂プラズマ処理、HCl/H₂O₂による洗浄、BHF(バッファードフッ酸)もしくは1%のHF(フッ酸)による洗浄を凹部106, 109の表面に対して行なう。そして、ドライエッチングによるエッチングダメージを低減するためにアニールを行う(例えば500~850℃)。

[0034] 次に、図4に示すように、絶縁膜30上および凹部106, 109にスパッタリングによりTi/Al/TiNを積層して、オーミック電極となる積層金属膜107を形成する。ここで、TiN層は、後工程からTi/Al層を保

護するためのキャップ層である。

[0035] 上記スパッタリングにより積層金属膜 107 を形成する時に、Ti 成膜中に少量(例えば 5 s c c m)の酸素をチャンバー内に流す。ここで、上記チャンバー内に流す酸素の流量は、Ti の酸化物が生成されない量とする。

[0036] なお、上記スパッタリングにおいて、Ti 成膜中に少量の酸素をチャンバー内に流すことに替えて、Ti 成膜前にチャンバー内に例えば 50 s c c m の酸素を 5 分間流すようにしてもよい。また、Ti と Al の両方を同時にスパッタリングしてもいいし、スパッタリングに替えて Ti , Al を蒸着するようにしてもよい。

[0037] 次に、図 5 に示すように、通常の写真リソグラフィおよびドライエッチングを用いて、ソース電極 11 , ドレイン電極 12 のパターンを形成する。

[0038] そして、ソース電極 11 , ドレイン 12 が形成された基板を例えば 400℃以上かつ 500℃以下で 10 分以上アニールすることによって、2DEG 層 3 とソース電極 11 , ドレイン電極 12 との間にオーミックコンタクトが得られる。

[0039] 次に、図 6 に示すように、写真リソグラフィにより、フォトレジスト(図示せず)にマスクを形成した後、エッチングにより、ソース電極 11 とドレイン電極 12 との間に、絶縁膜 30 のゲート電極 13 を形成すべき領域を除去して凹部 160 を形成する。

[0040] そして、上記フォトレジスト上および凹部 160 にスパッタリングによりゲート金属膜を 150 nm から 250 nm までの範囲の膜厚で形成した後、リフトオフにより絶縁膜 30 上に突き出したゲート電極 13 を形成する。このゲート電極 13 は、複数の柱部 A を(図 8 に示す)含む微細柱状構造を有する第 1 金属層 24 と、複数の柱部 B (図 8 に示す)を含む微細柱状構造を有すると共に第 1 金属層 24 上に積層された第 2 金属層 25 とで構成されている。第 1 金属層 24 と AlGaIn 層 2 との接合は、ショットキー接合となる。

[0041] 上記ゲート電極 13 では、第 1 金属層 24 として W (タングステン) 窒化

物、第2金属層25としてWを用いている。

[0042] 上記第1、第2金属層24、25の微細柱状構造の柱部A、Bは、それぞれ層厚方向と略平行な方向に延びている。また、第1金属層24の微細柱状構造の柱部Aは、下端がAlGaIn層2の上面に接合されている一方、上端が第2金属層25の仮面に接合されている。また、第2金属層25の微細柱状構造の柱部Bは、下端が第1金属層24の上面に接合されている。

[0043] なお、上記ゲート電極13は、第1金属層24とAlGaIn層2との接合がショットキー接合となるものであればよく、例えば第1金属層24にTi窒化物を用いてもいいし、第1金属層24とAlGaIn層2との間にストイキオメトリックを崩したSiN膜などの薄膜を形成し、この薄膜を介して第1金属層24とAlGaIn層2とを互いに接合してもよい。

[0044] 次に、上記絶縁膜30上に層間絶縁膜40を形成する。そして、この層間絶縁膜40のゲート電極13上の領域に、フッ素系ガスを用いたドライエッチングを行う。これにより、図7に示すように、ビア51が形成された層間絶縁膜40が得られる。このビア51内のゲート電極パッド52の一部がゲート電極13に接続される。また、ソース電極11、ドレイン電極12についても同様に、ドライエッチングにより層間絶縁膜40のソース電極11（図1に示す）およびドレイン電極12（図1に示す）上の領域にビア41（ソース電極11上のビアは図示していないが、ドレイン電極12上のビア41は図1に示す）を形成し、このビア41内に電極パッド材料が充填されることにより、図1に示すような窒化半導体装置を形成する。

[0045] 上記実施形態において、ゲート電極13の第1金属層24に用いるW窒化物膜および第2金属層25に用いるW膜の成膜条件を以下のように設定して、ゲート電極13を作製した。図8は、上記製造方法により作製したゲート電極13の断面構造の一例である。

(W窒化物膜)

Ar流量：45－110 sccm

N₂流量：135－180 sccm

チャンバー内圧力：35－83mTorr

DC出力：1000－1600W

成膜温度：300℃

(W膜)

Ar流量：45－80sccm

チャンバー内圧力：4－10mTorr

DC出力：1000－1600W

成膜温度：300℃

[0046] 上記条件の下で作製したW窒化物膜の微細柱状構造の柱部Aの太さ方向の平均サイズは23.2nmであった。一方、W膜の微細柱状構造の柱部Bの太さ方向の平均サイズは、34.4nmであった。このゲート電極13を用いた上記実施形態のGaN系HFETでは、ドレイン電極12に0V、ソース電極11に0V、ゲート電極13に-20Vを印加したオフ状態におけるゲートリーク電流が0.7nAであった。さらに、2.0nA以上を不良とした場合の不良率は0.6%であった。

[0047] また、比較例として、図10に示すようなゲート電極1013を備えたGaN系HFETを形成した。このゲート電極1013では、微細柱状構造の柱部Cの太さ方向の平均サイズが24.0nmであるW窒化物膜を第1金属層1024として用い、微細柱状構造の柱部Dの太さ方向の平均サイズが22.5nmであるW膜を第2金属層1025として用いた。このような比較例のGaN系HFETでは、ゲートリーク電流は1.6nAであり、ゲートリーク電流不良率は93%であった。

[0048] ここで、本発明で用いている微細柱状構造の柱部の太さ方向の平均サイズの算出方法について説明する。対象となる窒化物半導体装置の基板をゲート電極の断面が露出するように劈開し、図8、図10に示すように、走査型電子顕微鏡を用いて劈開した部分を観察する。そして、第1金属層および第2金属層の微細柱状構造の柱部の長さ方向に対して垂直な方向（層厚方向に対して垂直な方向）に走査型電子顕微鏡の電子線を走査すると、図9、図11

に示すような2次電子の線分析像が得られる。この線分析像の強度が電子線を走査した微細柱状構造の表面の凹凸形状に対応していることから、走査範囲内の線分析像の凸部分の半値幅の平均を、対象となる窒化物半導体装置の微細柱状構造の柱部の太さ方向の平均サイズとした。

[0049] 図12は、上記Ga_{0.5}In_{0.5}N系HFETのゲート電極13の第1金属層24の微細柱状構造の柱部Aの太さ方向の平均サイズとゲートリーク電流不良率との関係を示している。また、図13は、上記Ga_{0.5}In_{0.5}N系HFETのゲート電極13の第2金属層25の微細柱状構造の柱部Bの太さ方向の平均サイズとゲートリーク電流不良率との関係を示している。

[0050] 図12を参照すれば、上記第1金属層24の微細柱状構造の柱部Aの太さ方向の平均サイズを25nm以下にすると、ゲートリーク電流不良率が5%未満になることが分かる。これは、上記柱部Aの太さ方向の平均サイズが25nmを超えると、第1金属層24の内部応力が大きくなり、AlGa_{0.5}In_{0.5}N層2との界面でのリークが増大するからであると考えられる。一方、上記第1金属層24微細柱状構造の柱部Aの太さ方向の平均サイズを5nm未満にすると、もはや微細柱状構造ではなくなり、第2金属層25との間の内部応力が大きくなる。これにより、第1金属層24と第2金属層25との間の密着性が低下し、第2金属層25が膜はがれを起こしやすくなる。

[0051] 上記第1金属層24として用いられるW窒化物膜は、その成膜時において、DC出力を1000-1600Wの範囲で小さくするほど、また、N₂/Ar流量比を大きくするほど、微細柱状構造の柱部Aの太さ方向の平均サイズが小さくなる傾向があった。特に、N₂およびArの総流量を少なくすることで、柱部Aの太さ方向の平均サイズが小さい微細柱状構造の形成に効果があった。チャンバー内圧力が35-83mTorrの圧力範囲では、N₂およびArの総流量を下げ、チャンバー内圧力を低くした方が微細柱状構造太さ方向の平均サイズを小さくするのに効果があった。これは、チャンバー内圧力が下がるとスパッタ粒子の散乱が減少し、柱状構造の成長レートが上がるためだと考えられる。

[0052] また、図 13 を参照すれば、上記第 2 金属層 25 の微細柱状構造の柱部 B の太さ方向の平均サイズを 30 nm 以上にすると、ゲートリーク電流不良率が 1 % 未満になることが分かる。これは、第 2 金属層 25 の微細柱状構造の柱部 B の太さ方向の平均サイズを 30 nm 未満にすると、第 2 金属層 25 の微細柱状構造の柱部 B の太さ方向の平均サイズが、下地となる第 1 金属層 24 の微細柱状構造の柱部 A の太さ方向の平均サイズと近くなり、構造の連続性（粒界の連続性）が強まって、ビア 51 を形成する際のドライエッチング工程時に、プラズマがビア 51 底のコンタクト部 50（図 7 に示す）からゲート電極 13 を抜け絶縁膜 30 に達し、この絶縁膜 30 がプラズマ中の活性種によりダメージを受けるため、ゲートリーク電流が増加し、ゲートリーク電流不良率が増加するからだと考えられる。一方、第 2 金属層 25 の微細柱状構造の太さ方向の平均サイズを 30 nm 以上にすると、第 1 金属層 24 の微細柱状構造との構造の連続性が低下し、上記ドライエッチング時におけるコンタクト部 50 からの絶縁膜 30 へダメージの拡散を抑制するため、ゲートリーク電流を低減し、ゲートリーク電流不良率を低減することができると考えられる。

[0053] ところで、上記第 2 金属層 25 の微細柱状構造の柱部 B の太さ方向の平均サイズが 150 nm を超えると、もはや微細柱状構造ではなくなり、第 1 金属層 24 と第 2 金属層 25 との構造の連続性をさらに低下させることができるが、第 2 金属層 25 の内部応力が大きくなる。このため、第 1 金属層 24 との密着性が低下し、第 2 金属層 25 が膜はがれを起こす恐れがある。したがって、第 2 金属層 25 は、微細柱状構造を有していなければならず、その太さ方向の平均サイズは 150 nm 未満であるのが好ましい。

[0054] 上記第 2 金属層 25 として用いられる W 膜は、その成膜時において、DC 出力を 1000 - 1600 W の範囲で大きくするほど、微細柱状構造の柱部 A の太さ方向の平均サイズが大きくなる傾向があった。しかし、Ar 流量：40 - 80 sccm の範囲では、Ar 流量を小さくしてチャンバー内圧力を低くする方が、第 1 金属層 24 との密着性の高い微細柱状構造の形成に効果

があった。これは、 A_r 流量を下げ、チャンバー内圧力を下げることで、スパッタ粒子の散乱が減少し、柱状構造の縦方向の成長レートが上がるためだと考えられる。

[0055] このように、上記第2金属層25の微細柱状構造の柱部Bの太さ方向の平均サイズを、第1金属層24の微細柱状構造の柱部Aの太さ方向の平均サイズよりも大きくすることによって、ゲートリーク電流を大幅に低減できるので、ゲートリーク電流不良率を著しく改善できることが分かった。特に、第1金属層24の微細柱状構造の柱部Aの太さ方向の平均サイズを25 nm以下に、第2金属層25の微細柱状構造の柱部Bの太さ方向の平均サイズを30 nm以上にすることによって、ゲートリーク電流不良率をさらに改善することができた。

[0056] (第2実施形態)

次に、本発明の第2実施形態のGaN系HFEETについて説明する。この第2実施形態のGaN系HFEETは、基本的に、図1に示す第1実施形態のGaN系HFEETと同様の構成であり、第1実施形態のGaN系HFEETの製造方法と同様の工程を有する。そのため、図1～図7の説明を援用して、構成および製造方法の説明については省略する。また、以下では、上記第1実施形態のGaN系HFEETの厚生部と同一構成部には、上記第1実施形態の構成部の参照番号と同一の参照番号付して説明する。

[0057] 上記第2実施形態のGaN系HFEETは、第2金属層25の替わりに、W膜およびTi膜の2層で構成された第2金属層225（図14に示す）を備えている点だけが異なっている。この第2実施形態では、第1金属層24に用いるW窒化物膜と、第2金属層225に用いるW膜およびTi膜との成膜条件を以下のように設定した。

(W窒化物膜)

A_r 流量：45－110 sccm

N_2 流量：135－180 sccm

チャンバー内圧力：35－83 mTorr

DC出力：1000－1600W

成膜温度：300℃

(W膜)

Ar流量：40－80sccm

チャンバー内圧力：4－10mTorr

DC出力：1000－1600W

成膜温度：300℃

(Ti膜)

Ar流量：25－30sccm

N₂流量：100－120sccm

チャンバー内圧力：4－10mTorr

DC出力：4000－5000W

成膜温度：50℃

[0058] 図14は、作製したゲート電極213の断面構造の一例である。上記W窒化物膜の微細柱状構造の柱部A、W膜の微細柱状構造の柱部F、Ti窒化物の微細柱状構造の柱部Gの太さ方向の平均サイズが、23.2nm、36.8nm、33.7nmであった。

[0059] ここで、第2金属層を2層で形成した場合の微細柱状構造の柱部の太さ方向の平均サイズの計算方法について説明する。まず、対象となる窒化物半導体装置の基板10をゲート電極213の断面が露出するように劈開し、図14に示すように、走査型電子顕微鏡を用いて劈開した部分を観察する。そして、第1金属層24の微細柱状構造の柱部Aおよび第2金属層225の微細柱状構造の柱部F、Gの長さ方向に対して垂直な方向（層厚方向に対して垂直な方向）に走査型電子顕微鏡の電子線を走査する。すると、第1金属層24および第2金属層225の2層について、図9、図11に示すような2次電子の線分析像がそれぞれ得られる。この線分析像の強度が電子線を走査した微細柱状構造の表面の凹凸形状に対応していることから、走査範囲内の線分析像の凸部分の半値幅の平均を、対象となる窒化物半導体装置の微細柱状

構造の柱部の太さ方向の平均サイズとした。

[0060] 図15は、上記Ga_{0.5}N系HFE_{0.5}Tの第2金属層125の微細柱状構造の柱部FGの太さ方向の平均サイズとゲートリーク電流不良率との関係を示す図である。

[0061] 図15を参照すれば、第2金属層225の微細柱状構造の柱部F、Gの太さ方向の平均サイズを共に30nm以上にすると、ゲートリーク電流不良率が0%になることが分かる。これは、第2金属層225の微細柱状構造をW膜とTi窒化物の2層構成にすることで、第1金属層24の微細柱状構造との構造の連続性がさらに低下し、ビア51を形成する際のドライエッチング時に、プラズマによる絶縁膜130のダメージを抑制できたためと考えられる。

[0062] このように、第2金属層225をW膜およびTi膜を含むよう構成することで、W膜のみを含む第2金属層25を用いる場合と比較して、ゲートリーク電流不良率をさらに改善することがわかった。

[0063] なお、本実施形態において、「第2金属層225の微細柱状構造の柱部F、Gの太さ方向の平均サイズを、第1金属層24の微細柱状構造の柱部Aの太さ方向の平均サイズよりも大きくする」とは、第2金属層225の2層の微細柱状構造の柱部F、Gの太さ方向のそれぞれの平均サイズを、第1金属層の柱部Aの太さ方向の平均サイズよりも大きくする（つまり、 $A < F$ 、かつ、 $A < G$ ）ことを意味する。

[0064] 上記第1、第2実施形態では、Ga_{0.5}N系HFE_{0.5}TがSi基板を備えていたが、Si基板に限らず、サファイヤ基板またはSiC基板を備えていてもよい。この場合、サファイヤ基板またはSiC基板上に窒化物半導体層を成長させてもよい。

[0065] 本発明の一実施形態では、Ga_{0.5}N基板にAlGa_{0.5}N層を成長させる等のように、窒化物半導体からなる基板上に窒化物半導体層を成長させてもよい。この場合、基板と窒化物半導体層との間にバッファ層を形成してもよいし、窒化物半導体積層体の第1の窒化物半導体層と第2の窒化物半導体層との間

にヘテロ改善層を形成してもよい。

[0066] また、上記第1, 第2実施形態では、GaN系HFETがリセス構造を備えているが、これに限らず、GaN系HFETがリセス構造を備えず、AlGaN層上にソース電極およびドレイン電極を形成するようにしてもよい。

[0067] また、上記第1, 第2実施形態では、窒化物半導体装置として2DEG層を形成するよう構成されたGaN系HFETを用いているが、これに限らず、窒化物半導体装置として他の構成を備える電界効果トランジスタを用いてもよい。

[0068] また、上記第1, 第2実施形態では、窒化物半導体装置としてノーマリーオンタイプのGaN系HFETを用いているが、これに限らず、窒化物半導体装置としてノーマリーオフタイプのGaN系HFETを用いてもよい。

[0069] また、上記第1, 第2実施形態では、電極金属層としてショットキー接合するゲート電極を用いているが、これに限らず、電極金属層として電極絶縁ゲート構造の電界効果トランジスタを用いてもよい。

[0070] 本発明の窒化物半導体装置の窒化物半導体は、 $Al_xIn_yGa_{1-x-y}N$ ($x \geq 0$ 、 $y \geq 0$ 、 $0 \leq x + y \leq 1$)で表されるものであればよい。

[0071] 本発明の具体的な実施の形態について説明したが、本発明は上記第1, 第2実施形態に限定されるものではなく、本発明の範囲内で種々変更して実施することができる。また、上記第1, 第2実施形態の記載を適宜組み合わせたものを本発明の一実施形態としてもよい。また、本発明の窒化物半導体装置は、2DEGを利用するHFETに限らず、MIS (Metal Insulator Semiconductor) FET、MOS (Metal Oxide Semiconductor) FET、MES (Metal Semiconductor) FET等の他の構成の電界効果トランジスタであっても同様の効果が得られる。

[0072] すなわち、本発明および実施形態を纏めると次のようになる。

[0073] 本発明の窒化物半導体装置は、

基板10と、

上記基板10上に形成され、ヘテロ界面を有する窒化物半導体積層体20

と、

上記窒化物半導体積層体 20 上に形成され、電極金属層とを備え、

上記電極金属層は、

上記窒化半導体積層体 20 に接合すると共に、複数の柱部 A を含む微細柱状構造を有する第 1 金属層 24 と、

上記第 1 金属層 24 上に積層されると共に、複数の柱部 B を含む微細柱状構造を有する第 2 金属層 25 とを含み、

上記第 2 金属層 25 の上記柱部 B の太さ方向の平均サイズが、上記第 1 金属層 24 の上記柱部 A の太さ方向の平均サイズよりも大きいことを特徴とする。

[0074] 上記構成によれば、上記金属層でゲート電極 13 を形成した場合、電極金属層が、複数の柱部 A を含む微細柱状構造を有し窒化半導体積層体 20 に接合する第 1 金属層 24 と、複数の柱部 B を含む微細柱状構造を有し第 1 金属層 24 上に積層された第 2 金属層 25 とを含み、第 2 金属層 25 の上記柱部 B の太さ方向の平均サイズが、第 1 金属層 24 の上記柱部 A の太さ方向の平均サイズよりも大きいので、ゲートリーク電流を低減することができる。

[0075] また、一実施形態の窒化半導体装置では、

上記第 1 金属層 24 の上記微細柱状構造は、タングステン窒化物で構成され、上記第 1 金属層 24 の上記柱部 A の太さ方向の平均サイズが 5 nm 以上 25 nm 以下である。

[0076] 上記実施形態によれば、上記電極金属層でゲート電極 13 を形成した場合、第 1 金属層 24 の微細柱状構造の柱部 A の太さ方向の平均サイズを 25 nm 以下にすることによって、ゲートリーク電流を低減することができる。

[0077] また、上記第 1 金属層 24 の微細柱状構造の柱部 A の太さ方向の平均サイズを 5 nm 以上にすることによって、第 1 金属層 24 と第 2 金属層 25 との間の膜はがれを抑制することができる。

- [0078] また、一実施形態の窒化半導体装置では、
上記第2金属層25の上記柱部Bの太さ方向の平均サイズが30nm以上150nm以下である。
- [0079] 上記実施形態によれば、上記電極金属層でゲート電極13を形成した場合、第2金属層25の微細柱状構造の柱部Bの太さ方向の平均サイズを30nm以上にすることによって、ゲートリーク電流を低減することができる。
- [0080] また、上記第2金属層25の微細柱状構造の柱部Bの太さ方向の平均サイズを150nm以下にすることによって、第1金属層24と第2金属層25との間の膜はがれを抑制することができる。
- [0081] また、一実施形態の窒化半導体装置では、
上記第2金属層25は、タングステンで構成される。
- [0082] 上記実施形態によれば、第2金属層25はタングステンで構成されるので、第1金属層24がタングステン窒化物の場合に、第2金属層25の微細柱状構造の柱部Bの太さ方向の平均サイズが、第1金属層24の微細柱状構造の柱部Aの太さ方向の平均サイズと異なっても、第1金属層24と第2金属層25との間で高い密着性が得られ、膜はがれを防止しつつゲートリーク不良の発生による歩留まり低下を抑制することができる。
- [0083] また、一実施形態の窒化半導体装置では、
上記第2金属層225は、タングステン層とチタン窒化物層とで構成される。
- [0084] 上記実施形態によれば、上記電極金属層でゲート電極13を形成した場合、第2金属層225をタングステン層とチタン窒化物層とを含むようにすることによって、第2金属層225がタングステン層のみで構成される場合に比べて、大幅にゲートリーク電流を低減することができる。

符号の説明

- [0085] 1, 101 GaN層
2, 102 AlGaN層
3, 103 2DEG層

10 Si 基板
11 ソース電極
12 ドレイン電極
13, 213 ゲート電極
15 AlGaInバッファ層
20, 120 窒化物半導体積層体
24 第1の金属層
25, 225 第2の金属層
30, 130 絶縁膜
40, 140 層間絶縁膜
41, 51 ビア
42 ドレイン電極パッド
50 コンタクト部
52 ゲート電極パッド
106, 109, 160 凹部
A, B 柱部

請求の範囲

- [請求項1] 基板（10）と、
 上記基板（10）上に形成され、ヘテロ界面を有する窒化物半導体積層体（1，2）と、
 上記窒化物半導体積層体（1，2）上に形成された電極金属層（13）と
 を備え、
 上記電極金属層（13）は、
 上記窒化半導体積層体（1，2）に接合すると共に、複数の柱部（A）を含む微細柱状構造を有する第1金属層（24）と、
 上記第1金属層（24）上に積層されると共に、複数の柱部（B）を含む微細柱状構造を有する第2金属層（25）と
 を含み、
 上記第2金属層（25）の上記柱部（B）の太さ方向の平均サイズが、上記第1金属層（24）の上記柱部（A）の太さ方向の平均サイズよりも大きいことを特徴とする窒化物半導体装置。
- [請求項2] 請求項1に記載の窒化半導体装置において、
 上記第1金属層（24）の上記微細柱状構造は、タングステン窒化物で構成され、上記第1金属層（24）の上記柱部（A）の太さ方向の平均サイズが、5 nm以上25 nm以下であることを特徴とする窒化物半導体装置。
- [請求項3] 請求項1または2に記載の窒化半導体装置において、
 上記第2金属層（25）の上記柱部（B）の太さ方向の平均サイズが、30 nm以上150 nm以下であることを特徴とする窒化物半導体装置。
- [請求項4] 請求項1から3のいずれか1つに記載の窒化半導体装置において、
 上記第2金属層（25）は、タングステンで構成されることを特徴とする窒化物半導体装置。

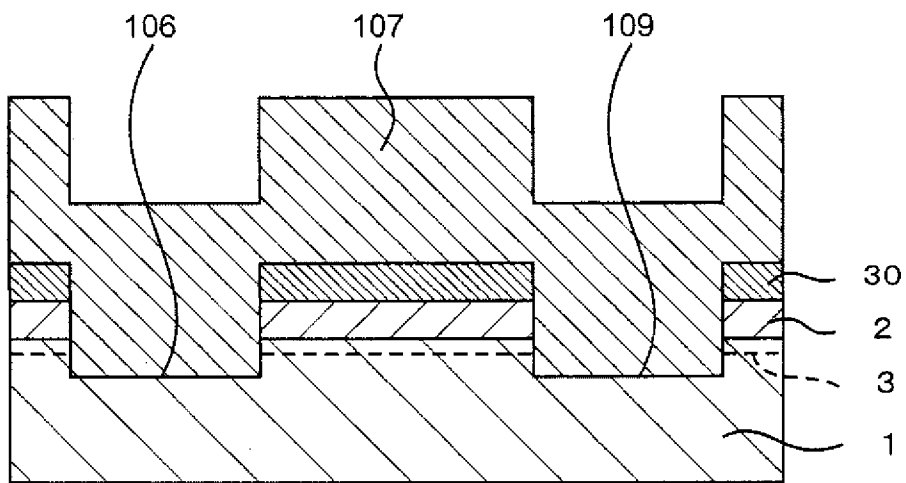
[請求項5] 請求項 1 から 3 のいずれか 1 つに記載の窒化半導体装置において、
 上記第 2 金属層（25）は、タングステン層とチタン窒化物層とで
 構成されることを特徴とする窒化物半導体装置。

[illegible]

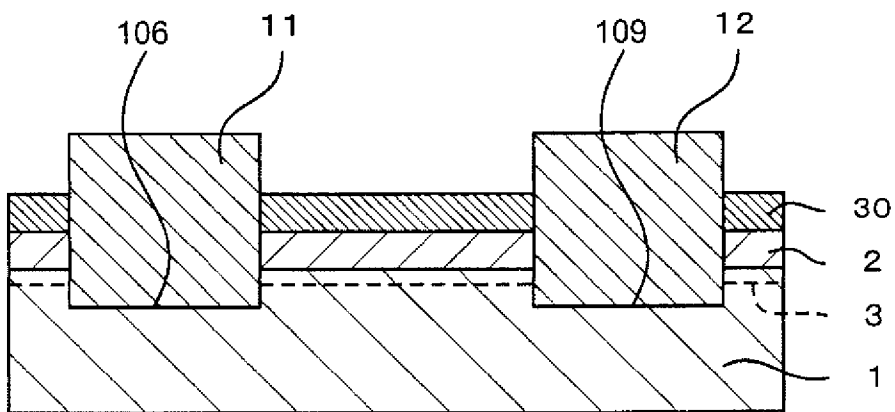
A cross-sectional view of a substrate assembly 120. The assembly consists of a substrate 101 with a top surface 102 and a bottom surface 103. A thin layer 130 is disposed on the top surface 102. The substrate 101 is indicated by a bracket on the left side.

This cross-sectional view shows a trench structure in a substrate. The substrate is labeled 1. A trench is formed in the substrate, with its bottom surface labeled 3. The trench is filled with a material, and its top surface is labeled 2. The trench is bounded by side walls, with the right side wall labeled 30. A layer 106 is shown on the top surface of the trench, and a layer 109 is shown on the side walls of the trench.

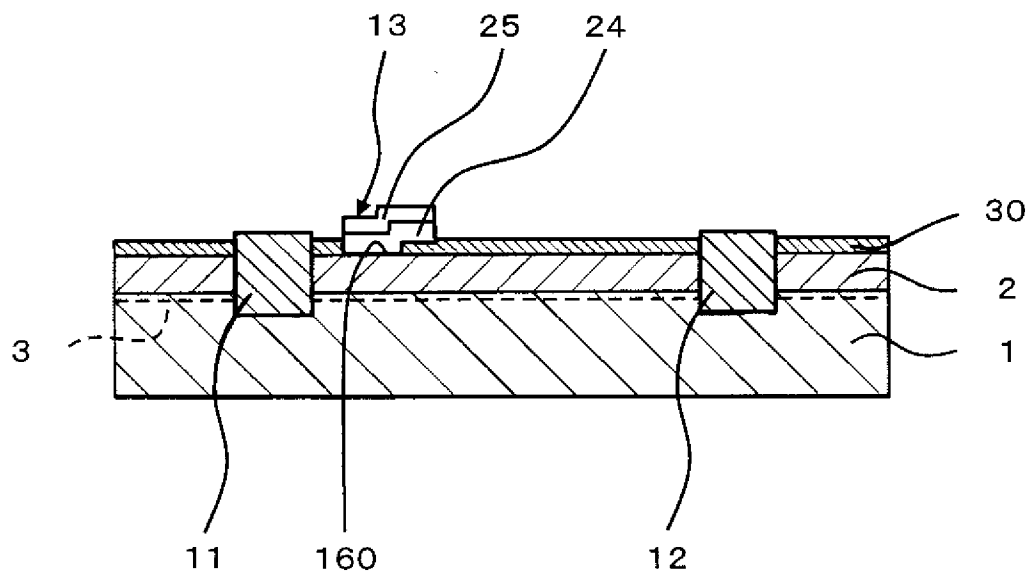
[図4]



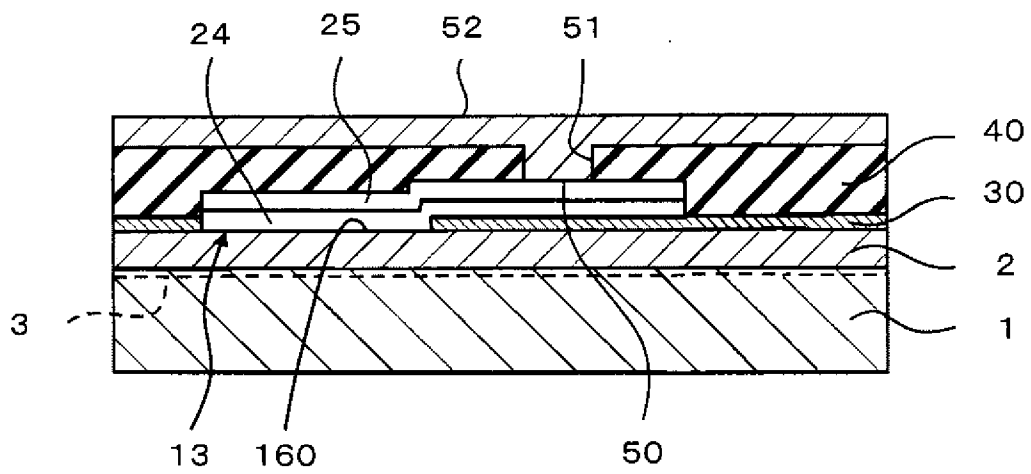
[図5]



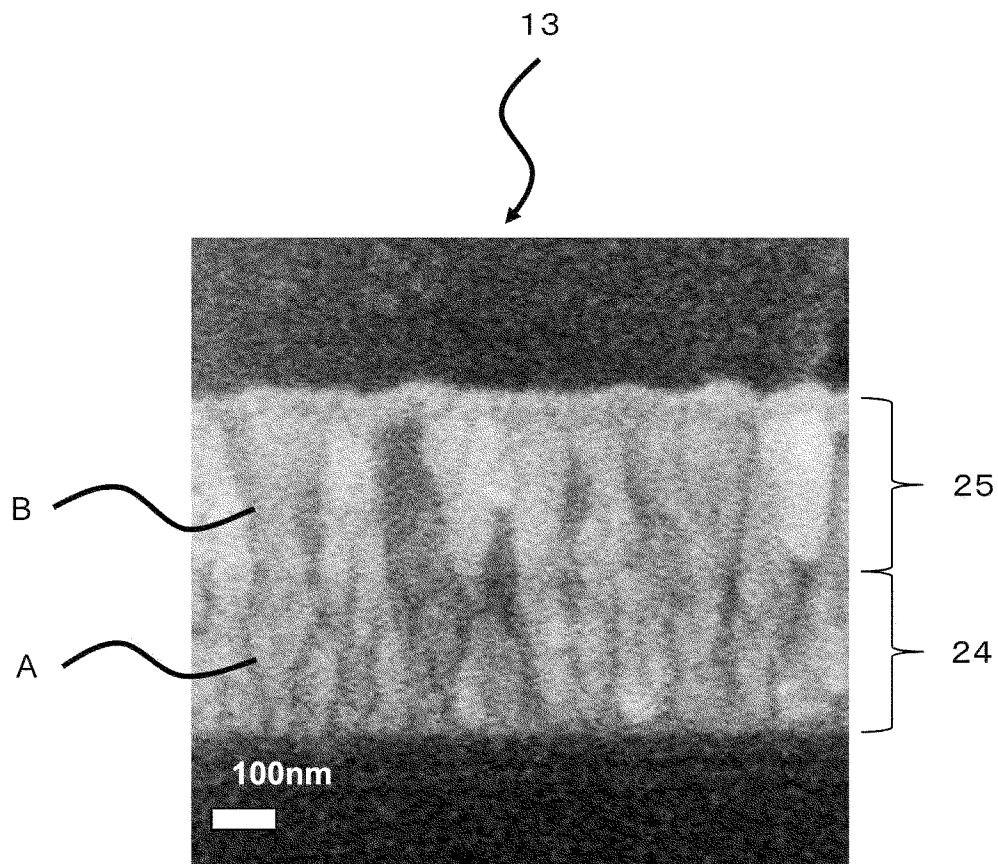
[図6]



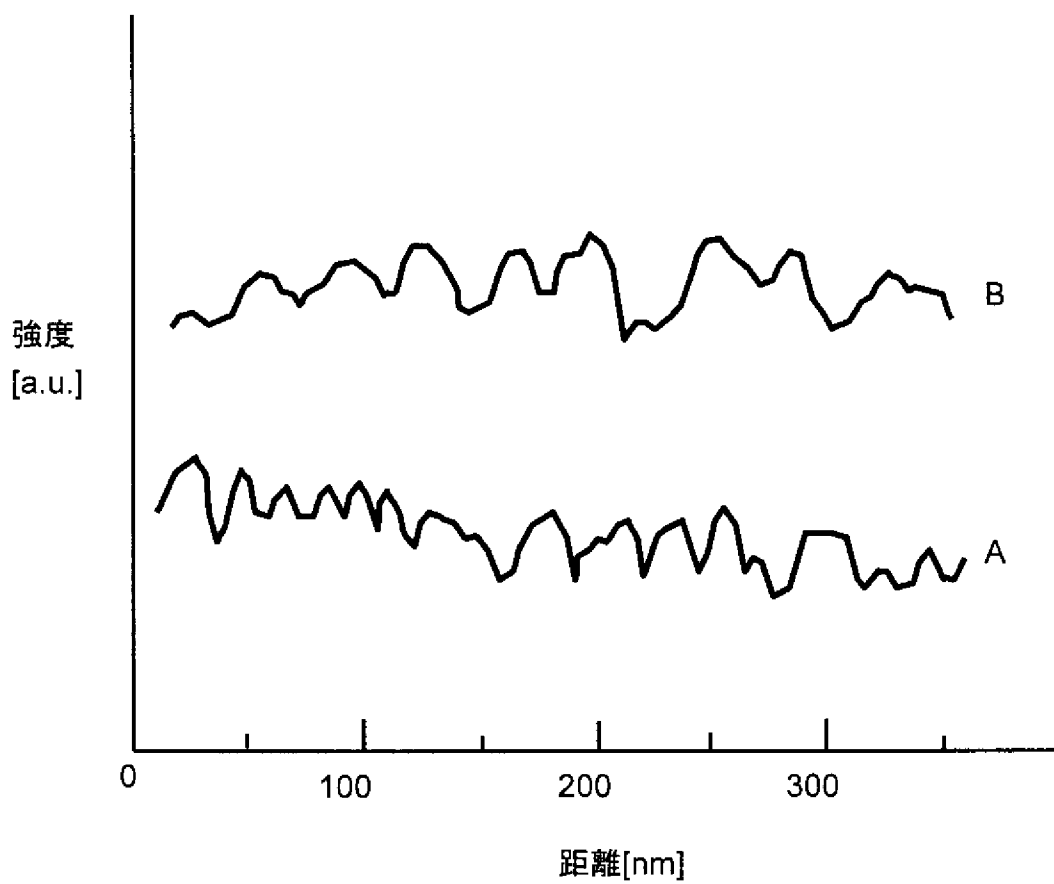
[図7]



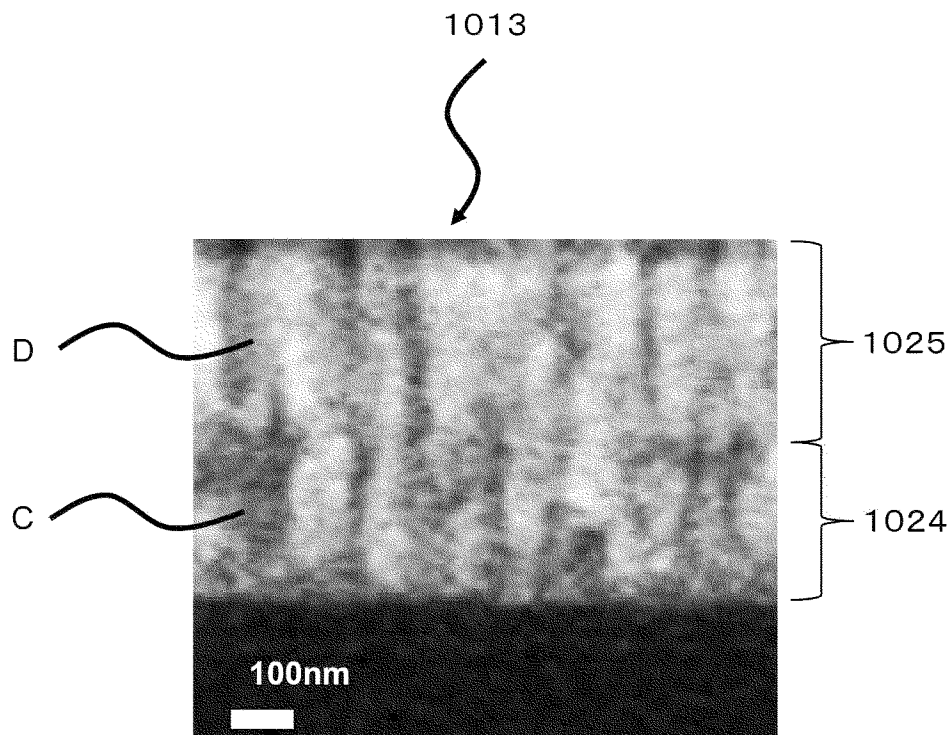
[図8]



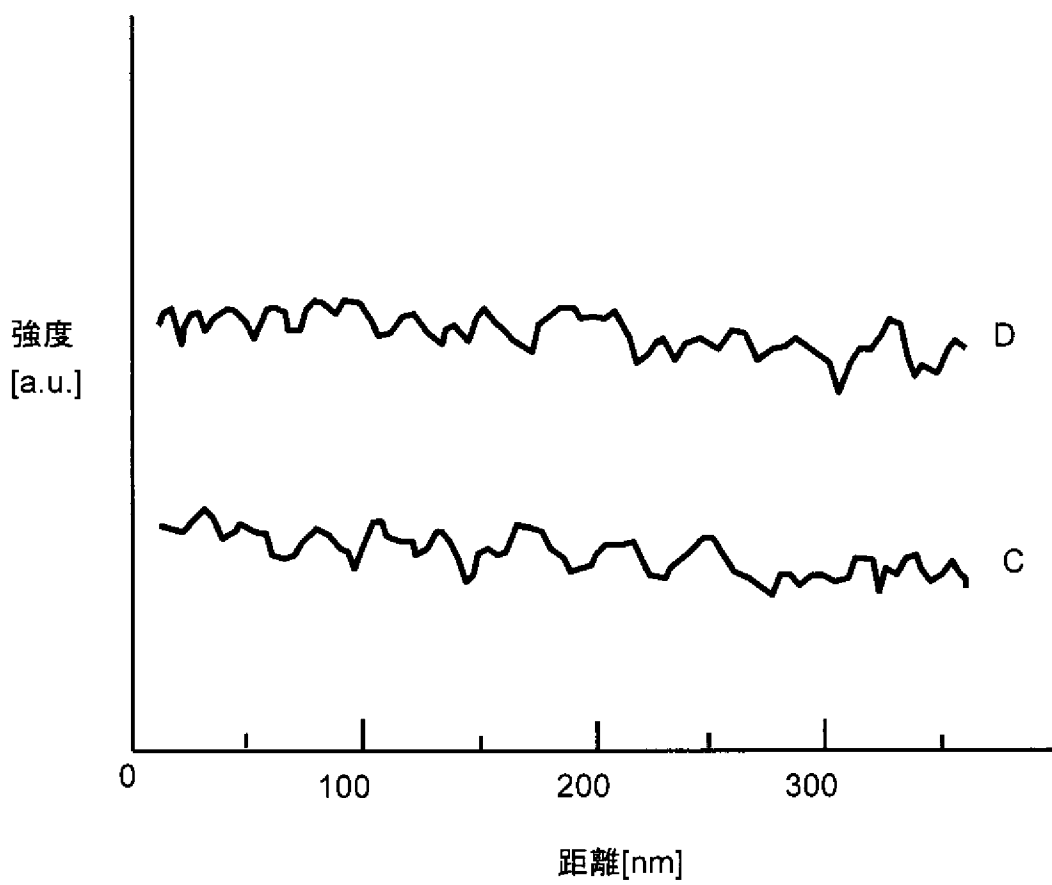
[図9]



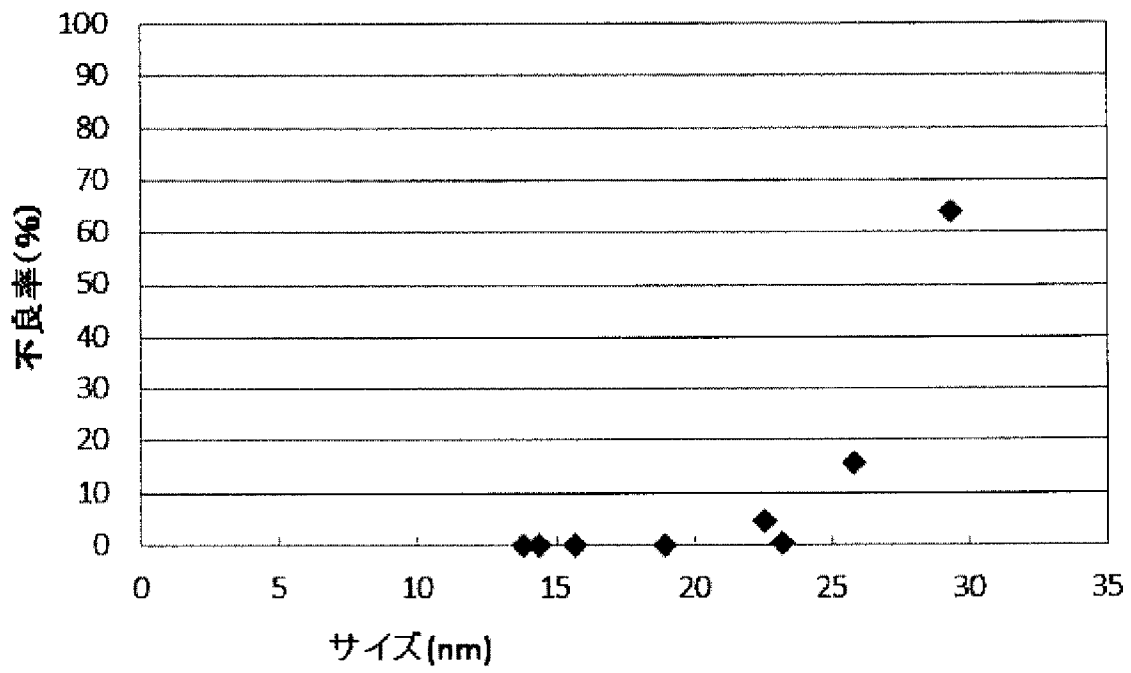
[図10]



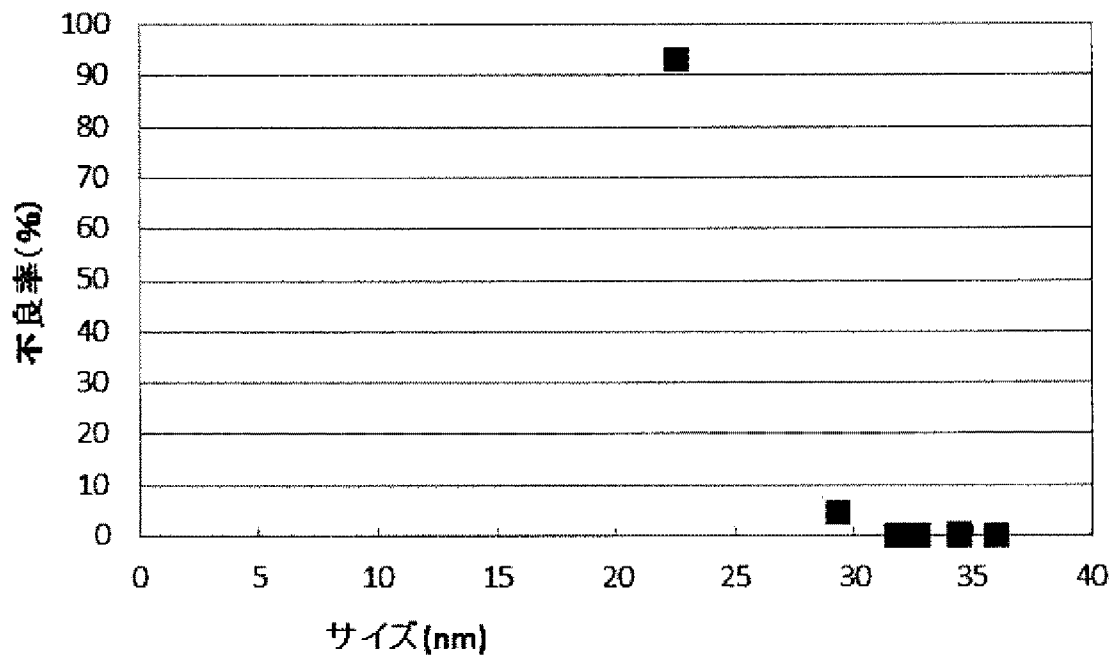
[図11]



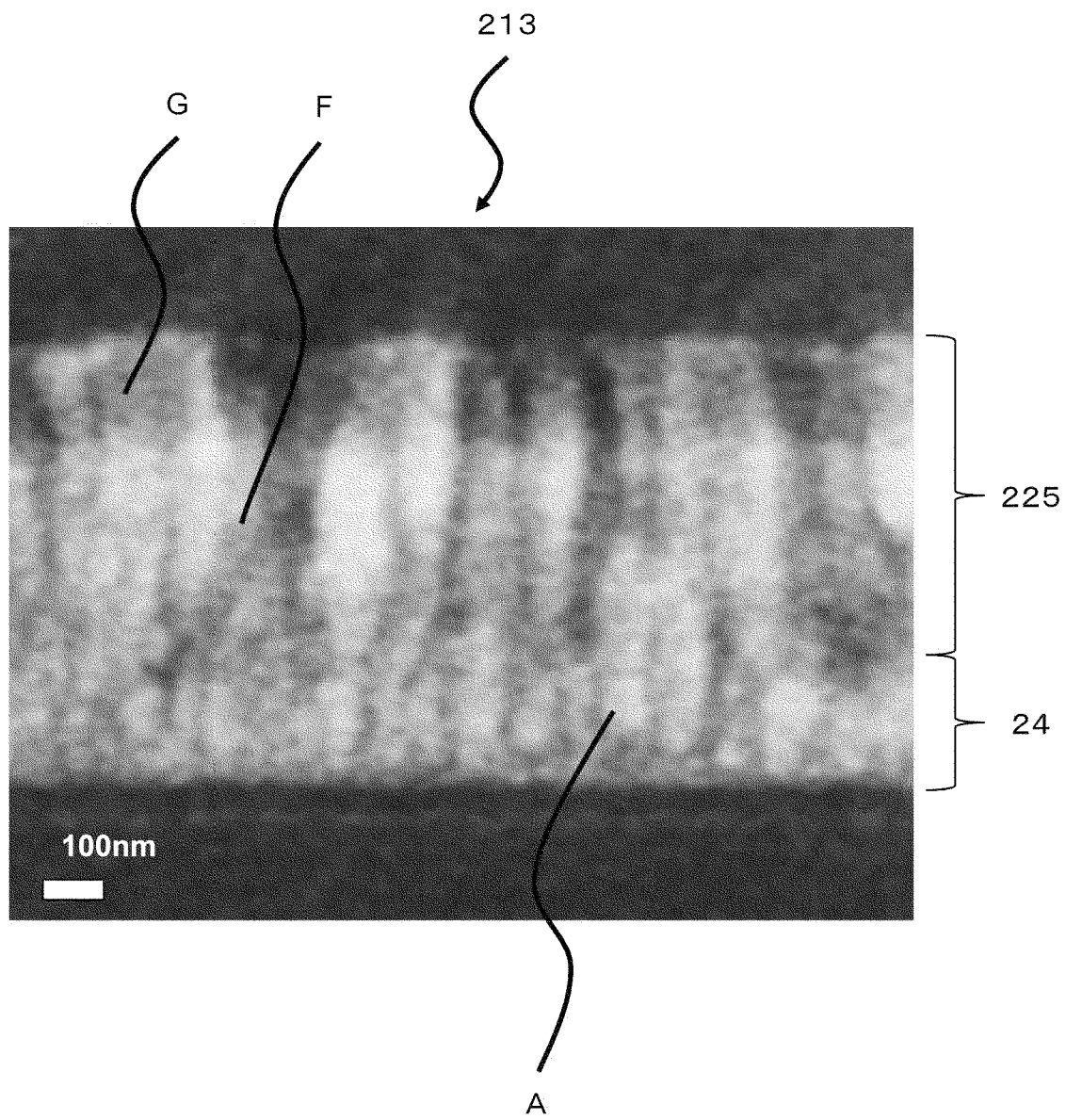
[図12]



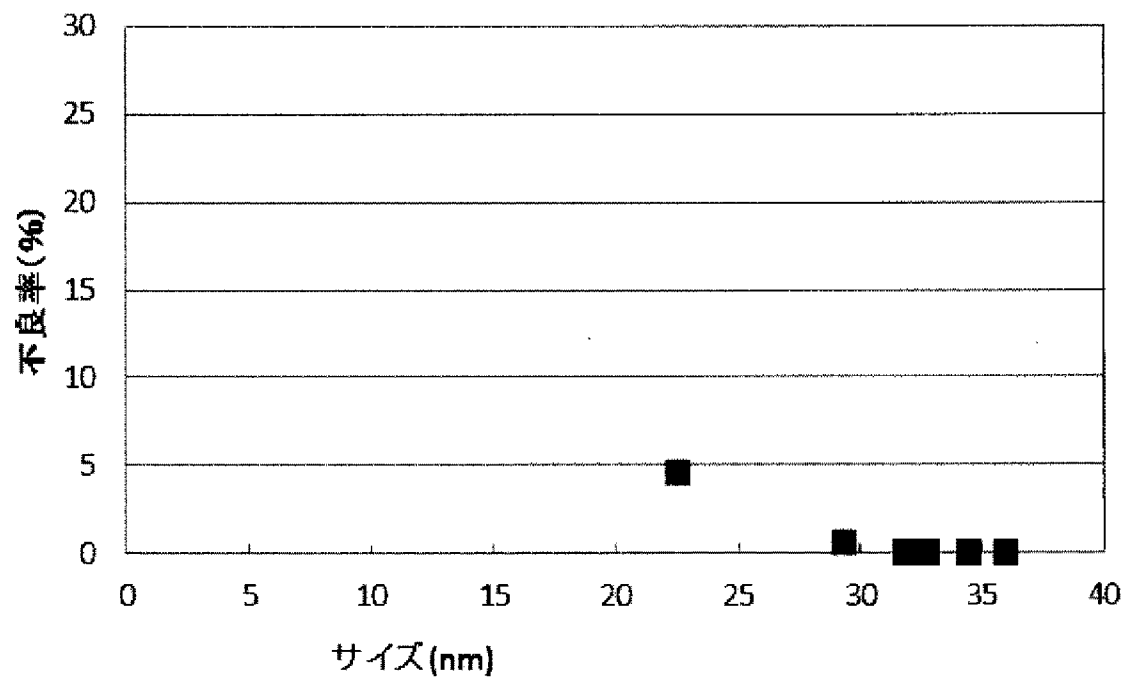
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/051694

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/28, H01L21/336, H01L29/778, H01L29/78, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-237393 A (Rohm Co., Ltd.), 07 September 2006 (07.09.2006), fig. 2; paragraphs [0022] to [0024], [0038], [0041] (Family: none)	1, 3 2, 4-5
Y A	JP 2006-196764 A (Fujitsu Ltd.), 27 July 2006 (27.07.2006), fig. 5; paragraphs [0032] to [0033] & US 2006/0157735 A1 & US 2011/0133206 A1	1, 3 2, 4-5
Y A	JP 2008-130874 A (Nissan Motor Co., Ltd.), 05 June 2008 (05.06.2008), fig. 6 to 8; paragraphs [0030] to [0032] (Family: none)	3 1-2, 4-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 February, 2014 (27.02.14)

Date of mailing of the international search report
11 March, 2014 (11.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/051694

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-176015 A (Denso Corp.), 08 September 2011 (08.09.2011), fig. 1 to 3; paragraphs [0032] to [0033] & US 2011/0204383 A1 & DE 102011004392 A1 & CN 102163627 A	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/338(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/778(2006.01)i,
H01L29/78(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/338, H01L21/28, H01L21/336, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2006-237393 A（ローム株式会社）2006.09.07, 図2、段落0022-0024, 0038, 0041（ファミリーなし）	1, 3 2, 4-5
Y A	JP 2006-196764 A（富士通株式会社）2006.07.27, 図5、段落0032-0033 & US 2006/0157735 A1 & US 2011/0133206 A1	1, 3 2, 4-5
Y A	JP 2008-130874 A（日産自動車株式会社）2008.06.05, 図6-8、段落0030-0032（ファミリーなし）	3 1-2, 4-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 2 . 2 0 1 4

国際調査報告の発送日

1 1 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

儀同 孝信

電話番号 03-3581-1101 内線 3559

50

3566

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-176015 A (株式会社デンソー) 2011.09.08, 図1-3、段落0032-0033 & US 2011/0204383 A1 & DE 102011004392 A1 & CN 102163627 A	1-5