



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/133 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월22일 10-0685307 2007년02월14일
---	-------------------------------------	--

(21) 출원번호	10-1999-0048738	(65) 공개번호	10-2001-0045445
(22) 출원일자	1999년11월05일	(43) 공개일자	2001년06월05일
심사청구일자	2004년11월05일		

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 여주천
 경기도안양시동안구평안동초원부영아파트708-501

 김진상
 경기도안양시동안구평촌동초원단지한양아파트606동108호

(74) 대리인 김영호

(56) 선행기술조사문헌
 KR1019980702957 A
 * 심사관에 의하여 인용된 문헌

심사관 : 이동윤

전체 청구항 수 : 총 7 항

(54) 쉬프트 레지스터

(57) 요약

본 발명은 화소열을 구동하기 위한 쉬프트 레지스터에 있어서 캐패시터의 쇼트를 방지하도록 한 쉬프트 레지스터에 관한 것이다.

본 발명의 쉬프트 레지스터의 스케이지들 각각이 제1 클럭신호가 입력되는 제1 입력전극과 로우라인에 접속된 제1 출력전극과 그리고 제1 제어전극을 가지는 풀-업 트랜지스터와, 저전위 전압원에 접속되어진 제2 입력전극과 로우라인에 접속되어진 제2 출력전극과 그리고 제2 제어전극을 가지는 풀-다운 트랜지스터를 포함하는 출력회로부와; 제1 제어전극에 공급되어질 제1 제어신호를 발생함과 아울러 제1 클럭신호와 위상이 다른 제2 클럭신호에 응답하여 상기 제2 제어전극에 공급되어질 제2 제어신호를 발생하기 위한 입력회로부와; 입력회로부와 로우라인 사이에 접속된 제1 캐패시터, 제2 제어전극과 저전위 전압원 사이에 접속된 제2 캐패시터 및 제1 제어전극과 저전위 전압원 사이에 접속된 제3 캐패시터를 구비하며, 상기 제1 내지 제3 캐패시터 중 적어도 하나 이상이 적어도 둘 이상의 캐패시터들로 직렬 접속되는 것을 특징으로 한다.

대표도

도 4

특허청구의 범위

청구항 1.

고전위 전압원, 저전위 전압원 및 위상지연된 클럭신호들을 생성하는 수단에 공통적으로 접속되고, 로우라인들에 각각 접속 접속되고, 그리고 스캐닝 신호에 대하여 중속 접속되어 상기 로우라인들을 각각 충방전시키는 다수 개의 스테이지들을 가지는 쉬프트 레지스터에 있어서, 상기 스테이지들 각각이:

제1 클럭신호가 입력되는 제1 입력전극과 상기 로우라인에 접속된 제1 출력전극과 그리고 제1 제어전극을 가지는 풀-업 트랜지스터와, 상기 저전위 전압원에 접속되어진 제2 입력전극과 상기 로우라인에 접속되어진 제2 출력전극과 그리고 제2 제어전극을 가지는 풀-다운 트랜지스터를 포함하는 출력회로부와;

상기 제1 제어전극에 공급되어질 제1 제어신호를 발생함과 아울러 상기 제1 클럭신호와 위상이 다른 제2 클럭신호에 응답하여 상기 제2 제어전극에 공급되어질 제2 제어신호를 발생하기 위한 입력회로부와;

상기 입력회로부와 상기 로우라인 사이에 접속된 제1 캐패시터, 상기 제2 제어전극과 상기 저전위 전압원 사이에 접속된 제2 캐패시터 및 상기 제1 제어전극과 상기 저전위 전압원 사이에 접속된 제3 캐패시터를 구비하고,

상기 제1 내지 제3 캐패시터 중 적어도 하나 이상이 적어도 둘 이상의 캐패시터들로 직렬 접속되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 2.

제 1 항에 있어서,

상기 제1 내지 제3 캐패시터들 각각이 적어도 둘 이상의 캐패시터들로 직렬 접속되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제 1 항에 있어서,

상기 쉬프트 레지스터는 패널의 좌측과 우측에 대칭되게 배치되며,

좌측에 배치된 상기 쉬프트 레지스터에 구비된 상기 제1 및 제3 캐패시터 각각이 하나의 캐패시터로 이루어지며,

우측에 배치된 상기 쉬프트 레지스터에 구비된 상기 제1 및 제3 캐패시터 각각이 하나의 캐패시터로 이루어지며,

좌측에 배치된 상기 쉬프트 레지스터에 구비된 상기 제2 캐패시터만이 직렬 접속되는 상기 적어도 둘 이상의 캐패시터들로 이루어지며,

우측에 배치된 상기 쉬프트 레지스터에 구비된 상기 제2 캐패시터만이 직렬 접속되는 상기 적어도 둘 이상의 캐패시터들로 이루어지는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

제 1 항에 있어서,

상기 직렬 접속된 캐패시터들은 기판 상에 교번적으로 적층된 적어도 둘 이상의 전극층들 및 절연층들을 추가로 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5.

제 1 항에 있어서,

상기 직렬 접속된 캐패시터들은 기판 상에 형성된 제1 전극층과,

상기 전극층을 덮는 절연층과,

동일 평면 상에서 상기 전극층과 대면되게끔 상기 절연층 상에 형성되는 적어도 둘 이상의 제2 전극층을 추가로 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6.

고전위 전압원, 저전위 전압원 및 위상지연된 클럭신호들을 생성하는 수단에 공통적으로 접속되고, 로우라인들에 각각 접속 접속되고, 그리고 스캐닝 신호에 대하여 종속 접속되어 상기 로우라인들을 각각 충방전시키는 다수 개의 스테이지들을 가지는 쉬프트 레지스터에 있어서, 상기 스테이지들 각각이:

제1 클럭신호가 입력되는 제1 입력전극과 상기 로우라인에 접속된 제1 출력전극과 그리고 제1 제어전극을 가지는 풀-업 트랜지스터와, 상기 저전위 전압원에 접속되어진 제2 입력전극과 상기 로우라인에 접속되어진 제2 출력전극과 그리고 제2 제어전극을 가지는 풀-다운 트랜지스터를 포함하는 출력회로부와;

상기 제1 제어전극에 공급되어질 제1 제어신호를 발생함과 아울러 상기 제1 클럭신호와 위상이 다른 제2 클럭신호에 응답하여 상기 제2 제어전극에 공급되어질 제2 제어신호를 발생하기 위한 입력회로부와;

상기 입력회로부와 상기 로우라인 사이에 접속된 제1 캐패시터, 상기 제2 제어전극과 상기 저전위 전압원 사이에 접속된 제2 캐패시터, 상기 제1 제어전극과 상기 저전위 전압원 사이에 접속된 제3 캐패시터 및 상기 제1 캐패시터와 상기 입력회로부 사이에 접속된 제4 캐패시터를 구비하고,

상기 제1 내지 제4 캐패시터 중 적어도 하나 이상이 적어도 둘 이상의 캐패시터들로 직렬 접속되는 것을 특징으로 하는 쉬프트 레지스터.

청구항 7.

제 6 항에 있어서,

상기 제1, 제3 및 제4 캐패시터 각각이 하나의 캐패시터로 이루어지며,

상기 제2 캐패시터만이 직렬 접속되는 상기 적어도 둘 이상의 캐패시터들을 구비하는 것을 특징으로 하는 쉬프트 레지스터.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 표시장치를 구동하는 회로에 관한 것으로, 특히 화소열을 구동하기 위한 쉬프트 레지스터에 있어서 캐패시터의 쇼트를 방지하도록 한 쉬프트 레지스터에 관한 것이다.

액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하여 퍼스널 컴퓨터(Personal Computer)과 노트북 컴퓨터(Note Book Computer)의 모니터는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.

이와 같은 액티브 매트릭스 구동방식의 액정표시장치에는 TFT의 게이트전극에 접속된 로우라인들에 스캐닝펄스를 순차적으로 공급하여 로우라인 단위로 화소열을 순차 주사시키기 위한 게이트 구동회로가 설치된다. 이 게이트 구동회로는 스타트 펄스에 응답하여 스캐닝펄스를 순차적으로 발생하도록 종속적으로 접속된 다수의 쉬프트 레지스터로 구성된다.

도 1을 참조하면, 종래의 쉬프트 레지스터는 스타트펄스(SP)의 입력라인(SPL)에 종속 접속되어진 n개의 스테이지들(21 내지 2n)을 구비한다. 이들 n개의 스테이지들(21 내지 2n)의 출력라인들(41 내지 4n)은 화소어레이에 포함된 n개의 로우라인들(ROW1 내지 ROWn)에 각각 접속된다. 제1 스테이지(21)에는 스캐닝펄스(SP)가 공급되고 제1 내지 제n-1 스테이지들(21 내지 2n-1)의 출력신호(g1 내지 gn-1)는 각각 후단의 스테이지들에 스캐닝펄스로서 공급된다. 이 쉬프트 레지스터의 입력신호들, 즉 스캐닝펄스(SP), 순차적으로 위상 지연되어진 제1 내지 제4 클럭신호(C1, C4), 공급전압(VDD) 및 기저전압(VSS)은 외부로부터 공급된다. 스테이지들(21 내지 2n) 각각은 도 2에 도시된 바와 같이, 이전 스테이지(2i-1)의 로우라인(4i-1), 제1 노드(P1) 및 제4 노드(P4) 사이에 접속되어진 제1 NMOS 트랜지스터(T1)와; 제1 노드(P1), 제2 노드(P2) 및 기저전압라인(10) 사이에 접속되어진 제2 NMOS 트랜지스터(T2)와, 공급전압라인(8), 제3 클럭신호라인(6c) 및 제2 노드(P2) 사이에 접속되어진 제3 NMOS 트랜지스터(T3)와; 제2 노드(P2), 제4 노드(P4) 및 기저전압라인(10) 사이에 접속되어진 제4 NMOS 트랜지스터(T4)와; 제1 노드(P1)와 출력라인(4i) 사이에 접속되어진 캐패시터(CP1)와; 제1 노드(P1), 제1 클럭신호라인(6a) 및 출력라인(4i) 사이에 접속되어진 제5 NMOS 트랜지스터(T5)와; 제2 노드(P2), 출력라인(4i) 및 기저전압라인(10) 사이에 접속되어진 제6 NMOS 트랜지스터(T6)를 구비한다.

이전 스테이지(2i-1)로부터 하이레벨의 i-1번째 로우라인입력신호(gi-1)가 인가되면 제1 및 제4 NMOS 트랜지스터(T1, T4)가 턴-온된다. 그러면, 제1 노드(P1) 상의 전압은 제1 NMOS 트랜지스터(T1)가 턴-온됨에 따라 공급되는 공급전압(VDD)에 의해 하이레벨로 변하게 되고, 아울러 제2 노드(P2) 상의 전압은 제4 NMOS 트랜지스터(T4)가 턴-온됨에 따라 기저전압(10)으로 방전되어 로우레벨이 된다. 도 3에서 알 수 있는 바와 같이, 제3 클럭신호(C3)는 i-1번째 로우라인입력신호(gi-1)가 하이레벨전압을 가지는 기간에 로우레벨전압을 유지하게 된다. 다시 말하여, 제3 클럭신호(C3)의 하이레벨전압구간과 i-1번째 로우라인 입력신호(gi-1)의 하이레벨전압구간이 서로 중첩 되지 않게 된다. 이에 따라, 제3 및 제4 NMOS 트랜지스터(T3, T4)가 동시에 턴-온 되지 않게 되어, 제2 노드(P2) 상의 전압은 제3 및 제4 NMOS 트랜지스터(T3, T4)의 채널폭의 비율(즉, 저항비)과 무관하게 결정된다. 따라서, 제3 및 제4 NMOS 트랜지스터(T3, T4)의 소자특성이 불균일하더라도, 쉬프트 레지스터의 회로특성은 정상동작이 불가능할 정도로 크게 변하지 않게 된다. 또한, 제3 및 제4 NMOS 트랜지스터(T3, T4)가 동시에 턴-온 되지 않음으로서 제3 및 제4 NMOS 트랜지스터(T3, T4)에 과전류가 흐르지 않게 된다. 이 결과, 제3 및 제4 NMOS 트랜지스터(T3, T4)의 소자특성이 열화 되지 않게 됨은 물론 전력소모가 줄어들게 된다.

제1 노드(P1) 상에 하이레벨 전압이 나타나게 되면, 제5 NMOS 트랜지스터(T5)가 턴-온 되게 된다. 이 상태에서, 제1 클럭신호(C1)가 하이레벨 전압을 가지게 되면, 출력라인(4i)은 제5 NMOS 트랜지스터(T5)의 드레인 및 소오스를 경유하는 제1 클럭신호(C1)를 충전하기 시작한다. 이에 따라, 출력라인(4i) 상에는 하이레벨 전압이 나타나게 된다. 캐패시터(CP1)는 하이레벨전압의 제1 클럭신호(C1)가 출력라인(4i)에 공급될 때 제1 클럭신호(C1)의 전압레벨만큼 제1 노드(P1)상의 전압을 승압시킨다. 이 캐패시터(CP1)에 의해 게이트 전압이 증가됨으로써, 제5 NMOS 트랜지스터(T5)는 하이레벨전압의 제1 클럭신호(C1)를 감쇠없이 빠르게 출력라인(4i)쪽으로 전달하게 된다. 이에 따라, 제5 NMOS 트랜지스터(T5)의 문턱전압에 의한 전압손실이 최소화된다.

이어서, 제1 클럭신호(C1)가 하이레벨전압에서 로우레벨전압으로 변하게 되면, 출력라인(4i) 상의 출력전압(Vout)도 하이레벨전압에서 로우레벨전압으로 변하게 된다. 이는 제5 NMOS 트랜지스터(T5)가 제1 노드(P1) 상의 전압에 의해 턴-온 상태에 있는 것에 기인한다.

다음으로, 제3 클럭신호(C3)가 로우레벨전압에서 하이레벨전압으로 변하게 되면, 제3 NMOS 트랜지스터(T3)가 턴-온 되어 제2 노드(P2) 상의 전압은 하이레벨을 가지게 된다. 제2 NMOS 트랜지스터(T2)도 자신의 게이트에 공급되는 제2 노드(P2) 상의 하이레벨전압에 의해 턴-온 되어 제1 노드(P1) 상의 전압을 기저전압라인(10)에 접속되어진 기저전압원(VSS) 쪽으로 방전시키게 된다. 마찬가지로, 제6 NMOS 트랜지스터(T3)도 자신의 게이트에 공급되는 제2 노드(P2) 상의 하이레벨전압에 의해 출력라인(4i) 상의 전압을 기저전압라인(10)을 경유하여 기저전압원(VSS) 쪽으로 방전시키게 된다. 이 결과, 제1 노드(P1) 상의 전압 및 출력라인(4i) 상의 출력전압은 로우레벨을 가지게 된다.

한편, 제1 노드(P1) 상의 전압이 하이레벨을 유지하는 상태에서 제5 NMOS 트랜지스터(T5)의 드레인에 입력되는 제1 클럭신호(C1)가 로우레벨전압에서 하이레벨전압으로 변하는 경우에 제1 노드(P1) 상의 전압은 상승하게 된다. 이 때, 제1 노드(P1) 상의 전압의 상승폭(ΔV_p)은 제1 노드(P1)와 출력 노드(4i) 사이에 접속되어진 캐패시터(CP1)와 그리고 제1 노드(P1)와 기저전압라인(10) 사이에 설치된 캐패시터(CP12)에 의하여 정확하게 설정될 수 있다. 제1 노드(P1) 상의 전압의 상승폭(ΔV_p)은 수학적 식 1과 같이 된다.

$$\Delta V_p = \frac{C_{P1} + C_{ox}}{C_{P12} + C_{P1} + C_{ox}} \Delta V_{out}$$

여기서, C_{Ox} 는 제5 NMOS 트랜지스터(T5)의 기생 캐패시턴스이다. 캐패시터들(CP1,CP12)의 캐패시턴스는 대략 0.1~10pF 정도로 설정될 수 있다.

제2 노드(P2)와 기저전압라인(10) 사이에 접속된 캐패시터(CP2)는 출력노드(4i) 상의 출력전압(V_{out})이 변화할 때 제2 노드(P2) 상의 전압변화를 억제함과 아울러 NMOS 트랜지스터들로부터 누설되는 누설전류에 의한 제2 노드(P2) 상의 전압변화를 억제하게 된다.

한편, 캐패시터들(CP1,CP2,CP12)은 소자 누설전류에 의한 전압강하를 줄이고 커플링(Coupling)에 의한 제1 및 제2 노드(P1,P2) 상의 전압변동을 줄이기 위해 사용되기 때문에 이들 캐패시터들(CP1,CP2,CP12)이 없더라도 시프트 레지스터가 오동작되지는 않는다. 또한, 캐패시터들(CP1,CP2,CP12)의 용량이 다소 변하더라도 시프트 레지스터는 거의 정상적으로 동작할 수 있다. 그러나 캐패시터들(CP1,CP2,CP12) 중 어느 하나가 단락(Short)되면 쉬프트 레지스터는 오동작되어 정상적인 스캐닝펄스를 발생시킬 수 없게 된다. 실제로, 캐패시터들(CP1,CP2,CP12)은 진공증착을 이용하여 절연막을 형성하는 공정중에 Si 파티클(Particle)이나 핀홀(Pin hole) 등이 혼입되는 경우에 단락된다. 캐패시터들(CP1,CP2,CP12)의 크기는 비교적 크게 제작되므로 예를 들어, 캐패시터들(CP1,CP2,CP12)의 캐패시턴스가 대략 1pF 정도이면 캐패시터들(CP1,CP2,CP12)의 크기는 대략 100 μm ×100 μm 정도의 크기를 가지게 되므로 그 만큼 절연막 내에 파티클이나 핀홀 등이 혼입될 가능성이 많게 된다.

제1 노드(P1)와 출력라인(4i) 사이에 접속된 캐패시터(CP1)가 단락되면 제1 노드(P1)가 출력라인(4i)에 직렬 접속되므로 로드가 커지기 때문에 제1 NMOS 트랜지스터(T1)는 출력전압을 충분히 충전시키지 못하게 된다. 또한, 이 캐패시터(CP1)가 단락되면 제1 노드(P1)의 부트스트랩(Bootstrap)이 이루어지지 못하여 출력라인(4i)으로 공급되는 출력펄스의 크기가 작아지기 때문에 다음 단계에 공급되는 스캐닝펄스가 정상적인 전압레벨을 갖지 못하게 된다. 제2 노드(P2)와 기저전압라인(10) 사이에 접속된 캐패시터(CP2)가 단락되면 제2 노드(P2)가 기저전압라인(10)에 직렬접속되므로 제2 노드(P2) 상의 전압이 기저전압(VSS)의 전위로 고정된다. 그 결과, 제1 노드(P1)에 충전된 전압이 방전될 수 없게 되므로 제5 NMOS 트랜지스터(T5)는 항상 온(on) 상태를 유지하여 출력라인(4i)에서 나타나는 출력전압은 제1 클럭신호(C1)와 동일하게 된다. 제1 노드(P1)와 기저전압라인(10) 사이에 접속된 캐패시터(CP12)가 단락되면 제1 노드(P1) 상의 전압이 기저전압(VSS)의 전위로 고정된다. 그 결과, 제5 NMOS 트랜지스터(T5)는 항상 오프(off) 상태를 유지하여 출력라인(4i)에서 나타나는 출력전압은 플로팅(Floating) 상태 또는 로우레벨(low level)을 유지하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 캐패시터의 단락을 방지하도록 한 쉬프트 레지스터를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 쉬프트 레지스터의 스테이지들 각각은 제1 클럭신호가 입력되는 제1 입력 전극과 로우라인에 접속된 제1 출력전극과 그리고 제1 제어전극을 가지는 풀-업 트랜지스터와, 저전위 전압원에 접속되어진 제2 입력전극과 로우라인에 접속되어진 제2 출력전극과 그리고 제2 제어전극을 가지는 풀-다운 트랜지스터를 포함하는 출력회로부와; 제1 제어전극에 공급되어질 제1 제어신호를 발생함과 아울러 제1 클럭신호와 위상이 다른 제2 클럭신호에 응답하여 상기 제2 제어전극에 공급되어질 제2 제어신호를 발생하기 위한 입력회로부와; 입력회로부와 로우라인 사이에 접속된 제1 캐패시터, 제2 제어전극과 저전위 전압원 사이에 접속된 제2 캐패시터 및 제1 제어전극과 저전위 전압원 사이에 접속된 제3 캐패시터를 구비하며, 상기 제1 내지 제3 캐패시터 중 적어도 하나 이상이 적어도 둘 이상의 캐패시터들로 직렬 접속되는 것을 특징으로 한다.

본 발명에 따른 쉬프트 레지스터의 스테이지들 각각은 제1 클럭신호가 입력되는 제1 입력전극과 로우라인에 접속된 제1 출력전극과 그리고 제1 제어전극을 가지는 풀-업 트랜지스터와, 저전위 전압원에 접속되어진 제2 입력전극과 로우라인에 접속되어진 제2 출력전극과 그리고 제2 제어전극을 가지는 풀-다운 트랜지스터를 포함하는 출력회로부와; 제1 제어전극에 공급되어질 제1 제어신호를 발생함과 아울러 제1 클럭신호와 위상이 다른 제2 클럭신호에 응답하여 제2 제어전극에 공급되어질 제2 제어신호를 발생하기 위한 입력회로부와; 입력회로부와 로우라인 사이에 접속된 제1 캐패시터, 제2 제어전극과 저전위 전압원 사이에 접속된 제2 캐패시터, 제1 제어전극과 저전위 전압원 사이에 접속된 제3 캐패시터 및 제1 캐패시터와 입력회로부 사이에 접속된 제4 캐패시터를 구비하고, 제1 내지 제4 캐패시터 중 적어도 하나 이상이 적어도 둘 이상의 캐패시터들로 직렬 접속되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4를 참조하면, 본 발명의 제1 실시예에 따른 쉬프트 레지스터의 스테이지들 각각은 제1 노드(P1)와 출력라인(4i) 사이에 직렬접속되어진 캐패시터들(CP1a,CP1b)과; 제2 노드(P2)와 기저전압라인(10) 사이에 직렬접속되어진 캐패시터들(CP2a,CP2b)과; 제1 노드(P1)와 기저전압라인(10) 사이에 직렬접속되어진 캐패시터들(CP12a,CP12b)을 구비한다. 직렬 접속된 캐패시터들(CP1a,CP1b,CP2a,CP2b,CP12a,CP12b) 중 어느 하나가 단락되더라도 쉬프트 레지스터가 정상적으로 동작할 수 있도록 한다. 즉, 직렬 접속된 캐패시터들 중 어느 하나는 리던던스(Redundancy) 역할을 하게 된다. 이를 상세히 하면, 제1 노드(P1)와 출력라인(4i) 사이에 직렬접속된 캐패시터들(CP1a,CP1b) 중 어느 하나가 단락되더라도 다른 캐패시터는 하이레벨전압의 제1 클럭신호(C1)가 출력라인(4i)에 공급될 때 제1 클럭신호(C1)의 전압레벨만큼 제1 노드(P1)상의 전압을 승압시킨다. 이 캐패시터(CP1)에 의해 게이트 전압이 증가됨으로써, 제5 NMOS 트랜지스터(T5)는 제1 클럭신호(C1)를 감쇠없이 빠르게 출력라인(4i)쪽으로 전달하게 된다. 제2 노드(P2)와 기저전압라인(10) 사이에 직렬 접속된 캐패시터들(CP2a,CP2b) 중 어느 하나가 단락되더라도 다른 캐패시터는 출력노드(4i) 상의 출력전압(Vout)이 변화할 때 제2 노드(P2) 상의 전압변화를 억제함과 아울러 NMOS 트랜지스터들로부터 누설되는 누설전류에 의한 제2 노드(P2) 상의 전압변화를 억제하게 된다. 제1 노드(P1)와 기저전압라인(10) 사이에 직렬 접속된 캐패시터들(CP12a,CP12b)은 제1 노드(P1) 상의 전압 상승폭(ΔV_p)을 설정하게 되며, 둘 중 어느 하나가 단락되더라도 다른 하나의 캐패시터가 제2 노드(P2) 상의 전압을 충방전함으로써 제2 노드(P2) 상의 전압 상승폭(ΔV_p)을 정확하게 조정할 수 있게 된다.

도 2에 도시된 쉬프트 레지스터의 스테이지와 대비할 때, 도 4에 도시된 스테이지는 두 배의 캐패시터가 필요하며, 각 캐패시터의 캐패시턴스는 2 배로 된다. 또한, 캐패시터들(CP1a,CP1b,CP2a,CP2b,CP12a,CP12b)이 차지하는 면적은 4배가 된다.

본 발명에 따른 쉬프트 레지스터의 스테이지들 각각은 이전 스테이지(2i-1)의 로우라인(4i-1), 제1 노드(P1) 및 제4 노드(P4) 사이에 접속되어진 제1 NMOS 트랜지스터(T1)와; 제1 노드(P1), 제2 노드(P2) 및 기저전압라인(10) 사이에 접속되어진 제2 NMOS 트랜지스터(T2)와, 공급전압라인(8), 제3 클럭신호라인(6c) 및 제2 노드(P2) 사이에 접속되어진 제3 NMOS 트랜지스터(T3)와; 제2 노드(P2), 제4 노드(P4) 및 기저전압라인(10) 사이에 접속되어진 제4 NMOS 트랜지스터(T4)와; 제1 노드(P1), 제1 클럭신호라인(6a) 및 출력라인(4i) 사이에 접속되어진 제5 NMOS 트랜지스터(T5)와; 제2 노드(P2), 출력라인(4i) 및 기저전압라인(10) 사이에 접속되어진 제6 NMOS 트랜지스터(T6)를 구비한다. 이와 같은 스테이지의 동작은 도 2에 도시된 스테이지의 동작과 실질적으로 동일하므로 상세한 설명을 생략하기로 한다.

직렬 접속된 캐패시터들은 TFT들의 제조공정을 이용하여 도 5 및 도 6과 같은 구조로 형성될 수 있다.

도 5를 참조하면, 기판(12) 상에는 게이트메탈층(14), 제1 절연막(16), 소오스/드레인메탈층(22), 제2 절연막(18) 및 투명전극층(20)을 적층시키게 된다. 게이트메탈층(14)과 소오스/드레인메탈층(22) 사이에 하나의 캐패시터가 형성되며, 투명전극층(20)과 소오스/드레인메탈층(22) 사이에 또 다른 캐패시터가 형성된다. 여기서, 제1 및 제2 절연막(16,18) 중 어느 하나에 파티클이 혼입되어도 캐패시터가 형성될 수 있다. 아울러, 투명전극층(20)과 게이트메탈층(14) 사이에 캐패시터가 형성된다.

도 6을 참조하면, 직렬 접속된 캐패시터들은 기판(12) 상에 적층된 게이트메탈층(14), 절연막(16), 제1 및 제2 소오스/드레인메탈층(22a,22b)에 의해 형성된다. 게이트메탈층(14)과 제1 소오스/드레인메탈층(22a) 사이에 하나의 캐패시터가 형성되며, 게이트메탈층(14)과 제2 소오스/드레인메탈층(22b) 사이에 또 다른 캐패시터가 형성된다.

도 7은 본 발명의 제2 실시예에 따른 쉬프트 레지스터의 스테이지를 나타낸다.

도 7을 참조하면, 본 발명에 따른 쉬프트 레지스터의 스테이지들 각각은 제1 노드(P1)와 출력라인(4i) 사이에 접속되어진 캐패시터들(CP1,CP3)과; 제2 노드(P2)와 기저전압라인(10) 사이에 직렬접속되어진 캐패시터들(CP2a,CP2b)과; 제3 노드(P3)와 기저전압라인(10) 사이에 접속되어진 캐패시터(CP12)를 구비한다. 제1 노드(P1)와 제3 노드(P3) 사이에 접속된 캐패시터(CP3)는 제3 노드(P3)를 경유하여 자신에게 병렬 접속된 캐패시터들(CP1,CP12)의 리턴던스 역할을 하게 된다. 다시 말하여, 이들 캐패시터들(CP1,CP3,CP12) 중 어느 하나가 단락되더라도 쉬프트 레지스터가 오동작되지 않게 된다. 이들 캐패시터들(CP1,CP3,CP12) 중 제1 노드(P1)와 제3 노드(P3) 사이에 접속된 캐패시터(CP3)가 단락되는 경우에는 제2 노드(P2)와 기저전압라인(10) 사이에 캐패시터들(CP2a,CP2b)이 직렬 접속된 것을 제외하고 도 2에 도시된 스테이지와 동일한 회로로 구성된다. 제3 노드(P3)와 출력라인(4i) 사이에 접속된 캐패시터(CP1)가 단락된 경우, 스테이지가 제3 노드(P3)와 기저전압라인(10) 사이에 접속된 캐패시터(CP12)가 없는 것과 동일하게 동작한다. 제3 노드(P3)와 기저전압라인(10) 사이에 접속된 캐패시터(CP12)가 단락된 경우, 스테이지는 도 2에 도시된 스테이지에서 제1 노드(P1)와 출력라인(4i) 사이에 접속된 캐패시터(CP1)가 없는 것과 동일하게 동작한다. 제2 노드(P2)와 기저전압라인(10) 사이에 직렬 접속된 캐패시터들(CP2a,CP2b)과 제1 노드(P1)와 출력라인(4i) 사이에 직렬 접속된 캐패시터들(CP3,CP1)은 도 5 및 도 6과 같은 구조로 형성된다.

한편, 제3 노드(P3)와 출력라인(4i) 사이에 접속된 캐패시터(CP1)가 단락된 경우에는 제1 노드(P1) 상의 누설전류가 증가할 수 있으므로 스테이지가 다소 불안정하게 동작할 수 있다. 또한, 제3 노드(P3)와 기저전압라인(10) 사이에 접속된 캐패시터(CP12)가 단락된 경우에는 출력라인(4i)에 나타나는 출력전압이 다소 감소할 수 있다. 이러한 경우에 있어서, 스테이지에 캐패시터들을 설치하는 목적이 소자들의 특성이 불균일할 때 발생하는 불안정성을 줄이기 위한 것이므로 TFT들이 안정적인 특성을 가질 경우에는 캐패시터들(CP1,CP12)이 단락되더라도 정상적으로 동작한다.

도 2에 도시된 쉬프트 레지스터의 스테이지와 대비할 때, 도 7에 도시된 스테이지는 캐패시터들의 총용량은 대략 1.5 배가 필요하며, 캐패시터들이 차지하는 면적은 2.2배가 된다. 그리고 도 4에 도시된 스테이지와 대비할 때, 도 7에 도시된 스테이지는 캐패시터 수가 하나 줄게 되며, 이에 따라 캐패시터들이 차지하는 면적과 필요한 캐패시터수가 줄게 된다.

도 8은 본 발명의 제3 실시예에 따른 쉬프트 레지스터의 스테이지를 나타낸다.

도 8을 참조하면, 본 발명에 따른 쉬프트 레지스터의 스테이지들 각각은 제1 노드(P1)와 출력라인(4i) 사이에 접속되어진 캐패시터(CP1)와; 제2 노드(P2)와 기저전압라인(10) 사이에 직렬접속되어진 캐패시터들(CP2a,CP2b)과; 제1 노드(P1)와 기저전압라인(10) 사이에 접속되어진 캐패시터(CP12)를 구비한다. 이와 같은 스테이지들은 패널의 좌우측에 쉬프트 레지스터가 배치되는 경우에 이용될 수 있다. 패널의 좌우측에 쉬프트 레지스터가 배치되면, 출력라인(4i)에 종속적으로 접속된 캐패시터들(CP1,CP12)이 단락되더라도 출력라인(4i)의 반대측에 위치한 스테이지의 구동에 의해 정상적으로 구동될 수 있다. 이에 따라, 패널의 좌우측에 쉬프트 레지스터가 배치되는 경우에 제2 노드(P2)와 기저전압라인(10) 사이에 위치한 캐패시터의 단락만 방지하면 정상적으로 동작할 수 있으므로 제2 노드(P2)와 기저전압라인(10) 사이에 위치한 캐패시터들(CP2a,CP2b)만 두 개 이상으로 직렬접속시키게 된다. 이렇게 제2 노드(P2)와 기저전압라인(10) 사이에 위치한 캐패시터들(CP2a,CP2b)만 두 개 이상으로 직렬접속시킴으로써, 캐패시터의 단락을 방지할 수 있게 된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 쉬프트 레지스터는 출력 노드와 부트스트랩 노드 사이와 직류전원과 부트스트랩 노드 사이에 접속된 캐패시터를 두 개 이상으로 직렬 접속시킴으로써 캐패시터의 단락을 방지할 수 있게 된다.

그리고, 본 발명은 제어전극과 저전위 전압원 사이에 직렬 접속된 캐패시터들(CP12a,CP12b)이 제1 노드(P1) 상의 전압 상승폭(ΔV_p)을 설정하게 됨으로써, 둘 중 어느 하나가 단락되더라도 다른 하나의 캐패시터가 제2 노드(P2) 상의 전압을 충방전함으로써 제2 노드(P2) 상의 전압 상승폭(ΔV_p)을 정확하게 조정할 수 있게 된다.

또한, 본 발명은 제어전극과 저전위 전압원 사이에 직렬 위치한 캐패시터들(CP2a,CP2b)만 직렬접속시킴으로써, 캐패시터의 단락을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 쉬프트 레지스터를 개략적으로 나타내는 도면.

도 2는 도 1에 도시된 스테이지를 상세히 나타내는 회로도.

도 3은 도 2에 도시된 스테이지의 입/출력 파형도.

도 4는 본 발명의 제1 실시예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도.

도 5는 도 4에 도시된 직렬 접속 구조의 캐패시터의 구조를 상세히 나타내는 단면도.

도 6은 도 4에 도시된 직렬 접속 구조의 캐패시터의 다른 구조를 나타내는 단면도.

도 7은 본 발명의 제2 실시예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도.

도 8은 본 발명의 제3 실시예에 따른 쉬프트 레지스터의 스테이지를 나타내는 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

21~2n, 2i : 스테이지 41~4n, 4i : 출력라인

6a~6d : 클럭신호라인 8 : 공급전압라인

10 : 기저전압라인 12 : 기관

14 : 게이트메탈층 16, 18 : 절연막

20 : 투명전극층 22, 22a, 22b : 소오스/드레인메탈층

도면

도면3



