



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I676267 B

(45)公告日：中華民國 108 (2019) 年 11 月 01 日

(21)申請案號：107106013

(22)申請日：中華民國 99 (2010) 年 11 月 01 日

(51)Int. Cl. : H01L27/115 (2017.01)

H01L23/52 (2006.01)

(30)優先權：2009/11/06 日本

2009-255536

2009/11/20 日本

2009-264572

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 7339187B2

US 2004/0065884A1

US 2005/0073871A1

US 2008/0175086A1

審查人員：張展溢

申請專利範圍項數：8 項 圖式數：32 共 138 頁

(54)名稱

半導體裝置

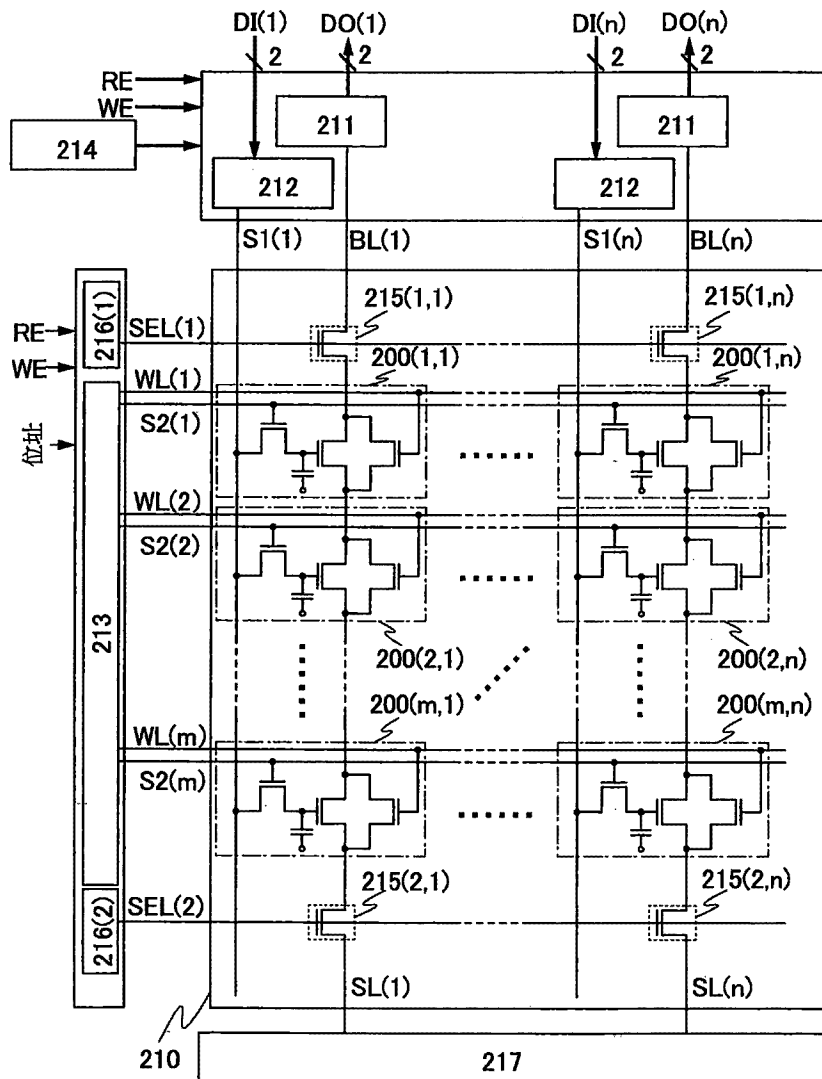
(57)摘要

本發明所揭示的是充作多值記憶體裝置之半導體裝置，包括：記憶體單元，其串聯連接；驅動器電路，其選擇記憶體單元及驅動第二信號線和字元線；驅動器電路，其選擇寫入電位的任一個及將其輸出到第一信號線；讀取電路，其比較位元線的電位與參考電位；以及電位產生電路，其產生該寫入電位和該參考電位。該記憶體單元的其中之一包括：第一電晶體，其連接到該位元線和源極線；第二電晶體，其連接到該第一和第二信號線；以及第三電晶體，其連接到該字元線、位元線、和源極線。該第二電晶體包括氧化物半導體層。該第一電晶體的閘極電極連接到該第二電晶體之源極和汲極電極的其中之一。

Disclosed is a semiconductor device functioning as a multivalued memory device including: memory cells connected in series; a driver circuit selecting a memory cell and driving a second signal line and a word line; a driver circuit selecting any of writing potentials and outputting it to a first signal line; a reading circuit comparing a potential of a bit line and a reference potential; and a potential generating circuit generating the writing potential and the reference potential. One of the memory cells includes: a first transistor connected to the bit line and a source line; a second transistor connected to the first and second signal line; and a third transistor connected to the word line, bit line, and source line. The second transistor includes an oxide semiconductor layer. A gate electrode of the first transistor is connected to one of source and drain electrodes of the second transistor.

指定代表圖：

符號簡單說明：



217 · · · 源極線用的
驅動器電路

217 · · · 源極線用的
驅動器電路

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係相關於使用半導體元件之半導體裝置及其製造方法。

【先前技術】

使用半導體元件之記憶體裝置大致分類成：揮發性記憶體裝置，其在停止供電時喪失其所儲存的資料；非揮發性記憶體裝置，其甚至在停止供電時仍可保留其所儲存的資料。

作為揮發性記憶體裝置的典型例子，給予動態隨機存取記憶體（DRAM）。在 DRAM 中，選擇包括在記憶體元件中的電晶體及電荷累積在電容器中，使得資料被儲存。

由於上述原理，當讀出 DRAM 中的資料時喪失電容器中的電荷；如此，每當讀取資料時都必須執行寫入操作。此外，甚至當未選擇電晶體時，在記憶體元件所包括的電晶體中仍具有漏電流以及電荷流入或流出電容器。因此，必須以預定循環再次執行寫入操作（更新操作），其難以充分降低電力消耗。另外，因為當未供應電力時喪失

所儲存的資料，所以必須使用磁性材料或光學材料之另一記憶體裝置長時間保留所儲存的資料。

揮發性記憶體裝置的另一例子，給定靜態隨機存取記憶體（SRAM）。在 SRAM 中，使用諸如正反器等電路來保留所儲存的資料，如此不需要更新操作。鑑於此點，SRAM 比 DRAM 更有利。然而，是有問題的，因為使用諸如正反器等電路而使每儲存電容的成本變高。另外，鑑於當停止電力時所儲存的資料喪失此點，SRAM 也未優於 DRAM。

作為非揮發性記憶體裝置的典型例子，給定快閃記憶體。快閃記憶體包括浮動閘極在電晶體中的閘極電極和通道形成區之間。快閃記憶體藉由使電荷在浮動狀態中來儲存資料，使得資料保留週期極長（半永久），如此具有不需要揮發性記憶體裝置所需之更新操作的有利點（例如，見專利文件 1）。

然而，在快閃記憶體中，具有在執行寫入操作許多次之後記憶體元件不運作的問題，因為由於當執行寫入操作時所出現之隧道電流而使包括在記憶體元件中的閘極絕緣層退化。為了避免此問題的不利影響，例如，利用使用於記憶體元件的寫入操作數目相等之方法。然而，需要複雜的周邊電路來實現此方法。甚至當利用此種方法時，使用期的基本問題仍未解決。也就是說，快閃記憶體不適用於高頻率重寫資料之應用。

另外，需要高電壓來注射電荷到浮動閘極，或者去除

浮動閘極中的電荷。而且，注射或去除電荷需要相當長時間，及無法容易增加寫入和拭除的速度。

[參考]

[參考文件]

[參考文件 1]日本已出版專利申請案號 S57-105889

【發明內容】

鑑於上述問題，本發明的一實施例的一目的係用以設置半導體裝置，其具有甚至當未供應電力時仍保留所儲存的資料，並且未限制寫入次數之新結構。本發明的一實施例之另一目的係用以設置半導體，其具有容易使儲存在半導體裝置中的資料多值之結構。

本發明的實施例為具有使用氧化物半導體的電晶體和使用除了氧化物半導體之外的材料之電晶體的堆疊之半導體裝置。例如，半導體裝置可利用下面結構。

本發明的實施例為半導體裝置，其包括：源極線；位元線；第一信號線；複數個第二信號線；複數個字元線；複數個記憶體單元，其串聯連接在源極線和位元線之間；第二信號線和字元線用的驅動器電路，其被輸入位址信號，及驅動複數個第二信號線和複數個字元線，以便選擇由來自複數個記憶體單元的位址信號所指定之記憶體單元；第一信號線用的驅動器電路，用以選擇和輸出複數個寫入操作的任一個到第一信號線；讀取電路，其被輸入位

元線的電位和複數個參考電位，及藉由比較位元線的電位和複數個參考電位來讀取資料；以及電位產生電路，其產生和供應複數個寫入電位和複數個參考電位到第一信號線用的驅動器電路和讀取電路。另外，複數個記憶體單元的其中之一包括：第一電晶體，其包括第一閘極電極、第一源極電極、及第一汲極電極；第二電晶體，其包括第二閘極電極、第二源極電極、及第二汲極電極；以及第三電晶體，其包括第三閘極電極、第三源極電極、及第三汲極電極。第一電晶體係設置在含半導體材料的基板上。第二電晶體被形成，以包括氧化物半導體層。第一閘極電極及第二源極電極和第二汲極電極的其中之一彼此電連接。源極線、第一源極電極、及第三源極電極彼此電連接。位元線、第一汲極電極、和第三汲極電極彼此電連接。第一信號線及第二源極電極和第二汲極電極的其中另一個彼此電連接。複數個第二信號線的其中之一和第二閘極電極彼此電連接。複數個字元線的其中之一和第三閘極電極彼此電連接。

需注意的是，電連接到第一閘極電極及第二源極電極和第二汲極電極的其中之一的電容器包括在上述結構中較佳。

本發明的另一實施例為半導體裝置，其包括：源極線；位元線；第一信號線；複數個第二信號線；複數個字元線；複數個記憶體單元，其串聯連接在原極線和位元線之間；第二線和字元線用的驅動器電路，其被輸入位址信

號和複數個參考電位，以便選擇由來自複數個記憶體單元的位址信號所指定之記憶體單元，及選擇和輸出複數個參考電位的任一個到一選定字元線；第一信號線用的驅動器電路，其選擇和輸出複數個寫入電位的任一個到第一信號線；讀取電路，其連接到位元線，及藉由讀取所指定的記憶體單元之電容來讀取資料；以及電位產生電路，其產生和供應複數個寫入電位和複數個參考電位到第一信號線用的驅動器電路和讀取電路。另外，複數個記憶體單元的其中之一包括：第一電晶體，其具有第一閘極電極、第一源極電極、及第一汲極電極；第二電晶體，其具有第二閘極電極、第二源極電極、及第二汲極電極；以及電容器。第一電晶體係設置在含半導體材料的基板上。第二電晶體被形成包括氧化物半導體層。第一閘極電極、第二源極電極和第二汲極電極的其中之一、及電容器之電極的其中之一彼此電連接。源極線和第一源極電極彼此電連接。位元線和第一汲極電極彼此電連接。第一信號線及第二源極電極和第二汲極電極的其中另一個彼此電連接。複數個第二信號線的其中之一和第二閘極電極彼此電連接。複數個字元線的其中之一和電容器之電極的其中另一個彼此電連接。

上述半導體裝置最好包括：第一選擇線；第二選擇線；第四電晶體，其經由其閘極電極電連接到第一選擇線；以及第五電晶體，其經由其閘極電極電連接到第二選擇線。另外，位元線經由第四電晶體電連接到第一汲極電極和第三汲極電極，及源極線經由第五電晶體電連接到第

一源極電極和第三源極電極較佳。

此外，電位產生電路被供應有在升壓電路中升壓的電位較佳。

在上述結構中，第一電晶體包括：通道形成區，其設置在含半導體材料的基板上；雜質區，其設置有被夾置在其間的通道形成區；第一閘極絕緣層，其在通道形成區上；第一閘極電極，其在第一閘極絕緣層上；以及第一源極電極和第一汲極電極，其電連接到雜質區。

另外，在上述結構中，第二電晶體包括：第二閘極電極，其在含半導體材料之基板上；第二閘極絕緣層，其在第二閘極電極上；氧化物半導體層，其在第二閘極絕緣層上；以及第二源極電極和第二汲極電極，其電連接到氧化物半導體層。

在上述結構中，單晶半導體基板或 SOI 基板被使用作為含半導體材料之基板較佳。半導體材料為矽尤其佳。

另外，在上述結構中，氧化物半導體層含有 In-Ga-Zn-O 基的氧化物半導體材料較佳。氧化物半導體層含有 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的晶體尤其佳。氧化物半導體層的氫濃度低於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ 較佳。此外，第二電晶體的關閉狀態電流低於或等於 $1 \times 10^{-13} \text{ A}$ 較佳。

此外，在上述結構中，第二電晶體可設置在與第一電晶體重疊的區域中。

需注意的是，在此說明書中，”在...之上”及”在...之下”在組件之間的實體關係之說明中分別不一定意謂”直接

在上方”和”直接在下”方”。例如，”閘極絕緣層上之第一閘極電極”可意指另一組件插入在閘極絕緣層和第一閘極電極之間的情況。此外，”在...之上”及”在...之下”一詞僅爲了方便說明而使用，除非特別指定否則可互換。

在此說明書中，”電極”或”配線”一詞並不限制組件的功能。例如，”電極”可被使用作爲”配線”的部分，及”配線”可被使用作爲”電極”的部分。此外，例如，”電極”或”配線”一詞亦可意謂複數個”電極”和”配線”的組合。

另外，例如，當利用具有不同極性的電晶體或在電路操作中改變電流流動方向時，可轉換”源極”及”汲極”的功能。因此，此說明書中可轉換”源極”及”汲極”一詞。

需注意的是，在此說明書中，”電連接”的表示包括經由”具有任何電功能的物體”電連接之情況。此處，只要物體能夠傳送和接收物體連接的組件之間的電信號，並未特別限制”具有任何電功能的物件”。

例如，在”具有任何電功能的物件”中，不但包括諸如電晶體、電阻器、感應器、電容器、及具有幾種功能的其他元件等交換元件，而且還包括電極和配線。

通常，”SOI 基板”一詞意指具有矽半導體層在絕緣表面上之基板。在此說明書中，”SOI 基板”一詞亦意指具有使用除了矽以外的材料之半導體層在絕緣表面上之基板。即、包括在”SOI 基板”中之半導體層並不侷限於矽半導體層。同時，”SOI 基板”中的基板並不侷限於諸如矽晶圓等半導體基板，及可以是諸如玻璃基板、石英基板、藍寶石

基板、和金屬基板等非半導體基板。即、“SOI 基板”亦包括具有絕緣表面的導電基板以及使用半導體材料形成一層在其上之絕緣基板。此外，在此說明書中，“半導體基板”意指只有半導體材料的基板，及亦為半導體材料之材料之一般基板。換言之，在此說明書中，“SOI 基板”亦包括在“半導體基板”的廣義類別中。

而且，在此說明書中，只要其為除了氧化物半導體以外的材料，除了氧化物半導體以外的材料可以是任何材料。例如，可給定矽、鍺、矽鍺、碳化矽、砷化鎵等。此外，可使用有機半導體材料等。需注意的是，在並不特別說明包括在半導體裝置中的材料等之例子中，可使用氧化物半導體材料或除了氧化物半導體以外的材料。

本發明的實施例設置半導體裝置，其中使用除了氧化物半導體以外的材料之電晶體置放在下部，而使用氧化物半導體的電晶體置放在上部。

使用氧化物半導體的電晶體具有極小的關閉狀態電流；因此，藉由使用電晶體，所儲存的資料可保留一段相當長的時間。也就是說，更新操作可變得不需要，或可大幅降低更新操作的頻率，使得能夠充分降低電力消耗。另外，甚至在未供應電力的例子中，所儲存的資料可保留一段長時間。

此外，寫入資料到半導體裝置內不需要高電壓，及沒有元件退化的問題。例如，因為不需要像習知非揮發性記憶體所需一般執行注射電荷到浮動閘極以及從浮動閘極析

取電子，所以閘極絕緣層的退化不會發生。也就是說，不像習知非揮發性記憶體的問題一般，根據本發明的半導體裝置在寫入次數上沒有限制，及其可靠性大幅提高。另外，藉由切換電晶體的開啓和關閉狀態來寫入資料，藉以可容易實現高速操作。此外，具有不需要快閃記憶體等所需之拭除資料的操作之有利點。

而且，可以比使用氧化物半導體之電晶體快很多的速度來操作使用除了氧化物半導體以外的材料之電晶體，如此可實現高速讀取所儲存的資料。

而且，藉由設置有升壓電路可容易使儲存在本發明的半導體裝置中之資料多值，使得可增加儲存容量。

因此，藉由設置有使用除了氧化物半導體以外使用除了氧化物半導體以外的材料之電晶體和使用氧化物半導體材料的電晶體之組合，可實現具有史無前例的特徵之半導體裝置。

【圖式簡單說明】

在附圖中：

圖 1 為半導體裝置的電路圖；

圖 2A 及 2B 分別為半導體裝置的橫剖面圖和平面圖；

圖 3A 至 3H 為半導體裝置的製造處理之橫剖面圖；

圖 4A 至 4G 為半導體裝置的製造處理之橫剖面圖；

圖 5A 至 5D 為半導體裝置的製造處理之橫剖面圖；

圖 6 為包括氧化物半導體之電晶體的橫剖面圖；

圖 7 為沿著圖 6 的 A-A'區之能量帶圖（概要圖）；

圖 8A 為正電壓（ $V_G > 0$ ）施加到閘極（GE1）的狀態圖，而圖 8B 為負電壓（ $V_G < 0$ ）施加到閘極（GE1）的狀態圖；

圖 9 為真空位準和金屬的功函數（ ϕ_M ）之間的關係以及真空位準和氧化物半導體的電子親和力（ χ ）之間的關係圖；

圖 10 為 C-V 特性圖；

圖 11 為 V_G 和 $(1/C)^2$ 之間的關係圖；

圖 12 為半導體裝置的橫剖面圖；

圖 13A 及 13B 各為半導體裝置的橫剖面圖；

圖 14A 及 14B 各為半導體裝置的橫剖面圖；

圖 15A 及 15B 各為半導體裝置的橫剖面圖；

圖 16 半導體裝置的電路圖；

圖 17 為半導體裝置的方塊電路圖；

圖 18 為半導體裝置的電路圖；

圖 19 為半導體裝置的電路圖；

圖 20 為半導體裝置的電路圖；

圖 21 為半導體裝置的電路圖；

圖 22A 及 22B 為半導體裝置的電路圖；

圖 23 為半導體裝置的電路圖；

圖 24 為半導體裝置的電路圖；

圖 25A 及 25B 分別為半導體裝置的寫入操作之時序

圖和讀取操作的時序圖；

圖 26 為半導體裝置的電路圖；

圖 27 為半導體裝置的方塊電路圖；

圖 28 為半導體裝置的電路圖；

圖 29 為半導體裝置的電路圖；

圖 30 為節點 A 的電位和字元線 WL 的電位之間的關係圖；

圖 31 為半導體裝置的讀取操作之時序圖；及

圖 32A 至 32F 各為使用半導體裝置的電子裝置圖。

【實施方式】

下面，將參考附圖說明本發明的實施例之例子。需注意的是，本發明並不侷限於下面說明，及精於本技藝之人士應明白，在不違背本發明的精神和範圍之下，可以各種方式修改模式和細節。因此，本發明不應被闡釋作侷限於下面實施例的說明。

需注意的是，為了便於瞭解，圖式等所圖解的各組件之位置、尺寸、範圍等在某些例子中並非真實的。因此，本發明並不侷限於圖式等所揭示的位置、尺寸、範圍等。

需注意的是，在此說明書中，使用諸如”第一”、”第二”、及”第三”等序數，以避免組件之間的混淆，但此語詞並不在數字上限制組件。

[實施例 1]

在此實施例中，根據所揭示的發明之一實施例的半導體裝置之結構和製造方法係參考圖 1、圖 2A 及 2B、圖 3A 至 3H、圖 4A 至 4G、圖 5A 至 5D、圖 6、圖 7A 及 7B、圖 8A 及 8B、圖 9、圖 10、圖 11、圖 12、圖 13A 及 13B、圖 14A 及 14B、和圖 15A 及 15B 來說明。

<半導體裝置的電路結構>

圖 1 為半導體裝置的電路結構之例子。半導體裝置包括使用除了氧化物半導體以外的材料之電晶體 160，以及使用氧化物半導體之電晶體 162。需注意的是，記號”OS”添加到圖 1 的電晶體 162，以表示電晶體 162 使用氧化物半導體（OS）。此亦應用到其他實施例的其他電路圖。

此處，電晶體 160 的閘極電極電連接到電晶體 162 之源極電極和汲極電極的其中之一。第一配線（被表示作”第一線”，又稱作源極線 SL）和第二配線（被表示作”第二線”，又稱作字元線 BL）分別電連接到電晶體 160 的源極電極和電晶體 160 的汲極電極。另外，第三配線（被表示作”第三線”，又稱作第一信號線 S1）和第四配線（被表示作”第四線”，又稱作第二信號線 S2）分別電連接到電晶體 162 之源極電極和汲極電極的其中另一個及電晶體 162 的閘極電極。

可以比使用氧化物半導體之電晶體快很多的速度來操作使用除了氧化物半導體以外的材料之電晶體 160，如此可實現高速讀取所儲存的資料等。此外，在使用氧化物半

導體之電晶體 162 中的關閉狀態電流極小。因此，當電晶體 162 被關掉時，電晶體 160 的閘極電極之電位可保留一段極長時間。另外，在使用氧化物半導體之電晶體 162 中，不可能產生短通道效應，如此是有利的。

閘極電極的電位可保留一段極長時間之有利點使資料的寫入、保留、和讀取能夠如下述一般來執行。

首先說明資料的寫入和保留。首先，第四配線的電位被設定成使電晶體 162 在開啓狀態之電位，藉以使電晶體 162 在開啓狀態。因此，第三配線的電位被施加到電晶體 160 的閘極電極（資料的寫入）。之後，第四配線的電位被設定成使電晶體 162 在關閉狀態的電位，藉以使電晶體 162 在關閉狀態；因此，電晶體 160 的閘極電極之電位被保留（資料的保留）。

因為電晶體 162 的關閉狀態電流極小，所以電晶體 160 的閘極電極之電位被保留一段長時間。例如，當電晶體 160 的閘極電極之電位為使電晶體 160 在開啓狀態之電位時，電晶體 160 的開啓狀態被保持一段長時間。當電晶體 160 的閘極電極之電位為使電晶體 160 在關閉狀態之電位時，電晶體 160 的關閉狀態被保持一段長時間。

接著，說明資料的讀取。當如上述保留電晶體 160 的開啓狀態或關閉狀態，並且給定電位（低電位）被施加到第一配線時，第二配線的電位之值視電晶體 160 的狀態是在開啓狀態或關閉狀態而改變。例如，當電晶體 160 是在開啓狀態時，第二配線的電位係受到第一配線的電位影響

而降低。另一方面，當電晶體 160 是在關閉狀態時，第二配線的電位未改變。

以此方式，藉由比較第二配線的電位與保留資料的狀態之給定電位，可讀取資料。

然後，說明資料的重寫。以類似於上述之資料的寫入和保留之方式的方式來執行資料的重寫。也就是說，第四配線的電位被設定成使電晶體 162 在開啓狀態的電位，藉以使電晶體 162 在開啓狀態。因此，第三配線的電位（有關新資料的電位）被施加到電晶體 160 的閘極電極。之後，第四配線的電位被設定成使電晶體 162 在關閉狀態的電位，藉以使電晶體 162 在關閉狀態；因此，新資料被保留。

如上述，在根據所揭示的發明之一實施例的半導體裝置中，可藉由再次執行資料的寫入來直接重寫資料。如此不需要快閃記憶體等所需要的拭除操作；因此，可抑制由於拭除操作所導致的操作速度降低。換言之，實現半導體裝置的高速操作。

需注意的是，在上述說明中，使用電子作為載子之 n 型電晶體（n 通道電晶體）被使用；然而，無須說，使用電洞作為載子之 p 通道電晶體可被使用來取代 n 通道電晶體。

同樣無須說，可將電容器添加到電晶體 160 的閘極電極，使得電晶體 160 的閘極電極之電位容易被保留。

<半導體裝置的平面結構和橫剖面結構>

圖 2A 及 2B 圖解上述半導體裝置的結構之例子。圖 2A 及 2B 分別為半導體裝置的橫剖面圖及其平面圖。此處，圖 2A 對應於沿著圖 2B 的線 A1-A2 及線 B1-B2 所取之橫剖面。圖 2A 及 2B 所示之半導體裝置包括使用除了氧化物半導體以外的材料之電晶體 160 在下部；以及使用氧化物半導體之電晶體 162 在上部。需注意的是，雖然說明 n 通道電晶體作為電晶體 160 及 162，但是亦可利用 p 通道電晶體。尤其是，可使用 p 通道電晶體作為電晶體 160。

電晶體 160 包括：通道形成區 116，其被設置給含半導體材料之基板 100；通道形成區 116 夾置在其間之雜質區 114，及通道形成區 116 夾置在其間之高濃度雜質區 120（又統稱作雜質區）；閘極絕緣層 108，其設置在通道形成區 116 上；閘極電極 110，其設置在閘極絕緣層 108 上；以及源極或汲極電極 130a 和源極或汲極電極 130b，其電連接到雜質區 114。

此處，側壁絕緣層 118 被設置給閘極電極 110 的側表面。另外，在以橫剖面來看時的未與側壁絕緣層 118 重疊之基板 100 的區域中，設置高濃度雜質區 120。金屬化合物區 124 係在高濃度雜質區 120 上。在基板 100 上，元件隔離絕緣層 106 被設置，以圍繞電晶體 160，及中間層絕緣層 126 和中間層絕緣層 128 被設置，以覆蓋電晶體 160。經由形成在中間層絕緣層 126 及 128 中的開口，源

極或汲極電極 130a 和源極或汲極電極 130b 電連接到金屬化合物區 124。換言之，源極或汲極電極 130a 和源極或汲極電極 130b 透過金屬化合物區 124 電連接到高濃度雜質區 120 和雜質區 114。另外，閘極電極 110 電連接到以類似於源極或汲極電極 130a 和源極或汲極電極 130b 的方式所設置之電極 130c。

電晶體 162 包括：閘極電極 136d，其設置在中間層絕緣層 128 上；閘極絕緣層 138，其設置在閘極電極 136d 上；氧化物半導體層 140，其設置在閘極絕緣層 138 上；以及源極或汲極電極 142a 和源極或汲極電極 142b，其設置在氧化物半導體層 140 上並且電連接至此。

此處，閘極電極 136d 被設置，以嵌入於形成在中間層絕緣層 128 上之絕緣層 132 中。而且，類似於閘極電極 136d，電極 136a、電極 136b、及電極 136c 被形成分別與源極或汲極電極 130a、源極或汲極電極 130b、及電極 130c 接觸。

在電晶體 162 上，保護絕緣層 144 被設置與氧化物半導體層 140 的部分接觸。中間層絕緣層 146 被設置在保護絕緣層 144 上。此處，在保護絕緣層 144 和中間層絕緣層 146 中，到達源極或汲極電極 142a 和源極或汲極電極 142b 之開口被形成。在開口中，電極 150d 和電極 150e 被形成分別與源極或汲極電極 142a 和源極或汲極電極 142b 接觸。類似於電極 150d 及 150e，在設置於閘極絕緣層 138、保護絕緣層 144、及中間層絕緣層 146 之開口

中，電極 150a、電極 150b、及電極 150c 被形成分別與電極 136a、電極 136b、及電極 136c 接觸。

此處，氧化物絕緣層 140 為藉由去除諸如氫等雜質來高度淨化之氧化物半導體層較佳。尤其是，氧化物半導體層 140 中的氫濃度低於或等於 5×10^{19} atoms/cm³，低於或等於 5×10^{18} atoms/cm³ 較佳，低於或等於 5×10^{17} atoms/cm³ 更好。在藉由充分降低氫濃度來高度淨化之氧化物半導體層 140 中，當與一般矽晶圓中的載子濃度比較時載子濃度夠低（添加微量諸如磷或硼等雜質元素之矽晶圓）。換言之，氧化物半導體層 140 中之載子濃度低於或等於 1×10^{12} /cm³，低於或等於 1×10^{11} /cm³ 較佳。以此方式，藉由使用以充分降低氫濃度來高度淨化且使其為 i 型（本質）氧化物半導體或大體上 i 型氧化物半導體之氧化物半導體，可獲得具有極令人滿意的關閉狀態電流特性之電晶體 162。例如，當汲極電壓 V_D 為 +1 V 或 +10 V 而閘極電壓 V_G 的範圍為 -5 V 至 -20 V 時，關閉狀態電流低於或等於 1×10^{-13} A。當使用藉由充分降低氫濃度而使其為本質氧化物半導體層或大體上本質氧化物半導體層之氧化物半導體層 140 並且降低電晶體 162 的關閉狀態電流時，可實現具有新結構之半導體裝置。需注意的是，由二次離子質譜儀（SIMS）測量氧化物半導體層 140 中之氫濃度。

而且，絕緣層 152 設置在中間層絕緣層 146 上。電極 154a、電極 154b、電極 154c、及電極 154d 被設置，以嵌入於絕緣層 152 中。此處，電極 154a 與電極 150a 接觸；

電極 154b 與電極 150b 接觸；電極 154c 與電極 150c 及 150d 接觸；以及電極 154d 與電極 150e 接觸。

也就是說，在圖 2A 及 2B 所示之半導體裝置中，透過電極 130c、136c、150c、154c、及 150d，電晶體 160 的閘極電極 110 電連接到電晶體 162 的源極或汲極電極 142a。

<製造半導體裝置之方法>

接著將說明製造上述半導體裝置之方法的例子。首先，將參考圖 3A 至 3H 說明製造在下部之電晶體 160 的方法，然後，將參考圖 4A 至 4G 和圖 5A 及 5D 說明在上部之電晶體 162 的方法。

<製造在下部的電晶體之方法>

首先，備製含半導體材料之基板 100（見圖 3A）。作為含半導體材料之基板 100，可使用含矽、碳化矽等之單晶半導體基板或多晶半導體基板；含矽鍺等化合物半導體基板；SOI 基板等。此處，說明使用單晶矽基板作為含半導體材料之基板 100 的例子。

在基板 100 上，形成充作形成元件隔離絕緣層用的遮罩之保護層 102（見圖 3A）。作為保護層 102，例如，可使用使用氧化矽、氮化矽、氧氮化矽等所形成之絕緣層。需注意的是，在上述步驟之前或之後，可將給予 n 型導電性的雜質元素或給予 p 型導電性的雜質元素添加到基板

100，使得電晶體的臨界電壓受到控制。作為給予 n 型導電性之雜質，當基板 100 所含有的半導體材料為矽時可使用砷等。作為給予 p 型導電性之雜質，例如，可使用硼、鋁、鎵等。

接著，藉由使用上述保護層 102 作為遮罩，藉由蝕刻去除未覆蓋有保護層 102 之區域（露出區）。如此，形成分開的半導體區 104（見圖 3B）。關於蝕刻，執行乾蝕刻較佳，但是亦可執行濕蝕刻。依據待蝕刻的物體之材料，可適當選擇蝕刻氣體和蝕刻劑。

接著，絕緣層被形成以覆蓋半導體區 104，及在與半導體區 104 重疊之區域中選擇性去除，藉以形成元件隔離絕緣層 106（見圖 3B）。使用氧化矽、氮化矽、氧氮化矽等形成絕緣層。作為去除絕緣層之方法，可利用諸如 CMP 等蝕刻處理和拋光處理，及它們的任一個。需注意的是，在形成半導體區 104 之後或者在形成元件隔離絕緣層 106 之後去除保護層 102。

然後，絕緣層形成在半導體區 104 上，含導電材料的層形成在絕緣層上。

絕緣層充作稍後的閘極絕緣層，及具有藉由 CVD 法、濺鍍法等所獲得之使用含氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鋇的膜之單層結構或疊層結構較佳。另一選擇是，可藉由以高密度電漿處理或熱氧化處理來氧化或氮化半導體區 104 的表面而獲得上述絕緣層。高密度電漿處理係可使用例如諸如 He（氦）、Ar

(氬)、Kr (氪)、或 Xe (氙) 等稀有氣體和諸如氧、氧化氮、氮、或氫等氣體的混合氣體來執行。並未特別限制絕緣層的厚度，但是厚度例如可大於或等於 1 nm 及小於或等於 100 nm。

含導電材料的層係可使用諸如鋁、銅、鈦、鉭、或鎢等金屬材料來形成。另一選擇是，含導電材料之層係可使用諸如含導電材料的多晶矽等半導體材料來形成。亦未特別限制形成含導電材料的層之方法，及可應用諸如蒸發法、CVD 法、濺鍍法、旋轉塗佈法等各種膜形成法的任一個。需注意的是，在此實施例中，說明含導電材料的層係使用金屬材料來形成時之例子。

之後，藉由選擇性蝕刻絕緣層和含導電材料的層，形成閘極絕緣層 108 和閘極電極 110 (見圖 3C)。

接著，形成覆蓋閘極電極 110 之絕緣層 112 (見圖 3C)。然後將磷 (P)、砷 (As) 等添加到半導體區 104，藉以形成具有淺接合深度之雜質區 114，即、與基板 100 的介面在淺區之雜質區 114 (見圖 3C)。需注意的是，雖然此處添加磷或砷以形成 n 通道電晶體，但是在形成 p 通道電晶體時可添加諸如硼 (B) 或鋁 (Al) 等雜質元素。亦需注意的是，藉由形成雜質區 114，在閘極絕緣層 108 下的半導體區 104 中形成通道形成區 116 (見圖 3C)。此處，可適當設定所添加的雜質濃度；在高度微型化半導體元件之例子中，濃度被設定成高的較佳。另外，可利用形成雜質區 114 之後形成絕緣層 112 的處理來取代

此處所利用之形成絕緣層 112 之後形成雜質區的處理。

然後，形成側壁絕緣層 118（見圖 3D）。絕緣層被形成，以覆蓋絕緣層 112，然後經過高度各向異性蝕刻處理，藉以能夠以自我對準方式來形成側壁絕緣層 118。在此時局部蝕刻絕緣層 112，使得閘極電極 110 的頂表面和雜質區 114 的頂表面露出較佳。

之後，絕緣層被形成，以覆蓋閘極電極 110、雜質區 114、側壁絕緣層 118 等。然後將磷（P）、砷（As）等添加到與絕緣層接觸之雜質區 114 的部分，藉以形成高濃度雜質區 120（見圖 3E）。接著，上述絕緣層被去除，及金屬層 122 被形成，以覆蓋閘極電極 110、側壁絕緣層 118、高濃度雜質區 120 等（見圖 3E）。可將諸如真空蒸發法、濺鍍法、旋轉塗佈法等各種方法的任一個應用到金屬層 122 的形成。使用與半導體區 104 所含的半導體材料反應之金屬材料來形成金屬層 122，以形成具有低電阻的金屬化合物較佳。此種金屬材料的例子包括鈦、鋁、鎢、鎳、鈷、和鉑。

接著，執行熱處理，藉以金屬層 122 與半導體材料反應。因此，與高濃度雜質區 120 接觸之金屬化合物區 124 被形成（見圖 3F）。需注意的是，在將多晶矽用於閘極電極 110 之例子中，與金屬層 122 接觸之閘極電極 110 的部位亦具有金屬化合物區。

作為熱處理，可利用以閃光燈的照射。雖然無須說可利用另一熱處理法，但是為了提高在形成金屬化合物時的

化學反應可控制性，使用能夠達成極短時間的熱處理較佳。需注意的是，經由金屬材料與半導體材料的反應來形成上述金屬化合物區，及具有被充分增加的導電性。藉由形成金屬化合物區，可充分降低電阻，及可提高元件特性。在形成金屬化合物區 124 之後去除金屬層 122。

中間層絕緣層 126 及 128 被形成，以覆蓋上述步驟所形成的組件（見圖 3G）。中間層絕緣層 126 及 128 係可使用諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鋇等含無機絕緣材料的材料來形成。另一選擇是，可使用諸如聚醯亞胺或丙烯酸等有機絕緣材料。需注意的是，雖然此處中間層絕緣層 126 和中間層絕緣層 128 形成兩層結構，但是中間層絕緣層的結構並不侷限於此。亦需注意的是，中間層絕緣層 128 的表面經過 CMP、蝕刻處理等，以在形成中間層絕緣層 128 之後能夠平面化較佳。

之後，到達金屬化合物區 124 之開口被形成在中間層絕緣層中，然後源極或汲極電極 130a 和源極或汲極電極 130b 形成在開口中（見圖 3H）。例如，源極或汲極電極 130a 和源極或汲極電極 130b 可被形成如下：藉由 PVD 法、CVD 法等將導電層形成在包括開口的區域中；然後，藉由蝕刻處理 CMP 等去除導電層的部分。

需注意的是，在藉由去除導電層的部分來形成源極或汲極電極 130a 和源極或汲極電極 130b 之步驟中，其表面被處理成平面較佳。例如，在鈦膜、氮化鈦膜等被形成具有小厚度在包括開口的區域中，及然後鎢膜被形成以嵌入

在開口中之例子中，之後所執行的 CMP 可去除鎢膜、鈦膜、氮化鈦膜等的不必要部位，及提高表面的平坦性。藉由如上述使包括源極或汲極電極 130a 和源極或汲極電極 130b 的表面之表面平坦，在稍後步驟中可形成令人滿意的電極、配線、絕緣層、半導體層等。

需注意的是，雖然只說明與金屬化合物區 124 接觸之源極或汲極電極 130a 和源極或汲極電極 130b，但是可在同一步驟形成與閘極電極 110（如、圖 2A 的電極 130c）接觸之電極。並未特別限制用於源極或汲極電極 130a 和源極或汲極電極 130b 的材料，而是可以使用各種導電材料的任一個。例如，可使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈳等導電材料。

經由上述處理，形成使用含半導體材料的基板 100 之電晶體 160。需注意的是，可同樣在執行上述處理之後形成電極、配線、絕緣層等。當利用堆疊中間層絕緣層和導電層之多層配線結構作為配線結構時，可設置高度整合的半導體裝置。

<製造在上部的電晶體之方法>

然後，參考圖 4A 至 4G 和圖 5A 至 5D 說明在中間層絕緣層 128 上製造電晶體 162 之處理。需注意的是，在圖解中間層絕緣層 128、電晶體 162 等上的各種電極之製造處理之圖 4A 至 4G 和圖 5A 至 5D 省略電晶體 162 下方的電晶體 160 等。

首先，絕緣層 132 形成在中間層絕緣層 128、源極或汲極電極 130a、源極或汲極電極 130b、及電極 130c 上（見圖 4A）。可藉由 PVD 法、CVD 法等形成絕緣層 132。諸如氧化矽、氧氮化矽、氮化矽、氧化鋁、氧化鋁、或氧化鉭等含無機絕緣材料的材料可用於絕緣層 132。

接著，到達源極或汲極電極 130a、源極或汲極電極 130b、及電極 130c 之開口被形成在絕緣層 132 中。此時，另一開口形成在形成閘極電極 136d 之區域中。導電層 134 被形成，以嵌入開口中（見圖 4B）。例如，上述開口係藉由使用遮罩的蝕刻來形成。例如，可藉由使用光遮罩的曝光來形成遮罩。關於蝕刻，可執行濕蝕刻或乾蝕刻，但是就精細圖案而言乾蝕刻較佳。導電層 134 係可藉由諸如 PVD 法或 CVD 法等沈積法來形成。導電層 134 用的材料之例子包括諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、和銦等導電材料；這些的任一個之合金；及含這些的任一個之化合物（如、這些的任一個之氮化物）。

尤其是，例如，導電層 134 可被形成如下：在包括開口的區域中藉由 PVD 法將鈦膜形成具有小厚度，及然後藉由 CVD 法將氮化鈦膜形成具有小厚度；然後，鎢膜被形成，以嵌入於開口中。此處，藉由 PVD 法所形成的鈦膜具有降低形成在下電極（此處為源極或汲極電極 130a、源極或汲極電極 130b、電極 130c 等）的表面之氧化物膜的功能，使得與下電極的接觸電阻被降低。此外，

隨後所形成的氮化鈦膜具有障壁特性，使得能夠防止導電材料的擴散。另外，在使用鈦、氮化鈦等形成障壁膜之後，可藉由電鍍法形成銅膜。

在形成導電層 134 之後，藉由蝕刻處理、CMP 等去除導電層 134 的部分，使得絕緣層 132 露出，以及電極 136a、136b、及 136c、和閘極電極 136d 被形成（見圖 4C）。需注意的是，當藉由去除上述導電層 134 的部分而形成電極 136a、136b、及 136c、和閘極電極 136d 時，執行處理以獲得平坦表面較佳。藉由使絕緣層 132、電極 136a、136b、及 136c、和閘極電極 136d 的表面平坦，可在稍後步驟中形成令人滿意的電極、配線、絕緣層、導電層等。

之後，閘極絕緣層 138 被形成，以覆蓋絕緣層 132、電極 136a、136b、及 136c、和閘極電極 136d（見圖 4D）。閘極絕緣層 138 係可藉由濺鍍法、CVD 法等來形成。閘極絕緣層 138 含有氧化矽、氮化矽、氮氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鋇等較佳。需注意的是，閘極絕緣層 138 可具有單層結構或疊層結構。例如，使用矽烷（ SiH_4 ）、氧、和氮作為來源氣體，藉由電漿 CVD 法形成氮氧化矽的閘極絕緣層 138。並未特別限制閘極絕緣層 138 的厚度，但是厚度例如可大於或等於 10 nm 及小於或等於 500 nm。當利用疊層結構時，閘極絕緣層 138 係藉由堆疊具有厚度大於或等於 50 nm 及小於或等於 200 nm 之第一閘極絕緣層和第一閘極絕緣層上的具有厚度大

於或等於 5 nm 及小於或等於 300 nm 之第二閘極絕緣層所形成較佳。

需注意的是，藉由去除雜質而使其成為 i 型氧化物半導體或大體上 i 型氧化物半導體之氧化物半導體（高度淨化的氧化物半導體）對介面能態或介面電荷極為敏感；因此，當此種氧化物半導體用於氧化物半導體層時，氧化物半導體層和閘極絕緣層之間的介面非常重要。換言之，與高度淨化的氧化物半導體層接觸之閘極絕緣層 138 必須具有高品質。

例如，使用微波（2.45 GHz）之高密度電漿 CVD 法是令人滿意的，因為藉此可形成具有高耐壓之濃密和高品質的閘極絕緣層 138。以此方式，當高度淨化的氧化物半導體層和高品質的閘極絕緣層彼此接觸時，可降低介面能態及介面特性能夠令人滿意。

無須說，甚至使用當此種高度淨化的氧化物半導體層時，只要可形成具有品質良好的絕緣層作為閘極絕緣層，可利用諸如濺鍍法或電漿 CVD 法等另一方法。另一選擇是，可應用膜品質和與氧化物半導體層的介面特性在形成之後由熱處理來修正的絕緣層。在任一例子中，可接受像閘極絕緣層 138 一般品質良好並且降低閘極絕緣層和氧化物半導體層之間的介面能態密度以形成良好介面之層。

當雜質包含在氧化物半導體中時，藉由諸如強力電場和高溫等應力來切斷雜質和氧化物半導體的主要成分之間的組合，及所產生的懸空鍵導致臨界電壓（ V_{th} ）的移

動。

另一方面，根據所揭示的發明之一實施例，藉由去除氧化物半導體中的雜質，尤其是氫或水，並且如上述在閘極絕緣層和氧化物半導體層之間實現良好介面特性，可設置甚至在諸如強力電場和高溫等應力下仍穩定之電晶體。

然後，氧化物半導體層形成在閘極絕緣層 138 上，及使用遮罩由諸如蝕刻等方法來處理，使得具有島型的氧化物半導體層 140 被形成（見圖 4E）。

作為氧化物半導體層，可應用使用下面材料的任一個所形成之氧化物半導體層：四成分金屬氧化物，諸如 In-Sn-Ga-Zn-O 基的金屬氧化物等；三成分金屬氧化物，諸如 In-Ga-Zn-O 基的金屬氧化物、In-Sn-Zn-O 基的金屬氧化物、In-Al-Zn-O 基的金屬氧化物、Sn-Ga-Zn-O 基的金屬氧化物、Al-Ga-Zn-O 基的金屬氧化物、及 Sn-Al-Zn-O 基的金屬氧化物等；兩成分金屬氧化物，諸如 In-Zn-O 基的金屬氧化物、Sn-Zn-O 基的金屬氧化物、Al-Zn-O 基的金屬氧化物、Zn-Mg-O 基的金屬氧化物、Sn-Mg-O 基的金屬氧化物、及 In-Mg-O 基的金屬氧化物等；In-O 基的金屬氧化物；Sn-O 基的金屬氧化物；及 Zn-O 基的金屬氧化物。此外，上述氧化物半導體材料可含有 SiO_2 。

作為氧化物半導體層，可使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 來表示之薄膜。此處，M 表示選自 Ga、Al、Mn、及 Co 的一或多個金屬元素。例如，M 可以是 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。包括 Ga 作為 M 之以 $\text{InMO}_3(\text{ZnO})_m$

($m>0$)所表示的氧化物半導體膜被稱作 In-Ga-Zn-O 基的氧化物半導體，及 In-Ga-Zn-O 基的氧化物半導體之薄膜被稱作 In-Ga-Zn-O 基的氧化物半導體膜（In-Ga-Zn-O 基的非晶膜）。

在此實施例中，作為氧化物半導體層，非晶氧化物半導體層係藉由使用膜形成用之 In-Ga-Zn-O 基的氧化物半導體靶材以濺鍍法所形成。需注意的是，藉由添加矽到非晶氧化物半導體層，可抑制結晶；因此，氧化物半導體層係可使用含大於或等於 2 wt.%（重量百分比）及小於或等於 10 wt.%的 SiO_2 之靶材來形成。

作為藉由濺鍍法來形成氧化物半導體層之靶材，例如，可使用含氧化鋅作為主要成分之膜形成用的氧化物半導體靶材。作為膜形成用的氧化物半導體靶材，亦可使用具有組成比 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ （莫耳比）等之靶材。另一選擇是，作為膜形成用之 In-Ga-Zn-O 基的氧化物半導體靶材，可使用具有組成比 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ （莫耳比）之靶材或具有組成比 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ （莫耳比）之靶材。膜形成用的氧化物半導體靶材之填充率大於或等於 90%及小於或等於 100%，大於或等於 95%（如、99.9%）較佳。藉由使用填充率高之膜形成用的氧化物半導體靶材，可形成濃密的氧化物半導體層。

形成氧化物半導體層之大氣為稀有氣體（典型上為氬）大氣、氧大氣、或稀有氣體（典型上為氬）和氧之混

合大氣。尤其是，諸如氫、水、包括氫氧根的化合物、及氫化物等雜質濃度被降至約百萬分之幾（較佳為十億分之幾）之高純度氣體較佳。

在形成氧化物半導體層時，基板被固定在保持降壓狀態之處理室中，及基板溫度高於或等於 100°C 及低於或等於 600°C ，高於或等於 200°C 及低於或等於 400°C 較佳。當在加熱基板的同時形成氧化物半導體層時，可降低氧化物半導體層所含有的雜質濃度。此外，亦降低由於濺鍍所導致之氧化物半導體層的破壞。在去除處理室中所剩餘的濕氣同時，引進氫和濕氣被去除之濺鍍氣體，及藉由使用金屬氧化物作為靶材來形成氧化物半導體層。為了去除處理室中的剩餘濕氣，使用誘捕式真空泵較佳。例如，可使用低溫泵、離子泵、或鈦昇華泵較佳。抽空單元可以是設置有冷阱之渦輪泵。從利用低溫泵排空的沈積室去除氫原子、諸如水（ H_2O ）等含氫原子之化合物、含碳原子之化合物等，藉以降低在沈積室中所形成之氧化物半導體層所含有的雜質濃度。

例如，沈積條件可設定如下：基板和靶材之間的距離為 100 nm ，壓力為 0.6 Pa 、直流（DC）功率為 0.5 kW 、及大氣為氧大氣（氧流率的比例為 100% ）。使用脈衝式直流（DC）供電較佳，因為可降低粉末物質（亦稱作粒子或灰塵）及使膜厚度分佈小。氧化物半導體層的厚度大於或等於 2 nm 及小於或等於 200 nm ，大於或等於 5 nm 及小於或等於 30 nm 較佳。需注意的是，適當厚度係依據

所應用的氧化物半導體材料，及可依據材料適當設定氧化物半導體層的厚度。

需注意的是，在藉由濺鍍法形成氧化物半導體層之前，藉由引進氬氣和產生電漿之逆向濺鍍去除附著於閘極絕緣層 138 的表面之灰塵較佳。此處，逆向濺鍍意謂藉由離子觸擊在表面上來提高欲待處理的物體之表面的品質之方法，而一般濺鍍係藉由離子觸擊在濺鍍靶材上來達成。用以使離子觸擊欲待處理的物體之表面的方法包括在氬大氣中將高頻電壓施加在表面上並且在基板的附近產生電漿之方法。需注意的是，可使用氮大氣、氦大氣、氧大氣等來取代氬大氣。

關於氧化物半導體層的蝕刻，可使用乾蝕刻或濕蝕刻。無須說，可利用乾蝕刻和濕蝕刻的組合。依據材料適當設定蝕刻條件（蝕刻氣體、蝕刻溶液、蝕刻時間、溫度等），使得氧化物半導體層可蝕刻成想要的形狀。

乾蝕刻用的蝕刻氣體之例子為含氯的氣體（氯基的氣體，諸如氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等）等等。另一選擇是，可使用含氟的氣體（氟基的氣體，諸如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ）等）；溴化氫（ HBr ）；氧（ O_2 ）；添加諸如氦（ He ）或氬（ Ar ）等稀有氣體之這些氣體的任一個等等。

作為乾蝕刻方法，可使用平行板反應性離子蝕刻（RIE）法或電感式耦合電漿（ICP）蝕刻法。為了將層蝕

刻成想要的形狀，適當調整蝕刻條件（施加到線圈型電極之電量，施加到基板側上之電極的電量，基板側上的電極之溫度等）。

作為濕蝕刻所使用的蝕刻劑，可使用磷酸、乙酸、硝酸的混合溶液等。另一選擇是，可使用 ITO07N（由 KANTO 化學股份有限公司所製造）等等。

然後，氧化物半導體層經過第一熱處理較佳。藉由此第一熱處理，可將氧化物半導體層脫水或除氫。以溫度高於或等於 300°C 及低於或等於 750°C 、高於或等於 400°C 及低於基板的應變點較佳來執行第一熱處理。例如，將基板引進使用電阻加熱元件之電爐內，及以溫度 450°C 在氮大氣中將氧化物半導體層 140 經過熱處理達一小時。此時，防止氧化物半導體層 140 暴露至空氣，以防止水或氫的進入。

需注意的是，熱處理設備並不侷限於電爐，及可包括藉由諸如加熱氣體等媒體等等所給予的熱傳導或熱輻射來加熱欲待處理的物體之裝置。例如，可使用諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）等快速熱退火（RTA）設備。LRTA 設備為用以藉由從諸如鹵素燈、金屬鹵化物燈、氬弧光燈、碳弧光燈、高壓鈉燈、或高壓水銀燈等燈所發出的光之輻射（電磁波）來加熱欲待處理的物體之設備。GRTA 設備為使用高溫氣體的熱處理之設備。作為氣體，使用不由於熱處理而與欲待處理的物體起反應之鈍氣，諸如氮或諸如氬等稀有氣體等。

例如，作為第一熱處理，GRTA 可被執行如下。基板被置放在已被加熱至高溫 650°C 至 700°C 之鈍氣中，加熱幾分鐘，及從鈍氣取出。GRTA 能夠在短時間高溫熱處理。此外，甚至當溫度超過基板的應變點仍可應用此種熱處理，因為其只用了極短的時間。

需注意的是，在含有氮或稀有氣體（如、氮、氬、或氫）作為其主要成分且為含有水、氫等之大氣中執行第一熱處理較佳。例如，引進到熱處理設備之氮或稀有氣體（如、氮、氬、或氫）的純度大於或等於 6N（99.9999%），大於或等於 7N（99.99999%）較佳（即、雜質濃度為 1 ppm 或更低，低於或等於 0.1 ppm 較佳）。

在某些例子中，依據第一熱處理的條件或氧化物半導體層的材料，可將氧化物半導體層結晶成微晶層或多晶層。例如，可將氧化物半導體層結晶，以變成具有結晶程度大於或等於 90% 或大於或等於 80% 之微晶氧化物半導體層。另外，依據第一熱處理的條件或氧化物半導體層的材料，氧化物半導體層可變成未含有結晶成分之非晶氧化物半導體層。

氧化物半導體層可變成晶體（具有晶粒直徑大於或等於 1 nm 及大於或小於 20 nm，典型上大於或等於 2 nm 及大於或小於 4 nm）被混合到非晶氧化物半導體中（如、氧化物半導體層的表面）之氧化物半導體層。

此外，可藉由將晶體層設置在氧化物半導體層的非晶區之表面上來改變氧化物半導體層的電特性。例如，在藉

由使用膜形成用的 In-Ga-Zn-O 基的氧化物半導體目標來形成氧化物半導體層之例子中，可藉由形成晶體部來改變氧化物半導體層的電特性，在此晶體部中，具有電各向異性之以 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 所表示的晶粒被對準在某種方向上。

尤其是，藉由對準晶粒的此種方式，使得 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 的 c 軸被定位在垂直於氧化物半導體層的表面之方向上，提高平行於氧化物半導體層的表面之方向上的導電性，藉以可增加垂直於氧化物半導體層的表面之方向上的絕緣特性。另外，此種晶體部具有抑制諸如水或氫等雜質進入到氧化物半導體層之功能。

需注意的是，可藉由以 GRTA 加熱氧化物半導體層的表面來形成包括晶體部之上述氧化物半導體層。當使用 Zn 的量小於 In 或 Ga 的量之濺鍍靶材時，可達成更令人滿意的形成。

在氧化物半導體層 140 上所執行之第一熱處理可在尚未處理成島型層之氧化物半導體層上來執行。在那例子中，在第一熱處理之後，從加熱設備取出基板，及執行光致微影步驟。

需注意的是，上述第一熱處理可將氧化物半導體層 140 脫水或除氫，如此可被稱作脫水處理或除氫處理。能夠在任何時序中執行此種脫水處理或除氫處理，例如，在形成氧化物半導體層之後，將源極和汲極電極堆疊在氧化物半導體層 140 上之後，或者在將保護絕緣層形成在源極和汲極電極上之後。此種脫水處理或除氫處理可被執行一

次以上。

接著，源極或汲極電極 142a 和源極或汲極電極 142b 被形成與氧化物半導體層 140 接觸（見圖 4F）。源極或汲極電極 142a 和源極或汲極電極 142b 可以此種方式形成，使得導電層被形成以覆蓋氧化物半導體層 140，然後被選擇性蝕刻。

可藉由諸如濺鍍法等 PVD 法、諸如電漿 CVD 法等 CVD 法來形成導電層。作為導電層的材料，可使用選自鋁、鉻、銅、鈮、鈦、鉬、及鎢之元素；含上述元素的任一個作為其成分之合金等等。另外，可使用選自錳、鎂、銦、銩、釷的一或多個材料。鋁和選自鈦、鉬、鎢、鉬、鉻、釷、及釷的一或多個元素之材料亦可應用到導電層的材料。

另一選擇是，可使用導電金屬氧化物來形成導電層。作為導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，在一些例子中縮寫成 ITO）、氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或含有矽或氧化矽之這些金屬氧化物材料的任一個。

導電層可具有單層結構或兩或多層的疊層結構。例如，可給定含矽的鋁膜之單層結構，鋁膜和堆疊在其上的鈦膜之兩層結構，以鈦膜、鋁膜、和鈦膜此順序堆疊之三層結構等等。

此處，紫外線、KrF 雷射束、或 ArF 雷射束被用於形

成蝕刻遮罩用的曝光較佳。

電晶體的通道長度 (L) 係藉由源極或汲極電極 142a 的下邊緣部和源極或汲極電極 142b 的下邊緣部之間的距離來決定。在通道長度 (L) 小於 25 nm 之例子中，在極短波長之數奈米至數十奈米的超紫外線範圍中執行用以形成遮罩之曝光。在使用超紫外線光之曝光中，解析度高及焦距深度大。因此，稍後欲形成之電晶體的通道長度 (L) 可大於或等於 10 nm 及小於或等於 1000 nm，藉以可增加電路的操作速度。另外，電晶體的關閉電流極小，如此防止電力消耗增加。

適當調整層的材料和蝕刻條件，使得在蝕刻導電層時未去除氧化物半導體層 140。需注意的是，依據材料和蝕刻條件，在某些例子中，在此步驟局部蝕刻氧化物半導體層 140，以成為具有溝槽（凹下部）之氧化物半導體層。

氧化物導電層可形成在氧化物半導體層 140 和源極或汲極電極 142a 之間以及在氧化物半導體層 140 和源極或汲極電極 142b 之間。可連續形成（連續沈積）氧化物導電層和用以形成源極或汲極電極 142a 和源極或汲極電極 142b 之導電層。氧化物導電層可充作源極區或汲極區。藉由設置此種氧化物導電層，可降低源極和汲極區之間的電阻，及可實現電晶體的高速操作。

為了降低遮罩和步驟數目，可藉由使用使用多色調遮罩所形成之抗蝕遮罩來執行蝕刻，多色調遮罩為經由此透射光以具有複數個強度之曝光遮罩。藉由使用多色調遮罩

所形成之抗蝕遮罩具有有著複數個厚度的形狀（步階樣形狀）且可進一步藉由灰化來改變形狀；因此，可將抗蝕遮罩用於複數個蝕刻步驟中，以處理成不同圖案。也就是說，可藉由一多色調遮罩來形成對應於至少兩或多種不同圖案之抗蝕遮罩。如此，可降低曝光遮罩的數目，亦可降低對應的光致微影步驟數目，藉以可實現處理的簡化。

需注意的是，在上述步驟之後執行使用諸如 N_2O 、 N_2 、或 Ar 等氣體的電漿處理較佳。藉由此電漿處理，附著於露出的氧化物半導體層之表面的水被去除。另一選擇是，可使用諸如含氧和氬等混合氣體之含氧的氣體等等來執行電漿處理。以此方式，氧化物半導體層被供應有氧，並且可降低由於氧不足所產生的缺陷。

之後，在未暴露至空氣之下形成與氧化物半導體層 140 的部分接觸之保護絕緣層 144（見圖 4G）。

保護絕緣層 144 係可藉由適當利用諸如濺鍍等方法來形成，藉此防止諸如水或氬等雜質進入保護絕緣層 144。保護絕緣層 144 被形成至厚度大於或等於 1 nm。作為可用於保護絕緣層 144 之材料，具有氧化矽、氮化矽、氮氧化矽、氧氮化矽等。保護絕緣層 144 可具有單層結構或疊層結構。用於形成保護絕緣層 144 之基板溫度高於或等於室溫及低於或等於 $300^{\circ}C$ 較佳。用於形成保護絕緣層 144 之大氣為稀有氣體（典型上為氬）大氣、氧大氣、或包括稀有氣體（典型上為氬）和氧之混合大氣較佳。

當保護絕緣層 144 含有氬時，產生由氬析取氧化物半

導體層中的氧，及使氧化物半導體層的背通道側之電阻變低，如此可形成寄生通道。因此，重要的是，利用未使用氫之形成法，使得保護絕緣層 144 盡可能含有越少的氫越好。

此外，在去除處理室中的剩餘濕氣同時形成保護絕緣層 144 較佳。這是爲了防止氫、氫氧根、或水包含在氧化物半導體層 140 和保護絕緣層 144 中。

爲了去除處理室中的剩餘濕氣，使用誘捕式真空泵較佳。例如，使用低溫泵、離子泵、或鈦昇華泵較佳。抽空單元可以是設置有冷凝阱之渦輪泵。從以低溫泵抽空之沈積室去除氫原子、諸如水（ H_2O ）等含氫原子之化合物、含碳原子之化合物，藉以可降低沈積室所形成之保護絕緣層 144 所含有的雜質濃度。

作爲形成保護絕緣層 144 所使用之濺鍍氣體，使用諸如氫、水、包括氫氧根的化合物、或氫化物等雜質被降至約百萬分之幾（較佳爲十億分之幾）之高純度氣體較佳。

然後，執行在鈍氣大氣或氧大氣中（以溫度高於或等於 200°C 及低於或等於 400°C ，例如，高於或等於 250°C 及低於或等於 350°C ）的第二熱處理較佳。例如，在氮大氣中以 250°C 執行第二熱處理一小時。第二熱處理可降低電晶體的電特性變化。另外，藉由第二熱處理可以氧供應氧化物半導體層。此外，可轉換上述大氣；接連在第二熱處理之後，亦藉由在氧大氣或充分去除氫或水的大氣中經過溫度下降處理而以氧供應氧化物半導體層。

另外，可在空氣中以溫度高於或等於 100°C 及低於或等於 200°C 執行熱處理達大於或等於一小時及短於或等於 30 小時。可在固定加熱溫度中執行此熱處理。另一選擇是，下面溫度循環可被重複應用複數次：溫度從室溫增加到溫度高於或等於 100°C 及低於或等於 200°C ，然後下降至室溫。另外，可在形成保護絕緣層之前，在降壓下執行此熱處理。降壓能夠使熱處理時間縮短。需注意的是，可執行此熱處理來取代第二熱處理；另一選擇是，在第二熱處理之前或之後，除了第二熱處理之外還可執行此熱處理。

然後，中間層絕緣層 146 形成在保護絕緣層 144 上（見圖 5A）。可藉由 PVD 法、CVD 法等來形成中間層絕緣層 146。諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、或氧化鋇等含無機絕緣材料之材料可用於中間層絕緣層 146。另外，在形成中間層絕緣層 146 之後，中間層絕緣層 146 的表面經過 CMP、蝕刻處理等以使其平坦較佳。

接著，到達電極 136a、136b、源極或汲極電極 142a、和源極或汲極電極 142b 之開口形成在中間層絕緣層 146、保護絕緣層 144、和閘極絕緣層 138 中；然後，導電層 148 被形成，以嵌入於開口中（見圖 5B）。例如，藉由使用遮罩的蝕刻來形成上述開口。例如，使用光遮罩，藉由曝光來形成遮罩。關於蝕刻，可執行濕蝕刻或乾蝕刻，但是就精密圖案而言乾蝕刻較佳。可藉由諸如 PVD 法或 CVD 法等沈積法來形成導電層 148。用於導電

層 148 的材料之例子包括諸如鉬、鈦、鉻、鋁、鎢、鋁、銅、鈦、和鈦等導電材料；這些的任一個之合金；及含這些的任一個之化合物（如、這些的任一個之氮化物）。

尤其是，例如，導電層 148 被形成如下：在包括開口的區域中藉由 PVD 法將鈦膜形成具有小厚度，然後藉由 CVD 法將氮化鈦膜形成具有小厚度；然後鎢膜被形成以嵌入在開口中。此處，藉由 PVD 法所形成的鈦膜具有降低形成在下電極（此處為電極 136a、136b、及 136c、源極或汲極電極 142a、源極或汲極電極 142b 等等）的表面中之氧化物膜的功能，使得與下電極的接觸電阻被降低。此外，隨後所形成的氮化鈦膜具有障壁特性，使得能夠防止導電材料的擴散。另外，在使用鈦、氮化鈦等形成障壁膜之後，可藉由電鍍法形成銅膜。

在形成導電層 148 之後，藉由蝕刻處理、CMP 等去除導電層 148 的部分，使得中間層絕緣層 146 露出，以及電極 150a、150b、150c、150d、及 150e 被形成（見圖 5C）。需注意的是，當藉由去除上述導電層 148 的部分而形成電極 150a、150b、150c、150d、及 150e 時，執行處理以獲得平坦表面較佳。藉由使中間層絕緣層 146、電極 150a、150b、150c、150d、及 150e 的表面平坦，可在稍後步驟中形成令人滿意的電極、配線、絕緣層等等。

另外，絕緣層 152 被形成，及到達電極 150a、150b、150c、150d、及 150e 之開口形成在絕緣層 152 中；然後，導電層被形成以嵌入於開口中。之後，藉由蝕

刻、CMP 等去除導電層的部分，使得絕緣層 152 露出，及電極 154a、154b、154c、及 154d 被形成（見圖 5D）。此步驟類似於形成電極 150a 等等的步驟；因此，此處省略詳細說明。

當以上述方式製造電晶體 162 時，氧化物半導體層 140 的氫濃度小於或等於 $5 \times 10^{19} \text{ atoms/cm}^3$ ，及電晶體 162 的關閉狀態電流小於或等於 $1 \times 10^{-13} \text{ A}$ ，即、偵測界線。電晶體 162 的關閉狀態電流（此處為每通道寬度的微米之電流）小於或等於 $100 \text{ zA}/\mu\text{m}$ 。如此，具有絕佳特性之電晶體 162 係可藉由利用氫濃度被充分降低及由於氧不足所導致的缺陷被降低之高度淨化的氧化物半導體層 140 來獲得。此外，可製造具有絕佳特性的半導體裝置，其包括使用除了氧化物半導體之外的材料之電晶體 160 在下部，而使用氧化物半導體之電晶體 162 在上部。

需注意的是，雖然在氧化物半導體的物理特性上實施許多研究，但是它們都未建議充分降低能帶隙中的局部化狀態之概念。在所揭示的發明之一實施例中，從氧化物半導體去除會引起局部化狀態之水或氫，藉以製造高度淨化的氧化物半導體。這是依據充分降低能帶隙中的局部化狀態之概念，及實現絕佳工業產品的製造。

需注意的是，當去除氫、水等時，在某些例子中亦去除氧。因此，較合適的是，藉由供應氧到金屬的懸空鍵（由於氧不足所產生之）來進一步淨化氧化物半導體（使其成為 i 型氧化物半導體），使得由於氧不足所導致的局

部化狀態能被降低。例如，以下面方式可降低由於氧不足所導致的局部化狀態：具有過量的氧之氧化物膜被形成與通道形成區緊密接觸；及執行 200°C 至 400°C 的熱處理，典型上約 250°C，使得從氧化物膜供應氧到氧化物半導體。

認為氧化物半導體的特性之退化因素為導電帶以下的 0.1 eV 至 0.2 eV 之過量的氫所導致之淺能階，由於氧不足所導致的深能階等等。為了校正這些缺陷，完全去除氫和充分供應氧。

在所揭示的發明中，因為氧化物半導體被高度淨化，所以氧化物半導體的載子濃度足夠低。

藉由使用一般溫度中的費米-狄拉克分佈函數，具有能帶隙 3.05 eV 至 3.15 eV 之氧化物半導體的本質載子密度為 $1 \times 10^{-17} / \text{cm}^3$ ，其比矽的 $1.45 \times 10^{10} / \text{cm}^3$ 之本質載子密度低很多。

因此，少數載子的電洞數目極小。關閉狀態中之絕緣閘極電場電晶體（IGFET）的漏電流被預期低於或等於 100 aA/ μm ，或低於或等於 1 aA/ μm 。需注意的是，”1 aA/ μm ”意謂每電晶體的通道寬度之微米的流動電流為 1 aA ($1 \times 10^{-18} \text{A}$)。

事實上，已知 4H-SiC (3.26 eV)、GaN (3.42 eV) 等等作為具有大於或等於 3 eV 之具有寬間隙的半導體。類似於上述特性之電晶體特性係預期藉由使用這些半導體來獲得。然而，實際上無法形成這些半導體材料的薄膜，

因為它們需要高於或等於 1500°C 的處理溫度。此外，處理溫度如此高，以致於這些材料無法在矽積體電路上以三度空間堆疊。另一方面，以室溫至 400°C 藉由濺鍍法可將氧化物半導體沈積作為薄膜，及可被脫水或除氫（去除氫或水），以及以 450°C 至 700°C 被供應有氧；如此，可在矽積體電路上以三度空間堆疊氧化物半導體。

需注意的是，雖然氧化物半導體通常具有 n 型導電性，但是在所揭示的發明之一實施例中，藉由去除諸如水或氫等雜質並且供應氧化物半導體的成分之氧，使氧化物半導體成為 i 型氧化物半導體。從此觀點，不同於藉由添加雜質使其成為 i 型矽之矽的例子，所揭示的發明之一實施例包括新的技術概念。

<使用氧化物半導體之電晶體的電傳導機制>

將參考圖 6、圖 7、圖 8A 及 8B、和圖 9 說明包括氧化物半導體之電晶體的電傳導機制。需注意的是，為了方便說明下面說明係依據理想情況的假設，及不一定反應實際情況。同樣需注意的是，下面說明僅為參考，並不影響本發明的有效性。

圖 6 為包括氧化物半導體之電晶體（薄膜電晶體）的橫剖面圖。氧化物半導體層（OS）設置在閘極電極（GE1）上，具有閘極絕緣層（GI）插入在其間，及源極電極（S）和汲極電極（D）設置在其上。絕緣層被設置，以覆蓋源極電極（S）和汲極電極（D）。

圖 7 為圖 6 之 A-A' 區的能量帶圖（概要圖）。在圖 7 中，黑圈（●）和白圈（○）表示電子和電洞以及分別具有電荷（ $-q$ ， $+q$ ）。利用施加到汲極電極之正電壓（ $V_D > 0$ ），虛線表示沒有電壓施加到閘極電極之例子（ $V_G = 0$ ），而實線表示正電壓施加到閘極電極之例子（ $V_G > 0$ ）。在沒有電壓施加到閘極電極之例子中，因為高電位障壁，所以載子（電子）未從電極注射到氧化物半導體側，使得電流未流動，此意謂關閉狀態。另一方面，當正電壓施加到閘極電極時，電位障壁下降，如此電流流動，此意謂開啓狀態。

圖 8A 及 8B 為圖 6 之 B-B' 區的能量帶圖（概要圖）。圖 8A 圖解正電壓（ $V_G > 0$ ）施加到閘極電極（GE1）及載子（電子）流動在源極電極和汲極電極之間的開啓狀態。圖 8B 圖解負電壓（ $V_G < 0$ ）施加到閘極電極（GE1）及少數載子不流動之關閉狀態。

圖 9 為真空位準和金屬的功函數（ ϕ_M ）之間的關係以及真空位準和氧化物半導體的電子親和力（ χ ）之間的關係圖。

在一般溫度中，金屬中的電子衰退及費米能階位在導電帶中。另一方面，習知氧化物半導體為 n 型半導體，其中費米能階（ E_F ）遠離位在能帶隙的中間之本質費米能階（ E_i ）且位在較接近導電帶。需注意的是，已知氫的部分在氧化物半導體中是施體，及為使氧化物半導體能夠成為 n 型半導體之一因素。

另一方面，根據所揭示的發明之一實施例的氧化物半導體為本質（i 型）或大體上本質氧化物半導體，其係藉由從氧化物半導體去除 n 型半導體的因素之氫並且淨化氧化物半導體，使得盡可能防止除了氧化物半導體的主要成分之外的元素（即、雜質元素）包含在其內所獲得。換言之，特徵即為淨化的 i 型（本質）半導體或接近此的半導體非藉由添加雜質元素而是藉由盡可能去除諸如氫或水等雜質所獲得。如此，費米能階（ E_F ）可比得上本質費米能階（ E_i ）。

可說是，氧化物半導體的能帶隙（ E_g ）為 3.15 eV 及電子親和性（ χ ）為 4.3 V。包括在源極電極和汲極電極中之鈦（Ti）的功函數大體上等於氧化物半導體的電子親和力（ χ ）。在那例子中，Schottky（肖特基）電子障壁未形成在金屬和氧化物半導體之間的介面。

在那時，電子移動在閘極絕緣層和淨化的氧化物半導體之間的介面附近（能量上是穩定之氧化物半導體的最下部位），如圖 8A 所示。

此外，如圖 8B 所示，當負電位施加到閘極電極（GE1）時，電流的值相當接近零，因為少數載子的電洞大體上為零。

以此種方式，本質（i 型）或大體上本質氧化物半導體係藉由淨化以使得盡可能少地含有除了其主要元素之外的元素（即、雜質元素）來所獲得。如此，氧化物半導體和閘極絕緣層之間的介面之特性變得明顯。因此，閘極絕

緣層必須能夠形成與氧化物半導體令人滿意的介面。尤其是，使用例如以使用以範圍 VHF 帶至微波帶之供電頻率所產生的高密度電漿之 CVD 法所形成的絕緣層，以濺鍍法所形成的絕緣層等等較佳。

當氧化物半導體被淨化，以及使氧化物半導體和閘極絕緣層之間的介面令人滿意時，例如，在電晶體具有通道寬度（ W ） $1 \times 10^4 \mu\text{m}$ 及通道長度（ L ） $3 \mu\text{m}$ 之例子中，能夠實現關閉狀態電流 10^{-13} A 或更低及次臨界擺動（ S 值） 0.1 V/dec （具有 100 nm 厚的閘極絕緣層）。

如上述淨化氧化物半導體，以盡可能少地含有除了其主要元素以外的元素，使得能夠以令人滿意的方式來操作薄膜電晶體。

<載子濃度>

在根據所揭示的發明之技術概念中，藉由充分降低其載子濃度而使氧化物半導體層盡可能接近本質（ i 型）氧化物半導體層。下面，參考圖 10 及圖 11 說明計算載子濃度之方法及實際測量的載子濃度。

首先，概要說明計算載子濃度之方法。可以此種方式計算載子濃度使得 MOS 電容器被製造，及評估 MOS 電容器的 C-V 測量（C-V 特性）的結果。

尤其是，以下面方式計算載子濃度 N_d ：藉由標繪閘極電壓（ V_G ）和 MOS 電容器的電容（ C ）之間的關係而獲得 C-V 特性圖；藉由使用 C-V 特性而獲得閘極電壓 V_G

和 $(1/C)^2$ 之間的關係圖；及找出圖的弱反轉區中之 $(1/C)^2$ 的微分值；以及將微分值代換到方程式 1。需注意的是，方程式 1 中的 e 、 ϵ_0 、 ϵ 分別表示氧化物半導體的基本電荷、真空電容率、相對電容率。

[等式 1]

$$N_d = - \left(\frac{2}{e\epsilon_0\epsilon} \right) \bigg/ \frac{d(1/C)^2}{dV} \quad (1)$$

接著，說明由上述方法所實際測量的載子濃度。關於測量，使用如下所形成之樣本（MOS 電容器）：在玻璃基板上將鈦膜形成厚度 300 nm；在鈦膜上將氮化鈦膜形成厚度 100 nm；在氮化鈦膜上將使用 In-Ga-Zn-O 基的氧化物半導體之氧化物半導體層形成厚度 2 μm ；及在氧化物半導體層上將銀膜形成厚度 300 nm。需注意的是，藉由濺鍍法，使用膜形成用之 In-Ga-Zn-O 基的氧化物半導體目標（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ （莫耳比））來形成氧化物半導體層。另外，氧化物半導體層的形成大氣為氬和氧的混合大氣（流率為 $\text{Ar} : \text{O} = 30 \text{ (sccm)} : 15 \text{ (sccm)}$ ）。

圖 10 及圖 11 分別圖解閘極電壓（ V_G ）和 $(1/C)^2$ 之間的 C-V 特性和關係。從圖 11 的圖所示之弱反轉區中的 $(1/C)^2$ 之微分值，使用方程式 1 所計算的載子濃度為 $6.0 \times 10^{10} / \text{cm}^3$ 。

如上述，藉由使用使其為 i 型或大體上 i 型氧化物半導體之氧化物半導體（例如，載子濃度低於或等於 $1 \times 10^{12}/\text{cm}^3$ ，低於或等於 $1 \times 10^{11}/\text{cm}^3$ 較佳），可獲得具有極令人滿意的關閉狀態電流特性之電晶體。

<修改例子>

參考圖 12、圖 13A 及 13B、圖 14A 及 14B、和圖 15A 及 15B 說明半導體裝置的結構之修改例子。需注意的是，在下面修改例子中，電晶體 162 的結構不同於已說明者。換言之，電晶體 160 的結構類似於已說明者。

在圖 12 所示之例子中，電晶體 162 包括閘極電極 136d，其在氧化物半導體層 140 下方；以及源極或汲極電極 142a 和源極或汲極電極 142b，其在氧化物半導體層 140 的底表面中與氧化物半導體層 140 接觸。因為平面結構可被適當改變對應於橫剖面結構，所以此處只說明橫剖面結構。

圖 12 所示的結構和圖 2A 及 2B 所示的結構之間的大差異即為源極或汲極電極 142a 和源極或汲極電極 142b 連接到氧化物半導體層 140 之連接位置。也就是說，在圖 2A 及 2B 所示的結構中，源極或汲極電極 142a 和源極或汲極電極 142b 在氧化物半導體層 140 的頂表面中與氧化物半導體層 140 接觸；另一方面，在圖 12 所示的結構中，源極或汲極電極 142a 和源極或汲極電極 142b 在氧化物半導體層 140 的底表面中與氧化物半導體層 140 接觸。

此外，由於此接觸的差異，改變另一電極、另一絕緣層等的位置。至於各組件的細節，可參考圖 2A 及 2B。

尤其是，電晶體 162 包括：閘極電極 136d，其設置在中間層絕緣層 128 上；閘極絕緣層 138，其設置在閘極電極 136d 上；源極或汲極電極 142a 和源極或汲極電極 142b，其設置在閘極絕緣層 138 上；以及氧化物半導體層 140，其與源極或汲極電極 142a 和源極或汲極電極 142b 的頂表面接觸。

此處，閘極電極 136d 被設置，以嵌入在形成於中間層絕緣層 128 上之絕緣層 132 中。而且，類似於閘極電極 136d，電極 136a、電極 136b、和電極 136c 被形成分別與源極或汲極電極 130a、源極或汲極電極 130b、和電極 130c 接觸。

在電晶體 162 上，保護絕緣層 144 被設置與氧化物半導體層 140 的部分接觸。中間層絕緣層 146 被設置在保護絕緣層 144 上。此處，在保護絕緣層 144 和中間層絕緣層 146 中，到達源極或汲極電極 142a 和源極或汲極電極 142b 之開口被形成。在開口中，電極 150d 和電極 150e 被形成分別與源極或汲極電極 142a 和源極或汲極電極 142b 接觸。類似於電極 150d 及 150e，在設置於閘極絕緣層 138、保護絕緣層 144、及中間層絕緣層 146 之開口中，電極 150a、電極 150b、及電極 150c 被形成分別與電極 136a、電極 136b、及電極 136c 接觸。

而且，絕緣層 152 設置在中間層絕緣層 146 上。電極

154a、電極 154b、電極 154c、及電極 154d 被設置，以嵌入於絕緣層 152 中。此處，電極 154a 與電極 150a 接觸；電極 154b 與電極 150b 接觸；電極 154c 與電極 150c 及 150d 接觸；以及電極 154d 與電極 150e 接觸。

圖 13A 及 13B 各圖解閘極電極 136d 設置在氧化物半導體層 140 上之例子。此處，圖 13A 圖解源極或汲極電極 142a 和源極或汲極電極 142b 在氧化物半導體層 140 的底表面中與氧化物半導體層 140 接觸之例子；及圖 13B 圖解源極或汲極電極 142a 和源極或汲極電極 142b 在氧化物半導體層 140 的頂表面中與氧化物半導體層 140 接觸之例子。

圖 13A 及 13B 的結構大大不同於圖 2A 及 2B 和圖 12 的結構，因為閘極電極 136d 設置在氧化物半導體層 140 上。此外，圖 13A 所示的結構和圖 13B 所示的結構之間的大差異為源極或汲極電極 142a 和源極或汲極電極 142b 與氧化物半導體層 140 接觸的表面，其為氧化物半導體層 140 的頂表面或底表面。此外，由於這些差異，改變另一電極、另一絕緣層等等的位置。至於各組件的細節，可參考圖 2A 及 2B。

尤其是，在圖 13A 中，電晶體 162 包括：源極或汲極電極 142a 和源極或汲極電極 142b，其設置在中間層絕緣層 128 上；氧化物半導體層 140，其與源極或汲極電極 142a 和源極或汲極電極 142b 的頂表面接觸；閘極絕緣層 138，其設置在氧化物半導體層 140 上；以及閘極絕緣層

138 上的閘極電極 136d，其在與氧化物半導體層 140 重疊之區域中。

在圖 13B 中，電晶體 162 包括：氧化物半導體層 140，其設置在中間層絕緣層 128 上；源極或汲極電極 142a 和源極或汲極電極 142b，其被設置與氧化物半導體層 140 的頂表面接觸；閘極絕緣層 138，其設置在氧化物半導體層 140 上；以及閘極絕緣層 138 上的閘極電極 136d，其被設置在與氧化物半導體層 140 重疊之區域中。

需注意的是，在圖 13A 及 13B 所示的結構中，在某些例子中，可省略圖 2A 及 2B 等所圖解的結構具有之組件。在此種例子中，其次可達成製造處理的簡化。無須說，同樣在圖 2A 及 2B 等所圖解的結構可省略不必要的組件。

圖 14A 及 14B 各圖解元件具有極大尺寸和閘極電極 136d 設置在氧化物半導體層 140 下之結構的例子。在此例中，配線、電極等等不一定必須被形成嵌入在絕緣層中，因為表面的平坦性和覆蓋範圍不一定要非常高。例如，可以此種方式形成閘極電極 136d，使得導電層被形成和然後被圖案化。需注意的是，雖然未圖解，但是可同樣地製造電晶體 160。

圖 14A 所圖解的結構和圖 14B 所圖解的結構之間的大差異為源極或汲極電極 142a 和源極或汲極電極 142b 與氧化物半導體層 140 接觸之表面，其為氧化物半導體層 140 的頂表面或底表面。此外，由於此差異，改變另一電

極、另一絕緣層等等的位置。至於各組件的細節，可參考圖 2A 及 2B 或其他圖式。

尤其是，在圖 14A 中，電晶體 162 包括：閘極電極 136d，其設置在中間層絕緣層 128 上；閘極絕緣層 138，其設置在閘極電極 136d 上；源極或汲極電極 142a 和源極或汲極電極 142b，其設置在閘極絕緣層 138 上；以及氧化物半導體層 140，其與源極或汲極電極 142a 和源極或汲極電極 142b 的頂表面接觸。

在圖 14B 中，電晶體 162 包括：閘極電極 136d，其設置在中間層絕緣層 128 上；閘極絕緣層 138，其設置在閘極電極 136d 上；氧化物半導體層 140，其設置在閘極絕緣層 138 上，以與閘極電極 136d 重疊；以及源極或汲極電極 142a 和源極或汲極電極 142b，其被設置與氧化物半導體層 140 的頂表面接觸。

需注意的是，同樣在圖 14A 及 14B 所圖解的結構中，在某些例子中可省略圖 2A 及 2B 等等所圖解的結構具有之組件。同樣在此例中，可達成製造處理的簡化。

圖 15A 及 15B 各圖解元件具有極大尺寸和閘極電極 136d 設置在氧化物半導體層 140 上之結構的例子。同樣在此例中，配線、電極等等不一定必須被形成嵌入在絕緣層中，因為表面的平坦性和覆蓋範圍不一定要非常高。例如，可以此種方式形成閘極電極 136d，使得導電層被形成和然後被圖案化。需注意的是，雖然未圖解，但是可同樣地製造電晶體 160。

圖 15A 所圖解的結構和圖 15B 所圖解的結構之間的大差異為源極或汲極電極 142a 和源極或汲極電極 142b 與氧化物半導體層 140 接觸之表面，其為氧化物半導體層 140 的頂表面或底表面。此外，由於此差異，改變另一電極、另一絕緣層等等的位置。至於各組件的細節，可參考圖 2A 及 2B 或其他圖式。

尤其是，在圖 15A 中，電晶體 162 包括：源極或汲極電極 142a 和源極或汲極電極 142b，其設置在中間層絕緣層 128 上；氧化物半導體層 140，其與源極或汲極電極 142a 和源極或汲極電極 142b 的頂表面接觸；閘極絕緣層 138，其設置在源極或汲極電極 142a、源極或汲極電極 142b、及氧化物半導體層 140 上；以及閘極絕緣層 138 上的閘極電極 136d，其被設置在與氧化物半導體層 140 重疊之區域中。

在圖 15B 中，電晶體 162 包括：氧化物半導體層 140，其設置在中間層絕緣層 128 上；源極或汲極電極 142a 和源極或汲極電極 142b，其被設置與氧化物半導體層 140 的頂表面接觸；閘極絕緣層 138，其設置在源極或汲極電極 142a、源極或汲極電極 142b、及氧化物半導體層 140 上；以及閘極絕緣層 138 上的閘極電極 136d，其在與氧化物半導體層 140 重疊之區域中。

需注意的是，同樣在圖 15A 及 15B 所圖解的結構中，在某些例子中可省略圖 2A 及 2B 等等所圖解的結構具有之組件。同樣在此例中，可達成製造處理的簡化。

如上述，根據所揭示的發明之一實施例，實現具有新結構的半導體裝置。雖然此實施例中堆疊電晶體 160 和電晶體 162，但是半導體裝置的結構並不侷限於此。另外，雖然說明電晶體 160 的通道長度方向和電晶體 162 的通道長度方向彼此垂直之例子，但是電晶體 160 及 162 的位置並不侷限於此。此外，電晶體 160 及 162 可被設置成彼此重疊。

需注意的是，雖然在此實施例中，爲了方便瞭解而說明每最小儲存單位（一位元）的半導體裝置，但是半導體裝置的結構並不侷限於此。藉由適當連接複數個半導體裝置可形成更先進的半導體裝置。例如，能夠藉由使用複數個半導體裝置來製造 NAND 型或 NOR 型半導體裝置。配線的結構並不侷限於圖 1 所示者，而是可適當改變。

在根據此實施例的半導體裝置中，電晶體 162 的小關閉狀態電流特性使資料能夠保留一段極長的時間。換言之，不需要 DRAM 等等所需之更新操作；如此，可抑制電力消耗。此外，實際上可使用半導體裝置作爲非揮發性記憶體裝置。

因爲藉由電晶體 162 的交換操作來寫入資料，所以不需要高電壓，及半導體裝置中的元件不退化。另外，根據電晶體的開啓狀態和關閉狀態來寫入或拭除資訊，藉以可容易實現高速操作。而且，藉由控制輸入到電晶體的電位可直接重寫資訊。如此不需要快閃記憶體等等所需之拭除操作；因此，可抑制由於拭除操作所導致的操作速度降

低。

而且，可以比使用氧化物半導體之電晶體快很多的速度來操作使用除了氧化物半導體之外的材料之電晶體，如此實現高速讀取所儲存的資料。

此實施例所說明之方法和結構可與其他實施例所說明之方法和結構的任一個適當組合。

[實施例 2]

在此實施例中，將說明根據本發明的實施例之半導體裝置的電路組態及操作方法。

圖 16 圖解包括在半導體裝置中之記憶體元件的電路圖之例子（下面亦稱作記憶體單元）。圖 16 所示記憶體單元 200 為多值記憶體單元，及包括第一信號線 S1（第三配線）、第二信號線 S2（第四配線）、字元線 WL（第五配線）、電晶體 201、電晶體 202、電晶體 203、及電容器 205。電晶體 201 及 203 係使用除了氧化物半導體之外的材料所形成，而電晶體 202 係使用氧化物半導體所形成。此外，電晶體 201 及 203 具有類似於實施例 1 所說明之電晶體 160 的結構之結構較佳。另外，電晶體 202 具有類似於實施例 1 所說明之電晶體 162 的結構之結構較佳。記憶體單元 200 透過電晶體（可以是包括在另一記憶體單元中之電晶體）電連接到源極線 SL（第一配線）和字元線 BL（第二配線）較佳。

此處，電晶體 201 的閘極電極電連接到電晶體 202 之

源極電極和汲極電極的其中之一。另外，源極線 SL、電晶體 201 的源極電極、和電晶體 203 的源極電極彼此電連接。位元線 BL、電晶體 201 的汲極電極、和電晶體 203 的汲極電極彼此電連接。第一信號線 S1 電連接到電晶體 202 之源極電極和汲極電極的其中另一個。第二信號線 S2 電連接到電晶體 202 的閘極電極，及字元線 WL 電連接到電晶體 203 的閘極電極。此外，電容器 205 之電極的其中之一、電晶體 201 的閘極電極、和電晶體 202 之源極電極和汲極電極的其中之一彼此電連接。電容器 205 之電極的其中另一個被供應有預定電位，例如 GND。需注意的是，源極線 SL、電晶體 201 的源極電極、和電晶體 203 的源極電極可透過電晶體（可以是包括在另一記憶體單元中之電晶體）彼此連接。另外，位元線 BL、電晶體 201 的汲極電極、和電晶體 203 的汲極電極可透過電晶體（可以是包括在另一記憶體單元中之電晶體）彼此連接。

此處，說明記憶體單元 200 的操作。例如，在記憶體單元 200 為四值記憶體單元之例子中，記憶體單元 200 的四種狀態被設定成資料 "00b"、"01b"、"10b"、及 "11b"，以及連接到電晶體 201 的閘極電極之節點（節點 A）的電位分別被設定成 V_{00} 、 V_{01} 、 V_{10} 、及 V_{11} （ $V_{00} < V_{01} < V_{10} < V_{11}$ ）。此處的讀取方法為從源極線 SL 側透過選定記憶體單元改變位元線 BL 之方法。當從源極線 SL 側改變時，位元線 BL 反映記憶體單元 200 的狀態，及被改變成由（（節點 A 的電位）-（電晶體 201 的臨界電

壓 V_{th})) 所表示之電位。結果，位元線 BL 的電位變成分別對應於資料 "00b"、"01b"、"10b"、及 "11b" 之 $(V_{00}-V_{th})$ 、 $(V_{01}-V_{th})$ 、 $(V_{10}-V_{th})$ 、及 $(V_{11}-V_{th})$ 。因為對應於資料之位元線的電位彼此不同，所以可讀取資料 "00b"、"01b"、"10b"、及 "11b"。

圖 17 圖解包括 $m \times n$ 位元的儲存容量之根據本發明的實施例之半導體裝置的方塊電路圖。作為例子，此處說明記憶體單元 200 串聯連接之 NAND 型半導體裝置。

根據本發明的實施例之半導體裝置包括 m 字元線 WL(1)至 WL(m)； m 第二信號線 S2(1) 至 SL(m)； n 位元線 BL(1) 至 BL(n)； n 第一信號線 S1(1) 至 SL(n)；兩選擇線 SEL(1)及 SEL(2)；記憶體單元陣列 210，排列成矩陣 m 段（列）乘 n 段（行）（ m 及 n 為自然數）；電晶體 215(1, 1)至 215(1, n)，其沿著位元線 BL(1)至 BL(n)和記憶體單元 200(1, 1)至 200(1, n)之間的選擇線 SEL(1)排列；電晶體 215(2, 1)至 215(2, n)，其沿著源極線 SL(1)至 SL(n)和記憶體單元 200(m , 1)至 200(m , n)之間的選擇線 SEL(2)排列；以及周邊電路，諸如源極線用的驅動器電路 217，讀取電路 211，第一信號線用的驅動器電路 212，第二信號線和字元線用的驅動器電路 213，電位產生電路 214，及選擇線用的驅動器電路 216(1)及 216(2)等。作為另一周邊電路，可設置更新電路等等。

考慮記憶體單元 200 的每一個，如、記憶體單元 200(i, j)（此處， i 為大於或等於 1 及小於或等於 m 之整

數，而 j 為大於或等於 1 及小於或等於 n 之整數）。記憶體單元 $200(i,j)$ 連接到第一信號線 $S1(j)$ 、第二信號線 $S2(i)$ 、及字元線 $WL(i)$ 。另外，包括在記憶體單元 $200(i_1,j)$ 中之電晶體 201 及 203 的汲極電極（ i_1 為大於或等於 2 及小於或等於 m 之整數）連接到包括在記憶體單元 $200(i_1-1,j)$ 中之電晶體 201 及 203 的源極電極。包括在記憶體單元 $200(i_2,j)$ 中之電晶體 201 及 203 的源極電極（ i_2 為大於或等於 1 及小於或等於 $m-1$ 之整數）連接到包括在記憶體單元 $200(i_2+1,j)$ 中之電晶體 201 及 203 的汲極電極。包括在記憶體單元 $200(1,j)$ 中之電晶體 201 及 203 的汲極電極連接到電晶體 215(1,j) 的源極電極。包括在記憶體單元 $200(m,j)$ 中之電晶體 201 及 203 的源極電極連接到電晶體 215(2,j) 的汲極電極。電晶體 215(1,j) 的汲極電極連接到位元線 $BL(j)$ ，而電晶體 215(2,j) 的源極電極連接到源極線 $SL(j)$ 。電晶體 215(1,j) 的閘極電極連接到選擇線 $SEL(1)$ ，而電晶體 215(2,j) 的閘極電極連接到選擇線 $SEL(2)$ 。

源極線 $SL(1)$ 至 $SL(n)$ 連接到用於源極線的驅動器電路 217；位元線 $BL(1)$ 至 $BL(n)$ 連接到讀取電路 211；第一信號線 $S1(1)$ 至 $S1(n)$ 連接到用於第一信號線的驅動器電路 212；第二信號線 $S2(1)$ 至 $S2(m)$ 和字元線 $WL(1)$ 至 $WL(m)$ 連接到用於第二信號線和字元線的驅動器電路 213；以及選擇線 $SEL(1)$ 及 $SEL(2)$ 分別連接到用於選擇線的驅動器電路 216(1) 及 216(2)。

圖 18 圖解用於第二信號線和字元線的驅動器電路 213 之例子。用於第二信號線和字元線的驅動器電路 213 包括解碼器等。透過受寫入賦能信號（WE 信號）控制之開關和受輸出自解碼器的信號控制之開關，第二信號線 S2 連接到配線 V_{S20} 、 V_{S21} 、及 V_{S2S} 。透過受讀取賦能信號（RE 信號）控制之開關和受輸出自解碼器的信號控制之開關，字元線 WL 連接到配線 V_{WL0} 、 V_{WL1} 、及 V_{WLS} 。位址信號從外部輸入到解碼器。

當位址信號輸入到用於第二信號線和字元線的驅動器電路 213 時，由位址所指定的列（下面亦稱作選定列）被確立（作動），及除了由位址所指定的列以外之列（下面亦稱作非選定列）非確立（非作動）。當 RE 信號非確立時，施加電位 V_{WLS} 到字元線 WL。當 RE 信號確立時，施加電位 V_{WL1} 到選定列中的字元線 WL，而施加電位 V_{WL0} 到非選定列中的字元線 WL。當 WE 信號非確立時，施加電位 V_{S2S} 到第二信號線 S2。當 WE 信號確立時，施加電位 V_{S21} 到選定列中的第二信號線 S2，而施加電位 V_{S20} 到非選定列中之第二信號線 S2。

連接到施加電位 V_{WL0} 之字元線 WL 的電晶體 203 被打開。連接到施加電位 V_{WL1} 之字元線 WL 的電晶體 203 被關閉。連接到施加電位 V_{S2S} 及 V_{S20} 之第二信號線 S2 的電晶體 202 被關閉。連接到施加電位 V_{S21} 之第二信號線 S2 的電晶體 202 被打開。

當 RE 信號被確立時，用於選擇線的驅動器電路

216(1)及 216(2)將選擇線 SEL(1)及 SEL(2)設定成電位 V_{SEL1} ，及打開電晶體 215(1, 1)至 215(1, n)和電晶體 215(2, 1)至 215(2, n)。另一方面，當 RE 信號非確立時，用於選擇線的驅動器電路 216(1)及 216(2)將 SEL(1)及 SEL(2)設定成電位 V_{SEL0} ，及關閉 215(1, 1)至 215(1, n)和電晶體 215(2, 1)至 215(2, n)。

圖 19 圖解用於第一信號線的驅動器電路 212 之例子。用於第一信號線的驅動器電路 212 包括多工器 (MUX1)。信號 DI 和寫入電位 V_{00} 、 V_{01} 、 V_{10} 、及 V_{11} 輸入到多工器 (MUX1)。多工器 (MUX1) 的輸出終端透過開關連接到第一信號線 S1。此外，第一信號線 S1 透過開關連接到 GND。開關受寫入賦能信號控制。

當信號 DI 輸入到用於第一信號線的驅動器電路 212 時，多工器 (MUX1) 根據來自寫入電位 V_{00} 、 V_{01} 、 V_{10} 、及 V_{11} 之信號 DI 的值來選擇寫入電位 V_w 。多工器 (MUX1) 的行為圖示在表格 1 中。當寫入賦能信號確立時，施加選定寫入電位 V_w 到第一信號線 S1。當寫入賦能信號非確立時，第一信號線 S1 連接到 GND。

[表格 1]

DI[1]	DI[0]	輸出自 MUX1
0	0	V_{00}
0	1	V_{01}
1	0	V_{10}
1	1	V_{11}

在預充電之後的讀取週期中，用於源極線的驅動器電路 217 施加電位 V_{s_read} 到源極線 SL。在其他週期中，施加 0 V。此處，電位 V_{s_read} 高於電位 $(V_{11}-V_{th})$ 。

圖 20 圖解讀取電路 211 的例子。讀取電路 211 包括感測放大器電路、邏輯電路等等。感測放大器電路之每一個的一輸入終端透過開關連接到位元線 BL 或配線 V_{pc} 。參考電位 V_{ref0} 、 V_{ref1} 、及 V_{ref2} 的任一個輸入到感測放大器電路之每一個的另一輸入終端。感測放大器電路之每一個的輸出終端連接到邏輯電路的輸入終端。需注意的是，開關受讀取負能信號和信號 ϕ_{pc} 控制。

藉由設定參考電位 V_{ref0} 、 V_{ref1} 、及 V_{ref2} 的每一個之值，使得 $(V_{00}-V_{th}) < V_{ref0} < (V_{01}-V_{th}) < V_{ref1} < (V_{10}-V_{th}) < V_{ref2} < (V_{11}-V_{th})$ ，記憶體單元的狀態可被讀取作為具有三位元的數位信號。例如，在資料“00b”的例子中，位元線 BL 的電位為 $(V_{00}-V_{th})$ 。此處，位元線的電位之值小於參考電位 V_{ref0} 、 V_{ref1} 、及 V_{ref2} 的任一個，藉以感測放大器電路的輸出 SA_OUT0、SA_OUT1、及 SA_OUT2 都變成“0”。同樣地，在資料“01b”的例子中，感測放大器電路的輸出 SA_OUT0、SA_OUT1、及 SA_OUT2 分別變成“1”、“0”、及“0”。在資料“10b”的例子中，感測放大器電路的輸出 SA_OUT0、SA_OUT1、及 SA_OUT2 分別變成“1”、“1”、及“0”。在資料“11b”的例子中，感測放大器電路的輸出 SA_OUT0、SA_OUT1、及 SA_OUT2 分別變成“1”、“1”、及“1”。之後，使用表格 2 中的邏輯表格所

示之邏輯電路，從讀取電路 211 產生和輸出具有兩位元的資料 DO。

[表格 2]

SA_OUT0	SA_OUT1	SA_OUT1	DO[1]	DO[0]
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

需注意的是，在此處所圖解的讀取電路 211 中，當 ϕ_{pc} 信號確立時，位元線 BL 和連接到位元線 BL 之感測放大器電路的輸入終端被改變成電位 V_{pc} 。換言之，可利用信號 ϕ_{pc} 來執行預充電。需注意的是，電位 V_{pc} 被設定成低於 $(V_{00} - V_{th})$ 。當 RE 信號確立時，施加電位 V_{s_read} 到連接到用於源極線的驅動器電路 217 之源極線 SL，藉以反映資料的電位被改變成位元線 BL。然後，在讀取電路 211 中執行讀取。

需注意的是，在讀取時所比較的”位元線 BL 的電位”包括透過開關連接到位元線 BL 之感測放大器電路的輸入終端之節點的電位。也就是說，讀取電路中所比較的電位不需要與位元線 BL 的電位完全相同。

圖 21 圖解電位產生電路 214 的例子。在電位產生電路 214 中，以電阻在供電電位 V_{dd} 和 GND 之間分開電位，藉以可獲得想要的電位。然後，透過類比緩衝器輸出所產生的電位。以此方式，產生寫入電位 V_{00} 、 V_{01} 、 V_{10} 、

及 V_{11} 和參考電位 $V_{\text{ref}0}$ 、 $V_{\text{ref}1}$ 、及 $V_{\text{ref}2}$ 。需注意的是，圖 21 圖解 $V_{00} < V_{\text{ref}0} < V_{01} < V_{\text{ref}1} < V_{10} < V_{\text{ref}2} < V_{11}$ 之組態；然而，電位關係並不侷限於此。藉由調整參考電位所連接之電阻器和節點，可適當產生所需的電位。另外，可使用不同於產生 $V_{\text{ref}0}$ 、 $V_{\text{ref}1}$ 、及 $V_{\text{ref}2}$ 之電位產生電路的電位產生電路產生 V_{00} 、 V_{01} 、 V_{10} 、及 V_{11} 。

取代供電電位 V_{dd} ，可將升壓電路中所升壓的電位供應到電位產生電路 214。電位差的絕對值係可藉由供應升壓電路的輸出到電位產生電路來增加，使得可供應較高電位。

需注意的是，甚至在直接供應供電電位 V_{dd} 到電位產生電路的例子中，可將供電電位 V_{dd} 分成複數個電位。然而，因為在此例中難以將鄰接電位清楚區分，所以將增加寫入錯誤和讀取錯誤的數目。在升壓電路的輸出被供應到電位產生電路之例子中，可增加電位差的絕對值，使得即使增加分開電位的數目仍可充分確保鄰接電位之間的電位差。

如此，在不增加寫入錯誤和讀取錯誤的數目之下可增加記憶體單元的儲存容量。

作為執行四階段的升壓之升壓電路的例子，圖 22A 圖解升壓電路 219。在圖 22A 中，將供電電位 V_{dd} 供應到第一二極體 402 的輸入終端。第二二極體 404 的輸入終端和第一電容器 412 的一終端連接到第一二極體 402 的輸出終端。同樣地，第三二極體 406 的輸入終端和第二電容器

414 的一終端連接到第二二極體 404 的輸出終端。其他部分的連接類似於上述；因此，省略詳細說明。然而，連接可被表示如下：第 n 電容器的一終端連接到第 n 二極體的輸出終端（ n 為自然數）。需注意的是，第五二極體 410 的輸出變成升壓電路 219 的輸出 V_{out} 。

此外，時脈信號 CLK 被輸入到第一電容器 412 的另一終端和第三電容器 416 的另一終端。反相時脈信號 CLKB 被輸入到第二電容器 414 的另一終端和第四電容器 418 的一終端。也就是說，時脈信號 CLK 被輸入到第 $(2k-1)$ 電容器的另一終端，而反相時脈信號 CLKB 被輸入到第 $2k$ 電容器的另一終端（ k 為自然數）。需注意的是，接地電位 GND 被輸入到最後階段的電容器（此實施例為第五電容器 420）之另一終端。

當時脈信號 CLK 高時，即、當反相時脈信號 CLKB 低時，第一電容器 412 和第三電容器 416 被充電，及以預定電壓增加與時脈信號 CLK 電容式耦合之節點 N1 及節點 N3 的電位。另一方面，以預定電壓減少與反相時脈信號 CLKB 電容式耦合之節點 N2 及節點 N4。

因此，電荷移動經過第一二極體 402、第三二極體 406、及第五二極體 410，而節點 N2 和節點 N4 的電位被增加到預定值。

接著，當時脈信號 CLK 變低而反相時脈信號 CLKB 變高時，進一步增加節點 N2 和節點 N4 的電位。另一方面，以預定電壓減少節點 N1、節點 N3、及節點 N5 的電

位。

因此，電荷移動經過第二二極體 404 和第四二極體 408。結果，節點 N3 和節點 N5 的電位被增加到預定電位。如此，節點的電位中的關係變成 $(V_{N5} > V_{N4(\text{CLKB}=\text{High})} > V_{N3(\text{CLK}=\text{High})} > V_{N2(\text{CLKB}=\text{High})} > V_{N1(\text{CLK}=\text{High})} > V_{\text{dd}})$ ，藉以執行升壓。需注意的是，升壓電路 219 並不侷限於執行四階段的升壓之電路。可適當改變升壓的階段數目。

需注意的是，升壓電路 219 的輸出 V_{out} 明顯受到二極體的特性之間的變化影響。例如，藉由將電晶體的源極電極和閘極電極彼此連接來設置二極體，但是在此例中，二極體的特性受電晶體的臨界值變化影響。

爲了極準確控制輸出 V_{out} ，可利用輸出 V_{out} 被反饋之結構。圖 22B 圖解輸出 V_{out} 被反饋時之電路組態的例子。圖 22B 的升壓電路 219 對應於圖 22A 的升壓電路 219。

升壓電路 219 的輸出終端透過電阻 R_1 連接到感測放大器電路的一輸入終端。此外，透過電阻 R_2 將感測放大器電路的一輸入終端接地。即、對應於輸出 V_{out} 的電位 V_1 被輸入到感測放大器電路的一輸入終端。此處， $V_1 = V_{\text{out}} \cdot R_2 / (R_1 + R_2)$ 。

另外，參考電位 V_{ref} 被輸入到感測放大器電路的另一輸入終端。即、在感測放大器電路中比較 V_1 和 V_{ref} 。感測放大器電路的輸出終端連接到控制電路。時脈信號 CLK0 被輸入到控制電路。控制電路輸出時脈信號 CLK 和反相時脈信號 CLKB 到升壓電路 219，以回應感測放大器電路

的輸出。

當 $V_1 > V_{ref}$ 時，感測放大器電路的輸出 sig_1 被確立，及控制電路停止供應時脈信號 CLK 和反相時脈信號 CLKB 到升壓電路 219。如此，升壓操作停止，使得電位 V_{out} 停止增加。然後，連接到升壓電路 219 的輸出之電路消耗電力，藉以電位 V_{out} 逐漸減少。

當 $V_1 < V_{ref}$ 時，感測放大器電路的輸出 sig_1 非確立，及控制電路開始供應時脈信號 CLK 和反相時脈信號 CLKB 到升壓電路 219。如此，執行升壓操作，使得電位 V_{out} 逐漸增加。

以此方式，藉由反饋升壓電路 219 的輸出電位 V_{out} ，升壓電路 219 的輸出電位 V_{out} 可保持在固定值。組態在具有二極體特性變化之例子中特別有效。而且，組態在預定電位欲根據參考電位 V_{ref} 而產生之例子中亦有效。需注意的是，藉由使用複數個不同參考電位可在升壓電路 219 中產生複數個電位。

以此方式，可藉由供應升壓電路的輸出到電位產生電路來增加電位差的絕對值。因此，在不改變電位差的最小單位之下可產生較高電位。也就是說，可增加記憶體單元的儲存容量。

圖 23 圖解微分感測放大器作為感測放大器電路的例子。微分感測放大器包括輸入終端 $V_{in}(+)$ 及 $V_{in}(-)$ 和輸出終端 V_{out} ，及放大 $V_{in}(+)$ 的電位和 $V_{in}(-)$ 的電位之間的差。當 $V_{in}(+)$ 的電位高於 $V_{in}(-)$ 的電位時， V_{out} 輸出 High 信

號，而當 $V_{in}(+)$ 的電位低於 $V_{in}(-)$ 的電位時， V_{out} 輸出 Low 信號。

圖 24 圖解鎖定感測放大器作為感測放大器電路的例子。鎖定感測放大器包括輸入-輸出終端 V1 及 V2 和控制信號 Sp 及 Sn 的輸入終端。首先，藉由將信號 Sp 設定為 High 而信號 Sn 為 Low 來中斷供電電壓 (V_{dd})。接著，欲待比較的電位被施加到 V1 及 V2 的每一個。之後，當藉由將信號 Sp 設定為 Low 而信號 Sn 為 High 來供應供電電壓 (V_{dd}) 時，當 V1 的電位高於 V2 的電位時，V1 的輸出為 High 而 V2 的輸出為 Low。當 V1 的電位低於 V2 的電位時，V1 的輸出為 Low 而 V2 的輸出為 High。以此種方式，V1 及 V2 之間的電位差被放大。

說明特有操作電位（電壓）的例子。例如，當電晶體 201 的臨界電壓約 0.3V 及供電電壓 V_{dd} 為 2V 時， V_{11} 可以是 1.6V； V_{10} 為 1.2V； V_{01} 為 0.8V； V_{00} 為 0V； V_{ref0} 為 0.3V； V_{ref1} 為 0.7V；及 V_{ref2} 為 1.1V。另外， V_{s_read} 可以是 2V。 V_{WL0} 為 2V； V_{WL1} 為 0V； V_{WLS} 為 0V； V_{S20} 為 0V； V_{S21} 為 2V； V_{S2S} 為 0V； V_{SEL0} 為 0V；以及 V_{SEL1} 為 2V 較佳。例如，電位 V_{pc} 為 0V 較佳。

接著，說明圖 17 所示之半導體裝置的操作。例如，在記憶體單元 200 為四值記憶體單元之例子中，記憶體單元 200 的四狀態為資料"00b"、"01b"、"10b"、及"11b"，及四狀態中的節點 A 之電位分別被設定成 V_{00} 、 V_{01} 、

V_{10} 、及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。在此結構中，每一列執行寫入和讀取。

首先，說明半導體裝置的寫入操作。在寫入賦能信號確立時之週期中執行寫入操作。在寫入操作期間，讀取賦能信號非確立。在第 i 列的記憶體單元 $200(i, 1)$ 至 $200(i, n)$ 上執行寫入之例子中，第二信號線 $S2(i)$ 被設定成電位 V_{S21} ，及選定記憶體單元中的電晶體 202 被打開。另一方面，除了第 i 列以外的列中之第二信號線 $S2$ 被設定成電位 V_{S20} ，及非選定記憶體單元中的電晶體 202 被關閉。根據輸入到用於第一信號線的驅動器電路 212 之信號 DI ，在寫入資料“00b”之行中，第一信號線 $S1(1)$ 至 $S1(n)$ 被設定成 V_{00} ，在寫入資料“01b”之行中被設定成 V_{01} ，在寫入資料“10b”之行中被設定成 V_{10} ，及在寫入資料“11b”之行中被設定成 V_{11} 。需注意的是，在寫入的最後部分，在改變第一信號線 $S1(1)$ 至 $S1(n)$ 的電位之前，將第二信號線 $S2(i)$ 設定成電位 V_{S20} ，使得選定記憶體單元中的電晶體 202 被關閉。關於其他配線，例如，位元線 $BL(1)$ 至 $BL(n)$ 被設定為 $0V$ ；字元線 $WL(1)$ 至 $WL(m)$ 為 V_{WLS} 的電位；選擇線 $SEL(1)$ 及 $SEL(2)$ 為 V_{SEL0} 的電位；以及源極線 $SL(1)$ 至 $SL(n)$ 的電位 V_s 為 $0V$ 。圖 25A 圖解上述寫入操作的時序圖之例子。需注意的是，圖 25A 為寫入資料“10b”到記憶體單元內之例子的時序圖。

結果，寫入資料“00b”的記憶體單元之節點 A 的電位約為 $V_{00}[V]$ ，寫入資料“01b”的記憶體單元之節點 A 的電

位約為 $V_{01}[V]$ ，寫入資料"10b"的記憶體單元之節點 A 的電位約為 $V_{10}[V]$ ，以及寫入資料"11b"的記憶體單元之節點 A 的電位約為 $V_{11}[V]$ 。非選定記憶體單元的節點 A 之電位未改變。此處，根據第一信號線 S1 的電位將電荷累積在節點 A 中。因為電晶體 202 的關閉狀態電流極小或大體上為 0，所以電晶體 201 的閘極電極（節點 A）之電位被保留一段長時間。

接著，說明半導體裝置的讀取操作。在讀取賦能信號確立時之週期中執行讀取操作。在執行第 i 列的記憶體單元 200($i, 1$)至 200(i, n)之讀取的例子中，選擇線 SEL(1)及 SEL(2)被設定成電位 V_{SEL1} ，及電晶體 215(1, 1)至 215(1, n)和電晶體 215(2, 1)至 215(2, n)被打開。另外，字元線 WL(i)的電位被設定成 V_{WL1} ，除了第 i 列以外的列中之字元線 WL 的電位被設定成 V_{WL0} 。此時，第 i 列的記憶體單元中之電晶體 203 被關閉。除了第 i 列以外的列之記憶體單元中的電晶體 203 被打開。第二信號線 S2(1)至 S2(m)被設定成電位 V_{S2S} ，及所有記憶體單元中的電晶體 202 被關閉。第一信號線 S1(1)至 S1(n)的電位被設定成 0V。

在讀取操作的一開始之某段週期中，信號 ϕ_{pc} 被確立。結果，位元線 BL 被預充電到電位 V_{pc} 。然後，源極線 SL(1)至 SL(n)的電位 V_s 被設定成 $V_{\text{s_read}}$ 。如此，根據第 i 列的記憶體單元中之電晶體 201 的狀態，電流從源極線 SL 流到位元線 BL，使得位元線 BL 被改變成由（（節

點 A 的電位) - (電晶體 201 的臨界電壓 V_{th})) 所表示之電位。結果，位元線 BL 的電位變成分別對應於資料 "00b"、"01b"、"10b"、及 "11b" 之 $(V_{00} - V_{th})$ 、 $(V_{01} - V_{th})$ 、 $(V_{10} - V_{th})$ 、及 $(V_{11} - V_{th})$ 。因為對應於資料之位元線的電位彼此不同，所以可藉由讀取電路讀取資料 "00b"、"01b"、"10b"、及 "11b"。需注意的是， $(V_{11} - V_{th})$ 低於或等於 $(V_{SEL1} - V_{th_SEL})$ 及低於或等於 $(V_{WL0} - V_{th_203})$ 。此處， V_{th_SEL} 表示電晶體 215 的臨界電壓，及 V_{th_203} 表示電晶體 203 的臨界電壓。

圖 25B 圖解上述讀取操作的時序圖之例子。圖 25B 的時序圖圖解從記憶體單元讀取資料 "10b" 之例子。選定字元線 WL 的電位變成 V_{WL0} 及源極線 SL 的電位變成 V_{s_read} ，藉以位元線 BL 被改變成對應於記憶體單元的資料 "10b" 之電位 $(V_{10} - V_{th})$ 。結果，SA_OUT0、SA_OUT1、及 SA_OUT2 分別變成 "1"、"1"、及 "0"。

需注意的是，在半導體裝置未具有基板電位之例子中，如、在薄膜電晶體形成在 SOI 基板上之例子中，當執行寫入時，字元線 $WL(i+1)$ 至 $WL(m)$ 的電位被設定成 V_{WL0} 較佳，及選擇線 SEL(2) 的電位被設定成 V_{SEL1} 較佳。如此，第 i 列之記憶體單元中的電晶體 201 之源極電極的電位和汲極電極的電位之至少其中之一約可為 0V。另一選擇是，選擇線 SEL(1) 的電位可被設定成 V_{SEL1} ，及字元線 $WL(1)$ 至 $WL(i-1)$ 的電位可被設定成 V_{WL0} 。另一方面，在半導體裝置具有基板電位之例子

中，如、在電晶體形成在單晶半導體基板上之例子中，基板電位可以是 0 V。

需注意的是，在寫入操作時，位元線 BL(1)至 BL(n)的電位被設定成 0V；在選擇線 SEL(1)的電位被設定成 V_{SEL0} 之例子中，位元線 BL(1)至 BL(n)的電位可被改變成浮動狀態或高於 0V 的電位。雖然當執行讀取時將第一信號線 S1(1)至 S1(n)的電位設定成 0V，但是第一信號線 S1(1)至 S1(n)的電位可被改變成浮動狀態或高於 0V 的電位。

此外，在此實施例中，第一信號線 S1 被排列在位元線 BL 方向（行方向）上，及第二信號線 S2 被排列在字元線 WL 方向上（列方向）；然而，本發明的一實施例並不侷限於此。例如，第一信號線 S1 可被排列在字元線 WL 方向上（列方向），及第二信號線 S2 可被排列在位元線 BL 方向（行方向）上。在此種例子中，可適當排列第一信號線 S1 所連接的驅動器電路和第二信號線 S2 所連接的驅動器電路。

在此實施例中，說明四值記憶體單元的操作，即、寫入四種不同狀態的任一個到一記憶體單元或從一記憶體單元讀取四種不同狀態的任一個。然而，可藉由適當改變電路組態來執行 n 值記憶體單元的操作，即、寫入 n 種不同狀態（ n 為大於或等於 2 的整數）的任一個到一記憶體單元或從一記憶體單元讀取 n 種不同狀態的任一個。

例如，在八值記憶體單元中，儲存容量變成比二值記

憶體單元大上三倍。當執行寫入時，備製決定節點 A 的電位之八種寫入電位，及產生八種狀態。當執行讀取時，備製能夠區分八種狀態之七種參考電位。設置一感測放大器及執行比較七次，使得讀取可被執行。另外，藉由反饋比較的結果，可將比較次數降至三次。在驅動源極線 SL 的讀取方法中，可藉由設置七個感測放大器而一比較中執行讀取。而且，可利用設置複數個感測放大器和執行比較複數次之結構。

通常，在 2^k 值記憶體單元中（ k 為大於或等於 1 的整數），儲存容量比值記憶體單元大上 k 倍。當執行寫入時，備製決定節點 A 的電位之 2^k 種寫入電位，及產生 2^k 種狀態。當執行讀取時，備製能夠區分 2^k 種狀態之 (2^k-1) 種參考電位。設置一感測放大器及執行比較 (2^k-1) 次，使得讀取可被執行。另外，藉由反饋比較的結果，可將比較次數降至 k 次。在驅動源極線 SL 的讀取方法中，可藉由設置 (2^k-1) 個感測放大器而一比較中執行讀取。而且，可利用設置複數個感測放大器和執行比較複數次之結構。

在根據此實施例的半導體裝置中，電晶體 202 的小關閉狀態電流特性使資料能夠保留一段極長的時間。換言之，不需要 DRAM 等等所需之更新操作；如此，可抑制電力消耗。此外，實際上可使用半導體裝置作為非揮發性記憶體裝置。

因為藉由電晶體 202 的交換操作來寫入資料，所以不需要高電壓，及半導體裝置中的元件不退化。另外，根據

電晶體的開啓狀態和關閉狀態來寫入或拭除資訊，藉以可容易實現高速操作。而且，藉由控制輸入到電晶體的電位可直接重寫資訊。如此不需要快閃記憶體等等所需之拭除操作；因此，可抑制由於拭除操作所導致的操作速度降低。

而且，可以比使用氧化物半導體之電晶體快很多的速度來操作使用除了氧化物半導體之外的材料之電晶體，如此實現高速讀取所儲存的資料。

根據此實施例的半導體裝置為多值半導體裝置，使得每面積的儲存容量可大於兩值半導體裝置之每面積的儲存容量。因此，可降低半導體裝置的尺寸，及可高度整合半導體裝置。此外，可直接控制當執行寫入操作時變成浮動狀態之節點的電位；如此，容易以高準確性來控制臨界電壓，此為多值記憶體所需。因此，可省略多值型記憶體所需之寫入操作後的狀態確認，在此種例子中，可縮短寫入操作所需的時間。

在根據此實施例的半導體裝置中，可藉由供應升壓電路的輸出到電位產生電路來增加電位差的絕對值。因此，可在不改變電位差的最小單位下產生較高電位。即、可增加記憶體單元的儲存容量。

此實施例所說明之方法和結構可與其他實施例所說明之方法和結構的任一個適當組合。

[實施例 3]

在此實施例中，將說明不同於實施例 2 的半導體裝置之電路組態的例子及其操作。

圖 26 圖解包括在半導體裝置中之記憶體單元的電路圖之例子。圖 26 所示之記憶體單元 240 為多值記憶體單元，及包括第一信號線 S1、第二信號線 S2、字元線 WL、電晶體 201、電晶體 202、及電晶體 204。電晶體 201 係使用除了氧化物半導體以外的材料來形成，而電晶體 202 係使用氧化物半導體來形成。此處，電晶體 201 具有類似於實施例 1 所說明之電晶體 160 的結構之結構較佳。另外，電晶體 202 具有類似於實施例 1 所說明之電晶體 162 的結構之結構較佳。透過電晶體（可以是包括在另一記憶體單元中的電晶體），將記憶體單元 240 電連接到源極線 SL 和位元線 BL 較佳。

此處，電晶體 201 的閘極電極、電晶體 202 之源極電極和汲極電極的其中之一、及電容器 204 之電極的其中之一彼此電連接。另外，源極線 SL 和電晶體 201 的源極電極彼此電連接，及電晶體 201 的汲極電極和位元線 BL 彼此電連接。電晶體 202 之源極電極和汲極電極的其中另一個及第一信號線 S1 彼此電連接，及第二信號線 S2 和電晶體 202 的閘極電極彼此電連接。字元線 WL 和電容器 204 之電極的其中另一個彼此電連接。需注意的是，源極線 SL 和電晶體 201 的源極電極可透過電晶體（可以是包括在另一記憶體單元中之電晶體）彼此連接。另外，位元線 BL 和電晶體 201 的汲極電極可透過電晶體（可以是包括

在另一記憶體單元中之電晶體）彼此連接。

此處，說明記憶體單元 240 的操作。例如，在記憶體單元 240 為四值記憶體單元之例子中，記憶體單元 240 的四種狀態被設定成資料"00b"、"01b"、"10b"、及"11b"，以及電晶體 201 的節點 A 之電位分別被設定成 V_{00} 、 V_{01} 、 V_{10} 、及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。記憶體單元 240 的節點 A 之電位依據字元線 WL 的電位。當字元線 WL 的電位增加時，記憶體單元 240 的節點 A 之電位亦增加。例如，施加上到四種不同狀態中之記憶體單元的字元線 WL 之電位從低電位改成高電位，首先資料"11b"的記憶體單元之電晶體 201 被打開，然後，資料"10b"的記憶體單元、資料"01b"的記憶體單元、及資料"00b"的記憶體單元以此順序被打開。換言之，藉由適當選擇字元線 WL 的電位，可區分記憶體單元的狀態（即、包括在記憶體單元中的資料）。藉由適當選擇字元線 WL 的電位，電晶體 201 在開啓狀態中之記憶體單元為低電阻狀態，而電晶體 201 在關閉狀態中之記憶體單元為高電阻狀態；因此，當由讀取電路區分電阻狀態時，可讀出資料"00b"、"01b"、"10b"、及"11b"。

圖 27 圖解包括 $m \times n$ 位元的儲存容量之本發明的實施例之半導體裝置的方塊電路圖。作為例子，此處說明記憶體單元 240 串聯連接之 NAND 型半導體裝置。

圖 27 所說明之半導體裝置包括 m 字元線 WL； m 第二信號線 S2； n 位元線 BL； n 第一信號線 S1；兩選擇線

SEL(1)及 SEL(2)；記憶體單元陣列 250，複數個記憶體單元 240(1, 1)至 240(m , n)排列成矩陣 m 段（列）乘 n 段（行）（ m 及 n 為自然數）；電晶體 255(1, 1)至 215(1, n)，其沿著位元線 BL(1)至 BL(n)和記憶體單元 240(1, 1)至 240(1, n)之間的選擇線 SEL1 排列；電晶體 255(2, 1)至 255(2, n)，其沿著源極線 SL(1)至 SL(n)和記憶體單元 240(m , 1)至 240(m , n)之間的選擇線 SEL(2)排列；以及周邊電路，諸如讀取電路 251，第一信號線用的驅動器電路 252，第二信號線和字元線用的驅動器電路 253，電位產生電路 254，及選擇線用的驅動器電路 256(1)及 256(2)等。作為另一周邊電路，可設置更新電路等等。

考慮記憶體單元 240 的每一個，如、記憶體單元 240(i, j)（此處， i 為大於或等於 1 及小於或等於 m 之整數，而 j 為大於或等於 1 及小於或等於 n 之整數）。記憶體單元 240(i, j)連接到第一信號線 S1(j)、第二信號線 S2(i)、及字元線 WL(i)。另外，包括在記憶體單元 240(i_1, j)中之電晶體 201 及 203 的汲極電極（ i_1 為大於或等於 2 及小於或等於 m 之整數）連接到包括在記憶體單元 240(i_1-1, j)中之電晶體 201 的源極電極。包括在記憶體單元 240(i_2, j)中之電晶體 201 的源極電極（ i_2 為大於或等於 1 及小於或等於 $m-1$ 之整數）連接到包括在記憶體單元 240(i_2+1, j)中之電晶體 201 的汲極電極。包括在記憶體單元 240(1, j)中之電晶體 201 的汲極電極連接到電晶體 255(1, j)的源極電極。包括在記憶體單元 240(m, j)中之電晶

體 201 的源極電極連接到電晶體 255(2, j)的汲極電極。電晶體 255(1, j)的汲極電極連接到位元線 BL(j)，而電晶體 255(2, j)的源極電極連接到源極線 SL(j)。

位元線 BL(1)至 BL(n)連接到讀取電路 251；第一信號線 S1(1)至 S1(n)連接到用於第一信號線的驅動器電路 252；第二信號線 S2(1)至 S2(m)和字元線 WL(1)至 WL(m)連接到用於第二信號線和字元線的驅動器電路 253；以及選擇線 SEL(1)及 SEL(2)連接到用於選擇線的驅動器電路 256(1)及 256(2)。電位 V_s 施加到源極線 SL(1)至 SL(n)。需注意的是，源極線 SL(1)至 SL(n)不一定分開，可彼此電連接。

需注意的是，用於第一信號線的驅動器電路 252 和電位產生電路 254 可分別具有實施例 2 中參考圖 19 及圖 21 所說明的結構。取代供電電位 V_{dd} ，參考圖 22A 及 22B 在實施例 2 所說明之升壓電路所升壓的電位可被供應到電位產生電路 254。另外，實施例 2 所說明的結構可被用於選擇線用的驅動器電路 256(1)及 256(2)。

圖 28 圖解讀取電路 251 的例子。讀取電路包括感測放大器電路、正反器電路、偏壓電路 257 等等。偏壓電路 257 透過開關連接到位元線 BL。另外，偏壓電路 257 連接到感測放大器電路的輸入終端。參考電位 V_{ref} 輸入到感測放大器電路的另一輸入終端。感測放大器電路的輸出終端連接到正反器電路的輸入終端。需注意的是，開關受讀取賦能信號控制。

圖 28 所示之讀取電路 251 包括一感測放大器，及執行比較兩次，以區分四種不同狀態。兩比較受信號 RE0 及 RE1 控制。正反器電路 FF0 及 FF1 分別受信號 RE0 及 RE1 控制，及儲存感測放大器電路的輸出信號之值。正反器電路 FF0 的輸出及正反器電路 FF1 的輸出被輸出作為來自讀取電路的信號 DOB[1]和信號 DOB[0]。

需注意的是，在所圖示的讀取電路 251 中，當 RE 信號非確立時，位元線 BL 連接到配線 V_{pc} ，及執行預充電。當 RE 信號確立時，建立位元線 BL 和偏壓電路 257 之間的電連續。需注意的是，不一定要執行預充電。

圖 29 圖解用於第二信號線和字元線的驅動器電路 253 之例子。用於第二信號線和字元線的驅動器電路 253 包括解碼器、多工器（MUX2）等等。透過受寫入附能信號（WE 信號）控制之開關和受輸出自解碼器的信號控制之開關，第二信號線 S2 連接到配線 V_{S20} 、 V_{S21} 、及 V_{S2S} 。透過受讀取賦能信號（RE 信號）控制之開關和受輸出自解碼器的信號控制之開關，字元線 WL 連接到配線 V_{WL0} 、 V_{WL1} 、及 V_{WLS} 。另外，信號 RE0、RE1、DOB[1]、參考電位 V_{ref0} 、 V_{ref1} 、及 V_{ref2} 、和 GND 被輸入到多工器（MUX2），以及多工器（MUX2）輸出電位 V_{WL} 。位址信號從外面輸入到解碼器。

當位址信號輸入到用於第二信號線和字元線的驅動器電路 253 時，由位址所指定的列（選定列）被確立，及除了由位址所指定的列以外之列（非選定列）非確立。當

RE 信號非確立時，施加電位 V_{WLS} 到字元線 WL。當 RE 信號確立時，施加電位 V_{WL1} 到選定列中的字元線 WL，而施加電位 V_{WL0} 到非選定列中的字元線 WL。當 WE 信號非確立時，施加電位 V_{S2S} 到第二信號線 S2。當 WE 信號確立時，施加電位 V_{S21} 到選定列中的第二信號線 S2，而施加電位 V_{S20} 到非選定列中之第二信號線 S2。 V_{WL1} 為由多工器 (MUX2) 所選定的電位。多工器根據信號 RE0、RE1、及 DOB[1] 的值來選擇三種參考電位 V_{ref0} 、 V_{ref1} 、及 V_{ref2} 、和 GND 的其中之一。多工器 (MUX2) 的行為圖解在表格 3 中。

[表格 3]

RE0	RE1	DOB[1]	V_{WL1}
0	0	*	GND
1	0	*	V_{ref1}
0	1	0	V_{ref0}
0	1	1	V_{ref2}

*=1 或 0

連接到施加電位 V_{WL0} 之字元線 WL 的電晶體 201 被打開。連接到施加電位 V_{S2S} 及 V_{S20} 之第二信號線 S2 的電晶體 202 被關掉。連接到施加電位 V_{S21} 之第二信號線 S2 的電晶體 202 被打開。

說明在上述電位被選擇作為字元線 WL 的電位時之三種參考電位 V_{ref0} 、 V_{ref1} 、及 V_{ref2} ($V_{ref0} < V_{ref1} < V_{ref2}$) 和電晶體 201 的狀態。在 V_{ref2} 被選擇作為字元線 WL 的電位

之例子中，關掉資料"00b"的記憶體單元之電晶體 201 和打開資料"01b"的記憶體單元之電晶體 201 的電位被選擇作為 V_{ref2} 。此外，在 V_{ref1} 被選擇作為字元線 WL 的電位之例子中，關掉資料"01b"的記憶體單元之電晶體 201 和打開資料"10b"的記憶體單元之電晶體 201 的電位被選擇作為 V_{ref1} 。此外，在 V_{ref2} 被選擇作為字元線 WL 的電位之例子中，關掉資料"10b"的記憶體單元之電晶體 201 和打開資料"11b"的記憶體單元之電晶體 201 的電位被選擇作為 V_{ref2} 。

在讀取電路 251 中，如上述的例子中一般，藉由兩比較來執行讀取。使用 V_{ref1} 來執行第一比較。當藉由使用 V_{ref1} 的比較之結果 DOB[1]之值為"0"時使用 V_{ref0} ，或者藉由使用 V_{ref1} 的比較之結果 DOB[1]之值為"1"時使用 V_{ref2} 來執行第二比較。以上述方式，可藉由兩比較來讀出四種狀態。

需注意的是，雖然此實施例的讀取操作中之比較次數為二，但是本發明的一實施例並不侷限於此結構。例如，在不反饋比較後所獲得的值之下，比較可執行三次。

說明操作電位（電壓）的特有例子。例如，供電電壓 V_{dd} 為 2V 及電晶體 201 的臨界電壓 V_{th} 為 1.8V。節點 A 的電位依據字元線 WL 和節點 A 之間的電容 C1 以及電晶體 202 的閘極電容 C2，此處，例如，當電晶體 202 在關閉狀態時 $C1/C2 \gg 1$ ，及當電晶體 202 在開啓狀態時 $C1/C2=1$ 。圖 30 圖示在源極線 SL 具有電位 0V 時之節點

A 的電位和字元線 WL 的電位之間的關係。從圖 30，發現在執行寫入時之例子中，參考電位 V_{ref0} 、 V_{ref1} 、及 V_{ref2} 分別為 0.4V、0.8V、及 1.2V 較佳，資料"00b"的節點 A 之電位為 0V，資料"01b"的節點 A 之電位為 0.8V，資料"10b"的節點 A 之電位為 1.2V，及資料"11b"的節點 A 之電位為 1.6V。

接著，說明圖 27 所示之半導體裝置的操作。此處，說明記憶體單元為四值記憶體單元之例子。記憶體單元 240 的四種狀態為資料"00b"、"01b"、"10b"、及"11b"，及四種狀態中之節點 A 的電位分別被設定成 V_{00} 、 V_{01} 、 V_{10} 、及 V_{11} ($V_{00} < V_{01} < V_{10} < V_{11}$)。在此結構中，每一列執行寫入和讀取。

首先，說明半導體裝置的寫入操作。在寫入賦能信號確立時之週期中執行寫入操作。在寫入操作期間，讀取賦能信號非確立。在第 i 列的記憶體單元 240(i , 1)至 240(i , n)上執行寫入之例子中，第二信號線 S2(i)被設定成電位 V_{S21} ，及選定記憶體單元中的電晶體 202 被打開。另一方面，除了第 i 列以外的列中之第二信號線 S2 被設定成電位 V_{S20} ，及非選定記憶體單元中的電晶體 202 被關閉。根據輸入到用於第一信號線的驅動器電路 212 之信號 DI，在寫入資料"00b"之行中，第一信號線 S1(1)至 S1(n)被設定成 V_{00} ，在寫入資料"01b"之行中被設定成 V_{01} ，在寫入資料"10b"之行中被設定成 V_{10} ，及在寫入資料"11b"之行中被設定成 V_{11} 。需注意的是，在寫入的最後部分，

在改變第一信號線 $S1(1)$ 至 $S1(n)$ 的電位之前，將第二信號線 $S2(i)$ 設定成電位 V_{S20} ，使得選定記憶體單元中的電晶體 202 被關閉。關於其他配線，例如，位元線 $BL(1)$ 至 $BL(n)$ 被設定為 $0V$ ；字元線 $WL(1)$ 至 $WL(m)$ 為 V_{WLS} 的電位；選擇線 $SEL(1)$ 及 $SEL(2)$ 為 V_{SEL0} 的電位；以及源極線 $SL(1)$ 至 $SL(n)$ 的電位 V_s 為 $0V$ 。圖 25A 圖解上述寫入操作的時序圖之例子。需注意的是，圖 25A 為寫入資料”10b”到記憶體單元內之例子的時序圖。

結果，寫入資料”00b”的記憶體單元之節點 A 的電位約為 $V_{00}[V]$ ，寫入資料”01b”的記憶體單元之節點 A 的電位約為 $V_{01}[V]$ ，寫入資料”10b”的記憶體單元之節點 A 的電位約為 $V_{10}[V]$ ，以及寫入資料”11b”的記憶體單元之節點 A 的電位約為 $V_{11}[V]$ 。非選定記憶體單元的節點 A 之電位未改變。此處，根據第一信號線 $S1$ 的電位將電荷累積在節點 A 中。因為電晶體 202 的關閉狀態電流極小或大體上為 0，所以電晶體 201 的閘極電極（節點 A）之電位被保留一段長時間。

接著，說明半導體裝置的讀取操作。在讀取賦能信號確立時之週期中執行讀取操作。在讀取操作期間，寫入賦能信號非確立。在執行第 i 列的記憶體單元 $240(i, 1)$ 至 $240(i, n)$ 之讀取的例子中，選擇線 $SEL(1)$ 及 $SEL(2)$ 被設定成電位 V_{SEL1} ，及電晶體 $255(1, 1)$ 至 $255(2, n)$ 被打開。源極線 $SL(1)$ 至 $SL(n)$ 的電位 V_s 被設定為 $0V$ 。第二信號線 $S2(1)$ 至 $S2(m)$ 被設定成電位 V_{S2S} ，及所有記憶體單元中

的電晶體 202 被關閉。第一信號線 $S1(1)$ 至 $S1(n)$ 的電位被設定成 $0V$ 。

另外，字元線 $WL(i)$ 被設定成電位 V_{WL1} ，及除了第 i 列以外的列中之字元線 WL 被設定成電位 V_{WL0} 。除了第 i 列以外的列之記憶體單元中的電晶體 201 被打開。結果，當選定列中的電晶體 201 在開啓狀態時位元線 BL 和源極線 SL 之間的電阻狀態（電導）是低的，或者當選定列中的電晶體 201 在關閉狀態時是高的。在選定列中，字元線 WL 的電位被適當選擇，使得電晶體 201 的開啓狀態和關閉狀態在具有不同資料的記憶體單元之間變化。結果，藉由區分位元線 BL 和源極線 SL 之間的電阻狀態（電導），讀取電路可讀取資料“00b”、“01b”、“10b”、及“11b”。即、藉由讀取特有記憶體單元的電阻狀態（電導），讀取電路可讀取資料。需注意的是，記憶體單元的電阻狀態（電導）之讀取指出包括在記憶體單元中的電晶體 201 之開啓或關閉狀態的讀取。圖 31 圖解讀取操作的時序圖之例子。圖 31 圖示從記憶體單元讀出資料“01b”時之時序圖。參考電位 V_{ref1} 及 V_{ref2} 被輸入到選定的各別字元線 WL ，及在信號 $RE0$ 及 $RE1$ 被確立之各別週期中，感測放大器中的比較結果儲存在正反器電路 $FF0$ 及 $FF1$ 中。在記憶體單元的資料為“01b”之例子中，正反器電路 $FF0$ 及 $FF1$ 的值為“1”及“0”。需注意的是，第一信號線 $S1$ 和第二信號線 $S2$ 具有 $0V$ 。

需注意的是，寫入之後的電晶體 201 之節點 A 的電位

(字元線 WL 的電位為 0V) 低於或等於電晶體 201 的臨界電壓較佳。另外， V_{WL0} 可以是 2V； V_{WLS} 可以是 0V； V_{S20} 可以是 0V； V_{S21} 可以是 2V；及 V_{S2S} 可以是 0V。

需注意的是，在寫入操作時位元線 BL(1)至 BL(n)被設定成 0V；在選擇線 SEL(1)被設定成電位 V_{SEL0} 之例子中，位元線 BL(1)至 BL(n)可被改變成浮動狀態或高於 0V 的電位。雖然當執行讀取時第一信號線 S1(1)至 S1(n)被設定成 0V，但是第一信號線 S1(1)至 S1(n)可被改變成浮動狀態或高於 0V 的電位。

此外，在此實施例中，第一信號線 S1 被排列在位元線 BL 方向（行方向）上，及第二信號線 S2 被排列在字元線 WL 方向上（列方向）；然而，本發明的一實施例並不侷限於此。例如，第一信號線 S1 可被排列在字元線 WL 方向上（列方向），及第二信號線 S2 可被排列在位元線 BL 方向（行方向）上。在此種例子中，可適當排列第一信號線 S1 所連接的驅動器電路和第二信號線 S2 所連接的驅動器電路。

在此實施例中，說明四值記憶體單元的操作，即、寫入四種不同狀態的任一個到一記憶體單元或從一記憶體單元讀取四種不同狀態的任一個。然而，可藉由適當改變電路組態來執行 n 值記憶體單元的操作，即、寫入 n 種不同狀態（ n 為大於或等於 2 的整數）的任一個到一記憶體單元或從一記憶體單元讀取 n 種不同狀態的任一個。

例如，在八值記憶體單元中，儲存容量變成比二值記憶體單元大上三倍。當執行寫入時，備製決定節點 A 的電位之八種寫入電位，及產生八種狀態。當執行讀取時，備製能夠區分八種狀態之七種參考電位。設置一感測放大器及執行比較七次，使得讀取可被執行。另外，藉由反饋比較的結果，可將比較次數降至三次。在驅動源極線 SL 的讀取方法中，可藉由設置七個感測放大器而一比較中執行讀取。而且，可設置複數個感測放大器和執行比較複數次。

通常，在 2^k 值記憶體單元中（ k 為大於或等於 1 的整數），儲存容量比值記憶體單元大上 k 倍。當執行寫入時，備製決定節點 A 的電位之 2^k 種寫入電位，及產生 2^k 種狀態。當執行讀取時，備製能夠區分 2^k 種狀態之 (2^k-1) 種參考電位。設置一感測放大器及執行比較 (2^k-1) 次，使得讀取可被執行。另外，藉由反饋比較的結果，可將比較次數降至 k 次。在驅動源極線 SL 的讀取方法中，可藉由設置 (2^k-1) 個感測放大器而一比較中執行讀取。而且，可利用設置複數個感測放大器和執行比較複數次之結構。

在根據此實施例的半導體裝置中，電晶體 202 的小關閉狀態電流特性使資料能夠保留一段極長的時間。換言之，不需要 DRAM 等等所需之更新操作；如此，可抑制電力消耗。此外，實際上可使用半導體裝置作為非揮發性記憶體裝置。

因為藉由電晶體 202 的交換操作來寫入資料，所以不

需要高電壓，及半導體裝置中的元件不退化。另外，根據電晶體的開啓狀態和關閉狀態來寫入或拭除資訊，藉以可容易實現高速操作。而且，藉由控制輸入到電晶體的電位可直接重寫資訊。如此不需要快閃記憶體等等所需之拭除操作；因此，可抑制由於拭除操作所導致的操作速度降低。

可以比使用氧化物半導體之電晶體快很多的速度來操作使用除了氧化物半導體以外的材料之電晶體，如此實現高速讀取所儲存的資料。

根據此實施例的半導體裝置為多值半導體裝置，使得每面積的儲存容量可大於兩值半導體裝置之每面積的儲存容量。因此，可降低半導體裝置的尺寸，及可高度整合半導體裝置。此外，可直接控制當執行寫入操作時變成浮動狀態之節點的電位；如此，容易以高準確性來控制臨界電壓，此為多值記憶體所需。因此，可省略多值型記憶體所需之寫入操作後的狀態確認，在此種例子中，可縮短寫入操作所需的時間。

在根據此實施例的半導體裝置中，可藉由供應升壓電路的輸出到電位產生電路來增加電位差的絕對值。因此，可在不改變電位差的最小單位下產生較高電位。即、可增加記憶體單元的儲存容量。

此實施例所說明之方法和結構可與其他實施例所說明之方法和結構的任一個適當組合。

[實施例 4]

在此實施例中，參考圖 32A 至 32F 說明安裝根據上述實施例所獲得的半導體裝置之電子用品的例子。甚至未供應電力之下根據上述實施例所獲得的半導體裝置仍可保留資料。此外，不產生伴隨寫入和拭除而來的退化。另外，其操作速度高。如此，藉由使用半導體裝置，可設置具有新結構之電子用品。需注意的是，根據上述實施例的半導體裝置被整合和安裝在欲待安裝於電子用品之電路板上等上。

圖 32A 圖解膝上型個人電腦，其包括根據上述實施例的半導體裝置及包括主體 301、外殼 302、顯示部 303、鍵盤 304 等等。當根據本發明的實施例之半導體裝置應用到膝上型個人電腦時，甚至在未供應電力之下仍可保留資料。此外，不產生伴隨寫入和拭除而來的退化。另外，其操作速度高。如此，根據本發明的實施例之半導體裝置應用到膝上型個人電腦較佳。

圖 32B 圖解可攜式資訊終端（PDA），其包括根據上述實施例的半導體裝置，及被設置有包括顯示部 313 之主體 311、外部介面 315、操作按鈕 314 等等。此外，電子筆 312 包括作為操作的配件。當根據本發明的實施例之半導體裝置應用到 PDA 時，甚至在未供應電力之下仍可保留資料。此外，不產生伴隨寫入和拭除而來的退化。另外，其操作速度高。如此，根據本發明的實施例之半導體裝置應用到 PDA 較佳。

圖 32C 圖解電子書閱讀器 320 作為包括根據上述實施例之半導體裝置的電子紙之例子。電子書閱讀器 320 包括兩外殼：外殼 321 及外殼 323。以鉸鏈 337 組合外殼 321 及外殼 323，使得電子書閱讀器 320 可利用鉸鏈 337 作為軸心來開闔。利用此種結構，電子閱讀器 320 可像紙張書本一般使用。當根據本發明的實施例之半導體裝置應用到電子紙時，甚至在未供應電力之下仍可保留資料。此外，不產生伴隨寫入和拭除而來的退化。另外，其操作速度高。如此，根據本發明的實施例之半導體裝置應用到電子紙較佳。

顯示部 325 結合在外殼 321 中，及顯示部 327 結合在外殼 323 中。顯示部 325 及顯示部 327 可顯示一影像，或可顯示不同影像。當顯示部 325 及 327 顯示不同影像時，例如，右側上的顯示部（圖 32C 中的顯示部 325）可顯示正文，而左側上的顯示部（圖 32C 中的顯示部 327）可顯示圖形。

圖 32C 圖解外殼 321 被設置有操作部等等之例子。例如，外殼 321 被設置有電力按鈕 331、操作鍵 333、揚聲器 335 等等。可以操作鍵 333 翻動頁面。需注意的是，鍵盤、定位裝置等等亦可設置在設置顯示部之外殼的表面上。而且，外部連接終端（耳機終端、USB 終端、可連接到諸如 AC 配接器和 USB 纜線等各種纜線的終端等等）、記錄媒體插入部等等可設置在外殼的背表面或側表面上。另外，電子書閱讀器 320 可具有電子字典功能。

電子書閱讀器 320 可被組配成無線傳送和接收資料。經由無線通訊，可從電子書伺服器購買和下載想要的書籍資料等等。

需注意的是，電子紙可應用到可顯示資訊的任何領域之電子用品。例如，除了電子書閱讀器之外，電子紙還可被用於佈告欄、諸如火車等車體廣告、諸如信用卡等各種卡片上的顯示等等。

圖 32D 圖解包括根據上述實施例之半導體裝置的行動電話。行動電話包括兩外殼：外殼 340 及外殼 341。外殼 341 包括顯示面板 342、揚聲器 343、麥克風 344、定位裝置 346、相機透鏡 347、外部連接終端 248 等等。外殼 340 包括用以充電行動電話之太陽能電池 349、外部記憶體插槽 350 等等。此外，天線結合在外殼 341 中。當根據本發明的實施例之半導體裝置應用到行動電話時，甚至在未供應電力之下仍可保留資料。此外，不產生伴隨寫入和拭除而來的退化。另外，其操作速度高。如此，根據本發明的實施例之半導體裝置應用到行動電話較佳。

顯示面板 342 被設置有觸碰面板功能。以圖 32D 的虛線圖解被顯示作影像之複數個操作鍵 345。需注意的是，行動電話包括升壓電路，用以將輸出自太陽能電池 349 之電壓升高到各電路所需的電壓。另外，除了上述結構之外，可利用結合有非接觸 IC 晶片、小型記錄裝置等等之結構。

根據使用模式適當改變顯示面板 342 的顯示方向。另

外，相機透鏡 347 被設置在與顯示面板 342 相同表面上，如此其可被使用作為視頻相機。揚聲器 343 和麥克風 344 可被用於視頻相機、記錄、播放等等，而不侷限於語言上的通訊。而且，在如圖 32D 所示一般發展的狀態中之外殼 340 及 341 可滑動，使得一個重疊在另一個上；因此，可降低行動電話的尺寸，如此使行動電話適於攜帶。

外部連接終端 348 可連接到諸如 AC 配接器或 USB 纜線等各種纜線，如此能夠充電和資料通訊。而且，藉由插入記錄媒體到外部記憶體插槽 350 內，行動電話可處理儲存和移動大量資料。而且，除了上述功能之外，可設置紅外線通訊功能、電視接收功能等等。

圖 32E 圖解包括根據上述實施例之半導體裝置的數位相機。數位相機包括主體 361、顯示部 (A) 367、接目鏡 363、操作開關 364、顯示部 (B) 365、蓄電池 366 等等。當根據本發明的實施例之半導體裝置應用到數位相機時，甚至在未供應電力之下仍可保留資訊。此外，不產生伴隨寫入和拭除而來的退化。另外，其操作速度高。如此，根據本發明的實施例之半導體裝置應用到數位相機較佳。

圖 32F 圖解包括根據上述實施例之半導體裝置的電視機。在電視機 370 中，顯示部 373 結合在外殼 371 中。顯示部 373 可顯示影像。此處，外殼 371 以座 375 支撐。

可藉由外殼 371 的操作開關或分開的遙控器 380 來操作電視機 370。可由遙控器 380 的操作鍵 379 控制頻道和

音量，使得能夠控制顯示在顯示部 373 上之影像。而且，遙控器 380 可被設置有顯示部 377，用以顯示輸出自遙控器 380 的資訊。當根據本發明的實施例之半導體裝置應用到電視機時，甚至在未供應電力之下仍可保留資訊。此外，不產生伴隨寫入和拭除而來的退化。另外，其操作速度高。如此，根據本發明的實施例之半導體裝置應用到電視機較佳。

需注意的是，電視機 370 被設置有接收器、數據機等等較佳。利用接收器，可接收一般電視廣播。而且，當透過數據機藉由有線或無線連接將電視機 370 連接到通訊網路時，可執行單向（從發送器到接收器）或雙向（發送器和接收器之間，接收器之間等等）資訊通訊。

此實施例所說明之方法和結構可與其他實施例所說明之方法和結構的任一個適當組合。

此申請案係依據日本專利局於 2009、11、6 所發表之日本專利申請案序號 2009-255536，藉以併入其全文做為參考。

【符號說明】

100：基板

102：保護層

104：半導體區

106：元件隔離絕緣層

108：閘極絕緣層

- 110：閘極電極
- 112：絕緣層
- 114：雜質區
- 116：通道形成區
- 118：側壁絕緣層
- 120：高濃度雜質區
- 122：金屬層
- 124：金屬化合物區
- 126：中間層絕緣層
- 128：中間層絕緣層
- 130a：源極或汲極電極
- 130b：源極或汲極電極
- 130c：電極
- 132：絕緣層
- 134：導電層
- 136a：電極
- 136b：電極
- 136c：電極
- 136d：閘極電極
- 138：閘極絕緣層
- 140：氧化物半導體層
- 142a：源極或汲極電極
- 142b：源極或汲極電極
- 144：保護絕緣層

- 146：中間層絕緣層
- 148：導電層
- 150a：電極
- 150b：電極
- 150c：電極
- 150d：電極
- 150e：電極
- 152：絕緣層
- 154a：電極
- 154b：電極
- 154c：電極
- 154d：電極
- 160：電晶體
- 162：電晶體
- 200：記憶體單元
- 201：電晶體
- 202：電晶體
- 203：電晶體
- 204：電容器
- 205：電容器
- 210：記憶體單元陣列
- 211：讀取電路
- 212：第一信號線用的驅動器電路
- 213：第二信號線用的驅動器電路

- 214：電位產生電路
- 215：電晶體
- 216：選擇線用的驅動器電路
- 217：源極線用的驅動器電路
- 219：升壓電路
- 240：記憶體單元
- 250：記憶體單元陣列
- 251：讀取電路
- 252：第一信號線用的驅動器電路
- 253：第二信號線和字元線用的驅動器電路
- 254：電位產生電路
- 255：電晶體
- 256：選擇線用的驅動器電路
- 257：偏壓電路
- 301：主體
- 302：外殼
- 303：顯示部
- 304：鍵盤
- 311：主體
- 312：電子筆
- 313：顯示部
- 314：操作按鈕
- 315：外部介面
- 320：電子書閱讀器

- 321：外殼
- 323：外殼
- 325：顯示部
- 327：顯示部
- 331：電力按鈕
- 333：操作鍵
- 335：揚聲器
- 337：鉸鏈
- 340：外殼
- 341：外殼
- 342：顯示面板
- 343：揚聲器
- 344：麥克風
- 345：操作鍵
- 346：定位裝置
- 347：相機透鏡
- 348：外部連接終端
- 349：太陽能電池
- 350：外部記憶體插槽
- 361：主體
- 363：接目鏡
- 364：操作開關
- 365：顯示部（B）
- 366：蓄電池

367：顯示部（A）

370：電視機

371：外殼

373：顯示部

375：座

377：顯示部

379：操作鍵

380：遙控器

402：第一二極體

404：第二二極體

406：第三二極體

408：第四二極體

410：第五二極體

412：第一電容器

414：第二電容器

416：第三電容器

418：第四電容器

420：第五電容器

I676267

發明摘要

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明所揭示的是充作多值記憶體裝置之半導體裝置，包括：記憶體單元，其串聯連接；驅動器電路，其選擇記憶體單元及驅動第二信號線和字元線；驅動器電路，其選擇寫入電位的任一個及將其輸出到第一信號線；讀取電路，其比較位元線的電位與參考電位；以及電位產生電路，其產生該寫入電位和該參考電位。該記憶體單元的其中之一包括：第一電晶體，其連接到該位元線和源極線；第二電晶體，其連接到該第一和第二信號線；以及第三電晶體，其連接到該字元線、位元線、和源極線。該第二電晶體包括氧化物半導體層。該第一電晶體的閘極電極連接到該第二電晶體之源極和汲極電極的其中之一。

【 英文 】

Disclosed is a semiconductor device functioning as a multivalued memory device including: memory cells connected in series; a driver circuit selecting a memory cell and driving a second signal line and a word line; a driver circuit selecting any of writing potentials and outputting it to a first signal line; a reading circuit comparing a potential of a bit line and a reference potential; and a potential generating circuit generating the writing potential and the reference potential. One of the memory cells includes: a first transistor connected to the bit line and a source line; a second transistor connected to the first and second signal line; and a third transistor connected to the word line, bit line, and source line. The second transistor includes an oxide semiconductor layer. A gate electrode of the first transistor is connected to one of source and drain electrodes of the second transistor.

【代表圖】

【本案指定代表圖】：第(17)圖。

【本代表圖之符號簡單說明】：

200：記憶體單元

210：記憶體單元陣列

211：讀取電路

212：第一信號線用的驅動器電路

213：第二信號線用的驅動器電路

214：電位產生電路

215：電晶體

216：選擇線用的驅動器電路

217：源極線用的驅動器電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1.一種半導體裝置，包含：

第一記憶體單元；

第二記憶體單元；

第三記憶體單元；以及

第四記憶體單元，

其中該第一記憶體單元包含第一電晶體以及第二電晶體，

其中該第二記憶體單元包含第三電晶體以及第四電晶體，

其中該第三記憶體單元包含第五電晶體以及第六電晶體，

其中該第四記憶體單元包含第七電晶體以及第八電晶體，

其中該第一電晶體、該第三電晶體、該第五電晶體以及該第七電晶體中的每一個包含包括通道形成區的氧化物半導體層，

其中該第一電晶體的源極和汲極中的一個電連接到該第二電晶體的閘極，

其中該第一電晶體的閘極電連接到第一佈線，

其中該第三電晶體的源極和汲極中的一個電連接到該第四電晶體的閘極，

其中該第三電晶體的閘極電連接到第二佈線，

其中該第二電晶體的源極和汲極中的一個電連接到該

第四電晶體的源極和汲極中的一個，

其中該第二電晶體的該源極和該汲極中的另一個不直接連接到該第四電晶體的該源極和該汲極中的另一個，

其中該第五電晶體的源極和汲極中的一個電連接到該第六電晶體的閘極，

其中該第五電晶體的閘極電連接到該第一佈線，

其中該第七電晶體的源極和汲極中的一個電連接到該第八電晶體的閘極，

其中該第七電晶體的閘極電連接到該第二佈線，並且

其中該第六電晶體的源極和汲極中的一個電連接到該第八電晶體的源極和汲極中的一個。

2.一種半導體裝置，包含：

第一記憶體單元；

第二記憶體單元；

第三記憶體單元；以及

第四記憶體單元，

其中該第一記憶體單元包含第一電晶體、第二電晶體以及第一電容器，

其中該第二記憶體單元包含第三電晶體、第四電晶體以及第二電容器，

其中該第三記憶體單元包含第五電晶體、第六電晶體以及第三電容器，

其中該第四記憶體單元包含第七電晶體、第八電晶體以及第四電容器，

其中該第一電晶體、該第三電晶體、該第五電晶體以及該第七電晶體中的每一個包含包括通道形成區的氧化物半導體層，

其中該第一電晶體的源極和汲極中的一個電連接到該第二電晶體的閘極，

其中該第一電容器的第一電極電連接到該第二電晶體的該閘極，

其中該第一電容器的第二電極電連接到第一佈線，

其中該第三電晶體的源極和汲極中的一個電連接到該第四電晶體的閘極，

其中該第二電容器的第一電極電連接到該第四電晶體的該閘極，

其中該第二電容器的第二電極電連接到第二佈線，

其中該第二電晶體的源極和汲極中的一個電連接到該第四電晶體的源極和汲極中的一個，

其中該第二電晶體的該源極和該汲極中的另一個不直接連接到該第四電晶體的該源極和該汲極中的另一個，

其中該第五電晶體的源極和汲極中的一個電連接到該第六電晶體的閘極，

其中該第三電容器的第一電極電連接到該第六電晶體的該閘極，

其中該第三電容器的第二電極電連接到該第一佈線，

其中該第七電晶體的源極和汲極中的一個電連接到該第八電晶體的閘極，

其中該第四電容器的第一電極電連接到該第八電晶體的該閘極，

其中該第四電容器的第二電極電連接到該第二佈線，
並且

其中該第六電晶體的源極和汲極中的一個電連接到該第八電晶體的源極和汲極中的一個。

3.一種半導體裝置，包含：

第一記憶體單元；

第二記憶體單元；

第三記憶體單元；以及

第四記憶體單元，

其中該第一記憶體單元包含第一電晶體、第二電晶體以及第三電晶體，

其中該第二記憶體單元包含第四電晶體、第五電晶體以及第六電晶體，

其中該第三記憶體單元包含第七電晶體、第八電晶體以及第九電晶體，

其中該第四記憶體單元包含第十電晶體、第十一電晶體以及第十二電晶體，

其中該第一電晶體、該第四電晶體、該第七電晶體以及該第十電晶體中的每一個包含包括通道形成區的氧化物半導體層，

其中該第一電晶體的源極和汲極中的一個電連接到該第二電晶體的閘極，

其中該第二電晶體的源極和汲極中的一個電連接到該第三電晶體的源極和汲極中的一個，

其中該第二電晶體的該源極和該汲極中的另一個電連接到該第三電晶體的該源極和該汲極中的另一個，

其中該第三電晶體的閘極電連接到第一佈線，

其中該第四電晶體的源極和汲極中的一個電連接到該第五電晶體的閘極，

其中該第五電晶體的源極和汲極中的一個電連接到該第六電晶體的源極和汲極中的一個，

其中該第五電晶體的該源極和該汲極中的另一個電連接到該第六電晶體的該源極和該汲極中的另一個，

其中該第六電晶體的閘極電連接到第二佈線，

其中該第二電晶體的該源極和該汲極中的該另一個電連接到該第五電晶體的該源極和該汲極中的該一個，

其中該第二電晶體的該源極和該汲極中的該一個不直接連接到該第五電晶體的該源極和該汲極中的另一個，

其中該第七電晶體的源極和汲極中的一個電連接到該第八電晶體的閘極，

其中該第八電晶體的源極和汲極中的一個電連接到該第九電晶體的源極和汲極中的一個，

其中該第八電晶體的該源極和該汲極中的另一個電連接到該第九電晶體的該源極和該汲極中的另一個，

其中該第九電晶體的閘極電連接到該第一佈線，

其中該第十電晶體的源極和汲極中的一個電連接到該

第十一電晶體的閘極，

其中該第十一電晶體的源極和汲極中的一個電連接到該第十二電晶體的源極和汲極中的一個，

其中該第十一電晶體的該源極和該汲極中的另一個電連接到該第十二電晶體的該源極和該汲極中的另一個，

其中該第十二電晶體的閘極電連接到該第二佈線，並且

其中該第八電晶體的該源極和該汲極中的該另一個電連接到該第十一電晶體的該源極和該汲極中的該一個。

4.根據申請專利範圍第1至3項中任一項之半導體裝置，

其中第一絕緣層在該第二電晶體上，並且

其中該第一電晶體在該第一絕緣層上。

5.根據申請專利範圍第4項之半導體裝置，

其中該第一電晶體的閘極電極在該第一絕緣層上，

其中第二絕緣層在該第一電晶體的該閘極電極上，

其中該第一電晶體的該氧化物半導體層在該第二絕緣層上，並且

其中該第一電晶體的源極電極在該第一電晶體的該氧化物半導體層上並且與該第一電晶體的該氧化物半導體層接觸。

6.根據申請專利範圍第4項之半導體裝置，

其中該第一電晶體的該氧化物半導體層在該第一絕緣層上，

其中該第一電晶體的源極電極在該第一電晶體的該氧化物半導體層上並且與該第一電晶體的該氧化物半導體層接觸，

其中第二絕緣層在該第一電晶體的該源極電極和該第一電晶體的該氧化物半導體層上，並且

其中該第一電晶體的閘極電極在該第二絕緣層上。

7.根據申請專利範圍第4項之半導體裝置，

其中該第一電晶體的源極電極的底表面在該第一絕緣層的頂表面上並且與該第一絕緣層的該頂表面接觸，

其中第二絕緣層的底表面在該第一絕緣層的該頂表面上並與該第一絕緣層的該頂表面接觸，

其中該第一電晶體的該源極電極的側表面與該第二絕緣層的側表面接觸，

其中該第一電晶體的該氧化物半導體層在該源極電極的頂表面以及該第二絕緣層的頂表面上並與該源極電極的該頂表面以及該第二絕緣層的該頂表面接觸，

其中第三絕緣層在該第一電晶體的該氧化物半導體層上，並且

其中該第一電晶體的閘極電極在該第三絕緣層上。

8.根據申請專利範圍第3項之半導體裝置，

其中該第一記憶體單元更包含第一電容器；

其中該第二記憶體單元更包含第二電容器；

其中該第三記憶體單元更包含第三電容器；並且

其中該第四記憶體單元更包含第四電容器，

其中該第一電容器的第一電極電連接到該第二電晶體的該閘極，

其中該第二電容器的第一電極電連接到該第五電晶體的該閘極，

其中該第三電容器的第一電極電連接到該第八電晶體的該閘極，並且

其中該第四電容器的第一電極電連接到該第十一電晶體的該閘極。