



(12) 发明专利

(10) 授权公告号 CN 102347271 B

(45) 授权公告日 2014. 05. 07

(21) 申请号 201010546793. 9

H01L 21/98(2006. 01)

(22) 申请日 2010. 11. 11

B24C 1/00(2006. 01)

(30) 优先权数据

12/842, 612 2010. 07. 23 US

(73) 专利权人 泰塞拉公司

地址 美国加利福尼亚州

(72) 发明人 V·奥甘赛安 B·哈巴

P·萨瓦利亚 I·默罕默德

C·米切尔

(56) 对比文件

CN 201910420 U, 2011. 07. 27,

CN 101675516 A, 2010. 03. 17,

CN 101675516 A, 2010. 03. 17,

US 6586955 B2, 2003. 07. 01,

CN 1758430 A, 2006. 04. 12,

US 2006/0046463 A1, 2006. 03. 02,

CN 1490875 A, 2004. 04. 21,

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 蔡胜利

审查员 陈冠源

(51) Int. Cl.

H01L 21/768(2006. 01)

H01L 21/762(2006. 01)

H01L 21/02(2006. 01)

H01L 21/77(2006. 01)

H01L 27/04(2006. 01)

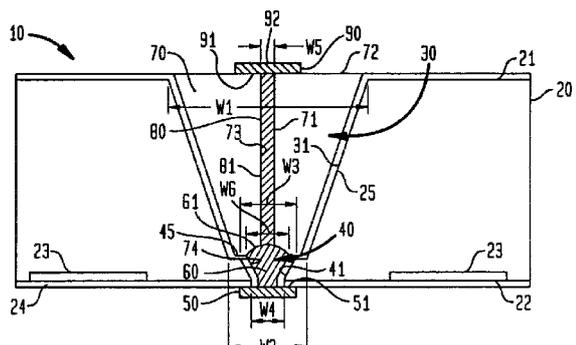
权利要求书5页 说明书22页 附图13页

(54) 发明名称

利用微研磨颗粒流形成半导体元件的方法

(57) 摘要

一种制造微电子单元的方法包括提供半导体元件,其具有前表面、背离前表面的后表面,通过朝向半导体元件引导精细研磨颗粒的喷流而形成至少一个第一开口,其从所述后表面朝向所述前表面延伸而部分地穿过半导体元件,形成至少一个第二开口,其从所述至少一个第一开口延伸至暴露在前表面的至少一个导电垫的底表面,和形成至少一个导电触点和与其相连的至少一个导电互连。每个导电互连可在一或多个所述第一开口内延伸,并且可被连接至所述至少一个导电垫。至少一个导电触点可以暴露在半导体元件的后表面处,用以电连接至外部器件。



1. 一种制造微电子单元的方法,包括:

提供半导体元件,其具有前表面,背离前表面的后表面,内部的多个有源半导体器件,和暴露在前表面处的多个导电垫,所述导电垫具有暴露在半导体元件前表面处的顶表面和与顶表面相反的底表面;

通过朝向半导体元件引导精细研磨颗粒的喷流而形成至少一个第一开口,其从所述后表面朝向所述前表面延伸、部分地穿过半导体元件;

形成至少一个第二开口,其从所述至少一个第一开口延伸到至少一个导电垫的底表面,所述至少一个第二开口暴露所述至少一个导电垫的底表面的至少一部分;

在第一开口内形成介电区域,并且用穿透所述介电区域的激光形成缝隙;以及

形成至少一个导电触点和与其相连的至少一个导电互连,其中形成至少一个导电互连的步骤至少在所述缝隙中形成了导电互连并且包括以与所述至少一个导电垫的底表面接触的方式沉积导电材料,每个导电互连在一或多个所述第一开口内延伸并且连接着所述至少一个导电垫,所述至少一个导电触点被形成为与所述介电区域的暴露表面直接接触并且完全布置在第一开口限定的区域内,所述至少一个导电触点暴露在半导体元件的后表面处,用以电连接至外部器件。

2. 根据权利要求1所述的方法,其中,所述多个导电垫中的至少一个电连接至所述多个有源半导体器件中的至少一个。

3. 根据权利要求1所述的方法,其中,所述至少一个导电触点覆盖于半导体元件的后表面上。

4. 根据权利要求1所述的方法,其中,精细研磨颗粒的平均尺寸为至少1微米。

5. 根据权利要求1所述的方法,其中,精细研磨颗粒的喷流中包含气体介质。

6. 根据权利要求1所述的方法,其中,精细研磨颗粒的喷流中包含液体介质。

7. 根据权利要求1所述的方法,其中,第一开口具有沿着所述后表面在横向方向上的第一宽度,并且至少一个所述导电触点具有在横向方向上的第二宽度,所述第一宽度大于第二宽度。

8. 根据权利要求1所述的方法,其中,形成第一开口的步骤包括形成沟槽形状。

9. 根据权利要求1所述的方法,还包括,在形成第一开口后,修平第一开口的内表面。

10. 根据权利要求9所述的方法,其中,修平第一开口的内表面的步骤包括采用湿式蚀刻或等离子蚀刻。

11. 根据权利要求1所述的方法,其中,导电互连具有圆柱形或截头圆锥形形状。

12. 根据权利要求1所述的方法,其中,导电互连包含内部空间,所述方法还包括用介电材料充填所述内部空间的步骤。

13. 根据权利要求1所述的方法,还包括形成至少一个导电过孔部的步骤,所述导电过孔部在所述至少一个第二开口中延伸并且连接着相应的一个导电垫的底表面,其中形成所述至少一个导电互连的步骤在形成导电过孔部之后进行,以使得所述导电互连通过所述至少一个导电过孔部连接至所述导电垫。

14. 根据权利要求13所述的方法,其中,形成所述至少一个第二开口的步骤包括形成至少两个第二开口,它们从一个所述第一开口延伸并且至少部分地暴露相应各导电垫的底表面。

15. 根据权利要求 13 所述的方法,其中,形成所述至少一个导电互连的步骤至少在第一个开口内形成了两个或更多个导电互连,它们延伸至所述至少一个导电过孔部中相应的两个或更多个。

16. 根据权利要求 1 所述的方法,其中,形成所述至少一个导电互连的步骤包括电镀所述缝隙的内表面。

17. 根据权利要求 13 所述的方法,其中,形成所述至少一个第二开口的步骤包括从第二开口内去除与导电垫的底表面相接触的牺牲层的至少一部分。

18. 根据权利要求 1 所述的方法,其中,所述介电区域通过电化学聚合物沉积而被沉积。

19. 根据权利要求 18 所述的方法,其中,形成所述介电区域的步骤包括涂覆相对于后表面具有负角度的表面。

20. 根据权利要求 13 所述的方法,其中,形成所述至少一个导电过孔部的步骤包括电镀第二开口的内表面,并且形成导电互连的步骤包括电镀第一开口的内表面。

21. 根据权利要求 17 所述的方法,其中,在第一开口和第二开口内形成所述介电区域,并且穿过第一开口和穿过所述至少一个第二开口之一形成所述缝隙。

22. 根据权利要求 21 所述的方法,其中,形成介电区域的步骤包括涂覆相对于后表面具有负角度的表面。

23. 根据权利要求 21 所述的方法,其中,形成导电互连的步骤包括电镀所述缝隙的内表面。

24. 一种制造互连基板的方法,包括:

提供半导体元件,其具有前表面,背离前表面的后表面,和至少一个导电元件,所述导电元件具有暴露在所述前表面处的顶表面;

通过朝向半导体元件引导精细研磨颗粒的喷流而形成至少一个第一开口,其从所述后表面朝向所述前表面延伸、部分地穿过半导体元件;

形成至少一个第二开口,其从所述至少一个第一开口延伸并且暴露所述至少一个导电元件的至少一部分,所述第二开口不延伸通过所述至少一个导电元件;

在第一开口内形成介电区域,并且用穿透所述介电区域的激光形成缝隙;以及

形成至少一个导电触点和与其相连的至少一个导电互连,其中形成至少一个导电互连的步骤至少在所述缝隙中形成了导电互连并且包括以与所述至少一个导电元件接触的方式沉积导电材料,每个导电互连在一或多个所述第一开口内延伸并且直接或间接连接到至少一个导电元件,所述至少一个导电触点被形成为与所述介电区域的暴露表面直接接触并且完全布置在第一开口限定的区域内,所述至少一个导电触点暴露在半导体元件的后表面处,用以电连接至外部器件。

25. 根据权利要求 24 所述的方法,其中,所述至少一个导电触点覆盖于半导体元件的后表面上。

26. 根据权利要求 24 所述的方法,其中,精细研磨颗粒的平均尺寸为至少 1 微米。

27. 根据权利要求 24 所述的方法,其中,精细研磨颗粒的喷流中包含气体介质。

28. 根据权利要求 24 所述的方法,其中,精细研磨颗粒的喷流中包含液体介质。

29. 根据权利要求 24 所述的方法,其中,第一开口具有沿着所述后表面在横向方向上

的第一宽度,并且至少一个所述导电触点具有在横向方向上的第二宽度,所述第一宽度大于第二宽度。

30. 根据权利要求 24 所述的方法,其中,形成第一开口的步骤包括形成沟槽形状。

31. 根据权利要求 24 所述的方法,还包括,在形成第一开口后,修平第一开口的内表面。

32. 根据权利要求 31 所述的方法,其中,修平第一开口的内表面的步骤包括采用湿式蚀刻或等离子蚀刻。

33. 根据权利要求 24 所述的方法,其中,导电互连具有圆柱形或截头圆锥形形状。

34. 根据权利要求 24 所述的方法,其中,半导体元件还包括涂覆在其前表面上的牺牲层,其中形成所述至少一个第二开口的步骤包括通过朝向半导体元件引导精细研磨颗粒的喷流而去除牺牲层的一部分的步骤。

35. 根据权利要求 24 所述的方法,其中,导电互连包含内部空间,所述方法还包括在所述内部空间内形成介电材料的步骤。

36. 根据权利要求 24 所述的方法,其中,导电元件具有背离所述顶表面的底表面,所述方法还包括形成至少一个导电过孔部的步骤,所述导电过孔部在所述至少一个第二开口中延伸并且直接或间接连接至导电元件中相应的一个的底表面,其中,形成所述至少一个导电互连的步骤在形成导电过孔部之后进行,以使得所述导电互连通过所述至少一个导电过孔部连接至导电元件。

37. 根据权利要求 36 所述的方法,其中,形成所述至少一个第二开口的步骤包括形成至少两个第二开口,它们从一个所述第一开口朝向所述半导体元件的前表面延伸。

38. 根据权利要求 36 所述的方法,其中,形成所述至少一个导电互连的步骤至少在第一个开口内形成了两个或更多个导电互连,它们延伸至所述至少一个导电过孔部中相应的两个或更多个。

39. 根据权利要求 24 所述的方法,其中,形成至少一个导电互连的步骤包括电镀所述缝隙的内表面。

40. 根据权利要求 36 所述的方法,还包括形成涂覆在第二开口中的介电层的步骤。

41. 根据权利要求 36 所述的方法,其中,形成至少一个导电过孔部的步骤包括电镀第二开口的内表面,并且形成导电互连的步骤包括电镀第一开口的内表面。

42. 根据权利要求 36 所述的方法,其中,导电元件中的一或多个包括导电迹线,并且形成所述至少一个导电过孔部的步骤包括以与所述至少一个导电迹线接触的方式沉积导电材料,所述导电元件包括连接至导电迹线的导电垫,所述导电迹线沿着半导体元件的前表面延伸。

43. 根据权利要求 24 所述的方法,其中,所述导电元件包括导电垫,所述导电垫具有暴露在半导体元件前表面处的顶表面和背离所述顶表面的底表面,

其中,形成所述至少一个第二开口的步骤至少部分地暴露出至少一个导电垫的底表面,并且,形成所述至少一个导电过孔部的步骤包括以与所述至少一个导电垫的底表面接触的方式沉积导电材料。

44. 根据权利要求 43 所述的方法,其中,形成至少一个第二开口的步骤包括形成至少两个第二开口,它们从一个所述第一开口朝向所述半导体元件的前表面延伸。

45. 一种制造互连基板的方法,包括:

提供半导体元件,其具有前表面,背离前表面的后表面,和至少两个导电元件,每个导电元件具有暴露在所述前表面处的顶表面和背离所述顶表面的底表面;

通过朝向半导体元件引导精细研磨颗粒的喷流而形成至少一个第一开口,其从所述后表面朝向所述前表面延伸、部分地穿过半导体元件;

形成至少两个第二开口,它们从所述至少一个第一开口延伸,每个暴露所述两个导电元件中相应的一个的底表面的至少一部分,所述至少两个第二开口不延伸通过所述至少两个导电元件中的任何一个;

在所述至少一个第一开口和所述至少两个第二开口内形成介电区域,并且形成至少两个缝隙,其中,用穿透所述介电区域且穿过所述至少一个第一开口和穿过所述至少两个第二开口中相应的一个的激光形成每个缝隙;

在至少两个所述第二开口内形成至少一个导电过孔部,其中包括以与所述至少两个导电元件接触的方式沉积导电材料;以及

形成至少两个导电触点和与其相连的至少两个导电互连,每个导电互连在一或多个所述第一开口内延伸并且通过下述步骤形成,即在第一和第二开口内至少在所述至少两个缝隙中相应的一个中将导电材料沉积到所述至少两个导电元件中相应的一个上,每个导电触点被形成为与所述介电区域的暴露表面直接接触并且完全布置在第一开口限定的区域内,每个导电触点暴露在半导体元件的后表面处,用以电连接至外部器件。

46. 根据权利要求 45 所述的方法,其中,形成至少两个导电互连的步骤包括电镀所述至少两个缝隙中每个的内表面。

47. 一种微电子单元,包括:

半导体元件,其具有前表面,背离前表面的后表面,内部的多个有源半导体器件,和多个导电垫,每个导电垫具有暴露在所述前表面处的顶表面且具有背离所述顶表面的底表面,所述半导体元件具有第一开口,其从所述后表面朝向所述前表面延伸、部分地穿过半导体元件,和至少一个第二开口,每个第二开口从第一开口延伸并且暴露相应的一个导电垫的底表面的至少一部分;

至少一个导电过孔部,其在相应的所述至少一个第二开口之一内延伸并且以与相应的导电垫接触的方式沉积;

布置在第一开口中的介电区域;

至少一个导电互连,每个导电互连电连接至所述至少一个导电过孔部中相应的一个,并且至少在第一开口内背离该导电过孔部且至少在延伸穿过所述介电区域的缝隙中延伸;以及

至少一个导电触点,每个导电触点电连接至导电互连中相应的一个,所述至少一个导电触点被形成为与所述介电区域的暴露表面直接接触并且完全布置在第一开口限定的区域内,所述至少一个导电触点暴露在半导体元件的外侧;

其中,第一开口限定出内表面,所述内表面的表面粗糙度大于 1 微米,并且所述内表面限定出相对于后表面 60 至 100 度的壁角度。

48. 根据权利要求 47 所述的微电子单元,其中,单一的有源半导体区域中包含所述多个有源半导体器件。

49. 根据权利要求 47 所述的微电子单元,其中,多个有源半导体区域中的每个中包含所述多个有源半导体器件中的一部分。

50. 根据权利要求 47 所述的微电子单元,其中,第二开口限定出内表面,所述内表面具有相对于后表面的负角度。

51. 根据权利要求 47 所述的微电子单元,其中,第一开口具有沿着所述后表面在横向方向上的第一宽度,并且至少一个所述导电触点具有沿着后表面在横向方向上的第二宽度,所述第一宽度大于第二宽度。

52. 根据权利要求 47 所述的微电子单元,其中,所述至少一个第二开口为多个第二开口,所述至少一个导电过孔部为多个导电过孔部,所述至少一个导电互连为多个导电互连,且所述至少一个导电触点为多个导电触点。

53. 根据权利要求 52 所述的微电子单元,其中,第一开口限定出沟槽形状,所述多个第二开口从第一开口至少延伸至相应导电垫的底表面。

54. 根据权利要求 47 所述的微电子单元,其中,每个导电触点被构造成,当横向力施加至相应的导电垫或触点时,可相对于微电子元件移动。

55. 一种系统,包括根据权利要求 47 所述的微电子单元和电连接至所述微电子单元的一或多个其它电子部件。

56. 根据权利要求 55 所述的系统,还包括壳体,所述微电子单元和所述其它电子部件被安装于所述壳体。

57. 根据权利要求 1 所述的方法,其中,所述缝隙的轮廓不与第一和第二开口中的所述至少一个的轮廓相符。

58. 根据权利要求 57 所述的方法,其中,所述缝隙的轮廓不与第一开口的轮廓相符。

59. 根据权利要求 57 所述的方法,其中,所述缝隙的轮廓不与第二开口的轮廓相符。

60. 根据权利要求 24 所述的方法,其中,所述缝隙的轮廓不与第一和第二开口中的所述至少一个的轮廓相符。

61. 根据权利要求 60 所述的方法,其中,所述缝隙的轮廓不与第一开口的轮廓相符。

62. 根据权利要求 60 所述的方法,其中,所述缝隙的轮廓不与第二开口的轮廓相符。

## 利用微研磨颗粒流形成半导体元件的方法

### 技术领域

[0001] 本发明涉及微电子器件的封装,特别是半导体器件的封装。

### 背景技术

[0002] 微电子元件通常包括半导体材料例如硅或砷化镓的薄板,通常称作裸片或半导体芯片。半导体芯片通常被作为单独的、封装单元提供。在某些单元设计中,半导体芯片被安装于基板或芯片载体上,基板或芯片载体被安装于电路板例如印制电路板上。

[0003] 有源电路被制作在半导体芯片的第一表面(例如前表面)上。为了便于电连接到有源电路,芯片在同一表面上设置有焊垫。焊垫典型地布置为规则的阵列,或者围绕裸片的边缘或者,对许多存储装置来说,在裸片中心处。焊垫通常由约  $0.5\ \mu\text{m}$  厚的导电金属例如铜或铝制成。焊垫的尺寸随装置的类型而不同,但典型地在一侧上有几十微米至几百微米的尺寸。

[0004] 硅过孔技术(TSV)用于连接焊垫和半导体芯片的与第一表面相反的第二表面(例如后表面)。传统的过孔包括穿透半导体芯片的孔和从第一表面至第二表面延伸通过孔的导电材料。焊垫可以电连接到过孔上,以允许焊垫和半导体芯片第二表面上的导电元件之间连通。

[0005] 传统的 TSV 孔可能会减少可以用于包含有源电路的第一表面的那部分。可以用于有源电路的第一表面上的可用空间的这种减少可能增加用以制作每个半导体芯片所需硅的量,因而潜在地增加了每个芯片的成本。

[0006] 在芯片的任意物理配置中,尺寸是一个很重要的考虑因素。随着便携式电子装置的快速发展,越来越强烈地需要更紧凑物理配置的芯片。仅仅通过实例,通常被称为“智能手机”的装置,利用强大的数据处理器、存储器和辅助装置例如全球定位系统接收器、电子照相机和局域网连接,连同高分辨率显示器和相关的图形处理芯片一起,集成了移动电话的功能。这种装置可以提供如下性能:例如完整的网络连通性、包括全分辨率视频的娱乐、导航,电子银行以及更多,所有这些都处于口袋大小的装置内。复杂的便携式装置需要将许多芯片封装于很小的空间内。而且,一些芯片具有很多输入和输出连接,通常称为“I/O”。这些 I/O 必须与其他芯片的 I/O 互连。互连应该很短并且应该具有低阻抗以使信号传播延迟最小化。形成互连的部件应该不会大大增加该组件的尺寸。类似的需求在作为例如数据服务器的其他应用中也出现了,例如用于网络搜索引擎中的那些数据服务器。例如,在复杂的芯片之间提供许多短小、低阻抗的互连的结构可能增加搜索引擎的带宽并且减小其能量消耗。

[0007] 虽然在半导体过孔形成和互连方面已经取得了一些进步,但仍需要改进以使半导体芯片的尺寸最小化,同时提高电互连的可靠性。本发明的这些特征通过构造如下所述的微电子封装和制作微电子封装的方法而实现了。

### 发明内容

[0008] 根本发明的一个方面,一种制造微电子单元的方法包括提供半导体元件的步骤,半导体元件具有前表面、背离前表面的后表面。半导体元件可包括其内的多个有源半导体器件。半导体元件可包括暴露在前表面处的多个导电垫。导电垫可具有暴露在半导体元件前表面处的顶表面和与顶表面相反的底表面。

[0009] 所述制造微电子单元的方法可以还包括下述步骤:通过朝向半导体元件引导精细研磨颗粒的喷流而形成至少一个第一开口,其从所述后表面朝向所述前表面延伸,部分地穿过半导体元件。所述方法可以还包括下述步骤:形成至少一个第二开口,其从所述至少一个第一开口延伸到至少一个导电垫的底表面,所述至少一个第二开口暴露所述至少一个导电垫的底表面的至少一部分。所述方法可以还包括下述步骤:形成至少一个导电触点和与其相连的至少一个导电互连。形成导电互连的步骤可包括以与所述至少一个导电垫的底表面接触的方式沉积导电材料。每个导电互连可在一或多个所述第一开口内延伸并且可被连接至所述至少一个导电垫。至少一个导电触点可以暴露在半导体元件的后表面处,用以电连接至外部器件。

[0010] 在一种代表性的实施方式中,所述多个导电垫中的至少一个可以电连接至所述多个有源半导体器件中的至少一个。在一个实施方式中,至少一个导电触点可以覆盖于半导体元件的后表面。在特定实施方式中,精细研磨颗粒的平均尺寸可以为至少1微米。在一个实施方式中,精细研磨颗粒的喷流可包括气体介质。在一种代表性的实施方式中,精细研磨颗粒的喷流可包括液体介质。在特定实施方式中,第一开口可具有沿着所述后表面在横向方向上的第一宽度,并且至少一个所述导电触点可具有在横向方向上的第二宽度,所述第一宽度大于第二宽度。

[0011] 在一个实施方式中,形成第一开口的步骤可包括形成沟槽形状。在一种代表性的实施方式中,制造微电子单元的方法可以还包括在形成第一开口后修平第一开口的内表面的步骤。在特定实施方式中,修平第一开口的内表面的步骤可包括采用湿式蚀刻或等离子蚀刻。在一个实施方式中,导电互连可具有圆柱形或截头圆锥形形状。在一种代表性的实施方式中,导电互连可包括内部空间。所述方法可以还包括用介电材料充填所述内部空间的步骤。

[0012] 在一种代表性的实施方式中,制造微电子单元的方法可以还包括形成至少一个导电过孔部的步骤,所述导电过孔部在所述至少一个第二开口中延伸并且连接着相应的一个导电垫的底表面。形成所述至少一个导电互连的步骤可以在形成导电过孔部之后进行,以使得所述导电互连通过所述至少一个导电过孔部连接至所述导电垫。

[0013] 在一个实施方式中,形成所述至少一个第二开口的步骤可包括形成至少两个第二开口,它们从一个所述第一开口延伸并且至少部分地暴露相应各导电垫的底表面。在一种代表性的实施方式中,形成所述至少一个导电互连的步骤可至少在第一开口内形成两个或更多个导电互连,它们延伸至所述至少一个导电过孔部中相应的两个或更多个。在特定实施方式中,所述方法可以还包括下述步骤:在第一开口内形成介电区域,并且用穿透所述介电区域的激光形成缝隙。在一种代表性的实施方式中,形成所述至少一个导电互连的步骤可至少在所述缝隙中形成导电互连。

[0014] 在特定实施方式中,形成导电互连的步骤可包括电镀所述缝隙的内表面。在一个实施方式中,形成所述至少一个开口的步骤可包括从第二开口内去除与导电垫的底表面相

接触的牺牲层的至少一部分。在特定实施方式中,第二介电层可通过电化学聚合物沉积被沉积。在一个实施方式中,形成介电层的步骤可包括涂覆相对于后表面具有负角度的表面。在一种代表性的实施方式中,形成所述至少一个导电过孔部的步骤可包括电镀第二开口的内表面。形成导电互连的步骤可包括电镀第一开口的内表面。

[0015] 在特定实施方式中,制造微电子单元的方法可以还包括下述步骤:在第一开口和第二开口内形成介电区域,并且用穿透所述介电区域且穿过第一开口和所述至少一个第二开口之一的激光形成缝隙。形成所述至少一个导电互连的步骤可至少在所述缝隙中形成导电互连。形成介电区域的步骤可包括涂覆相对于后表面具有负角度的表面。形成导电互连的步骤可包括电镀所述缝隙的内表面。在一种代表性的实施方式中,所述方法可以还包括下述步骤:在第一和第二开口中的至少一个内形成介电区域,和穿透所述介电区域形成缝隙。缝隙可具有不与第一和第二开口中的所述至少一个的轮廓相符的轮廓。形成所述至少一个导电互连的步骤可至少在所述缝隙中形成导电互连。在一个实施方式中,缝隙可具有不与第一开口的轮廓相符的轮廓。在特定实施方式中,缝隙可具有不与第二开口的轮廓相符的轮廓。

[0016] 根据本发明的一个方面,一种制造互连基板的方法可包括下述步骤:提供半导体元件,其具有前表面,背离前表面的后表面,和至少一个导电元件,所述导电元件具有暴露在所述前表面处的顶表面。所述方法可以还包括下述步骤:通过朝向半导体元件引导精细研磨颗粒的喷流而形成至少一个第一开口,其从所述后表面朝向所述前表面延伸,部分地穿过半导体元件。所述方法可以还包括下述步骤:形成至少一个第二开口,其从所述至少一个第一开口延伸并且暴露所述至少一个导电元件的至少一部分,所述第二开口不延伸通过所述至少一个导电元件。所述方法可以还包括下述步骤:形成至少一个导电触点和与其相连的至少一个导电互连。形成导电互连的步骤可包括以与所述至少一个导电元件接触的方式沉积导电材料。每个导电互连可在一或多个所述第一开口内延伸并且可以直接或间接连接到至少一个导电元件。至少一个导电触点可以暴露在半导体元件的后表面处,用以电连接至外部器件。

[0017] 在特定实施方式中,至少一个导电触点可以覆盖于半导体元件的后表面。在特定实施方式中,精细研磨颗粒的平均尺寸可以为至少1微米。在一个实施方式中,精细研磨颗粒的喷流可包括气体介质。在一种代表性的实施方式中,精细研磨颗粒的喷流可包括液体介质。在特定实施方式中,第一开口可具有沿着所述后表面在横向方向上的第一宽度,并且至少一个所述导电触点可具有在横向方向上的第二宽度,所述第一宽度大于第二宽度。

[0018] 在一个实施方式中,形成第一开口的步骤可包括形成沟槽形状。在一种代表性的实施方式中,制造微电子单元的方法可以还在形成第一开口后包括修平第一开口的内表面的步骤。在特定实施方式中,修平第一开口的内表面的步骤可包括采用湿式蚀刻或等离子蚀刻。在一个实施方式中,导电互连可具有圆柱形或截头圆锥形形状。在一个实施方式中,半导体元件可以还包括涂覆在其前表面上的牺牲层。形成所述至少一个第二开口的步骤可包括通过朝向半导体元件引导精细研磨颗粒的喷流而去除牺牲层的一部分的步骤。在一种代表性的实施方式中,导电互连可包括内部空间。所述方法可以还包括在所述内部空间内形成介电材料的步骤。

[0019] 在一种代表性的实施方式中,导电元件可具有背离所述顶表面的底表面。所述方

法可以还包括形成至少一个导电过孔部的步骤,所述导电过孔部在所述至少一个第二开口中延伸并且直接或间接连接至导电元件中相应的一个的底表面。形成所述至少一个导电互连的步骤可以在形成导电过孔部之后进行,以使得所述导电互连通过所述至少一个导电过孔部连接至所述导电垫。

[0020] 在特定实施方式中,形成所述至少一个第二开口的步骤可包括形成至少两个第二开口,它们从一个所述第一开口朝向所述半导体元件的前表面延伸。在一个实施方式中,形成所述至少一个导电互连的步骤可至少在所述第一开口内形成两个或更多个导电互连,它们延伸至所述至少一个导电过孔部中相应的两个或更多个。在一种代表性的实施方式中,所述方法可以还包括下述步骤:在所述第一开口内形成介电区域,并且用穿透所述介电区域的激光形成缝隙。形成所述至少一个导电互连的步骤可至少在所述缝隙中形成导电互连。

[0021] 在一个实施方式中,形成导电互连的步骤可包括电镀所述缝隙的内表面。在一种代表性的实施方式中,所述方法可以还包括形成涂覆在第二开口中的介电层的步骤。在特定实施方式中,形成至少一个导电过孔部的步骤可包括电镀第二开口的内表面。形成导电互连的步骤可包括电镀第一开口的内表面。在一个实施方式中,导电元件中的一或多个可包括导电迹线。形成所述至少一个导电过孔部的步骤可包括以与所述至少一个导电迹线接触的方式沉积导电材料。导电元件可包括导电垫连接至导电迹线。导电迹线可沿着半导体元件的前表面延伸。

[0022] 在一种代表性的实施方式中,导电元件可包括导电垫,其具有暴露在半导体元件前表面处的顶表面和背离所述顶表面的底表面。形成所述至少一个第二开口的步骤可至少部分地暴露至少一个导电垫的底表面。形成所述至少一个导电过孔部的步骤可包括以与所述至少一个导电垫的底表面接触的方式沉积导电材料。在特定实施方式中,形成所述至少一个第二开口的步骤可包括形成至少两个第二开口,它们从一个所述第一开口朝向所述半导体元件的前表面延伸。在一种代表性的实施方式中,所述方法可以还包括下述步骤:在第一和第二开口中的至少一个内形成介电区域,和穿透所述介电区域形成缝隙。缝隙可具有不与第一和第二开口中的所述至少一个的轮廓相符的轮廓。形成所述至少一个导电互连的步骤可至少在所述缝隙中形成导电互连。在一个实施方式中,缝隙可具有不与第一开口的轮廓相符的轮廓。在特定实施方式中,缝隙可具有不与第二开口的轮廓相符的轮廓。

[0023] 根据本发明的一个方面,一种制造互连基板的方法可包括下述步骤:提供半导体元件,其具有前表面,背离前表面的后表面,和至少两个导电元件,每个导电元件具有暴露在所述前表面处的顶表面和背离所述顶表面的底表面。所述方法可以还包括下述步骤:通过朝向半导体元件引导精细研磨颗粒的喷流而形成至少一个第一开口,其从所述后表面朝向所述前表面延伸,部分地穿过半导体元件。所述方法可以还包括下述步骤:形成至少两个第二开口,它们从所述至少一个第一开口延伸,每个第二开口暴露所述两个导电元件中相应的一个的底表面的至少一部分,所述至少两个第二开口不延伸通过所述至少两个导电元件中的任何一个。

[0024] 所述制造互连基板的方法可以还包括在所述至少一个第二开口内形成至少一个导电过孔部的步骤,其中包括以与所述至少一个导电元件接触的方式沉积导电材料。所述方法可以还包括下述步骤:形成至少一个导电触点和与其相连的至少两个导电互连,每个导电互连在一或多个所述第一开口内延伸并且通过下述步骤形成,即在第一和第二开口内

将导电材料沉积到所述至少两个导电元件中相应的一个上,每个导电触点暴露在半导体元件的后表面处,用以电连接至外部器件。

[0025] 在一种代表性的实施方式中,形成所述至少两个导电互连的步骤可包括在所述至少一个第一开口和所述至少一个第二开口内形成介电区域,并且用穿透所述介电区域且穿过所述至少一个第一开口和所述至少一个第二开口之一的激光形成缝隙。形成所述至少一个导电互连的步骤可至少在所述缝隙中形成导电互连。在一个实施方式中,形成导电互连的步骤可包括电镀所述缝隙的内表面。

[0026] 根据本发明的一个方面,一种微电子单元包括半导体元件,其具有前表面、背离前表面的后表面。半导体元件可具有其内的多个有源半导体器件。半导体元件可具有多个导电垫。每个导电垫可具有暴露在所述前表面处的顶表面和背离所述顶表面的底表面。半导体元件可具有第一开口,其从所述后表面朝向所述前表面延伸,部分地穿过半导体元件和至少一个第二开口。每个第二开口可从第一开口延伸并且可暴露相应的一个导电垫的底表面的至少一部分。

[0027] 所述微电子单元可以还包括至少一个导电过孔部,其在相应的所述至少一个第二开口之一内延伸并且以与相应的导电垫接触的方式沉积。微电子单元可以还包括至少一个导电互连。每个导电互连可以电连接至所述至少一个导电过孔部中相应的一个并且可至少在第一开口中背离所述导电过孔部延伸。

[0028] 所述微电子单元可以还包括至少一个导电触点。每个导电触点可以电连接至导电互连中相应的一个。至少一个导电触点可以暴露在半导体元件的外侧。第一开口可限定出内表面,所述内表面的表面粗糙度大于 1 微米。所述内表面可限定出相对于后表面 60 至 100 度的壁角度。

[0029] 在一个实施方式中,单一的有源半导体区域中可包含所述多个有源半导体器件。在一种代表性的实施方式中,多个有源半导体区域中的每个可包含所述多个有源半导体器件中的一部分。在特定实施方式中,第二开口可限定出内表面,所述内表面具有相对于后表面的负角度。在一个实施方式中,第一开口可具有沿着所述后表面在横向方向上的第一宽度,并且至少一个所述导电触点可具有沿着后表面在横向方向上的第二宽度,所述第一宽度大于第二宽度。

[0030] 在一种代表性的实施方式中,所述至少一个第二开口可以是多个第二开口。至少一个导电过孔部可以是多个导电过孔部。至少一个导电互连可以是多个导电互连。至少一个导电触点可以是多个导电触点。在一个实施方式中,第一开口可限定出沟槽形状。多个第二开口可从第一开口延伸到至少相应导电垫的底表面。在特定实施方式中,每个导电触点可以被构造成当横向力施加至相应的导电垫或触点时相对于微电子元件移动。

[0031] 本发明的另一方面提供了一种系统,该系统采用与其他电子装置结合的根据其本发明的前述方面的微电子结构、根据本发明的前述方面的复合芯片或这两者。例如,该系统可以布置于单一外壳内,外壳可以是便携式外壳。根据本发明本方面的优选实施例的系统可以比类似的传统系统更紧凑。

## 附图说明

[0032] 图 1A 和 1B 是示出了根据本发明某一实施例的过孔结构的剖视图和对应的俯视图

图；

[0033] 图 2 是示出了根据另一实施例的过孔结构的剖视图；

[0034] 图 3A 和 3B 是示出了根据本发明某一实施例的加工阶段的剖视图和对应的俯视图；

[0035] 图 4 是示出了根据本发明某一实施例的制作方法中某一阶段的剖视图；

[0036] 图 5A 和 5B 是示出了根据本发明某一实施例的加工阶段的剖视图和对应的俯视图；

[0037] 图 6 是示出了根据本发明某一实施例的加工阶段的俯视图；

[0038] 图 7 是示出了根据本发明的替代性实施例的加工阶段的俯视图；

[0039] 图 8A 和 8B 是示出了根据本发明某一实施例的加工阶段的剖视图和对应的俯视图；

[0040] 图 9 是示出了根据本发明某一实施例的制作方法中某一阶段的剖视图；

[0041] 图 10A 和 10B 是示出了根据本发明某一实施例的加工阶段的剖视图和对应的俯视图；

[0042] 图 11A 和 11B 是示出了根据本发明某一实施例的加工阶段的剖视图和对应的俯视图；

[0043] 图 12A 是示出了根据另一实施例的封装芯片的剖视图；

[0044] 图 12B 是进一步示出了图 12A 所示的封装芯片的俯视图；

[0045] 图 13 是示出了根据本发明某一实施例的过孔结构的剖视图；

[0046] 图 14 是示出了根据本发明某一实施例的过孔结构的剖视图；

[0047] 图 15 是示出了根据本发明某一实施例的过孔结构的俯视图；

[0048] 图 16 是示出了根据本发明某一实施例的内插器过孔结构的剖视图；

[0049] 图 17 是示出了根据替代性实施例的内插器过孔结构的剖视图；

[0050] 图 18 是示出了根据另一替代性实施例的内插器过孔结构的剖视图；

[0051] 图 19A 是示出了根据另一实施例的包括连接到多个较小的开口上的沟槽形开口的过孔结构的透视图；

[0052] 图 19B 是示出了进一步包括导电焊垫和金属互连元件的图 19A 中描述的过孔结构的透视图；

[0053] 图 19C 是示出了从图 19B 的线 19C-19C 剖开的图 19B 中描述的过孔结构的一部分的局部剖视图；

[0054] 图 20 是示出了根据另一实施例的内插器的一部分的透视图；

[0055] 图 21A 和 21B 是示出了根据另一实施例的包括单一大开口和多个较小开口的过孔结构的透视图和透视剖视图；

[0056] 图 22A 和 22B 是示出了根据另一实施例的包括单一大开口和多个较小开口的过孔结构的透视图和透视剖视图；

[0057] 图 23 是根据本发明某一实施例的系统的示意性描述。

## 具体实施方式

[0058] 在这里显示和描述的一些实施方式中，半导体元件中的一些或全部开口是通过将

精细研磨颗粒的喷流引导到半导体元件的表面上而形成的。精细研磨颗粒去除暴露在表面的材料。这里使用的术语喷砂就是指这种过程，而不论研磨颗粒是否包含砂子或作为砂子主要成分的二氧化硅颗粒。利用喷砂在半导体元件中形成一些开口可以减少微电子单元的制造时间和成本，同时还能够在半导体元件的有效表面上获得紧密的开口间隙。

[0059] 图 1A 和 1B 是示出了根据本发明某一实施例可以形成的代表性过孔结构的剖视图和相应的俯视图。在示于图 1A 和 1B 的实施方式中，喷砂可被用于形成半导体元件中的开口中的一或多个。有关示于图 1A 和 1B 的微电子单元的进一步细节将在后面参照图 3A 至 11B 给出。

[0060] 如图 1A 和 1B 中示出的，微电子单元 10 包括具有第一开口 30 和第二开口 40 的半导体元件 20，第一开口 30 从后表面 21 向前表面 22 延伸，部分地穿过半导体元件 20，第二开口 40 从第一开口 30 向导电垫 50 的底表面延伸，导电过孔部 60 在第二开口 40 内延伸，介电区域 70 覆盖于第一开口 30 的内表面 31 上，导电互连部 80 在第一开口 30 内延伸，导电触点 90 电连接到导电互连部 80 上。导电触点 90 可以覆盖于第一开口的内表面 31 上，并且可以整体覆盖于内表面 31 或下表面 45 上或整体覆盖于两者上。在一个例子中，导电触点 90 可以覆盖于半导体元件 20 的后表面 21 上，这里采用的这种表述方式意味着导电触点可以覆盖于后表面的任何部位，包括覆盖于充填在第一开口中的介电区域上。

[0061] 半导体元件 20 可以包括例如可以由硅制成的半导体基板。多个有源半导体器件（例如，晶体管、二极管等）可以布置于有源半导体区域 23 内，有源半导体区域 23 位于前表面 22 上和 / 或下面。半导体元件 20 在前表面 22 和后表面 21 之间的厚度典型地小于  $200\ \mu\text{m}$ ，并且可以远远小于例如  $130\ \mu\text{m}$ 、 $70\ \mu\text{m}$  或者甚至更小。

[0062] 半导体元件 20 可以还包括位于前表面 22 和导电垫 50 之间的介电层 24。介电层 24 使导电垫 50 与半导体元件 20 电绝缘。此介电层 24 可以被称为微电子单元 10 的“钝化层”。介电层 24 可以包括无机或有机介电材料或两者都包括。介电层 24 可以包括电镀保形涂料或其他介电材料，例如可感光聚合体材料，例如防焊掩膜材料。在特定例子中，牺牲层的一部分可被从导电垫 50 的底表面 51 去除，以使得导电元件（例如，导电过孔部 60）可被连接至底表面。在一个例子中，通过朝向半导体元件 20 引导精细研磨颗粒的喷流，牺牲层的一部分可被从前表面 22 去除。

[0063] 第一开口 30 从后表面 21 向前表面 22 延伸，部分地穿过半导体元件 20。通过朝向半导体元件 20 引导精细研磨颗粒的喷流（即，喷砂），第一开口 30 可被形成。第一开口 30 包括内表面 31，内表面 31 从后表面 21 开始以与后表面 21 限定的水平面成  $0$  和  $90$  度之间的某一角度延伸通过半导体元件 20。内表面 31 可以具有恒定的斜度或变化的斜度。例如，内表面 31 相对于后表面 21 限定的水平面的角度或斜度可以随着内表面 31 向前表面 22 渐远地穿透而减小量值（也就是，正或负的数值减小）。

[0064] 如图 1A 所示，第一开口 30 在后表面 21 具有宽度  $W_1$ ，在下表面 45 具有小于宽度  $W_1$  的宽度  $W_2$ ，以使第一开口沿从后表面向下表面的方向逐渐缩窄。在其他实例中，第一开口可以具有不变的宽度，或者第一开口可以沿从下表面向后表面的方向逐渐缩窄。

[0065] 第一开口 30 可以从后表面 21 向前表面 22 延伸过半途，以使第一开口 30 沿垂直于后表面 21 的方向的高度大于第二开口 40 的高度。

[0066] 第一开口 30 可以具有任意的俯视形状，包括例如具有多个第二开口 40 的矩形沟

槽,如图 1B 所示的。在某一实施例中,例如在图 19 中示出的内插器 (interposer) 实施例中,第一开口 30 可以具有圆形的俯视形状。在图 1B 所示的实施例中,第一开口 30 在沿后表面 21 的第一横向方向上具有宽度,并且第一开口 30 在沿后表面 21 的垂直于第一横向方向的第二横向方向上具有长度,所述长度大于宽度。

[0067] 第二开口 40 可以从第一开口 30 延伸至导电垫 50 的底表面 51。第二开口 40 可被形成,例如,通过湿式蚀刻。如图 1A 中所示,第二开口 40 在第一开口 30 的下表面 45 具有宽度  $W_3$ ,在导电垫 50 的底表面 51 具有宽度  $W_4$ ,以使第二开口沿从第一开口向导电垫的底表面的方向逐渐减小。

[0068] 在其他实例中,第二开口可以具有不变的宽度,或者,第二开口可以沿从前表面向第一开口的方向逐渐减小(例如,在图 16-18 中示出的内插器实施例中)。在这样的内插器实施方式中,第二开口 40 可通过喷砂形成。

[0069] 内表面 41 可以具有恒定的斜度或变化的斜度。例如,内表面 41 相对于后表面 21 限定的水平面的角度或斜度可以随着内表面 41 从导电垫 50 的底表面 51 向着后表面 21 渐远地穿透而减小量值(也就是,正或负的数值减小)。

[0070] 第二开口 40 可以从导电垫 50 的底表面 51 向前表面 22 延伸小于半途,以使第二开口 40 沿垂直于后表面 21 的方向的高度小于第一开口 30 的高度。

[0071] 第二开口 40 可以具有任意的俯视形状,包括例如图 1B 所示的圆形形状。在某一实施例中,例如在图 8A 至 11B 示出的实施例中,第二开口 40 可以具有正方形、长方形或其他的带角的俯视形状。

[0072] 任意数目的第二开口 40 可以从单一的第一开口 30 开始延伸,并且第二开口 40 可以在单一的第一开口 30 内布置为任意的几何构型。例如,十四个第二开口 40 可以沿一个公共轴线布置,如图 1B 中所示,或者七个第二开口 40 可以沿一个公共轴线布置,如图 12B 中所示。在某一实施例中,例如在图 8A 至 11B 示出的实施例中,可以在两个平行列中布置四个第二开口 40。在另一实施例中,例如在图 22A 和 22B 示出的实施例中,可以具有布置成一群的四个第二开口 40。在另一实施例中,例如在图 19B 示出的实施例中,可以具有从单一沟槽形第一开口 30 开始延伸的第二开口 40 的两个平行列。各种第一和第二开口构型的特殊实例和形成这些构型的方法在被并入在此的共同所有的美国专利公开文献 No. 2008/0246136 中描述了。

[0073] 如图 1A 和 1B 中可以看出,半导体元件 20 包括暴露于半导体元件 20 的前表面 22 上的一个或多个导电垫 50。虽然没有在图 1A 和 1B 中特别示出,但有源半导体区域 23 中的有源半导体器件典型地被导电地连接到前导电垫 50 上。因而,通过在半导体元件 20 的一个或多个介电层内部或上方引入的电线,可以导电地连接到有源半导体器件。在某些实施例中,触点垫可以不直接暴露于半导体元件的前表面处。相反,触点垫可以被电连接到电迹上,该电迹延伸至暴露于半导体元件前表面的端子上。导电垫 50 可以由任意导电金属制成,包括例如铜或金。

[0074] 如在此公开中所使用的,导电元件被“暴露于”介电元件的表面处的说法表示该导电元件可以与从介电元件外部开始沿垂直于该介电元件表面的方向朝向该介电元件的表面移动的理论点接触。因此,暴露于介电元件表面处的端子或其他导电元件可以从此表面上突出;可以与此表面平齐;或者可以相对于此表面凹入并且通过介电元件中的孔或凹陷

部而暴露。类似地,所谓的导电元件“暴露在”半导体元件的表面处是指导电元件可被从介电元件外侧沿着垂直于半导体元件表面的方向移动的理论点接触到。暴露在半导体元件的表面处的端子或其它导电元件可从该表面突出;可与该表面平齐;或者可以相对于该表面凹入并且通过半导体元件中的开口、孔或凹陷暴露出来。

[0075] 虽然本质上可用于制作导电元件的任意技术可以用来制作此处所描述的导电元件,但也可以使用非光刻技术(non-lithographic technique),非光刻技术在与本申请同日提交的名称为“Non-Lithographic Formation of Three-Dimensional Conductive Elements”的共同未决申请(代理公司案卷号 No. Tessera 3.0-614)中更详细地介绍了。例如,这种非光刻技术可以包括利用激光或利用机械加工,例如磨削或喷沙,选择性地处理表面,以沿导电元件将要被形成的路径处理该表面的部分,该部分与表面的其他部分不同。例如,激光或机械加工可以用于只沿特殊路径从该表面上切除或去除材料,例如牺牲层,并因此形成沿该路径延伸的槽。然后,可以在槽内堆积材料例如催化剂,并且可以在槽内堆积一个或多个金属层。

[0076] 导电过孔部 60 在第二开口 40 内延伸,并且与导电垫 50 和导电互连部 80 电连接。导电过孔部 60 接触导电垫 50 的底表面 51。导电垫 50 至少部分地覆盖于导电过孔部 60 上。

[0077] 如图 1A 中所示,导电通孔 60 可以在介电层 25 里面充满第二开口 40 内的全部体积,介电层 25 使半导体元件 20 与导电通孔 60 电绝缘。换句话说,在第二开口 40 内在介电层 25 中延伸的第二缝隙 74 与第二开口 40 的轮廓相符,并且导电通孔 60 与第二开口 40 的轮廓相符。

[0078] 在其他实施例中,例如在图 2 示出的实施例中,位于第二开口内的导电互连部的导电过孔部部分可以具有圆柱形或截头圆锥形状。导电过孔部 60 可以由金属或金属的导电复合物制成,包括例如铜或金。

[0079] 介电区域 70(和介电层 25)可以提供相对于半导体元件 20 的良好的介电绝缘。介电层 25 可被沉积,例如,通过电解电解聚合物沉积。

[0080] 介电区域 70 可以是顺应性的,其具有足够低的弹性模量和足够的厚度,以使模量和厚度的乘积提供顺应性。特别地,这种顺应性的介电区域 70 可以允许导电互连部 80 和连接到其上的导电触点 90,在外部载荷施加到导电触点 90 上时,相对于半导体元件 20 稍微弯曲或移动。这样,微电子单元 10 的导电触点 90 和电路板的端子(图中未示出)之间的焊接可以更好的承受由于微电子单元 10 和电路板之间的热膨胀系数(CTE)的不匹配而引起的热应变。

[0081] 在所示实施例中,介电区域 70 的外表面 72 位于半导体元件 20 的后表面 21 所限定的平面内。在其他实施例(图中未示出)中,介电区域 70 的外表面 72 可以在半导体元件 20 的后表面 21 所限定的平面上方延伸。

[0082] 第一缝隙 71 设置于介电区域 70 内。第一缝隙 71 具有圆柱形状并且从导电触点 90 的底表面 91 向导电过孔部 60 延伸通过介电区域 70。在其它实施例中(图中未示出),第一缝隙 71 在距离后表面 21 不同的距离处可以具有其他形状,包括例如截头圆锥形状或圆柱形和截头圆锥形状的组合。在所示实施例中,第一缝隙 71 的轮廓(也就是第一缝隙 71 的外表面的形状)与第一开口 30 的轮廓(也就是,第一开口 30 的内表面 31 的形状)不相

符。

[0083] 导电互连部 80 在第一开口 30 内第一缝隙 71 里面延伸,并与导电过孔部 60 和导电触点 90 电连接。如图 1A 中所示,导电互连部 80 具有圆柱形状。在其它实施例中(图中未示出),导电互连部 80 在距离后表面 21 不同的距离处可以具有其他形状,包括例如截头圆锥形状或圆柱形和截头圆锥形状的组合。在所示实施例中,导电互连部 80 的轮廓(也就是导电互连部 80 的外表面的形状)与第一开口 30 的轮廓(也就是,第一开口 30 的内表面 31 的形状)不相符。导电互连部 80 可以由任意导电金属制成,包括例如铜或金。

[0084] 如图 1A 所示,导电互连部 80 是实心的。在其它实施例中(图中未示出),导电互连部可以包括充填介电材料的内部空间。例如,导电互连部 80 可以如下所述地形成:电镀延伸通过介电区域 70 的第一缝隙 71 的内表面 73,以生成覆盖于第一缝隙 71 的内表面 73 上的导电层。导电互连部 80 可以根据加工条件形成为实心或中空。在合适的加工条件下,可以形成包括内部空间的导电互连部,然后可以用介电材料充填该内部空间,由此,在第一缝隙 71 内介电层覆盖于导电层上。

[0085] 如图 1A 所示,导电互连部 80 和导电过孔部 60 可以具有不同的形状,其中,导电互连部 80 的外表面 81 在朝向导电过孔部 60 的上表面 61 的过渡点处具有倾斜断点。换句话说,第一开口 30 内的第一缝隙 71 的宽度  $W_5$  相对于第二开口 40 内的第二缝隙 74 在第一缝隙和第二缝隙汇合处的宽度  $W_6$  形成阶梯式变化。

[0086] 导电触点 90 被暴露于介电区域 70 的外表面 72 上,以与外部元件互连。导电触点 90 在其底表面 91 上电连接到导电互连部 80。

[0087] 导电触点 90 可以与第一开口 30 对正,并且可以整体或部分放置于由第一开口 30 限定的半导体元件 20 的区域内。如在图 1A 中可以看出,导电触点 90 整体布置于第一开口 30 限定的区域内。导电触点 90 的顶表面 92 限定的平面大体平行于半导体元件 20 的后表面 21 限定的平面。

[0088] 如图所示,导电触点 90 的底表面 91 位于半导体元件 20 的后表面 21 限定的平面上方。在其他实施例中,导电触点 90 的底表面 91 可以位于后表面 21 限定的平面上或下面。

[0089] 如图所示,导电触点 90 具有导电焊垫,例如薄型平面构件,的形状。在其他实施例中,导电触点可以是包括例如导电柱的导电触点的任意其他形状。

[0090] 如图所示,第一开口 30 在沿后表面 21 的横向方向上具有第一宽度,并且导电触点 90 的至少一个在该横向方向上具有第二宽度,该第一宽度大于该第二宽度。

[0091] 在一些实施例中,导电结合材料可以暴露于导电触点 90 的表面处,以与外部元件互连。

[0092] 现在参考图 2,其示出了根据另一实施例的过孔结构的剖视图。微电子单元 110 类似于上面描述的微电子单元 10,但微电子单元 110 的不同方面在于:介电区域的结构和导电垫与导电触点之间的电连接的配置。

[0093] 不同于具有单独的导电互连部和导电过孔部,微电子单元 110 包括在导电垫 150 和导电触点 190 之间延伸的单一整体导电互连部 178。导电互连部 178 包括从导电触点 190 延伸通过第一开口 130 的导电互连部分 180 和从导电垫 150 开始延伸通过第二开口 140 的导电过孔部部分 160。

[0094] 在某一实施例中,微电子单元 110 可以包括涂布于第一开口 130 的内表面 131、第

二开口 140 的内表面 141 和半导体元件 120 的后表面 121 上的单一整体介电区域 170。介电区域 170 可以还充满内表面 131 和 141 和导电互连部 178 之间的空间。可替代地,介电区域 170 可以包括两层或更多层材料。

[0095] 为了形成单一的导电互连部 178,介电区域 170 被应用于第一开口 130 和第二开口 140 内部,缝隙 171 被制作成朝向导电垫 150 的底表面 151 延伸通过介电区域 170,例如通过激光烧蚀或机械钻孔,并且缝隙 171 被电镀导电金属例如铜或金。类似于图 1A 中示出的导电互连部 80,导电互连部 178 可以是实心的或者可以包含充填介电材料的内部空间。

[0096] 在图 2 示出的实施例中,在第二开口 140 里面在介电区域 170 内延伸的缝隙 171 的部分 174 与第二开口 140 的轮廓不相符。并且导电通孔 160 与第二开口 140 的轮廓不相符。

[0097] 参考图 3A,微电子单元 210 可以通过晶圆级加工同时进行加工,也就是,在多个微电子单元 210 保持连接在一起作为晶圆的一部分或者作为整个半导体器件晶圆时,同时对该多个微电子单元 210 进行加工。在到达图 11A 示出的加工阶段后,例如,可以沿切割线 212 和在图 3A 的视图中看不到的其他切割线将晶圆切成单独封装的微电子单元 210。

[0098] 现在关于图 3A 至 11B 描述同时制作多个微电子单元 210(图 11A)的方法。在示于图 3A 至 11B 的实施方式中,喷砂可被用于形成半导体元件中的开口中的一或多个。如图 3A 所示,半导体器件晶圆 200 或器件晶圆 200 的部分包含多个微电子单元 210。每个微电子单元 210 包括具有一个或多个有源半导体区域 223 和导电垫 250 的半导体元件 220。

[0099] 切割线 212 表示单个微电子单元 210 之间的分界线处的切割线位置。器件晶圆 200 的切割线 212 不需要非常宽。微电子单元 210 的导电垫 250 的位置可以从切割线间隔开。切割线 212 的典型宽度约为  $40\ \mu\text{m}$ (微米)。

[0100] 如图 3B 的俯视图所示出的,微电子单元 210 的原始后表面 218 位于微电子单元 210 的前表面 222 上面。理想地,在此加工阶段,原始后表面 218 被器件晶圆 200 的原始厚度 219 均匀地从微电子单元 210 的前表面 222 隔开。在朝向器件晶圆 200 的原始后表面 218 看过去的图 3B 中表示出了位于器件晶圆 200 下方的导电垫 250 和切割线 212 的位置。

[0101] 在加工过程中,可以减小器件晶圆 200 的前表面 222 和原始后表面 218 之间的厚度。从原始后表面 218 上进行磨削、打磨或抛光或者他们的组合可以用于减小此厚度。在这个步骤中,作为一个实例,器件晶圆 200 的原始厚度 219 可以从约  $700\ \mu\text{m}$  减小至约  $130\ \mu\text{m}$  或更小的厚度 226(图 4)。

[0102] 接着,如图 5A 所示,可以在器件晶圆 200 内形成第一开口 230,其从器件晶圆 200 的后表面 221 向着前表面 222 向下延伸。第一开口 230 可以例如通过如下所述地制成:例如,在希望从半导体元件 220 去除材料(例如,硅)的部位朝向器件晶圆 200 引导精细研磨颗粒的喷流。

[0103] 这种喷砂过程可被用于在单一的器件晶圆 200 中形成多个第一开口 230。例如,通过引导颗粒通过掩膜元件例如金属模板或牺牲掩膜层中的具有适宜尺寸的开口,各个第一开口 230 可在一次喷砂操作同时被形成。或者,各个第一开口 230 可通过下述步骤依次形成:将喷砂工具的喷嘴以步进方式在晶圆上方的各个位置之间移动,在各个站之间移动时暂停颗粒流。还有一种可能是利用喷砂同时形成一些彼此靠近的开口,然后将喷砂喷嘴移动到晶圆上的不同位置并且重复喷砂过出。

[0104] 精细研磨颗粒可以是,例如,氧化铝或碳化硅。精细研磨颗粒的平均颗粒尺寸可以是,例如,至少 1 微米。精细研磨颗粒的喷流中可以包含气体介质或液体介质。一种代表性的气体介质可以是,例如,压缩空气或氮气。

[0105] 在一个实施方式中,第一开口 230 可通过喷砂被形成,例如,在器件晶圆 200 上在微电子单元 210 的后表面 221 上的希望保留的部位处形成了牺牲掩膜层例如抗蚀掩膜层(未示出)之后。例如,光刻可被用于图案化抗蚀掩膜层以仅覆盖后表面 221 上的一部分,然后,喷砂可被执行以形成第一开口 230。

[0106] 每个第一开口 230 具有下表面 232,其是平面且典型地距离前表面 222 等距。从后表面 221 朝向下表面 232 向下延伸的第一开口 230 的内表面 231 可以被制成倾斜的,也就是可以以与后表面 221 成法向角度(直角)之外的某一角度延伸,如图 5A 所示。

[0107] 例如,当喷砂被用于形成第一开口 230 时,第一开口 230 的内表面 231 的壁角度(即,与后表面 221 限定的水平轴线之间的平均角度 235)可以是,例如,60 和 100 度之间,其中 90 度的角度垂直于后表面,并且典型地可以是大约 75 度。

[0108] 可替代地,不是制成斜面,第一开口 230 的内表面可以从后表面 221 开始沿着与后表面 221 大体呈直角的竖直或沿大体竖直方向向下延伸。

[0109] 每个第一开口 230 的内表面 231 和下表面 232 可以具有大的表面粗糙度。例如,内表面 231 和下表面 232 的表面粗糙度可以具有大于 1 微米的表面粗糙度。内表面 231 和下表面 232 的表面粗糙度可以在其各个部位是一致的或是不一致的。内表面 231 和下表面 232 可以在其一些或所有部位具有预应力硅。在一些实施方式中,内表面 231 和下表面 232 可被蚀刻以便去除一些或全部预应力硅区域。

[0110] 如图 5A 和 5B 所示,第一开口 230 位于两个微电子单元 210 上的四个导电垫 250 上方,以便当微电子单元 210 被沿切割线 212 从彼此上切下时,第一开口 230 的半体将会处于每一个微电子单元 210 上。如在说明书和权利要求中所使用的,术语“第一开口”可以表示整体位于单个微电子单元(例如在图 12A 和 12B 中示出的)上的第一开口,当第一开口形成时,其跨过多个微电子单元 210 延伸(例如在图 3A 至 11B 中所示),或者当第一开口的一部分被从其他微电子单元 210 上切下时,其位于某一特定微电子单元 210 上。

[0111] 在器件晶圆 200 上形成第一开口 230 之后,感光层例如光致抗蚀剂或介电层被堆积在器件晶圆 200 的后表面 221 上,并且制成图案以形成掩膜开口 233,掩膜开口 233 位于下表面 232 上方并且至少部分地位于导电垫 250 上方。感光层或介电层上的掩膜开口 233 位于希望的位置上,以形成在第一开口 230 和相应的导电垫 250 的底表面 251 之间延伸的第二开口 240。在通过喷砂形成第二开口 240 的实施方式中,被图案化以形成掩膜开口 233 的掩膜可以是牺牲层,例如,抗蚀掩膜层。

[0112] 现在参考图 6,第一开口 230 可以被形成为在与切割线 212 对正的器件晶圆上方沿竖直方向 202 延伸的条或沟槽。如在图 6 中最佳看到的,沿与竖直延伸的切割线 212 对正的器件晶圆的竖直方向 202 延伸的细长的第一开口 230 被理想地同时形成了。这些竖直延伸的第一开口 230 可以被形成为只沿相应的微电子单元 210 对的切割线 212 延伸。在这种情况下,在竖直切割线 212 和沿器件晶圆 200 的水平方向 204 延伸的水平切割线 214 之间的交叉点处,第一开口 230 可以不处于微电子单元 210 的拐角部分上方。在另一实例中,水平延伸的第一开口 230 可以被形成为位于与每个微电子单元 210 的水平切割线 214 相邻的

导电垫 250 的上方。竖直延伸的第一开口 230 和水平延伸的第一开口 230 可以形成于器件晶圆 200 上。

[0113] 在某一特殊实例中,第一开口 230 可以形成为位于仅与一个限定微电子单元 210 的切割线 212 相邻的导电垫 250 上方。在另一实例中,第一开口 230 可以形成为仅位于两个微电子单元 210 的切割线 212 上方,或者仅位于三个或更多个限定微电子单元 210 的切割线 212 上方。在某一实例中,可以形成小于如图 6 所示的第一开口 230,以使第一开口 230 仅位于与器件晶圆 200 的切割线 212 相邻的一些导电垫 250 或导电垫 250 的列上方。在另一实例中,如图 7 中所示出的,与切割线 212 对正的第一开口 230 可以延伸成器件晶圆 200 的各个边缘 206 和 208 之间的条。

[0114] 之后,如图 8A 和 8B 所示出的,可以对暴露于掩膜开口 233 内的下表面 232 的部分应用蚀刻处理,以除去位于掩膜开口 233 下面的半导体材料。因此,第二开口 240 被形成为在下表面 232 和与其接触的导电垫 250 之间延伸。

[0115] 湿式蚀刻加工,例如利用锥形刀片进行各向同性蚀刻处理和锯切,可以用于形成具有倾斜内表面 241 的第二开口 240。激光切分,机械铣销,等等,也可以用于形成具有倾斜内表面 241 的第二开口 240。在一些实施方式中,各向异性蚀刻工艺,激光切分,激光钻销,机械去除工艺,例如,锯切,铣销,超声加工,等等,可被用于形成具有大致竖直内表面的第二开口。

[0116] 在通过湿式蚀刻工艺形成第二开口 240 的实施方式中,蚀刻角度可以是,例如,大约 55 度。或者,第二开口 240 可通过喷砂被形成(例如,在下面参照图 16 至 22B 显示和描述的实施方式中)。

[0117] 蚀刻处理可以选择性地蚀刻半导体材料例如硅但保留氧化物材料的方式进行。典型地,前面触点,例如半导体元件的导电垫 250,覆盖于用作钝化层的一层或多层氧化物材料或其他介电材料上,以与半导体元件电绝缘。通过以保留电介质的选择性方式蚀刻半导体材料,可以根据需要进行过度蚀刻(over-etching),以在器件晶圆 200 的所有位置蚀刻整个半导体材料的厚度,同时保持跨过器件晶圆 200 的足够的操作范围(process window)。当使用选择性的蚀刻处理时,在形成第二开口 240 之后,介电层例如氧化物层仍保持于位置上。可替代地,激光打孔或机械磨削可以用于形成第二开口 240,在这种情况下,导电垫 250 的底表面 251 可以暴露于第二开口 240 内。

[0118] 其后,在图 9 中示出的加工阶段,介电层 225 被形成于第二开口 240 的内表面 241、第一开口 230 的内表面 231 和半导体元件 220 的后表面 221 上。不同的方法可以用于形成介电层 225。在某一实例中,可流动介电材料被应用到包含微电子单元 210 的器件晶圆 200 的后表面 221 上,并且在“旋涂”操作过程中,可流动材料被跨过器件晶圆 200 的后表面 221 进行更均匀地分布,之后的干燥循环可以包括加热。在另一实例中,可以在器件晶圆 200 的后表面 221 上应用介电材料的热塑性膜,之后加热该组件,这使得热塑性膜向下流动到第一开口 230 的内表面 231 和下表面 232 上并流入第二开口 240。在另一实例中,可以利用蒸汽沉积形成介电层 225。

[0119] 在另一实例中,包括器件晶圆 200 的组件浸入介电沉积浴槽中,以形成共形介电层或介电层 225。如此处使用的,“共形涂层”是与被涂覆表面轮廓相符的特殊材料涂层,例如当介电层 225 与半导体元件 220 的第一开口 230 或第二开口 240 的轮廓相符时。电化学

沉积方法可以用于形成共形介电层 225, 包括例如电泳沉积或电解沉积。

[0120] 在某一实例中, 电泳沉积技术可以用于形成共形介电层, 以使共形介电层只沉积在组件的暴露导电和半导电表面上。在沉积过程中, 半导体器件晶圆被保持在期望的电势, 并且电极浸入浴槽中, 以将浴槽保持于不同的期望的电势。组件然后被以适宜的条件保持在浴槽中充足的时间, 以在所述器件晶圆的导电或半导电的暴露表面上形成电沉积的共形介电层 225, 包括但不仅限于沿着后表面 221、第一开口 230 的内表面 231 和下表面 232 和第二开口 240 的内表面 241。只要在将被如此涂覆的表面和浴槽之间保持充分强的电场, 就会发生电泳沉积。电泳沉积涂层是自我限制的, 因为在电泳沉积涂层到达由参数, 例如其沉积的电压、浓度等, 控制的某一厚度后, 沉积就会停止

[0121] 电泳沉积在组件的导电和 / 或半导电外表面上形成连续和均匀厚度的共形涂层。此外, 电泳涂层可以被沉积, 以使其不形成在覆盖于导电垫 250 的底表面 251 上的剩余介电层上, 这是因为其具有介电 (不导电) 特性。换言之, 电泳沉积的特点是, 假如介电材料层具有足够的厚度, 则由于其具有介电特性, 就不会在覆盖于导体的介电材料层上形成电泳沉积。典型地, 电泳沉积不会发生在厚度大于大约 10 微米至几十微米的介电层上。共形介电层 225 可以由阴极环氧树脂沉积前体形成。可替代地, 聚氨酯或丙烯酸酯沉积前体可被使用。各种电泳涂层前体成分和供应源列举在下面的表 1 中。

[0122] 表 1

[0123]

电泳漆名称	POWERCRON 645	POWERCRON 648	CATHOGUARD 325
制作商信息			
制作商名	PPG	PPG	BASF
类型	阴极	阴极	阴极
聚合物基材	环氧树脂	环氧树脂	环氧树脂
地点	宾夕法尼亚州匹兹堡	宾夕法尼亚州匹兹堡	迈阿密州南菲尔德
涂布数据			
无 Pb/Pf	无 Pb	无 Pb 或 Pf	无 Pb
有害空气污染物,g/L		60-84	符合规定
挥发性有机物, g/L(去掉水)		60-84	<95
固化	20 分钟/175°C	20 分钟/175°C	

[0124]

膜特性			
颜色	黑	黑	黑
厚度, $\mu\text{m}$	10-35	10-38	13-36
铅笔硬度计硬度		2H+	4H
浴槽特性			
固体,%重量	20(18-22)	20(19-21)	17.0-21.0
pH 值(25 $^{\circ}\text{C}$ )	5.9(5.8-6.2)	5.8(5.6-5.9)	5.4-6.0
导电率(25 $^{\circ}\text{C}$ ), $\mu\text{s}$	1000-1500	1200-1500	1000-1700
P/B 比	0.12-0.14	0.12-0.16	0.15-0.20
操作温度, $^{\circ}\text{C}$	30-34	34	29-35
时间,秒	120-180	60-180	120+
阳极	SS316	SS316	SS316
电压,伏		200-400	>100
电泳漆名称	ELECTROLAC	LECTRASEAL DV494	LECTROBASE 101
制作商信息			
制作商名	MACDERMID	LVH COATINGS	LVH COATINGS
类型	阴极	阳极	阴极
聚合物基材	聚氨酯	聚氨酯	聚氨酯
地点	康涅狄格州沃特伯里	英国伯明翰	英国伯明翰
涂布数据			
无 Pb/Pf		无 Pb	无 Pb
有害空气污染物,g/L			
挥发性有机物, g/L(去掉水)			
固化	20 分钟/149 $^{\circ}\text{C}$	20 分钟/175 $^{\circ}\text{C}$	20 分钟/175 $^{\circ}\text{C}$
膜特性			
颜色	透明(+颜料)	黑	黑
厚度, $\mu\text{m}$		10-35	10-35
铅笔硬度计硬度	4H		
浴槽特性			

[0125]

固体, %重量	7.0(6.5-8.0)	10-12	9-11
pH 值 (25°C)	5.5-5.9	7-9	4.3
导电率 (25°C), $\mu\text{s}$	450-600	500-800	400-800
P/B 比			
操作温度, °C	27-32	23-28	23-28
时间, 秒			60-120
阳极	SS316	316SS	316SS
电压, 伏	40, 最大值		50-150

[0126] 在另一实例中,介电层可以被电解形成。除沉积层的厚度不由形成其的导电或半导电表面的接近度限制之外,此过程类似于电泳沉积。这样,电解沉积的介电层可以被形成根据需要的厚度,并且处理时间是获得的厚度的因素。

[0127] 仍然参考图 9,导电过孔部 260 形成于第二开口 240 内。导电过孔部 260 电连接到导电垫 250 的底表面 251 上,并通过介电层 225 与半导体元件 220 绝缘。如果前面的处理造成介电层 225 遮住了导电垫 250 的底表面 251,则可以使用激光打孔、机械磨削或其他适合的技术打开与导电垫 250 相邻的第二开口 240 的底部。

[0128] 另外,如果半导体元件 220 的先前存在的介电层(例如钝化层)的任一部分仍与导电垫 250 对正,可以在此步骤中去除该层。这个去除可以通过例如激光打孔、机械磨削或其他适合的技术实现。其他可能的去除技术包括各种选择性蚀刻技术,其本质上可以是各项同性或各项异性的。各项异性蚀刻过程包括反应性离子蚀刻过程,其中离子流被朝向将被蚀刻的表面引导。为了使离子以高入射角撞击的表面被蚀刻的程度高于沿着离子流定向的表面,反应性离子蚀刻过程的可选择性通常低于各项同性蚀刻过程。当反应性离子蚀刻过程被使用时,理想地,掩膜层优选沉积成覆盖于共形介电层 225 上,并且在其中形成与第二开口 240 对正的开口。通过这种方式,蚀刻过程避免去除不在第二开口 240 内的介电层 225 的部分。

[0129] 为了形成导电过孔部 260,示例性方法包括通过在组件的暴露表面上溅镀初级金属层,或通过化学沉积,而沉积出金属层。机械沉积可以包括将高速的加热的金属颗粒流引导至被涂覆的表面。例如,此步骤可以通过均厚沉积到后表面 221、第一开口 230 的内表面 231 和下表面 232、第二开口 240 的内表面 241 和导电垫 250 的底表面 251 上而实现。在某一实施例中,基础金属层包括或主要包含铝。在另一特殊实施例中,基础金属层包括或主要包含铜。在另一实施例中,基础金属层包括或主要包含钛。一种或多种其他示例型金属可以用于形成导电过孔部 260 的过程中。

[0130] 参考图 10A 和 10B,介电区域 270 形成于第一开口 230 内。介电区域 270 可以包括无机材料、聚合物材料或两者都包括。可选地,介电区域 270 可以被形成为使该区域的暴露的外表面 272 与半导体元件的后表面 221 或介电层 225 的暴露表面共面或大体共面。例

如,自平面化的介电材料可以沉积于第一开口 230 内,例如通过分配或用蜡纸印刷处理。在另一实例中,在形成介电区域 270 之后,可以在半导体元件的后表面 221 或介电层 225 的暴露表面上应用磨削、打磨或抛光处理,以将介电区域 270 的表面平面化至后表面 221 或介电层 225 的暴露表面。

[0131] 在某一特殊实施例中,介电区域 270 可以是顺应性的,其具有足够低的弹性模量和足够的厚度,以使模量和厚度的乘积提供顺应性。特别地,在某些实施例(例如,关于图 17 示出和描述的实施例)中,这种顺应性的介电可以允许导电互连部和连接到其上的导电触点,在外部载荷施加到导电触点上时,相对于半导体元件稍微弯曲或移动。

[0132] 然后,缝隙 271a 和 271b(或通常,表示成 271) 被形成,在相应的导电过孔部 260 和介电区域 270 的外表面 272 之间延伸通过介电区域 270。缝隙 271 可以例如通过激光烧蚀和任意其他适合的方法形成。如图 10A 中所示,缝隙 271 是圆柱形状的缝隙 271a 或截头圆锥形的缝隙 271b。在其他实施例中(图中未示出),缝隙 271 在距离后表面 221 不同的距离处可以具有其他形状,包括例如圆柱形和截头圆锥形的组合。

[0133] 现在参考图 11A 和 11B,导电互连部 280a 和 280b(或通常,表示为 280) 形成于相应的缝隙 271a 和 271b 内。导电互连部 280 电连接到相应的导电过孔部 260 的上表面 261 上,并通过介电区域 270 和介电层 225 与半导体元件 220 绝缘。为了形成导电互连部 280,示例型方法包括无电镀沉积。此步骤可以通过均厚沉积于相应的缝隙 271a 和 271b 的内表面 273a 和 273b 上而形成,例如,以使每个导电互连部 280a(圆锥形)和 280b(截头圆锥形)的形状与相应的内表面 273a 和 273b 的轮廓相符。如图 11A 中所示,导电互连部 280a 和 280b 是实心的。在其他实施例中(图中未示出),每个导电互连部 280 可以包括充填介电材料的内部空间。

[0134] 接着,导电触点 290 被形成。导电触点 290 被暴露于介电区域 270 的外表面 272 上,以与外部元件互连。导电触点 290 在其底表面 291 处电连接到相应的导电互连部 280 上。在某些实施例中,导电互连部 280 和导电触点 290 可以在单一的无电镀沉积步骤中形成。在其它实施例中,导电互连部 280 和导电触点 290 可以通过单独的无电镀沉积步骤形成。

[0135] 在某一实施例中,包括导电互连部 280 和/或导电触点 290 的基础金属层包括或主要包含铝。在另一实施例中,基础金属层包括或主要包含铜。在另一实施例中,基础金属层包括或主要包含钛。一种或多种其他示例型金属可以用于形成导电互连部 280 和/或导电触点 290 的过程中。

[0136] 最后,通过锯切或其他切割方法,微电子单元 210 被沿切割线 212 彼此切割开,形成如图 11A-11B 所示出的单独的微电子单元 210。用于将器件晶圆切割成单独的单元的各种示例型处理在被以引用方式并入的共同所有的美国临时专利申请 No. 60/761, 171 和 60/775, 086 中描述了,它们中的任一个可以用于将器件晶圆切割成如图 11A-11B 所示的单独的微电子单元 210。

[0137] 图 12A 和 12B 示出了根据本发明另一实施例的微电子单元。微电子单元 310 类似于上面描述的并在图 2 中示出的微电子单元 110,但微电子单元 310 的不同方面在于:第一开口 330 和第二开口 340 在微电子单元内的位置。类似于上面显示和描述的实施方式,第一开口 330 可通过喷砂被形成。

[0138] 不同于具有位于微电子单元中心的第一开口和朝向微电子单元的外围布置的半导体元件的有源半导体区域,微电子单元 310 包括多个第一开口 330,每个第一开口 330 朝向微电子单元 310 的外围布置,并且有源半导体区域 323 朝向微电子单元 310 的中心布置。

[0139] 在本实施例中,每个第一开口 330 是在一系列单独的第二开口 340 的上方延伸的沟槽形式,每个第二开口 340 朝向导电垫 350 的底表面 351 延伸。在其他实施例中(图中未示出),每个第一开口 330 可以延伸至单一的相应第二开口 340,该单一的相应第二开口 340 延伸至单一的导电垫 350。

[0140] 如图 12B 中所示,每个第一开口 330 延伸通过微电子单元 310 的长度的大部分。在其他实施例中,单一的第一开口 330 可以延伸通过晶圆的长度,跨过多个微电子单元 310,例如在图 7 所示的实施例中。当微电子单元 310 是晶圆形式时,其厚度可以从加工步骤之前的原始厚度被减小,以形成图 12A 和 12B 所示的微电子单元 310。

[0141] 图 13 示出了根据本发明另一实施例的微电子单元。微电子单元 410 类似于上面描述的并在图 2 中示出的微电子单元 110,但微电子单元 410 示出了第一开口 430 的内表面 431 相对于半导体元件 420 的前表面 422 形成的角度 B 如何不同于第二开口 440 的内表面 441 相对于前表面 422 形成的角度 A。

[0142] 第一开口 430 的内表面 431 可以具有以恒定的斜度或变化的斜度。例如,内表面 431 相对于前表面 422 所限定的水平面的角度 B 或斜度可以随着内表面 431 向着前表面 422 渐远地深入而减小。

[0143] 第二开口 440 的内表面 441 也可以具有以恒定的斜度或变化的斜度。例如,内表面 441 相对于前表面 422 所限定的水平面的角度 A 或斜度可以随着内表面 441 向着前表面 422 渐远地深入而减小。

[0144] 例如,在通过喷砂形成第一开口 430 的实施例中,第一开口 430 的内表面 431 的壁角度可以是,例如,60 和 100 度之间,并且可以典型地为大约 75 度。在通过湿式蚀刻处理而形成第二开口 440 的实施例中,蚀刻角度可以例如约为 55 度。

[0145] 图 14 示出了根据另一实施方式的微电子单元。微电子单元 510 类似于上面参照图 2 描述的微电子单元 110,但微电子单元 510 在半导体元件 520 的结构方面的不同点在于第一开口 530 和第二开口 540 之间的界面。

[0146] 与示于图 2 中的使得第一开口 130 的下表面 132 平坦且典型地与前表面 122 等距的结构不同,半导体元件 520 不具有这样的第一开口 530 的下表面。相反,第一开口 530 的内表面 531 的下部直径小于第二开口 540 的内表面 541 的上部直径,以使得内表面 541 与第二开口 540 的上表面 542 汇合,所述上表面 542 是平的且与前表面 522 等距。

[0147] 第二开口 540 的上表面 542 可以认为相对于后表面 521 具有“负角度”。这里为表示第一表面相对于第二表面二使用的术语“负角度”用于意味着第二表面将第一表面“屏蔽”或“遮蔽”而不暴露于沿着从第二表面流过第一表面的部位的方向运行的颗粒流、辐射或气体主流。例如,上表面 542 延伸在内表面 541 的一部分下面,以使得内表面 541 屏蔽或遮蔽上表面 542,使之不遇到沿着从第一开口 530 流入第二开口 540 的方向流动的射束或气体。在这种情况下,第二开口 540 可以称为相对于第一开口 530 具有“后退”形状。尽管采用这种构型,电化学沉积可被用于在后退形状的第二开口 540 的表面上适宜地形成绝缘涂层,因为该涂层是通过湿式工艺形成的,而非暴露于射束或气体,后面这些工

艺较不适合于形成该涂层。

[0148] 图 15 示出了根据另一实施方式的微电子单元。微电子单元 610 类似于上面参照图 1A 描述的微电子单元 10, 但微电子单元 610 在半导体元件 620 的前后表面之间的导电互连的构造上有不同之处。

[0149] 在一个例子中, 不是设置在形成于介电区域内的缝隙中在第一开口内延伸的圆锥形或截头圆锥形导电互连, 而是使导电过孔部 678 在第一开口 630 内延伸并且与第一开口 630 的内表面 631 相符。导电过孔部 678 可以通过延伸穿过设置于第一开口和半导体元件 620 前表面之间的第二开口导电元件 (例如, 导电过孔部或导电互连) 连接至位于半导体元件 620 前表面的导电垫。

[0150] 为了形成导电过孔部 678, 第一开口 630 可被涂覆介电层, 并且导电金属可被沉积在介电层上以产生导电过孔部 678。内部空间 679 可被充填介电区域, 或者, 内部空间 679 可保持敞开并被充填空气。

[0151] 在这种代表性实施方式中, 导电过孔部 678 通过导电迹线 691 连接到导电触点 690, 所述导电迹线 691 沿着半导体元件 620 的后表面 621 延伸在它们之间。

[0152] 图 16 至 22B 示出了根据本发明实施例的各种内插器过孔结构。图 16 示出了根据另一实施例的互连基板。互连基板 810 类似于上面关于图 1 描述的微电子单元 10, 但互连基板 810 不同的方面在于: 互连基板 810 不需要包含有源半导体区域。

[0153] 因为互连基板 810 没有有源半导体区域, 第二开口 840 可以例如通过从前表面 822 进行的蚀刻、喷砂或另一工艺而被形成, 而没有损害芯片的危险。而且, 不同于在前表面 822 上设置导电垫, 导电垫 850 可以在形成第二开口 840 之后形成。例如, 如果第二开口 840 被从前表面 822 形成, 喷砂可被用于去除可能存在于半导体元件 820 的前表面 822 上的无机介电层的一部分。也可以设想将利用喷砂从微电子单元去除无机介电层的一部分的方式用于任一或所有其它这里描述的实施方式。

[0154] 为了制作互连基板 810, 在某一实例中, 可以首先制作第二开口 840, 再涂介电层 825, 并填充导电过孔部 860。然后可通过喷砂形成第一开口 830 并填充介电区域 870。缝隙 871 可以通过介电区域 870 被制作并填充导电互连部 880。最后, 在导电过孔部 860 上附着导电垫 850, 在导电互连部 880 上附着导电触点 890。可替代地, 可以首先制作第一开口 830, 可以之后再制作第二开口 840。导电过孔部 860 可以形成于导电互连部 880 形成之前或之后。

[0155] 图 17 示出了根据另一实施例的互连基板。互连基板 910 类似于上面关于图 16 描述的互连基板 810, 但互连基板 910 不同的方面在于: 介电区域的结构和导电垫和导电触点之间的电连接配置不同。

[0156] 不同于具有单独的导电互连部和导电过孔部, 互连基板 910 包括在导电垫 950 和导电触点 990 之间延伸的单一整体导电互连部 978。导电互连部 978 包括从导电垫 950 开始延伸通过第一开口 930 的导电互连部分 980 和从导电触点 990 开始延伸通过第二开口 940 的导电过孔部部分 960。

[0157] 不同于具有涂覆第二开口 940 的内表面 941 的介电层和填充第一开口 930 的内表面 931 和导电互连部 978 之间的空间的单独的介电区域, 互连基板 910 包括单一的整体介电区域 970, 其涂覆第一开口 930 的内表面 931、第二开口 940 的内表面 941 和半导体元件

120 的后表面 921。介电区域 970 还填充内表面 931 和 941 和导电互连部 978 之间的空间。

[0158] 为了形成单一的导电互连部 978, 介电区域 970 可以应用于第一开口 930 和第二开口 940 内部。缝隙 971 可以被制作为完全延伸通过介电区域 970, 例如通过激光烧蚀。缝隙 971 可以被金属化, 例如电镀金属、金属的导电化合物或电镀两者, 或者通过电镀之外的处理而被金属化, 例如溅射、应用易熔金属例如焊料, 或通过其他方式。在某一实例中, 金属可以是铜、金或两者。导电互连部 978 可以是实心的或者可以是内衬缝隙 971 内表面的导电涂层的形式。导电涂层可以限定内部空间, 该内部空间在某一实例中是空心的, 可以用介电材料覆盖或可以填充介电材料。

[0159] 介电区域 970 可以是顺应性的, 其具有足够低的弹性模量和足够的厚度, 以使模量和厚度的乘积提供顺应性。特别地, 介电区域 970 可以允许导电互连部 978 和连接到其上的导电触点 990 和导电垫 950, 在外部载荷施加到导电触点 990 或导电垫 950 上时, 相对于半导体元件 920 稍微弯曲或移动。这样, 互连基板 910 的导电触点 990 或导电垫 950 和电路板 (图中未示出) 的端子之间的焊接可以更好的承受由于互连基板 910 和电路板之间的热膨胀系数 (CTE) 不匹配而引起的热应变。

[0160] 在某一实施例中, 介电区域 970 的厚度和其弹性模量的乘积提供的顺应程度能够足以补偿施加到导电触点 990 或导电垫 950 上的应变, 该应变是由于互连基板 910 和微电子单元通过导电触点 990 或导电垫 950 安装于其上的基板之间的热膨胀系数不匹配而引起的。可以在介电区域 970 的暴露表面和该电路板之间提供底层填料 (图中未示出), 以增强对 CTE 不匹配引起的热应变的阻抗。

[0161] 图 18 示出了根据另一实施例的互连基板。互连基板 1010 类似于上面关于图 16 描述的互连基板 810, 但互连基板 1010 在导电过孔部 1060 的配置方面不同。

[0162] 在某一实例中, 不同于具有完全充满介电层 1025 所没有占用的第二开口 1040 内的空间的导电过孔部, 导电过孔部 1060 可以沉积为介电层 1025 上的金属层, 以在导电过孔部 1060 内制作内部空间 1027。

[0163] 为了制作互连基板 1010, 例如, 可以首先制作第二开口 1040, 例如通过喷砂, 再涂介电层 1025, 并且导电金属可以沉积于介电层 1025 上以形成导电过孔部 1060。然后, 例如, 通过喷砂制作第一开口 1030, 以暴露导电过孔部 1060 的上表面 1061。之后对第一开口 1030 填充介电区域 1070。缝隙 1071 可以通过介电区域 1070 被制作并填充导电互连部 1080。最后, 在导电过孔部 1060 上连接导电垫 1092, 例如, 通过沿着前表面 1022 延伸的导电迹线 1094。导电垫 1092 可以暴露在前表面 1022 上, 以便互连至另一部件。在另一实施方式中, 导电垫可以省略, 并且结合材料可以布置于导电过孔部 1060 中, 用于将互连基板 1010 连接到另一部件。在一个实施例中, 可在导电互连部 1080 上连接导电垫。

[0164] 图 19A 是示出了根据另一实施例的互连基板的透视图, 该互连基板包括与多个更小的第二开口汇合的沟槽形第一开口。半导体元件 1120 类似于关于图 16-18 所示出并描述的半导体元件 820、920 和 1020, 但半导体元件 1120 具有沟槽形第一开口 1130, 每个第一开口 1130 连接到多个第二开口 1140 上。类似于上面显示和描述的实施方式, 第一开口 1130 和第二开口 1140 可通过例如喷砂形成。或者, 第二开口 1140 可通过蚀刻、激光烧蚀、机械铣削或其它方法形成。

[0165] 图 19B 和 19C 示出了进一步包括导电焊垫和金属互连元件的图 19A 描述的半导体

元件 1120。在图 19B 和 19C 中示出的互连基板 1110 包括具有沟槽形第一开口 1130 的图 19A 所示的半导体元件 1120, 每个第一开口 1130 连接到多个第二开口 1140 上。互连基板 1110 还包括多个导电互连部 1178, 每个导电互连部 1178 连接到半导体元件 1120 的前表面 1122 上的导电垫 1150 和半导体元件 1120 的后表面 1121 上的导电触点 1190 上。

[0166] 在图 19B 和 19C 中可以看出, 每个第一开口 1130、第二开口 1140、导电互连部 1178、导电垫 1150 和导电触点 1190 的结构和配置都类似于上面关于图 17 所示出和描述的结构和配置。

[0167] 图 20 是示出了根据某一实施例的内插器的一部分的透视图。互连基板 1210 类似于关于图 19B 和 19C 所示出和描述的互连基板, 但半导体元件 1220 具有圆形第一开口 1230, 每个第一开口 1230 与单一的第二开口 1240 汇合。

[0168] 图 21A 和 21B 是示出了根据另一实施例的包括单一较大开口和多个较小开口的互连基板结构的透视图和透视剖视图。互连基板 1310 类似于关于图 19B 和 19C 所示出和描述的互连基板, 但半导体元件 1320 具有圆形第一开口 1330, 每个第一开口 1330 与布置于类似群的配置中的四个第二开口 1340 汇合。

[0169] 图 22A 和 22B 是示出了根据另一实施方式的包括单一的大开口和多个较小开口的互连基板结构的透视图和剖切透视图。互连基板 1410 类似于针对图 21A 和 21B 显示和描述的互连基板 1310, 但不同之处在于具有从前表面延伸到后表面的组合的导电互连, 每个第二开口 1440 包含从相应的导电垫 1450 延伸通过第二开口 1440 的截头圆锥形导电过孔部 1460, 而第一开口 1430 包含以迹线的形式沿着第一开口 1430 的内表面 1431 延伸的多个导电互连 1480。

[0170] 每个导电互连 1480 可以从相应的导电过孔部 1460 延伸至半导体元件 1420 的后表面 1421 处的相应的导电触点 1490, 并且通过介电材料与每个其它导电互连 1480 和导电过孔部 1460 隔离。或者, 在示于图 22B 的改型中, 导电互连 1480 可以彼此电连接, 例如, 通过沿着第一开口 1430 的下表面 1432 在导电互连 1480 之间延伸的金属 (未示出)。

[0171] 在这个实施方式中, 每个导电互连 1480 与第一开口 1430 的内表面 1431 和下表面 1432 的轮廓相符, 尽管每个导电互连 1480 与内表面 1431 和下表面 1432 之间通过共形涂覆的介电材料 (未示于图 22B, 并且在图 22A 中被遮住) 而分隔开。电化学沉积方法可被用于形成共形介电层, 包括例如, 电泳沉积或电解沉积。如示于图 22A, 介电区域 1470 可以充填第一开口 1430 中的未被导电互连 1480 或前述介电层占据的剩余部分, 以使得外表面 1472 延伸在半导体元件 1420 的后表面 1421 限定的平面上方并与该平面平行。

[0172] 类似于上面针对图 19A-19C 显示和描述的实施方式, 示于图 20 至 22B 的第一开口 1230、1330 和 1430 和第二开口 1240、1340 和 1440 可通过喷砂而形成。或者, 第二开口 1240、1340 和 1440 可通过蚀刻、激光烧蚀、机械铣削或其它方法而形成。

[0173] 此处公开的用于形成半导体元件上的过孔结构的方法可以应用于微电子基板, 例如单一的半导体芯片, 或者可以同时应用于多个单独的半导体芯片, 这些单独的半导体芯片可以被保持于固定结构上限定的间距处或保持于载体上, 以同时进行处理。可替代地, 此处公开的方法可以应用于包括多个半导体芯片的微电子基板或元件, 这些半导体芯片被以晶圆或晶圆一部分的形式连接到在一起, 以在晶圆级、平板级或条级的规模上关于多个半导体芯片同时进行如上所述的处理。

[0174] 上面描述的结构提供了特别的三维互连性能。这些性能可以与任一类型的芯片一起使用。仅仅通过实例,下面的芯片组合可以包括于上述的结构中:(i) 处理器和与处理器一起使用的存储器;(ii) 相同类型的多个存储器芯片;(iii) 不同类型的多个存储器芯片,例如 DRAM 和 SRAM;(iv) 用于处理来自传感器的图像的图像传感器和图像处理器;(v) 特殊应用的集成电路(“ASIC”)和存储器。

[0175] 上面描述的结构可以用于各种电子系统的结构中。例如,根据本发明另一实施例的系统 1500 包括与其他电子部件 1508 和 1510 连接的如上所述的结构 1506。在所描述的实例中,部件 1508 是半导体芯片,而部件 1510 是显示屏,但也可以使用任意其他的部件。当然,虽然为了清楚起见在图 23 中仅描述了两个另外的部件,但本系统可以包括任意数目的这种部件。如上所述的结构 1506 可以是例如上面关于图 1A 所述的微电子单元,或并入多个微电子单元的结构。在另一变异中,这两者都可以被提供,并且可以使用任意数目的这种结构。

[0176] 结构 1506 和部件 1508 和 1510 被安装于用虚线示意性表示出来的公共外壳 1501 内,并且相互之间必要地电连接在一起形成需要的电路。在图示的示例性系统中,系统包括电路板 1502 例如挠性印刷电路板,并且电路板包括很多使部件互连的导体 1504,其中在图 23 中只表示出一个。但是,这仅仅是示例性的,用以制作电连接的任意适当的结构都可以使用。

[0177] 外壳 1501 被描述为例如可在移动电话或个人数字助理中使用的类型的便携式外壳,屏幕 1510 暴露于外壳的表面上。其中,结构 1506 包括光感元件例如成像芯片,透镜 1511 或其他光学器件也可以设置,用以提供光路到该结构上。再者,在图 23 中示出的被简化的系统仅仅是示例性的,利用上述结构可以制作其他系统,包括通常被认为是固定结构例如台式计算机、路由器和类似结构的系统。

[0178] 此公开的过孔和过孔导体可以通过下述处理过程形成,例如在与本申请同日提交的名称为“MICROELECTRONIC ELEMENTS HAVING METALLIC PADS OVERLYING VIAS”、“MICROELECTRONIC ELEMENTS WITH REAR CONTACTS CONNECTED WITH VIA FIRST OR VIA MIDDLE STRUCTURES”、“NON-LITHOGRAPHIC FORMATION OF THREE-DIMENSIONAL CONDUCTIVE ELEMENTS”、“ACTIVE CHIP ON CARRIER OR LAMINATED CHIP HAVING MICROELECTRONIC ELEMENT EMBEDDED THEREIN”和“MICROELECTRONIC ELEMENTS WITH POST-ASSEMBLY PLANARIZATION”的共同转让的共同未决美国专利申请中以及美国专利申请公开文献 No. 2008/0246136 中详细公开的那些,这些文献的公开内容都被以引入形式并入本申请。

[0179] 虽然本发明已经关于特殊实施例进行了描述,但应理解,这些实施例仅仅是本发明的原理和应用的说明性描述。因此,应理解,可以在不偏离附属权利要求所限定的本发明的精神和范围的情况下,对说明性实施例进行很多修改并且可以设计其他的配置。

[0180] 应了解,在此阐述的不同从属权利要求和特征可以与原始权利要求提出的不同的方式组合。还应了解,与个别实施例结合描述的特征可以与所描述的其他实施例共享。

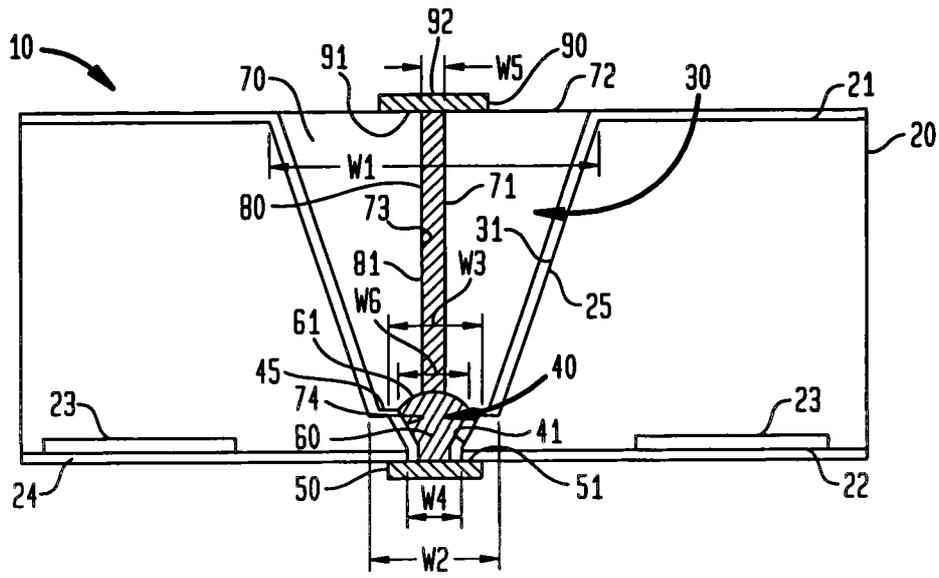


图 1A

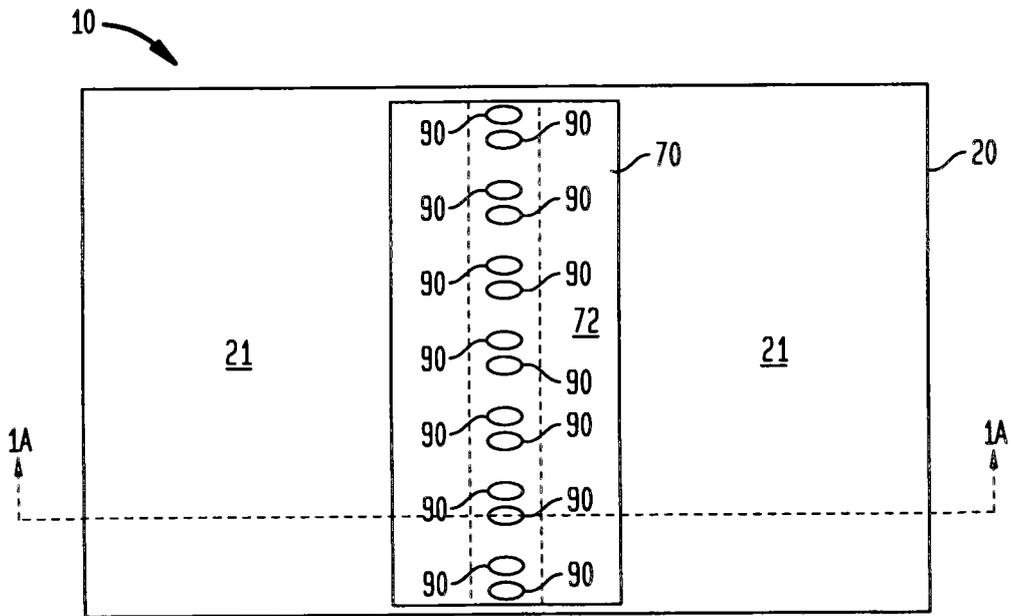


图 1B

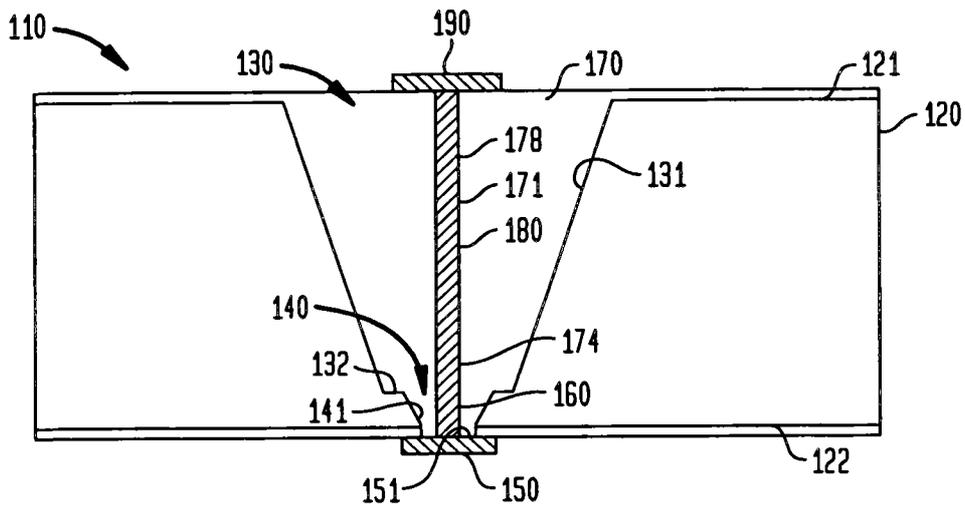


图 2

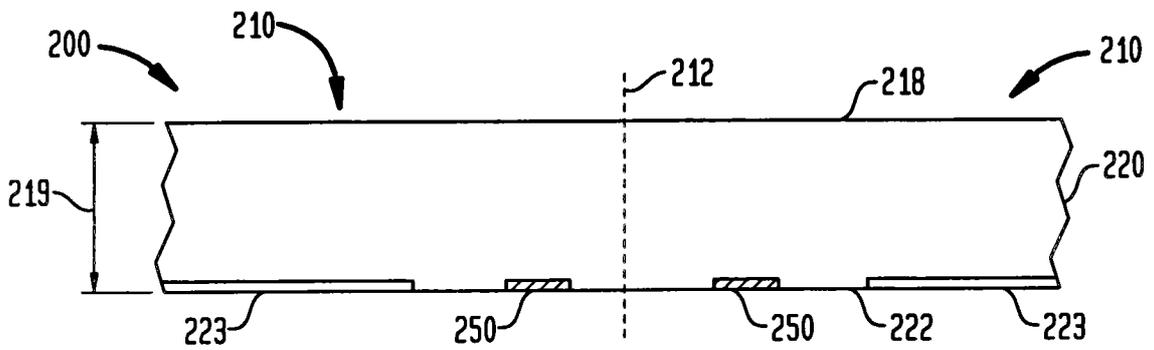


图 3A

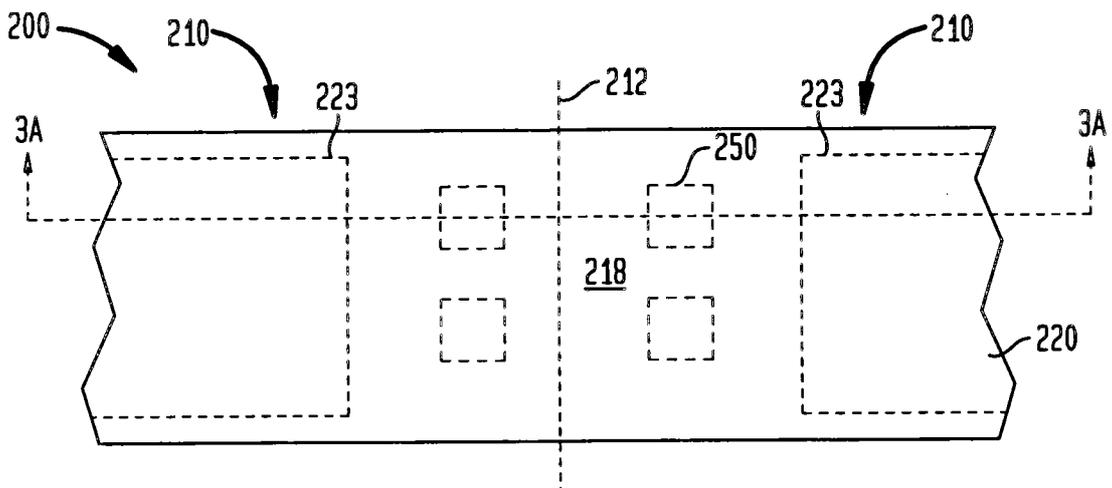


图 3B

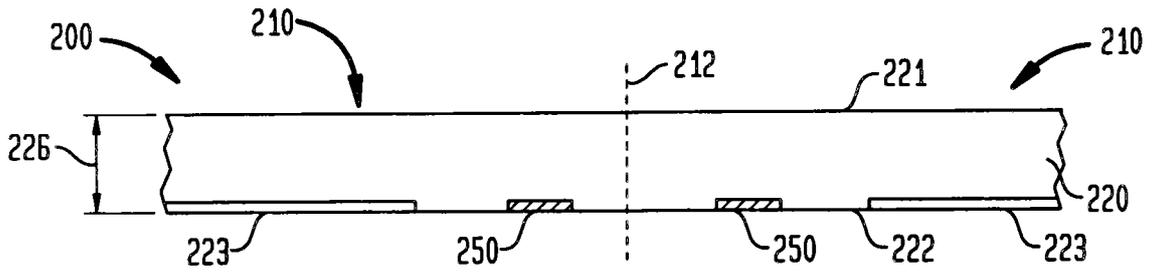


图 4

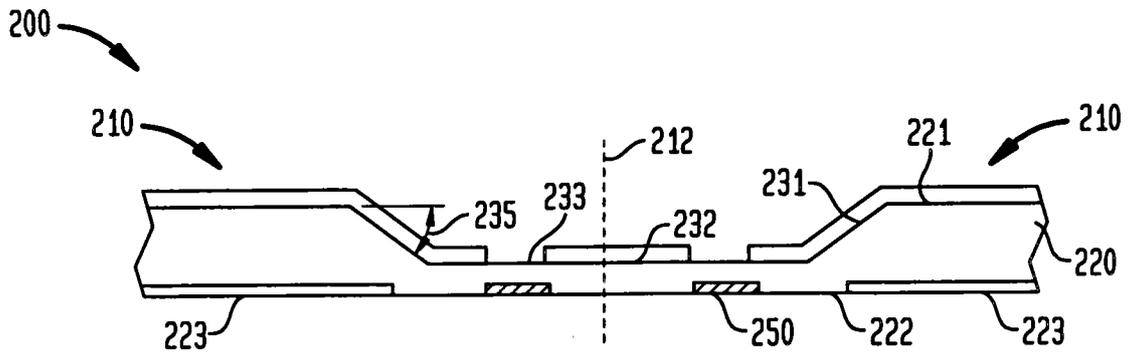


图 5A

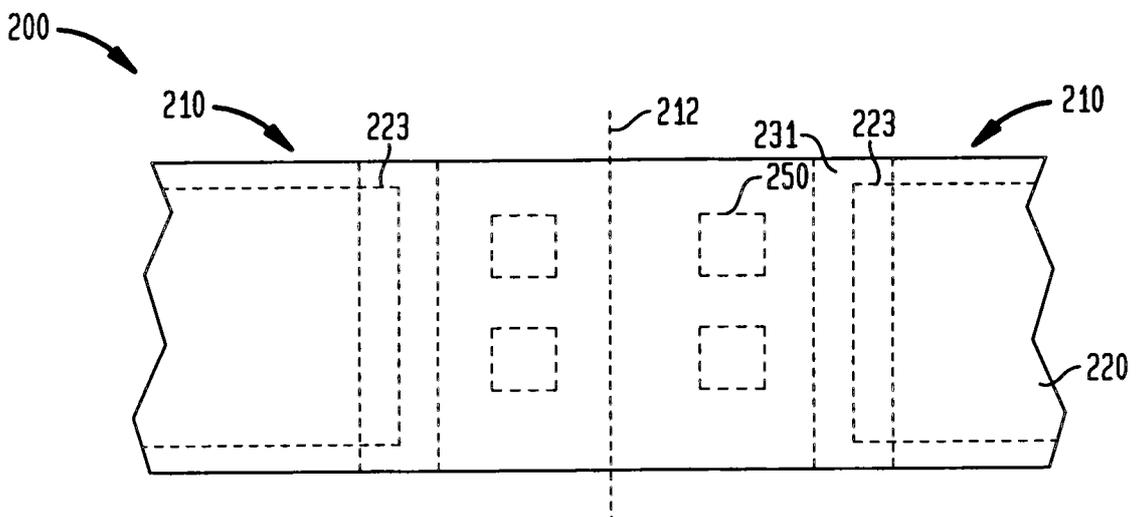


图 5B

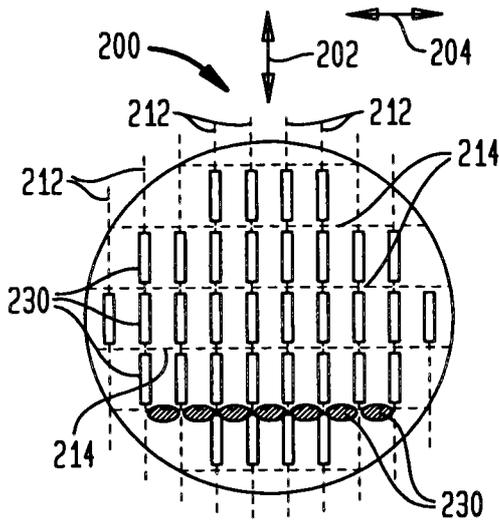


图 6

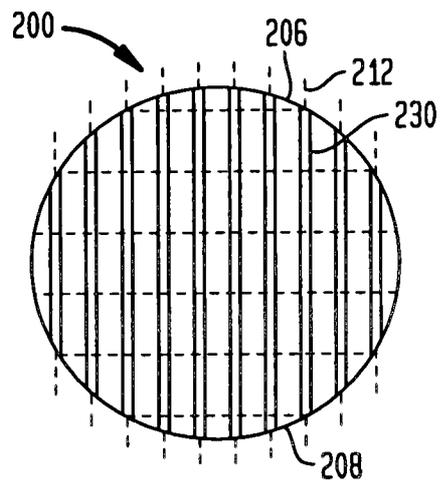


图 7

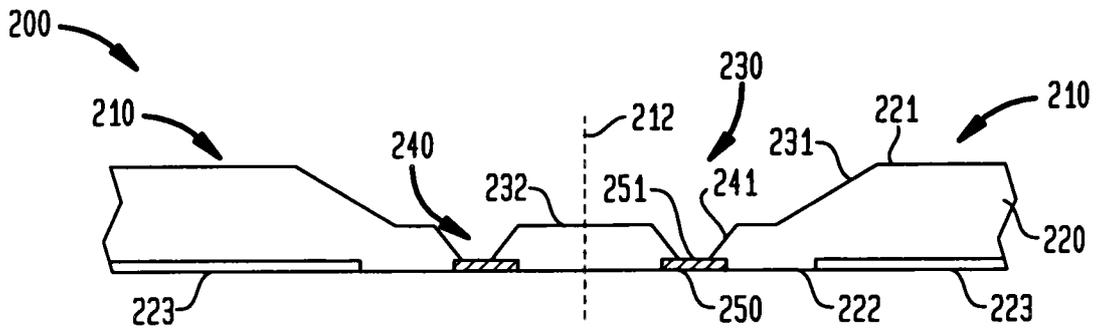


图 8A

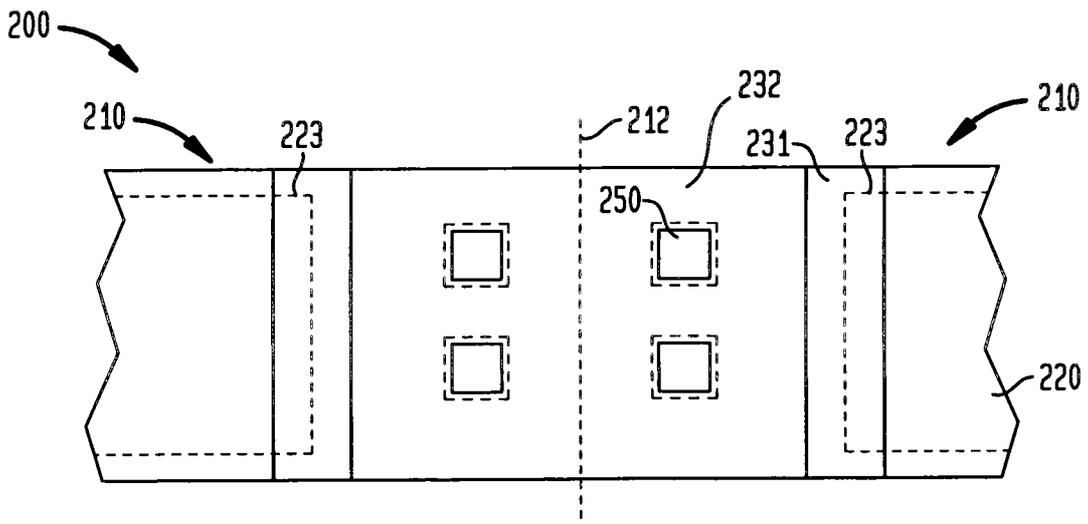


图 8B

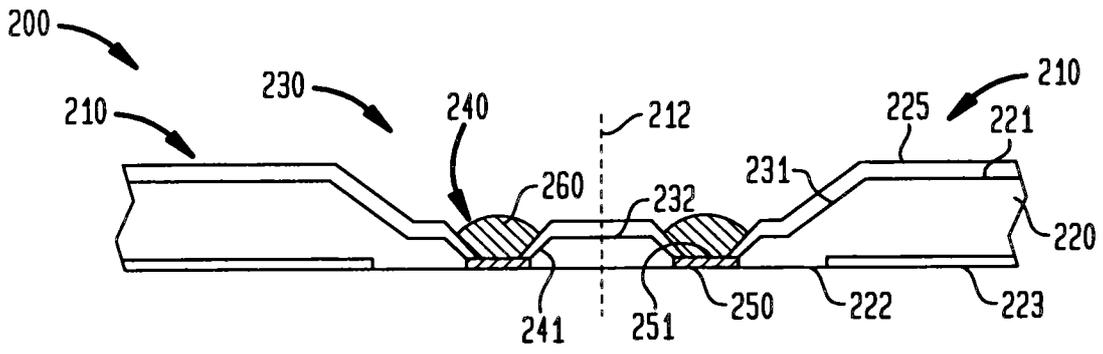


图 9

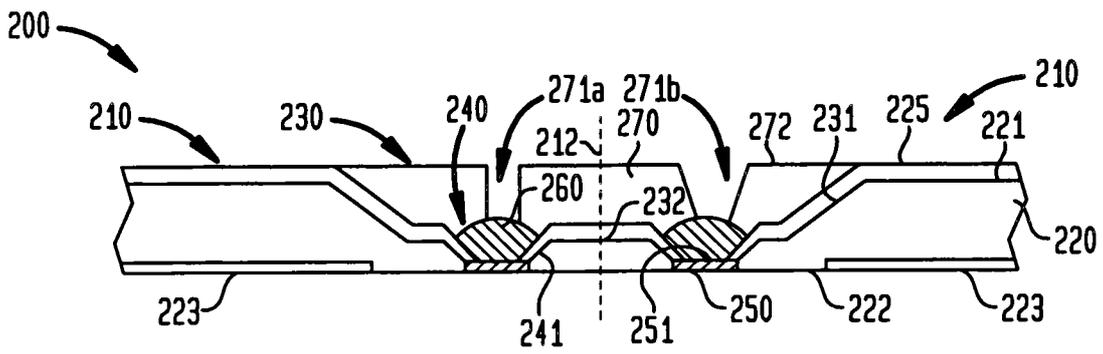


图 10A

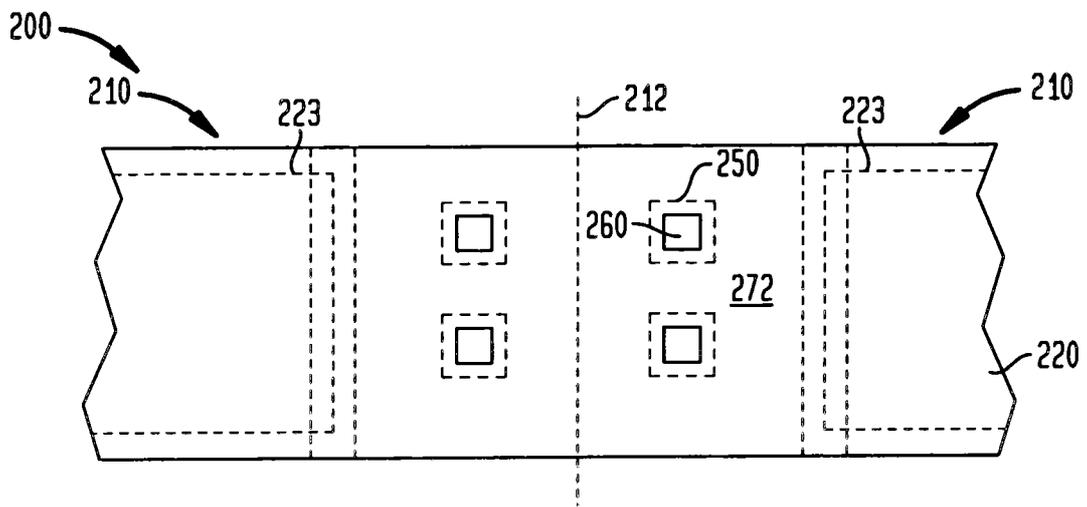


图 10B



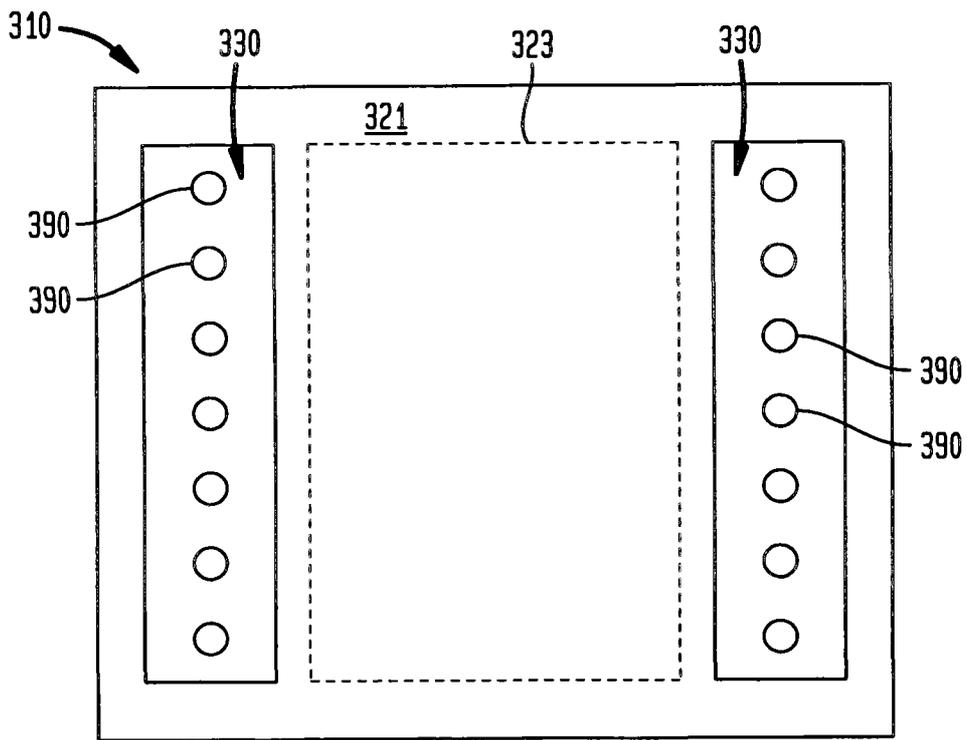


图 12B

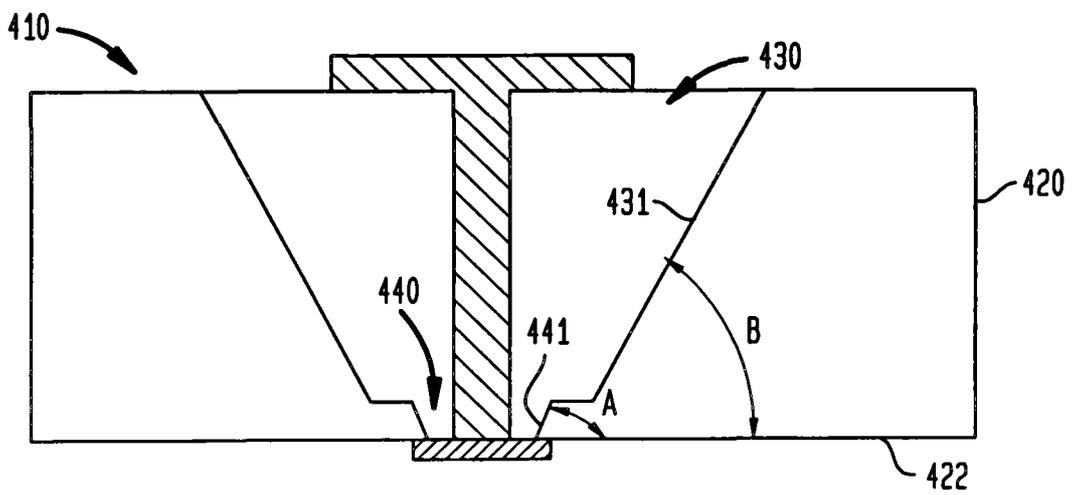


图 13

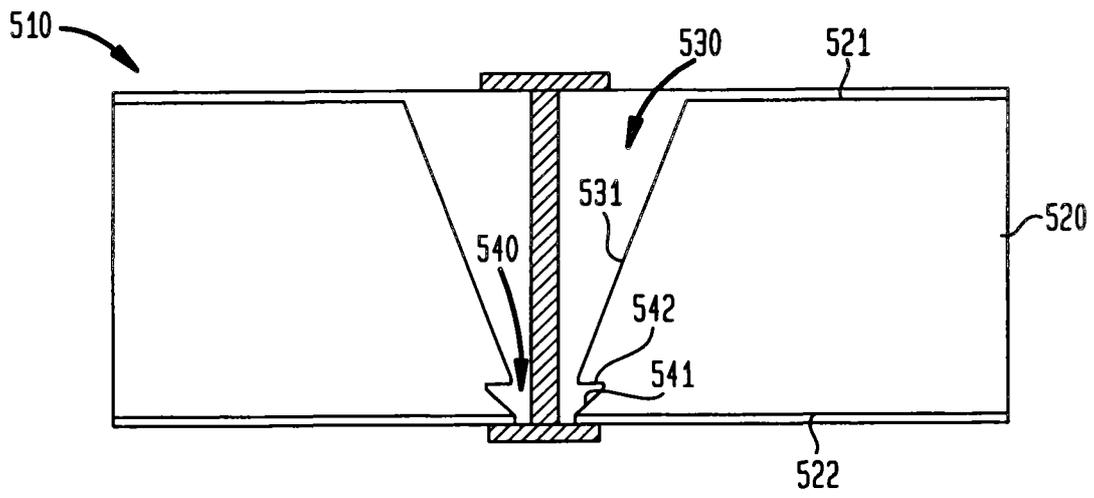


图 14

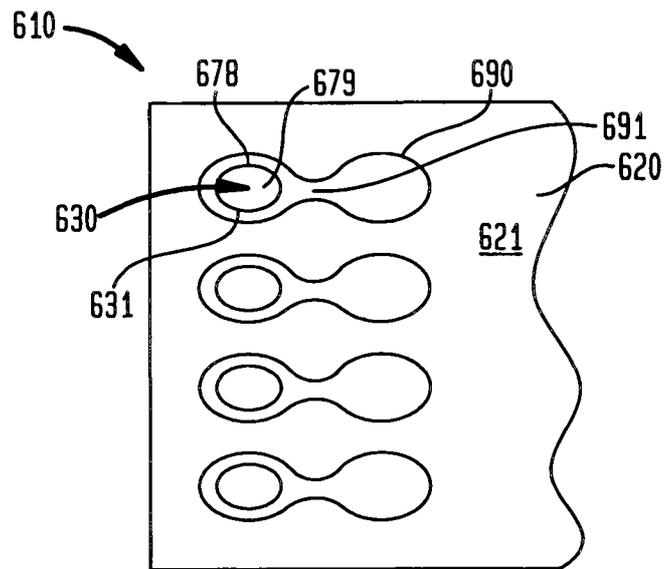


图 15

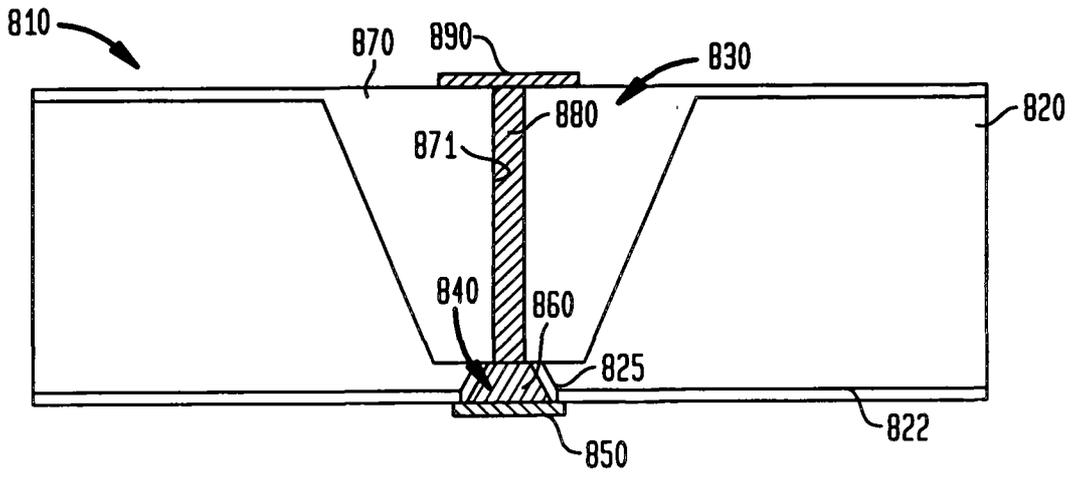


图 16

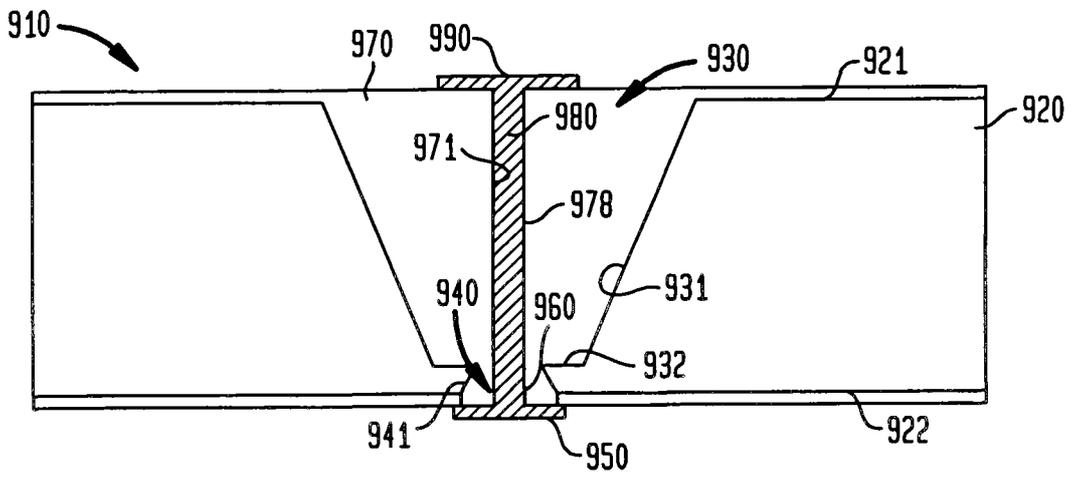


图 17

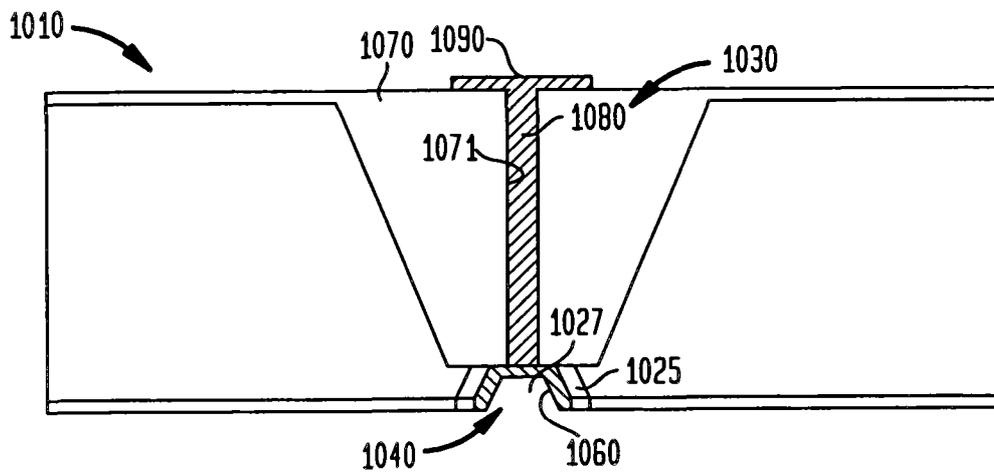


图 18

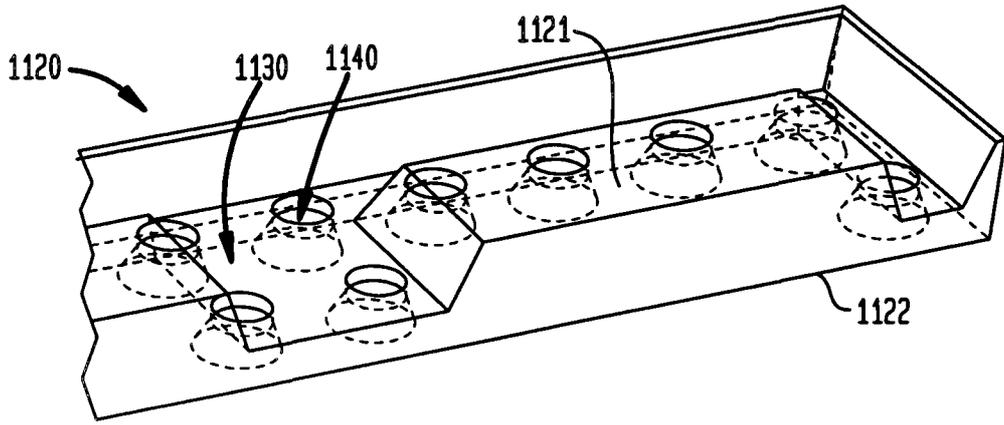


图 19A

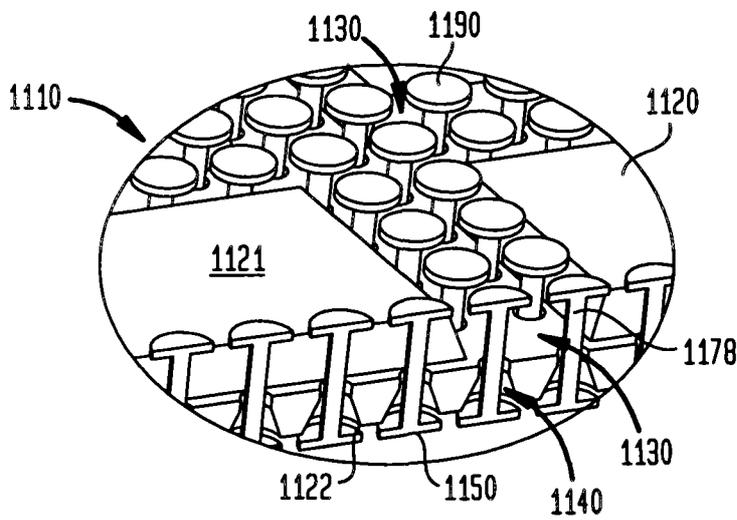


图 19B

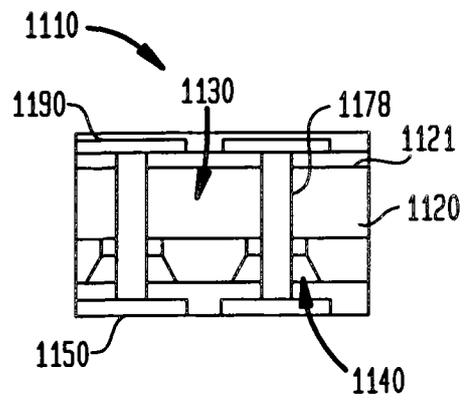


图 19C

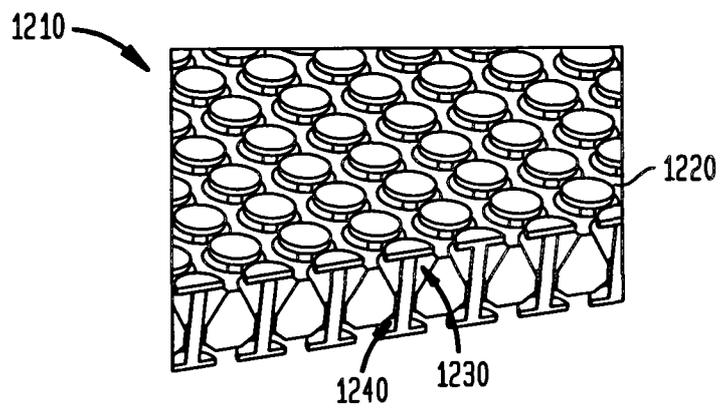


图 20

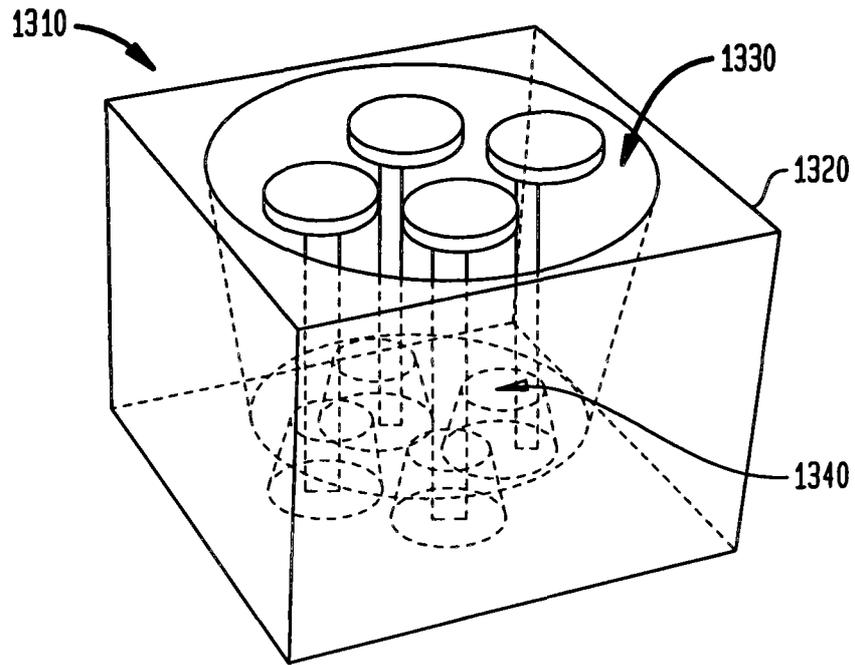


图 21A

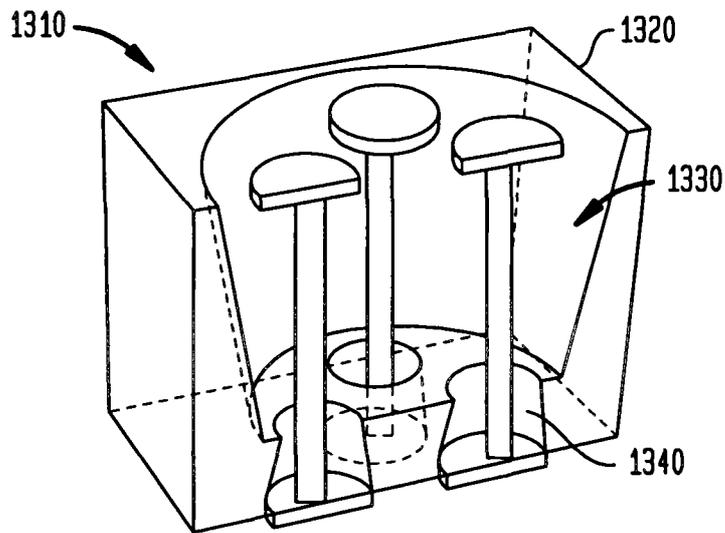


图 21B

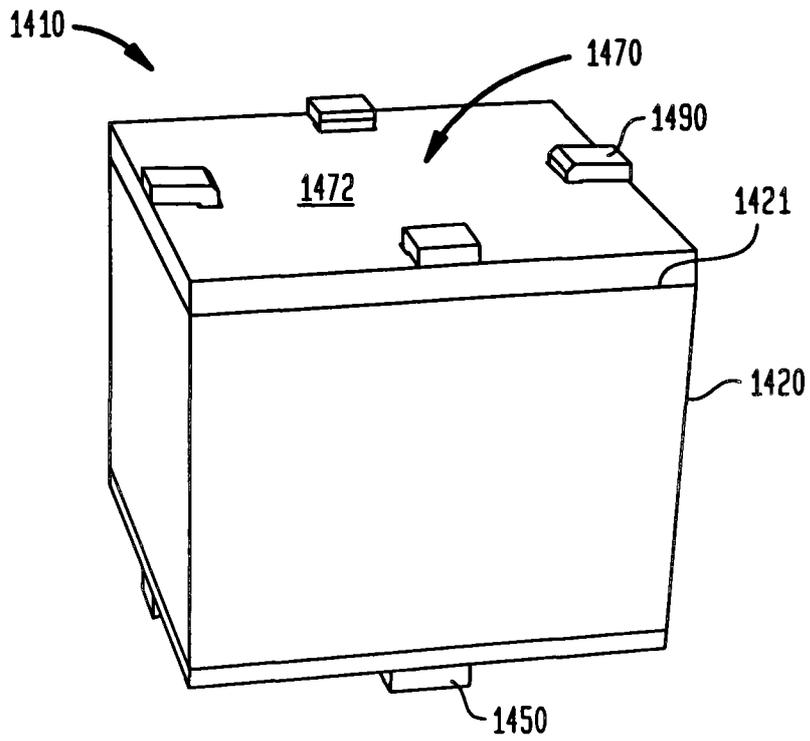


图 22A

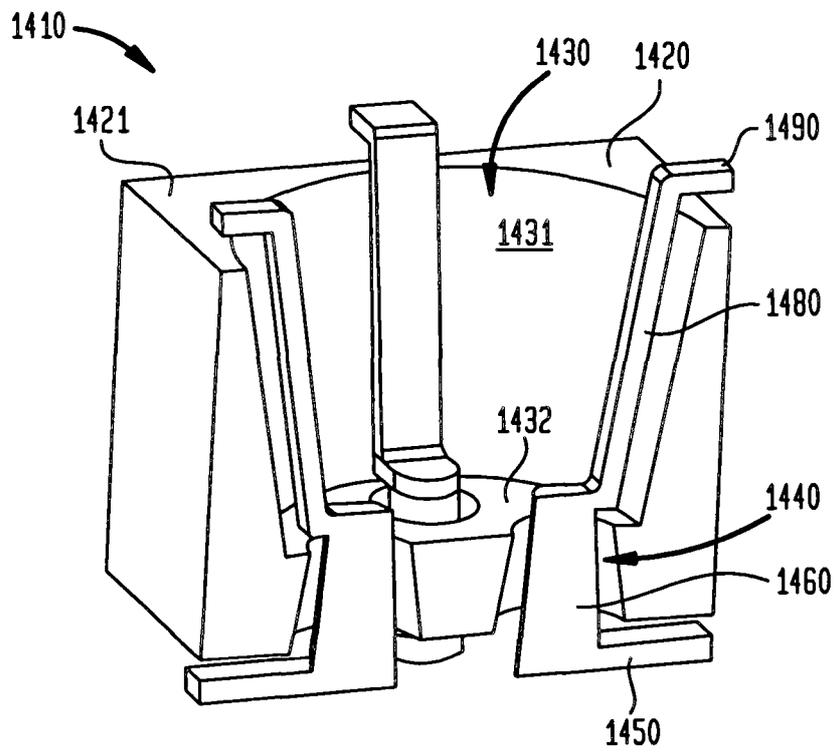


图 22B

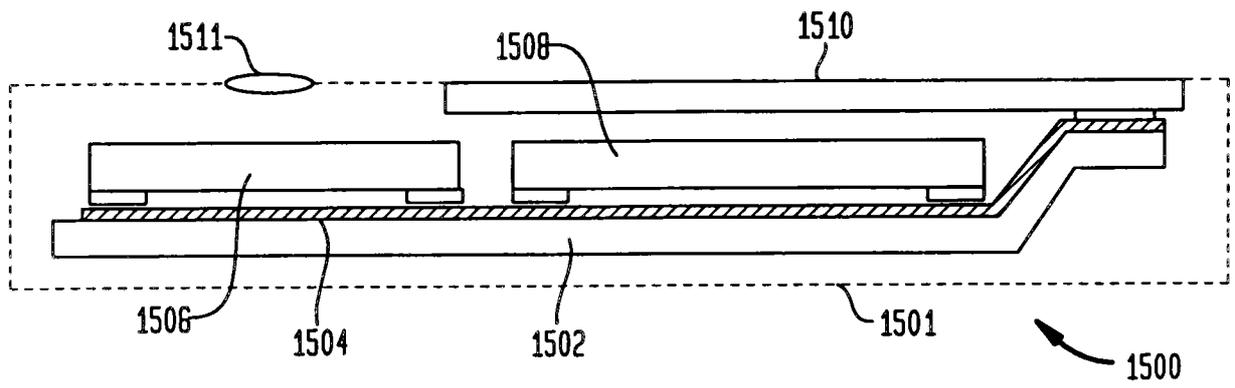


图 23