

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5461097号
(P5461097)

(45) 発行日 平成26年4月2日 (2014.4.2)

(24) 登録日 平成26年1月24日 (2014.1.24)

(51) Int.Cl.
H03K 7/08 (2006.01)

F I
H03K 7/08 A

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2009-180802 (P2009-180802)	(73) 特許権者	591128453
(22) 出願日	平成21年8月3日 (2009.8.3)		株式会社メガチップス
(65) 公開番号	特開2011-35725 (P2011-35725A)		大阪府大阪市淀川区宮原一丁目1番1号
(43) 公開日	平成23年2月17日 (2011.2.17)	(74) 代理人	100088672
審査請求日	平成24年3月1日 (2012.3.1)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	中宮 和徳
			千葉県千葉市美浜区中瀬一丁目三番地 川
			崎マイクロエレクトロニクス株式会社 幕
			張本社内
		審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 パルス生成回路

(57) 【特許請求の範囲】

【請求項 1】

クロック信号のそれぞれの周期内での立ち上がりタイミングを指定する立ち上がりタイミング信号および立ち下がりタイミングを指定する立ち下がりタイミング信号の入力を受け、前記クロック信号の1周期内を n (n は2以上の整数) 分割した0から $n - 1$ までのそれぞれの単位時間の期間の論理値を有する無調整パルスデータを生成する無調整パルスデータ生成回路と、

前記単位時間を単位とした遅延時間を指定する0から $n - 1$ までの範囲の遅延時間信号 $DELAY$ の入力を受け、クロック信号のそれぞれの周期内で、0から $DELAY - 1$ までの期間は直前の周期内の前記無調整パルスデータの $n - DELAY$ から $n - 1$ までの期間の論理値を、 $DELAY$ から $n - 1$ までの期間は現在の周期内の前記無調整パルスデータの0から $(n - 1) - DELAY$ までの論理値を有する遅延パルスデータを生成する遅延パルスデータ生成回路とを備えたことを特徴とするパルス生成回路。

【請求項 2】

前記遅延パルスデータ生成回路が、前記0から $n - 1$ までの単位時間の期間ごとに、マルチプレクサをツリー状に接続して構成され、

初段のマルチプレクサのそれぞれでは、前記直前の周期内の無調整パルスデータの1つの期間の論理値と前記現在の周期内の無調整パルスデータの対応する期間の論理値との一方が、前記遅延時間 $DELAY$ の最上位ビットの論理値に応じて選択され、

次段以降の各段のマルチプレクサのそれぞれでは、前段のマルチプレクサの2つが選択

10

20

した論理値の一方が、前記遅延時間 D E L A Y の第 2 以降のビットの論理値に応じて選択されることを特徴とする請求項 1 記載のパルス生成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パルス生成回路に関し、特に、出力位置遅延機能を有する P W M (Pulse Width Modulation) パルス生成回路に関する。

【背景技術】

【0002】

ディジタル方式の P W M パルス生成回路では、クロック信号に同期して入力される、パ
ルスの立ち上がり位置 (タイミング) を示す信号 S T とパルスの立ち下がり位置を示す信
号 E N の値を参照して、クロック信号の 1 周期内における立ち上がり位置および立ち下
がり位置が決定され P W M パルスが生成される。例えば、図 6 に示すようにクロック信号の
1 周期内を 64 分割し、参照した信号 S T および E N の値から 64 箇所それぞれの期間で
H (ハイレベル) とすべきか、L (ローレベル) とすべきかの判定を行って、クロック信
号の 1 周期に対応する P W M パルスを生成する。

【0003】

また、同じくクロック信号に同期して入力される、信号 D E L A Y に応じて遅延された
信号 S T , E N の値を参照することで、出力位置が遅延された P W M パルスを生成する出
力位置遅延機能を有するパルス生成回路が知られている。

【0004】

ところが、信号 D E L A Y の値によっては、最大 1 周期分 P W M パルスが遅延される場
合がある。この場合、正しい P W M パルスを生成するために、信号 S T および E N の位置
がクロック信号の 1 周期内の 64 箇所のうち、どこに位置するかを求めるため場合分けが
必要となる。

【0005】

図 7 (a) ~ (d) に、信号 D E L A Y に応じて、信号 S T および E N についての場合
分けを行ったそれぞれのパターン (t y p e 0 ~ 3) を示す。

【0006】

まず、図 7 (a) は t y p e 0 であり、信号 S T および E N の値に信号 D E L A Y の値
が加算された値である、信号 A D D _ S T および A D D _ E N がともに、現在周期内にあ
る場合を示す。この場合、現在周期において信号 A D D _ S T および A D D _ E N の双方
の値を参照して、H の P W M パルスが生成される。

一方、図 7 (b) は t y p e 1 であり、信号 A D D _ S T は現在周期内にあるが、信号
A D D _ E N は次周期にずれている場合を示す。この場合、現在周期においては信号 A D
D _ S T の値を参照して、P W M パルスの立ち上がりだけが生成される。つまり、現在周
期の終了時点において P W M パルスは H のままである。

【0007】

また、前周期の信号 S T および E N (以下、信号 P r e _ S T および P r e _ E N とい
う) に信号 D E L A Y の値が加算された値である、信号 A D D _ P r e _ S T および A D
D _ P r e _ E N の値を、現在周期において参照する必要が発生する場合もある。

【0008】

図 7 (c) は t y p e 2 であり、前周期の信号 A D D _ P r e _ S T は前周期にあるが
、前周期の信号 A D D _ P r e _ E N の値が現在周期にずれている場合である。この場合
、現在周期においては信号 A D D _ P r e _ E N の値を参照して、P W M パルスの立ち下
がりだけが生成される。つまり、現在周期の開始時点において P W M パルスは H のままで
ある。

図 7 (d) は t y p e 3 であり、前周期の信号 D E L A Y の値が大きく、前周期の信号
A D D _ P r e _ S T および A D D _ P r e _ E N の双方が、現在周期にずれている場合
である。この場合、現在周期においては信号 A D D _ P r e _ S T および A D D _ P r e

10

20

30

40

50

— E Nの値を参照して、P W Mパルスの立ち上がりおよび立ち下がりが生成される。

【 0 0 0 9 】

このように、信号 S TおよびE Nについて、t y p e 0 ~ 3の4つの場合分けが必要となる場合の、P W Mパルス生成回路 1 0 0のブロック図を図 8に示す。P W Mパルス生成回路 1 0 0は、D E L A Y加算部 1 0 2、場合分け・6 4ビット分生成部 1 0 4、および現在周期・前周期合成部 1 0 6で構成される。

【 0 0 1 0 】

ここで、信号 P r e _ S T [5 : 0]、P r e _ E N [5 : 0]は、前周期の信号 S T [5 : 0]、E N [5 : 0]である。また、信号 D E L A Y [5 : 0]は、信号 P W M o u t [6 3 : 0]の出力位置を遅延させる信号であり、クロック信号の1周期を64分割した0から63までの、1周期の64分の1の期間を、単位時間として遅延量を指定することができる。

10

【 0 0 1 1 】

D E L A Y加算部 1 0 2には、クロック信号に同期して、6ビットの信号 S T [5 : 0]、E N [5 : 0]、およびD E L A Y [5 : 0]が入力される。信号 S T [5 : 0]、E N [5 : 0]は、クロック信号に同期して動作するフリップフロップによりクロック信号の1周期分遅延され、信号 P r e _ S TおよびP r e _ E Nとして出力される。

また、信号 P r e _ S T [5 : 0]、P r e _ E N [5 : 0]、および、信号 S T [5 : 0]、E N [5 : 0]には、それぞれ、加算器により信号 D E L A Y [5 : 0]が加算され、7ビットの信号 A D D _ P r e _ S T [6 : 0]、A D D _ P r e _ E N [6 : 0]、および信号 A D D _ S T [6 : 0]、A D D _ E N [6 : 0]として出力される。つまり、D E L A Y加算部 1 0 2からは、各信号に信号 D E L A Yの値が加算され、出力位置が遅延された信号が出力される。

20

【 0 0 1 2 】

続いて、場合分け・64ビット分生成部 1 0 4には、D E L A Y加算部 1 0 2より出力された7ビットの各信号が入力される。信号 A D D _ S T [6 : 0]およびA D D _ E N [6 : 0]は、t y p e 0, 1の場合分けを行う場合分け・64ビット分生成回路 1 0 4 aに入力される。

場合分け・64ビット分生成回路 1 0 4 aでは、これらの信号 A D D _ S T [6 : 0]およびA D D _ E N [6 : 0]の値に基づいて、前述のt y p e 0, 1の場合について、現在周期のP W Mパルスに対応する64ビットの信号 P W M c [6 3 : 0]が出力される。つまり、P W M c [6 3 : 0]は、t y p e 0の場合のP W Mパルスに対応する信号 P W M _ t y p e 0 [N]と、t y p e 1の場合のP W Mパルスに対応する信号 P W M _ t y p e 1 [N] (Nは0 ~ 6 3)との論理和を取ったデータに相当する(後述する、条件式(1)と(2)との論理和に相当)。

30

【 0 0 1 3 】

同様に、信号 A D D _ P r e _ S T [6 : 0]およびA D D _ P r e _ E N [6 : 0]は、t y p e 2, 3の場合分けを行う場合分け・64ビット分生成回路 1 0 4 bに入力される。

場合分け・64ビット分生成回路 1 0 4 bでは、これらの信号 A D D _ P r e _ S T [6 : 0]およびA D D _ P r e _ E N [6 : 0]の値に基づいて、前述のt y p e 2, 3の場合について、前周期のP W Mパルスに対応する64ビットの信号 P W M p [6 3 : 0]が出力される。つまり、P W M p [6 3 : 0]は、t y p e 2の場合のP W Mパルスに対応する信号 P W M _ t y p e 2 [N]と、t y p e 3の場合のP W Mパルスに対応する信号 P W M _ t y p e 3 [N] (Nは0 ~ 6 3)との論理和を取ったデータに相当する(後述する、条件式(3)と(4)との論理和に相当)。

40

【 0 0 1 4 】

現在周期・前周期合成部 1 0 6には、現在周期のデータ P W M c [6 3 : 0]および前周期のデータ P W M p [6 3 : 0]が入力される。現在周期のデータ P W M c [6 3 : 0]および前周期のデータ P W M p [6 3 : 0]は、現在周期・前周期合成部 1 0 6で合成

50

(例えば、論理和)されることで、遅延パルスデータ $PWMout[63:0]$ が得られる(後述する、条件式(5)に相当)。

【0015】

ここで、このPWMパルス生成回路100を条件式で表すと以下の[1]~[4]のようになる。

[1] DELAY 加算

$ADD_ST = ST + DELAY$

$ADD_EN = EN + DELAY$

$ADD_Pre_ST = Pre_ST + DELAY$

$ADD_Pre_EN = Pre_EN + DELAY$

10

【0016】

[2] 場合分け

(a) 現在周期(2通り)

$type0 = (ADD_ST \leq 63) \& (ADD_EN \leq 63)$

$type1 = (ADD_ST \leq 63) \& (ADD_EN > 63)$

(b) 前周期(2通り)

$type2 = (ADD_Pre_ST \leq 63) \& (ADD_Pre_EN > 63)$

$type3 = (ADD_Pre_ST > 63) \& (ADD_Pre_EN > 63)$

【0017】

[3] 64ビット分生成(Nは0~63の64通り)

20

(a) 現在周期

$PWM_type0[N] = (type0) \& (ADD_ST \leq N \& ADD_EN > N) \dots (1)$

$PWM_type1[N] = (type1) \& (ADD_ST \leq N) \dots (2)$

(b) 前周期

$PWM_type2[N] = (type2) \& (ADD_Pre_EN > 64 + N) \dots (3)$

$PWM_type3[N] = (type3) \& (ADD_Pre_ST \leq 64 + N \& ADD_Pre_EN > 64 + N) \dots (4)$

【0018】

[4] 現在周期、前周期64ビットデータ合成(Nは0~63の64通り)

$PWMout[N] = PWM_type0[N] \mid PWM_type1[N] \mid PWM_type2[N] \mid PWM_type3[N] \dots (5)$

(‘|’は論理和を表す)

30

式(5)は、式(1)~(4)のいずれかが成立したときにHとなる。

【0019】

上述のように、64ビット分生成およびデータ合成の条件式は、場合分けの数とデータ合成を合わせて5つであり、1周期を64分割しているため、320(5×64)の条件式が必要となる。

このように、場合分けが多ければ多い程、ゲート数および回路面積は増大し複雑な回路構成となってしまう、さらにタイミング的にも厳しくなることから、回路の動作速度の向上も望めないという問題があった。

【0020】

ここで、本発明に関連性のある先行技術文献として、特許文献1がある。

40

特許文献1には、カウンタを用いてレジスタのビットを、下位および上位から、ならびに中央および中抜きで、順次HレベルとすることによりPWM信号を生成する、デジタル方式のPWM信号生成回路が開示されている。

【先行技術文献】

【特許文献】

【0021】

【特許文献1】特開2004-345280号公報

【発明の概要】

【発明が解決しようとする課題】

【0022】

50

本発明の目的は、ゲート数を削減し、回路面積を縮小することで動作速度を向上させたパルス生成回路を提供することにある。

【課題を解決するための手段】

【0023】

上記課題を解決するために、本発明は、クロック信号のそれぞれの周期内での立ち上がりタイミングを指定する立ち上がりタイミング信号および立ち下がりタイミングを指定する立ち下がりタイミング信号の入力を受け、前記クロック信号の1周期内を n (n は2以上の整数) 分割した0から $n-1$ までのそれぞれの単位時間の期間の論理値を有する無調整パルスデータを生成する無調整パルスデータ生成回路と、前記単位時間を単位とした遅延時間を指定する0から $n-1$ までの範囲の遅延時間信号 $DELAY$ の入力を受け、クロック信号のそれぞれの周期内で、0から $DELAY-1$ までの期間は直前の周期内の前記無調整パルスデータの $n-DELAY$ から $n-1$ までの期間の論理値を、 $DELAY$ から $n-1$ までの期間は現在の周期内の前記無調整パルスデータの0から $(n-1)-DELAY$ までの論理値を有する遅延パルスデータを生成する遅延パルスデータ生成回路とを備えたことを特徴とするパルス生成回路を提供する。

10

ここで、前記遅延パルスデータ生成回路が、前記0から $n-1$ までの単位時間の期間ごとに、マルチプレクサをツリー状に接続して構成され、

初段のマルチプレクサのそれぞれでは、前記直前の周期内の無調整パルスデータの1つの期間の論理値と前記現在の周期内の無調整パルスデータの対応する期間の論理値との一方が、前記遅延時間 $DELAY$ の最上位ビットの論理値に応じて選択され、

20

次段以降の各段のマルチプレクサのそれぞれでは、前段のマルチプレクサの2つが選択した論理値の一方が、前記遅延時間 $DELAY$ の第2以降のビットの論理値に応じて選択されることが好ましい。

【発明の効果】

【0024】

本発明によれば、無調整パルスデータと直前の周期内の無調整パルスデータ(以下、直前無調整パルスデータという)とを組み合わせることにより、より少ないゲート数の回路でPWMパルスを生成することができる。これにより、回路面積を縮小することができ、その結果、高速にPWMパルスを生成することができる。

【図面の簡単な説明】

30

【0025】

【図1】本発明に係るパルス生成回路の一例を示すブロック図である。

【図2】本発明に係る $DELAY$ を考慮しない1周期分の無調整パルスを示す説明図である。

【図3】遅延パルスデータ生成回路の1ビット分の一例を示す回路図である。

【図4】遅延パルスデータ生成回路の1ビット分他の一例を示す回路図である。

【図5】本発明に係る各パルスデータの関係の一例を示すタイミングチャートによる説明図である。

【図6】PWMパルスの分割例を表す説明図である。

【図7】(a)~(d)は、従来のPWMパルス生成回路の場合分けを示す説明図である。

40

【図8】従来のPWMパルス生成回路の一例を示すブロック図である。

【発明を実施するための形態】

【0026】

本発明に係るパルス生成回路を、添付の図面に示す好適実施形態に基づいて以下に詳細に説明する。

【0027】

図1は、本発明のパルス生成回路の一実施形態を示すブロック図である。

図1に示すパルス生成回路10は、無調整パルスデータ生成回路12、直前無調整パルスデータ生成回路14、および遅延パルスデータ生成回路16によって構成される。

50

パルス生成回路 10 は、クロック信号に同期して外部から入力される、それぞれ 6 ビットの、立ち上がりタイミング信号 $ST[5:0]$ 、立ち下がりタイミング信号 $EN[5:0]$ 、遅延時間信号 $DELAY[5:0]$ に基づいて、信号 $ST[5:0]$ で指定される立ち上がり位置から信号 $EN[5:0]$ で指定される立ち下がり位置までのハイレベルの PWM パルスに対応するデータを生成し、これを信号 $DELAY[5:0]$ で指定される所定の時間遅延して遅延パルスデータ $PWMout[63:0]$ を出力する。

【0028】

ここで、信号 $ST[5:0]$ および信号 $EN[5:0]$ は、それぞれ、生成される PWM パルスにおいて、クロック信号のそれぞれの周期内での立ち上がりタイミングおよび立ち下がりタイミングを指定する 0 ~ 63 までの範囲の信号である。また、遅延時間信号 $DELAY[5:0]$ は、クロック信号の 1 周期内を 64 分割した、クロック信号の 1 周期の 64 分の 1 の単位時間を単位とした遅延時間を指定する 0 ~ 63 までの範囲の信号である。

10

【0029】

つまり、パルス生成回路 10 では、6 ビットの信号 $ST[5:0]$ 、 $EN[5:0]$ 、 $DELAY$ に基づいて、1 周期が 64 ビットのビットデータで表された PWM パルスの遅延パルスデータ $PWMout[63:0]$ が生成される。

【0030】

無調整パルスデータ生成回路 12 は、信号 $ST[5:0]$ 、 $EN[5:0]$ の入力を受け、これらの信号 $ST[5:0]$ 、 $EN[5:0]$ の値に基づいて（例えば、値をデコードして）、クロック信号の 1 周期内、すなわち、生成される PWM パルスの 1 周期内を 64 分割した 0 から 63 までの、それぞれの単位時間の期間に対応する 64 ビットのビットデータの、それぞれの論理値（H または L）を有する 64 ビットの無調整パルスデータ $[63:0]$ を生成する。

20

【0031】

無調整パルスデータ生成回路 12 では、信号 $ST[5:0]$ 、 $EN[5:0]$ だけに基づいて、信号 $DELAY[5:0]$ により指定された遅延時間が考慮されていない無調整パルスデータ $[63:0]$ が生成される。これにより、図 2 に示すように、信号 $ST[5:0]$ 、 $EN[5:0]$ はともに現在周期に含まれるため、前周期および次周期を考慮する必要がなくなり、現在周期のみを考慮すればよくなる。その結果、従来技術で問題であった条件式の数を大幅に削減することができる。

30

【0032】

直前無調整パルスデータ生成回路 14 は、フリップフロップで構成されている。直前無調整パルスデータ生成回路 14 には、無調整パルスデータ生成回路 12 から出力された無調整パルスデータ $[63:0]$ が入力される。直前無調整パルスデータ生成回路 14 は、クロック信号に同期して、無調整パルスデータ生成回路 12 から出力された無調整パルスデータ $[63:0]$ をフリップフロップにラッチし、これを直前無調整パルスデータ $[63:0]$ として出力する。

【0033】

遅延パルスデータ生成回路 16 には、無調整パルスデータ生成回路 12 から出力された無調整パルスデータ $[63:0]$ と、直前無調整パルスデータ生成回路 14 から出力された直前無調整パルスデータ $[63:0]$ と、信号 $DELAY[5:0]$ とが入力される。

40

遅延パルスデータ生成回路 16 は、信号 $DELAY[5:0]$ の値を $DELAY$ とすると、クロック信号のそれぞれの周期内で、0 から $DELAY - 1$ までの期間は、直前無調整パルスデータ $[63:0]$ の $64 - DELAY$ から 63 までの期間の論理値を、 $DELAY$ から 63 までの期間は、現在の周期内の無調整パルスデータ $[63:0]$ の 0 から $63 - DELAY$ までの論理値を有する遅延パルスデータ $PWMout[63:0]$ を生成する。

【0034】

ここで、図 3 に、遅延パルスデータ $PWMout[63:0]$ を生成する遅延パルスデ

50

ータ生成回路 16 のうち、遅延パルスデータ $PWMout[31]$ の生成回路を示す。

$PWMout[31]$ の生成回路は、6 段のマルチプレクサをツリー状に接続して構成されている。1 段目のマルチプレクサには、 $DELAY$ に従って決定される、 $PWMout[31]$ の論理値に対応する直前無調整パルスデータ $[63:0]$ および無調整パルスデータ $[63:0]$ のそれぞれのビットが入力される。また、1 ~ 6 段目のマルチプレクサの選択信号として、信号 $DELAY[5:0]$ のそれぞれのビットが入力される。

【0035】

例えば、 $DELAY = 3$ の場合、信号 $DELAY[5:0] = '000011'$ (2 進数) であるから、 $PWMout[31]$ として無調整パルスデータ $[28]$ が出力される。また、 $DELAY = 60$ の場合、信号 $DELAY[5:0] = '111100'$ (2 進数) であるから、 $PWMout[31]$ として直前無調整パルスデータ $[35]$ が出力される。

10

【0036】

また、図 4 に、他の例として遅延パルスデータ $PWMout[63]$ を求める回路を示す。当該回路の動作は、遅延パルスデータ $PWMout[31]$ を求める場合と同じであるが、無調整パルスデータ $[63:0]$ が、1 段目のそれぞれの各マルチプレクサに入力される。

【0037】

次に、本実施形態に係るパルス生成回路の動作を説明する。

まず、パルスの立ち上がり位置を示す信号 $ST[5:0]$ と、パルスの立ち下がり位置を示す信号 $EN[5:0]$ とが、無調整パルスデータ生成回路 12 に入力される。

20

無調整パルスデータ生成回路 12 では、これらの信号 $ST[5:0]$ 、 $EN[5:0]$ の値に基づいて (例えば、値がデコードされ)、クロック信号の 1 周期内、すなわち、生成される PWM パルスの 1 周期内を 64 分割した 0 から 63 までの、それぞれの単位時間の期間に対応する 64 ビットのビットデータの、それぞれの論理値 (H または L) を有する無調整パルスデータ $[63:0]$ が生成され、出力される。

【0038】

無調整パルスデータ生成回路 12 から出力された無調整パルスデータ $[63:0]$ は、直前無調整パルスデータ生成回路 14 に入力される。直前無調整パルスデータ生成回路 14 では、クロック信号に同期して、無調整パルスデータ生成回路 12 から出力された無調整パルスデータ $[63:0]$ が、フリップフロップでラッチされ、1 周期の後に直前無調整パルスデータ $[63:0]$ として出力される。つまり、直前無調整パルスデータ $[63:0]$ は、無調整パルスデータ $[63:0]$ から 1 周期分遅れて出力される。

30

【0039】

遅延パルスデータ生成回路 16 には、無調整パルスデータ生成回路 12 から出力された無調整パルスデータ $[63:0]$ と、直前無調整パルスデータ生成回路 14 から出力された直前無調整パルスデータ $[63:0]$ と、信号 $DELAY[5:0]$ とが入力される。

【0040】

遅延パルスデータ生成回路 16 では、信号 $DELAY$ の値を $DELAY$ とすると、クロック信号のそれぞれの周期内で、 $DELAY \geq 1$ のときは、0 から $DELAY - 1$ までの期間は、直前無調整パルスデータ $[63:0]$ の $64 - DELAY$ から 63 までの期間の論理値が、 $DELAY$ から 63 までの期間は、現在の周期内の無調整パルスデータ $[63:0]$ の 0 から $63 - DELAY$ までの論理値を有する遅延パルスデータ $PWMout[63:0]$ が、下記の式 (6) によって生成され出力される。 $DELAY = 0$ のときは、下記の式 (7) によって生成され出力される。

40

【0041】

$PWMout[DELAY - 1:0] = \text{直前無調整パルスデータ}[63:64 - DELAY]$

$PWMout[63:DELAY] = \text{無調整パルスデータ}[63 - DELAY:0]$

すなわち、

$PWMout[63:0] = \{ \text{無調整パルスデータ}[63 - DELAY:0] ,$

50

直前無調整パルスデータ [6 3 : 6 4 - DELAY] } (DELAY > = 1) ... (6)
 PWMout [6 3 : 0] = 無調整パルスデータ [6 3 : 0] (DELAY = 0) ... (7)
 【 0 0 4 2 】

つまり、パルス生成回路 10 では、現在周期の信号 ST , EN に基づいて生成された無調整パルスデータ [6 3 : 0] と、これをクロック信号の 1 周期分だけ遅延して得られた直前無調整パルスデータ [6 3 : 0]、言い換えると、前周期の信号 Pre__ST , Pre__EN に基づいて生成された直前無調整パルスデータ [6 3 : 0] とを、信号 DELAY [5 : 0] の値に応じて適宜組み合わせることによって、遅延パルスデータ PWMout [6 3 : 0] が生成される。

【 0 0 4 3 】

10

信号 DELAY の値は、本実施形態の場合、単位時間を単位とする 0 から 6 3 までの値であるから、PWMパルスが信号 DELAY [5 : 0] に応じて遅延される時間は、クロック信号の 1 周期分の時間よりも短い。そのため、前述のように、無調整パルスデータ [6 3 : 0] と直前無調整パルスデータ [6 3 : 0] とを、信号 DELAY [5 : 0] の値に応じて適宜組み合わせることによって、図 8 に示す従来のパルス生成回路と同じ遅延パルスデータ PWMout [6 3 : 0] を生成することができる。

【 0 0 4 4 】

パルス生成回路 10 では、従来のパルス生成回路のように、信号 DELAY [5 : 0] の値に応じて、現在周期の信号 ST [5 : 0] , EN [5 : 0] のタイミングが遅延された信号 ADD__ST [6 : 0] , ADD__EN [6 : 0] や、前周期の信号 Pre__ST [5 : 0] , Pre__EN [5 : 0] のタイミングが遅延された信号 ADD__Pre__ST [6 : 0] , ADD__Pre__EN [6 : 0] を求め、これらの信号に基づいて PWMout [6 3 : 0] を生成するのではない。そのため、回路規模を大幅に削減するとともに、PWMout [6 3 : 0] の生成を大幅に高速化することができる。

20

【 0 0 4 5 】

ここで、図 5 に、無調整パルスデータ、直前無調整パルスデータ、および遅延パルスデータ PWMout の関係をタイミングチャートにより示す。

図 5 のタイミングチャートは、無調整パルスデータ [6 3 : 0]、直前無調整パルスデータ [6 3 : 0] および遅延パルスデータ PWMout [6 3 : 0] のそれぞれに対応する、無調整パルス、直前無調整パルスおよび遅延パルスの波形を表示したものである。同図の縦軸は、それぞれのパルスの論理値 (H または L)、横軸は、それぞれのパルスの時間の流れを表す。

30

【 0 0 4 6 】

このタイミングチャートには、それぞれのパルスの波形が複数の周期にわたって示されている。それぞれのパルスの 1 周期内を時間軸方向に沿って 6 4 分割すると、左端が 0、右端が 6 3 のデータに相当する論理値となる。また、同図には、DELAY によって指定される遅延時間に対応する期間が縦線の範囲で示され、これ以外の 1 周期内の期間が横線の範囲で示されている。

【 0 0 4 7 】

図 5 に示すように、DELAY の値が 1 以上である場合には、DELAY によって指定される遅延時間に対応する直前無調整パルスデータの縦線範囲と、これ以外の 1 周期内の期間に対応する無調整パルスデータの横線範囲とを組み合わせることによって、遅延パルスデータ PWMout [6 3 : 0] を生成することができる。なお、DELAY の値が 0 である場合には、無調整パルスデータ [6 3 : 0] をそのまま遅延パルスデータ PWMout [6 3 : 0] とすればよい。

40

【 0 0 4 8 】

ここで、式 (6) および (7) を図 5 のビットの並びと合わせると、下記の式 (8) および (9) となる。

【 0 0 4 9 】

PWMout [0 : 6 3] = { 直前無調整パルスデータ [6 4 - DELAY : 6 3] ,

50

無調整パルスデータ[0:63-DELAY]} (DELAY>=1)...(8)
 PWMout[0:63]=無調整パルスデータ[0:63] (DELAY=0)...(9)
 【0050】

つまり、遅延パルスデータPWMout[0:63]は、DELAYの値が1以上である場合には、直前無調整パルスデータ[64-DELAY:63]のビット(論理値:DELAYの値に相当)が、遅延パルスデータPWMout[0:DELAY-1]のビットとされ、無調整パルスデータ[0:63-DELAY]のビットが、遅延パルスデータPWMout[DELAY:63]のビットとされて組み合わせられ、出力される。

【0051】

本発明に係る、パルス生成回路10を条件式で表すと、以下の[5]~[7]のようになる。

[5] 場合分け

なし

[6] 64ビット分生成(Nは0~63の64通り)

無調整パルスデータ[N]=(ST<=N & EN>=N) ... (10)

[7] DELAY値反映

PWMout[63:0]={無調整パルスデータ[63-DELAY:0],

直前無調整パルスデータ[63:64-DELAY]} (DELAY>=1)...(6)

PWMout[63:0]=無調整パルスデータ[63:0] (DELAY=0)...(7)

【0052】

上記の実施形態に示したように、本発明に係るパルス生成回路10では、場合分けを行う必要がなく、各場合のデータ合成の必要もない。このため、64ビット分のパルスデータを生成するための条件式は、上記の式(10)となり、64の条件式でよく、また、これにDELAY値を反映させる式(6)および(7)を加えても、従来に比べ少ない条件式で遅延パルスデータPWMoutを生成することができる。

また、条件式を大幅に減らすことによって回路の複雑化を抑え、ゲート数を削減させること、および回路面積を縮小させることができ、回路の動作速度を向上させることができる。

【0053】

なお、信号ST, EN, DELAYのビット数m(mは1以上の整数)、すなわちクロック信号の1周期内での分割数n(=2^m)(nは2以上の整数)は何ら限定されず、必要に応じて適宜変更することができる。

また、無調整パルスデータ生成回路、直前無調整パルスデータ生成回路、および、遅延パルスデータ生成回路の具体的な構成は何ら限定されず、同様の機能を実現する各種構成の回路を採用することができる。

【0054】

以上、本発明のパルス生成回路について詳細に説明したが、本発明は、上記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において、各種の改良や変更を行ってもよい。

【符号の説明】

【0055】

10 パルス生成回路

12 無調整パルスデータ生成回路

14 直前の周期内の無調整パルスデータ(直前無調整パルスデータ)生成回路

16 遅延パルスデータ生成回路

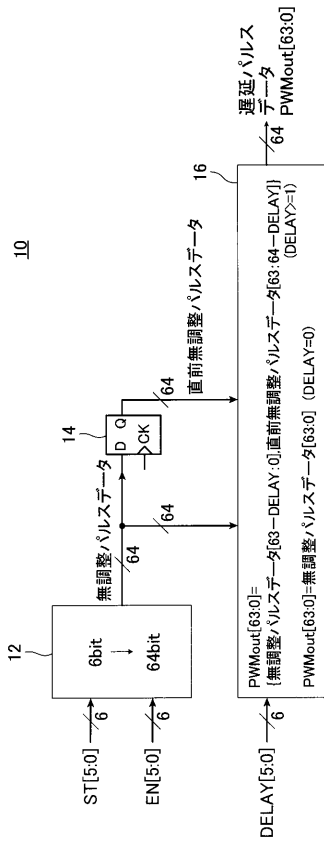
10

20

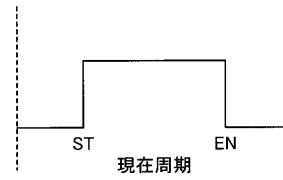
30

40

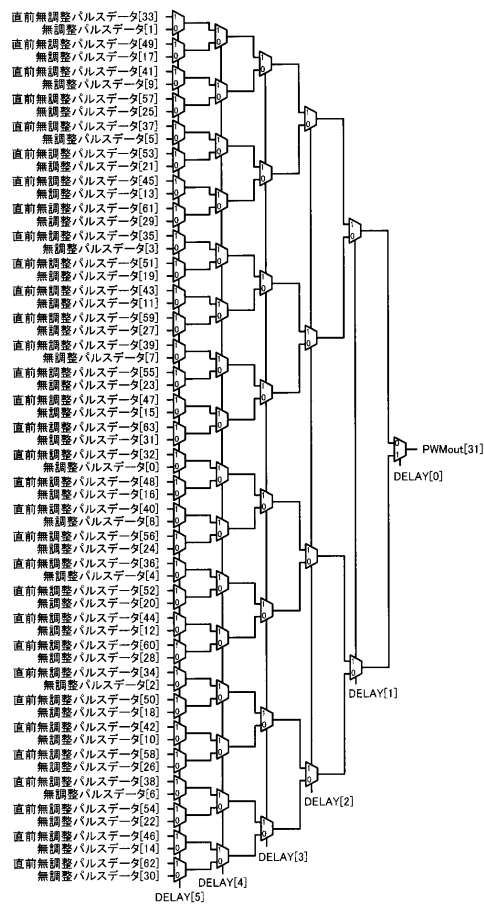
【 図 1 】



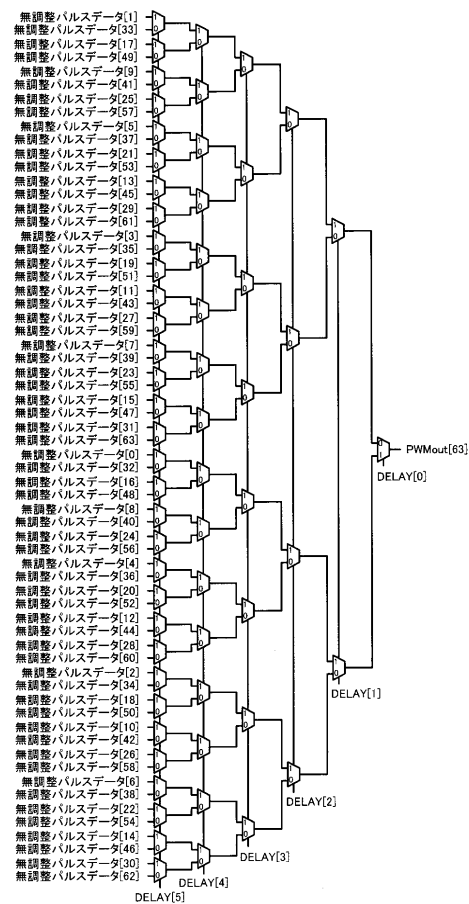
【 図 2 】



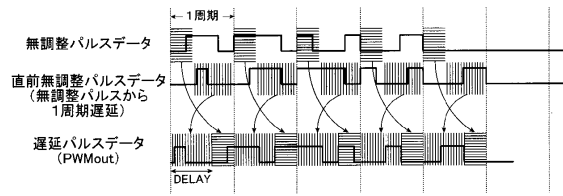
【 図 3 】



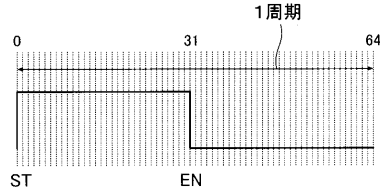
【 図 4 】



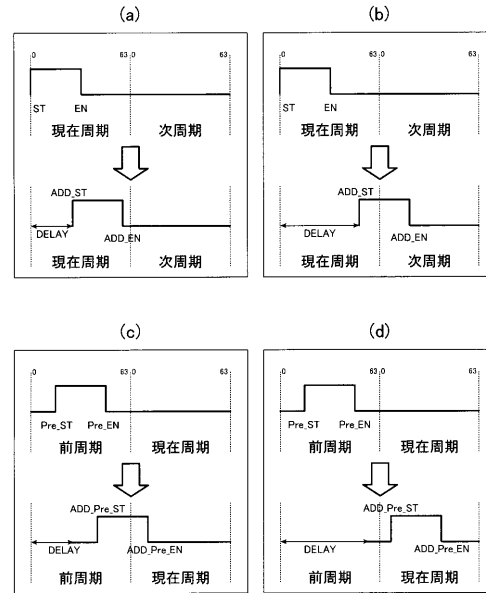
【図 5】



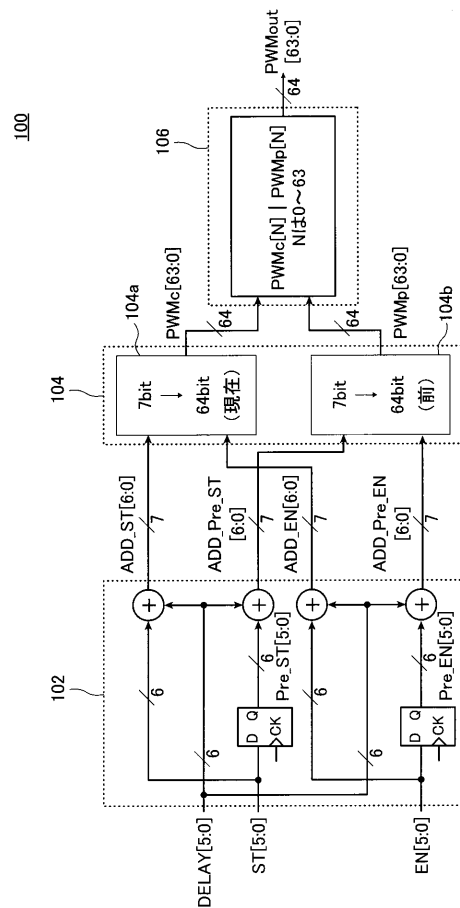
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開 2 0 0 4 - 3 4 5 2 8 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 K 7 / 0 8