

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年12月20日(2018.12.20)

【公表番号】特表2018-504020(P2018-504020A)

【公表日】平成30年2月8日(2018.2.8)

【年通号数】公開・登録公報2018-005

【出願番号】特願2017-530262(P2017-530262)

【国際特許分類】

H 03 K 5/00 (2006.01)

H 03 B 19/10 (2006.01)

H 03 L 7/081 (2006.01)

【F I】

H 03 K 5/00 M

H 03 B 19/10

H 03 L 7/081 1 2 0

【手続補正書】

【提出日】平成30年11月8日(2018.11.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

クロック周波数を4倍にするための装置であって、

第1のクロック周波数にしたがって、正弦波信号を出力するための手段と、

前記正弦波信号に基づいて、25%のデューティサイクルを有する第1のデジタル信号を生成するための手段と、

前記正弦波信号に基づいて、25%のデューティサイクルを有する第2のデジタル信号を生成するための手段と、

50%のデューティサイクルを有する組み合わされたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせるための手段と、前記組み合わされたデジタル信号は、前記第1のクロック周波数の2倍である第2のクロック周波数を有し、

前記第1のクロック周波数の4倍である第3のクロック周波数を有する出力信号を生成するために、前記組み合わされたデジタル信号の前記第2のクロック周波数を2倍化するための手段と、

前記出力信号に基づいて、前記第1のバッファのための第1の制御電圧および第2の制御電圧と、前記第2のバッファのための第3の制御電圧とを生成するように構成されたフィードバックを提供するための手段と

を備え、

ここにおいて、前記第1の制御電圧は、前記第1のデジタル信号の立ち上がりエッジの制御を容易にする、前記第1のデジタル信号を生成するための前記手段の第1のしきい値を制御し、

ここにおいて、前記第2の制御電圧は、前記第1のデジタル信号の立ち下がりエッジの制御を容易にする、前記第1のデジタル信号を生成するための前記手段の第2のしきい値を制御し、

ここにおいて、前記第3の制御電圧は、前記第2のデジタル信号の立ち上がりエッジの

制御を容易にする、前記第2のデジタル信号を生成するための前記手段のしきい値を制御する、装置。

【請求項2】

前記第1のクロック周波数にしたがって、前記正弦波信号を出力するように構成された電圧制御発振器（VCO）と、

前記正弦波信号に基づいて、25%のデューティサイクルを有する前記第1のデジタル信号を生成するように構成された第1のバッファと、

前記正弦波信号に基づいて、25%のデューティサイクルを有する前記第2のデジタル信号を生成するように構成された第2のバッファと、

50%のデューティサイクルを有する前記組み合わせられたデジタル信号を生成するためには、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせるように構成された組み合わせモジュールと、

前記第1のクロック周波数の4倍である前記第3のクロック周波数を有する前記出力信号を生成するために、前記組み合わせられたデジタル信号の前記第2のクロック周波数を2倍化するように構成された周波数2倍化モジュールと、

前記出力信号に基づいて、前記第1のバッファのための前記第1の制御電圧および前記第2の制御電圧と、前記第2のバッファのための前記第3の制御電圧とを生成するように構成されたフィードバックモジュールと

を備える、請求項1に記載のクロック周波数を4倍にするための装置。

【請求項3】

前記フィードバックモジュールは、

前記出力信号のエッジに基づいて、アップ／ダウンパルス信号を生成するように構成された位相周波数検出器（PFD）と、

前記出力信号の前記エッジにそれぞれ対応する前記アップ／ダウンパルス信号のパルスを分離するように構成されたデマルチプレクサと、

第1の分離されたパルスに基づいて、前記第1の制御電圧を生成するように構成された第1のデューティサイクル補正（DCC）モジュールと、

第2の分離されたパルスに基づいて、前記第2の制御電圧を生成するように構成された第2のDCCモジュールと、

第3の分離されたパルスに基づいて、前記第3の制御電圧を生成するように構成された第3のDCCモジュールと、

を備える、請求項2に記載の装置。

【請求項4】

前記第1のバッファは、第1のセクションおよび第2のセクションを備え、

前記第1のセクションは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、および第4のトランジスタを備え、

前記第1のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの出力に結合され、前記第1のトランジスタのドレインは、前記第2のトランジスタのドレイン、前記組み合わせモジュールの第1の入力、および遅延モジュールの入力に結合され、

前記第2のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第2のトランジスタの前記ドレインは、前記第1のトランジスタの前記ドレインに結合され、前記第2のトランジスタのソースは、前記第3のトランジスタのドレインに結合され、

前記第3のトランジスタのゲートは、前記第1の制御電圧を出力する前記フィードバックモジュールの第1の出力に結合され、前記第3のトランジスタの前記ドレインは、前記第2のトランジスタの前記ソースに結合され、前記第3のトランジスタのソースは、前記第4のトランジスタのドレインに結合され、

前記第4のトランジスタのゲートは、前記遅延モジュールの第1の出力に結合され、前記第4のトランジスタの前記ドレインは、前記第3のトランジスタの前記ソースに結合される、請求項2に記載の装置。

【請求項 5】

前記第2のセクションは、前記第1のトランジスタ、第5のトランジスタ、第6のトランジスタ、および第7のトランジスタを備え、

前記第1のトランジスタの前記ドレインは、前記第5のトランジスタのドレインに結合され、

前記第5のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第5のトランジスタの前記ドレインは、前記第1のトランジスタの前記ドレインに結合され、前記第5のトランジスタのソースは、前記第6のトランジスタのドレインに結合され、

前記第6のトランジスタのゲートは、前記第2の制御電圧を出力する前記フィードバックモジュールの第2の出力に結合され、前記第6のトランジスタの前記ドレインは、前記第5のトランジスタの前記ソースに結合され、前記第6のトランジスタのソースは、前記第7のトランジスタのドレインに結合され、

前記第7のトランジスタのゲートは、前記遅延モジュールの第2の出力に結合され、前記第7のトランジスタの前記ドレインは、前記第6のトランジスタの前記ソースに結合される、請求項4に記載の装置。

【請求項 6】

前記第1のトランジスタのソースは、電圧源に結合され、

前記第4のトランジスタのソースおよび前記第7のトランジスタのソースは、接地ノードに結合される、請求項5に記載の装置。

【請求項 7】

前記遅延モジュールは、

前記第1のバッファから出力された前記第1のデジタル信号を受け取ることと、

前記受け取られた第1のデジタル信号に基づいて、第1の遅延を決定することと、

前記第1の遅延に基づいて、第1のイネーブル制御信号を前記第4のトランジスタの前記ゲートに送ることによって前記第1のセクションをアクティブ化することと、

前記受け取られた第1のデジタル信号に基づいて、第2の遅延を決定することと、

前記第2の遅延に基づいて、第2のイネーブル制御信号を前記第7のトランジスタの前記ゲートに送ることによって前記第2のセクションをアクティブ化することと

によって、前記第1のセクションおよび前記第2のセクションのアクティブ状態を制御するように構成される、請求項5に記載の装置。

【請求項 8】

前記第2のバッファは、第8のトランジスタ、第9のトランジスタ、および第10のトランジスタを備え、

前記第8のトランジスタのゲートは、前記第3の制御電圧を出力する前記フィードバックモジュールの第3の出力に結合され、前記第8のトランジスタのドレインは、前記第9のトランジスタのソースに結合され、

前記第9のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第9のトランジスタの前記ソースは、前記第8のトランジスタの前記ドレインに結合され、前記第9のトランジスタのドレインは、前記第10のトランジスタのドレインおよび前記組み合わせモジュールの第2の入力に結合され、

前記第10のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第10のトランジスタの前記ドレインは、前記第9のトランジスタの前記ドレインに結合される、請求項5に記載の装置。

【請求項 9】

前記第8のトランジスタのソースは、電圧源に結合され、

前記第10のトランジスタのソースは、接地ノードに結合される、請求項8に記載の装置。

【請求項 10】

前記組み合わせモジュールは、

前記第1のデジタル信号を前記第1のバッファから第1の入力として受け取ることと

、前記第2のデジタル信号を前記第2のバッファから第2の入力として受け取ることと

、前記第1の入力および前記第2の入力を使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記組み合わせされたデジタル信号として出力することと

によって、前記組み合わせされたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせるように構成される、請求項2に記載の装置。

【請求項11】

前記周波数2倍化モジュールは、

前記組み合わせられたデジタル信号を前記組み合わせモジュールから受け取ることと、

第1の入力として前記組み合わせられたデジタル信号と、第2の入力として前記組み合わせられたデジタル信号の遅延されたバージョンとを使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記出力信号として出力することと

によって、前記出力信号を生成するために、前記組み合わせられたデジタル信号の前記第2のクロック周波数を2倍化するように構成される、請求項2に記載の装置。

【請求項12】

クロック周波数を4倍にする方法であって、

電圧制御発振器（VCO）を介して、第1のクロック周波数にしたがって、正弦波信号を出力することと、

第1のバッファを介して、前記正弦波信号に基づいて、25%のデューティサイクルを有する第1のデジタル信号を生成することと、

第2のバッファを介して、前記正弦波信号に基づいて、25%のデューティサイクルを有する第2のデジタル信号を生成することと、

組み合わせモジュールを介して、50%のデューティサイクルを有する組み合わせられたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせることと、前記組み合わせられたデジタル信号は、前記第1のクロック周波数の2倍である第2のクロック周波数を有し、

周波数2倍化モジュールを介して、前記第1のクロック周波数の4倍である第3のクロック周波数を有する出力信号を生成するために、前記組み合わせられたデジタル信号の前記第2のクロック周波数を2倍化することと、

フィードバックモジュールを介して、前記出力信号に基づいて、前記第1のバッファのための第1の制御電圧および第2の制御電圧と、前記第2のバッファのための第3の制御電圧とを生成することと

を備え、

ここにおいて、前記第1の制御電圧は、前記第1のバッファが前記第1のデジタル信号の立ち上がりエッジを制御することを容易にする、前記第1のバッファの第1のしきい値を制御し、

ここにおいて、前記第2の制御電圧は、前記第1のバッファが前記第1のデジタル信号の立ち下がりエッジを制御することを容易にする、前記第1のバッファの第2のしきい値を制御し、

ここにおいて、前記第3の制御電圧は、前記第2のバッファが前記第2のデジタル信号の立ち上がりエッジを制御することを容易にする、前記第2のバッファのしきい値を制御する、方法。

【請求項13】

前記第1の制御電圧、前記第2の制御電圧、および前記第3の制御電圧を前記生成する

ことは、

位相周波数検出器（PFD）を介して、前記出力信号のエッジに基づいて、アップ／ダウンパルス信号を生成することと、

デマルチブレクサを介して、前記出力信号の前記エッジにそれぞれ対応する前記アップ／ダウンパルス信号のパルスを分離することと、

第1のデューティサイクル補正（DCC）モジュールを介して、第1の分離されたパルスに基づいて、前記第1の制御電圧を生成することと、

第2のDCCモジュールを介して、第2の分離されたパルスに基づいて、前記第2の制御電圧を生成することと、

第3のDCCモジュールを介して、第3の分離されたパルスに基づいて、前記第3の制御電圧を生成することと、

を備える、請求項12に記載の方法。

【請求項14】

前記組み合わせられたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを前記組み合わせることは、

前記第1のデジタル信号を前記第1のバッファから第1の入力として受け取ることと、前記第2のデジタル信号を前記第2のバッファから第2の入力として受け取ることと、前記第1の入力および前記第2の入力を使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記組み合わせられたデジタル信号として出力することと、

を備える、請求項12に記載の方法。

【請求項15】

前記出力信号を生成するために、前記組み合わせられたデジタル信号の前記第2のクロック周波数を前記2倍化することは、

前記組み合わせられたデジタル信号を前記組み合わせモジュールから受け取ることと、

第1の入力として前記組み合わせられたデジタル信号と、第2の入力として前記組み合わせられたデジタル信号の遅延されたバージョンとを使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記出力信号として出力することと、

を備える、請求項12に記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正の内容】

【0075】

[0081]先の説明は、いかなる当業者であっても、本明細書で説明された様々な態様を実施することを可能にするために提供される。これらの態様への様々な修正は、当業者にとって容易に明らかとなり、本明細書に定義された包括的な原理は、他の態様に適用され得る。よって、特許請求の範囲は、本明細書に差し示される態様に限定されるように意図されたものではなく、特許請求の範囲の文言と一貫する最大範囲であると認められるべきであり、ここにおいて、単数における要素の参照は、そのように明確に述べられていない限りは「1つおよび1つのみ」を意味するのではなく、むしろ「1つまたは複数」を意味するように意図される。そうでないと具体的に記載されない限り、「何らかの／いくつかの」という用語は、1つまたは複数を指す。当業者に既知の、または後に周知となる、本開示全体にわたって説明された様々な態様の要素と構造的および機能的に同等な物はすべて、参照によって本明細書に明確に組み込まれ、特許請求の範囲に包含されるよう意図される。さらに、本明細書で開示されたものが、特許請求の範囲の中に明示的に記載されているか否かに関わらず、公に捧げられることを意図していない。要素が「～のための手段」

というフレーズを使用して明確に記載されていない限り、どの請求項の要素もミーンズプラスファンクションとして解釈されるべきではない。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C 1] クロック周波数を4倍にするための装置であって、

第1のクロック周波数にしたがって、正弦波信号を出力するように構成された電圧制御発振器（VCO）と、

前記正弦波信号に基づいて、25%のデューティサイクルを有する第1のデジタル信号を生成するように構成された第1のバッファと、

前記正弦波信号に基づいて、25%のデューティサイクルを有する第2のデジタル信号を生成するように構成された第2のバッファと、

50%のデューティサイクルを有する組み合わされたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせるように構成された組み合わせモジュールと、前記組み合わされたデジタル信号は、前記第1のクロック周波数の2倍である第2のクロック周波数を有し、

前記第1のクロック周波数の4倍である第3のクロック周波数を有する出力信号を生成するために、前記組み合わされたデジタル信号の前記第2のクロック周波数を2倍化するように構成された周波数2倍化モジュールと、を備える、装置。

[C 2] 前記出力信号に基づいて、前記第1のバッファのための第1の制御電圧および第2の制御電圧と、前記第2のバッファのための第3の制御電圧とを生成するように構成されたフィードバックモジュールをさらに備え、

前記第1の制御電圧は、前記第1のバッファが前記第1のデジタル信号の立ち上がりエッジを制御することを容易にする、前記第1のバッファの第1のしきい値を制御し、

前記第2の制御電圧は、前記第1のバッファが前記第1のデジタル信号の立ち下がりエッジを制御することを容易にする、前記第1のバッファの第2のしきい値を制御し、

前記第3の制御電圧は、前記第2のバッファが前記第2のデジタル信号の立ち上がりエッジを制御することを容易にする、前記第2のバッファのしきい値を制御する、C 1に記載の装置。

[C 3] 前記フィードバックモジュールは、

前記出力信号のエッジに基づいて、アップ／ダウンパルス信号を生成するように構成された位相周波数検出器（PFD）と、

前記出力信号の前記エッジにそれぞれ対応する前記アップ／ダウンパルス信号のパルスを分離するように構成されたデマルチプレクサと、

第1の分離されたパルスに基づいて、前記第1の制御電圧を生成するように構成された第1のデューティサイクル補正（DCC）モジュールと、

第2の分離されたパルスに基づいて、前記第2の制御電圧を生成するように構成された第2のDCCモジュールと、

第3の分離されたパルスに基づいて、前記第3の制御電圧を生成するように構成された第3のDCCモジュールと、を備える、C 2に記載の装置。

[C 4] 前記第1のバッファは、第1のセクションおよび第2のセクションを備え、

前記第1のセクションは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、および第4のトランジスタを備え、

前記第1のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの出力に結合され、前記第1のトランジスタのドレインは、前記第2のトランジスタのドレイン、前記組み合わせモジュールの第1の入力、および遅延モジュールの入力に結合され、

前記第2のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第2のトランジスタの前記ドレインは、前記第1のトランジスタの前記ドレインに結合され、前記第2のトランジスタのソースは、前記第3のトランジスタのドレインに結合され、

前記第3のトランジスタのゲートは、前記第1の制御電圧を出力する前記フィードバックモジュールの第1の出力に結合され、前記第3のトランジスタの前記ドレインは、前記

第2のトランジスタの前記ソースに結合され、前記第3のトランジスタのソースは、前記第4のトランジスタのドレインに結合され、

前記第4のトランジスタのゲートは、前記遅延モジュールの第1の出力に結合され、前記第4のトランジスタの前記ドレインは、前記第3のトランジスタの前記ソースに結合される、C2に記載の装置。

[C5] 前記第2のセクションは、前記第1のトランジスタ、第5のトランジスタ、第6のトランジスタ、および第7のトランジスタを備え、

前記第1のトランジスタの前記ドレインは、前記第5のトランジスタのドレインに結合され、

前記第5のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第5のトランジスタの前記ドレインは、前記第1のトランジスタの前記ドレインに結合され、前記第5のトランジスタのソースは、前記第6のトランジスタのドレインに結合され、

前記第6のトランジスタのゲートは、前記第2の制御電圧を出力する前記フィードバックモジュールの第2の出力に結合され、前記第6のトランジスタの前記ドレインは、前記第5のトランジスタの前記ソースに結合され、前記第6のトランジスタのソースは、前記第7のトランジスタのドレインに結合され、

前記第7のトランジスタのゲートは、前記遅延モジュールの第2の出力に結合され、前記第7のトランジスタの前記ドレインは、前記第6のトランジスタの前記ソースに結合される、C4に記載の装置。

[C6] 前記第1のトランジスタのソースは、電圧源に結合され、

前記第4のトランジスタのソースおよび前記第7のトランジスタのソースは、接地ノードに結合される、C5に記載の装置。

[C7] 前記遅延モジュールは、

前記第1のバッファから出力された前記第1のデジタル信号を受け取ることと、

前記受け取られた第1のデジタル信号に基づいて、第1の遅延を決定することと、

前記第1の遅延に基づいて、第1のイネーブル制御信号を前記第4のトランジスタの前記ゲートに送ることによって前記第1のセクションをアクティブ化することと、

前記受け取られた第1のデジタル信号に基づいて、第2の遅延を決定することと、

前記第2の遅延に基づいて、第2のイネーブル制御信号を前記第7のトランジスタの前記ゲートに送ることにより前記第2のセクションをアクティブ化することとによって、前記第1のセクションおよび前記第2のセクションのアクティブ状態を制御するように構成される、C5に記載の装置。

[C8] 前記第2のバッファは、第8のトランジスタ、第9のトランジスタ、および第10のトランジスタを備え、

前記第8のトランジスタのゲートは、前記第3の制御電圧を出力する前記フィードバックモジュールの第3の出力に結合され、前記第8のトランジスタのドレインは、前記第9のトランジスタのソースに結合され、

前記第9のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第9のトランジスタの前記ソースは、前記第8のトランジスタの前記ドレインに結合され、前記第9のトランジスタのドレインは、前記第10のトランジスタのドレインおよび前記組み合わせモジュールの第2の入力に結合され、

前記第10のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第10のトランジスタの前記ドレインは、前記第9のトランジスタの前記ドレインに結合される、C5に記載の装置。

[C9] 前記第8のトランジスタのソースは、電圧源に結合され、

前記第10のトランジスタのソースは、接地ノードに結合される、C8に記載の装置。

[C10] 前記組み合わせモジュールは、

前記第1のデジタル信号を前記第1のバッファから第1の入力として受け取ることと、

前記第2のデジタル信号を前記第2のバッファから第2の入力として受け取ることと、

前記第1の入力および前記第2の入力を使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記組み合わせされたデジタル信号として出力することによって、前記組み合わせされたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせるように構成される、C1に記載の装置。

[C11] 前記周波数2倍化モジュールは、

前記組み合わせされたデジタル信号を前記組み合わせモジュールから受け取ることと、第1の入力として前記組み合わせられたデジタル信号と、第2の入力として前記組み合わせられたデジタル信号の遅延されたバージョンとを使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記出力信号として出力することによって、前記出力信号を生成するために、前記組み合わせられたデジタル信号の前記第2のクロック周波数を2倍化するように構成される、C1に記載の装置。

[C12] クロック周波数を4倍にする方法であって、

電圧制御発振器(VCO)を介して、第1のクロック周波数にしたがって、正弦波信号を出力することと、

第1のバッファを介して、前記正弦波信号に基づいて、25%のデューティサイクルを有する第1のデジタル信号を生成することと、

第2のバッファを介して、前記正弦波信号に基づいて、25%のデューティサイクルを有する第2のデジタル信号を生成することと、

組み合わせモジュールを介して、50%のデューティサイクルを有する組み合わせられたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせることと、前記組み合わせられたデジタル信号は、前記第1のクロック周波数の2倍である第2のクロック周波数を有し、

周波数2倍化モジュールを介して、前記第1のクロック周波数の4倍である第3のクロック周波数を有する出力信号を生成するために、前記組み合わせられたデジタル信号の前記第2のクロック周波数を2倍化することと、を備える、方法。

[C13] フィードバックモジュールを介して、前記出力信号に基づいて、前記第1のバッファのための第1の制御電圧および第2の制御電圧と、前記第2のバッファのための第3の制御電圧とを生成することをさらに備え、

前記第1の制御電圧は、前記第1のバッファが前記第1のデジタル信号の立ち上がりエッジを制御することを容易にする、前記第1のバッファの第1のしきい値を制御し、

前記第2の制御電圧は、前記第1のバッファが前記第1のデジタル信号の立ち下がりエッジを制御することを容易にする、前記第1のバッファの第2のしきい値を制御し、

前記第3の制御電圧は、前記第2のバッファが前記第2のデジタル信号の立ち上がりエッジを制御することを容易にする、前記第2のバッファのしきい値を制御する、C12に記載の方法。

[C14] 前記第1の制御電圧、前記第2の制御電圧、および前記第3の制御電圧を生成することは、

位相周波数検出器(PFD)を介して、前記出力信号のエッジに基づいて、アップ/ダウンパルス信号を生成することと、

デマルチブレクサを介して、前記出力信号の前記エッジにそれぞれ対応する前記アップ/ダウンパルス信号のパルスを分離することと、

第1のデューティサイクル補正(DCC)モジュールを介して、第1の分離されたパルスに基づいて、前記第1の制御電圧を生成することと、

第2のDCCモジュールを介して、第2の分離されたパルスに基づいて、前記第2の制御電圧を生成することと、

第3のDCCモジュールを介して、第3の分離されたパルスに基づいて、前記第3の制御電圧を生成することと、を備える、C13に記載の方法。

[C15] 前記第1のバッファは、第1のセクションおよび第2のセクションを備え、

前記第1のセクションは、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、および第4のトランジスタを備え、

前記第1のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの出力に結合され、前記第1のトランジスタのドレインは、前記第2のトランジスタのドレイン、前記組み合わせモジュールの第1の入力、および遅延モジュールの入力に結合され、

前記第2のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第2のトランジスタの前記ドレインは、前記第1のトランジスタの前記ドレインに結合され、前記第2のトランジスタのソースは、前記第3のトランジスタのドレインに結合され、

前記第3のトランジスタのゲートは、前記第1の制御電圧を出力する前記フィードバックモジュールの第1の出力に結合され、前記第3のトランジスタの前記ドレインは、前記第2のトランジスタの前記ソースに結合され、前記第3のトランジスタのソースは、前記第4のトランジスタのドレインに結合され、

前記第4のトランジスタのゲートは、前記遅延モジュールの第1の出力に結合され、前記第4のトランジスタの前記ドレインは、前記第3のトランジスタの前記ソースに結合される、C13に記載の方法。

[C16] 前記第2のセクションは、前記第1のトランジスタ、第5のトランジスタ、第6のトランジスタ、および第7のトランジスタを備え、

前記第1のトランジスタの前記ドレインは、前記第5のトランジスタのドレインに結合され、

前記第5のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第5のトランジスタの前記ドレインは、前記第1のトランジスタの前記ドレインに結合され、前記第5のトランジスタのソースは、前記第6のトランジスタのドレインに結合され、

前記第6のトランジスタのゲートは、前記第2の制御電圧を出力する前記フィードバックモジュールの第2の出力に結合され、前記第6のトランジスタの前記ドレインは、前記第5のトランジスタの前記ソースに結合され、前記第6のトランジスタのソースは、前記第7のトランジスタのドレインに結合され、

前記第7のトランジスタのゲートは、前記遅延モジュールの第2の出力に結合され、前記第7のトランジスタの前記ドレインは、前記第6のトランジスタの前記ソースに結合される、C15に記載の方法。

[C17] 前記第1のトランジスタのソースは、電圧源に結合され、

前記第4のトランジスタのソースおよび前記第7のトランジスタのソースは、接地ノードに結合される、C16に記載の方法。

[C18] 前記遅延モジュールを介して、前記第1のセクションおよび前記第2のセクションのアクティブ状態を制御することをさらに備え、

前記制御することは、

前記第1のバッファから出力された前記第1のデジタル信号を受け取ることと、

前記受け取られた第1のデジタル信号に基づいて、第1の遅延を決定することと、

前記第1の遅延に基づいて、第1のイネーブル制御信号を前記第4のトランジスタの前記ゲートに送ることにより、前記第1のセクションをアクティブ化することと、

前記受け取られた第1のデジタル信号に基づいて、第2の遅延を決定することと、

前記第2の遅延に基づいて、第2のイネーブル制御信号を前記第7のトランジスタの前記ゲートに送ることにより、前記第2のセクションをアクティブ化することと、を備える、C16に記載の方法。

[C19] 前記第2のバッファは、第8のトランジスタ、第9のトランジスタ、および第10のトランジスタを備え、

前記第8のトランジスタのゲートは、前記第3の制御電圧を出力する前記フィードバックモジュールの第3の出力に結合され、前記第8のトランジスタのドレインは、前記第9のトランジスタのソースに結合され、

前記第9のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第9のトランジスタの前記ソースは、前記第8のトランジスタの前記ドレインに結合され、前記第9のトランジスタのドレインは、前記第10のトランジスタのドレインおよび前記組み合わせモジュールの第2の入力に結合され、

前記第10のトランジスタのゲートは、前記正弦波信号を出力する前記VCOの前記出力に結合され、前記第10のトランジスタの前記ドレインは、前記第9のトランジスタの前記ドレインに結合され、

前記第8のトランジスタのソースは、電圧源に結合され、

前記第10のトランジスタのソースは、接地ノードに結合される、C16に記載の方法。

[C20] 前記組み合わせられたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせることは、

前記第1のデジタル信号を前記第1のバッファから第1の入力として受け取ることと、

前記第2のデジタル信号を前記第2のバッファから第2の入力として受け取ることと、

前記第1の入力および前記第2の入力を使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記組み合わせられたデジタル信号として出力することと、を備える、C12に記載の方法。

[C21] 前記出力信号を生成するために、前記組み合わせられたデジタル信号の前記第2のクロック周波数を2倍化することは、

前記組み合わせられたデジタル信号を前記組み合わせモジュールから受け取ることと、第1の入力として前記組み合わせられたデジタル信号と、第2の入力として前記組み合わせられたデジタル信号の遅延されたバージョンとを使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記出力信号として出力することと、を備える、C12に記載の方法。

[C22] クロック周波数を4倍にするための装置であって、

第1のクロック周波数にしたがって、正弦波信号を出力するための手段と、

前記正弦波信号に基づいて、25%のデューティサイクルを有する第1のデジタル信号を生成するための手段と、

前記正弦波信号に基づいて、25%のデューティサイクルを有する第2のデジタル信号を生成するための手段と、

50%のデューティサイクルを有する組み合わせられたデジタル信号を生成するために、前記第1のデジタル信号と前記第2のデジタル信号とを組み合わせるための手段と、前記組み合わせられたデジタル信号は、前記第1のクロック周波数の2倍である第2のクロック周波数を有し、

前記第1のクロック周波数の4倍である第3のクロック周波数を有する出力信号を生成するために、前記組み合わせられたデジタル信号の前記第2のクロック周波数を2倍化するための手段と、を備える、装置。

[C23] 前記出力信号に基づいて、前記第1のバッファのための第1の制御電圧および第2の制御電圧と、前記第2のバッファのための第3の制御電圧とを生成するように構成されたフィードバックを提供するための手段をさらに備え、

前記第1の制御電圧は、前記第1のデジタル信号の立ち上がりエッジの制御を容易にする、前記第1のデジタル信号を生成するための手段の第1のしきい値を制御し、

前記第2の制御電圧は、前記第1のデジタル信号の立ち下がりエッジの制御を容易にする、前記第1のデジタル信号を生成するための手段の第2のしきい値を制御し、

前記第3の制御電圧は、前記第2のデジタル信号の立ち上がりエッジの制御を容易にする、前記第2のデジタル信号を生成するための手段のしきい値を制御する、C22に記載の装置。

[C24] 前記フィードバックを提供するための手段は、

前記出力信号のエッジに基づいて、アップ / ダウンパルス信号を生成し、
前記出力信号の前記エッジにそれぞれ対応する前記アップ / ダウンパルス信号のパルス
を分離し、

第 1 の分離されたパルスに基づいて、前記第 1 の制御電圧を生成し、

第 2 の分離されたパルスに基づいて、前記第 2 の制御電圧を生成し、

第 3 の分離されたパルスに基づいて、前記第 3 の制御電圧を生成するように構成される
、C 2 3 に記載の装置。

[C 2 5] 前記第 1 のデジタル信号を生成するための手段は、第 1 のセクションおよび
第 2 のセクションを備え、

前記第 1 のセクションは、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジ
スタ、および第 4 のトランジスタを備え、

前記第 1 のトランジスタのゲートは、前記正弦波信号を出力するための手段の出力に結
合され、前記第 1 のトランジスタのドレインは、前記第 2 のトランジスタのドレイン、前
記組み合わせるための手段の第 1 の入力、および遅延するための手段の入力に結合され、

前記第 2 のトランジスタのゲートは、前記正弦波信号を出力するための手段の前記出力
に結合され、前記第 2 のトランジスタの前記ドレインは、前記第 1 のトランジスタの前記
ドレインに結合され、前記第 2 のトランジスタのソースは、前記第 3 のトランジスタのド
レインに結合され、

前記第 3 のトランジスタのゲートは、前記第 1 の制御電圧を出力するフィードバックを
提供するための手段の第 1 の出力に結合され、前記第 3 のトランジスタの前記ドレインは
、前記第 2 のトランジスタの前記ソースに結合され、前記第 3 のトランジスタのソースは
、前記第 4 のトランジスタのドレインに結合され、

前記第 4 のトランジスタのゲートは、前記遅延するための手段の第 1 の出力に結合され
、前記第 4 のトランジスタの前記ドレインは、前記第 3 のトランジスタの前記ソースに結
合される、C 2 3 に記載の装置。

[C 2 6] 前記第 2 のセクションは、前記第 1 のトランジスタ、第 5 のトランジスタ、
第 6 のトランジスタ、および第 7 のトランジスタを備え、

前記第 1 のトランジスタの前記ドレインは、前記第 5 のトランジスタのドレインに結合
され、

前記第 5 のトランジスタのゲートは、前記正弦波信号を出力するための手段の前記出力
に結合され、前記第 5 のトランジスタの前記ドレインは、前記第 1 のトランジスタの前記
ドレインに結合され、前記第 5 のトランジスタのソースは、前記第 6 のトランジスタのド
レインに結合され、

前記第 6 のトランジスタのゲートは、前記第 2 の制御電圧を出力する前記フィードバ
ックを提供するための手段の第 2 の出力に結合され、前記第 6 のトランジスタの前記ドレ
インは、前記第 5 のトランジスタの前記ソースに結合され、前記第 6 のトランジスタのソ
ースは、前記第 7 のトランジスタのドレインに結合され、

前記第 7 のトランジスタのゲートは、前記遅延するための手段の第 2 の出力に結合され
、前記第 7 のトランジスタの前記ドレインは、前記第 6 のトランジスタの前記ソースに結
合され、

前記第 1 のトランジスタのソースは、電圧源に結合され、

前記第 4 のトランジスタのソースおよび前記第 7 のトランジスタのソースは、接地ノ
ードに結合される、C 2 5 に記載の装置。

[C 2 7] 前記遅延するための手段は、

前記第 1 のデジタル信号を生成するための手段から出力された前記第 1 のデジタル信号
を受け取ることと、

前記受け取られた第 1 のデジタル信号に基づいて、第 1 の遅延を決定することと、

前記第 1 の遅延に基づいて、第 1 のイネーブル制御信号を前記第 4 のトランジスタの前
記ゲートに送ることにより前記第 1 のセクションをアクティブ化することと、

前記受け取られた第 1 のデジタル信号に基づいて、第 2 の遅延を決定することと、

前記第2の遅延に基づいて、第2のイネーブル制御信号を前記第7のトランジスタの前記ゲートに送ることにより前記第2のセクションをアクティブ化することによって、前記第1のセクションおよび前記第2のセクションのアクティブ状態を制御するように構成される、C26に記載の装置。

[C28] 前記第2のデジタル信号を生成するための手段は、第8のトランジスタ、第9のトランジスタ、および第10のトランジスタを備え、

前記第8のトランジスタのゲートは、前記第3の制御電圧を出力する前記フィードバックを提供するための手段の第3の出力に結合され、前記第8のトランジスタのドレインは、前記第9のトランジスタのソースに結合され、

前記第9のトランジスタのゲートは、前記正弦波信号を出力するための手段の前記出力に結合され、前記第9のトランジスタの前記ソースは、前記第8のトランジスタの前記ドレインに結合され、前記第9のトランジスタのドレインは、前記第10のトランジスタのドレインおよび前記組み合わせするための手段の第2の入力に結合され、

前記第10のトランジスタのゲートは、前記正弦波信号を出力するための手段の前記出力に結合され、前記第10のトランジスタの前記ドレインは、前記第9のトランジスタの前記ドレインに結合され、

前記第8のトランジスタのソースは、電圧源に結合され、

前記第10のトランジスタのソースは、接地ノードに結合される、C26に記載の装置。

[C29] 前記組み合わせるための手段は、

前記第1のデジタル信号を前記第1のデジタル信号を生成するための手段から第1の入力として受け取ることと、

前記第2のデジタル信号を前記第2のデジタル信号を生成するための手段から第2の入力として受け取ることと、

前記第1の入力および前記第2の入力を使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記組み合わせされたデジタル信号として出力することによって、前記組み合わせられたデジタル信号を生成する、C22に記載の装置。

[C30] 前記2倍化するための手段は、

前記組み合わせられたデジタル信号を組み合わせるための手段から受け取ることと、

第1の入力として前記組み合わせられたデジタル信号と、第2の入力として前記組み合わせられたデジタル信号の遅延されたバージョンとを使用して、排他的論理和演算を実行することと、

前記排他的論理和演算の結果を前記出力信号として出力することによって、前記出力信号を生成する、C22に記載の装置。