



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0149249
(43) 공개일자 2023년10월26일

(51) 국제특허분류(Int. Cl.)
H01L 21/8238 (2006.01) H01L 21/02 (2006.01)
H01L 21/67 (2006.01)
(52) CPC특허분류
H01L 21/8238 (2013.01)
H01L 21/02123 (2013.01)
(21) 출원번호 10-2023-0049966
(22) 출원일자 2023년04월17일
심사청구일자 없음
(30) 우선권주장
63/332,622 2022년04월19일 미국(US)

(71) 출원인
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050
(72) 발명자
브레일, 니콜라스 루이스
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050 엠/에스 1269 어플라이드 머티어리얼스
인코포레이티드 로우 디파트먼트 (내)
프라나타르티하란, 바라수브라마니안
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050 엠/에스 1269 어플라이드 머티어리얼스
인코포레이티드 로우 디파트먼트 (내)
(뒷면에 계속)
(74) 대리인
특허법인 남앤남

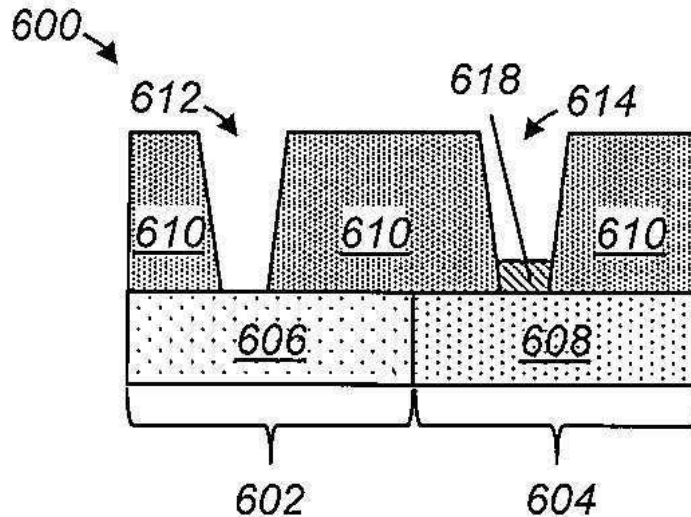
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 CMOS 디바이스들을 위한 콘택 형성 프로세스

(57) 요약

반도체 구조에 콘택 층을 형성하는 방법은, 기판 상에 형성된 복수의 제1 반도체 구역들 및 복수의 제2 반도체 구역들의 노출된 표면들 상에서 사전-세정 프로세스를 수행하는 단계 - 복수의 제1 및 제2 반도체 구역들의 노출된 표면들은 각각 기판 위에 배치된 유전체 층에 형성된 개구들 내에 배치됨 -, 제1 반도체 구역들의 노출된 (뒷면에 계속)

대표도 - 도6e



표면들 상에 제1 콘택 층을 및 제2 반도체 구역들의 노출된 표면 상에 제2 콘택 층을 형성하기 위해 제1 선택적 에피택셜 증착 프로세스를 수행하는 단계, 패터닝된 스택을 형성하기 위해 패터닝 프로세스를 수행하는 단계 - 패터닝된 스택은 유전체 층의 각각의 개구 내에 배치된 제1 콘택 층 위에 형성된 개구들을 포함하는 패터닝된 층, 및 유전체 층의 각각의 개구 내에 배치된 각각의 제2 콘택 층 위에 배치된 패터닝된 층의 부분을 포함함 -, 및 복수의 제1 반도체 구역들, 유전체 층, 및 패터닝된 층에 대해 제1 콘택 층을 선택적으로 제거하기 위해 선택적 제거 프로세스를 수행하는 단계를 포함한다.

(52) CPC특허분류

H01L 21/02293 (2013.01)

H01L 21/67098 (2013.01)

(72) 발명자

콜롬보, 벤자민

미국 95054 캘리포니아 산타 클라라 바우어스 애브

뉴 3050 엠/에스 1269 어플라이드 머티어리얼스 인

코포레이티드 로우 디파트먼트 (내)

왕, 안추안

미국 95054 캘리포니아 산타 클라라 바우어스 애브

뉴 3050 엠/에스 1269 어플라이드 머티어리얼스 인

코포레이티드 로우 디파트먼트 (내)

명세서

청구범위

청구항 1

반도체 구조에 전기 콘택(electrical contact)을 형성하는 방법으로서,

기판 상에 형성된 복수의 제1 반도체 구역들 및 복수의 제2 반도체 구역들의 노출된 표면들 상에서 사전-세정 프로세스를 수행하는 단계 - 상기 복수의 제1 반도체 구역들 및 제2 반도체 구역들의 노출된 표면들은 각각 상기 기판 위에 배치된 유전체 층에 형성된 개구들 내에 배치됨 -;

상기 제1 반도체 구역들의 노출된 표면들 상에 제1 콘택 층을 및 상기 제2 반도체 구역들의 노출된 표면 상에 제2 콘택 층을 형성하기 위해 제1 선택적 에피택셜 증착 프로세스를 수행하는 단계;

패터닝된 스택을 형성하기 위해 패터닝 프로세스를 수행하는 단계 - 상기 패터닝된 스택은 패터닝된 층을 포함하고, 상기 패터닝된 층은 상기 유전체 층의 각각의 개구 내에 배치된 상기 제1 콘택 층 위에 형성된 개구들, 및 상기 유전체 층의 각각의 개구 내에 배치된 각각의 제2 콘택 층 위에 배치된, 상기 패터닝 층의 일부를 포함함 -; 및

상기 복수의 제1 반도체 구역들, 상기 유전체 층, 및 상기 패터닝된 층에 비해 선택적으로 상기 제1 콘택 층을 제거하기 위해 선택적 제거 프로세스를 수행하는 단계를 포함하는, 방법.

청구항 2

제1항에 있어서,

상기 기판 상에 형성된 상기 제1 반도체 구역들이 실리콘을 포함하며,

상기 기판 상에 형성된 상기 제2 반도체 구역들이 실리콘 게르마늄을 포함하며,

상기 제1 콘택 층 및 상기 제2 콘택 층이 실리콘 게르마늄을 포함하는, 방법.

청구항 3

제1항에 있어서,

상기 패터닝 스택이 유기 유전체 층, 실리콘 반사-방지 코팅, 및 포토레지스트로부터 선택된 재료를 포함하는, 방법.

청구항 4

제1항에 있어서,

상기 선택적 제거 프로세스가,

-20°C 내지 60°C의 온도,

1° Torr 내지 50° Torr의 압력,

약 5 sccm 내지 40 sccm의 불소-함유 전구체의 유량,

4 sccm 내지 1500 sccm의 아르곤(Ar)의 유량,

100 sccm 내지 5000 sccm의 헬륨(He)의 유량, 및

100 sccm 내지 5000 sccm의 질소(N₂)의 유량에서 수행되는, 방법.

청구항 5

제1항에 있어서,

상기 선택적 제거 프로세스에 후속하여, 상기 패터닝 스택을 제거하기 위해 애싱 프로세스(ashing process)를 수행하는 단계를 더 포함하는, 방법.

청구항 6

제5항에 있어서,

상기 애싱 프로세스에 후속하여, 상기 제1 반도체 구역들의 노출된 표면 및 상기 제2 반도체 구역들 상에 형성된 상기 제2 콘택 층의 노출된 표면 상에 금속 층을 형성하기 위해 제2 증착 프로세스를 수행하는 단계를 더 포함하는, 방법.

청구항 7

제6항에 있어서,

상기 금속 층이 티타늄(Ti) 규화물, 코발트(Co) 규화물, 니켈(Ni) 규화물, 몰리브덴(Mo) 규화물, 및 탄탈럼(Ta) 규화물로부터 선택된 재료를 포함하는, 방법.

청구항 8

반도체 구조에 콘택 층을 형성하는 방법으로서,

기판 상에 형성된 복수의 제1 반도체 구역들 및 복수의 제2 반도체 구역들의 노출된 표면들에 상에서 사전-세정 프로세스를 수행하는 단계 - 상기 복수의 제1 반도체 구역들 및 상기 제2 반도체 구역들의 노출된 표면들은 각각 상기 기판 위에 배치된 유전체 층에 형성된 개구들 내에 배치됨 -;

상기 제1 반도체 구역들의 노출된 표면 상에 제1 두께를 갖는 제1 콘택 층을 및 상기 제2 반도체 구역들의 노출된 표면 상에 제2 두께를 갖는 제2 콘택 층을 동시에 형성하기 위해 제1 선택적 에피택셜 증착 프로세스를 수행하는 단계 - 상기 제2 두께는 상기 제1 두께보다 더 큼 -; 및

상기 제1 콘택 층이 상기 제1 반도체 구역들로부터 실질적으로 제거되고 상기 제2 콘택 층의 일부가 상기 제2 반도체 구역들 상에 존재할 때까지, 상기 복수의 제1 반도체 구역들 및 상기 유전체 층에 비해 선택적으로 상기 제1 콘택 층 및 상기 제2 콘택 층을 제거하기 위해, 선택적 제거 프로세스를 수행하는 단계를 포함하는, 방법.

청구항 9

제8항에 있어서,

상기 기판 상에 형성된 상기 제1 반도체 구역들이 실리콘을 포함하며,
 상기 기판 상에 형성된 상기 제2 반도체 구역들이 실리콘 게르마늄을 포함하며,
 상기 제1 콘택 층 및 제2 콘택 층이 실리콘 게르마늄을 포함하는, 방법.

청구항 10

제8항에 있어서,

상기 선택적 제거 프로세스가
 -20°C 내지 60°C의 온도,
 1° Torr 내지 50° Torr의 압력,
 약 5 sccm 내지 40 sccm의 불소-함유 전구체의 유량,
 4 sccm 내지 1500 sccm의 아르곤(Ar)의 유량,
 100 sccm 내지 5000 sccm의 헬륨(He)의 유량, 및
 100 sccm 내지 5000 sccm의 질소(N₂)의 유량에서 수행되는, 방법.

청구항 11

제8항에 있어서,

상기 제1 반도체 구역들의 노출된 표면 및 상기 제2 반도체 구역들 상에 형성된 상기 제2 콘택 층의 노출된 표면 상에 금속 층을 형성하기 위해 제2 선택적 에피택셜 증착 프로세스를 수행하는 단계를 더 포함하는, 방법.

청구항 12

제11항에 있어서,

상기 금속 층이 티타늄(Ti) 규화물, 코발트(Co) 규화물, 니켈(Ni) 규화물, 몰리브덴(Mo) 규화물, 및 탄탈럼(Ta) 규화물로부터 선택된 재료를 포함하는, 방법.

청구항 13

프로세싱 시스템으로서,

제1 프로세싱 챔버;

제2 프로세싱 챔버;

제3 프로세싱 챔버; 및

시스템 제어기를 포함하고,

상기 시스템 제어기는

상기 제1 프로세싱 챔버에서, 기판 상에 형성된 복수의 제1 반도체 구역들 및 복수의 제2 반도체 구역들의 노출된 표면들 상에서 사전-세정 프로세스를 수행하고;

상기 제2 프로세싱 챔버에서, 상기 기판의 상기 제1 반도체 구역들의 노출된 표면들 상에 제1 콘택 층을 및 상기 제2 반도체 구역들의 노출된 표면 상에 제2 콘택 층을 에피택셜하게 형성하기 위해 제1 선택적 증착 프로세스를 수행하고; 그리고

상기 제3 프로세싱 챔버에서, 상기 제1 반도체 구역들에 비해 선택적으로 상기 제1 콘택 층을 제거하기 위해 선택적 제거 프로세스를 수행하도록 구성되는, 프로세싱 시스템.

청구항 14

제13항에 있어서,

상기 시스템 제어기가 진공 환경을 파괴시키지 않으면서, 상기 제1 프로세싱 챔버, 상기 제2 프로세싱 챔버, 및 상기 제3 프로세싱 챔버 사이에서 상기 기판을 이동하도록 추가로 구성되는, 프로세싱 시스템.

청구항 15

제13항에 있어서,

상기 기판 상에 형성된 상기 제1 반도체 구역들이 실리콘을 포함하며,

상기 기판 상에 형성된 상기 제2 반도체 구역들이 실리콘 게르마늄을 포함하며,

상기 제1 콘택 층 및 상기 제2 콘택 층이 실리콘 게르마늄을 포함하는, 프로세싱 시스템.

청구항 16

제13항에 있어서,

상기 제3 프로세싱 챔버에서의 상기 선택적 제거 프로세스가

-20°C 내지 60°C의 온도,

1° Torr 내지 50° Torr의 압력,

약 5 sccm 내지 40 sccm의 불소-함유 전구체의 유량,

4 sccm 내지 1500 sccm의 아르곤(Ar)의 유량,

100 sccm 내지 5000 sccm의 헬륨(He)의 유량, 및
 100 sccm 내지 5000 sccm의 질소(N₂)의 유량에서 수행되는, 프로세싱 시스템.

청구항 17

제13항에 있어서,
 제4 프로세싱 챔버를 더 포함하며,
 상기 시스템 제어기는,
 상기 제4 프로세싱 챔버에서, 상기 기판 상에 형성된 상기 제1 반도체 구역들의 노출된 표면 및 제2 반도체 구역들 상에 형성된 상기 제2 콘택 층의 노출된 표면 상에 금속 층을 형성하기 위해 제2 증착 프로세스를 수행하도록 추가로 구성되며,
 상기 금속 층은 티타늄(Ti) 규화물, 코발트(Co) 규화물, 니켈(Ni) 규화물, 몰리브덴(Mo) 규화물, 및 탄탈럼(Ta) 규화물로부터 선택된 재료를 포함하는, 프로세싱 시스템.

청구항 18

제17항에 있어서,
 제5 프로세싱 챔버를 더 포함하며,
 상기 시스템 제어기는,
 상기 제5 프로세싱 챔버에서, 상기 금속 층 상에 배리어 금속 층을 형성하기 위해, 컨포멀 증착 프로세스(conformal deposition process)를 수행하도록 추가로 구성되며,
 상기 배리어 금속 층은 티타늄 질화물(TiN) 및 탄탈럼 질화물(TaN)로부터 선택된 재료를 포함하는, 프로세싱 시스템.

청구항 19

제18항에 있어서,
 제6 프로세싱 챔버를 더 포함하며,
 상기 시스템 제어기는,
 상기 제6 프로세싱 챔버에서, 상기 제4 프로세싱 챔버에서의 상기 제2 증착 프로세스 전에 및 상기 제3 프로세싱 챔버에서의 상기 선택적 제거 프로세스에 후속하여, 패터닝 스택을 제거하기 위해 애싱 프로세스를 수행하도록 추가로 구성되는, 프로세싱 시스템.

발명의 설명

기술 분야

[0001] 본원에서 기술되는 실시예들은 일반적으로, 반도체 디바이스 제조에 관한 것으로, 더 상세하게는, 반도체 구조 내에 콘택(contact)을 형성하는 시스템들 및 방법들에 관한 것이다.

배경 기술

[0002] CMOS(complementary metal-oxide semiconductor) 디바이스들과 같은 멀티-게이트 MOSFET(metal-oxide-semiconductor field-effect transistor)들은 그들의 3D(three-dimensional) 설계들 및 작은 크기들로 인해 제조 가능성에 난제들을 제기한다. 진보된 CMOS 디바이스들에서, 트랜치 콘택의 최하부에 형성된 실리콘-함유 재료(예컨대, 붕소-도핑된 p-형 실리콘 게르마늄 또는 인-도핑된 n-형 실리콘)의 에피택셜 층은 콘택 저항률을 $10^{-9} \Omega \cdot \text{cm}^2$ 체계(regime)로 낮추고 진보된 CMOS 기술들에 대해 요구되는 성능을 달성하기 위해 종종 활용된다.

[0003] 그러나, 예컨대, n-MOS 구역 또는 p-MOS 구역을 보호하기 위해 하드 마스크를 사용하는 그러한 에피택셜 층의 형성 및 패터닝은, CMOS 디바이스의 다양한 부분들, 이를테면, 스페이서들, 게이트 캡 층들, 또는 에피택

설하게 성장된 층들을 손상시킬 수 있다.

[0004] 따라서, 반도체 디바이스의 선택된 부분에 실리콘-함유 재료의 에피택셜 층을 포함하는 콘택을 형성할 수 있는 방법들 및 시스템들이 필요하다.

발명의 내용

[0005] 본 개시내용의 실시예들은 반도체 구조에 콘택 층을 형성하는 방법을 제공한다. 방법은, 기판 상에 형성된 복수의 제1 반도체 구역들 및 복수의 제2 반도체 구역들의 노출된 표면들 상에서 사전-세정 프로세스를 수행하는 단계 - 복수의 제1 반도체 구역들 및 제2 반도체 구역들의 노출된 표면들은 각각, 기판 위에 배치된 유전체 층에 형성된 개구들 내에 배치됨 -, 제1 반도체 구역들의 노출된 표면들 상에 제1 콘택 층 및 제2 반도체 구역들의 노출된 표면 상에 제2 콘택 층을 형성하기 위해 제1 선택적 에피택셜 증착 프로세스를 수행하는 단계, 패터닝된 스택을 형성하기 위해 패터닝 프로세스를 수행하는 단계 - 패터닝된 스택은 유전체 층의 각각의 개구 내에 배치된 제1 콘택 층 위에 형성된 개구들, 및 유전체 층의 각각의 개구 내에 배치된 각각의 제2 콘택 층 위에 배치된 패터닝된 층의 일부를 포함하는 패터닝된 층을 포함함 -, 및 복수의 제1 반도체 구역들, 유전체 층, 및 패터닝된 층에 비해 선택적으로 제1 콘택 층을 제거하기 위해 선택적인 제거 프로세스를 수행하는 단계를 포함한다.

[0006] 본 개시내용의 실시예들은 반도체 구조에 콘택 층을 형성하는 방법을 제공한다. 방법은, 기판 상에 형성된 복수의 제1 반도체 구역들 및 복수의 제2 반도체 구역들의 노출된 표면들 상에서 사전-세정 프로세스를 수행하는 단계 - 복수의 제1 반도체 구역들 및 제2 반도체 구역들의 노출된 표면들은 각각, 기판 위에 배치된 유전체 층에서 형성된 개구들 내에 배치됨 - 제1 반도체 구역들의 노출된 표면 상에 제1 두께를 갖는 제1 콘택 층 및 제2 반도체 구역들의 노출된 표면 상에 제2 두께를 갖는 제2 콘택 층을 동시에 형성하기 위해 제1 선택적 에피택셜 증착 프로세스를 수행하는 단계 - 제2 두께는 제1 두께보다 더 큼 -, 및 제1 콘택 층이 제1 반도체 구역들로부터 실질적으로 제거되며 제2 콘택 층의 부분이 제2 반도체 구역들 상에 존재할 때까지, 복수의 제1 반도체 구역들, 및 유전체 층에 비해 선택적으로 제1 콘택 층 및 제2 콘택 층을 제거하기 위해 선택적 제거 프로세스를 수행하는 단계를 포함한다.

[0007] 본 개시내용의 실시예들은, 제1 프로세싱 챔버, 제2 프로세싱 챔버, 제3 프로세싱 챔버, 및 시스템 제어기를 포함하는 프로세싱 시스템을 제공하며, 그 시스템 제어기는, 제1 프로세싱 챔버에서, 기판 상에 형성된 복수의 제1 반도체 구역들 및 복수의 제2 반도체 구역들의 노출된 표면들 상에서 사전-세정 프로세스를 수행하고, 제2 프로세싱 챔버에서, 제1 반도체 구역들의 노출된 표면들 상에 제1 콘택 층, 및 기판의 제2 반도체 구역들의 노출된 표면 상에 제2 콘택 층을 에피택셜하게 형성하기 위해 제1 선택적 증착 프로세스를 수행하고, 제3 프로세싱 챔버에서, 제1 반도체 구역들에 비해 선택적으로 제1 콘택 층을 제거하기 위해 선택적 제거 프로세스를 수행하도록 구성된다.

도면의 간단한 설명

[0008] 본 개시내용의 상기 열거된 특징들이 상세히 이해될 수 있는 방식으로, 앞서 간략히 요약된 본 개시내용의 보다 구체적인 설명이 실시예들을 참조로 하여 이루어질 수 있는데, 이러한 실시예들의 일부는 첨부된 도면들에 예시되어 있다. 그러나, 첨부된 도면들은 본 개시내용의 단지 통상적인 실시예들을 예시하는 것이므로 본 개시내용의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 개시내용이 다른 균등하게 유효한 실시예들을 허용할 수 있기 때문이다.

[0009] 도 1은 본 개시내용의 하나 이상의 실시예들에 따른 다중-챔버 프로세싱 시스템의 개략적인 평면도이다.

[0010] 도 2a는 하나 이상의 실시예들에 따른, 프로세싱 챔버의 단면도이다.

[0011] 도 2b는 도 2a의 프로세싱 챔버의 일부의 확대도이다.

[0012] 도 3은 하나 이상의 실시예들에 따른, 프로세싱 챔버의 단면도이다.

[0013] 도 4는 하나 이상의 실시예들에 따른, 프로세싱 챔버의 단면도이다.

[0014] 도 5는 본 개시내용의 제1 실시예에 따른 반도체 구조에 콘택 층을 형성하는 방법의 프로세스 흐름도를 도시한다.

[0015] 도 6a, 도 6b, 도 6c, 도 6d, 도 6e, 도 6f, 및 도 6g는 도 5의 방법의 다양한 상태들에 대응하는 반도체

체 구조의 일부의 단면도들이다.

[0016] 도 7은 본 개시내용의 제2 실시예에 따른 반도체 구조에 콘택 층을 형성하는 방법의 프로세스 흐름도를 도시한다.

[0017] 도 8a, 도 8b, 도 8c, 도 8d 및 도 8e는 도 7의 방법의 다양한 상태들에 대응하는 반도체 구조의 일부의 단면도들이다.

[0018] 이해를 용이하게 하기 위해, 도면들에 대해 공통인 동일한 엘리먼트들을 지정하기 위해 가능한 경우 동일한 참조 번호들이 사용되었다. 일 실시예의 엘리먼트들 및 특징들이 추가 설명 없이 다른 실시예들에 유익하게 포함될 수 있다는 것이 고려된다.

발명을 실시하기 위한 구체적인 내용

- [0009] [0019] 본원에서 기술되는 실시예들은, CMOS 디바이스를 형성하기 위해 사용되는 구조의 선택된 부분에(예컨대, 실리콘 또는 실리콘 게르마늄 층의 노출된 표면 상에) 실리콘-함유 재료(예컨대, 붕소-도핑된 p-형 실리콘 게르마늄 또는 인-도핑된 n-형 실리콘)의 에피택셜 층을 포함하는 콘택을 형성하기 위한 방법들 및 시스템들을 제공한다. 방법들 및 시스템들은, 실리콘을 포함하는 구역, 실리콘 게르마늄을 포함하는 구역, 및 그 위에 형성된 유전체 층을 갖는 반도체 구조에서, 유전체 층에 형성된 개구 또는 피처(예컨대, 콘택 트랜치) 내에 실리콘 게르마늄 재료의 노출된 표면 상에 실리콘 게르마늄을 선택적으로 포함하는 에피택셜 층을 형성하는 데 특히 유용할 수 있다. 콘택을 형성하기 위해, 제조된 반도체 구조들(예컨대, 스페이서들, 게이트 캡, 등)을 손상시키는 경향이 있는, 다양한 에칭 및 패터닝 프로세스 단계들 및 하드 마스크의 형성을 필요로 하는 종래의 프로세스들과 달리, 본원에서 기술된 프로세스들은 이러한 이전에 형성된 반도체 구조들을 손상시키지 않으면서 콘택을 형성시키도록 구성된다.
- [0010] [0020] 도 1은 본 개시내용의 하나 이상의 실시예들에 따른, 다중-챔버 프로세싱 시스템(100)의 개략적인 평면도이다. 프로세싱 시스템(100)은 일반적으로, 팩토리 인터페이스(102), 로드 록 챔버들(104, 106), 각각의 이송 로봇들(112, 114)을 갖는 이송 챔버들(108, 110), 홀딩 챔버들(116, 118), 및 프로세싱 챔버들(120, 122, 124, 126, 128, 130)을 포함한다. 본원에서 상세히 설명되는 바와 같이, 프로세싱 시스템(100) 내의 기관들은, 프로세싱 시스템(100) 외부의 주변 환경(예컨대, 이를테면, 팹(fab)에 존재할 수 있는 대기 주변 환경)에 기관들을 노출시키지 않으면서 다양한 챔버들 내에서 프로세싱될 수 있고, 다양한 챔버들 사이에서 이송될 수 있다. 예컨대, 기관들은, 프로세싱 시스템(100)에서 기관들 상에서 수행되는 다양한 프로세스들 사이에 저압 또는 진공 환경을 파괴하지 않으면서 저압(예컨대, 약 300 Torr 이하) 또는 진공 환경에서 유지되는 다양한 챔버들 내에서 프로세싱되고 다양한 챔버들 사이에서 이송될 수 있다. 따라서, 프로세싱 시스템(100)은 기관들의 일부 프로세싱을 위한 통합된 솔루션을 제공할 수 있다.
- [0011] [0021] 본원에서 제공된 교시들에 따라 적합하게 수정될 수 있는 프로세싱 시스템의 예들은, 캘리포니아, 산타 클라라에 소재하는, Applied Materials, Inc.로부터 상업적으로 입수 가능한 Endura[®], Producer[®] 또는 Centura[®] 통합형 프로세싱 시스템들 또는 다른 적합한 프로세싱 시스템들을 포함한다. 다른 프로세싱 시스템들(다른 제조자들로부터의 프로세싱 시스템들을 포함함)이 본원에서 기술되는 양상들로부터 이익을 얻도록 구성될 수 있다는 것이 고려된다.
- [0012] [0022] 도 1의 예시된 예에서, 팩토리 인터페이스(102)는 기관들의 이송을 가능하게 하기 위해 도킹 스테이션(132) 및 팩토리 인터페이스 로봇들(134)을 포함한다. 도킹 스테이션(132)은 하나 이상의 FOUP(front opening unified pod)들(136)을 수용하도록 구성된다. 일부 예들에서, 각각의 팩토리 인터페이스 로봇(134)은 일반적으로, 팩토리 인터페이스(102)로부터 로드 록 챔버들(104, 106)로 기관들을 이송하도록 구성된 개개의 팩토리 인터페이스 로봇(134)의 일 단부 상에 배치된 블레이드(138)를 포함한다.
- [0013] [0023] 로드 록 챔버들(104, 106)은 팩토리 인터페이스(102)에 커플링된 개개의 포트들(140, 142), 및 이송 챔버(108)에 커플링된 개개의 포트들(144, 146)을 갖는다. 이송 챔버(108)는, 홀딩 챔버들(116, 118)에 커플링된 개개의 포트들(148, 150), 및 프로세싱 챔버들(120, 122)에 커플링된 개개의 포트들(152, 154)을 더 갖는다. 유사하게, 이송 챔버(110)는, 홀딩 챔버들(116, 118)에 커플링된 개개의 포트들(156, 158), 및 프로세싱 챔버들(124, 126, 128, 130)에 커플링된 개개의 포트들(160, 162, 164, 166)을 갖는다. 포트들(144, 146, 148, 150, 152, 154, 156, 158, 160, 162, 164, 166)은, 예컨대 이송 로봇들(112, 114)에 의해 그것을 통해 기관들을 통과시키기 위한, 및 가스가 개개 챔버들 사이로 진행하는 것을 방지하게 위해 개개 챔버들 사이에 시일을 제공하

기 위한, 슬릿 밸브들을 갖는 슬릿 밸브 개구들일 수 있다. 일반적으로, 임의의 포트는 이를 통해 기판을 이송하기 위해 개방된다. 그렇지 않으면, 포트는 폐쇄된다.

[0014] [0024] 로드 록 챔버들(104, 106), 이송 챔버들(108, 110), 홀딩 챔버들(116, 118), 및 프로세싱 챔버들(120, 122, 124, 126, 128, 130)은 가스 및 압력 제어 시스템(구체적으로 예시되지 않음)에 유동적으로 커플링될 수 있다. 가스 및 압력 제어 시스템은 하나 이상의 가스 펌프들(예컨대, 터보 펌프들, 크라이오(cryo)-펌프들, 러핑(roughing) 펌프들), 가스 소스들, 다양한 밸브들, 및 다양한 챔버들에 유동적으로 커플링된 도관들을 포함할 수 있다. 동작 시에, 팩토리 인터페이스 로봇(134)은 기판을 FOUP(136)로부터 포트(140 또는 142)를 통해 로드 록 챔버(104 또는 106)로 이송한다. 이후, 가스 및 압력 제어 시스템은 로드 록 챔버(104 또는 106)를 펌핑 다운(pump down)한다. 가스 및 압력 제어 시스템은 추가로, 이송 챔버들(108, 110) 및 홀딩 챔버들(116, 118)을 내부 저압 또는 진공 환경(불활성 가스를 포함할 수 있음)으로 유지한다. 따라서, 로드 록 챔버(104 또는 106)의 펌핑 다운은, 예컨대 팩토리 인터페이스(102)의 대기 환경과 이송 챔버(108)의 저압 또는 진공 환경 사이로 기판을 통과시키는 것을 가능하게 한다.

[0015] [0025] 로드 록 챔버(104 또는 106) 내의 기판이 펌핑 다운된 상태로, 이송 로봇(112)은 기판을 포트(144 또는 146)를 통해 로드 록 챔버(104 또는 106)로부터 이송 챔버(108) 내로 이송시킨다. 그런 다음, 이송 로봇(112)은, 개개의 포트들(152, 154)을 통해 프로세싱을 위한 프로세싱 챔버들(120, 122), 및 개개 포트들(148, 150)을 통해 추가 이송을 대기하도록 홀딩하기 위한 홀딩 챔버들(116, 118) 중 임의의 챔버들로 및/또는 챔버들 사이로 기판을 이송시킬 수 있다. 유사하게, 이송 로봇(114)은 포트(156 또는 158)를 통해 홀딩 챔버(116 또는 118) 내의 기판에 액세스할 수 있고, 그리고 개개 포트들(160, 162, 164, 166)을 통해 프로세싱을 위한 프로세싱 챔버들(124, 126, 128, 130), 및 개개 포트들(156, 158)을 통해 추가 이송을 대기하도록 홀딩하기 위한 홀딩 챔버들(116, 118) 중 임의의 챔버들로 및/또는 챔버들 사이로 기판을 이송시킬 수 있다. 다양한 챔버들 내에서의 그리고 다양한 챔버들 사이에서의 기판의 이송 및 홀딩은 가스 및 압력 제어 시스템에 의해 제공되는 저압 또는 진공 환경에서 이루어질 수 있다.

[0016] [0026] 프로세싱 챔버들(120, 122, 124, 126, 128, 130)은 기판을 프로세싱하기 위한 임의의 적절한 챔버일 수 있다. 일부 예들에서, 프로세싱 챔버(120)는 에칭 프로세스를 수행할 수 있고, 프로세싱 챔버(122)는 세정 프로세스를 수행할 수 있고, 프로세싱 챔버(124)는 선택적 제거 프로세스를 수행할 수 있고, 프로세싱 챔버들(126, 128, 130)은 개개의 에피택셜 성장 프로세스들을 수행할 수 있다. 프로세싱 챔버(120)는, 캘리포니아, 산타 클라라의 Applied Materials로부터 입수 가능한 Selectra™ Etch 챔버일 수 있다. 프로세싱 챔버(122)는, 캘리포니아, 산타 클라라의 Applied Materials로부터 입수 가능한 SiCoNi™ 사전-세정 챔버일 수 있다. 프로세싱 챔버(126, 128, 또는 130)는, 캘리포니아, 산타 클라라의 Applied Materials로부터 입수 가능한 Centura™ Epi 챔버일 수 있다.

[0017] [0027] 시스템 제어기(168)는 프로세싱 시스템(100) 또는 프로세싱 시스템(100)의 컴포넌트들을 제어하기 위해 프로세싱 시스템(100)에 커플링된다. 예컨대, 시스템 제어기(168)는 프로세싱 시스템(100)의 챔버들(104, 106, 108, 110, 116, 118, 120, 122, 124, 126, 128, 130)의 직접적인 제어를 사용하여 그리고 챔버들(104, 106, 108, 110, 116, 118, 120, 122, 124, 126, 128, 130)과 연관된 제어기들을 제어함으로써, 프로세싱 시스템(100)의 작동을 제어할 수 있다. 동작 시에, 시스템 제어기(168)는 프로세싱 시스템(100)의 성능을 조정하기 위해 개개의 챔버들로부터의 데이터 수집 및 피드백을 가능하게 한다.

[0018] [0028] 시스템 제어기(168)는 일반적으로, 중앙 프로세싱 유닛(CPU)(170), 메모리(172), 및 지원 회로들(174)을 포함한다. CPU(170)는 산업 현장에서 사용될 수 있는 임의의 형태의 범용 프로세서 중 하나의 프로세서일 수 있다. 메모리(172) 또는 비-일시적 컴퓨터-관독가능 매체는 CPU(170)에 의해 액세스 가능하고, 랜덤 액세스 메모리(RAM), 관독 전용 메모리(ROM), 플로피 디스크, 하드 디스크, 또는 로컬 또는 원격의, 임의의 다른 형태의 디지털 저장소와 같은 메모리 중 하나 이상의 메모리일 수 있다. 지원 회로들(174)은 CPU(170)에 커플링되고, 캐시, 클럭 회로들, 입력/출력 서브시스템들, 전력 공급부들 등을 포함할 수 있다. 본원에 개시된 다양한 방법들은 일반적으로, 예컨대 소프트웨어 루틴으로서 메모리(172)에(또는 특정 프로세싱 챔버의 메모리에) 저장된 컴퓨터 명령 코드를 실행하는 CPU(170)에 의해 CPU(170)의 제어 하에 구현될 수 있다. 컴퓨터 명령 코드에 CPU(170)에 의해 실행될 때, CPU(170)는 다양한 방법들에 따라 프로세스들을 수행하도록 챔버들을 제어한다.

[0019] [0029] 다른 프로세싱 시스템들은 다른 구성들일 수 있다. 예컨대, 더 많거나 더 적은 프로세싱 챔버들이 이송 장치에 커플링될 수 있다. 예시된 예에서, 이송 장치는 이송 챔버들(108, 110) 및 홀딩 챔버들(116, 118)을 포함한다. 다른 예들에서, 더 많거나 또는 더 적은 이송 챔버들(예컨대, 하나의 이송 챔버) 및/또는 더 많거나 더

적은 홀딩 챔버들(예컨대, 어떤 홀딩 챔버들도 없음)이 프로세싱 시스템의 이송 장치로서 구현될 수 있다.

- [0020] [0030] 도 2a는 하기에서 상세히 설명되는 바와 같은 사전-세정 프로세스를 수행하도록 구성된, 하나 이상의 실시예들에 따른, 프로세싱 챔버(200)의 단면도이다. 프로세싱 챔버(200)는 도 1에 도시된 프로세싱 챔버(122)일 수 있다. 도 2b는 도 2a의 프로세싱 챔버(200)의 일부의 확대도이다.
- [0021] [0031] 프로세싱 챔버(200)는 열 또는 플라즈마-기반 세정 프로세스 및/또는 플라즈마 보조 건식 에칭 프로세스를 수행하는 데 특히 유용할 수 있다. 프로세싱 챔버(200)는 챔버 바디(202), 리드 어셈블리(204), 및 지지 어셈블리(206)를 포함한다. 리드 어셈블리(204)는 챔버 바디(202)의 상부 단부에 배치되고, 지지 어셈블리(206)는 챔버 바디(202) 내에 적어도 부분적으로 배치된다. 진공 시스템이 프로세싱 챔버(200)로부터 가스들을 제거하기 위해 사용될 수 있다. 진공 시스템은 챔버 바디(202)에 배치된 진공 포트(210)에 커플링된 진공 펌프(208)를 포함한다. 프로세싱 챔버(200)는 또한, 프로세싱 챔버(200) 내의 프로세스들을 제어하기 위한 제어기(212)를 포함한다.
- [0022] [0032] 리드 어셈블리(204)는, 프로세싱 챔버(200) 내의 프로세싱 구역(214)에 전구체 가스들 및/또는 플라즈마를 제공하도록 구성된 적층된 컴포넌트들을 포함한다. 제1 플레이트(216)가 제2 플레이트(218)에 커플링된다. 제3 플레이트(220)가 제2 플레이트(218)에 커플링된다. 리드 어셈블리(204)는, 리드 어셈블리(204)에 형성된 원뿔-형상 챔버(222)에 플라즈마를 공급하기 위한 전력 소스(미도시됨)에 연결될 수 있다. 리드 어셈블리(204)는 또한, 리드 스택(lid stack)의 상부에 플라즈마를 생성하는 원격 플라즈마 소스(224)에 연결될 수 있다. 원격 플라즈마 공동(예컨대, 도 2a 및 도 2b의 프로세싱 구역(214), 제1 플레이트(216), 및 제2 플레이트(218))은 가스 소스(226)에 커플링된다(또는 가스 소스(226)는 원격 플라즈마 소스(224)의 부재 하에서 리드 어셈블리(204)에 직접적으로 커플링된다). 가스 소스(226)는, 헬륨, 아르곤, 또는 다른 불활성 가스를 제공하도록 구성된 가스 소스를 포함할 수 있다. 일부 구성들에서, 가스 소스(226)에 의해 제공되는 가스는, 원격 플라즈마 소스(224)의 사용에 의해 리드 어셈블리(204)에 제공되는 플라즈마로 에너지이징될 수 있다. 대안적인 실시예들에서, 가스 소스(226)는 프로세싱 챔버(200) 내에 배치된 기관의 표면에 도입되기 전에 원격 플라즈마 소스(224)에 의해 활성화될 수 있는 프로세스 가스들을 제공할 수 있다. 도 2b를 참조하면, 원뿔-형상 챔버(222)는, 형성된 플라즈마를 원격 플라즈마 소스(224)로부터, 리드 어셈블리(204)의 제4 플레이트(232)에 형성된 볼륨(230)으로 유동하게 할 수 있는 개구(228)를 갖는다.
- [0023] [0033] 리드 어셈블리(204)의 일부 구성들에서, 플라즈마 소스로부터 전달되는 에너지의 인가에 의해 원뿔-형상 챔버(222) 내에서 플라즈마가 생성된다. 일 예에서, 에너지는, RF, VHF 및/또는 UHF 에너지를 원뿔-형상 챔버(222)에 포지셔닝된 가스들에 용량적으로 커플링시키기 위해 리드 어셈블리(204)를 바이어싱함으로써 제공될 수 있다. 리드 어셈블리(204)의 이러한 구성에서, 원격 플라즈마 소스(224)는 사용되지 않을 수 있거나, 또는 리드 어셈블리(204) 내에 설치되지 않을 수 있다.
- [0024] [0034] 제4 플레이트(232)에 형성된, 중앙 도관(234)은, 볼륨(230)으로부터 제5 플레이트(236)를 통해 리드 어셈블리(204)의 제6 플레이트(240)에 형성된 혼합 챔버(238)로 제공되는 플라즈마 생성 중을 제공하도록 구성된다. 중앙 도관(234)은 제5 플레이트(236) 내의 개구(242)를 통해 혼합 챔버(238)와 연통한다. 개구(242)는 중앙 도관(234)의 직경보다 더 작은 직경, 중앙 도관(234)의 직경보다 더 큰 직경, 또는 중앙 도관(234)의 직경과 동일한 직경을 가질 수 있다. 도 2b의 실시예에서, 개구(242)는 중앙 도관(234)과 동일한 직경을 갖는다.
- [0025] [0035] 제4 플레이트(232)는 또한, 혼합 챔버(238)에 가스들을 제공하도록 구성되는 유입구들(244 및 246)을 포함한다. 유입구(244)는 제1 가스 소스(248)에 커플링되고, 유입구(246)는 제2 가스 소스(250)에 커플링된다. 제1 가스 소스(248) 및 제2 가스 소스(250)는 프로세싱 가스들뿐만 아니라, 캐리어 가스로서 활용되는 불활성 가스들, 예컨대 아르곤 및/또는 헬륨과 같은 불활성 가스들을 포함할 수 있다. 제1 가스 소스(248)는 암모니아(NH₃)뿐만 아니라 아르곤(Ar)을 포함할 수 있다. 제2 가스 소스(250)는 불소 함유 가스들, 수소 함유 가스들, 또는 이들의 조합을 함유할 수 있다. 일 예에서, 제2 가스 소스(250)는 불화수소(HF)뿐만 아니라 아르곤(Ar)을 함유할 수 있다.
- [0026] [0036] 도 2b에 예시된 바와 같이, 일부 구성들에서, 유입구(244)는 제5 플레이트(236)에 형성된 홀들(254) 및 원통형 채널(252)(가상선으로 도시됨)을 통해 혼합 챔버(238)에 커플링된다. 유입구(246)는 제5 플레이트(236)에 형성된 홀들(258) 및 원통형 채널(256)(가상선으로 도시됨)을 통해 혼합 챔버(238)에 커플링된다. 제5 플레이트(236)에 형성된 홀들(254, 258)은 일반적으로, 홀들(254, 258)이 이들의 개개 가스 소스(248, 250)로부터 혼합 챔버(238) 내로 제공되는 가스들의 균일한 유동을 가능하게 하도록 사이징된다. 일 구성에서, 홀들(258)은 제4 플레이트(232)에 형성된 원통형 채널(256)의 대향 측면들에 의해 정의된 개구의 폭보다 더 작은 직경을 갖

는다. 홀들(258)은 통상적으로, 혼합 챔버(238) 내로의 균일한 유체 유동을 제공하기 위해, 원통형 채널(256)의 중심선의 둘레 주위에 분포된다. 일 구성에서, 홀들(254)은 제4 플레이트(232)에 형성된 원통형 채널(252)의 대향 측벽들에 의해 정의된 개구의 폭보다 더 작은 직경을 갖는다. 홀들(254)은 통상적으로, 혼합 챔버(238) 내로의 균일한 유체 유동을 제공하기 위해, 원통형 채널(252)의 중심선의 둘레 주위에 분포된다.

[0027] [0037] 유입구들(244 및 246)은 제4 플레이트(232)를 측방향으로 통과하여, 제5 플레이트(236)를 향하여 전환되고 제5 플레이트(236)를 통해 혼합 챔버(238)까지 관통하는, 개개의 유체 유동 경로들을 제공한다. 리드 어셈블리(204)는 또한, 샤워헤드와 같은 가스 분배 플레이트일 수 있는, 제7 플레이트 또는 제1 가스 분배기(260)를 포함하며, 여기서, 리드 어셈블리(204)에서 혼합된 다양한 가스들은 그 리드 어셈블리(204)에 형성된 천공들(262)을 통해 유동된다. 천공들(262)은 혼합 챔버(238)와 유체 연통하여, 혼합 챔버(238)로부터 제1 가스 분배기(260)를 통한 유동 경로들을 제공한다. 다시 도 2a를 참조하면, 샤워헤드와 같은 가스 분배 플레이트일 수 있는 제2 가스 분배기(266)와 같은, 가스 분배 플레이트 및 블로커 플레이트(264)는 리드 어셈블리(204) 아래에 배치된다.

[0028] [0038] 대안적으로, 기관 표면을 세정하기 위해 상이한 세정 프로세스가 활용될 수 있다. 예컨대, 헬륨(He) 및 암모니아(NH₃)를 함유하는 원격 플라즈마가 리드 어셈블리(204)를 통해 프로세싱 챔버(200) 내로 도입될 수 있는 반면, 암모니아(NH₃)는 챔버 바디(202)의 측면에 배치되고 가스 소스(미도시됨)에 커플링된 별개의 가스 유입구(268)를 통해 프로세싱 챔버(200) 내로 직접적으로 주입될 수 있다.

[0029] [0039] 지지 어셈블리(206)는 프로세싱 동안 상부에 기관(272)을 지지하기 위한 기관 지지부(270)를 포함할 수 있다. 기관 지지부(270)는 챔버 바디(202)의 최하부에 형성된 중앙-위치 개구를 통해 연장되는 샤프트(276)에 의해 액추에이터(274)에 커플링될 수 있다. 액추에이터(274)는 샤프트(276) 주위에서 진공 누설을 방지하는 벨로우즈(미도시됨)에 의해 챔버 바디(202)에 유연하게 밀봉될 수 있다. 액추에이터(274)는 기관 지지부(270)가 챔버 바디(202) 내에서 프로세싱 포지션과 로딩 포지션 사이에서 수직으로 이동될 수 있게 한다. 로딩 포지션은 챔버 바디(202)의 측벽에 형성된 터널(미도시됨)의 개구 약간 아래에 있다.

[0030] [0040] 기관 지지부(270)는, 프로세싱될 기관(272)을 상부에 지지하기 위한 평탄한 또는 실질적으로 평탄한 기관 지지 표면을 갖는다. 기관 지지부(270)는, 샤프트(276)에 의해 기관 지지부(270)에 커플링된 액추에이터(274)에 의해 챔버 바디(202) 내에서 수직으로 이동될 수 있다. 일부 단계들의 경우, 기관 지지부(270)는, 프로세싱되는 기관(272)의 온도를 제어하기 위해, 리드 어셈블리(204)에 매우 근접한 포지션으로 상승될 수 있다. 이로서, 기관(272)은 제2 가스 분배기(266) 또는 다른 방사 소스로부터 방출된 방사선을 통해, 또는 개재 가스(intervening gas)를 통한 제2 가스 분배기(266)로부터의 대류 또는 전도에 의해 가열될 수 있다. 일부 프로세스 단계들에서, 기관은, 추가적인 열적 프로세싱 단계들을 수행하기 위해, 이를테면, 어닐링 단계를 수행하기 위해 리프트 핀들(278) 상에 배치될 수 있다.

[0031] [0041] 도 3은 하기에 상세히 설명되는 바와 같은 에피택셜(Epi) 증착 프로세스를 수행하도록 구성된, 하나 이상의 실시예들에 따른 프로세싱 챔버(300)의 단면도이다. 프로세싱 챔버(300)는 도 1에 도시된 프로세싱 챔버(126, 128, 또는 130)일 수 있다.

[0032] [0042] 프로세싱 챔버(300)는 프로세스 저항성 재료, 이를테면 알루미늄 또는 스테인리스 강, 예컨대 316L 스테인리스 강으로 제조된 하우징 구조(302)를 포함한다. 하우징 구조(302)는 프로세싱 챔버(300)의 다양한 기능화 엘리먼트들, 이를테면 석영 챔버(304)를 밀폐하며, 석영 챔버(304)는 상부 석영 챔버(306) 및 하부 석영 챔버(308)를 포함하며, 석영 챔버(304)에는 프로세싱 볼륨(310)이 포함된다. 가스 분배 어셈블리(312)에 의해 반응성 종이 석영 챔버(304)에 제공되고, 프로세싱 부산물들은, 통상적으로 진공 소스(미도시됨)와 연통하는 배출구 포트(314)에 의해 프로세싱 볼륨(310)으로부터 제거된다.

[0033] [0043] 기관 지지부(316)는 프로세싱 볼륨(310)으로 이동되는 기관(318)을 수용하도록 구성된다. 기관 지지부(316)는 프로세싱 챔버(300)의 세로 축(320)을 따라 배치된다. 기관 지지부(316)는 실리콘 재료, 이를테면 실리콘 탄화물로 코팅된 흑연 재료 또는 세라믹 재료, 또는 다른 프로세스 저항성 재료로 제조될 수 있다. 전구체 반응물 재료들로부터의 반응성 종이 기관(318)의 표면(322)에 적용되고, 후속하여, 기관(318)의 표면(322)으로부터 부산물들이 제거될 수 있다. 기관(318) 및/또는 프로세싱 볼륨(310)의 가열은 상부 램프 모듈들(324A) 및 하부 램프 모듈들(324B)과 같은 방사선 소스들에 의해 제공될 수 있다.

[0034] [0044] 일 실시예에서, 상부 램프 모듈들(324A) 및 하부 램프 모듈들(324B)은 적외선(IR) 램프들이다. 램프 모듈들(324A 및 324B)로부터의 비-열 에너지 또는 방사선은 상부 석영 챔버(306)의 상부 석영 윈도우(326)를 통해

그리고 하부 석영 챔버(308)의 하부 석영 윈도우(328)를 통해 이동한다. 상부 석영 챔버(306)를 위한 냉각 가스들은, 필요한 경우, 유입구(330)를 통해 진입하고, 배출구(332)를 통해 배출된다. 프로세싱 챔버(300)를 위한 회석, 퍼지, 및 벤트(vent) 가스들뿐만 아니라 전구체 반응물 재료들이 가스 분배 어셈블리(312)를 통해 진입하고, 유출구 포트(314)를 통해 빠져나간다. 상부 석영 윈도우(326)가 만족되거나 또는 불록한 것으로 도시되어 있지만, 상부 석영 윈도우(326)는, 상부 석영 윈도우(326)의 양 측면들 상의 압력이 실질적으로 동일하기 때문에(즉, 대기압), 평면일 수 있거나 또는 오목할 수 있다.

[0035] [0045] 반응성 종을 에너지이징하고 기관(318)의 표면(322)으로부터의 프로세스 부산물들의 탈착 및 반응물들의 흡착을 보조하는 데 사용되는, 프로세싱 볼륨(310) 내의 저과장 방사선은 통상적으로, 예컨대, 에피택셜하게 성장되는 막의 구성에 따라서, 다양한 과장들의 조합들이 제공됨으로써, 약 0.8 μm 내지 약 1.2 μm , 예를 들어, 약 0.95 μm 내지 약 1.05 μm 의 범위이다.

[0036] [0046] 성분 가스들은 가스 분배 어셈블리(312)를 통해 프로세싱 볼륨(310)에 진입한다. 가스는 가스 분배 어셈블리(312)로부터 유동하고, 일반적으로 유동 경로(334)에 의해 도시된 바와 같이, 유출구 포트(314)를 통해 배출된다. 기관 표면을 세정/패시베이션하기 위해, 또는 에피택셜하게 성장되고 있는 실리콘 및/또는 게르마늄-함유 막을 형성하기 위해 사용되는, 성분 가스들의 조합들은 통상적으로, 프로세싱 볼륨(310) 내로의 진입 전에 혼합된다. 프로세싱 볼륨(310) 내의 전체 압력은 유출구 포트(314) 상의 밸브(미도시됨)에 의해 조정될 수 있다. 프로세싱 볼륨(310)의 내부 표면의 적어도 일부는 라이너(336)에 의해 커버된다. 일 실시예에서, 라이너(336)는 불투명한 석영 재료를 포함한다. 이러한 방식으로, 챔버 벽은 프로세싱 볼륨(310) 내의 열로부터 단열된다.

[0037] [0047] 프로세싱 볼륨(310) 내의 표면들의 온도는, 상부 석영 윈도우(326) 위에 포지셔닝된 상부 램프 모듈들(324A)로부터의 방사선과 조합하여, 유입구(330)를 통해 진입하고 유출구(332)를 통해 배출되는 냉각 가스의 유동에 의해, 약 200°C 내지 약 600°C 또는 그 초과 온도 범위 내에서 제어될 수 있다. 하부 석영 챔버(308) 내의 온도는, 도시되지 않은 블로어 유닛(blower unit)의 속도를 조정함으로써, 그리고 하부 석영 챔버(308) 아래에 배치된 하부 램프 모듈들(324B)로부터의 방사선에 의해, 약 200°C 내지 약 600°C 또는 그 초과 온도 범위 내에서 제어될 수 있다. 프로세싱 볼륨(310) 내의 압력은 약 0.1 Torr 내지 약 600 Torr, 이를테면 약 5 Torr 내지 약 30 Torr일 수 있다.

[0038] [0048] 기관(318)의 표면(322) 상의 온도는, 하부 석영 챔버(308) 내의 하부 램프 모듈들(324B)에 대한 전력 조정에 의해, 또는 상부 석영 윈도우(326) 위에 놓인 상부 램프 모듈들(324A) 및 하부 석영 챔버(308)에서의 하부 램프 모듈들(324B) 둘 모두에 대한 전력 조정에 의해 제어될 수 있다. 프로세싱 볼륨(310) 내의 전력 밀도는 약 40 W/cm² 내지 약 400 W/cm², 이를테면 약 80 W/cm² 내지 약 120 W/cm²일 수 있다.

[0039] [0049] 일 양상에서, 가스 분배 어셈블리(312)는 프로세싱 챔버(300)의 세로 축(320) 또는 기관(318)에 대해 수직으로 또는 반경 방향(338)으로 배치된다. 이러한 배향에서, 가스 분배 어셈블리(312)는 기관(318)의 표면(322)을 가로질러 또는 기관(318)의 표면(322)에 평행하게 방사상 방향(338)으로 프로세스 가스들을 유동시키도록 구성된다. 하나의 프로세싱 애플리케이션에서, 프로세스 가스들은, 프로세싱 볼륨(310)으로의 도입 전에 가스들의 예열을 개시하기 위해 및/또는 가스들 내의 특정 결합들을 파괴하기 위해, 프로세싱 챔버(300)로의 도입 지점에서 예열된다. 이러한 방식으로, 표면 반응 동역학은 기관(318)의 열 온도와 독립적으로 변경될 수 있다.

[0040] [0050] 동작 시에, 실리콘(Si) 및 실리콘 게르마늄(SiGe) 블랭킷 또는 선택적 에피택셜 막들을 형성하는 데 사용되는 전구체들이 하나 이상의 가스 소스들(340A 및 340B)로부터 가스 분배 어셈블리(312)에 제공된다. IR 램프들(342)(도 3에서는 하나만 도시됨)은 가스 분배 어셈블리(312) 내에서 뿐만 아니라 유동 경로(334)를 따라 전구체들을 가열하기 위해 활용될 수 있다. 가스 소스들(340A, 340B)은, 가스 분배 어셈블리(312) 내의 도입 존(zone)들, 이를테면, 평면도에서 볼 때 외측 존들 사이의 방사상 외측 존 및 방사상 내측 존을 가능하게 하도록 구성된 방식으로 가스 분배 어셈블리(312)에 결합될 수 있다. 가스 소스들(340A, 340B)은 존들로의 도입율(rate of introduction)을 제어하기 위한 밸브들(미도시됨)을 포함할 수 있다.

[0041] [0051] 가스 소스들(340A, 340B)은, 실란(SiH₄), 디실란(Si₂H₆), 디클로로실란(SiH₂Cl₂), 헥사클로로디실란(Si₂Cl₆), 디브로모실란(SiH₂Br₂), 더 고차의 실란들, 이들의 유도체들, 및 이들의 조합들을 포함하는 실란들과 같은 실리콘 전구체들을 포함할 수 있다. 가스 소스들(340A, 340B)은 또한, 게르마늄 함유 전구체들, 이를테면, 게르만(GeH₄), 디게르만(Ge₂H₆), 게르마늄 테트라클로라이드(GeCl₄), 디클로로게르만(GeH₂Cl₂), 이들의 유도체들, 및 이들의 조합들을 포함할 수 있다. 실리콘 및/또는 게르마늄 함유 전구체들은 수소 염화물(HCl), 염소 가스

(Cl₂), 수소 브롬화물(HBr), 및 이들의 조합들과 조합하여 사용될 수 있다. 가스 소스들(340A, 340B)은 가스 소스들(340A, 340B) 중 하나 또는 둘 모두에 실리콘 및 게르마늄 함유 전구체들 중 하나 이상을 포함할 수 있다.

[0042] [0052] 전구체 재료들은 이러한 여기 상태로 친공 플레이트(346) 내의 개구들 또는 홀들(344)(도 3에서는 하나만 도시됨)을 통해 프로세싱 볼륨(310)에 진입하며, 일 실시예에서, 친공 플레이트(346)는 석영 재료이며, 홀들(344)이 관통하여 형성되어 있다. 친공 플레이트(346)는 IR 에너지에 대해 투명하고, 클리어(clear) 석영 재료로 제조될 수 있다. 다른 실시예들에서, 친공 플레이트(346)는, IR 에너지에 대해 투명하고 프로세스 케미스트리(process chemistry) 및 다른 프로세싱 케미스트리들에 대해 저항성인 임의의 재료일 수 있다. 에너지이징된 전구체 재료들은 친공 플레이트(346)의 홀들(344)을 통해 그리고 채널들(348)(도 3에서는 하나만 도시됨)을 통해 프로세싱 볼륨(310) 쪽으로 유동한다. IR 램프들(342)로부터의 광자들 및 비-열 에너지의 일부는 또한, 가스 분배 어셈블리(312)의 내부 표면들 상에 배치된 반사 재료 및/또는 표면에 의해 가능하게 되는, 홀들(344), 친공 플레이트(346), 및 채널들(348)을 통과하여, 이로써 전구체 재료들의 유동 경로(334)를 조명한다. 이러한 방식으로, 전구체 재료들의 진동 에너지는 도입 지점으로부터 유동 경로를 따라 프로세싱 볼륨(310)까지 유지될 수 있다.

[0043] [0053] 도 4는 하기에서 상세히 설명되는 바와 같은 선택적 제거 프로세스(SRP)를 수행하도록 구성된, 하나 이상의 실시예들에 따른 프로세싱 챔버(400)의 단면도이다. 프로세싱 챔버(400)는 도 1에 도시된 프로세싱 챔버(124)일 수 있다.

[0044] [0054] 프로세싱 챔버(400)는 챔버 바디(402), 리드 어셈블리(404), 및 지지 어셈블리(406)를 포함한다. 리드 어셈블리(404)는 챔버 바디(402)의 상부 단부에 배치되고, 지지 어셈블리(406)는 챔버 바디(402) 내에 적어도 부분적으로 배치된다. 진공 시스템이 프로세싱 챔버(400)로부터 가스들을 제거하기 위해 사용될 수 있다. 진공 시스템은 챔버 바디(402)에 배치된 진공 포트(410)에 커플링된 진공 펌프(408)를 포함한다.

[0045] [0055] 리드 어셈블리(404)는, 이후에 가스 유입구 어셈블리(414)를 통해 이동하는 불소-함유 전구체를 프로세싱할 수 있는 원격 플라즈마 시스템(RPS)(412)을 포함한다. 2개의 별개의 가스 공급 채널들은 가스 유입구 어셈블리(414) 내에서 볼 수 있다. 제1 채널(416)은 RPS(412)를 통과하는 가스를 운반하는 한편, 제2 채널(418)은 RPS(412)를 우회한다. 어느 하나의 채널이 불소-함유 전구체를 위해 사용될 수 있다. 일부 구현들에서, 제1 채널(416)은 프로세스 가스를 위해 사용될 수 있고, 제2 채널(418)은 처리 가스를 위해 사용될 수 있다. 리드(lid)("전도성 최상부 부분"으로 또한 지칭됨)(420) 및 천공된 파티션(perforated partition)("샤워헤드"로서 또한 지칭됨)(422)이 그 사이에 절연 링(424)을 갖는 것으로 도시되며, 이는 AC 전위가 천공된 파티션(422)에 대하여 리드(420)에 인가될 수 있게 한다. AC 전위는 챔버 플라즈마 구역(426)에서 플라즈마에 부딪친다. 프로세스 가스는 제1 채널(416)을 통해 챔버 플라즈마 구역(426) 내로 이동할 수 있고, 단독으로 또는 RPS(412)와 조합하여 챔버 플라즈마 구역(426) 내의 플라즈마에 의해 여기될 수 있다. 프로세스 가스(예컨대, 불소-함유 전구체)가 제2 채널(418)을 통해 유동하는 경우, 챔버 플라즈마 구역(426)만이 여기를 위해 사용된다. 천공된 파티션(422)은 천공된 파티션(422) 아래의 기관 프로세싱 구역(428)으로부터 챔버 플라즈마 구역(426)을 분리시킨다. 천공된 파티션(422)은, 여기된 종이 챔버 플라즈마 구역(426)으로부터 기관 프로세싱 구역(428)으로 여전히 이동할 수 있게 하면서, 기관 프로세싱 구역(428)에서 가스들을 직접적으로 여기시키는 것을 회피하기 위해 챔버 플라즈마 구역(426)에 플라즈마가 존재할 수 있게 한다.

[0046] [0056] 천공된 파티션(422)은 챔버 플라즈마 구역(426)과 기관 프로세싱 구역(428) 사이에 포지셔닝되고, RPS(412) 및/또는 챔버 플라즈마 구역(426) 내에 생성된 플라즈마 유출물들(전구체들 또는 다른 가스들의 여기된 유도체들)이 플레이트의 두께를 가로지르는 관통-홀들(430)을 통과할 수 있게 한다. 천공된 파티션(422)은 또한, 증기 또는 가스 형태의 전구체(이를테면, 불소-함유 전구체)로 채워질 수 있고, 작은 홀들(434)을 통해 기관 프로세싱 구역(428) 내로 통과할 수 있지만, 챔버 플라즈마 구역(426) 내로 직접적으로 통과하지 않을 수 있는, 하나 이상의 증공 볼륨들(432)을 갖는다. 천공된 파티션(422)은 이 실시예에서 관통-홀들(430)의 최소 직경(436)의 길이보다 더 두껍다. 관통-홀들(430)의 가장 작은 직경(436)의 길이(438)는, 챔버 플라즈마 구역(426)으로부터 기관 프로세싱 구역(428)으로 침투하는 여기된 종의 상당한 농도를 유지하기 위해, 천공된 파티션(422)을 통해 도중에 관통-홀들(430)의 더 큰 직경 부분들을 형성함으로써 제한될 수 있다. 일부 실시예들에서, 관통-홀들(430)의 가장 작은 직경(436)의 길이는 관통-홀들(430)의 가장 작은 직경(436)과 동일한 크기이거나 나 또는 그 미만일 수 있다.

[0047] [0057] 천공된 파티션(422)은 이온 억제기의 역할을 하도록 구성될 수 있다. 대안적으로, 기관 프로세싱 구역(428) 내로 이동하는 이온 농도를 억제하는 별개의 프로세싱 챔버 엘리먼트가 포함될 수 있다(미도시됨). 리드

(420) 및 천공된 파티션(422)은 각각 제1 전극 및 제2 전극으로서 기능할 수 있어서, 리드(420) 및 천공된 파티션(422)은 상이한 전기 전압들을 수용할 수 있다. 이러한 구성들에서, 전력(예컨대, RF 전력)은 리드(420), 천공된 파티션(422), 또는 둘 모두에 인가될 수 있다. 예컨대, 천공 파티션(422)(이온 억제기로서 기능함)이 접지되어 있는 동안에, 리드(420)에 전력이 인가될 수 있다. RF 생성기가 리드(420) 및/또는 천공된 파티션(422)에 전력을 제공할 수 있다. 리드(420)에 인가되는 전압은 챔버 플라즈마 구역(426) 내에서의 플라즈마의 균일한 분배를 가능하게 할 수 있다(즉, 국부화된 플라즈마를 감소시킬 수 있음). 챔버 플라즈마 구역(426)에서 플라즈마의 형성을 가능하게 하기 위해, 절연 링(424)은 천공된 파티션(422)으로부터 리드(420)를 전기적으로 절연시킬 수 있다. 절연 링(424)은 세라믹으로 제조될 수 있고, 스파킹(sparking)을 회피하기 위해 높은 항복 전압을 가질 수 있다. 상기에서 설명된 용량적으로-커플링된 플라즈마 컴포넌트들 근처의 프로세싱 챔버(400)의 부분들은, 순환 냉각제(예컨대, 물)로 플라즈마에 노출된 표면들을 냉각시키기 위한 하나 이상의 냉각 유체 채널들을 포함하는 냉각 유닛(미도시됨)을 더 포함할 수 있다.

[0048] [0058] 도시된 실시예에서, 천공된 파티션(422)은, 챔버 플라즈마 구역(426)에서의 플라즈마에 의한 여기 시에, 불소, 수소, 및/또는 그러한 프로세스 가스들의 플라즈마 유출물들을 함유하는 프로세스 가스들을 (관통-홀들(430)을 통해) 분배할 수 있다. 일부 실시예들에서, RPS(412) 및/또는 챔버 플라즈마 구역(426) 내로 도입되는 프로세스 가스는 불소(예컨대, F_2 , NF_3 또는 XeF_2)를 함유할 수 있다. 프로세스 가스는 또한, 헬륨(He), 아르곤(Ar), 또는 질소(N_2)와 같은 희석 가스들을 포함할 수 있다. 플라즈마 유출물들은 프로세스 가스의 이온화된 또는 중성 유도체들을 포함할 수 있고, 또한, 도입되는 프로세스 가스의 원자 성분을 지칭하는 라디칼-불소 및/또는 라디칼-수소로 본원에서 지칭될 수 있다.

[0049] [0059] 관통-홀들(430)은, 하전되지 않은 중성 또는 라디칼 종이 천공된 파티션(422)을 통해 기관 프로세싱 구역(428) 내로 통과할 수 있게 하면서, 챔버 플라즈마 구역(426)으로부터의 이온적으로 하전된 종의 이동을 억제한다. 이러한 하전되지 않은 종은 관통-홀들(430)에 의해 덜 반응성인 캐리어 가스와 함께 이송되는 고도로 반응성인 종을 포함할 수 있다. 상기에서 언급된 바와 같이, 관통-홀들(430)에 의한 이온성 종의 이동이 감소될 수 있고, 일부 경우들에서는 완전히 억제될 수 있다. 천공된 파티션(422)을 통과하는 이온성 종의 양을 제어하는 것은 하부 패터닝된 기관과 접촉하게 되는 가스 혼합물에 대한 증가된 제어를 제공하며, 이는 결국, 가스 혼합물의 증착 및/또는 에칭 특성들의 제어를 증가시킨다. 예컨대, 가스 혼합물의 이온 농도의 조정들은 에칭 선택비(예컨대, 실리콘 게르마늄의 에칭율 대 실리콘의 에칭율의 비)를 변경할 수 있다.

[0050] [0060] 일부 실시예들에서, 관통-홀들(430)의 수는 약 60개 내지 약 2000개일 수 있다. 관통-홀들(430)은 다양한 형상들을 가질 수 있지만, 가장 쉽게 등글게 만들어진다. 일부 실시예들에서, 관통-홀들(430)의 최소 직경(436)은 약 0.5 mm 내지 약 20 mm 또는 약 1 mm 내지 약 6 mm일 수 있다. 원뿔형, 원통형 또는 2개의 형상들의 조합들로 만들어질 수 있는, 관통-홀들의 단면 형상을 선택하는 데 있어 또한 자유(latitude)가 존재한다. 상이한 실시예들에서, 여기되지 않은 전구체들을 기관 프로세싱 구역(428) 내로 도입하는 데 사용되는 작은 홀들(434)의 수는 약 100개 내지 약 5000개 또는 약 500개 내지 약 2000개일 수 있다. 작은 홀들(434)의 직경은 약 0.1 mm 내지 약 2 mm일 수 있다.

[0051] [0061] 관통-홀들(430)은 천공된 파티션(422)을 통한 플라즈마-활성화 가스(즉, 이온성, 라디칼, 및/또는 중성 종)의 통과를 제어할 수 있다. 예컨대, 홀들의 중형비(즉, 홀 직경 대 길이) 및/또는 홀들의 기하학적 구조는 천공된 파티션(422)을 통과하는 활성화 가스 내의 이온적으로 하전된 종의 유동이 감소되도록 제어될 수 있다. 천공된 파티션(422)의 관통-홀들(430)은 챔버 플라즈마 구역(426)과 대면하는 테이퍼형 부분, 및 기관 프로세싱 구역(428)과 대면하는 원통형 부분을 포함할 수 있다. 원통형 부분은 기관 프로세싱 구역(428) 내로 전달되는 이온성 종의 유동을 제어하도록 비율조절되고(proportioned) 치수화될 수 있다. 천공된 파티션(422)을 통한 이온 종의 흐름을 제어하기 위한 추가적인 수단으로서 조정 가능한 전기 바이어스가 천공된 파티션(422)에 또한 적용될 수 있다.

[0052] [0062] 대안적으로, 관통-홀들(430)은 천공된 파티션(422)의 최상부 표면 쪽으로 더 작은 내경(ID)을 가질 수 있고, 바닥 표면 쪽으로 더 큰 ID를 가질 수 있다. 또한, 관통-홀들(430)의 최하부 에지는, 플라즈마 유출물들이 천공된 파티션(422)을 빠져나갈 때 기관 프로세싱 구역(428)에서 플라즈마 유출물들을 균등하게 분배하는 것을 돕고, 플라즈마 유출물들 및 전구체 가스들의 균등한 분배를 촉진하기 위해 챔퍼링(chamfer)될 수 있다. 더 작은 ID는 관통-홀들(430)을 따라 다양한 위치들에 배치될 수 있고, 여전히 천공된 파티션(422)이 기관 프로세싱 구역(428) 내의 이온 밀도를 감소시킬 수 있게 할 수 있다. 이온 밀도의 감소는 기관 프로세싱 구역(428) 내로의 진입 전에 벽들과의 충돌들의 수의 증가로부터 기인한다. 각각의 충돌은 이온이 벽으로부터의 전자의 획득

또는 손실에 의해 중화될 확률을 증가시킨다. 일반적으로 말하면, 관통-홀들(430)의 더 작은 ID는 약 0.2 mm 내지 약 20 mm일 수 있다. 다른 실시예들에서, 더 작은 ID는 약 1 mm 내지 6 mm 또는 약 0.2 mm 내지 약 5 mm일 수 있다. 또한, 관통-홀들(430)의 중횡비들(즉, 더 작은 ID 대 홀 길이)은 대략 1 내지 20일 수 있다. 관통-홀들(430)의 더 작은 ID는 관통-홀들(430)의 길이를 따라 발견되는 최소 ID일 수 있다. 관통-홀들(430)의 단면 형상은 일반적으로 원통형, 원뿔형, 또는 이들의 임의의 조합일 수 있다.

[0053] [0063] 지지 어셈블리(406)는 프로세싱 동안 상부에 기관(442)을 지지하기 위한 기관 지지부(440)를 포함할 수 있다. 기관 지지부(440)는 챔버 바디(402)의 최하부에 형성된 중앙-위치 개구를 통해 연장되는 샤프트(446)에 의해 액추에이터(444)에 커플링될 수 있다. 액추에이터(444)는 샤프트(446) 주위의 진공 누설을 방지하는 벨로우즈(미도시됨)에 의해 챔버 바디(402)에 유연하게 밀봉될 수 있다. 액추에이터(444)는 기관 지지부(440)가 챔버 바디(402) 내에서 프로세싱 포지션과 로딩 포지션 사이에서 수직으로 이동될 수 있게 한다. 로딩 포지션은 챔버 바디(402)의 측벽에 형성된 터널(미도시됨)의 개구 약간 아래에 있다.

[0054] [0064] 기관 지지부(440)는 프로세싱된 기관(442)을 상부에 지지하기 위한 평탄한 또는 실질적으로 평탄한 기관 지지 표면을 갖는다. 기관 지지부(440)는, 샤프트(446)에 의해 기관 지지부(440)에 커플링된 액추에이터(444)에 의해 챔버 바디(402) 내에서 수직으로 이동될 수 있다. 일부 프로세스 단계들에서, 기관은, 어닐링 단계를 수행하는 것과 같은 추가적인 열적 프로세싱 단계들을 수행하기 위해 리프트 핀들(488) 상에 배치될 수 있다.

[0055] **프로세스 예들**

[0056] [0065] 도 5는 본 개시내용의 제1 실시예에 따른, 반도체 구조(600)에 콘택 층을 형성하는 방법(500)의 프로세스 흐름도를 도시한다. 도 6a, 도 6b, 도 6c, 도 6d, 도 6e, 도 6f, 및 도 6g는 방법(500)의 다양한 상태들에 대응하는 반도체 구조(600)의 일부의 단면도들이다. 도 6a, 도 6b, 도 6c, 도 6d, 도 6e, 도 6f, 및 도 6g는 반도체 구조(600)의 부분적인 개략도들만을 예시하고, 반도체 구조(600)는 도면들에 예시된 바와 같은 양상들을 갖는 임의의 수의 트랜지스터 섹션들 및 추가의 재료들을 포함할 수 있다는 것이 이해되어야 한다. 또한, 도 5에 예시된 방법이 순차적으로 설명되지만, 생략 및/또는 추가된 및/또는 다른 바람직한 순서로 재배열된 하나 이상의 동작들을 포함하는 다른 프로세스 시퀀스들이 본원에 제공되는 본 개시내용의 실시형태들의 범위 내에 속한다는 것이 주목되어야 한다.

[0057] [0066] 도 6a, 도 6b, 도 6c, 도 6d, 도 6e, 도 6f 및 도 6g를 참조하면, 반도체 구조(600)는 기관 상에 형성된 제1 트랜지스터 디바이스(602) 및 제2 트랜지스터 디바이스(604)를 포함할 수 있다.

[0058] [0067] 본원에서 사용되는 바와 같은 "기관"이라는 용어는, 후속적인 프로세싱 동작들을 위한 기초로서 역할을 하고, 세정될 표면을 포함하는, 재료의 층을 지칭한다. 기관은, 필요에 따라, 실리콘 기반 재료, 또는 임의의 적절한 절연 재료를 또는 전도성 재료들일 수 있다. 기관은 재료, 이를테면, 결정질 실리콘(예컨대, Si<100> 또는 Si<111>), 실리콘 산화물, 변형 실리콘, 실리콘 게르마늄, 도핑된 또는 도핑되지 않은 폴리실리콘, 도핑된 또는 도핑되지 않은 실리콘 웨이퍼들, 및 패터닝된 또는 비-패터닝된 웨이퍼들, SOI(silicon on insulator), 탄소 도핑된 실리콘 산화물들, 실리콘 질화물, 도핑된 실리콘, 게르마늄, 갈륨 비소화물, 유리 또는 사파이어를 포함할 수 있다.

[0059] [0068] 도 6a에 도시된 바와 같이, 기관 상에 형성된 복수의 제1 트랜지스터 디바이스들 중 제1 트랜지스터 디바이스(602)의 일부는 제1 재료로 형성된 제1 반도체 구역(606)을 포함한다. 기관 상에 형성된 복수의 제2 트랜지스터 디바이스들 중 제2 트랜지스터 디바이스(604)의 일부는 제2 재료로 형성된 제2 반도체 구역(608)을 포함한다. 제1 및 제2 재료들은 상이한 조성들을 갖는 재료들을 포함하여, 제2 재료는 제1 재료에 비해 선택적으로 에칭될 수 있다(즉, 제2 재료의 에칭율이 제1 재료의 에칭율보다 더 높음). 제2 재료의 에칭 선택비(즉, 제2 재료의 에칭율 대 제1 재료의 에칭율의 비)는 약 10:1 내지 500:1이다. 제1 재료와 제2 재료의 예시적인 조합들은, 각각, 실리콘(Si)/실리콘 게르마늄(SiGe), 게르마늄(Ge)/실리콘 게르마늄(SiGe), 또는 실리콘(Si)/게르마늄 주석(GeSn)을 포함한다.

[0060] [0069] 제1 반도체 구역들(606)은, 제1 트랜지스터 디바이스(602)의 원하는 전도성 특성에 따라, 약 10^{20} cm^{-3} 내지 $5 \times 10^{21} \text{ cm}^{-3}$ 의 농도로, 인(P), 안티모니(Sb)와 같은 n-타입 도펀트들로 도핑될 수 있다. 제2 반도체 구역들(608)은 제2 트랜지스터 디바이스(604)의 원하는 전도성 특성에 따라, 약 10^{20} cm^{-3} 내지 $5 \times 10^{21} \text{ cm}^{-3}$ 의 농도로, 붕소(B) 또는 갈륨(Ga)과 같은 p-타입 도펀트들로 도핑될 수 있다.

[0061] [0070] 반도체 구조(600)는 제1 반도체 구역들(606) 각각 위에 형성된 제1 개구(612) 및 제2 반도체 구역들

(608) 각각 위에 형성된 제2 개구(614)를 갖는 유전체 층(610)을 더 포함한다. 유전체 층(610)은 실리콘 이산화물(SiO₂) 또는 실리콘 질화물(Si₃N₄)과 같은 유전체 재료로 형성될 수 있다.

[0062] [0071] 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)은 임의의 적합한 증착 기법, 이를테면, 에피택셜(Epi) 증착, 화학 기상 증착(CVD), 원자 층 증착(ALD), 또는 물리 기상 증착(PVD)을 사용하여 형성될 수 있으며, 개구들(612 및 614)은 패터닝 기법, 이를테면 리소그래피 및 에칭 프로세스에 의해 형성된다.

[0063] [0072] 방법(500)은 블록(510)에서 사전-세정 프로세스로 시작된다. 사전-세정 프로세스는 프로세싱 챔버, 이를테면, 도 1에 도시된 프로세싱 챔버(122) 또는 도 2에 도시된 프로세싱 챔버(200)에서 수행될 수 있다.

[0064] [0073] 사전-세정 프로세스는, 제1 개구들(612) 내의 제1 반도체 구역들(606) 및 제2 개구들(614) 내의 제2 반도체 구역들(608)의 노출된 표면들 상에 형성된, 오염물들, 이를테면 천연 산화물 층들, 또는 패터닝 잔부들(예컨대, 플루오로카본들)을 제거하도록 구성된다. 사전-세정 프로세스는, 후속 에피택셜 증착 프로세스에서 에피택셜 층이 형성될 수 있는, 제1 개구들(612) 내의 제1 반도체 구역들(606) 및 제2 개구들(614) 내의 제2 반도체 구역들(608)의 노출된 표면들을 준비하는 데 사용된다. 사전-세정 프로세스는, 후속 에피택셜 증착 프로세스에서 제1 반도체 구역들(606)(예컨대, 실리콘(Si))의 표면들 및 제2 반도체 구역들(608)(예컨대, 실리콘 게르마늄(SiGe))의 표면들 상에 후속하여 증착되는 에피택셜 층의 성장율을 추가로 조절하기 위해 사용될 수 있다. 후속하여 증착되는 에피택셜 층의 성장율의 조절은, 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)의 표면들에 배치된 잔류 재료들의 양, 이를테면, 표면 활성화 프로세스에서 잔여 산화물 재료의 양을 제어하는 단계 및/또는 사전-세정 프로세스를 수행한 후에, 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)의 표면들에서 재료의 결정 구조를 변경(예컨대, 비정질 또는 결정질 구조를 촉진)하는 단계에 의해 수행될 수 있다. 일부 실시예들에서, 사전-세정 프로세스는 산화되는 SiGe:B 함유 영역의 표면과 산화되는 Si:P 함유 영역의 표면 사이에 일부 에칭을 선택성을 가질 수 있으며, 그에 따라 사전-세정 프로세스는 예컨대, SiGe:B 표면을 "세정"하고(예컨대, 그 위에 형성된 산화물들을 제거하고), Si:P 표면을 그 위에 산화물 층의 적어도 일부가 형성된 상태로 남겨둔다.

[0065] [0074] 사전-세정 프로세스는, 아르곤(Ar), 헬륨(He), 또는 이들의 조합을 포함하는 가스로부터 형성된 플라즈마를 사용하는, 이방성 원격 플라즈마 보조 건식 에칭 프로세스, 이를테면 반응성 이온 에칭(RIE) 프로세스를 포함할 수 있다. 플라즈마 유출물들은 제1 개구(612) 및 제2 개구(614) 내에 남아 있는 유전체 층에 지향적으로 충격을 주고 이를 제거한다.

[0066] [0075] 사전-세정 프로세스는, 암모니아(NH₃), 질소 삼불화물(NF₃), 수소 플루오라이드(HF), 또는 이들의 조합을 포함하는 가스로부터 형성된 플라즈마, 및 캐리어 가스, 이를테면 질소(N₂), 수소(H₂), 또는 이들의 조합을 사용하여, SiCoNi™ 건식 화학 에칭 프로세스와 같은, 등방성 플라즈마 에칭 프로세스를 포함할 수 있다. 건식 화학 에칭 프로세스는 산화물 층들에 대해 선택적이며, 따라서, 층들이 비정질인지, 결정질인지 또는 다결정질인지에 관계없이, 실리콘, 게르마늄, 또는 질화물 층들을 용이하게 에칭하지 못한다. 산화물 대 실리콘 또는 게르마늄에 대한 건식 화학 에칭 프로세스의 선택비는 적어도 약 3:1, 그리고 일반적으로는 5:1 이상, 때로는 10:1이다. 건식 화학 에칭 프로세스는 또한, 산화물 대 질화물에 대해 매우 선택적이다. 건식 화학 에칭 프로세스 대 질화물의 선택비는 적어도 약 3:1, 일반적으로는 5:1 이상, 때로는 10:1이다.

[0067] [0076] 사전-세정 프로세스는, 염소(Cl₂) 및 수소(H₂)를 포함하는 가스로부터 형성된 플라즈마, 및 아르곤(Ar) 및 헬륨(He)을 포함하는 캐리어 가스를 사용하여, 유도성 커플링 플라즈마(ICP) 에칭 프로세스를 포함할 수 있다. ICP 에칭 프로세스는 실리콘의 평활한 측면들을 갖는 깊은 리지(ridge)들을 형성하는 데 사용된다.

[0068] [0077] 사전-세정 프로세스는, 암모니아(NH₃), 질소 삼불화물(NF₃), 수소 불화물(HF), 또는 이들의 조합을 포함하는 가스로부터 형성된 플라즈마, 및 캐리어 가스, 이를테면 질소(N₂), 수소(H₂), 또는 이들의 조합을 사용하여, 등방성 플라즈마 에칭 프로세스, 이를테면 SiCoNi™ 건식 화학 에칭 프로세스에 기반한 표면 활성화 프로세스를 포함할 수 있다. 일 예에서, 플라즈마 세정 프로세스는, HF 및 NH₃에 대한 기관의 동시 노출을 수반하고, 가스들 중 하나 이상의 가스들의 플라즈마 부산물들을 선택적으로 포함하는, 원격 플라즈마 보조 건식 세정 프로세스이다. 불활성 가스들, 이를테면 아르곤 및 헬륨이 또한 사용될 수 있다. 3개의 가스들(불활성/HF/NH₃) 중 임의의 하나 또는 이들의 조합은, 원하는 오염물들을 제거하고 기관의 표면의 적어도 부분들을 패시베이션하는 데 사용되는 이의 플라즈마를 형성하기 위해, 상기에서 설명된 바와 같이, 에너지에 노출될 수 있다. 이후에, 기관을 플라즈마에 노출시킨 후에 기관의 표면 상에 남아 있는 임의의 잔류 화합물들은, 후속하여

기관을 원하는 온도로 가열함으로써 제거될 수 있다.

- [0069] [0078] 블록(520)에서, 도 6b에 도시된 바와 같이, 제1 개구(612) 내의 제1 반도체 구역(606)의 노출된 표면에 제1 콘택 층(616)을 에피택셜하게 형성하기 위해, 그리고 제2 개구(614) 내의 제2 반도체 구역(608)의 노출된 표면에 제2 콘택 층(618)을 에피택셜하게 형성하기 위해, 제1 선택적 증착 프로세스가 수행된다. 제1 선택적 증착 프로세스는 프로세싱 챔버, 이를테면, 도 1에 도시된 프로세싱 챔버(126, 128, 또는 130), 또는 도 3에 도시된 프로세싱 챔버(300)에서 수행될 수 있다.
- [0070] [0079] 후속하여, 제1 콘택 층(616)은 하기에서 논의되는 바와 같이 제거된다. 제2 콘택 층(618)은 기생 저항을 최소화하기 위해, 제2 반도체 구역들(608)과 제2 개구(614) 내에 형성될 금속 콘택 플러그 사이의 인터페이스들로서 형성된다. 제1 콘택 층(616) 및 제2 콘택 층(618)은 제3 재료로 형성된다. 제3 재료의 예들은, 20% 내지 100% 범위의 게르마늄(Ge)의 비율을 갖는 실리콘 게르마늄(SiGe)을 포함한다. 제1 콘택 층(616) 및 제2 콘택 층(618)은, 제2 콘택 층(618)의 원하는 전도성 특성에 따라, 약 10^{20} cm^{-3} 내지 $5 \times 10^{21} \text{ cm}^{-3}$ 의 농도로, 붕소(B) 또는 갈륨(Ga)과 같은 p-타입 도펀트들로 도핑될 수 있다.
- [0071] [0080] 일부 실시예들에서, 제1 선택적 증착 프로세스는 제1 증착 프로세스 및 제1 에칭 프로세스를 포함한다. 제1 증착 프로세스는 에피택셜 증착 프로세스이다. 제1 선택적 증착 프로세스에서의 선택비는, 유전체 층(610)(예컨대, 실리콘 이산화물(SiO_2) 또는 실리콘 질화물(Si_3N_4))의 노출된 표면들 상의 제3 재료의 핵형성과 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)(예컨대, 실리콘(Si) 또는 실리콘 게르마늄(SiGe))의 노출된 표면들 상의 제3 재료의 핵형성의 차이들로부터 발생할 수 있다. 핵형성은 유전체 층(610)(예컨대, 실리콘 이산화물(SiO_2) 또는 실리콘 질화물(Si_3N_4))의 노출된 표면들보다 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)(예컨대, 실리콘(Si) 또는 실리콘 게르마늄(SiGe))의 노출된 표면들 상에서 더 빠른 레이트(rate)로 발생할 수 있으며, 이에 따라, 제3 재료의 에피택셜 층은 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)(예컨대, 실리콘(Si) 또는 실리콘 게르마늄(SiGe))의 노출된 표면들 상에 형성될 수 있으며, 반도체 구조(600)가 제1 증착 프로세스에서 증착 가스에 노출될 때, 제3 재료의 비정질 층은 유전체 층(610)(예컨대, 실리콘 이산화물(SiO_2) 또는 실리콘 질화물(Si_3N_4))의 노출된 표면들 상에 형성될 수 있다. 후속 제1 에칭 프로세스에서, 유전체 층(610)의 노출된 표면들 상에 형성된 제3 재료의 비정질 층들은 적절한 에칭 가스에 의해, 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)의 노출된 표면들 상에 형성된 제3 재료의 에피택셜 층들보다 더 빠른 레이트로 에칭될 수 있다. 따라서, 결합된 제1 증착 프로세스 및 제1 에칭 프로세스의 전체 결과는, 임의의 경우에, 유전체 층(610)의 노출된 표면들 상에 제3 재료의 성장을 최소화하면서, 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)의 노출된 표면들 상에서의 제3 재료의 에피택셜 성장일 수 있다.
- [0072] [0081] 일부 실시예들에서, 증착 가스는 실리콘-함유 전구체, 게르마늄 함유 전구체, 및 도펀트 소스를 포함한다. 실리콘-함유 전구체는 실란(SiH_4), 디실란(Si_2H_6), 테트라실란(Si_4H_{10}), 또는 이들의 조합을 포함할 수 있다. 게르마늄-함유 전구체는 게르만(GeH_4), 게르마늄 사염화물(GeCl_4), 및 디게르만(Ge_2H_6)을 포함할 수 있다. 도펀트 소스는, 제2 콘택 층(618)의 원하는 전도성 특성에 따라, 예컨대 붕소 또는 갈륨을 포함할 수 있다. 도펀트 소스는 전구체 디보란(B_2H_6)을 포함할 수 있다. 에칭 가스는 에천트 가스 및 캐리어 가스를 포함한다. 에천트 가스는 할로젠-함유 가스, 이를테면 수소 염화물(HCl), 염소(Cl_2), 또는 수소 불화물(HF)을 포함할 수 있다. 캐리어 가스는 질소(N_2), 아르곤(Ar), 헬륨(He), 또는 수소(H_2)를 포함할 수 있다.
- [0073] [0082] 제1 증착 프로세스 및 제1 에칭 프로세스는 약 450°C 미만의 낮은 온도 및 5 Torr 내지 600 Torr의 압력에서 수행될 수 있다.
- [0074] [0083] 제1 증착 및 제1 에칭 프로세스들의 사이클은 제1 콘택 층(616) 및 제2 콘택 층(618)의 원하는 두께를 획득하기 위해 필요에 따라 반복될 수 있다. 제1 콘택 층(616) 및 제2 콘택 층(618)의 두께는 약 30Å 내지 약 100Å일 수 있다.
- [0075] [0084] 블록(530)에서, 도 6c에 도시된 바와 같이, 제2 콘택 층(618)을 커버하도록 제2 반도체 구역들(608) 위에 패터닝 스택(620)을 형성하기 위해 패터닝 프로세스가 수행된다. 패터닝 프로세스는 종래의 포토리소그래피 패터닝 프로세스를 사용하여 수행될 수 있다.
- [0076] [0085] 패터닝 스택(620)은 평탄화 충전 프로세스(예컨대, 스핀-코팅)를 사용하여 반도체 구조(600)의 노출된 표면들 상에 증착되고, 후속하여, 적합한 리소그래피 및 에칭 프로세스에 의해 패터닝될 수 있다. 패터닝 스택

(620)은 ODL(organic dielectric layer), SiARC(silicon anti-reflective coating), 또는 포토레지스트로 형성될 수 있다.

- [0077] [0086] 블록(540)에서, 도 6d에 도시된 바와 같이, 제1 반도체 구역들(606)(예컨대, 실리콘(Si)) 및 유전체 층(610)(예컨대, 실리콘 이산화물(SiO₂) 또는 실리콘 질화물(Si₃N₄))에 비해 선택적으로 제1 콘택 층(616)(예컨대, 실리콘 게르마늄(SiGe))을 제거하기 위해 선택적 제거 프로세스(SRP)가 수행된다. SRP는 프로세싱 챔버, 이를테면, 도 1에 도시된 프로세싱 챔버(124), 또는 도 4에 도시된 프로세싱 챔버(400)에서 수행될 수 있다.
- [0078] [0087] SRP는 불소-함유 전구체(예컨대, 질소 삼불화물(NF₃))로부터 형성된 플라즈마 유출물들을 사용하는 플라즈마 에칭을 포함한다. 원격 플라즈마 소스(예컨대, 도 4에 도시된 원격 플라즈마 소스(224))로부터의 플라즈마 유출물들은 기판 프로세싱 구역(예컨대, 도 4에 도시된 기판 프로세싱 구역(428)) 내로 유동된다. 플라즈마 유출물들은, 반도체 구조(600)의 노출된 표면들과 반응하고, 제1 콘택 층(616)(예컨대, 실리콘 게르마늄(SiGe))을 선택적으로 제거하고, 제1 반도체 구역들(606)(예컨대, 실리콘(Si))을 매우 서서히 제거한다. 일반적으로 말하자면, 본원에서 설명되는 SRP는 (모든 X>Y의 경우) Si_(1-Y)Ge_Y보다 더 빠르게 Si_(1-X)Ge_X(게르마늄을 포함함, 즉, X=1)를 제거하는 데 유용하다. 일부 실시예들에서, 실리콘 게르마늄의 에칭 선택비는 부분적으로, 챔버 플라즈마 구역(예컨대, 도 4에 도시된 챔버 플라즈마 구역(426))과 기판 프로세싱 구역(예컨대, 도 4에 도시된 기판 프로세싱 구역(428)) 사이에 포지셔닝된 이온 억제기(예컨대, 도 4에 도시된 천공된 파티션(422))의 존재로부터 기인한다.
- [0079] [0088] 불소-함유 전구체는 질소 삼불화물, 플루오로카본, 원자 불소, 이원자 불소, 인터할로젠 불화물(예컨대, 브롬 삼불화물, 염소 삼불화물), 황 육불화물, 크세논 이불화물, 또는 이들의 조합을 포함한다. 희석 가스(예컨대, 아르곤(Ar), 헬륨(He), 질소(N₂), 또는 이들의 조합)가 또한, 챔버 플라즈마 구역 내로 유동되며, 여기서 희석 가스는 불소-함유 전구체와 함께 플라즈마에서 동시에 여기된다. 희석 가스는 플라즈마 유출물들의 확산성을 감소시키고, 그에 따라, 실리콘 게르마늄의 에칭 선택성을 증가시킨다.
- [0080] [0089] 일부 실시예들에서, 불소-함유 전구체(예컨대, 질소 삼불화물(NF₃))는 약 5 sccm(standard cubic centimeters per minute) 내지 약 40 sccm의 유량으로 공급되며, 아르곤(Ar)은 약 4 sccm 내지 약 1500 sccm의 유량, 헬륨(He)은 약 100 sccm 내지 약 5000 sccm의 유량으로 공급된다. 질소(N₂)는 약 100 sccm 내지 약 5000 sccm의 유량을 포함한다. SRP는 약 -20℃ 내지 약 60℃의 온도 및 1 Torr 내지 50 Torr의 압력에서 수행될 수 있다. 30%의 게르마늄(Ge)의 비율을 갖는 실리콘 게르마늄(SiGe)의 에칭 선택비는 인-도핑된 실리콘(Si:P)의 경우 200:1보다 높고, 열적 산화물(SiO_x)의 경우 500:1보다 높고, 실리콘 질화물(Si₃N₄)의 경우 500:1보다 높을 수 있다.
- [0081] [0090] 블록(550)에서, 도 6e에 도시된 바와 같이, 종래의 플라즈마 애싱 프로세스가 패터닝 스택(620)을 제거하기 위해 수행된다. 플라즈마 애싱 프로세스는 프로세싱 챔버, 이를테면, 도 1에 도시된 프로세싱 챔버(122) 또는 도 2에 도시된 프로세싱 챔버(200)에서 수행될 수 있다.
- [0082] [0091] 플라즈마 애싱 프로세스는 산소(O₂)를 포함하는 가스로부터 형성된 플라즈마를 사용할 수 있다. 애싱 프로세스는, 반도체 구조(600) 상의 패터닝 스택(620)의 잔류물을 제거하기 위해, 용액, 이를테면, 황산(H₂SO₄)과 과산화수소(H₂O₂)의 혼합물을 사용하는 습식 세정 프로세스를 사용할 수 있다.
- [0083] [0092] 블록(560)에서, 도 6f에 도시된 바와 같이, 제2 증착 프로세스가 수행된다. 제2 증착 프로세스는 각각, 프로세싱 챔버, 이를테면, 도 1에 도시된 프로세싱 챔버(126, 128, 또는 130), 또는 도 3에 도시된 프로세싱 챔버(300)에서 수행될 수 있다.
- [0084] [0093] 제2 증착 프로세스에서, 제1 반도체 구역들(606) 및 제2 콘택 층(618)의 노출된 표면들 상에 금속 층(622)이 형성된다. 금속 층(622)은 제2 콘택 층(618)과 접촉하고, 제2 개구들(614) 내에 형성될 콘택 플러그(contact plug)와 제2 반도체 구역들(608) 사이의 전기적 연결을 제공하면서, 금속 층(622)을 통한 전기적 연결을 유지한다. 금속 층(622)은 금속 재료, 이를테면, 티타늄(Ti), 코발트(Co), 니켈(Ni), 몰리브덴(Mo), 또는 탄탈럼(Ta), 또는 이들의 규화물로 형성될 수 있다.
- [0085] [0094] 일부 실시예들에서, 금속 소스는, 티타늄(Ti), 탄탈럼(Ta), 코발트(Co), 니켈(Ni), 또는 몰리브덴(Mo), 또는 이들의 조합을 포함하는 전구체를 포함할 수 있다. 제2 증착 프로세스는 각각, 약 300℃ 내지 약 800℃의

온도 및 1 Torr 내지 50 Torr의 압력에서 수행될 수 있다.

[0086] [0095] 제2 증착 프로세스에서, 제1 개구(612) 및 제2 개구(614)의 노출된 내측 표면들, 및 유전체 층(610)의 노출된 표면들 상에 배리어 금속 층(624)이 또한 형성될 수 있다. 배리어 금속 층(624)은 금속 층(622)을 보호하고, 하기에서 논의되는 바와 같이, 제1 개구(612) 및 제2 개구(614)에서 콘택 플러그들의 핵형성 및 성장을 허용한다. 배리어 금속 층(624)은 티타늄 질화물(TiN) 또는 탄탈럼 질화물(TaN)인 배리어 금속 재료로 형성될 수 있다. 일부 실시예들에서, 금속 층(622)은, 스파이크-어닐링 프로세스의 사용에 의해 배리어 금속 층(624)의 일부분으로부터 형성되는 규화물 층이다. 일부 다른 실시예들에서, 금속 층(622)은, 배리어 금속 층(624)을 형성하기 전에 수행되는 별개의 선택적 증착 프로세스에 의해 형성되는 규화물 층이다.

[0087] [0096] 블록(560)에서 수행되는 제2 증착 프로세스는, 약 100°C 내지 약 300°C의 온도에서, 프로세싱 챔버, 이를테면 도 1에 도시된 프로세싱 챔버(126, 128, 또는 130)에서의 임의의 적절한 증착 프로세스, 이를테면 원자층 증착(ALD), 화학 기상 증착(CVD), 물리 기상 증착(PVD) 등을 포함할 수 있다.

[0088] [0097] 블록(570)에서, 도 6g에 도시된 바와 같이, 제1 개구(612)에 제1 콘택 플러그(626)를 형성하고 제2 개구(614)에 제2 콘택 플러그(628)를 형성하기 위해 금속 충전 프로세스가 수행된다. 제1 콘택 플러그(626) 및 제2 콘택 플러그(628)는 콘택 플러그 금속 재료, 이를테면, 텅스텐(W), 코발트(Co), 루테튬(Ru), 또는 몰리브덴(Mo)으로 형성될 수 있다. 제1 콘택 플러그(626) 및 제2 콘택 플러그(628)는 바람직한 일 함수(work function)를 갖는 금속을 포함할 수 있다. 블록(570)에서의 금속 충전 프로세스는, 프로세싱 챔버, 이를테면 도 1에 도시된 프로세싱 챔버(126, 128 또는 130)에서, 텅스텐-함유 전구체, 이를테면, WF₆ 또는 코발트-함유 전구체를 사용하는 화학 기상 증착(CVD) 프로세스를 포함할 수 있다.

[0089] [0098] 금속 충전 프로세스 후에, 반도체 구조(600)는 이를테면, 화학적 기계적 평탄화(CMP) 프로세스의 사용에 의해 평탄화될 수 있다.

[0090] **대안적인 예**

[0091] [0099] 도 7은 본 개시내용의 제2 실시예에 따른, 반도체 구조(800)에 콘택 층을 형성하는 방법(700)의 프로세스 흐름도를 도시한다. 도 8a, 도 8b, 도 8c, 도 8d 및 도 8e는 방법(700)의 다양한 상태들에 대응하는 반도체 구조(800)의 일부의 단면도들이다. 도 8a, 도 8b, 도 8c, 도 8d 및 도 8e는 반도체 구조(800)의 부분적인 개략도들만을 예시하고, 반도체 구조(800)는 도면들에 예시된 바와 같은 양상들을 갖는 임의의 수의 트랜지스터 섹션들 및 추가적인 재료들을 포함할 수 있다는 것이 이해되어야 한다. 또한, 도 7에 예시된 방법이 순차적으로 설명되지만, 생략 및/또는 추가된 및/또는 다른 바람직한 순서로 재배열된 하나 이상의 동작들을 포함하는 다른 프로세스 시퀀스들이 본원에 제공된 개시내용의 실시예들의 범위 내에 속한다는 것이 주목되어야 한다. 하기 설명에서, 제1 실시예의 컴포넌트들과 실질적으로 동일한 컴포넌트들에 대해 동일한 참조 번호들이 사용되며, 반복되는 컴포넌트들의 설명은 생략될 수 있다.

[0092] [0100] 방법(700)은 블록(710)에서 사전-세정 프로세스로 시작된다. 블록(710)의 사전-세정 프로세스는 일반적으로 블록(510)의 사전-세정 프로세스와 동일하다. 블록(710)에서의 사전-세정 프로세스는, 제2 반도체 구역들(608)(예컨대, 실리콘 게르마늄(SiGe))의 노출된 표면들 상에서의 제3 재료(예컨대, 실리콘 게르마늄(SiGe))의 에피택셜 층의 성장률이 제1 반도체 구역들(606)(예컨대, 실리콘(Si))의 노출된 표면들 상의 제3 재료(예컨대, 실리콘 게르마늄(SiGe))의 에피택셜 층의 성장률보다 더 높도록 맞춤화될 수 있다. 사전-세정 프로세스를 제어하기 위한 노브(knob)들은, 가스 케미스트리, 가스 비율, 가스 유량, 기관 온도, 온도 구배들, 챔버 압력, 전력 소스의 전력 및/또는 주파수, RF 여기 주파수들, 듀티 사이클, 및/또는 RF 전력들의 주파수, 예칭 시간, 또는 이들의 조합을 포함할 수 있다. 상기에서 논의된 바와 같이, 후속하여 증착되는 에피택셜 층의 성장률의 조절(modulation)은, 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)의 표면들에 배치된 재료들의 조성을 제어 또는 조정함으로써 및/또는 사전-세정 프로세스를 수행한 후에, 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)의 표면들에서 재료의 결정 구조를 변경함으로써 조정될 수 있다.

[0093] [0101] 블록(720)에서, 도 8b에 도시된 바와 같이, 제1 개구(612) 내의 제1 반도체 구역들(606)의 노출된 표면들 상에 제1 콘택 층(816)을, 및 제2 개구(614) 내의 제2 반도체 구역들(608)의 노출된 표면들 상에 제2 콘택 층(818)을 에피택셜하게 형성하기 위해, 제1 선택적 증착 프로세스가 수행된다. 블록(720)에서의 제1 선택적 증착 프로세스는 일반적으로 블록(520)에서의 제1 선택적 증착 프로세스와 동일할 수 있다. 일부 실시예들에서, 블록(710)의 사전-세정 프로세스가 수행된 방식 및 그에 따른 제1 선택적 증착 프로세스 동안의 제1 반도체 구역들(606) 및 제2 반도체 구역들(608)의 표면들의 상태로 인해, 제2 콘택 층(818)은 동일한 프로세싱 시간 기간

동안 제1 콘택 층(816)의 두께보다 더 큰 두께로 성장될 것이다.

- [0094] [0102] 블록(720)의 일부 다른 실시예들에서, 제2 콘택 층(818) 및 제1 콘택 층(816)을 동시에 형성하기 위해 사용되는 프로세스 파라미터들은, 제2 반도체 구역들(608) 상에 형성되는 제2 콘택 층(818)의 두께가 동일한 프로세스 시간 기간 동안 제1 반도체 구역들(606) 상에 형성된 제1 콘택 층(816)의 두께보다 더 크도록 조정 및/또는 제어된다. 증착 프로세스 파라미터들(예컨대, 온도, 프로세스 압력, 전구체 가스 조성 등) 중 하나 이상을 제어함으로써, 실리콘 게르마늄(SiGe) 함유 제2 반도체 구역들(608) 상의 실리콘 게르마늄(SiGe) 함유 제2 콘택 층(818)의 성장률이 실리콘 함유 제1 반도체 구역들(606) 상의 실리콘 게르마늄(SiGe) 함유 제1 콘택 층(816)의 성장률보다 유의미하게 더 클 수 있는 것으로 여겨진다.
- [0095] [0103] 블록(720)의 예들 중 어느 하나에서, 제1 콘택 층(816)은 약 5Å 내지 약 100Å의 두께로 형성될 수 있고, 제2 콘택 층(818)은 약 30Å 내지 약 100Å의 두께로 형성될 수 있으며, 제1 콘택 층(816)의 두께는 제2 콘택 층(818)의 두께 미만이다.
- [0096] [0104] 블록(730)에서, 도 8c에 도시된 바와 같이, 제1 반도체 구역들(606)(예컨대, 실리콘(Si)) 및 유전체 층(610)(예컨대, 실리콘 이산화물(SiO₂) 또는 실리콘 질화물(Si₃N₄))에 비해 선택적으로 제1 콘택 층(816)(예컨대, 실리콘 게르마늄(SiGe))을 제거하기 위해 선택적 제거 프로세스(SRP)가 수행된다. 블록(730)에서의 SRP는 블록(540)에서의 SRP와 동일하다. 그러나, 제2 콘택 층(818)은 (도 6c 및 도 6d에 도시된 바와 같이 패터닝 스택(620)에 의해 커버된 제2 콘택 층(618)과 달리) 노출되며, 이에 따라, 제2 콘택 층(818)은 또한 선택적으로 제거된다. 이 프로세스에서, 일정량의 제1 콘택 층(816) 및 제2 콘택 층(818), 이를테면 모든 제1 콘택 층(816)이 제거되고, 그에 따라, 블록(720) 동안 형성된 제1 콘택 층(816)의 두께에 대한 제2 콘택 층(818)의 증가된 두께로 인해 제2 반도체 구역들(608) 위에 일정량의 제2 콘택 층(818)이 잔류하게 된다. 블록(720)에서의 제1 선택적 증착 프로세스 및 블록(730)에서의 SRP의 사이클은 제2 콘택 층(818)의 원하는 두께를 획득하기 위해 필요에 따라 반복될 수 있다. 제2 콘택 층(618)의 두께는 약 30Å 내지 약 100Å일 수 있다.
- [0097] [0105] 블록(740)에서, 도 8d에 도시된 바와 같이, 금속 층(622) 및 배리어 금속 층(624)을 형성하기 위해 제2 증착 프로세스가 수행된다. 블록(740)에서 제공된 제2 증착 프로세스는 블록(560)에서의 제2 증착 프로세스와 동일할 수 있다.
- [0098] [0106] 블록(750)에서, 도 6e에 도시된 바와 같이, 제1 개구(612)에 제1 콘택 플러그(626)를 형성하고, 그리고 제2 개구(614)에 제2 콘택 플러그(628)를 형성하기 위해 금속 충전 프로세스가 수행된다. 블록(750)에서 제공되는 금속 충전 프로세스는 블록(670)에서의 금속 충전 프로세스와 동일할 수 있다.
- [0099] [0107] 본원에서 설명되는 실시예들은 트랜지스터 구조의 선택된 부분 상의 트렌치 내에 콘택 에피택셜 층을 형성하기 위한 방법들 및 시스템을 제공한다. 콘택 트렌치 구조는, 인접한 디바이스 모듈들 사이의 트렌치 내에 형성된 금속 콘택 플러그, 및 디바이스 모듈들의 실리콘-기반 채널들과 콘택 플러그 사이에서 인터페이싱하는 콘택들을 포함한다. 콘택들은 선택적 증착 프로세스에 의해 형성되어, 기생 저항을 감소시킨다. 금속 콘택 플러그는 증착-마다-증착 프로세스(deposition-each-deposition process)에 의해 무-공극으로 형성되어, 콘택 저항을 감소시킨다. 콘택 에피택셜 층은 p-타입 MOS 디바이스(예컨대, 실리콘 게르마늄)의 노출된 표면 상에 형성된 p-타입 실리콘 게르마늄일 수 있는 한편, p-타입 MOS 디바이스 및 n-타입 MOS 디바이스 위에 형성된 n-타입 MOS(예컨대, 실리콘) 또는 유전체 층 상에 에피택셜 층이 형성되지 않을 수 있다. 방법들 및 시스템들은 포토마스크를 사용하여 에피택셜 층을 패터닝하는 것을 요구하지 않으며, 그에 따라, 제조된 반도체 구조들에 대한 손상들이 감소된다.
- [0100] [0108] 전술한 바가 본 개시내용의 실시예들에 관한 것이지만, 본 개시내용의 다른 그리고 추가적인 실시예들이, 본 개시내용의 기본적인 범위로부터 벗어나지 않으면서 안출될 수 있고, 본 개시내용의 범위는 하기의 청구항들에 의해 결정된다.

부품 번호	명세서에서 부품명	208	진공 펌프
100	(다중 챔버 프로세싱 시스템)	210	진공 포트
102	팩토리 인터페이스	212	제어기
104	로드 록 챔버	214	프로세싱 구역
106	로드 록 챔버	216	제1 플레이트
108	이송 챔버	218	제2 플레이트
110	이송 챔버	220	제3 플레이트
112	이송 로봇	222	원뿔-형상 챔버
114	이송 로봇	224	원격 플라즈마 소스
116	챔버들	226	가스 소스
118	챔버들	228	개구
120	프로세싱 챔버	230	볼륨
122	프로세싱 챔버	232	제4 플레이트
124	프로세싱 챔버	234	중앙 도관
126	프로세싱 챔버	236	제5 플레이트
128	프로세싱 챔버	238	챔버
130	프로세싱 챔버	240	제6 플레이트
132	도킹 스테이션	242	개구
134	팩토리 인터페이스 로봇	244	유입구
136	FOUP(front opening unified pod)	246	유입구
138	블레이드	248	제1 가스 소스
140	포트	250	제2 가스 소스
142	포트	252	원통형 채널
144	포트	254	홀들
146	포트	256	원통형 채널
148	포트	258	홀들
150	포트	260	제1 가스 분배기
152	포트	262	천공들
154	포트	264	블로커 플레이트
156	포트	266	제2 가스 분배기
158	포트	268	별개의 가스 유입구
160	포트	270	기관 지지부
162	포트	272	기관
164	포트	274	액추에이터
166	포트들	276	샤프트
168	시스템 제어기	278	핀들
170	CPU(central processing unit)	300	프로세싱 챔버
172	메모리	302	하우징 구조
174	지원 회로들	304	석영 챔버
200	프로세싱 챔버	306	상부 석영 챔버
202	챔버 바디	308	석영 챔버
204	리드 어셈블리	310	프로세싱 볼륨
206	지지 어셈블리	312	가스 분배 어셈블리

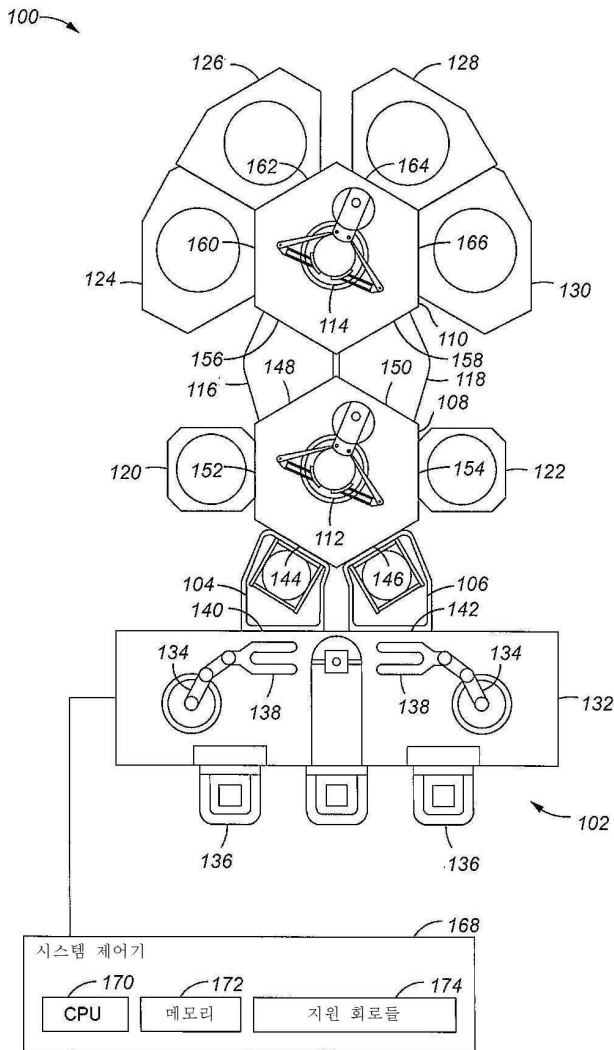
[0101]

314	유출구 포트	446	샤프트
316	기판 지지부	488	핀들
318	기판	500	방법
320	중축	510	블록
322	표면	520	블록
324A	상부 램프 모듈들	530	블록
324B	하부 램프 모듈들	540	블록
326	상부 석영 윈도우	550	블록
328	석영 윈도우	560	블록
330	유입구	570	블록
332	유출구	600	반도체 구조
334	유동 경로	602	제1 트랜지스터 디바이스
336	라이너	604	제2 트랜지스터 디바이스
338	방사상 방향	606	제1 반도체 구역들
340A	가스 소스들	608	제2 반도체 구역들
340B	가스 소스들	610	유전체 층
342	IR 램프들	612	제1 개구들
344	홀들	614	제2 개구
346	친공 플레이트	616	제1 콘택 층
348	채널들	618	제2 콘택 층
400	프로세싱 챔버	620	스택
402	챔버 바디	622	금속 층
404	리드 어셈블리	624	배리어 금속 층
406	지지 어셈블리	626	제1 콘택 플러그
408	진공 펌프	628	제2 콘택 플러그
410	진공 포트	670	블록
412	원격 플라즈마 시스템(RPS)	700	방법
414	가스 유입구 어셈블리	710	블록
416	제1 채널	720	블록
418	제2 채널	730	블록
420	리드	740	블록
422	친공된 파티션	750	블록
424	절연 링	800	반도체 구조
426	챔버 플라즈마 구역	816	제1 콘택 층
428	기판 프로세싱 구역	818	제2 콘택 층
430	관통 홀들		
432	중공 볼륨들		
434	작은 홀들		
436	직경		
438	길이		
440	기판 지지부		
442	기판		
444	액추에이터		

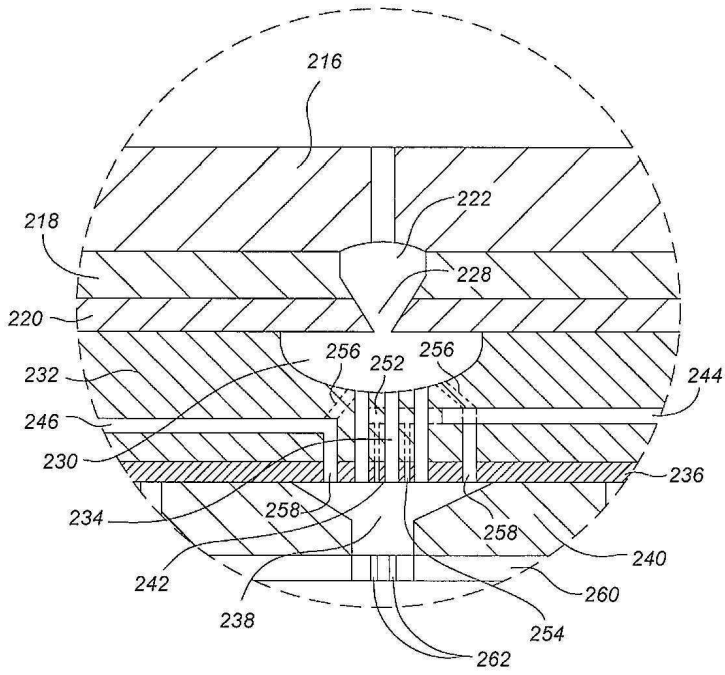
[0102]

도면

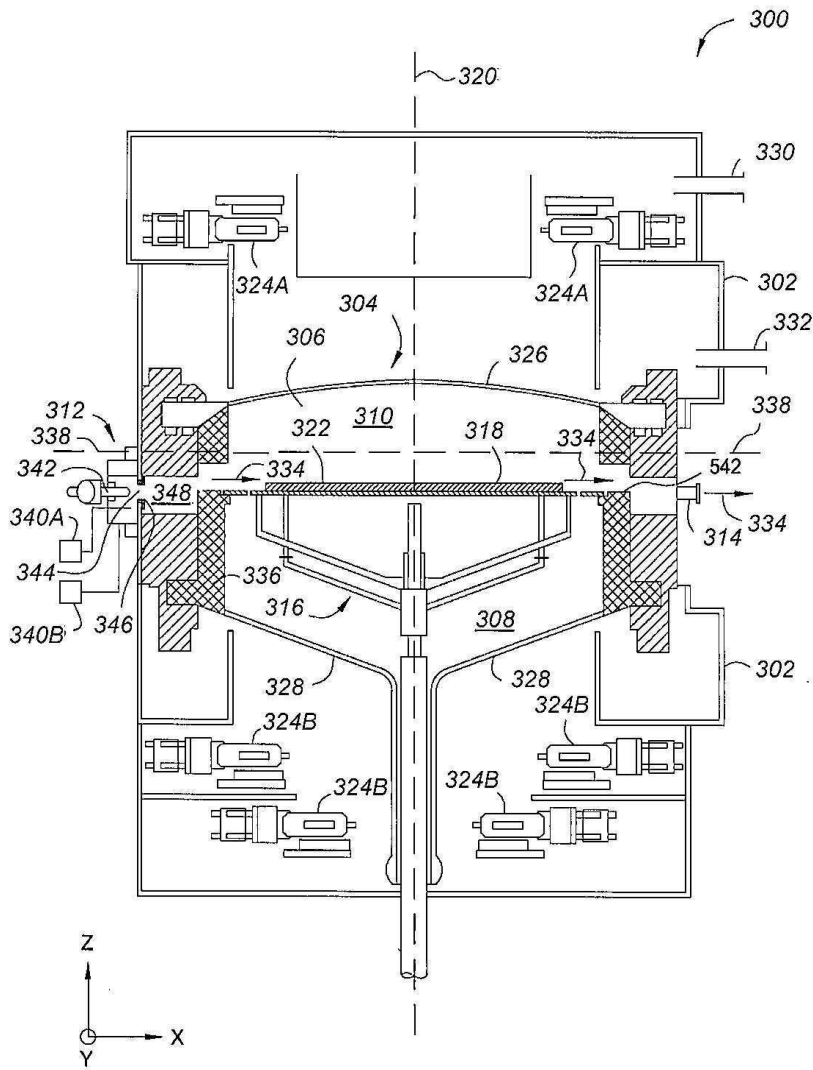
도면1



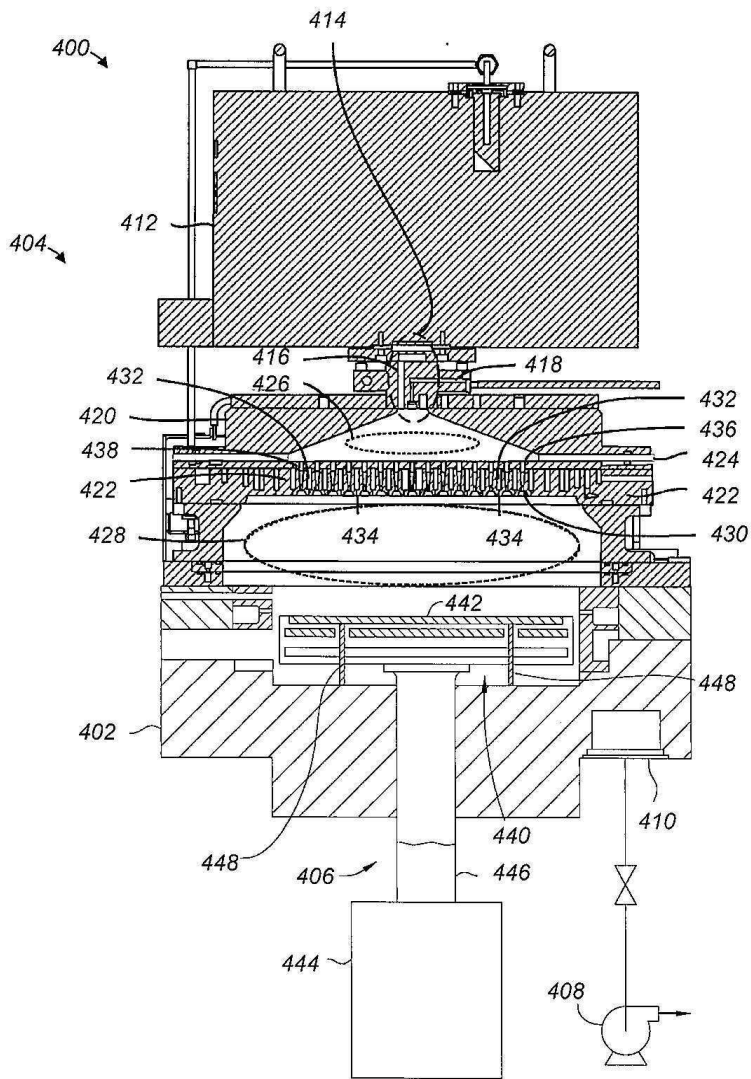
도면2b



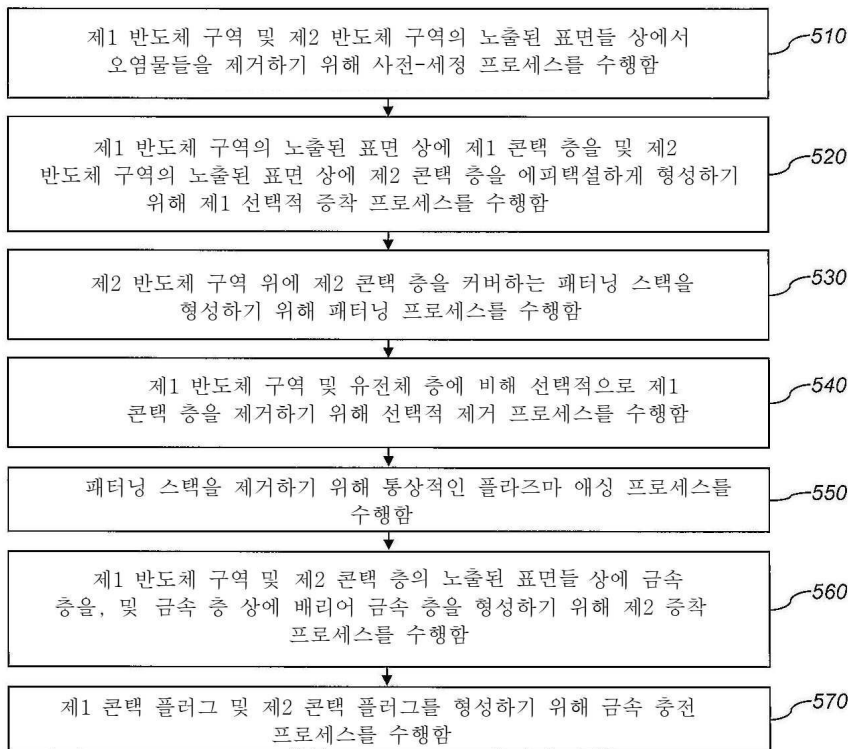
도면3



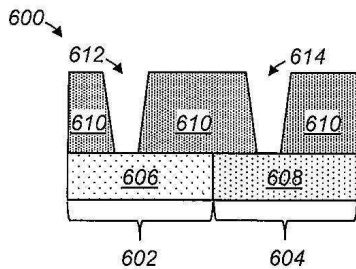
도면4



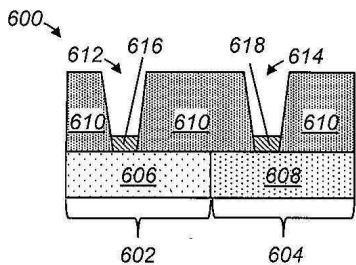
도면5



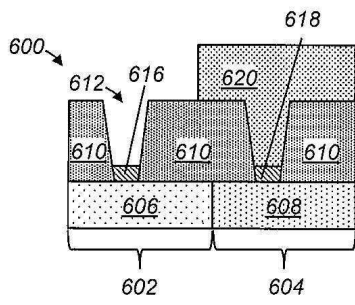
도면6a



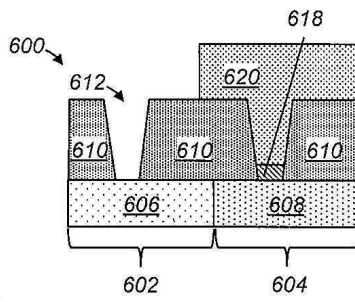
도면6b



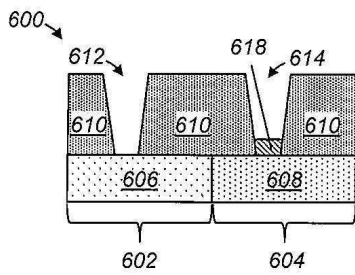
도면6c



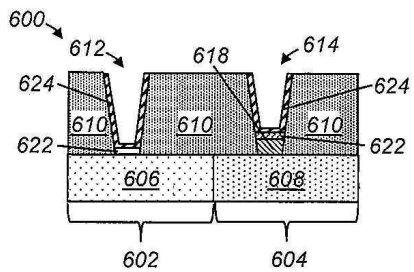
도면6d



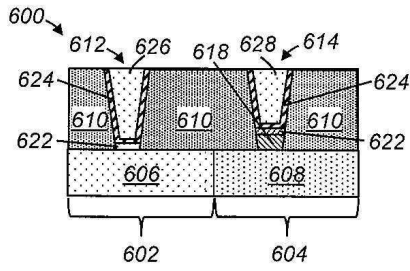
도면6e



도면6f

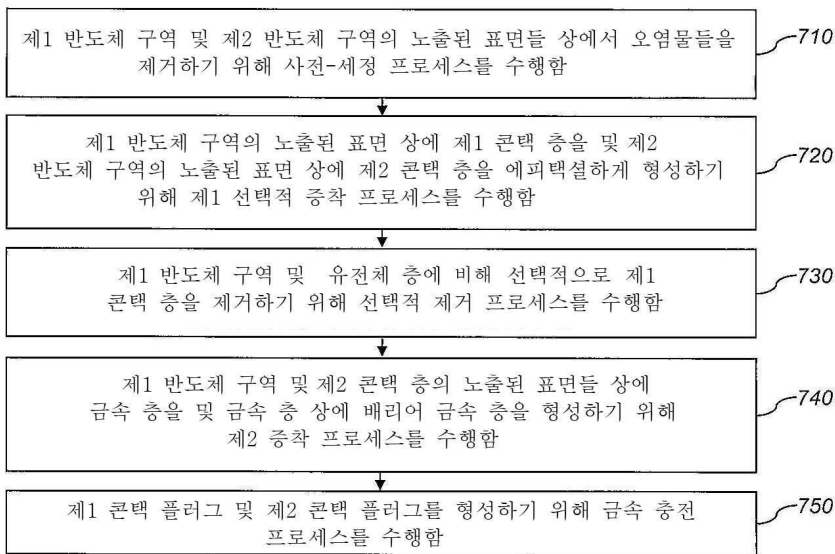


도면6g

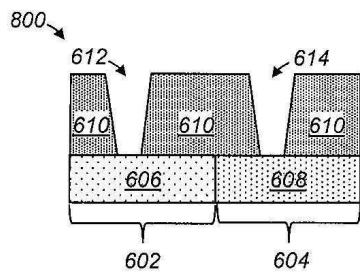


도면7

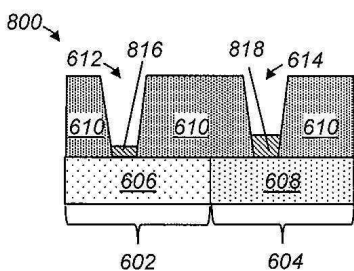
700



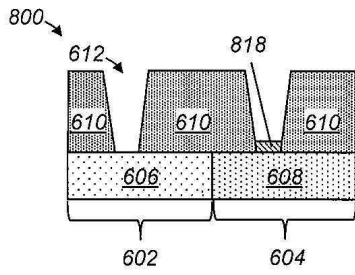
도면8a



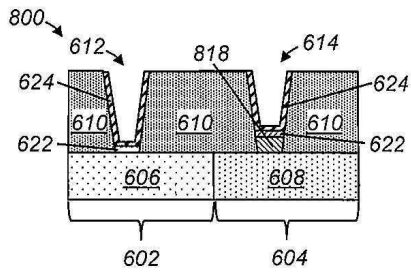
도면8b



도면8c



도면8d



도면8e

