

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

circuit (3a) which constitutes the sensor circuit. The auxiliary lead terminal leads, to outside, a terminal of an auxiliary detection circuit (3b) capable of being separated from the principal detection circuit, can be connected to the principal lead terminal in the outside, and functions as a reference value changing circuit which changes a circuit connection of the sensor circuit depending on a connection state between the principal lead terminal and the auxiliary lead terminal, and changes a reference value by which at least a part of the internal circuit (11) detects an abnormality.

(57) 要約: 電源側主電極に接続される電源側電極領域と出力側主電極に接続される出力側電極領域を有し、電源側電極領域と出力側電極領域の間に主電流を流す出力素子(1)と、異常を検出するセンサ回路(12b)を有する内部回路(11)と、出力素子及び内部回路を内蔵し、主リード端子(9a)及び副リード端子(9b)を有するパッケージとを備える。主リード端子はセンサ回路を構成する主検出回路(3a)の配線中の中間ノードを外部に引き出し、副リード端子は主検出回路から分離可能な副検出回路(3b)の端子を外部に引き出し、外部において主リード端子に接続可能で、主リード端子と副リード端子の接続状態により、センサ回路の回路接続を変更して、内部回路(11)の少なくとも一部が異常を検出する基準値を変更する基準値変更回路として機能する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に係り、特に電力用半導体スイッチ等の半導体集積回路を内蔵した半導体装置に関する。

背景技術

[0002] 従来、電力制御用の半導体装置として、電力用スイッチング素子と、制御回路や保護回路等の周辺回路とを一体化したインテリジェントパワースイッチ（ＩＰＳ）等の半導体集積回路を内蔵した半導体装置が開発されている。

ＩＰＳでは、過電流保護回路、過熱保護回路、低電圧保護回路及び過電圧保護回路など、様々な保護回路が実装されている。例えば、保護回路の１つとして、過電流検出回路が設けられる。過電流の検出は、センス素子から定電流素子に流れる電流を参照して、出力素子から負荷に流れる電流と比較することにより行われる。過電流を検出する過電流検出回路は、半導体チップに一体化されている。設計仕様で採用された定電流素子の定電流値が過電流検出の基準値として固定されている。そのため、過電流に対する保護レベルの変更が生じた場合、保護レベルを変更することは困難となる。

[0003] 特許文献１には、過電流の参照値は固定されているが、過電流検知を行う外部抵抗の値を変更することにより、必要に応じて過電流の検出レベルを変更することが記載されている。特許文献２には、出力素子の駆動電圧が変動した場合、過電流検出回路内において過電流検出を行う抵抗を切り替えて過電流検出の基準値を変更することが記載されている。

[0004] ＩＰＳの使用用途によっては、通電能力を上げるため、過電流検出の基準値を高く設定したい場合がある。従来は、過電流検出素子の定電流値を大きくして、過電流検出の基準値を大きくした製品を別途用意して対応する必要があった。同様に、過熱、定電圧あるいは過電圧等の動作状態検出の基準値を変更する場合、動作状態検出の基準値の変更に合わせて保護回路の仕様を

変更した製品を別途用意する必要があった。

先行技術文献

特許文献

[0005] 特許文献1：特開平5－275999号公報

特許文献2：特開2013－62730号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明は上記課題に着目してなされたものであって、異常検出の基準値の変更が可能な半導体装置の実装構造を提供することを目的とする。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明に係る半導体装置の一態様は、（a）電源側主電極に電氣的に接続される電源側電極領域と出力側主電極に電氣的に接続される出力側電極領域を有し、電源側電極領域と出力側電極領域の間に主電流を流す出力素子と、（b）異常を検出するセンサ回路を有する内部回路と、（c）出力素子及び内部回路を内蔵し、且つ主リード端子及び副リード端子を有するパッケージとを備え、前記主リード端子は、前記センサ回路を構成する主検出回路の配線中の中間ノードを電氣的に外部に引き出し、前記副リード端子は、前記主検出回路から分離可能な副検出回路の端子を電氣的に外部に引き出し、前記外部において前記主リード端子に電氣的に接続可能であり、主リード端子と副リード端子の接続状態により、センサ回路の回路接続を変更して、内部回路の少なくとも一部が、異常を検出する基準値を変更する基準値変更回路として機能することを要旨とする。

発明の効果

[0008] 本発明によれば、異常検出の基準値の変更が可能な半導体装置の実装構造を提供することができる。

図面の簡単な説明

[0009] [図1]本発明の第1実施形態に係る半導体装置の一例を示すブロック図である

。

[図2]本発明の第1実施形態に係る半導体装置の一例を示す回路図である。

[図3]本発明の第1実施形態に係る半導体装置に内蔵される半導体集積回路の一例を示す平面概略図である。

[図4]本発明の第1実施形態に係る半導体集積回路を実装するパッケージの構造の一例を説明する回路図である。

[図5]本発明の第1実施形態に係る半導体装置の過電流値と過電流検出素子の電流値との関係を示す図である。

[図6]従来の半導体装置の一例を示す回路図である。

[図7]従来の半導体装置に用いる半導体集積回路の一例を示す平面概略図である。

[図8]本発明の第2実施形態に係る半導体装置の一例を示すブロック図である。

。

[図9]本発明の第2実施形態に係る半導体装置の一例を示す回路図である。

[図10]本発明の第2実施形態に係る過熱保護回路の動作の一例を示す図である。

[図11]本発明の第2実施形態に係る過熱保護回路の動作の他の例を示す図である。

[図12]本発明の第3実施形態に係る半導体装置の一例を示すブロック図である。

[図13]本発明の第3実施形態に係る半導体装置の一例を示す回路図である。

[図14]本発明の第3実施形態に係る半導体装置の他の例を示す回路図である。

。

[図15]本発明の第4実施形態に係る半導体装置の一例を示すブロック図である。

[図16]本発明の第4実施形態に係る半導体装置の一例を示す回路図である。

[図17]本発明の第4実施形態に係る過電圧保護回路に用いる過電圧検出素子の温度特性の一例を示す図である。

[図18]本発明の第5実施形態に係る半導体装置の一例を示すブロック図である。

[図19]本発明第5実施形態の変形例1に係る半導体装置の例を示すブロック図である。

[図20]本発明の第5実施形態の変形例2に係る半導体装置の例を示すブロック図である。

[図21]本発明の第5実施形態の変形例3に係る半導体装置の例を示すブロック図である。

発明を実施するための形態

[0010] 以下に本発明の第1～第5実施形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各装置や各部材の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判定すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0011] また、以下の第1～第5実施形態の説明における「左右」や「上下」の方向は、単に説明の便宜上の定義であって、本発明の技術的思想を限定するものではない。よって、例えば、紙面を90度回転すれば「左右」と「上下」とは交換して読まれ、紙面を180度回転すれば「左」が「右」に、「右」が「左」になることは勿論である。また以下の説明では、第1導電型がp型、第2導電型がn型の場合について例示的に説明する。しかし、導電型を逆の関係に選択して、第1導電型をn型、第2導電型をp型としても構わない。またpやnに付す＋や－は、＋及び－が付記されていない半導体領域に比して、それぞれ相対的に不純物密度が高い又は低い半導体領域であることを意味する。ただし同じpとpとが付された半導体領域であっても、それぞれの半導体領域の不純物密度が厳密に同じであることを意味するものではない。

[0012] 以下の第1～第5実施形態に係る半導体装置に内蔵される半導体集積回路には、複数の半導体素子が集積化される。半導体装置に内蔵される出力素子1の「電源側主電極」とは、電源に接続される側の主電極を意味する。「出力側主電極」とは、上記電源側主電極とはならない主電極であって、負荷に接続される側の主電極を意味する。出力素子1の「電源側電極領域」とは、絶縁ゲート型電界効果トランジスタ（M I S F E T）や絶縁ゲート型静電誘導トランジスタ（M I S S I T）においてソース領域又はドレイン領域のいずれかであって、電源側主電極にオーミック接続される半導体領域を意味する。絶縁ゲート型バイポーラトランジスタ（I G B T）においてはエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を意味する。又、静電誘導（S I）サイリスタやゲートターンオフ（G T O）サイリスタにおいてはアノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。出力素子1の「出力側電極領域」とは、F E TやS I Tにおいては上記電源側電極領域とはならないソース領域又はドレイン領域のいずれかであって、出力側主電極にオーミック接続される半導体領域を意味する。I G B Tにおいては上記電源側電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる領域を意味する。S IサイリスタやG T Oサイリスタにおいては上記電源側電極領域とはならないアノード領域又はカソード領域のいずれか一方となる領域を意味する。このように、出力素子1の「電源側電極領域」がソース領域であれば、「出力側電極領域」はドレイン領域を意味する。「電源側電極領域」がエミッタ領域であれば、「出力側電極領域」はコレクタ領域を意味する。「電源側電極領域」がアノード領域であれば、「出力側電極領域」はカソード領域を意味する。バイアス関係を交換すれば、対称構造のF E T等では、「電源側電極領域」の機能と「出力側電極領域」の機能を交換可能である。

[0013] 又、半導体装置に内蔵される内部回路11を構成する、負荷又は過電流制御部に接続される側の主電極を意味する。各半導体素子の「一方の主電極領域」とは、M I S F E TやM I S S I Tにおいてソース領域又はドレイン領

域を意味する。ＩＧＢＴにおいてはエミッタ領域又はコレクタ領域のいずれか一方となる半導体領域を意味する。又、ＳＩサイリスタやＧＴＯサイリスタにおいてはアノード領域又はカソード領域のいずれか一方となる半導体領域を意味する。「他方の主電極領域」とは、ＦＥＴやＳＩＴにおいては上記一方の主電極領域とはならないソース領域又はドレイン領域のいずれかの半導体領域を意味する。ＩＧＢＴにおいては上記一方の主電極領域とはならないエミッタ領域又はコレクタ領域のいずれか一方となる領域を意味する。ＳＩサイリスタやＧＴＯサイリスタにおいては上記一方の主電極領域とはならないアノード領域又はカソード領域のいずれか一方となる領域を意味する。バイアス関係を交換すれば、対称構造のＦＥＴ等では、「一方の主電極領域」の機能と「他方の主電極領域」の機能を交換可能である。

[0014] 同様に第１～第５実施形態の説明において、「制御電極」とは、電源側電極領域と出力側電極領域の間、又は一方の主電極領域と他方の主電極領域の間を流れる主電流を制御する電極を意味する。例えば、ＦＥＴやＳＩＴにおいてはソース領域とドレイン領域の間を流れる主電流を制御するゲート電極が該当する。ＩＧＢＴにおいてもエミッタ領域とコレクタ領域の間を流れる主電流を制御するゲート電極が該当する。ＳＩサイリスタやＧＴＯサイリスタにおいてはアノード領域とカソード領域の間を流れる主電流を制御するゲート電極が該当する。又ＢＪＴにおいては、エミッタ領域とコレクタ領域の間を流れる主電流を制御するベース電極が該当する。

[0015] (第１実施形態)

本発明の第１実施形態に係る半導体装置は、図１のブロック図で模式的に示すように、出力素子１及び内部回路１１を主要な要素として含むパッケージの構造をしている。内部回路１１は、駆動回路４及び保護回路５等を備える。保護回路５は、過電流保護回路１２、過熱保護回路１３、低電圧保護回路１４、過電圧保護回路１５等を備える。第１実施形態に係る半導体装置では、過電流保護回路１２がパッケージの主リード端子９ａ及び副リード端子９ｂに電氣的に接続される。主リード端子９ａと副リード端子９ｂとを開放

のまま、あるいは短絡することにより、過電流検出の基準値を任意に変更することができるので、過電流保護回路 12 が「基準値変更回路」として機能する。過電流保護回路 12 は、図 2 に示すように、過電流制御部 12a 及びセンサ回路 12b 等を有する。センサ回路 12b は、センス素子 2、「主過電流検出回路（主検出回路）」としての主過電流検出素子 3a 及び「副過電流検出回路（副検出回路）」としての副過電流検出素子 3b 等を備え、出力素子 1 の「異常」としての過電流を検出する。これら主過電流検出素子 3a 及び副過電流検出素子 3b は定電流素子を用いることができる。第 1 実施形態に係る半導体装置としては、出力素子 1 及び内部回路 11 が半導体チップ 20 に一体構造として構成されたモノリシック集積回路（IC）を例示的に説明する。例示であるので、第 1 実施形態に係る半導体集積回路を内蔵した半導体装置を、出力素子 1 及び内部回路 11 をそれぞれ別の半導体チップに形成したハイブリッド IC 等の構成としても構わない。

[0016] 図 2 に示すように、出力素子 1 は、電源側主電極（ドレイン電極）が電源用リード端子 6 を介して外部電源に電氣的に接続し、出力側主電極（ソース電極）が出力用リード端子 8 を介してソレノイド等の負荷 25 に電氣的に接続する。センサ回路 12b のセンス素子 2 は、一方の主電極領域（ドレイン領域）が出力素子 1 のドレイン電極に電氣的に接続し、他方の主電極領域（ソース領域）が主過電流検出素子 3a の陽極（アノード）に電氣的に接続する。主過電流検出素子 3a は、陽極（アノード）が接続ノード 19a を介して主リード端子 9a に電氣的に接続し、陰極（カソード）が接地配線または内部グランド配線（以下単に、「接地配線」とも称す。）である接地配線 10 に電氣的に接続する。内部グランドの電圧としては例えば、VCC の電圧から 5V を引いた電圧である。副過電流検出素子 3b は、陽極（アノード）が接続ノード 19b を介してパッケージの副リード端子 9b に電氣的に接続し、陰極（カソード）が接地配線 10 に電氣的に接続する。パッケージの入力用リード端子 7 に電氣的に接続した駆動回路 4 は、出力素子 1 及びセンス素子 2 のそれぞれの制御電極に電氣的に接続する。過電流制御部 12a は、

出力素子 1 のソース電極及びセンス素子 2 のソース電極、並びに駆動回路 4 に電氣的に接続する。

[0017] 図 2 に示すように、出力素子 1 は、出力トランジスタ 1 T と、出力トランジスタ 1 T に逆接続された内蔵ダイオード 1 D を有する。センス素子 2 は、センストランジスタ 2 T と、センストランジスタ 2 T に逆接続された内蔵ダイオード 2 D を有する。出力素子 1 の出力トランジスタ 1 T として、M I S F E T、M I S S I T、I G B T 等の絶縁ゲート構造で、半導体チップ 20 の深さ方向（厚み方向）に主電流が流れる縦型半導体素子が好適である。センス素子 2 のセンストランジスタ 2 T としては、縦型構造であっても横型構造であってもよいが、以下の説明から理解できるように、出力トランジスタ 1 T と同様に縦型構造が好ましい。以下においては例示的に、出力トランジスタ 1 T 及びセンストランジスタ 2 T として、珪素（S i）を用いる絶縁ゲート構造の縦型 M I S F E T を採用した場合について説明する。

[0018] なお、M I S トランジスタとは M I S F E T や M I S S I T 等を含む概念である。ゲート絶縁膜にシリコン酸化膜（S i O₂）膜を用いた M O S トランジスタに対して、「M I S トランジスタ」は、S i O₂ 膜以外の絶縁膜をゲート絶縁膜として用いた、より包括的な絶縁ゲート型トランジスタを意味する。M I S トランジスタのゲート絶縁膜には、シリコン窒化（S i O N）膜、ストロンチウム酸化物（S r O）膜、シリコン窒化物（S i₃N₄）膜、アルミニウム酸化物（A l₂O₃）膜も使用可能である。或いは、マグネシウム酸化物（M g O）膜、イットリウム酸化物（Y₂O₃）膜、ハフニウム酸化物（H f O₂）膜、ジルコニウム酸化物（Z r O₂）膜、タンタル酸化物（T a₂O₅）膜、ビスマス酸化物（B i₂O₃）膜でもよい。更にはこれらの単層膜内のいくつかを選択し、複数を積層した複合膜等も使用可能である。また、半導体材料として、S i の他にも、炭化珪素（S i C）、窒化ガリウム（G a N）、ダイヤモンド又は窒化アルミニウム（A l N）等の S i の禁制帯幅 1 . 1 e V よりも広い禁制帯幅を有する半導体材料がそれぞれ使用可能である。

[0019] 主過電流検出素子 3 a 及び副過電流検出素子 3 b として、ゲートとソースが電氣的に接続されたディプレッション型 MOS トランジスタを用いることができる。図 2 に示すように、過電流制御部 1 2 a は、出力素子 1 の出力側主電極（ソース電極）側及びセンス素子 2 の他方の主電極領域に電氣的に接続され、出力電流 I_o 及びセンス電流 I_s をそれぞれ取得する。出力電流 I_o は、出力用リード端子 8 に電氣的に接続された外部の負荷 2 5 に流れる。センス電流 I_s は、主リード端子 9 a 及び副リード端子 9 b をそれぞれ開放にしたときでは、主過電流検出素子 3 a だけが、センストランジスタ 2 T の他方の主電極領域と電氣的に接続される。そのため、センス素子 2 に流れるセンス電流 I_s は、主過電流検出素子 3 a で規定される定電流値となる。一方、主リード端子 9 a 及び副リード端子 9 b を短絡したときでは、主過電流検出素子 3 a 及び副過電流検出素子 3 b が並列に接続され、それぞれがセンストランジスタ 2 T の他方の主電極領域と電氣的に接続される。そのため、センス素子 2 に流れるセンス電流 I_s は、主過電流検出素子 3 a 及び副過電流検出素子 3 b のそれぞれで規定される定電流値の和となる。

[0020] センス素子 2 のセンス電流 I_s は、主過電流検出素子 3 a の定電流値、又は主過電流検出素子 3 a と副過電流検出素子 3 b の定電流値の和で規定される。過電流制御部 1 2 a は、このセンス電流 I_s の値を基準値として、出力電流 I_o と比較して過電流の検出を行う。例えば、出力電流 I_o の値に対するセンス電流 I_s の値の電流比率を算出して、この電流比率が所定の値以上になれば保護が必要な過電流レベルと判定し、過電流検出信号 S_{oc} を駆動回路 4 に送信する。

[0021] 駆動回路 4 は、入力用リード端子 7 に供給された制御信号に基づき、出力素子 1 及びセンス素子 2 のそれぞれの制御電極（ゲート電極）に制御電圧を供給して出力素子 1 及びセンス素子 2 を導通状態にする。過電流制御部 1 2 a から過電流検出信号 S_{oc} を取得すると、駆動回路 4 は、出力素子 1 及びセンス素子 2 への制御電圧を遮断する。このようにして、出力素子 1 を過電流から保護することができる。

[0022] 図3に示すように、第1実施形態に係る半導体装置は、出力素子1と内部回路11を共通の半導体チップ20にモノリシックに集積している。図3の半導体チップ20の上面には、表面電極パッド21、第1検出素子パッド29a及び第2検出素子パッド29b、入力パッド27、及び接地配線パッド10p等が設けられる。表面電極パッド21は、出力素子1の出力側電極領域に電氣的に接続される出力側主電極である。出力素子1の出力側主電極がソース電極の場合は、出力側電極領域はソース領域である。第1検出素子パッド29aは、接続ノード19aを介して主過電流検出素子3aの陽極に電氣的に接続される。第2検出素子パッド29bは、接続ノード19bを介して副過電流検出素子3bの陽極に電氣的に接続される。入力パッド27は、駆動回路4に電氣的に接続される。接地配線パッド10pは、接地配線10に電氣的に接続される。なお、図示を省略したが、半導体チップ20の裏面には出力素子1の出力側電極領域及びセンス素子2の他方の主電極領域が露出するように形成されている。出力素子1の出力側主電極がソース電極の場合、電源側主電極としてドレイン電極が選択されるので、電源側電極領域は、ドレイン領域である。

[0023] 図4に示すように、半導体チップ20は、リードフレーム等のパッケージ40の導体板の上面に出力素子1の電源側電極領域及びセンス素子2の一方の主電極領域が金属学的に接触するように配置される。半導体チップ20の裏面側において、出力素子1の電源側電極領域及びセンス素子2の一方の主電極領域が、外部電源VCCが供給される電源用リード端子6に電氣的に接続される。図3及び図4の半導体チップ20の上面に露出する出力素子1の表面電極パッド（出力側主電極）21が、ボンディングワイヤ等の配線材37を介して出力用リード端子8に電氣的に接続される。半導体チップ20の上面に露出する主過電流検出素子3aの第1検出素子パッド29aが、配線材37を介して主リード端子9aに電氣的に接続される。半導体チップ20の上面に露出する副過電流検出素子3bの第2検出素子パッド29bが配線材37を介して副リード端子9bに電氣的に接続される。半導体チップ20

の上面に露出する駆動回路4の入力パッド27が、配線材37を介して入力用リード端子7に電氣的に接続される。半導体チップ20の上面に露出する接地配線10の接地配線パッド10pが、配線材37を介して接地端子30に電氣的に接続される。なお、第1実施形態に係る半導体装置においては、端子50が空き端子の場合を例示する。

[0024] 従来のIPSでは、図6に示すように、1つの過電流検出素子3cを用いている。過電流検出素子3cはセンス素子2と接地配線10の間に配置すればよく、半導体チップ20からパッケージのリードフレーム端子に引き出す必要はない。そのため、図7に示すように、従来のIPSでは、半導体チップ20の上面に過電流検出素子3cの陽極に電氣的に接続するパッドが設けられていない構成となる。したがって、通電能力を上げるため、過電流検出の基準値を高く設定したい場合に、基準値を変更することはできない。

[0025] 図5には、複数のゲートとソースが電氣的に接続されたディプレッション型MOSトランジスタ（以下単に、「ディプレッション型MOSトランジスタ」とも称す。）を並列接続して過電流検出素子3cとして用いた場合の定電流値（飽和電流値） I_{dsat} の総和（任意単位）と、検出された出力素子1の過電流 I_{oc} （任意単位）との関係を示す。図5に示すように、縦軸の過電流 I_{oc} は、横軸に示したディプレッション型MOSトランジスタの定電流値 I_{dsat} の総和と略比例関係にある。したがって、ディプレッション型MOSトランジスタを複数用いて定電流値 I_{dsat} の総和を増加すれば、出力素子1の過電流の基準値を増大させることができる。上述のように、第1実施形態に係る半導体装置では、主過電流検出素子3aと副過電流検出素子3bを設け、それぞれの陽極をパッケージ40の主リード端子9a及び副リード端子9bによって電氣的に、パッケージ40の外部に引き出している。主リード端子9aと副リード端子9bとを開放のままで用いれば、センス素子2の他方の主電極領域には主過電流検出素子3aだけが電氣的に接続される。主リード端子9aと副リード端子9bとを、パッケージ40の外部で短絡すれば、センス素子2の他方の主電極領域に主過電流検出素子3aと副過電流検出

素子 3 b とを並列に接続するように回路接続を変更することができる。パッケージ 40 の外部で回路接続を任意に変更可能であるため、第 1 実施形態に係る半導体装置の使用状況に応じて任意に過電流の基準値を変更することができる。

[0026] なお、過電流検出に用いる過電流検出素子は 2 つに限定されず、3 以上の過電流検出素子を用いてもよい。その場合、それぞれの過電流検出素子の陽極に電氣的に接続する陽極パッドを半導体チップ 20 の上面に形成すればよい。3 以上の過電流検出素子を用いれば、パッケージ 40 の外部における回路接続の変更の自由度が増大する。3 以上の過電流検出素子を用いれば、回路接続の変更がより自在にできるので、第 1 実施形態に係る半導体装置の使用状況に応じた、自由度の高い過電流の基準値の変更が可能になる。

[0027] (第 2 実施形態)

本発明の第 2 実施形態に係る半導体装置は、図 8 に示すように、保護回路 5 の中の過熱保護回路 13 が、パッケージの主リード端子 9 a 及び副リード端子 9 b に電氣的に接続される。パッケージの主リード端子 9 a と副リード端子 9 b とを開放のまま、あるいは短絡することにより、過熱保護回路 13 の過熱検出の基準値を任意に変更することができる。第 2 実施形態に係る半導体装置は、保護回路 5 の中の過熱保護回路 13 が主リード端子 9 a 及び副リード端子 9 b に電氣的に接続されて内部回路の基準値が変更できる「基準値変更回路」として機能する点が第 1 実施形態と異なる。他の構成は第 1 実施形態と同様であるので重複する記載は省略する。

[0028] 過熱保護回路 13 は、図 9 に示すように、温度制御部 13 a 及びセンサ回路 13 b 等を備える。温度制御部 13 a は、第 1 インバータ 124 a、第 2 インバータ 124 b、125、ラッチ回路 126 及びフィルタ部 127 等を有し、出力素子 1 の「異常」としての過熱を検出する。センサ回路 13 b は、定電流素子 23、第 1 温度センサ 22 a、第 2 温度センサ 22 b、第 3 温度センサ 22 c 及び副過熱検出素子（温度センサ）22 d 等を有し、出力素子 1 の過熱を検出する。第 1 温度センサ 22 a、第 2 温度センサ 22 b、第

3 温度センサ 2 2 c の直列接続で「主過熱検出回路（主検出回路）」を構成する。「副過熱検出回路（副検出回路）」を構成する第 4 温度センサ 2 2 d は、第 1 温度センサ 2 2 a、第 2 温度センサ 2 2 b、第 3 温度センサ 2 2 c に直列接続される。過熱検出の精度を向上させるために、センサ回路 1 3 b、特に第 1 温度センサ 2 2 a、第 2 温度センサ 2 2 b、第 3 温度センサ 2 2 c 及び第 4 温度センサ 2 2 d は出力素子 1 の近傍に配置することが望ましい。

[0029] 図 9 に示すように、センサ回路 1 3 b の定電流素子 2 3 は、陽極（アノード）が出力素子 1 のドレイン電極に電氣的に接続し、陰極（カソード）が第 1 温度センサ 2 2 a の陽極（アノード）に電氣的に接続する。第 1 温度センサ 2 2 a は、陽極（アノード）が接続ノード 1 9 a を介して主リード端子 9 a に電氣的に接続する。第 3 温度センサ 2 2 c の陰極（カソード）が第 4 温度センサ 2 2 d の陽極（アノード）に電氣的に接続する。第 4 温度センサ 2 2 d は、陰極（カソード）が接続ノード 1 9 b を介して副リード端子 9 b に電氣的に接続し、且つ陰極（カソード）が接地配線 1 0 に電氣的に接続する。

[0030] 温度制御部 1 3 a の第 1 インバータ 1 2 4 a、第 2 インバータ 1 2 4 b 及び第 3 インバータ 1 2 5 として、p 型又は n 型 MOS トランジスタと抵抗の組み合わせ、あるいは CMOS トランジスタで構成された論理否定ゲート（NOT ゲート）等で構成できる。ラッチ回路 1 2 6 として、リセットセット（RS）フリップフロップ等が採用可能である。第 1 インバータ 1 2 4 a 及び第 3 インバータ 1 2 5 は、それぞれの入力第 1 温度センサ 2 2 a の陽極（アノード）に電氣的に接続される。第 1 インバータ 1 2 4 a に直列接続された第 2 インバータ 1 2 4 b の出力がラッチ回路 1 2 6 の入力端子（論理負セット端子、以下単に「セット端子」とも称す。）S N に電氣的に接続される。第 3 インバータ 1 2 5 の出力がラッチ回路 1 2 6 の入力端子（論理負リセット端子以下単に「リセット端子」とも称す。）R N に電氣的に接続される。ラッチ回路 1 2 6 の出力端子 Q がフィルタ部 1 2 7 を介して駆動回路 4

に電氣的に接続される。

[0031] 定電流素子 23 として、ゲートとソースを電氣的に接続したディプレッション型 MOS トランジスタ等の定電流素子が使用可能である。第 1 温度センサ 22 a、第 2 温度センサ 22 b、第 3 温度センサ 22 c、及び第 4 温度センサ 22 d として、Si ダイオード等が使用可能である。Si ダイオードの順方向電圧 (V_f) には $-2\text{ mV}/^{\circ}\text{C} \sim -2.5\text{ mV}/^{\circ}\text{C}$ 程度の温度係数があり、温度が上がるほど順方向電圧 (V_f) は下がる。Si ダイオードに一定の順方向電流を流しながら Si ダイオードのアノード及びカソード間の電圧を測定することで温度の検出ができる。第 2 実施形態では、定電流素子 23 から定電流を流し、第 1 温度センサ 22 a のアノードと接地配線 10 との間の電圧により出力素子 1 の温度を検出することができる。図 9 において、主リード端子 9 a と副リード端子 9 b とを開放のままにすれば、第 1 温度センサ 22 a、第 2 温度センサ 22 b、第 3 温度センサ 22 c 及び第 4 温度センサ 22 d の 4 段の直列接続となる。一方、主リード端子 9 a と副リード端子 9 b とを短絡したときは、第 1 温度センサ 22 a、第 2 温度センサ 22 b、第 3 温度センサ 22 c の 3 段の直列接続となる。このように、第 1 温度センサ 22 a、第 2 温度センサ 22 b、第 3 温度センサ 22 c 及び第 4 温度センサ 22 d の 4 段構成、又は第 1 温度センサ 22 a、第 2 温度センサ 22 b 及び第 3 温度センサ 22 c の 3 段構成からの出力電圧が温度検出信号として温度制御部 13 a に送信される。

[0032] 図 10 及び図 11 に示すように、温度制御部 13 a の第 1 インバータ 124 a、第 2 インバータ 124 b には論理閾値電圧として検出電圧閾値 V_{ta} が設定され、第 3 インバータ 125 には論理閾値電圧として、検出電圧閾値 V_{ta} よりも低電圧レベルの復帰電圧閾値 V_{tb} が設定されている。検出電圧閾値 V_{ta} は正常状態から過熱状態に遷移するときの過熱検出設計温度である。検出電圧閾値 V_{ta} が過熱検出の基準値であり、温度検出信号の電圧レベルが検出電圧閾値 V_{ta} より低いと過熱状態と判定される。温度センサからの出力電圧が検出電圧閾値 V_{ta} 以上でラッチ回路 126 のセット端子

S Nに高論理レベル（Hレベル）が入力される。温度センサからの出力電圧が検出電圧閾値 V_{ta} より低いとラッチ回路126のセット端子S Nに低論理レベル（Lレベル）が入力される。復帰電圧閾値 V_{tb} は過熱領域から正常領域に復帰するときの復帰検出設計温度である。復帰電圧閾値 V_{tb} は復帰検出の基準値であり、温度検出信号の電圧レベルが復帰電圧閾値 V_{tb} より高いと正常状態と判定される。温度センサからの出力電圧が復帰電圧閾値 V_{tb} より高いとラッチ回路126のリセット端子R NにLレベルが入力される。温度センサからの出力電圧が復帰電圧閾値 V_{tb} 以下でラッチ回路126のリセット端子R NにHレベルが入力される。検出電圧閾値 V_{ta} から復帰電圧閾値 V_{tb} までの電圧幅がヒステリシス電圧となる。検出電圧閾値 V_{ta} に対応する温度として、例えば、温度センサ4段構成では175℃程度、温度センサ3段構成では150℃に設定する。復帰電圧閾値 V_{tb} は、検出電圧閾値 V_{ta} に対応する温度より5℃程度から10℃程度高い温度に設定する。したがって、ヒステリシス電圧は、10mV程度～25mV程度となる。

[0033] 図10を参照して、出力素子1が正常領域から過熱領域に遷移するときの過熱保護回路13の動作を説明する。出力素子1に通電して環境温度が上昇すると、温度センサからの出力電圧の電圧レベルは温度上昇に伴い低下する。図10に示すように、正常領域での電圧レベルは復帰電圧閾値 V_{tb} より高く、ラッチ回路126のセット端子S NがHレベルで、リセット端子R NがLレベルとなる。出力端子Qの出力レベルはLレベルとなり、環境温度が正常領域であることを示すLレベルの過熱検出信号 S_{OT} がフィルタ部127を介して駆動回路4に伝達され、出力素子1の通電が続行される。環境温度が上昇し続けて温度センサからの出力電圧が復帰電圧閾値 V_{tb} 以上になりヒステリシス電圧の幅内の電圧レベルになると、リセット端子R Nの入力レベルがHレベルに反転する。セット端子S NはHレベルのままなので、出力端子QはLレベルを保持する。更に環境温度が上昇して検出電圧閾値 V_{ta} を超えると、セット端子S NがLレベルに反転する。リセット端子R NはHレ

ベルのままなので、出力端子QがHレベルに反転する。その結果、環境温度が過熱領域であることを示すHレベルの過熱検出信号 S_{OT} がフィルタ部127を介して駆動回路4に伝達され、出力素子1の通電が停止される。

[0034] 次に、図11を参照して、過熱領域から正常領域に復帰するときの過熱保護回路13の動作を説明する。出力素子1の通電が停止して環境温度が下降すると、温度センサからの出力電圧の電圧レベルは温度下降に伴い上昇する。図11に示すように、出力電圧が検出電圧閾値 V_{ta} 以上になり、過熱領域からヒステリシス電圧の幅内の電圧レベルになると、セット端子SNがHレベルに反転する。リセット端子RNはHレベルのままなので、出力端子QはHレベルを保持する。そのため、出力端子QからHレベルの過熱検出信号 S_{OT} が駆動回路4に伝達され、出力素子1の通電は停止されたままとなる。更に環境温度が復帰電圧閾値 V_{tb} を超えて下降すると、リセット端子RNがLレベルに反転する。セット端子SNはHレベルのままなので、出力端子QがLレベルに反転する。その結果、環境温度が正常領域であることを示すLレベルの過熱検出信号 S_{OT} がフィルタ部127を介して駆動回路4に伝達され、出力素子1の通電が復帰する。

[0035] 上述のように、第2実施形態に係る半導体装置では、第1温度センサ22a、第2温度センサ22b、第3温度センサ22c及び第4温度センサ22dを直列接続する。更に、第4温度センサ22dは、陽極（アノード）が主リード端子9aに電氣的に接続し、接地配線10に電氣的に接続した陰極（カソード）が副リード端子9bに電氣的に接続する。主リード端子9aと副リード端子9bとを開放のままで用いれば、第1温度センサ22a、第2温度センサ22b、第3温度センサ22c及び第4温度センサ22dの4段構成となる。主リード端子9aと副リード端子9bとを短絡すれば、第1温度センサ22a、第2温度センサ22b及び第3温度センサ22cの3段構成となり、温度センサの段数を変更することができる。図4に示したパッケージ40の外部で温度センサ段数を任意に変更可能であるため、第2実施形態に係る半導体装置の使用状況に応じて任意に過熱検出の基準値を変更するこ

とができる。なお、温度センサを3段構成にすると、温度センサの出力電圧の変化率が小さくなるので、過熱検出温度のばらつきが大きくなる。このような場合、過熱検出温度のばらつきを加味して過熱保護回路の設計を行えばよい。

[0036] また、過熱検出に用いる主過熱検出回路及び副過電流検出回路に用いる温度センサの数は限定されない。主過熱検出回路として1以上の温度センサを用いてもよく、副過電流検出素子として複数の温度センサを用いてもよい。

[0037] (第3実施形態)

本発明の第3実施形態に係る半導体装置は、図12に示すように、保護回路5の中の低電圧保護回路14が、パッケージの主リード端子9a及び副リード端子9bに電氣的に接続される。パッケージの主リード端子9aと副リード端子9bとを開放のまま、あるいは短絡することにより、低電圧保護回路14の低電圧検出の基準値を任意に変更することができる。第3実施形態に係る半導体装置は、保護回路5の中の低電圧保護回路14が主リード端子9a及び副リード端子9bに電氣的に接続されて内部回路の基準値が変更できる「基準値変更回路」として機能する点が第1及び第2実施形態と異なる。他の構成は第1及び第2実施形態と同様であるので重複する記載は省略する。

[0038] 低電圧保護回路14は、図13に示すように、低電圧制御部14a及びセンサ回路14b等を有する。低電圧制御部14aは、フィルタ部33、p型MOSトランジスタ34a、ディプレッション型MOSトランジスタ34b、n型MOSトランジスタ38、第1インバータ36a、第2インバータ36b及び第3インバータ36c等を有する。センサ回路14bは、直列接続された第2抵抗素子32b、第3抵抗素子32c及び第4抵抗素子32dで構成される「主低電圧検出回路（主検出回路）」と、主低電圧検出回路に直列接続された「副低電圧検出回路（副検出回路）」としての第1抵抗素子32a等を有する。

[0039] センサ回路14bの第1抵抗素子32aの一端はバッテリー等の外部電源V

CCが供給される電源用リード端子6に電氣的に接続され、他端は第2抵抗素子32bの一端に電氣的に接続する。パッケージの主リード端子9aが接続ノード19eを介して第1抵抗素子32aの一端に電氣的に接続し、パッケージの副リード端子9bが接続ノード19fを介して第1抵抗素子32aの他端に電氣的に接続する。主リード端子9aと副リード端子9bとを開放にすると、第1抵抗素子32a、第2抵抗素子32b、第3抵抗素子32c及び第4抵抗素子32dを直列接続した4段構成の低電圧センサとなる。主リード端子9aと副リード端子9bとを短絡したときは、第2抵抗素子32b、第3抵抗素子32c及び第4抵抗素子32dを直列接続した3段構成の低電圧センサとなる。センサ回路14bは、外部電源の「異常」としての低電圧を検出する。外部電源の電圧が低下すると内部回路の動作が不安定となり、出力素子1の誤動作する恐れがある。なお、フィルタ部33はRC型ローパスフィルタであり、外部電源VCCのノイズ等を除去する。

[0040] 低電圧制御部14aのフィルタ部33の一端は、図13に示すように、主低電圧検出回路の第2抵抗素子32bと第3抵抗素子32cとの接続ノードXに電氣的に接続する。フィルタ部33の他端は、MOSトランジスタ34aのゲート電極に電氣的に接続する。MOSトランジスタ34aは、ソース電極が電源用リード端子6に電氣的に接続され、ドレイン電極がノードAを介して第1インバータ36aの入力に電氣的に接続する。第1インバータ36aには第2インバータ36bに電氣的に接続し、ノードBを介して第3インバータ36cに電氣的に接続する。第3インバータ36cの出力が駆動回路4に電氣的に接続する。MOSトランジスタ34bは、ドレイン電極がノードAを介してMOSトランジスタ34aのドレイン電極に電氣的に接続し、ソース電極が接地配線10に電氣的に接続する。MOSトランジスタ38は、ドレイン電極及びソース電極間に第4抵抗素子32dが並列に接続され、ソース電極が接地配線10に電氣的に接続する。MOSトランジスタ38のゲート電極はノードBに電氣的に接続する。接続ノードXの電圧レベルは、4段構成では、第1抵抗素子32a及び第2抵抗素子32bの直列抵抗値

と、第3抵抗素子32c及び第4抵抗素子32dの直列抵抗値との分圧比で決定される。

[0041] 主リード端子9aと副リード端子9bとを開放にした4段構成を用いて、低電圧保護回路14の基本的な動作を説明する。第3実施形態では、MOSトランジスタ34aのゲート閾値電圧が低電圧検出の基準値として用いられる。バッテリー等の外部電源VCCの電圧が正常状態で、MOSトランジスタ34aのゲート閾値電圧より高い電圧が接続ノードXから印加される。MOSトランジスタ34aはオン状態であり、MOSトランジスタ34aのドレイン電極に電氣的に接続されたノードAはHレベルである。また、ゲート電極が第2インバータ36bの出力に電氣的に接続されたMOSトランジスタ38がオン状態であり、第4抵抗素子32dはMOSトランジスタ38により接地配線10を介して接地電位にバイパス接続され、短絡される。そのため、接続ノードXの電圧レベルは、第1抵抗素子32a及び第2抵抗素子32bの直列接続抵抗値と、第3抵抗素子32cの抵抗値との分圧比で決定される。外部電源VCCの電圧が低下して接続ノードXの電圧レベルが、例えば、3V以下の低電圧状態になったとき、MOSトランジスタ34aがオフし、ノードAがディプレッション型MOSトランジスタ34bを介して接地配線10に電氣的に接続される。そのため、ノードAの電圧レベルが接地レベルにプルダウンされる。即ち、p型MOSトランジスタ34aとディプレッション型MOSトランジスタ34bで構成されるインバータがオフしてノードAがLレベルに固定される。このとき、第3インバータ36cの出力レベルがHレベルとなり、外部電源VCCが低電圧状態であることを示すHレベルの低電圧検出信号 S_{uv} が駆動回路4に伝達され、出力素子1の通電が停止される。同時に、ノードBに電氣的に接続されたMOSトランジスタ38はゲート電極がLレベルとなりオフ状態になる。

[0042] 低電圧状態では、ノードBに電氣的に接続されたMOSトランジスタ38はゲート電極がLレベルとなりオフとなる。その結果、接続ノードXの電圧レベルは、第1抵抗素子32a及び第2抵抗素子32bの直列接続抵抗値と

、第3抵抗素子32c及び第4抵抗素子32dの直列接続抵抗値との分圧比で決まり、正常状態よりも電圧レベルが低くなる。そのため、外部電源VCCが低電圧検出の基準値を超えて高くなると、正常状態に復帰できない。接続ノードXの電圧レベルがMOSトランジスタ34aのゲート閾値電圧以上になる復帰電圧レベル、例えば3.2V以上になると、MOSトランジスタ34aがオンし、ノードAが外部電源VCCの電圧レベルにプルアップされHレベルとなる。このとき、第3インバータ36cの出力レベルがLレベルとなり、外部電源VCCが正常状態であることを示すLレベルの低電圧検出信号 S_{uv} が駆動回路4に伝達され、出力素子1の通電が復帰する。同時に、ノードBに電氣的に接続されたMOSトランジスタ38はゲート電極がHレベルとなりオン状態になる。このように、MOSトランジスタ38のオン／オフにより、接続ノードXの分圧比を切り替えることができ、ヒステリシス電圧を生成することができる。

[0043] 主リード端子9aと副リード端子9bとを短絡した3段構成の場合は、接続ノードXの電圧レベルは、第2抵抗素子32bの抵抗値と、第3抵抗素子32c及び第4抵抗素子32dの直列接続抵抗値との分圧比で決まることになる。そのため、3段構成では4段構成の場合よりも接続ノードXでの分圧比が小さくなり、低電圧検出の基準値を高くすることが可能となる。

[0044] また、低電圧検出に用いる主低電圧検出回路及び副低電圧検出回路に用いる抵抗素子の数は限定されない。主低電圧検出回路として4以上の抵抗素子を用いてもよく、副低電圧検出回路として複数の抵抗素子を用いてもよい。

[0045] なお、上記説明では、低電圧検出に抵抗素子を用いているが、限定されない。例えば、図14に示すように、低電圧検出素子として、ディプレッション型MOSトランジスタ132a、132b、132c、132dを用いてもよい。センサ回路14bのMOSトランジスタ132aの一端はバッテリー等の外部電源VCCが供給される電源用リード端子6に電氣的に接続され、他端はMOSトランジスタ132bの一端に電氣的に接続する。主リード端子9aが接続ノード19eを介してMOSトランジスタ132aの一端に電

氣的に接続し、副リード端子9bが接続ノード19fを介してMOSトランジスタ132aの他端に電氣的に接続する。主リード端子9aと副リード端子9bとを開放にすると、MOSトランジスタ132a、132b、132c、132dを直列接続した4段構成の低電圧センサとなる。主リード端子9aと副リード端子9bとを短絡したときは、MOSトランジスタ132b、132c、132dを直列接続した3段構成の低電圧センサとなる。

[0046] また、主リード端子9aは、外部電源VCCが供給される端子となるため、主リード端子9aやパッド29a等を設けずに電源用リード端子6を主リード端子とすることもできる。このように、第3実施形態では、主リード端子9aまたは電源用リード端子6と副リード端子9bとを開放のまま、あるいは短絡することにより、低電圧保護回路14の低電圧検出の基準値を任意に変更することができる。このように、図4に示したパッケージ40の外部で温度センサ段数を任意に変更可能であるため、第3実施形態に係る半導体装置の使用状況に応じて任意に過熱検出の基準値を変更することが可能となる。

[0047] (第4実施形態)

本発明の第4実施形態に係る半導体装置は、図15に示すように、保護回路5の中の過電圧保護回路15が、パッケージの主リード端子9a及び副リード端子9bに電氣的に接続される。主リード端子9aと副リード端子9bとを開放のまま、あるいは短絡することにより、過電圧保護回路15の過電圧検出の基準値を任意に変更することができる。第4実施形態に係る半導体装置は、保護回路5の中の過電圧保護回路15が主リード端子9a及び副リード端子9bに電氣的に接続されて内部回路の基準値が変更できる「基準値変更回路」として機能する点が第1～第3実施形態と異なる。他の構成は第1～第3実施形態と同様であるので重複する記載は省略する。

[0048] 過電圧保護回路15は、図16に示すように、過電圧制御部15a及びセンサ回路15b等を有する。センサ回路15bは、ディプレッション型MOSトランジスタの第1センス素子54a、第2センス素子54b、拡散ダイ

オードからなる複数の第1検出素子52a、第2検出素子52b、第3検出素子52c、第4検出素子52d及び第5検出素子52e等を有する。第1検出素子52a、第2検出素子52b、第3検出素子52c及び第4検出素子52dは「主過電圧検出回路（主検出回路）」を構成し、第5検出素子52eは「副過電圧検出回路（副検出回路）」を構成する。センサ回路15bは、外部電源の「異常」としての過電圧を検出する。出力素子1がオン状態で外部電源電圧が上昇した場合、負荷の焼損を引き起こす懸念がある。このため、外部電源電圧が所定の電圧に上昇した場合、出力素子1をオフ状態とし、負荷を保護する。

[0049] センサ回路15bの第1検出素子52aのカソードと第1センス素子54aのドレインとが、バッテリー等の外部電源VCCが供給される電源用リード端子6に電氣的に接続される。第1検出素子52aのアノードと第1センス素子54aのソースとが、接続ノードYに電氣的に接続する。接続ノードYには、過電圧制御部15aと第2センス素子54bのソースとが電氣的に接続する。第2検出素子52bは、カソードが第2センス素子54bのドレインに電氣的に接続し、アノードが第3検出素子52cのカソードに電氣的に接続する。第3検出素子52cのアノードが第4検出素子52dのアノードに電氣的に接続する。第4検出素子52dのカソードが第5検出素子52eのアノードに電氣的に接続する。第5検出素子52eのカソードが接地配線10に電氣的に接続する。主リード端子9aが接続ノード19gを介して第5検出素子52eのアノードに電氣的に接続し、副リード端子9bが接続ノード19hを介して第5検出素子52eのカソードに電氣的に接続する。主リード端子9aと副リード端子9bとを開放にすると、第1検出素子52a、第2検出素子52b、第3検出素子52c、第4検出素子52d及び第5検出素子52eを直列接続した5段構成の過電圧センサとなる。主リード端子9aと副リード端子9bとを短絡したときは、第1検出素子52a、第2検出素子52b、第3検出素子52c及び第4検出素子52dを直列接続した4段構成の過電圧センサとなる。

- [0050] 第1検出素子52a、第2検出素子52b及び第3検出素子52cとして、ツェナーダイオードやアバランシェダイオード等の定電圧ダイオードが用いられる。第1検出素子52a、第2検出素子52b及び第3検出素子52cは逆方向耐圧 V_z を有し、逆方向接続で用いる。第4検出素子52d及び第5検出素子52eとして、ポリシリコン等を用いるSiダイオードが用いられる。第4検出素子52d及び第5検出素子52eは順方向電圧 V_f を有し、順方向接続で用いられる。図17に示すように、定電圧ダイオードは逆方向耐圧 V_z が5V以上で正の温度係数を有する。Siダイオードの順方向電圧 V_f は0.6V~0.7V程度であり、負の温度係数を有する。逆方向耐圧 V_z が例えば6V程度の第1検出素子52a、第2検出素子52b及び第3検出素子52cを逆方向接続で用いて主な過電圧検出の基準値として設定し、温度特性を補償するために第4検出素子52d及び第5検出素子52eを順方向接続で用いる。
- [0051] 過電圧制御部15aにおいて、接続ノードYが外部電源VCCの電圧レベルのとき正常状態を示すHレベル、接地配線10の接地レベルを過電圧状態であることを示すLレベルと規定する。外部電源VCCの電圧が高くなって第1検出素子52a、第2検出素子52b及び第3検出素子52cが各々逆方向耐圧 V_z に達したとき、接続ノードYが外部電源VCCの電圧レベルから接地配線10の接地レベルに低下する。過電圧制御部15aは接続ノードYがHレベルからLレベルになると、駆動回路4にLレベルの過電圧検出信号 S_{ov} が伝達され、出力素子1の通電が停止される。外部電源VCCの電圧が正常電圧に復帰して第1検出素子52a、第2検出素子52b及び第3検出素子52cが各々逆方向耐圧 V_z より下回ると、接続ノードYがLレベルからHレベルに逆転する。駆動回路4には、Hレベルの過電圧検出信号 S_{ov} が伝達され、出力素子1の通電が復帰する。なお、本実施形態において、接地配線10が内部グランド配線ではなく、接地される配線である場合、副リード端子9bやパッド29b等を設けずに接地端子30を副リード端子として用いることができる。

[0052] 第4実施形態に係る半導体装置では、主リード端子9aと副リード端子9bまたは接地端子30とを開放にすると、5段構成の過電圧検出の基準値は19.2V～19.4V程度となる。主リード端子9aと副リード端子9bとを短絡したときは、4段構成の過電圧検出の基準値は18.6V～18.7V程度となる。このように、図4に示したパッケージ40の外部で温度センサ段数を任意に変更可能であるため、第4実施形態に係る半導体装置の使用状況に応じて任意に過熱検出の基準値を変更することができる。

[0053] (第5実施形態)

上述の第1～第4実施形態に係る半導体装置においては、過電流保護回路12、過熱保護回路13、低電圧保護回路14、過電圧保護回路15の4つの基準値変更回路が存在する保護回路5を例示した。第1～第4実施形態に係る半導体装置では、保護回路5中の保護基準値の変更が要求される1つの基準値変更回路に主リード端子9a及び副リード端子9bを電氣的に接続させて保護基準値を変更した。過電流保護回路12、過熱保護回路13、低電圧保護回路14、過電圧保護回路15等を含む複数の基準値変更回路を有する保護回路5を作製した後では、保護回路5中の他の基準値変更回路に主リード端子9a及び副リード端子9bを電氣的に接続させることはできない。そのため、保護基準値の変更が要求される過電流保護回路12、過熱保護回路13、低電圧保護回路14、過電圧保護回路15等の数と同数の半導体装置の機種を準備しなければならない。要求される過電流保護回路12、過熱保護回路13、低電圧保護回路14、過電圧保護回路15等のすべてを主リード端子9a及び副リード端子9bに電氣的に接続可能なようにポリシリコン等のヒューズを用い、ヒューズトリミング技術を適用した半導体装置を作製することも可能である。

[0054] 本発明の第5実施形態に係る半導体装置においては、図18に示すように、過電流保護回路12の第1接続ノード19a及び第2接続ノード19bが、それぞれ第1ヒューズ60a及び第2ヒューズ60bを介して第1検出素子パッド29a及び第2検出素子パッド29bに電氣的に接続する場合を例

示する。過電流保護回路 13 の第 3 接続ノード 19c 及び第 4 接続ノード 19d が、それぞれ第 3 ヒューズ 60c 及び第 4 ヒューズ 60d を介して第 1 検出素子パッド 29a 及び第 2 検出素子パッド 29b に電氣的に接続する。低電圧保護回路 14 の第 5 接続ノード 19e 及び第 6 接続ノード 19f が、それぞれ第 5 ヒューズ 60e 及び第 6 ヒューズ 60f を介して第 1 検出素子パッド 29a 及び第 2 検出素子パッド 29b に電氣的に接続する。過電圧保護回路 15 の第 7 接続ノード 19g 及び第 8 接続ノード 19h が、それぞれ第 7 ヒューズ 60g 及び第 8 ヒューズ 60h を介して第 1 検出素子パッド 29a 及び第 2 検出素子パッド 29b に電氣的に接続する。

[0055] 例えば、過電流保護回路 12 に接続した第 1 ヒューズ 60a 及び第 2 ヒューズ 60b 以外の他のヒューズすべてに電流を流して溶断すれば、過電流保護回路 12 だけを第 1 検出素子パッド 29a 及び第 2 検出素子パッド 29b に電氣的に接続することができる。このように、ヒューズトリミング技術を用いれば、半導体装置を作製後に保護基準値の変更が要求される基準値変更回路を任意に選択することが可能となる。なお、ヒューズが溶断されても、固定の基準値を有する基準値変更回路として機能することができる。また、第 1 検出素子パッド 29a 及び第 2 検出素子パッド 29b のそれぞれに電氣的に接続するようにヒューズを設けているが、どちらか一方だけに設けてもよい。

[0056] (第 5 実施形態の変形例 1)

また、第 1 ～ 第 4 実施形態に係る半導体装置においては 1 組の第 1 検出素子パッド 29a 及び第 2 検出素子パッド 29b を設けているが、半導体集積回路のチップ表面積を大きくすることが可能であれば、複数の組の検出素子パッドを設けてもよい。2 組の検出素子パッドを設ける場合、例えば、図 19 に示す第 5 実施形態の変形例 1 に係る半導体装置のように、過電流保護回路 12 は、図 18 に示した第 1 ヒューズ 60a 及び第 2 ヒューズ 60b を用いずに第 1 検出素子パッド 29a 及び第 2 検出素子パッド 29b に電氣的に接続する。一方、過電流保護回路 13 は図 18 と同様な第 3 ヒューズ 60c

及び第4ヒューズ60dを、それぞれ用いて第3検出素子パッド29c及び第4検出素子パッド29dに電氣的に接続する。同様に、低電圧保護回路14は第5ヒューズ60e及び第6ヒューズ60fをそれぞれ用い、過電圧保護回路15は第7ヒューズ60g及び第8ヒューズ60hをそれぞれ用いて、第3検出素子パッド29c及び第4検出素子パッド29dに電氣的に接続する。過電流保護回路13、低電圧保護回路14及び過電圧保護回路15のなかの一つの基準値変更回路を第3検出素子パッド29c及び第4検出素子パッド29dに電氣的に接続したまま残し、他の2つの基準値変更回路のヒューズを溶断する。このようにして、2つの基準値変更回路が基準値の変更が可能となる。

[0057] (第5実施形態の変形例2)

3組の検出素子パッドを設ける場合、例えば、図20に示す第5実施形態の変形例2に係る半導体装置では、過電流保護回路12及び過電流保護回路13が、図18の第1ヒューズ60a、第2ヒューズ60b、第3ヒューズ60c及び第4ヒューズ60dを用いない。第5実施形態の変形例2に係る半導体装置の過電流保護回路12及び過電流保護回路13は、ヒューズを用いずにそれぞれ第1検出素子パッド29a、第2検出素子パッド29b、第3検出素子パッド29c及び第4検出素子パッド29dに電氣的に接続する。低電圧保護回路14は第5ヒューズ60e及び第6ヒューズ60f、並びに過電圧保護回路15は第7ヒューズ60g及び第8ヒューズ60hを、それぞれ用いて第5検出素子パッド29d及び第6検出素子パッド29fに電氣的に接続する。低電圧保護回路14及び過電圧保護回路15のいずれか一方を第5検出素子パッド29d及び第6検出素子パッド29fに電氣的に接続したまま残し、他方の基準値変更回路のヒューズを溶断する。このようにして、3つの基準値変更回路が基準値の変更が可能となる。

[0058] (第5実施形態の変形例3)

更に、図21に示す第5実施形態の変形例3に係る半導体装置のように、複数の基準値変更回路のそれぞれに電氣的に接続する検出素子パッドを設け

てもよい。過電流保護回路 1 2 に第 1 検出素子パッド 2 9 a 及び第 2 検出素子パッド 2 9 b が電氣的に接続される。過電流保護回路 1 3 に第 3 検出素子パッド 2 9 c 及び第 4 検出素子パッド 2 9 d が電氣的に接続される。低電圧保護回路 1 4 に第 5 検出素子パッド 2 9 e 及び第 6 検出素子パッド 2 9 f が電氣的に接続される。過電圧保護回路 1 5 に第 7 検出素子パッド 2 9 g 及び第 8 検出素子パッド 2 9 h が電氣的に接続される。

[0059] (その他の実施形態)

上記のように、本発明の第 1 ～第 5 実施形態に係る半導体装置を記載したが、明細書の一部をなす実施形態等の論述及び図面は本発明を限定するものであると理解すべきではない。本発明の明細書や図面の開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

[0060] このように、上記の実施形態の開示の趣旨を理解すれば、当業者には様々な代替実施形態、実施例及び運用技術が本発明に含まれ得ることが明らかとなろう。又、上記の実施形態及び各変形例において説明される各構成を任意に応用した構成等、本発明はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の例示的説明から妥当な、特許請求の範囲に係る発明特定事項によってのみ定められるものである。

符号の説明

[0061] 1 …出力素子

1 T …出力トランジスタ

1 D …内蔵ダイオード

2 …センス素子

2 T …センストランジスタ

2 D …内蔵ダイオード

3 a …主過電流検出素子

3 b …副過電流検出素子

3 c …過電流検出素子

- 4 …駆動回路
- 5 …保護回路
- 6 …電源用リード端子
- 7 …入力用リード端子
- 8 …出力用リード端子
- 9 a …主リード端子
- 9 b …副リード端子
- 10 …接地配線または内部グランド配線
- 10 p …接地配線パッド
- 11 …内部回路
- 12 …過電流保護回路
- 12 a …過電流制御部
- 12 b …センサ回路
- 13 …過熱保護回路
- 13 a …温度制御部
- 13 b …センサ回路
- 14 …低電圧保護回路
- 14 a …低電圧制御部
- 14 b …センサ回路
- 15 …過電圧保護回路
- 15 a …過電圧制御部
- 15 b …センサ回路
- 19 a, 19 b、19 c, 19 d, 19 e、19 f, 19 g, 19 h …接続
ノード
- 20 …半導体チップ
- 21 …表面電極パッド
- 22 a、22 b、22 c …主過熱検出回路（温度センサ）
- 22 d …副過熱検出素子（温度センサ）

23…定電流素子

25…負荷

27…入力パッド

29a, 29b, 29c, 29d, 29e, 29f, 29g, 29h…検出素子パッド

30…接地端子

32a, 32b, 32c…主低電圧検出回路（抵抗素子）

32d…副低電圧検出回路（抵抗素子）

37…配線材

40…パッケージ

52a, 52b, 52c…定電圧素子

52d、52e…整流素子

60a, 60b, 60c, 60d, 60e, 60f, 60g, 60h…ヒューズ

請求の範囲

- [請求項1] 電源側主電極に電氣的に接続される電源側電極領域と出力側主電極に電氣的に接続される出力側電極領域を有し、前記電源側電極領域と前記出力側電極領域の間に主電流を流す出力素子と、
- 異常を検出するセンサ回路を有する内部回路と、
- 前記出力素子及び前記内部回路を内蔵し、且つ主リード端子及び副リード端子を有するパッケージと
- を備え、
- 前記主リード端子は、前記センサ回路を構成する主検出回路の配線中の中間ノードを電氣的に外部に引き出し、
- 前記副リード端子は、前記主検出回路から分離可能な副検出回路の端子を電氣的に外部に引き出し、前記外部において前記主リード端子に電氣的に接続可能であり、
- 前記主リード端子と前記副リード端子の接続状態により、前記センサ回路の回路接続を変更して、前記内部回路の少なくとも一部が、前記異常を検出する基準値を変更する基準値変更回路として機能する半導体装置。
- [請求項2] 前記出力素子及び前記内部回路を集積化した半導体チップの上面に設けられ、前記主検出回路の前記中間ノードに電氣的に接続されたパッドが前記主リード端子に電氣的に接続され、
- 前記半導体チップの上面に設けられ、前記副検出回路の前記端子に電氣的に接続されたパッドが前記副リード端子に電氣的に接続されることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記内部回路が、前記出力素子の制御電極に電氣的に接続された駆動回路を更に有することを特徴とする請求項1又は2に記載の半導体装置。
- [請求項4] 前記センサ回路が、
- 前記出力素子の前記電源側電極領域に電氣的に接続された一方の主

電極領域を有するセンス素子と、

前記センス素子の他方の主電極領域に陽極が電氣的に接続された主過電流検出素子と、

前記主過電流検出素子の陰極と自己の陰極を共通にした副過電流検出素子

を有し、

前記内部回路が、前記出力側電極領域及び前記主過電流検出素子の前記陽極にそれぞれ電氣的に接続される2つの入力端子を有し、前記異常として過電流を検出する過電流制御部を更に有し、

前記主リード端子には前記主過電流検出素子の前記陽極が電氣的に接続され、前記副リード端子には前記副過電流検出素子の陽極が電氣的に接続されることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

[請求項5]

前記主リード端子及び前記副リード端子を開放にしたとき前記センサ回路は、前記主過電流検出素子に流れ込む電流値を基準値とし、前記主リード端子及び前記副リード端子を前記外部において短絡したとき前記センサ回路は、前記主過電流検出素子及び前記副過電流検出素子のそれぞれに流れ込む電流値の和を基準値とし、前記出力側電極領域から外部の負荷に流れる出力電流と前記基準値とを、前記過電流制御部が比較して過電流を回復するように制御することを特徴とする請求項4に記載の半導体装置。

[請求項6]

前記内部回路が、前記異常としての加熱を検出する温度制御部を更に備え、

前記センサ回路は、

前記電源側電極領域に電氣的に接続された陽極を有する定電流素子と、

前記定電流素子の陰極に陽極が電氣的に接続された主過熱検出回路と、

前記主過熱検出回路の陰極に電氣的に接続された陽極を有する副過熱検出素子と

を有し、

前記温度制御部は、前記主過熱検出回路の前記陽極に電氣的に接続され、

前記主リード端子には、前記主過熱検出回路と前記副過熱検出素子の接続ノードが電氣的に接続され、前記副リード端子には前記副過熱検出素子の陰極が電氣的に接続されることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

[請求項7]

前記主リード端子及び前記副リード端子を開放にしたとき前記温度制御部は、前記定電流素子から定電流を流しながら測定した前記主過電流検出素子と前記副過熱検出素子との直列接続による順方向電圧の測定値を、前記主リード端子及び前記副リード端子を前記外部において短絡したとき前記温度制御部は、前記定電流素子から定電流を流しながら測定した前記主過電流検出素子による順方向電圧の測定値を、それぞれ基準値と比較して前記過熱を回復するように制御することを特徴とする請求項 6 に記載の半導体装置。

[請求項8]

前記センサ回路は、一端が前記電源側電極領域に電氣的に接続された第 1 抵抗素子、該第 1 抵抗素子に一端に直列接続された第 2 抵抗素子、該第 2 抵抗素子に直列接続された第 3 抵抗素子、該第 3 抵抗素子に直列接続された第 4 抵抗素子を有し、

前記内部回路が、前記第 2 抵抗素子と前記第 3 抵抗素子の接続ノードに電氣的に接続され、前記異常としての低電圧を検出する低電圧制御部を更に備え、

前記主リード端子が前記電源側電極領域に電氣的に接続され、

前記副リード端子が、前記第 1 抵抗素子と前記第 2 抵抗素子の接続ノードに電氣的に接続されることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置。

- [請求項9] 前記主リード端子及び前記副リード端子を開放にしたとき前記低電圧制御部は、前記第1抵抗素子と前記第2抵抗素子の直列接続抵抗値と、前記第3抵抗素子と前記第4抵抗素子の直列接続抵抗値との分圧比で決定される電圧値を、前記主リード端子及び前記副リード端子を前記外部において短絡したとき前記温度制御部は、前記第2抵抗素子の抵抗値と、前記第3抵抗素子と前記第4抵抗素子の直列接続抵抗値との分圧比で決定される電圧値を、それぞれ予め設定された低電圧検出の基準値と比較して前記低電圧を回復するように制御することを特徴とする請求項8に記載の半導体装置。
- [請求項10] 前記電源側主電極に電氣的に接続される電源用リード端子を有し、
前記主リード端子が電源用リード端子であることを特徴とする請求項8または9に記載の半導体装置。
- [請求項11] 前記センサ回路は、
前記電源側電極領域に電氣的に接続された一方の端子を有する第1センス素子と、
前記第1センス素子の他方の端子に一方の端子が電氣的に接続された第2センス素子と、
前記電源側電極領域に陰極が電氣的に接続され、前記第1センス素子の前記他方の端子に陽極が電氣的に接続された第1検出素子と、
前記第2センス素子の他方の端子に陰極が電氣的に接続された第2検出素子と、
該第2検出素子の陽極に陰極が電氣的に接続された第3検出素子と、
、
該第3検出素子の陽極に陽極が電氣的に接続された第4検出素子と、
、
該第4検出素子の陰極に陽極が電氣的に接続された第5検出素子を有し、
前記内部回路が、前記第1センス素子と前記第2センス素子の接続

ノードに電氣的に接続され、前記異常としての過電圧を検出する過電圧制御部を更に備え、

前記主リード端子には前記第4検出素子と第5検出素子の接続ノードが電氣的に接続され、前記副リード端子には前記第5検出素子の陰極が電氣的に接続されることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

[請求項12] 前記主リード端子及び前記副リード端子を開放にしたとき前記過電圧制御部は、前記第2及び第3検出素子による逆方向耐圧と、前記第4及び第5検出素子による順方向電圧との総和の電圧値を過電圧検出の基準値とし、前記主リード端子及び前記副リード端子を前記外部において短絡したとき前記過電圧制御部は、前記第1及び第2検出素子による逆方向耐圧と、前記第4検出素子による順方向電圧との総和の電圧値を過電圧検出の基準値とし、それぞれ前記過電圧を回復するように制御することを特徴とする請求項11に記載の半導体装置。

[請求項13] 前記内部回路と電氣的に接続される接地端子を有し、
前記副リード端子が接地端子であることを特徴とする請求項11または12に記載の半導体装置。

[請求項14] 前記内部回路が、前記異常とは異なる物理パラメータの他の異常を検出する他のセンサ回路を有する他の基準値変更回路と、
前記他のセンサ回路を構成する第2の主検出回路の配線中の中間ノードを電氣的に外部に引き出す他の主リード端子と、
前記他のセンサ回路の前記第2の主検出回路から分離可能な第2副検出回路の端子を電氣的に外部に引き出す他の副リード端子と、
を更に備えること特徴とする請求項1～3のいずれか1項に記載の半導体装置。

[請求項15] 前記内部回路が、前記異常とは異なる物理パラメータの他の異常を検出する他のセンサ回路を有する他の基準値変更回路と、
前記センサ回路を構成する主検出回路の配線中の中間ノードを前記

主リード端子に電氣的に接続する第1ヒューズと、

前記センサ回路の前記副検出回路の端子を前記副リード端子に電氣的に接続する第2ヒューズと、

前記他のセンサ回路を構成する第2の主検出回路の配線中の中間ノードを前記主リード端子に電氣的に接続する第3ヒューズと、

前記他のセンサ回路の前記第2の主検出回路から分離可能な第2の副検出回路の端子を前記副リード端子に電氣的に接続する第4ヒューズと、

を更に備えること特徴とする請求項1～3のいずれか1項に記載の半導体装置。

[請求項16]

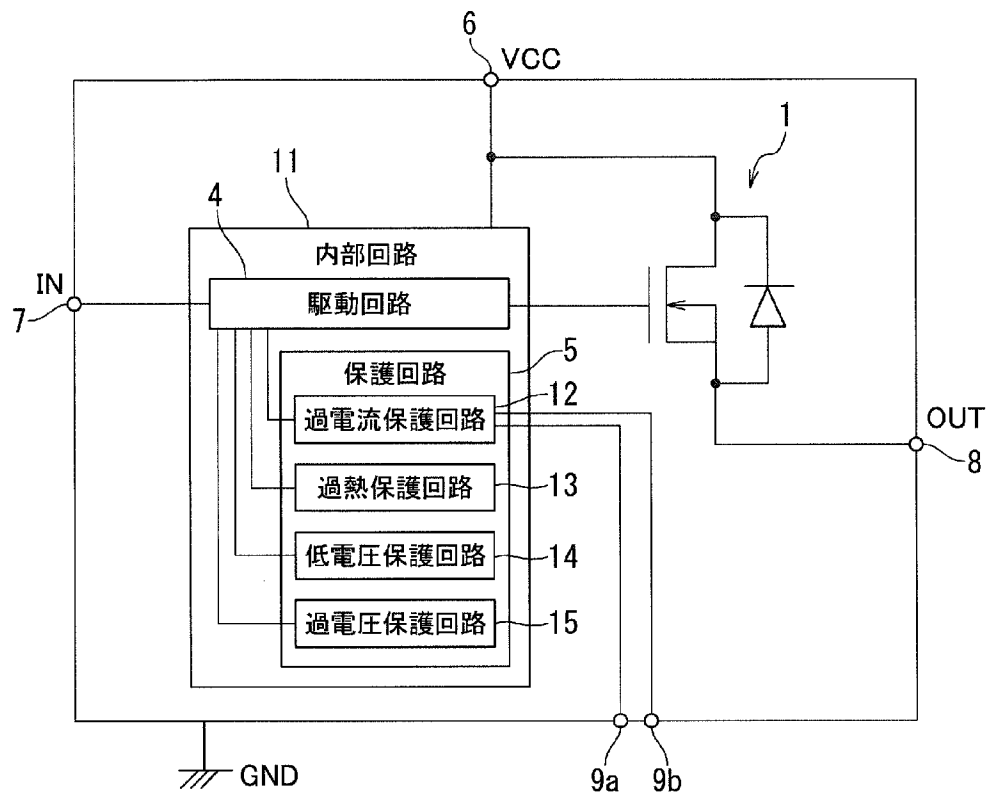
前記内部回路が、前記異常とは異なる物理パラメータの他の異常を検出する他のセンサ回路を有する他の基準値変更回路と、

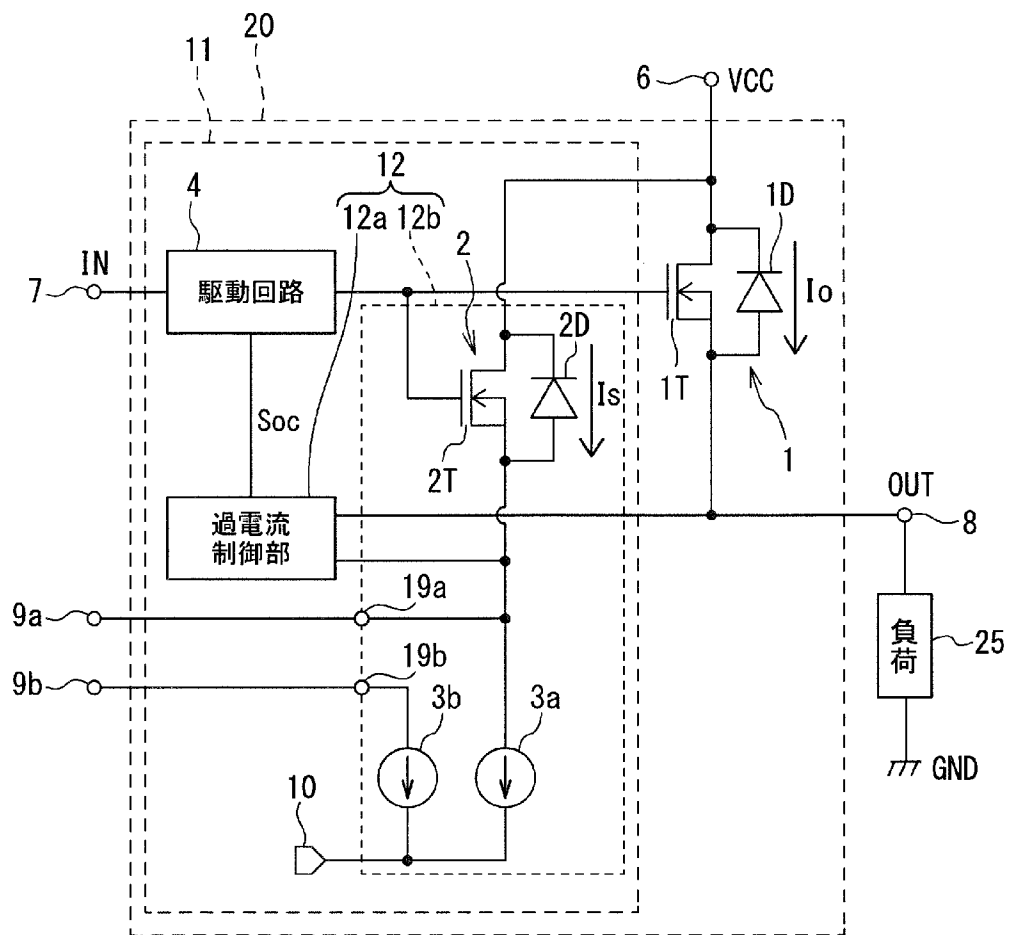
前記他のセンサ回路を構成する第2の主検出回路の配線中の中間ノードを電氣的に外部に引き出す他の主リード端子と、

前記他のセンサ回路の前記第2の主検出回路から分離可能な第2の副検出回路の端子を電氣的に外部に引き出す他の副リード端子と、

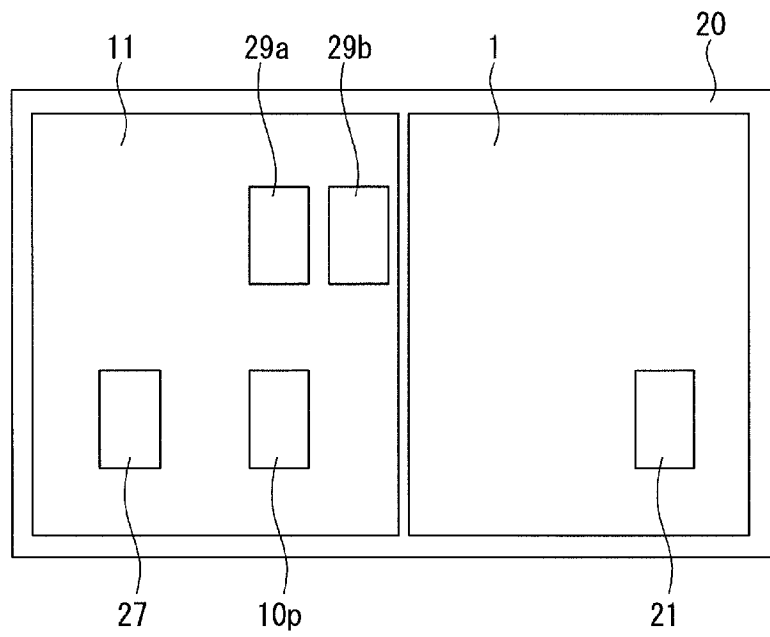
を更に備えること特徴とする請求項1～3のいずれか1項に記載の半導体装置。

[図1]

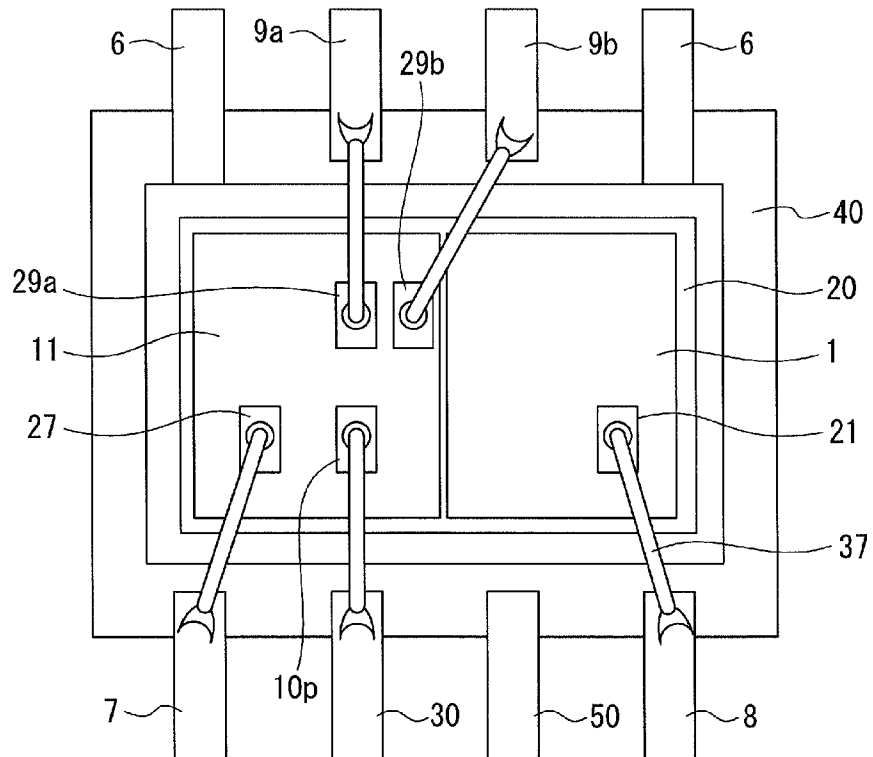




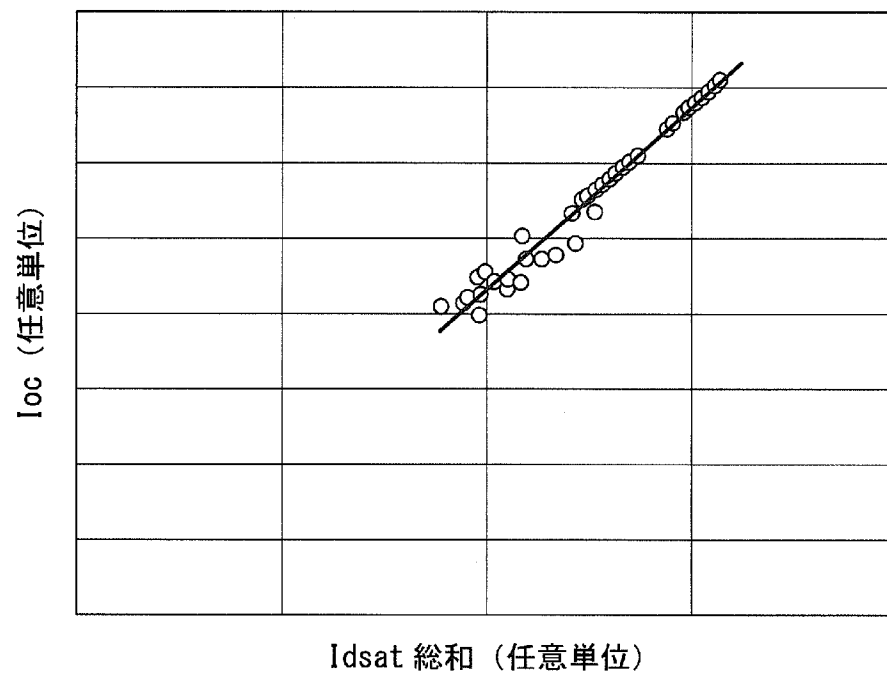
[図3]

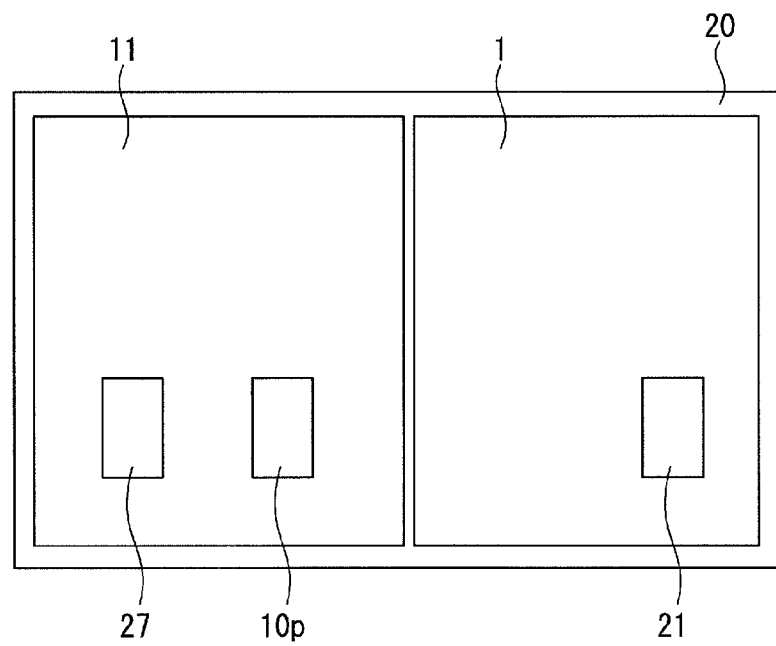
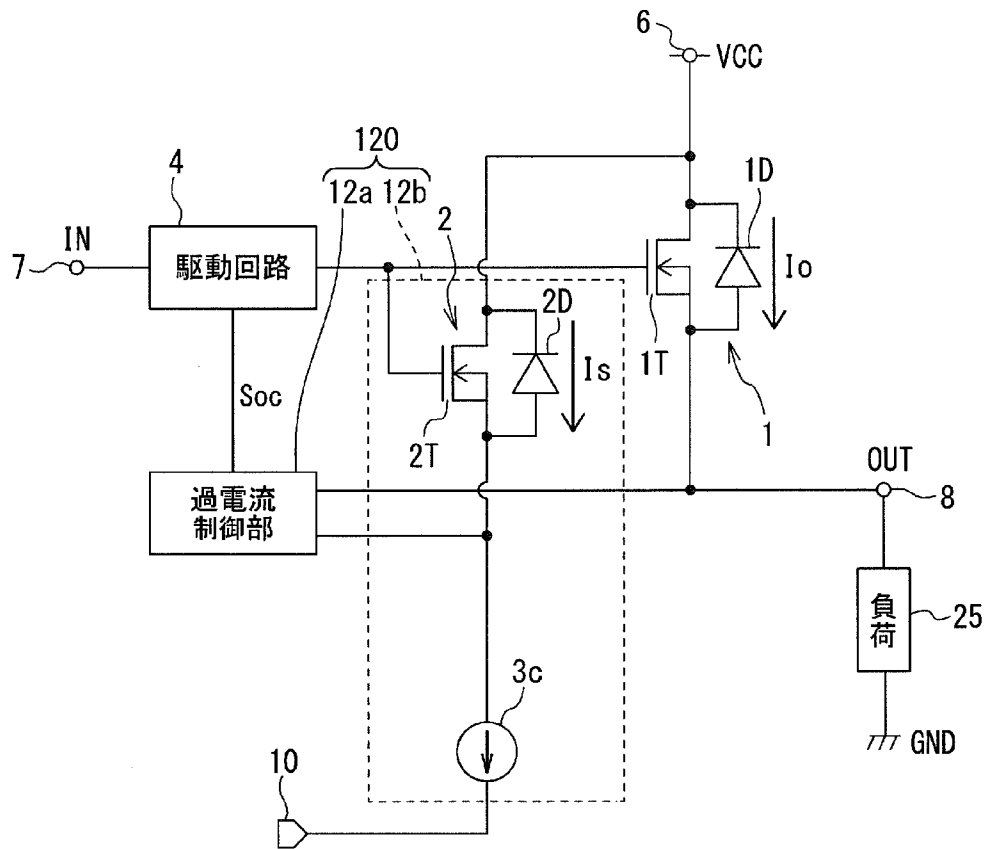


[図4]

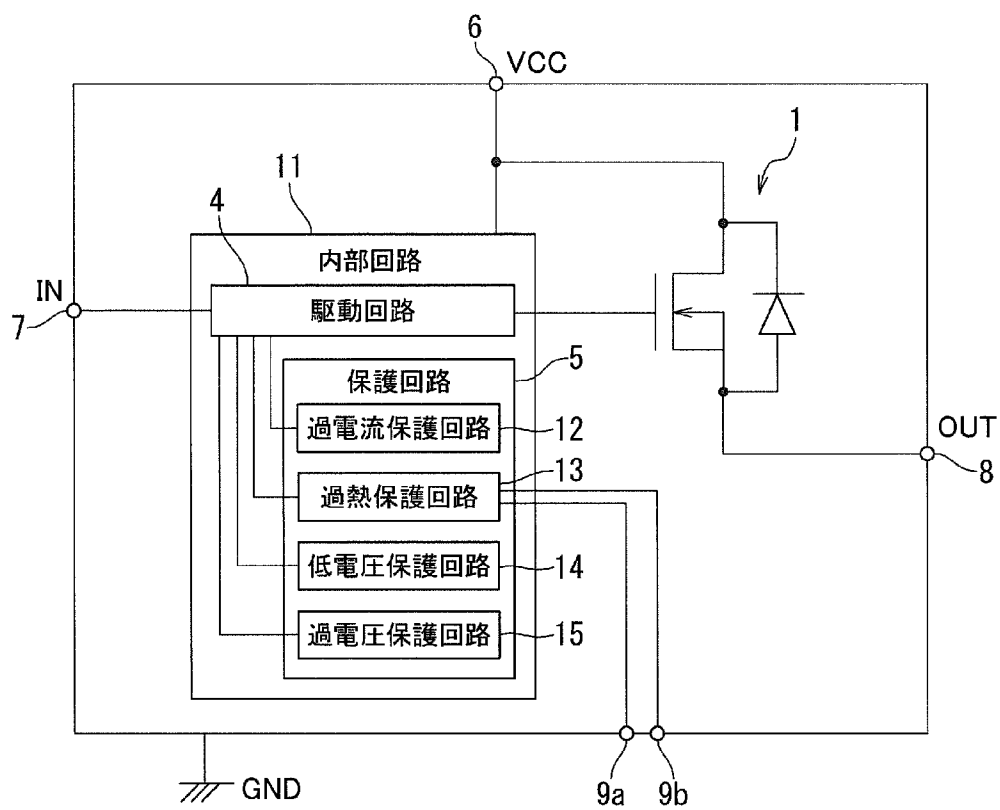


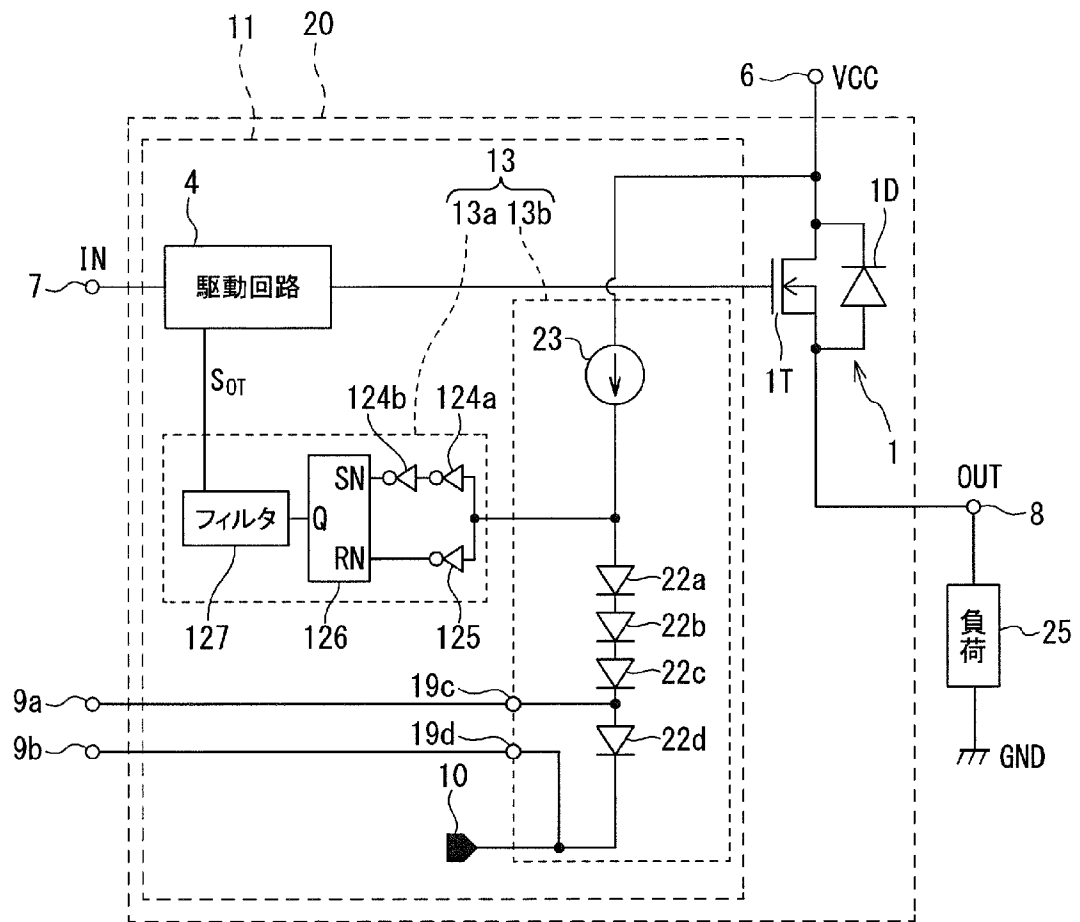
[図5]



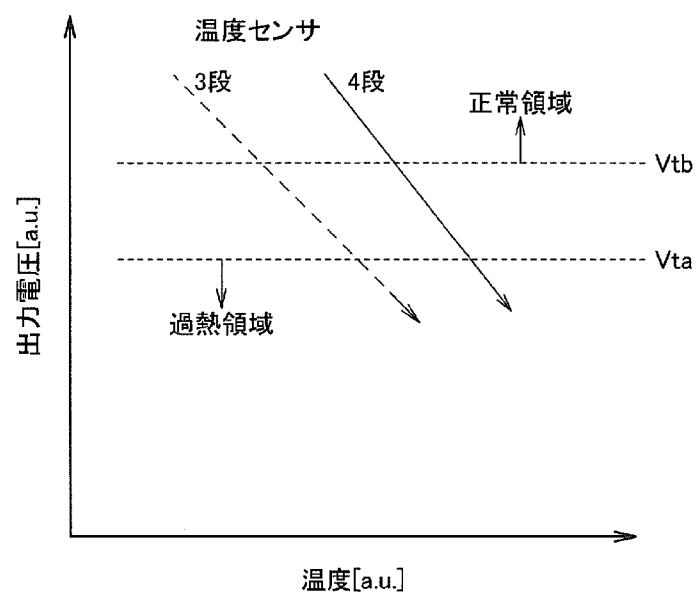


[図8]

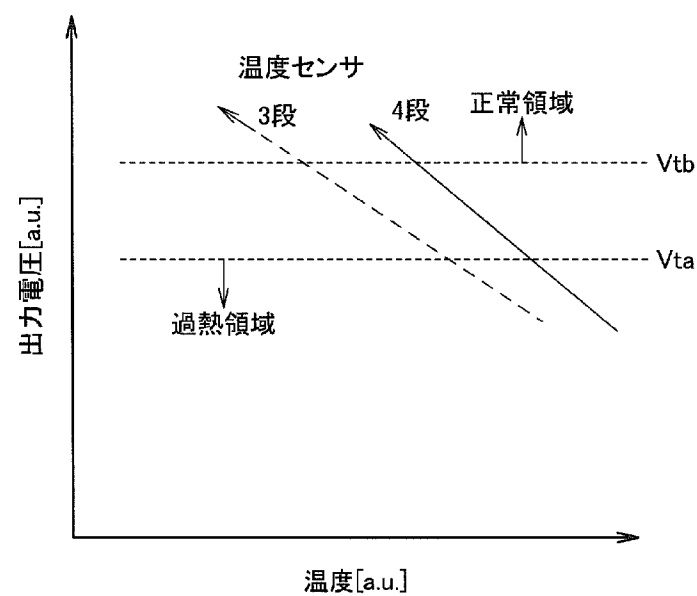




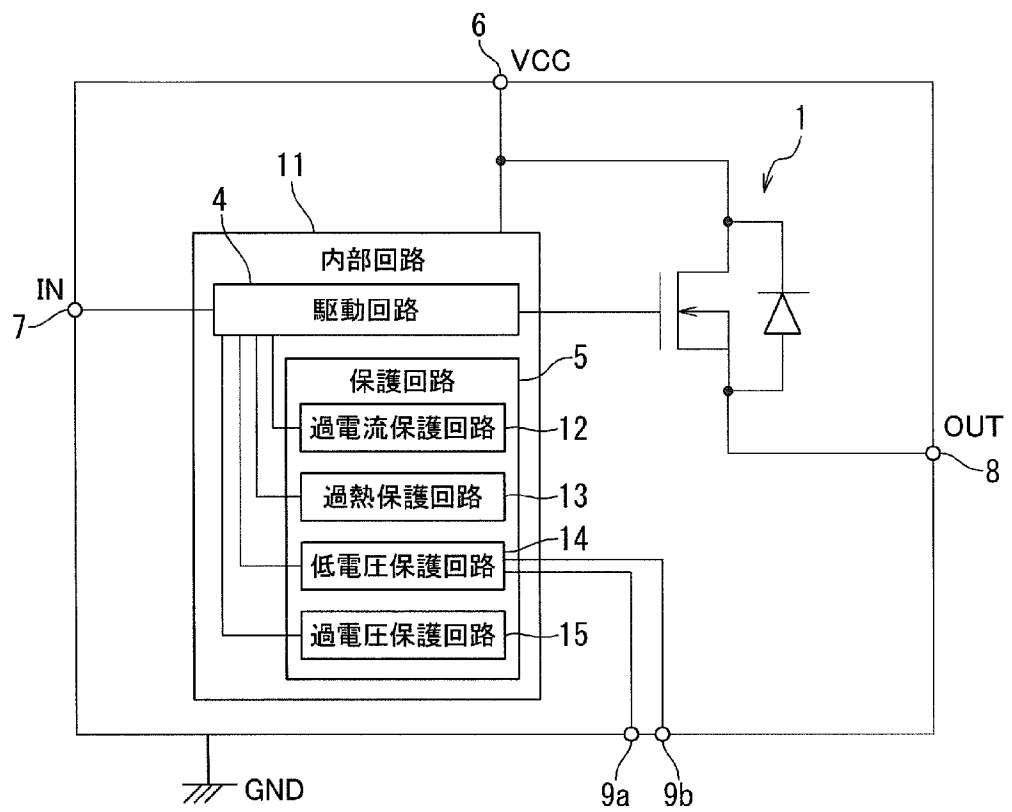
[図10]



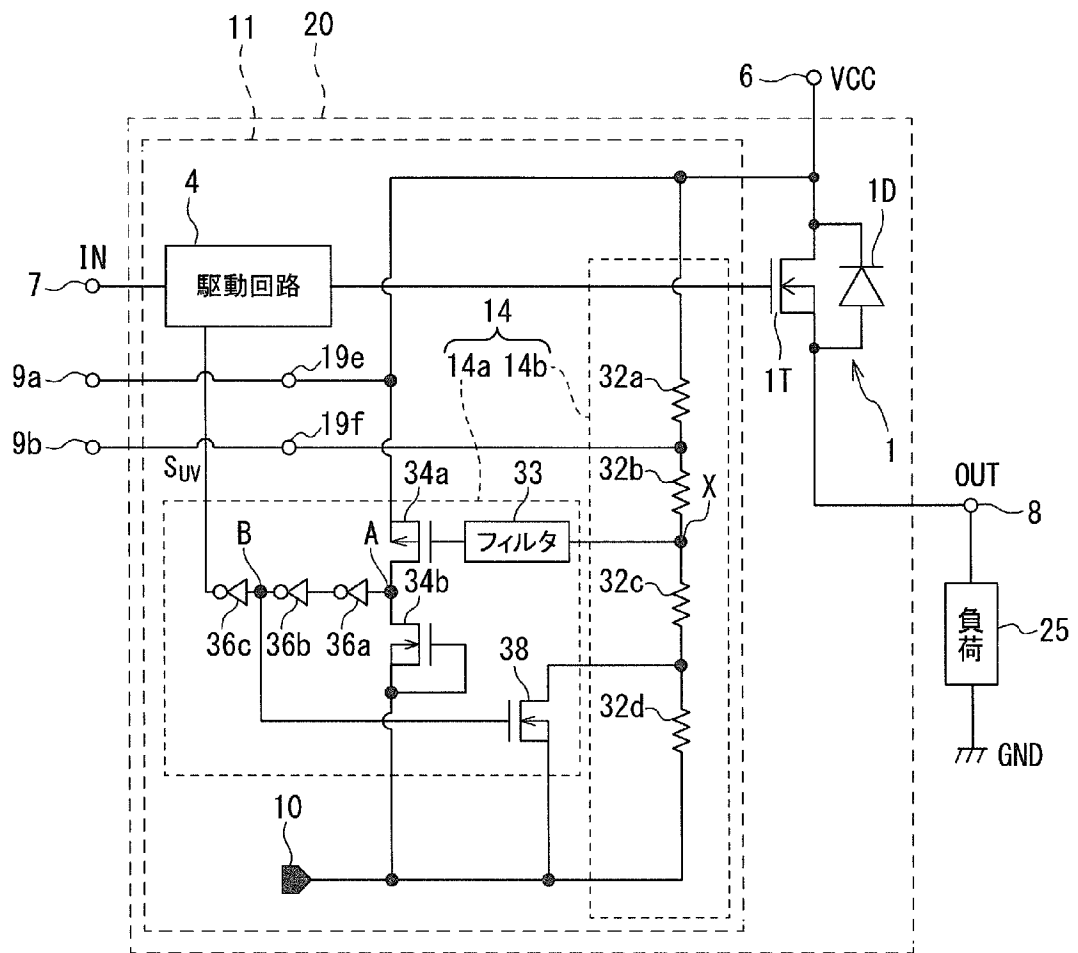
[図11]

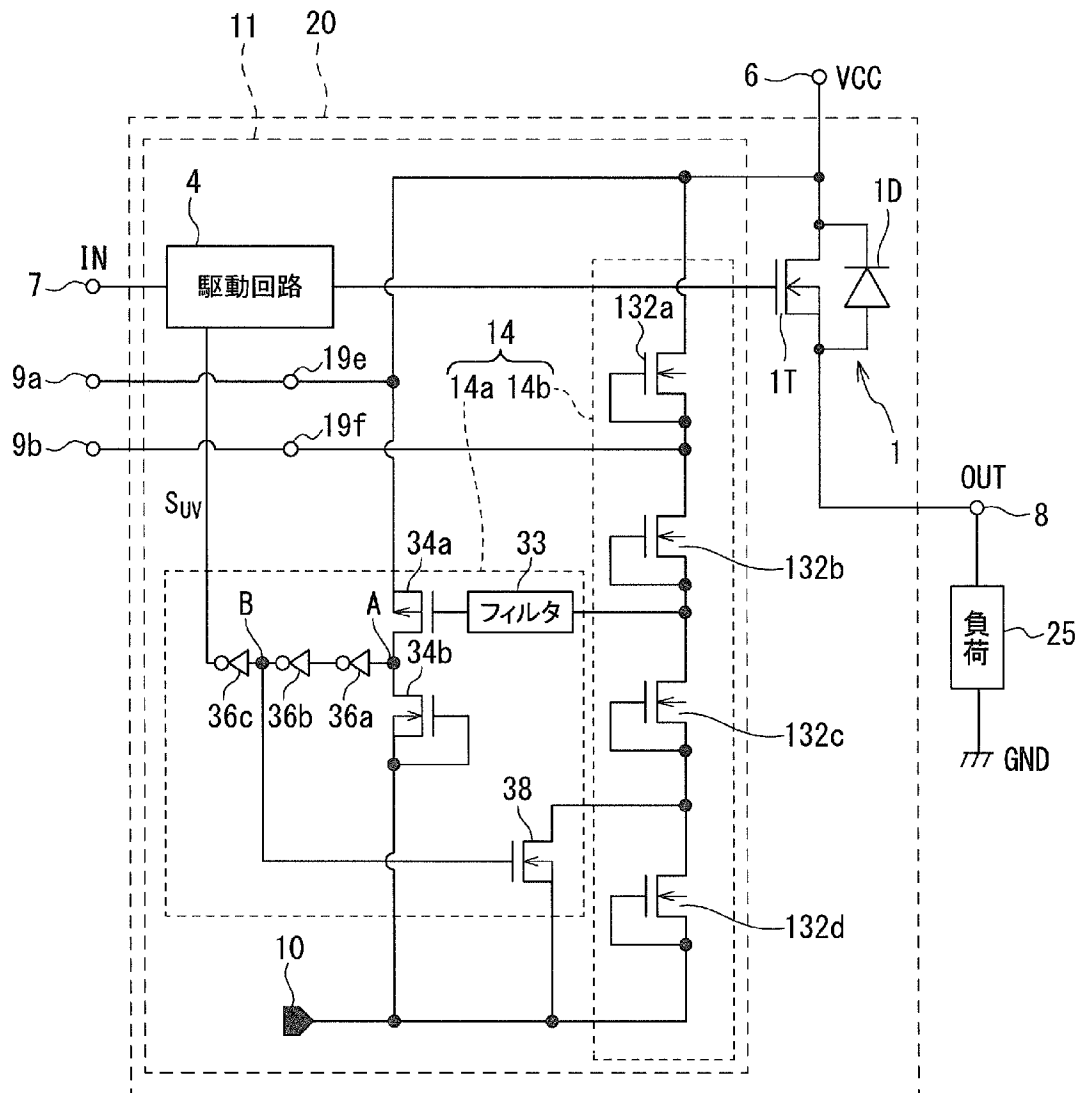


[図12]

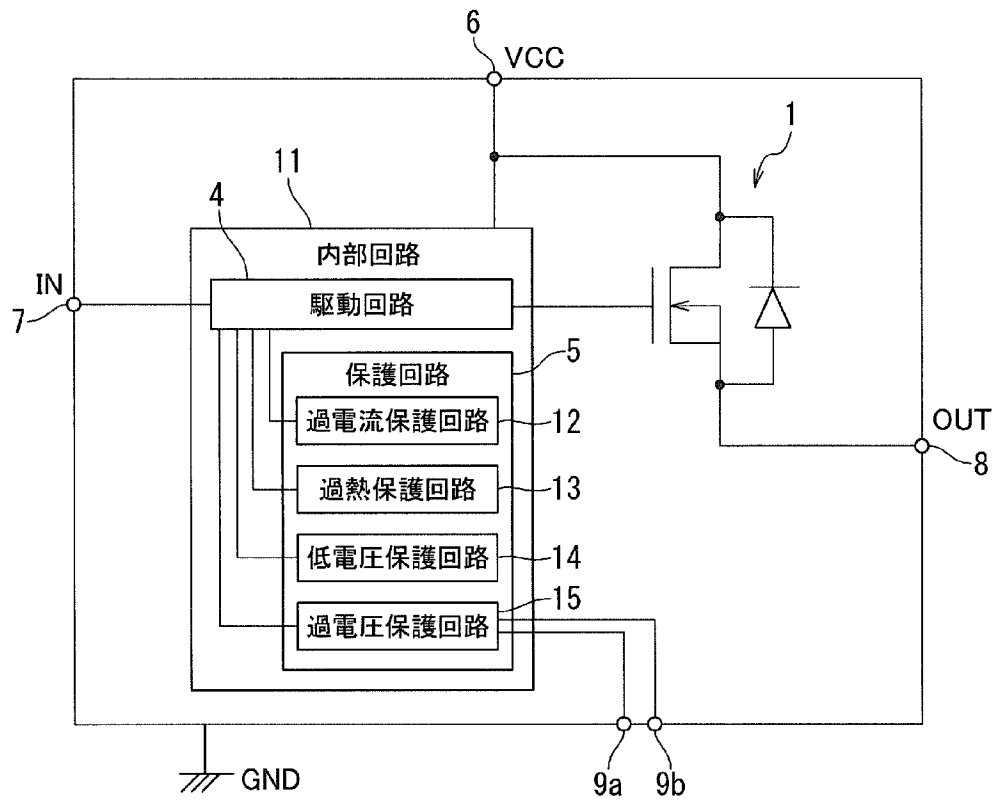


[図13]

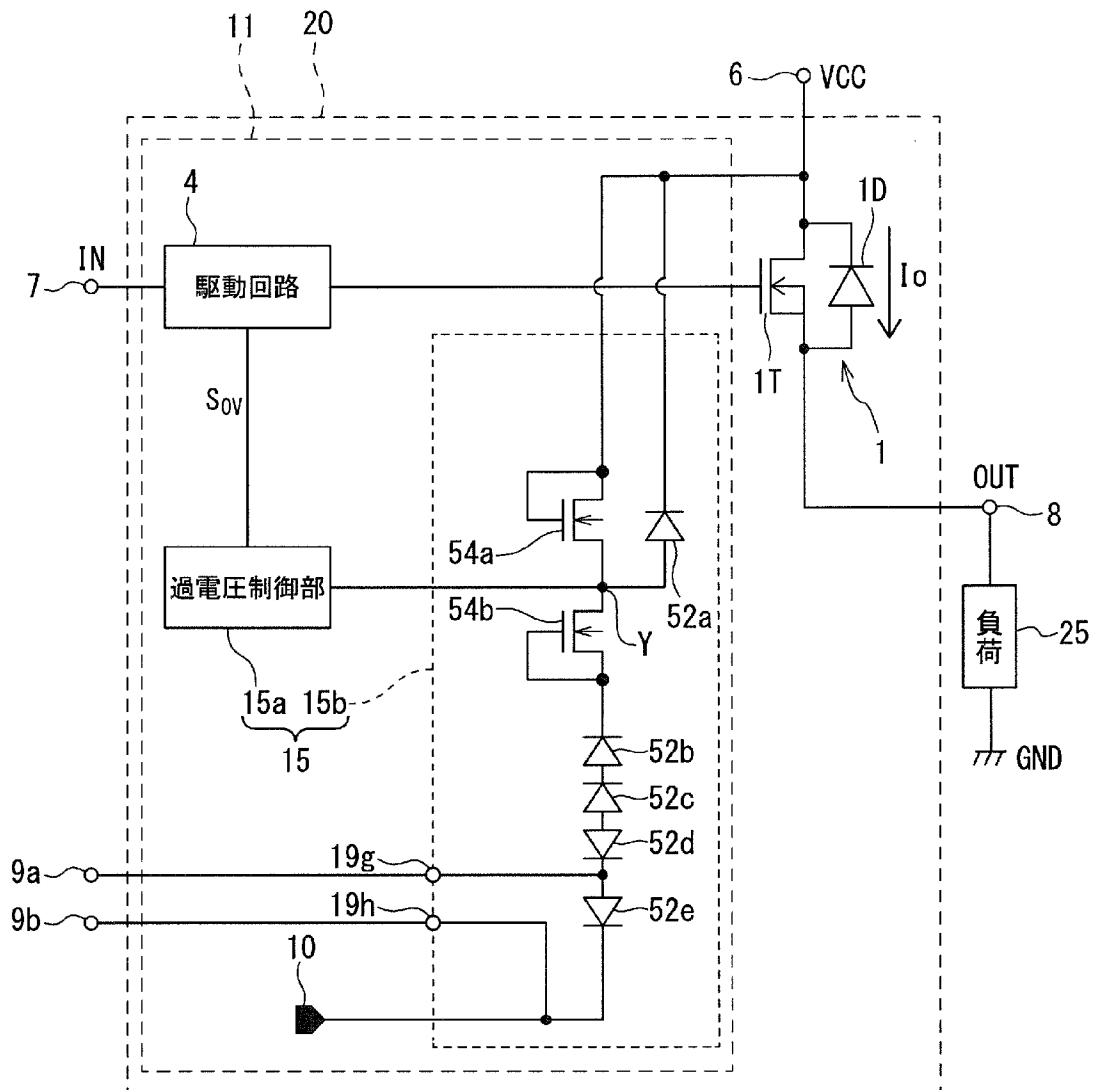




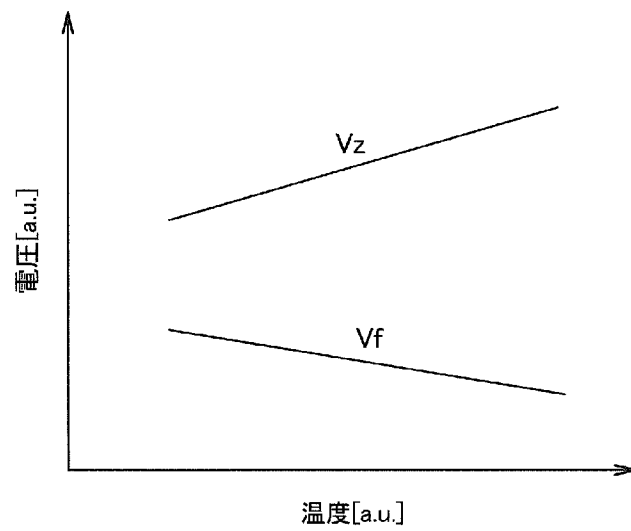
[図15]



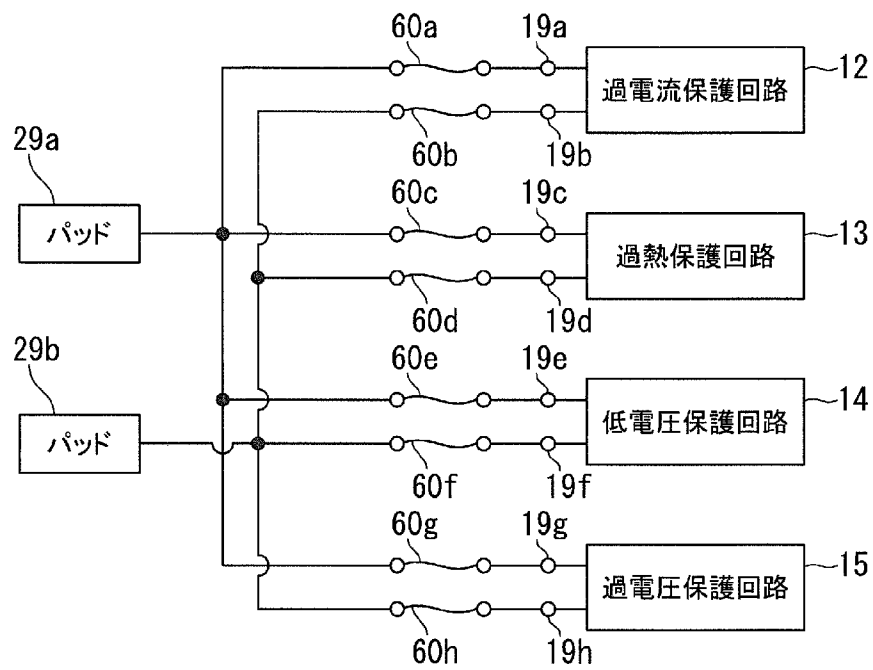
[図16]



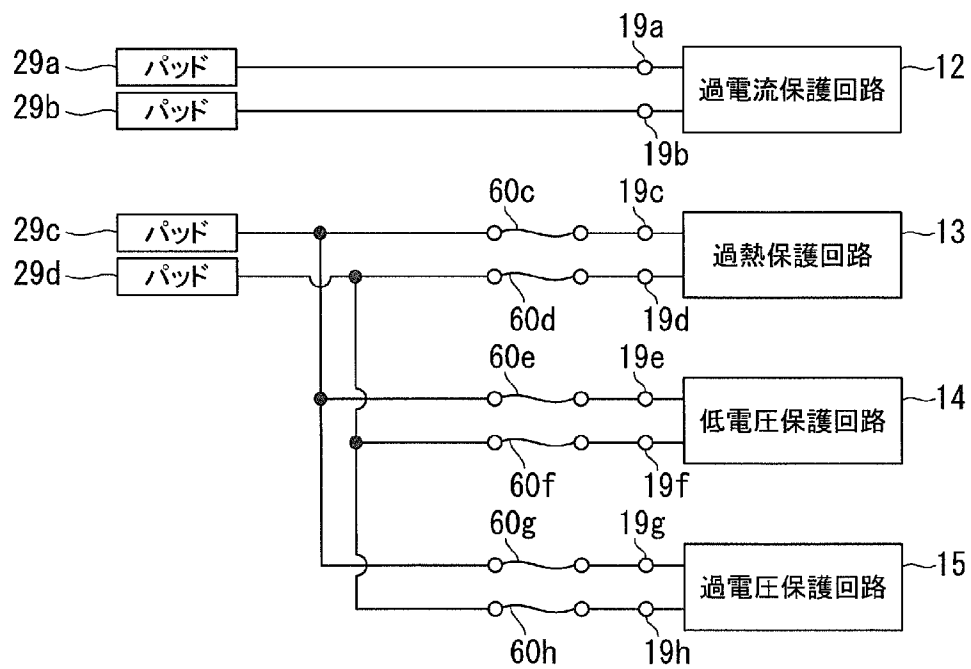
[図17]



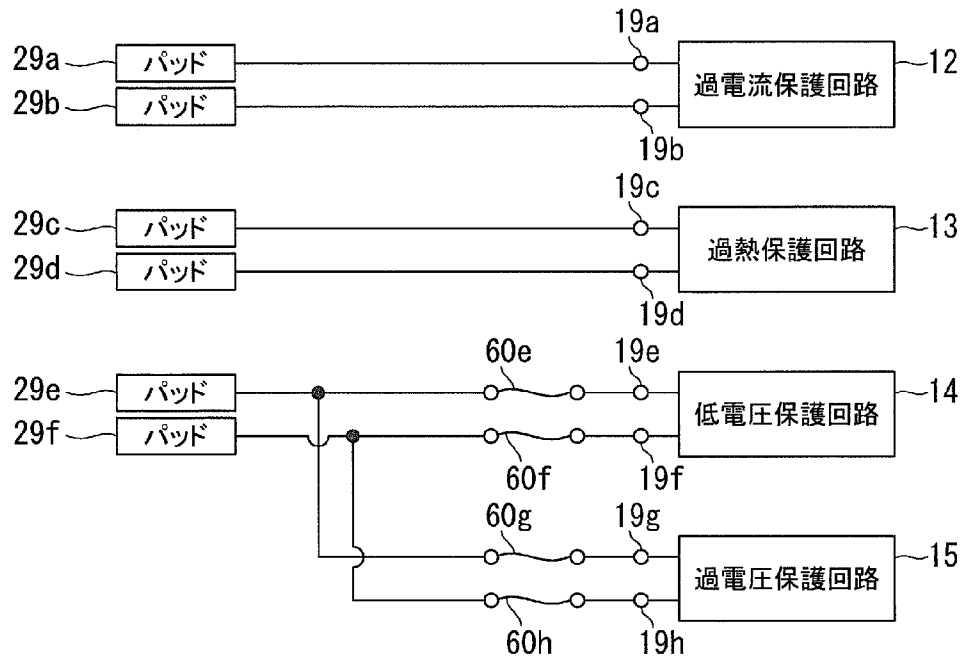
[図18]



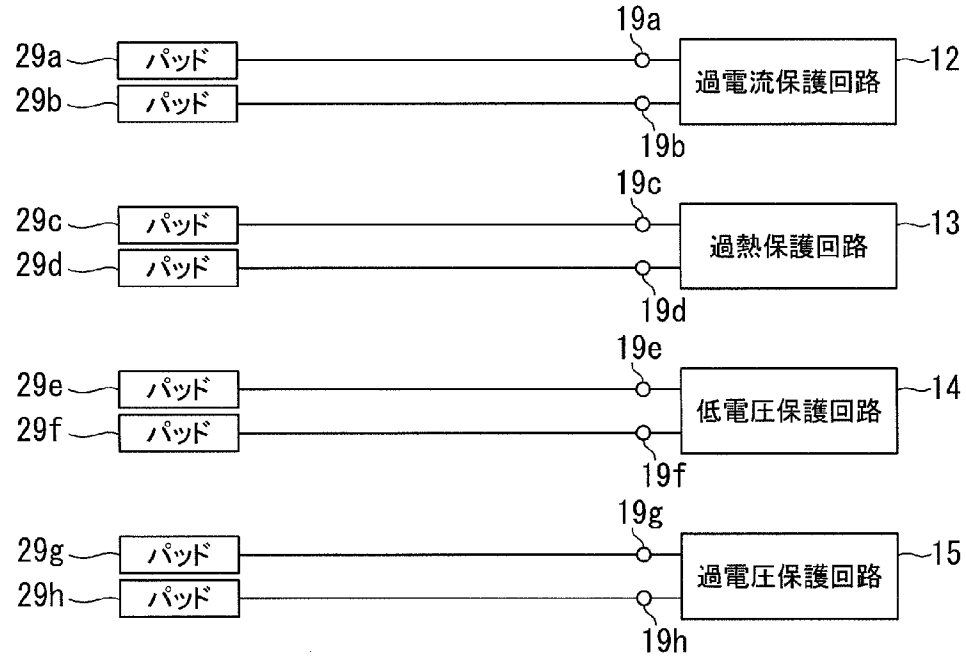
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031498

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K17/08 (2006.01) i, H03K17/00 (2006.01) i, H03K17/082 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K17/08, H03K17/00, H03K17/082

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-67660 A (MITSUBISHI ELECTRIC CORP.) 09 March 2006, paragraphs [0001]-[0026], fig. 2, 4 & US 2006/0044045 A1, paragraphs [0001]-[0038], fig. 2, 4 & DE 102005022074 A1 & KR 10-2006-0047719 A & CN 1741372 A	1-3, 14-16 4-13
Y A	JP 2012-178951 A (DENSO CORP.) 13 September 2012, paragraphs [0001], [0023]-[0033], fig. 2 & US 2012/0217937 A1, paragraphs [0003], [0032]-[0045], fig. 2	1-3, 14-16 4-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
24 October 2019 (24.10.2019)

Date of mailing of the international search report
05 November 2019 (05.11.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031498

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-324468 A (MITSUBISHI ELECTRIC CORP.) 08 November 2002, paragraphs [0012]-[0016], fig. 1-3 (Family: none)	2-3, 14-16 4-13
Y A	JP 2008-244487 A (RENESAS TECHNOLOGY CORP.) 09 October 2008, paragraphs [0074]-[0077], fig. 8 (Family: none)	14-16 4-13
A	JP 2002-51542 A (FUJITSU DENSO LTD.) 15 February 2002 (Family: none)	1-16
A	JP 2003-319546 A (SANYO ELECTRIC CO., LTD.) 07 November 2003 & US 2003/0227730 A1 & CN 1453917 A	1-16
A	JP 11-201830 A (FUJI ELECTRIC CO., LTD.) 30 July 1999 (Family: none)	6-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K17/08(2006.01)i, H03K17/00(2006.01)i, H03K17/082(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K17/08, H03K17/00, H03K17/082

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2006-67660 A（三菱電機株式会社）2006.03.09, 段落[0001]-[0026], 図2, 4 & US 2006/0044045 A1, 段落[0001]-[0038], 図2, 4 & DE 102005022074 A1 & KR 10-2006-0047719 A & CN 1741372 A	1-3, 14-16 4-13
Y A	JP 2012-178951 A（株式会社デンソー）2012.09.13, 段落[0001], [0023]-[0033], 図2 & US 2012/0217937 A1, 段落[0003], [0032]-[0045], 図2	1-3, 14-16 4-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.10.2019

国際調査報告の発送日

05.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

及川 尚人

5W

5888

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2002-324468 A (三菱電機株式会社) 2002. 11. 08, 段落[0012]-[0016], 図 1-3 (ファミリーなし)	2-3, 14-16 4-13
Y A	JP 2008-244487 A (株式会社ルネサステクノロジ) 2008. 10. 09, 段落[0074]-[0077], 図 8 (ファミリーなし)	14-16 4-13
A	JP 2002-51542 A (富士通電装株式会社) 2002. 02. 15, (ファミリー なし)	1-16
A	JP 2003-319546 A (三洋電機株式会社) 2003. 11. 07, & US 2003/0227730 A1 & CN 1453917 A	1-16
A	JP 11-201830 A (富士電機株式会社) 1999. 07. 30, (ファミリーなし)	6-7