

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月19日(19.01.2023)



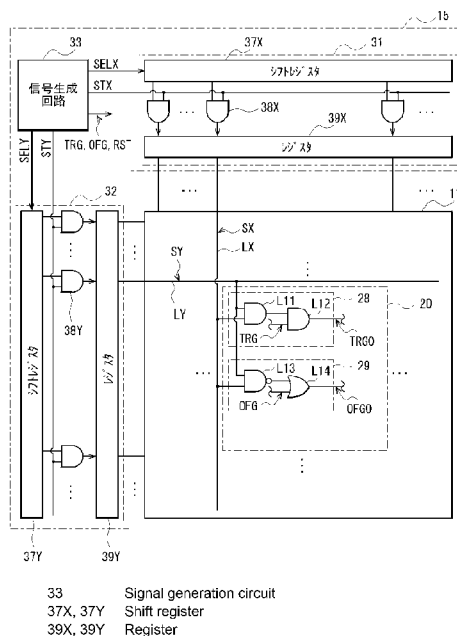
(10) 国際公開番号

WO 2023/286311 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01)
- (21) 国際出願番号: PCT/JP2022/006501
- (22) 国際出願日: 2022年2月17日(17.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-116719 2021年7月14日(14.07.2021) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 齊藤 茂(SAITOU, Shigeru); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人つばさ国際特許事務所(TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) Title: IMAGING DEVICE AND IMAGING METHOD

(54) 発明の名称: 撮像装置および撮像方法



(57) Abstract: The imaging device of the present disclosure comprises: a signal generation circuit that can generate a first control signal; a first selection control circuit that can generate a plurality of first selection signals; and a plurality of pixel circuits, each having a light reception element that can generate a charge corresponding to the amount of light received, a storage unit that can store a charge generated by the light reception element, a first switch that can connect the light reception element and the storage unit by entering an ON state, a first circuit that can control the operation of the first switch on the basis of the first control signal and one among the plurality of first selection signals, and a comparison circuit that can compare a pixel signal including the voltage in the storage unit and a reference signal having a ramp waveform.

(57) 要約: 本開示の撮像装置は、第1の制御信号を生成可能な信号生成回路と、複数の第1の選択信号を生成可能な第1の選択制御回路と、それぞれが、受光量に応じた電荷を生成可能な受光素子と、受光素子により生成された電荷を蓄積可能な蓄積部と、オン状態になることにより受光素子と蓄積部とを接続可能な第1のスイッチと、複数の第1の選択信号のうちの1つおよび第1の制御信号に基づいて第1のスイッチの動作を制御可能な第1の回路と、蓄積部における電圧を含む画素信号とランプ波形を有する参照信号とを比較可能な比較回路とを有する複数の画素回路とを備える。

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：撮像装置および撮像方法

技術分野

[0001] 本開示は、被写体を撮像する撮像装置および撮像方法に関する。

背景技術

[0002] 一般に、撮像装置では、フォトダイオードを含む画素がマトリクス状に配置され、各画素が受光量に応じた画素電圧を生成する。そして、例えばアナログデジタル変換回路（Analog to Digital Converter）が、画素電圧（アナログ信号）をデジタル信号に変換する。例えば、特許文献１には、複数の画素回路のそれぞれが画素電圧をデジタル信号に変換する撮像装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１９－１４９７１３号公報

発明の概要

[0004] ところで、撮像装置では、撮像動作の自由度が高いことが望まれており、さらなる自由度の向上が期待されている。

[0005] 撮像動作の自由度を高めることができる撮像装置を提供することが望ましい。

[0006] 本開示の一実施の形態における撮像装置は、信号生成回路と、第１の選択制御回路と、複数の画素回路とを備えている。信号生成回路は、第１の制御信号を生成可能に構成される。第１の選択制御回路は、複数の第１の選択信号を生成可能に構成される。複数の画素回路のそれぞれは、受光素子と、蓄積部と、第１のスイッチと、第１の回路と、比較回路とを有する。受光素子は、受光量に応じた電荷を生成可能に構成される。蓄積部は、受光素子により生成された電荷を蓄積可能に構成される。第１のスイッチは、オン状態になることにより受光素子と蓄積部とを接続可能に構成される。第１の回路は

、複数の第1の選択信号のうちの1つおよび第1の制御信号に基づいて第1のスイッチの動作を制御可能に構成される。比較回路は、蓄積部における電圧を含む画素信号とランプ波形を有する参照信号とを比較可能に構成される。

[0007] 本開示の一実施の形態における撮像方法は、第1の制御信号を生成することと、複数の第1の選択信号を生成することと、複数の画素回路のそれぞれにおいて、受光素子が受光量に応じて電荷を生成し、第1のスイッチが、複数の第1の選択信号のうちの1つ、および第1の制御信号に基づいて受光素子と蓄積部とを接続し、比較回路が蓄積部における電圧を含む画素信号とランプ波形を有する参照信号とを比較することを含む。

[0008] 本開示の一実施の形態における撮像装置および撮像方法では、受光素子により受光量に応じて電荷が生成され、第1のスイッチにより、複数の第1の選択信号のうちの1つ、および第1の制御信号に基づいて、受光素子と蓄積部とが接続される。そして、比較回路により、蓄積部における電圧を含む画素信号とランプ波形を有する参照信号とが比較される。

図面の簡単な説明

[0009] [図1]本開示の第1の実施の形態に係る撮像装置の一構成例を表すブロック図である。

[図2]図1に示した撮像装置の一実装例を表す説明図である。

[図3]図1に示した画素アレイの一構成例を表す説明図である。

[図4]図1に示した画素に対応する画素回路の一構成例を表す回路図である。

[図5]図1に示した画素アレイおよび画素駆動部の一構成例を表すブロック図である。

[図6]図4に示した第1の論理回路の一動作例を表す真理値表である。

[図7]図4に示した第2の論理回路の一動作例を表す真理値表である。

[図8]図1に示した撮像装置の一動作例を表すタイミング波形図である。

[図9]図1に示した撮像装置の他の一動作例を表すタイミング波形図である。

[図10]図1に示した撮像装置の他の一動作例を表す説明図である。

[図11]図1に示した撮像装置の他の一動作例を表すタイミング図である。

[図12]図1に示した撮像装置の他の一動作例を表す説明図である。

[図13A]図1に示した撮像装置の他の一動作例における一動作状態を表す説明図である。

[図13B]図1に示した撮像装置の他の一動作例における他の動作状態を表す説明図である。

[図14]図1に示した撮像装置の他の一動作例を表すタイミング図である。

[図15]図1に示した撮像装置の他の一動作例を表すタイミング図である。

[図16]図1に示した撮像装置の他の一動作例を表す説明図である。

[図17]図1に示した撮像装置の他の一動作例を表す説明図である。

[図18]第1の実施の形態の変形例に係る画素回路の一構成例を表す回路図である。

[図19]図18に示した画素アレイおよび画素駆動部の一構成例を表すブロック図である。

[図20]第2の実施の形態に係る撮像装置の一構成例を表すブロック図である。

[図21]図20に示した画素に対応する画素回路の一構成例を表す回路図である。

[図22]図20に示した画素アレイおよび画素駆動部の一構成例を表すブロック図である。

[図23]図21に示した第1の論理回路の一動作例を表す真理値表である。

[図24]図21に示した第2の論理回路の一動作例を表す真理値表である。

[図25]図20に示した撮像装置の一動作例を表す説明図である。

[図26]図20に示した撮像装置の他の一動作例を表すタイミング波形図である。

[図27]第2の実施の形態の変形例に係る画素アレイの一構成例を表す説明図である。

[図28]第2の実施の形態の変形例に係る撮像装置の一動作例を表す説明図で

ある。

[図29]第2の実施の形態の変形例に係る撮像装置の一動作例を表すタイミング波形図である。

[図30]第3の実施の形態に係る撮像装置の一構成例を表す説明図である。

[図31]図30に示した画素に対応する画素回路の一構成例を表す回路図である。

[図32]図30に示した画素アレイおよび画素駆動部の一構成例を表すブロック図である。

[図33]図21に示した第1の論理回路の一動作例を表す真理値表である。

[図34]図21に示した第2の論理回路の一動作例を表す真理値表である。

[図35]図30に示した撮像装置の一動作例を表す説明図である。

[図36]第4の実施の形態に係る撮像装置の一構成例を表す説明図である。

[図37]図36に示した画素に対応する画素回路の一構成例を表す回路図である。

[図38]図36に示した画素アレイおよび画素駆動部の一構成例を表すブロック図である。

[図39A]図37に示した第1の論理回路の一動作例を表す真理値表である。

[図39B]図37に示した第1の論理回路の一動作例を表す他の真理値表である。

[図40A]図37に示した第2の論理回路の一動作例を表す真理値表である。

[図40B]図37に示した第2の論理回路の一動作例を表す他の真理値表である。

[図41]図36に示した撮像装置の一動作例を表す説明図である。

[図42]図36に示した撮像装置の他の一動作例を表すタイミング波形図である。

[図43]図36に示した撮像装置の他の一動作例を表す説明図である。

[図44]第4の実施の形態の変形例に係る撮像装置の一動作例を表す説明図である。

[図45]第4の実施の形態の変形例に係る撮像装置の他の一動作例を表すタイミング波形図である。

[図46]車両制御システムの概略的な構成の一例を示すブロック図である。

[図47]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 第3の実施の形態
4. 第4の実施の形態
5. 移動体への応用例

[0011] <1. 第1の実施の形態>

[構成例]

図1は、一実施の形態に係る撮像装置（撮像装置1）の一構成例を表すものである。撮像装置1は、画素アレイ11と、参照信号生成部12と、タイムコード生成部13と、バイアス生成部14と、画素駆動部15と、信号処理部16と、タイミング生成部17とを備えている。撮像装置1は、この例では2枚の半導体基板に形成される。

[0012] 図2は、撮像装置1の一実装例を表すものである。撮像装置1は、この例では、2枚の半導体基板101、102に形成される。半導体基板101は、撮像装置1における撮像面Sの側に配置され、半導体基板102は、撮像装置1の撮像面Sとは反対側に配置される。半導体基板101、102は互いに重ね合わされる。半導体基板101の配線と、半導体基板102の配線とは、配線103により接続される。配線103は、例えばCu-Cuなどの金属結合などを用いることができる。

[0013] 画素アレイ11（図1）は、マトリクス状に配置された複数の画素Pを有している。画素Pは、フォトダイオードPDを有し、受光量に応じた画素電

圧 V_{pix} を含む画素信号 $S \mid G$ を生成し、この画素信号 $S \mid G$ に基づいて AD 変換を行うように構成される。

[0014] 図3は、画素アレイ11の一構成例を表すものである。画素アレイ11では、4つの画素 P （画素 PR 、 PG_r 、 PG_b 、 PB ）を含む単位画素 PP が並設される。画素 PR は、赤色（ R ）のカラーフィルタを有し、赤色の光を受光するように構成される。画素 PG_r 、 PG_b は、緑色（ G ）のカラーフィルタを有し、緑色の光を受光するように構成される。画素 PB は、青色（ B ）のカラーフィルタを有し、青色の光を受光するように構成される。単位画素 PP において、画素 PR は左上に配置され、画素 PG_r は右上に配置され、画素 PG_b は左下に配置され、画素 PB は右下に配置される。このように、4つの画素 PR 、 PG_r 、 PG_b 、 PB は、いわゆるベイヤー配列により配置される。

[0015] 図4は、画素 P に係る画素回路20の一構成例を表すものである。画素回路20は、受光回路21と、比較回路22と、ラッチ23とを有している。

[0016] 受光回路21は、受光量に応じた画素電圧 V_{pix} を含む画素信号 $S \mid G$ を生成するように構成される。受光回路21は、フォトダイオード PD と、トランジスタ $MN1 \sim MN3$ と、フローティングディフュージョン FD と、論理回路28、29とを有している。トランジスタ $MN1 \sim MN3$ は、 N 型の MOS （Metal Oxide Semiconductor）トランジスタである。受光回路21は、図4に示したように、2枚の半導体基板101、102にわたって配置される。具体的には、フォトダイオード PD 、トランジスタ $MN1 \sim MN3$ 、およびフローティングディフュージョン FD は半導体基板101に配置され、論理回路28、29は半導体基板102に配置される。

[0017] フォトダイオード PD は、受光量に応じた量の電荷を生成して内部に蓄積する光電変換素子である。フォトダイオード PD のアノードは接地され、カソードはトランジスタ $MN1$ 、 $MN2$ のソースに接続される。

[0018] トランジスタ $MN1$ のゲートには論理回路29から制御信号 $OFGO$ が半導体基板101、102間の配線103を介して供給され、ドレインには電

圧V O F Gが供給され、ソースはフォトダイオードP DのカソードおよびトランジスタM N 2のソースに接続される。

[0019] トランジスタM N 2のゲートには論理回路2 8から制御信号T R G Oが半導体基板1 0 1, 1 0 2間の配線1 0 3を介して供給され、ソースはフォトダイオードP DのカソードおよびトランジスタM N 1のソースに接続され、ドレインはフローティングディフュージョンF D、トランジスタM N 3のソース、および比較回路2 2におけるトランジスタM N 1 1（後述）のゲートに接続される。

[0020] フローティングディフュージョンF Dは、フォトダイオードP Dから転送された電荷を蓄積するように構成される。フローティングディフュージョンF Dは、例えば、半導体基板1 0 1の表面に形成された拡散層を用いて構成される。図4では、フローティングディフュージョンF Dを、容量素子のシンボルを用いて示している。

[0021] トランジスタM N 3のゲートには画素駆動部1 5（図1）から制御信号R S Tが半導体基板1 0 1, 1 0 2間の配線1 0 3を介して供給され、ドレインは比較回路2 2のトランジスタM N 1 1（後述）のドレインに接続され、ソースはフローティングディフュージョンF D、トランジスタM N 2のドレイン、および比較回路2 2のトランジスタM N 1 1（後述）のゲートに接続される。

[0022] この構成により、受光回路2 1では、制御信号O F G Oに基づいて、トランジスタM N 1がオン状態になることにより、フォトダイオードP Dに蓄積された電荷が排出される。そして、トランジスタM N 1がオフ状態になることにより、露光期間T Eが開始され、フォトダイオードP Dに、受光量に応じた量の電荷が蓄積される。そして、露光期間T Eが終了した後に、受光回路2 1は、リセット電圧V resetおよび画素電圧V pixを含む画素信号S I Gを比較回路2 2に対して供給する。具体的には、受光回路2 1は、後述するように、フローティングディフュージョンF Dの電圧がリセットされた後のP相（Pre-charge相）期間T Pにおいて、その時のフローティングディフュ

ージョンFDの電圧をリセット電圧 V_{reset} として比較回路22に供給する。また、受光回路21は、フォトダイオードPDからフローティングディフュージョンFDへ電荷が転送された後のD相(Data相)期間TDにおいて、その時のフローティングディフュージョンFDの電圧を画素電圧 V_{pix} として比較回路22に供給するようになっている。

[0023] 論理回路28は、画素駆動部15(図1)から供給された制御信号TRGおよび選択信号SX, SYに基づいて、制御信号TRGOを生成するように構成される。

[0024] 論理回路29は、画素駆動部15(図1)から供給された制御信号OFGおよび選択信号SX, SYに基づいて、制御信号OFGOを生成するように構成される。

[0025] 図5は、画素駆動部15および論理回路28, 29の一構成例を表すものである。画素アレイ11は、複数の選択信号線LXと、複数の選択信号線LYとを有している。複数の選択信号線LXは、この図5における縦方向(垂直方向)に延伸するとともに、横方向(水平方向)に並設される。複数の選択信号線LXは、画素駆動部15から供給された複数の選択信号SXをそれぞれ伝えるように構成される。複数の選択信号線LYは、この図5における横方向(水平方向)に延伸するとともに、縦方向(垂直方向)に並設される。複数の選択信号線LYは、画素駆動部15から供給された複数の選択信号SYをそれぞれ伝えるように構成される。

[0026] 論理回路28は、論理積回路(AND)L11, L12を有している。論理積回路L11の2つの入力端子は選択信号線LXおよび選択信号線LYにそれぞれ接続される。論理積回路L11は、選択信号SXおよび選択信号SYの論理積を求めるように構成される。論理積回路L12は、論理積回路L11の出力信号および画素駆動部15から供給された制御信号TRGの論理積を求め、その結果を制御信号TRGOとして出力するように構成される。

[0027] 図6は、論理回路28の真理値表の一例を表すものである。論理回路28は、破線で示したように、選択信号SX, SYがともに高レベルである場合

には、制御信号TRGを制御信号TRGOとして出力し、それ以外の場合には、制御信号TRGOを低レベルにするようになっている。

[0028] 論理回路29（図5）は、否定論理積回路（NAND）L13および論理和回路（OR）L14を有している。否定論理積回路L13の2つの入力端子は選択信号線LXおよび選択信号線LYにそれぞれ接続される。否定論理積回路L13は、選択信号SXおよび選択信号SYの否定論理積を求めるように構成される。論理和回路L14は、否定論理積回路L13の出力信号および画素駆動部15から供給された制御信号OFGの論理和を求め、その結果を制御信号OFGOとして出力するように構成される。

[0029] 図7は、論理回路29の真理値表の一例を表すものである。論理回路29は、破線で示したように、選択信号SX，SYがともに高レベルである場合には、制御信号OFGを制御信号OFGOとして出力し、それ以外の場合には、制御信号OFGOを高レベルにするようになっている。

[0030] このように、選択信号SX，SYがともに高レベルである場合には、画素回路20は選択状態になる。このような選択状態である画素回路20では、論理回路28は、制御信号TRGを制御信号TRGOとして出力し、論理回路29は、制御信号OFGを制御信号OFGOとして出力する。また、それ以外の場合には、画素回路20は非選択状態になる。このような非選択状態である画素回路20では、論理回路28は、制御信号TRGOを低レベルにするとともに、制御信号OFGOを高レベルにするようになっている。

[0031] 比較回路22（図4）は、参照信号REFと画素信号SIG（画素電圧Vpixおよびリセット電圧Vreset）とを比較することにより信号CMPを生成するように構成される。比較回路22は、参照信号REFの電圧が画素信号SIGの電圧よりも高い場合に信号CMPを高レベルにし、参照信号REFの電圧が画素信号SIGの電圧よりも低い場合に信号CMPを低レベルにするようになっている。比較回路22は、トランジスタMN11，MN12，MN13，MP14，MP15と、アンプAMPとを有している。トランジスタMN11，MN12，MN13はN型のMOSトランジスタであり、トラ

ンジスタMP 14, MP 15はP型のMOSトランジスタである。比較回路22は、図4に示したように、2枚の半導体基板101, 102にわたって配置される。具体的には、トランジスタMN 11~MN 13は半導体基板101に配置され、トランジスタMP 14, MP 15およびアンプAMPは半導体基板102に配置される。

[0032] トランジスタMN 11のゲートには画素信号SIGが供給され、ドレインは受光回路21におけるトランジスタMN 3のドレインに接続されるとともに、半導体基板101, 102間の配線103を介してトランジスタMP 14のドレインおよびアンプAMPの入力端子に接続され、ソースはトランジスタMN 12のソースおよびトランジスタMN 13のドレインに接続される。トランジスタMN 12のゲートには、半導体基板101, 102間の配線103を介して参照信号生成部12から参照信号REFが供給され、ドレインは半導体基板101, 102間の配線103を介してトランジスタMP 15のドレインおよびトランジスタMP 14, MP 15のゲートに接続され、ソースはトランジスタMN 11のソースおよびトランジスタMN 13のドレインに接続される。参照信号REFは、詳しくは後述するが、P相期間TPおよびD相期間TDにおいて時間の経過に応じて電圧レベルが徐々に変化する、いわゆるランプ波形を有する信号である。トランジスタMN 13のゲートにはバイアス生成部14（図1）からバイアス電圧Vbが供給され、ドレインはトランジスタMN 11, MN 12のソースに接続され、ソースは接地される。トランジスタMN 11, MN 12は差動対を構成し、トランジスタMN 13は定電流源を構成する。

[0033] トランジスタMP 14のゲートはトランジスタMP 15のゲートおよびドレインに接続されるとともに半導体基板101, 102間の配線103を介してトランジスタMN 12のドレインに接続され、ソースには電源電圧VDDが供給され、ドレインはアンプAMPの入力端子に接続されるとともに半導体基板101, 102間の配線103を介してトランジスタMN 11のドレインおよび受光回路21におけるトランジスタMN 3のドレインに接続さ

れる。トランジスタMP 15のゲートはトランジスタMP 14のゲートおよびトランジスタMP 15のドレインに接続されるとともに半導体基板101, 102間の配線103を介してトランジスタMN 12のドレインに接続され、ソースには電源電圧VDDが供給され、ドレインはトランジスタMP 14, MP 15のゲートに接続されるとともに半導体基板101, 102間の配線103を介してトランジスタMN 12のドレインに接続される。トランジスタMP 14, MP 15は、トランジスタMN 11, MN 12の能動負荷を構成する。

[0034] アンプAMPの入力端子はトランジスタMP 14のドレインに接続されるとともに半導体基板101, 102間の配線103を介してトランジスタMN 11のドレインおよび受光回路21におけるトランジスタMN 3のドレインに接続され、出力端子はラッチ23に接続される。アンプAMPは、比較回路22の出力信号である信号CMPをラッチ23に供給する。

[0035] この構成により、比較回路22は、参照信号REFと画素信号SIGとを比較することにより信号CMPを生成するようになっている。

[0036] ラッチ23は、比較回路22から供給された信号CMPに基づいて、タイムコード生成部13（図1）から供給された、時間の経過に応じて変化するタイムコードTCをラッチするように構成される。タイムコードTCは、例えば、グレイコードを用いることができる。ラッチ23は、後述するように、P相期間TPにおいて、信号CMPの遷移タイミングでタイムコードTCをラッチすることにより、P相期間TPが開始してから信号CMPが遷移するまでの時間（コード値CP）を取得する。また、ラッチ23は、D相期間TDにおいて、信号CMPの遷移タイミングでタイムコードTCをラッチすることにより、D相期間TDが開始してから信号CMPが遷移するまでの時間（コード値CD）を取得する。これらの2つのコード値の差（CD - CP）は、受光量に応じた画素値に対応する。そして、ラッチ23は、これらの2つのコード値CD, CPを信号処理部16に供給するようになっている。

[0037] このようにして、画素回路20は、受光量に応じた画素電圧Vpixを含む画

素信号 S I G を生成し、この画素信号 S I G に基づいて A D 変換を行うことによりコード値 C P, C D を生成するようになっている。

[0038] 参照信号生成部 1 2 (図 1) は、タイミング生成部 1 7 からの指示に基づいて、参照信号 R E F を生成するように構成される。参照信号 R E F は、P 相期間 T P および D 相期間 T D において、時間の経過に応じて電圧レベルが徐々に変化する、いわゆるランプ波形を有する。そして、参照信号生成部 1 2 は、生成した参照信号 R E F を、画素アレイ 1 1 における複数の画素回路 2 0 に供給するようになっている。参照信号生成部 1 2 は、図 4 に示したように、半導体基板 1 0 2 に配置される。

[0039] タイムコード生成部 1 3 は、タイミング生成部 1 7 からの指示に基づいて、タイムコード T C を生成するように構成される。タイムコード T C は、時間の経過に応じて変化する複数ビットのコードであり、例えば、グレイコードを用いることができる。そして、タイムコード生成部 1 3 は、生成したタイムコード T C を、画素アレイ 1 1 における複数の画素回路 2 0 に供給するようになっている。タイムコード生成部 1 3 は、例えば半導体基板 1 0 2 (図 2) に配置される。

[0040] バイアス生成部 1 4 は、撮像装置 1 において使用される様々なバイアス電圧およびバイアス電流を生成するように構成される。例えば、バイアス生成部 1 4 は、バイアス電圧 V b を生成し、画素回路 2 0 の比較回路 2 2 (図 4) にこのバイアス電圧 V b を供給するようになっている。

[0041] 画素駆動部 1 5 は、画素アレイ 1 1 における複数の画素回路 2 0 の動作を制御するように構成される。具体的には、画素駆動部 1 5 は、制御信号 T R G, O F G, R S T と、複数の選択信号 S X と、複数の選択信号 S Y とを生成し、これらの信号を、画素アレイ 1 1 に供給することにより、画素回路 2 0 の動作を制御するようになっている。画素駆動部 1 5 は、例えば半導体基板 1 0 2 (図 2) に配置される。

[0042] 図 5 に示したように、画素駆動部 1 5 は、選択制御回路 3 1, 3 2 と、信号生成回路 3 3 とを有している。

[0043] 選択制御回路 31 は、信号生成回路 33 から供給された選択信号 SELX およびトリガ信号 STX に基づいて、複数の選択信号 SX を生成するように構成される。選択制御回路 31 は、シフトレジスタ 37X と、複数の論理積回路 38X と、レジスタ 39X とを有している。シフトレジスタ 37X は、例えば、デイジーチェーン接続された複数の D 型フリップフロップ回路を用いて構成され、信号生成回路 33 から供給された選択信号 SELX に基づいて、複数の論理積回路 38X に供給する複数の信号を生成するように構成される。具体的にはシフトレジスタ 37X は、シリアル信号である選択信号 SELX をパラレル信号である複数の信号に変換するようになっている。複数の論理積回路 38X は、信号生成回路 33 から供給されたトリガ信号 STX とシフトレジスタ 37X から供給された複数の信号との論理積をそれぞれ求めるように構成される。具体的には、複数の論理積回路 38X は、トリガ信号 STX が高レベルである期間において、シフトレジスタ 37X から供給された複数の信号をレジスタ 39X に供給する。また、複数の論理積回路 38X は、トリガ信号 STX が低レベルである期間において、複数の出力信号を低レベルにする。レジスタ 39X は、トリガ信号 STX が高レベルである期間における、複数の論理積回路 38X の出力信号をそれぞれ記憶するとともに、これらの複数の信号を複数の選択信号 SX として、複数の選択信号線 LX を介して画素アレイ 11 にそれぞれ供給するようになっている。

[0044] 選択制御回路 32 は、選択制御回路 31 と同様に、信号生成回路 33 から供給された選択信号 SELY およびトリガ信号 STY に基づいて、複数の選択信号 SY を生成するように構成される。選択制御回路 32 は、シフトレジスタ 37Y と、複数の論理積回路 38Y と、レジスタ 39Y とを有している。シフトレジスタ 37Y は、例えば、デイジーチェーン接続された複数の D 型フリップフロップ回路を用いて構成され、信号生成回路 33 から供給された選択信号 SELY に基づいて、複数の論理積回路 38Y に供給する複数の信号を生成するように構成される。複数の論理積回路 38Y は、信号生成回路 33 から供給されたトリガ信号 STY とシフトレジスタ 37Y から供給さ

れた複数の信号との論理積をそれぞれ求めるように構成される。レジスタ 39 Y は、トリガ信号 S T Y が高レベルである期間における、複数の論理積回路 38 Y の出力信号をそれぞれ記憶するとともに、これらの複数の信号を複数の選択信号 S Y として、複数の選択信号線 L Y を介して画素アレイ 11 にそれぞれ供給するようになっている。

[0045] 信号生成回路 33 は、制御信号 T R G, O F G, R S T、選択信号 S E L X, S E L Y、およびトリガ信号 S T X, S T Y を生成するように構成される。

[0046] この構成により、画素駆動部 15 は、制御信号 T R G, O F G, R S T と、複数の選択信号 S X と、複数の選択信号 S Y とを生成し、これらの信号を、画素アレイ 11 に供給するようになっている。

[0047] 信号処理部 16 (図 1) は、複数の画素回路 20 のそれぞれが生成したコード値 C P, C D に基づいて所定の画像処理を行うことにより画像信号 S p i c を生成するように構成される。所定の画像処理は、例えば、2つのコード値 C P, C D に基づいて相関 2 重サンプリング (C D S ; Correlated Double Sampling) の原理を利用して画素値を生成する処理や、黒レベルを補正する黒レベル補正処理などを含む。信号処理部 16 は、例えば半導体基板 102 (図 2) に配置される。

[0048] タイミング生成部 17 は、各種タイミング信号を生成し、生成した各種タイミング信号を、参照信号生成部 12、タイムコード生成部 13、画素駆動部 15、および信号処理部 16 に供給することにより、撮像装置 1 の動作を制御するように構成される。タイミング生成部 17 は、例えば半導体基板 102 (図 2) に配置される。

[0049] ここで、信号生成回路 33 は、本開示における「信号生成回路」の一具体例に対応する。制御信号 T R G は、本開示における「第 1 の制御信号」の一具体例に対応する。制御信号 O F G は、本開示における「第 2 の制御信号」の一具体例に対応する。選択制御回路 32 は、本開示における「第 1 の選択制御回路」の一具体例に対応する。複数の選択信号 S Y は、本開示における

「複数の第１の選択信号」の一具体例に対応する。選択制御回路３１は、本開示における「第２の選択制御回路」の一具体例に対応する。複数の選択信号ＳＸは、本開示における「複数の第２の選択信号」の一具体例に対応する。複数の画素回路２０は、本開示における「複数の画素回路」の一具体例に対応する。フォトダイオードＰＤは、本開示における「受光素子」の一具体例に対応する。フローティングディフュージョンＦＤは、本開示における「蓄積部」の一具体例に対応する。トランジスタＭＮ２は、本開示における「第１のスイッチ」の一具体例に対応する。論理回路２８は、本開示における「第１の回路」の一具体例に対応する。トランジスタＭＮ１は、本開示における「第２のスイッチ」の一具体例に対応する。論理回路２９は、本開示における「第２の回路」の一具体例に対応する。比較回路２２は、本開示における「比較回路」の一具体例に対応する。画素信号ＳＩＧは、本開示における「画素信号」の一具体例に対応する。参照信号ＲＥＦは、本開示における「参照信号」の一具体例に対応する。選択信号線ＬＹは、本開示における「複数の第１の選択信号線」の一具体例に対応する。選択信号線ＬＸは、本開示における「複数の第２の選択信号線」の一具体例に対応する。

[0050] [動作および作用]

続いて、本実施の形態の撮像装置１の動作および作用について説明する。

[0051] (全体動作概要)

まず、図１を参照して、撮像装置１の全体動作概要を説明する。参照信号生成部１２は、参照信号ＲＥＦを生成する。タイムコード生成部１３は、タイムコードＴＣを生成する。画素駆動部１５は、画素アレイ１１における複数の画素回路２０の動作を制御する。画素アレイ１１における複数の画素回路２０のそれぞれは、受光量に応じた画素電圧 V_{pix} を含む画素信号ＳＩＧを生成し、この画素信号ＳＩＧに基づいてＡＤ変換を行うことによりコード値ＣＰ、ＣＤを生成する。信号処理部１６は、複数の画素回路２０のそれぞれが生成したコード値ＣＰ、ＣＤに基づいて所定の画像処理を行うことにより画像信号 S_{pic} を生成する。タイミング生成部１７は、各種タイミング信号を

生成し、生成した各種タイミング信号を、参照信号生成部 12、タイムコード生成部 13、画素駆動部 15、および信号処理部 16に供給することにより、撮像装置 1の動作を制御する。

[0052] (詳細動作)

図 5 に示したように、画素駆動部 15において、信号生成回路 33は、制御信号 TRG, OFG, RST、選択信号 SELX, SELY、およびトリガ信号 STX, STYを生成する。選択制御回路 31は、信号生成回路 33から供給された選択信号 SELXおよびトリガ信号 STXに基づいて、複数の選択信号 SXを生成し、選択制御回路 32は、信号生成回路 33から供給された選択信号 SELYおよびトリガ信号 STYに基づいて、複数の選択信号 SYを生成する。画素アレイ 11における複数の画素回路 20のうちの、選択信号 SX, SYにより選択状態になった画素回路 20は、制御信号 TRG, OFG, RSTに基づいて動作を行う。

[0053] 図 8 は、選択状態である画素回路 20の一動作例を表すものであり、(A) は同期信号 XVSの波形を示し、(B) は制御信号 RSTの波形を示し、(C) は制御信号 OFGの波形を示し、(D) は制御信号 TRGの波形を示し、(E) は選択信号 SXの波形を示し、(F) は選択信号 SYの波形を示し、(G) は制御信号 OFG0の波形を示し、(H) は制御信号 TRG0の波形を示し、(I) は参照信号 REFの波形を示し、(J) は画素信号 SIGの波形を示し、(K) は信号 CMPの波形を示す。図 8 (I), (J) では、参照信号 REFおよび画素信号 SIGの波形を、同じ電圧軸で示している。図 8 (E), (F) に示したように、選択信号 SX, SYはともに高レベルである。よって、画素回路 20は選択状態である。

[0054] まず、タイミング t10において、画素駆動部 15は、制御信号 OFGを低レベルから高レベルに変化させる(図 8 (C))。選択信号 SX, SYはともに高レベルであるので(図 8 (E), (F))、画素回路 20の論理回路 29は、制御信号 OFGを制御信号 OFG0として出力する。よって、論理回路 29は、制御信号 OFGの変化に応じて、制御信号 OFG0を低レベ

ルから高レベルに変化させる（図8（G））。これにより、画素回路20では、トランジスタMN1がオン状態になり、フォトダイオードPDで発生した電荷が排出される。そして、タイミングt10から所定の時間が経過した後に、画素駆動部15は、制御信号OFGを高レベルから低レベルに変化させる（図8（C））。これに応じて、論理回路29は、制御信号OFG0を高レベルから低レベルに変化させる（図8（G））。これにより、トランジスタMN1はオフ状態になる。このようにして、画素回路20における露光期間TEが開始する。フォトダイオードPDは、これ以降、受光量に応じた量の電荷を生成して内部に蓄積する。

[0055] 次に、タイミングt11において、同期信号XVSにパルスが生じ、フレーム期間Fが開始する（図8（A））。

[0056] 次に、タイミングt12において、画素駆動部15は、制御信号RSTを低レベルから高レベルに変化させる（図8（B））。これにより、画素回路20では、トランジスタMN3がオン状態になり、フローティングディフュージョンFDがリセットされ、画素信号SIGの電圧がリセット電圧Vresetになる（図8（J））。そして、タイミングt12から所定の時間が経過した後に、画素駆動部15は、制御信号RSTを高レベルから低レベルに変化させる（図8（B））。これにより、トランジスタMN3はオフ状態になる。

[0057] 次に、タイミングt13において、参照信号生成部12は、参照信号REFの電圧をリセット電圧Vresetから電圧V1に変化させる（図8（I））。これにより、参照信号REFの電圧は画素信号SIGの電圧より高くなるので、比較回路22は、信号CMPを高レベルにする（図8（K））。

[0058] 次に、タイミングt14～t16の期間（P相期間TP）において、画素回路20は、この画素信号SIGの電圧（リセット電圧Vreset）に基づいてAD変換を行う。具体的には、タイミングt14において、参照信号生成部12は、参照信号REFの電圧を、電圧V1から所定の変化度合いで低下させ始める（図8（I））。また、タイムコード生成部13は、このタイミン

グ t_{14} において、タイムコードTCのインクリメント動作を開始する。これにより、ラッチ23には、時間の経過に応じて変化するタイムコードTCが供給される。

[0059] そして、タイミング t_{15} において、参照信号REFの電圧が画素信号SIGの電圧（リセット電圧Vreset）を下回る（図8（I）,（J））。これに応じて、比較回路22は、信号CMPを高レベルから低レベルに変化させる（図8（K））。ラッチ23は、この信号CMPの遷移に基づいて、タイムコードTCをラッチする。ラッチ23においてラッチされたタイムコードTCのコード値CPは、タイミング $t_{14} \sim t_{15}$ の時間の長さに対応するコード値であるとともに、リセット電圧Vresetに対応するコード値である。

[0060] そして、タイミング t_{16} において、P相期間TPの終了に伴い、参照信号生成部12は、参照信号REFの電圧の変化を停止させ（図8（I））、タイムコード生成部13は、タイムコードTCのインクリメント動作を終了する。

[0061] 次に、タイミング t_{17} において、参照信号生成部12は、参照信号REFの電圧を電圧V1に変化させる（図8（I））。これにより、参照信号REFの電圧は画素信号SIGの電圧より高くなるので、比較回路22は、信号CMPを高レベルにする（図8（K））。また、このタイミング t_{17} において、画素駆動部15は、制御信号TRGを低レベルから高レベルに変化させる（図8（D））。選択信号SX, SYはともに高レベルであるので（図8（E）,（F））、画素回路20の論理回路28は、制御信号TRGを制御信号TRG0として出力する。よって、論理回路28は、制御信号TRGの変化に応じて、制御信号TRG0を低レベルから高レベルに変化させる（図8（H））。これにより、画素回路20では、トランジスタMN2がオン状態になり、露光期間TEにおいてフォトダイオードPDで発生した電荷がフローティングディフュージョンFDに転送され、画素信号SIGの電圧が画素電圧Vpixになる（図8（J））。そして、タイミング t_{17} から所定の時間が経過した後に、画素駆動部15は、制御信号TRGを高レベルから

低レベルに変化させる（図8（D））。これに応じて、論理回路28は、制御信号TRGOを高レベルから低レベルに変化させる（図8（H））。これにより、トランジスタMN2はオフ状態になる。このようにして、露光期間TEは終了する。

[0062] 次に、タイミング $t_{18} \sim t_{20}$ の期間（D相期間TD）において、画素回路20は、この画素信号SIGの電圧（画素電圧 V_{pix} ）に基づいてAD変換を行う。具体的には、タイミング t_{18} において、参照信号生成部12は、参照信号REFの電圧を、電圧V1から所定の変化度合いで低下させ始める（図8（I））。また、タイムコード生成部13は、このタイミング t_{18} において、タイムコードTCのインクリメント動作を開始する。これにより、ラッチ23には、時間の経過に応じて変化するタイムコードTCが供給される。

[0063] そして、タイミング t_{19} において、参照信号REFの電圧が画素信号SIGの電圧（画素電圧 V_{pix} ）を下回る（図8（I）,（J））。これに応じて、比較回路22は、信号CMPを高レベルから低レベルに変化させる（図8（K））。ラッチ23は、この信号CMPの遷移に基づいて、タイムコードTCをラッチする。ラッチ23においてラッチされたタイムコードTCのコード値CDは、タイミング $t_{18} \sim t_{19}$ の時間の長さに対応するコード値であるとともに、画素電圧 V_{pix} に対応するコード値である。

[0064] そして、タイミング t_{20} において、D相期間TDの終了に伴い、参照信号生成部12は、参照信号REFの電圧の変化を停止させ（図8（I））、タイムコード生成部13は、タイムコードTCのインクリメント動作を終了する。

[0065] そして、タイミング $t_{20} \sim t_{22}$ の期間において、ラッチ23は、画素回路20が生成したコード値CP, CDを信号処理部16に供給する。

[0066] 次に、タイミング t_{21} において、画素駆動部15は、制御信号OFGを低レベルから高レベルに変化させる（図8（C））。選択信号SX, SYはともに高レベルであるので（図8（E）,（F））、画素回路20の論理回

路 29 は、制御信号 OFG を制御信号 OFG0 として出力する。よって、論理回路 29 は、制御信号 OFG の変化に応じて、制御信号 OFG0 を低レベルから高レベルに変化させる（図 8（G））。これにより、画素回路 20 では、トランジスタ MN1 がオン状態になり、フォトダイオード PD で発生した電荷が排出される。そして、タイミング t_{21} から所定の時間が経過した後に、画素駆動部 15 は、制御信号 OFG を高レベルから低レベルに変化させる（図 8（C））。これに応じて、論理回路 29 は、制御信号 OFG0 を高レベルから低レベルに変化させる（図 8（G））。これにより、トランジスタ MN1 はオフ状態になる。このようにして、次の露光期間 TE が開始する。

[0067] 選択状態である画素回路 20 は、このようなタイミング $t_{11} \sim t_{22}$ における動作を繰り返す。

[0068] 次に、非選択状態である画素回路 20 の動作について、詳細に説明する。

[0069] 図 9 は、非選択状態である画素回路 20 の一動作例を表すものであり、（A）は同期信号 XVS の波形を示し、（B）は制御信号 RST の波形を示し、（C）は制御信号 OFG の波形を示し、（D）は制御信号 TRG の波形を示し、（E）は選択信号 SX の波形を示し、（F）は選択信号 SY の波形を示し、（G）は制御信号 OFG0 の波形を示し、（H）は制御信号 TRG0 の波形を示し、（I）は参照信号 REF の波形を示す。この例では、図 9（E）、（F）に示したように、選択信号 SX、SY はともに低レベルである。よって、画素回路 20 は非選択状態である。なお、この例では、選択信号 SX、SY はともに低レベルにしたが、選択信号 SX、SY のうちの少なくとも一方が低レベルである場合に、その画素回路 20 は非選択状態になる。

[0070] 参照信号生成部 12 は、参照信号 REF を画素回路 20 に供給する（図 9（I））。また、画素駆動部 15 は、制御信号 RST、OFG、TRG を画素回路 20 に供給する（図 9（B）、（C）、（D））。選択信号 SX、SY はともに低レベルであるので（図 8（E）、（F））、画素回路 20 では、論理回路 29 は制御信号 OFG0 を高レベルに維持し、論理回路 28 は制

御信号TRGOを低レベルに維持する（図9（G），（H））。制御信号OFFGOが高レベルであるので、画素回路20では、トランジスタMN1がオン状態を維持し、フォトダイオードPDで発生した電荷が排出される。また、制御信号TRGOが低レベルであるので、画素回路20では、トランジスタMN2がオフ状態を維持する。このように、非選択状態である画素回路20は、露光動作を行わない。

[0071] 信号処理部16は、選択状態である複数の画素回路20のそれぞれが生成したコード値CP，CDに基づいて所定の画像処理を行う。例えば、信号処理部16は、コード値CPおよびコード値CDに基づいて、相関2重サンプリングの原理を利用して画素値を生成する。具体的には、信号処理部16は、例えば、コード値CDからコード値CPを減算することにより、画素値を生成する。また、信号処理部16は、黒レベルを補正する黒レベル補正処理などを行う。このようにして、信号処理部16は画像信号Spicを生成する。

[0072] 撮像装置1では、複数の選択信号SXおよび複数の選択信号SYを用いて、複数の画素回路20のそれぞれを選択状態または非選択状態に設定することができる。これにより、撮像装置1では動作の自由度を高めることができる。以下に、いくつか例を挙げて、撮像装置1の動作について詳細に説明する。

[0073] （動作例E11）

撮像装置1は、画素アレイ11における全ての画素Pを用いて、撮像動作を行うことにより、解像度の高い撮像画像を得ることができる。

[0074] 具体的には、選択制御回路31は、複数の選択信号SXを全て“1”に設定し、選択制御回路32は、複数の選択信号SYを全て“1”に設定する。これにより、画素アレイ11では全ての画素P（画素回路20）が選択状態になる。よって、全ての画素回路20では、論理回路28は、制御信号TRGを制御信号TRGOとして出力し、論理回路29は、制御信号OFFGを制御信号OFFGOとして出力する。

[0075] これにより、画素アレイ11における全ての画素回路20は、図8に示し

たように露光動作を行い、受光量に応じた画素電圧 V_{pix} を含む画素信号 S_I G を生成する。そして、画素回路 20 は、この画素信号 S_I G に基づいて A/D 変換を行うことによりコード値 C_P 、 C_D を生成する。

[0076] 信号処理部 16 は、選択状態である複数の画素回路 20 において生成されたコード値 C_P 、 C_D に基づいて、撮像画像の画像データを生成する。このようにして、撮像装置 1 では、解像度の高い撮像画像を得ることができる。

[0077] (動作例 E 1 2)

撮像装置 1 は、画素アレイ 11 における複数の画素 P のうちの一部の画素 P を用いて、撮像動作を行うことにより、画素値が間引かれた、解像度の低い撮像画像を得ることができる。以下に、この動作について、詳細に説明する。

[0078] 図 10 は、画素アレイ 11 における、撮像動作に係る画素 P の一例を表すものである。図 10 では、太線で示した画素 P は選択状態である画素 P を示し、それ以外の画素 P は非選択状態である画素 P を示す。

[0079] 図 10 に示したように、選択制御回路 31 は、複数の選択信号 S_X を、…，“1”，“0”，“0”，“1”，“0”，“0”，…のように、3 つに 1 つの割合で“1”が現れるように設定する。同様に、選択制御回路 32 は、複数の選択信号 S_Y を、…，“1”，“0”，“0”，“1”，“0”，“0”，…のように、3 つに 1 つの割合で“1”が現れるように設定する。これにより、高レベルの選択信号 S_X 、および高レベルの選択信号 S_Y が供給された画素 P は選択状態になり、それ以外の画素 P は非選択状態になる。この例では、複数の選択信号 S_X に応じて、横方向（水平方向）において 3 個に 1 個の割合で、画素 P は選択状態になり、複数の選択信号 S_Y に応じて、縦方向（垂直方向）において 3 個に 1 個の割合で、画素 P は選択状態になる。よって、画素アレイ 11 では、9 個に 1 個の割合で、画素 P （画素回路 20）は選択状態になる。

[0080] 図 11 は、動作例 E 1 2 における画素回路 20 の一動作例を表すものであり、(A) は同期信号 XVS の波形を示し、(B) は制御信号 RST の波形

を示し、(C)は制御信号OFGの波形を示し、(D)は制御信号TRGの波形を示し、(E)は選択信号SELX, SELYを示し、(F)はトリガ信号STX, STYの波形を示し、(G)は選択状態の画素回路20における制御信号OFG0の波形を示し、(H)は選択状態の画素回路20における制御信号TRG0の波形を示し、(I)は非選択状態の画素回路20における制御信号OFG0の波形を示し、(J)は非選択状態の画素回路20における制御信号TRG0の波形を示し、(K)は参照信号REFの波形を示す。

[0081] 例えば、この動作モードに設定する場合には、まず、タイミングt25から始まるフレーム期間Fにおいて、画素駆動部15の信号生成回路33は、シリアル信号である選択信号SELXを選択制御回路31に供給するとともに、シリアル信号である選択信号SELYを選択制御回路32に供給する(図11(E))。

[0082] そして、信号生成回路33が選択信号SELX, SELYを供給し終えた後のタイミングt26において、信号生成回路33は、トリガ信号STX, STYを生成する(図11(F))。これにより、選択制御回路31は、選択信号SELXに応じた複数の選択信号SXを、複数の選択信号線LXを介して画素アレイ11に対して供給し、選択制御回路32は、選択信号SELYに応じた複数の選択信号SYを、複数の選択信号線LYを介して画素アレイ11に対して供給する。

[0083] 画素アレイ11における複数の画素回路20のうち、選択信号SX, SYがともに高レベルに設定された画素回路20は、選択状態に設定される。選択状態である画素回路20では、論理回路28は、制御信号TRGを制御信号TRG0として出力し(図11(D), (H))、論理回路29は、制御信号OFGを制御信号OFG0として出力する(図11(C), (G))。例えば、論理回路29は、タイミングt27において制御信号OFG0を低レベルから高レベルに変化させ、このタイミングt27から所定の時間が経過した後に、制御信号OFG0を高レベルから低レベルに変化させる(図1

1 (G))。また、論理回路 28 は、タイミング t_{28} において制御信号 $TRGO$ を低レベルから高レベルに変化させ、このタイミング t_{28} から所定の時間が経過した後に、制御信号 $TRGO$ を高レベルから低レベルに変化させる (図 11 (H))。このようにして、露光期間 TE が設定される。選択状態である画素回路 20 は、このような制御信号 $TRGO$, $OFGO$ に基づいて露光動作を行い、図 8 に示したように、受光量に応じた画素電圧 V_{pix} を含む画素信号 SIG を生成する。そして、画素回路 20 は、この画素信号 SIG に基づいて AD 変換を行うことによりコード値 CP , CD を生成する。

[0084] また、画素アレイ 11 における複数の画素回路 20 のうち、選択信号 SX , SY のうちの少なくとも一方が低レベルに設定された画素回路 20 は、非選択状態に設定される。非選択状態である画素回路 20 では、論理回路 28 は制御信号 $TRGO$ を低レベルに維持し (図 11 (J))、論理回路 29 は制御信号 $OFGO$ を高レベルに維持する (図 11 (I))。よって、非選択状態である画素回路 20 は、露光動作を行わない。

[0085] 信号処理部 16 は、選択状態である複数の画素回路 20 において生成されたコード値 CP , CD に基づいて、撮像画像の画像データを生成する。このようにして、撮像装置 1 では、解像度の低い撮像画像を得ることができる。

[0086] (動作例 E 13)

撮像装置 1 は、動作例 E 12 に示したように、画素アレイ 11 における複数の画素 P のうちの一部の画素 P を用いて撮像動作を行う際、非選択状態である画素回路 20 に係るコード値 CP , CD を利用して、画素値に含まれるノイズ成分を低減することができる。以下に、この動作について、詳細に説明する。

[0087] 図 12 は、画素アレイ 11 における、撮像動作に係る画素 P の一例を表すものである。太線で示した画素 P は選択状態である画素 P を示し、それ以外の画素 P は非選択状態である画素 P を示す。この例では、画素アレイ 11 では、動作例 E 12 の場合 (図 10) と同様に、9 個に 1 個の割合で、画素 P は選択状態になる。選択状態である画素 P に係る画素回路 20 は、露光動作

を行うことにより、受光量に応じた画素電圧 V_{pix} を含む画素信号 $S \mid G$ を生成し、この画素信号 $S \mid G$ に基づいて AD 変換を行うことによりコード値 C_P , C_D を生成する。

[0088] 一方、非選択状態の画素 P は、露光動作を行わない。例えば、図 12 において破線で示した、選択状態の画素 P と隣り合う非選択状態の画素 P に係る画素回路 20 では、図 11 (I), (J) に示したように、制御信号 $OFGO$ は高レベルに維持され、制御信号 $TRGO$ は低レベルに維持される。制御信号 $TRGO$ は低レベルに維持されるので、トランジスタ $MN2$ はオフ状態に維持される。よって、フローティングディフュージョン FD の電圧は、リセット電圧 V_{reset} に維持されるので、画素信号 $S \mid G$ は、このリセット電圧 V_{reset} に維持される。画素回路 20 は、このような画素信号 $S \mid G$ に基づいて AD 変換を行うことによりコード値 C_P , C_D を生成する。

[0089] 信号処理部 16 は、例えば、選択状態である画素回路 20 から供給されたコード値 C_P , C_D に基づいて、コード値 C_D からコード値 C_P を減算することにより、画素値を生成する。同様に、信号処理部 16 は、例えば、非選択状態である画素回路 20 から供給されたコード値 C_P , C_D に基づいて、コード値 C_D からコード値 C_P を減算することにより、画素値を生成する。そして、信号処理部 16 は、例えば、互いに隣り合う、選択状態である画素回路 20、および非選択状態である画素回路 20 により得られた画素値に基づいて、選択状態である画素回路 20 に係る画素値から、非選択状態である画素回路 20 に係る画素値を減算する減算処理を行う。このようにして、撮像装置 1 では、画素値に含まれるノイズ成分を低減することができる。

[0090] すなわち、撮像装置 1 が搭載された電子機器では、様々なノイズが生じ得る。ノイズは、画素アレイ 11 における複数の画素回路 20 における画素信号 $S \mid G$ に重畳される。例えば、隣り合う 2 つの画素回路 20 では、重畳されるノイズ量はほぼ同じであることが期待される。よって、互いに隣り合う、選択状態である画素回路 20、および非選択状態である画素回路 20 により得られた画素値に基づいて、このような減算処理を行うことにより、画素

値に含まれるノイズ成分を低減することができる。

[0091] (動作例 E 1 4)

撮像装置 1 は、画素アレイ 1 1 における複数の画素 P を、画素ライン単位で選択して撮像動作を行うことにより、インターレース動作を行うことができる。以下に、この動作について、詳細に説明する。

[0092] 図 1 3 A, 1 3 B は、画素アレイ 1 1 における、撮像動作に係る画素 P の一例を表すものである。図 1 3 A, 1 3 B では、太線で示した画素 P は選択状態である画素 P を示し、それ以外の画素 P は非選択状態である画素 P を示す。

[0093] 図 1 3 A では、選択制御回路 3 1 は、複数の選択信号 S X を全て “1” に設定する。また、選択制御回路 3 2 は、複数の選択信号 S Y を、…, “1”, “1”, “0”, “0”, “1”, “1”, “0”, “0” …のように、2つの“1”と2つの“0”を繰り返すように設定する。高レベルの選択信号 S X、および高レベルの選択信号 S Y が供給された画素 P は選択状態になり、それ以外の画素 P は非選択状態になる。この例では、図 1 3 A において、上から 1 番目および 2 番目の画素ラインに属する画素 P が選択状態になり、上から 3 番目および 4 番目の画素ラインに属する画素 P が非選択状態になり、上から 5 番目および 6 番目の画素ラインに属する画素 P が選択状態になり、上から 7 番目および 8 番目の画素ラインに属する画素 P が非選択状態になる。

[0094] 図 1 3 B では、選択制御回路 3 1 は、複数の選択信号 S X を全て “1” に設定する。また、選択制御回路 3 2 は、複数の選択信号 S Y を、…, “0”, “0”, “1”, “1”, “0”, “0”, “1”, “1” …のように、2つの“0”と2つの“1”を繰り返すように設定する。図 1 3 B における複数の選択信号 S Y は、図 1 3 A における複数の選択信号 S Y を反転したものである。高レベルの選択信号 S X、および高レベルの選択信号 S Y が供給された画素 P は選択状態になり、それ以外の画素 P は非選択状態になる。この例では、図 1 3 B において、上から 1 番目および 2 番目の画素ラインに属

する画素Pが非選択状態になり、上から3番目および4番目の画素ラインに属する画素Pが選択状態になり、上から5番目および6番目の画素ラインに属する画素Pが非選択状態になり、上から7番目および8番目の画素ラインに属する画素Pが選択状態になる。

[0095] インターレース動作では、撮像装置1は、図13Aに示した状態と、図13Bに示した状態とを、交互に繰り返す。

[0096] 図14は、動作例E14における画素回路20の一動作例を表すものであり、(A)は同期信号XVSの波形を示し、(B)は制御信号RSTの波形を示し、(C)は制御信号OFGの波形を示し、(D)は制御信号TRGの波形を示し、(E)は選択信号SELX, SELYを示し、(F)はトリガ信号STX, STYの波形を示し、(G)は1番目の画素ラインL1および2番目の画素ラインL2に属する画素回路20における制御信号OFG0の波形を示し、(H)は1番目の画素ラインL1および2番目の画素ラインL2に属する画素回路20における制御信号TRG0の波形を示し、(I)は3番目の画素ラインL3および4番目の画素ラインL4に属する画素回路20における制御信号OFG0の波形を示し、(J)は3番目の画素ラインL3および4番目の画素ラインL4に属する画素回路20における制御信号TRG0の波形を示し、(K)は参照信号REFの波形を示す。

[0097] 例えば、動作例E14では、タイミングt31～t35の期間（サブフレーム期間SF1）において、複数の画素Pは図13Aに示したように設定され、タイミングt35～t39の期間（サブフレーム期間SF2）において、複数の画素Pは図13Bに示したように設定される。

[0098] まず、タイミングt31において、画素駆動部15の信号生成回路33は、シリアル信号である選択信号SELXを選択制御回路31に供給するとともに、シリアル信号である選択信号SELYを選択制御回路32に供給する（図14（E））。

[0099] そして、信号生成回路33が選択信号SELX, SELYを供給し終えた後のタイミングt32において、信号生成回路33は、トリガ信号STX,

S T Yを生成する（図14（F））。これにより、選択制御回路31は、選択信号S E L Xに応じた複数の選択信号S Xを、複数の選択信号線L Xを介して画素アレイ11に対して供給し、選択制御回路32は、選択信号S E L Yに応じた複数の選択信号S Yを、複数の選択信号線L Yを介して画素アレイ11に対して供給する。

[0100] これにより、図13Aに示すように、例えば、1番目の画素ラインL1および2番目の画素ラインL2に属する画素P（画素回路20）が選択状態に設定され、3番目の画素ラインL3および4番目の画素ラインL4に属する画素P（画素回路20）が非選択状態に設定される。

[0101] 画素ラインL1, L2に属する画素回路20では、論理回路28は、制御信号T R Gを制御信号T R G 0として出力し（図14（D）,（H））、論理回路29は、制御信号O F Gを制御信号O F G 0として出力する（図14（C）,（G））。例えば、論理回路29は、タイミングt33において制御信号O F G 0を低レベルから高レベルに変化させ、このタイミングt33から所定の時間が経過した後に、制御信号O F G 0を高レベルから低レベルに変化させる（図14（G））。また、論理回路28は、タイミングt34において制御信号T R G 0を低レベルから高レベルに変化させ、このタイミングt34から所定の時間が経過した後に、制御信号T R G 0を高レベルから低レベルに変化させる（図14（H））。このようにして、露光期間T Eが設定される。画素ラインL1, L2に属する画素回路20は、このような制御信号T R G 0, O F G 0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧V_{pix}を含む画素信号S I Gを生成する。そして、画素回路20は、この画素信号S I Gに基づいてA D変換を行うことによりコード値C P, C Dを生成する。

[0102] また、画素ラインL3, L4に属する画素回路20では、論理回路28は制御信号T R G 0を低レベルに維持し（図14（J））、論理回路29は制御信号O F G 0を高レベルに維持する（図14（I））。よって、画素ラインL3, L4に属する画素回路20は、露光動作を行わない。

- [0103] 次に、タイミング t_{35} において、画素駆動部15の信号生成回路33は、シリアル信号である選択信号SELXを選択制御回路31に供給するとともに、シリアル信号である選択信号SELYを選択制御回路32に供給する（図14（E））。
- [0104] そして、信号生成回路33が選択信号SELX、SELYを供給し終えた後のタイミング t_{36} において、信号生成回路33は、トリガ信号STX、STYを生成する（図14（F））。これにより、選択制御回路31は、選択信号SELXに応じた複数の選択信号SXを、複数の選択信号線LXを介して画素アレイ11に対して供給し、選択制御回路32は、選択信号SELYに応じた複数の選択信号SYを、複数の選択信号線LYを介して画素アレイ11に対して供給する。
- [0105] これにより、図13Bに示すように、例えば、1番目の画素ラインL1および2番目の画素ラインL2に属する画素P（画素回路20）が非選択状態に設定され、3番目の画素ラインL3および4番目の画素ラインL4に属する画素P（画素回路20）が選択状態に設定される。
- [0106] 画素ラインL3、L4に属する画素回路20では、論理回路28は、制御信号TRGを制御信号TRG0として出力し（図14（D）、（J））、論理回路29は、制御信号OFGを制御信号OFG0として出力する（図14（C）、（I））。例えば、論理回路29は、タイミング t_{37} において制御信号OFG0を低レベルから高レベルに変化させ、このタイミング t_{37} から所定の時間が経過した後に、制御信号OFG0を高レベルから低レベルに変化させる（図14（I））。また、論理回路28は、タイミング t_{38} において制御信号TRG0を低レベルから高レベルに変化させ、このタイミング t_{38} から所定の時間が経過した後に、制御信号TRG0を高レベルから低レベルに変化させる（図14（J））。このようにして、露光期間TEが設定される。画素ラインL3、L4に属する画素回路20は、このような制御信号TRG0、OFG0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そして

、画素回路20は、この画素信号S1Gに基づいてAD変換を行うことによりコード値CP, CDを生成する。

[0107] また、画素ラインL1, L2に属する画素回路20では、論理回路28は制御信号TRGOを低レベルに維持し(図14(H))、論理回路29は制御信号OFGOを高レベルに維持する(図14(G))。よって、画素ラインL1, L2に属する画素回路20は、露光動作を行わない。

[0108] 撮像装置1は、タイミングt31~t35における動作、およびタイミングt35~t39における動作を交互に繰り返す。

[0109] 信号処理部16は、選択状態である複数の画素回路20において生成されたコード値CP, CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置1では、インターレース動作を行うことができる。

[0110] なお、この例では、図14に示したような制御信号RST, OFG, TRGおよび参照信号REFを用いたが、これに限定されるものではなく、図15に示したように、動作例E11で用いた制御信号RST, OFG, TRGおよび参照信号REFを用いてもよい。

[0111] (動作例E15)

撮像装置1は、画素アレイ11における複数の画素Pのうちの、ある画像領域に属する複数の画素Pを用いて、撮像動作を行うことにより、いわゆるROI (Region of Interest) 画像を得ることができる。以下に、この動作について、詳細に説明する。

[0112] 図16は、画素アレイ11における、撮像動作に係る複数の画素Pの領域の一例を表すものである。領域W1は、画素アレイ11における、ROI画像を得たい領域を示す。

[0113] 図16に示したように、選択制御回路31は、複数の選択信号SXのうち、領域W1に係る選択信号SXを“1”に設定し、それ以外の選択信号SXを“0”に設定する。同様に、選択制御回路32は、複数の選択信号SYのうち、領域W1に係る選択信号SYを“1”に設定し、それ以外の選択信号SYを“0”に設定する。このようにして、画素アレイ11では、領域W1

に属する複数の画素Pが選択状態になる。

[0114] 領域W1に属する画素Pに対応する画素回路20は、受光量に応じた画素電圧 V_{pix} を含む画素信号SIGを生成し、この画素信号SIGに基づいてAD変換を行うことによりコード値CP, CDを生成する。信号処理部16は、領域W1に属する複数の画素回路20において生成されたコード値CP, CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置1では、ROI画像を得ることができる。

[0115] 図17は、画素アレイ11における、撮像動作に係る複数の画素Pの領域の他の一例を表すものである。領域W2, W3, W4は、画素アレイ11における、ROI画像を得たい領域を示す。この例では、画素アレイ11において、領域W2は左下に設定され、領域W3は左右方向の中央における上部に設定され、領域W4は右下に設定される。

[0116] 図17に示したように、選択制御回路31は、複数の選択信号SXのうち、領域W2, W3, W4に係る選択信号SXを“1”に設定し、それ以外の選択信号SXを“0”に設定する。この例では、領域W2~W4は、横方向において、互いに重なっていないので、複数の選択信号SXのうち、3つの領域W2~W4に対応する3つの部分に属する選択信号SXが“1”に設定される。同様に、選択制御回路32は、複数の選択信号SYのうち、領域W2, W3, W4に係る選択信号SYを“1”に設定し、それ以外の選択信号SYを“0”に設定する。この例では、領域W2~W4は、縦方向において、互いに重なっていないので、複数の選択信号SYのうち、3つの領域W2~W4に対応する3つの部分に属する選択信号SYが“1”に設定される。その結果、画素アレイ11では、画素回路20が選択状態になる9つの領域が設定される。

[0117] これらの9つの領域に属する画素Pに対応する画素回路20は、受光量に応じた画素電圧 V_{pix} を含む画素信号SIGを生成し、この画素信号SIGに基づいてAD変換を行うことによりコード値CP, CDを生成する。信号処理部16は、これらの画素回路20において生成されたコード値CP, CD

のうち、3つの領域W2～W4に属する複数の画素回路20において生成されたコード値CP、CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置1では、3つのROI画像を得ることができる。

[0118] このように、撮像装置1では、第1の制御信号（制御信号TRG）を生成する信号生成回路33と、複数の第1の選択信号（選択信号SY）を生成する第1の選択制御回路（選択制御回路32）と、複数の画素回路20とを設けるようにした。複数の画素回路20のそれぞれは、受光量に応じた電荷を生成するフォトダイオードPDと、フォトダイオードPDにより生成された電荷を蓄積するフローティングディフュージョンFDと、オン状態になることによりフォトダイオードPDとフローティングディフュージョンFDとを接続する第1のスイッチ（トランジスタMN2）と、複数の第1の選択信号（選択信号SY）のうちの1つおよび第1の制御信号（制御信号TRG）に基づいて第1のスイッチ（トランジスタMN2）の動作を制御する第1の回路（論理回路28）と、フローティングディフュージョンFDにおける電圧を含む画素信号SIGとランプ波形を有する参照信号REFとを比較する比較回路22と有するようにした。これにより、撮像装置1では、例えば、動作例E11のように、全ての画素Pを選択状態にすることができ、また、動作例E14のように、画素ライン単位で、画素Pを選択状態にし、あるいは非選択状態にすることができるので、撮像動作の自由度を高めることができる。

[0119] また、撮像装置1では、信号生成回路33は、第2の制御信号（制御信号OFG）を生成し、複数の画素回路20のそれぞれには、複数の第1の選択信号（選択信号SY）のうちのいずれか1つである第1の信号が供給されるようにした。第1の回路（論理回路28）は、第1の信号（選択信号SY）および第1の制御信号（制御信号TRG）に基づいて第1のスイッチ（トランジスタMN2）の動作を制御するようにした。複数の画素回路20のそれぞれは、オン状態になることによりフォトダイオードPDに所定の電圧VOFGを印加可能な第2のスイッチ（トランジスタMN1）と、第1の信号（

選択信号 S Y) および第 2 の制御信号 (制御信号 O F G) に基づいて第 2 のスイッチ (トランジスタ M N 1) の動作を制御する第 2 の回路 (論理回路 2 9) とを有するようにした。これにより、例えば、フォトダイオード P D の電荷を適切に放出しつつ、撮像動作の自由度を高めることができる。

[0120] また、撮像装置 1 では、複数の第 2 の選択信号 (選択信号 S X) を生成する第 2 の選択制御回路 (選択制御回路 3 1) を設けるようにした。そして、複数の画素回路 2 0 のそれぞれには、複数の第 2 の選択信号 (選択信号 S X) のうちのいずれか 1 つである第 2 の信号が供給され、第 1 の回路 (論理回路 2 8) は、第 1 の信号 (選択信号 S Y)、第 2 の信号 (選択信号 S X)、および第 1 の制御信号 (制御信号 T R G) に基づいて第 1 のスイッチ (トランジスタ M N 2) の動作を制御し、第 2 の回路 (論理回路 2 9) は、第 1 の信号 (選択信号 S Y)、第 2 の信号 (選択信号 S X)、および第 2 の制御信号 (制御信号 O F G) に基づいて第 2 のスイッチ (トランジスタ M N 1) の動作を制御するようにした。これにより、例えば、動作例 E 1 2, E 1 3, E 1 5 のように、画素 P を単位として、画素 P を選択状態にし、あるいは非選択状態にすることができるので、撮像動作の自由度を高めることができる。

[0121] [効果]

以上のように本実施の形態では、第 1 の制御信号を生成する信号生成回路と、複数の第 1 の選択信号を生成する第 1 の選択制御回路と、複数の画素回路とを設けるようにした。複数の画素回路のそれぞれは、受光量に応じた電荷を生成するフォトダイオードと、フォトダイオードにより生成された電荷を蓄積するフローティングディフュージョンと、オン状態になることによりフォトダイオードとフローティングディフュージョンとを接続する第 1 のスイッチと、複数の第 1 の選択信号のうちの 1 つおよび第 1 の制御信号に基づいて第 1 のスイッチの動作を制御する第 1 の回路と、フローティングディフュージョンにおける電圧を含む画素信号とランプ波形を有する参照信号とを比較する比較回路とを有するようにした。これにより、撮像動作の自由度を高

めることができる。

[0122] 本実施の形態では、信号生成回路は、第2の制御信号を生成し、複数の画素回路のそれぞれには、複数の第1の選択信号のうちのいずれか1つである第1の信号が供給されるようにした。第1の回路は、第1の信号および第1の制御信号に基づいて第1のスイッチの動作を制御するようにした。複数の画素回路のそれぞれは、オン状態になることによりフォトダイオードに所定の電圧を印加可能な第2のスイッチと、第1の信号および第2の制御信号に基づいて第2のスイッチの動作を制御する第2の回路とを有するようにした。これにより、フォトダイオードの電荷を適切に放出しつつ、撮像動作の自由度を高めることができる。

[0123] 本実施の形態では、複数の第2の選択信号を生成する第2の選択制御回路を設けるようにした。そして、複数の画素回路のそれぞれには、複数の第2の選択信号のうちのいずれか1つである第2の信号が供給され、第1の回路は、第1の信号、第2の信号、および第1の制御信号に基づいて第1のスイッチの動作を制御し、第2の回路は、第1の信号、第2の信号、および第2の制御信号に基づいて第2のスイッチの動作を制御するようにした。これにより、撮像動作の自由度を高めることができる。

[0124] [変形例1]

上記実施の形態では、複数の選択信号S_Xを生成する選択制御回路31、および複数の選択信号S_Yを生成する選択制御回路32の両方を設けたが、これに限定されるものではない。例えば、選択制御回路31、32のうちの一方のみを設けてもよい。以下に、本変形例について詳細に説明する。

[0125] 図18は、本変形例に係る画素回路20Aの一構成例を表すものである。図19は、本変形例に係る画素駆動部15Aおよび論理回路28A、29Aの一構成例を表すものである。画素回路20Aは、受光回路21Aを有している。受光回路21Aは、論理回路28A、29Aを有している。

[0126] 論理回路28Aは、画素駆動部15Aから供給された制御信号TRGおよび選択信号S_Yに基づいて、制御信号TRG₀を生成するように構成される

。論理回路 28 A は、論理積回路 L 12 を有している。論理積回路 L 12 は、選択制御回路 32 から供給された選択信号 S Y および画素駆動部 15 A から供給された制御信号 T R G の論理積を求め、その結果を制御信号 T R G O として出力するように構成される。

[0127] 論理回路 29 A は、画素駆動部 15 A から供給された制御信号 O F G および選択信号 S Y に基づいて、制御信号 O F G O を生成するように構成される。論理回路 29 A は、インバータ L 15 および論理和回路 L 14 を有している。インバータ L 15 は、選択制御回路 32 から供給された選択信号 S Y の反転信号を生成するように構成される。論理和回路 L 14 は、インバータ L 15 の出力信号および画素駆動部 15 A から供給された制御信号 O F G の論理和を求め、その結果を制御信号 O F G O として出力するように構成される。

[0128] 画素駆動部 15 A は、選択制御回路 32 と、信号生成回路 33 A とを有している。信号生成回路 33 A は、制御信号 T R G, O F G, R S T、選択信号 S E L Y、およびトリガ信号 S T Y を生成するように構成される。

[0129] この構成により、変形例に係る撮像装置では、例えば、動作例 E 14（図 13 A, 13 B）のように、画素ライン単位で、画素 P を選択状態にし、あるいは非選択状態にすることができるので、撮像動作の自由度を高めることができる。

[0130] <2. 第2の実施の形態>

次に、第2の実施の形態に係る撮像装置 2 について説明する。本実施の形態は、2つの制御信号 T R G、および2つの制御信号 O F G を設け、2つの制御信号 T R G の一方、および2つの制御信号 O F G の一方を画素回路に供給するものである。なお、上記第1の実施の形態に係る撮像装置 1 と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

[0131] 図 20 は、撮像装置 2 の一構成例を表すものである。撮像装置 2 は、画素アレイ 41 と、画素駆動部 45 とを備えている。

[0132] 図 21 は、画素 P に係る画素回路 50 の一構成例を表すものである。画素

回路 50 は、受光回路 51 を有している。受光回路 51 は、論理回路 58, 59 を有している。

[0133] 論理回路 58 は、画素駆動部 45 (図 20) から供給された制御信号 TRG1, TRG2 および選択信号 SX, SY に基づいて、制御信号 TRG0 を生成するように構成される。

[0134] 論理回路 59 は、画素駆動部 45 (図 20) から供給された制御信号 OFG1, OFG2 および選択信号 SX, SY に基づいて、制御信号 OFG0 を生成するように構成される。

[0135] 図 22 は、画素駆動部 45 および論理回路 58, 59 の一構成例を表すものである。

[0136] 論理回路 58 は、論理積回路 L21 と、インバータ L22 と、論理積回路 L23, L24 と、論理和回路 L25 とを有している。論理積回路 L21 の 2 つの入力端子は選択信号線 LX および選択信号線 LY にそれぞれ接続される。論理積回路 L21 は、選択信号 SX および選択信号 SY の論理積を求めるように構成される。インバータ L22 は、論理積回路 L21 の出力信号の反転信号を生成するように構成される。論理積回路 L23 は、論理積回路 L21 の出力信号および画素駆動部 45 から供給された制御信号 TRG1 の論理積を求めるように構成される。論理積回路 L24 は、インバータ L22 の出力信号および画素駆動部 45 から供給された制御信号 TRG2 の論理積を求めるように構成される。論理和回路 L25 は、論理積回路 L23 の出力信号および論理積回路 L24 の出力信号の論理和を求め、その結果を制御信号 TRG0 として出力するように構成される。

[0137] 図 23 は、論理回路 58 の真理値表の一例を表すものである。論理回路 58 は、破線で示したように、選択信号 SX, SY がともに高レベルである場合には、制御信号 TRG1 を制御信号 TRG0 として出力し、それ以外の場合には、制御信号 TRG2 を制御信号 TRG0 として出力するようになっている。

[0138] 論理回路 59 (図 22) は、論理積回路 L26 と、インバータ L27 と、

論理積回路 L 2 8, L 2 9 と、論理和回路 L 3 0 とを有している。論理積回路 L 2 6 の 2 つの入力端子は選択信号線 L X および選択信号線 L Y にそれぞれ接続される。論理積回路 L 2 6 は、選択信号 S X および選択信号 S Y の論理積を求めるように構成される。インバータ L 2 7 は、論理積回路 L 2 6 の出力信号の反転信号を生成するように構成される。論理積回路 L 2 8 は、論理積回路 L 2 6 の出力信号および画素駆動部 4 5 から供給された制御信号 O F G 1 の論理積を求めるように構成される。論理積回路 L 2 9 は、インバータ L 2 7 の出力信号および画素駆動部 4 5 から供給された制御信号 O F G 2 の論理積を求めるように構成される。論理和回路 L 3 0 は、論理積回路 L 2 8 の出力信号および論理積回路 L 2 9 の出力信号の論理和を求め、その結果を制御信号 O F G 0 として出力するように構成される。

[0139] 図 2 4 は、論理回路 5 9 の真理値表の一例を表すものである。論理回路 5 9 は、破線で示したように、選択信号 S X, S Y がともに高レベルである場合には、制御信号 O F G 1 を制御信号 O F G 0 として出力し、それ以外の場合には、制御信号 O F G 2 を制御信号 O F G 0 として出力するようになっている。

[0140] 画素駆動部 4 5 (図 2 0, 2 2) は、制御信号 T R G 1, T R G 2, O F G 1, O F G 2, R S T と、複数の選択信号 S X と、複数の選択信号 S Y とを生成し、これらの信号を、画素アレイ 4 1 に供給することにより、画素回路 5 0 の動作を制御するようになっている。

[0141] 図 2 2 に示したように、画素駆動部 4 5 は、信号生成回路 5 3 を有している。信号生成回路 5 3 は、制御信号 T R G 1, T R G 2, O F G 1, O F G 2, R S T、選択信号 S E L X, S E L Y、およびトリガ信号 S T X, S T Y を生成するように構成される。

[0142] ここで、信号生成回路 5 3 は、本開示における「信号生成回路」の一具体例に対応する。制御信号 T R G 1 は、本開示における「第 1 の制御信号」の一具体例に対応する。制御信号 O F G 1 は、本開示における「第 2 の制御信号」の一具体例に対応する。制御信号 T R G 2 は、本開示における「第 3 の

制御信号」の一具体例に対応する。制御信号OFG2は、本開示における「第4の制御信号」の一具体例に対応する。複数の画素回路50は、本開示における「複数の画素回路」の一具体例に対応する。論理回路58は、本開示における「第1の回路」の一具体例に対応する。論理回路59は、本開示における「第2の回路」の一具体例に対応する。

[0143] (動作例E21)

撮像装置2は、撮像装置1の動作例E11と同様に、画素アレイ41における全ての画素Pを用いて、撮像動作を行うことにより、解像度の高い撮像画像を得ることができる。

[0144] 具体的には、選択制御回路31は、複数の選択信号SXを全て“1”に設定し、選択制御回路32は、複数の選択信号SYを全て“1”に設定する。これにより、画素アレイ41では全ての画素P（画素回路50）が選択状態になる。

[0145] また、信号生成回路53は、第1の実施の形態の場合（図8）における制御信号TRG、OFG、RSTと同様に、制御信号TRG1、OFG1、RSTを生成する。また、信号生成回路53は、例えば、制御信号TRG2を低レベルに維持し、制御信号OFG2を高レベルに維持する。

[0146] 画素アレイ41では、全ての画素回路50は選択状態である。全ての画素回路50では、論理回路58は、制御信号TRG1を制御信号TRG0として出力し、論理回路59は、制御信号OFG1を制御信号OFG0として出力する。

[0147] これにより、画素アレイ41における全ての画素回路50は、図8に示したように露光動作を行い、受光量に応じた画素電圧 V_{pix} を含む画素信号SIGを生成する。そして、画素回路50は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP、CDを生成する。

[0148] 信号処理部16は、選択状態である複数の画素回路50において生成されたコード値CP、CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置2では、解像度の高い撮像画像を得ることができる。

[0149] (動作例 E 2 2)

撮像装置 2 は、撮像装置 1 の動作例 E 1 2 と同様に、画素アレイ 4 1 における複数の画素 P のうちの一部の画素 P を用いて、撮像動作を行うことにより、画素値が間引かれた、解像度の低い撮像画像を得ることができる。

[0150] 具体的には、選択制御回路 3 1 は、第 1 の実施の形態の場合 (図 1 0) と同様に、複数の選択信号 S X を、…, “1”, “0”, “0”, “1”, “0”, “0”, …のように、3 つに 1 つの割合で “1” が現れるように設定する。また、選択制御回路 3 2 は、第 1 の実施の形態の場合 (図 1 0) と同様に、複数の選択信号 S Y を、…, “1”, “0”, “0”, “1”, “0”, “0”, …のように、3 つに 1 つの割合で “1” が現れるように設定する。

[0151] 信号生成回路 5 3 は、第 1 の実施の形態の場合 (図 8) における制御信号 T R G, O F G, R S T と同様に、制御信号 T R G 1, O F G 1, R S T を生成する。また、信号生成回路 5 3 は、例えば、制御信号 T R G 2 を低レベルに維持し、制御信号 O F G 2 を高レベルに維持する。

[0152] 画素アレイ 4 1 における複数の画素回路 5 0 のうち、選択信号 S X, S Y がともに高レベルに設定された画素回路 5 0 は、選択状態に設定される。選択状態である画素回路 5 0 では、論理回路 5 8 は、制御信号 T R G 1 を制御信号 T R G 0 として出力し、論理回路 5 9 は、制御信号 O F G 1 を制御信号 O F G 0 として出力する。選択状態である画素回路 5 0 は、このような制御信号 T R G 0, O F G 0 に基づいて露光動作を行い、図 8 に示したように、受光量に応じた画素電圧 V_{pix} を含む画素信号 S I G を生成する。そして、画素回路 5 0 は、この画素信号 S I G に基づいて A D 変換を行うことによりコード値 C P, C D を生成する。

[0153] また、画素アレイ 4 1 における複数の画素回路 5 0 のうち、選択信号 S X, S Y のうちの少なくとも一方が低レベルに設定された画素回路 5 0 は、非選択状態に設定される。非選択状態である画素回路 5 0 では、論理回路 5 8 は、制御信号 T R G 2 を制御信号 T R G 0 として出力し、論理回路 5 9 は、

制御信号 O F G 2 を制御信号 O F G 0 として出力する。制御信号 T R G 2 は低レベルに維持され、制御信号 O F G 2 は高レベルに維持されるので、論理回路 5 8 は制御信号 T R G 0 を低レベルに維持し、論理回路 5 9 は制御信号 O F G 0 を高レベルに維持する。よって、非選択状態である画素回路 5 0 は、露光動作を行わない。

[0154] 信号処理部 1 6 は、選択状態である複数の画素回路 5 0 において生成されたコード値 C P, C D に基づいて、撮像画像の画像データを生成する。このようにして、撮像装置 2 では、解像度の低い撮像画像を得ることができる。

[0155] (動作例 E 2 3)

撮像装置 2 では、撮像装置 1 の動作例 E 1 3 と同様に、画素アレイ 4 1 における複数の画素 P のうちの一部の画素 P を用いて、撮像動作を行う際、非選択状態である画素回路 5 0 に係るコード値 C P, C D を利用して、画素値に含まれるノイズ成分を低減することができる。

[0156] (動作例 E 2 4)

撮像装置 2 は、撮像装置 1 の動作例 E 1 4 と同様に、画素アレイ 4 1 における複数の画素 P を、画素ライン単位で選択して撮像動作を行うことにより、インターレース動作を行うことができる。特に、撮像装置 2 では、サブフレーム間において、露光期間が重なるようにすることができる。以下に、この動作について、詳細に説明する。

[0157] 図 2 5 は、画素アレイ 4 1 における、撮像動作に係る画素 P の一例を表すものである。図 2 5 では、太線で示した画素 P は選択状態である画素 P を示し、それ以外の画素 P は非選択状態である画素 P を示す。

[0158] 選択制御回路 3 1 は、複数の選択信号 S X を全て “1” に設定する。また、選択制御回路 3 2 は、複数の選択信号 S Y を、…, “1”, “1”, “0”, “0”, “1”, “1”, “0”, “0” …のように、2つの “1” と 2つの “0” を繰り返すように設定する。高レベルの選択信号 S X、および高レベルの選択信号 S Y が供給された画素 P は選択状態になり、それ以外の画素 P は非選択状態になる。この例では、図 2 5 において、上から 1 番目お

よび2番目の画素ラインに属する画素Pが選択状態になり、上から3番目および4番目の画素ラインに属する画素Pが非選択状態になり、上から5番目および6番目の画素ラインに属する画素Pが選択状態になり、上から7番目および8番目の画素ラインに属する画素Pが非選択状態になる。

[0159] 図26は、動作例E24における画素回路50の一動作例を表すものであり、(A)は同期信号XVSの波形を示し、(B)は制御信号RSTの波形を示し、(C)は制御信号OFG1の波形を示し、(D)は制御信号TRG1の波形を示し、(E)は制御信号OFG1の波形を示し、(F)は制御信号TRG2の波形を示し、(G)は選択信号SELX, SELYを示し、(H)はトリガ信号STX, STYの波形を示し、(I)は1番目の画素ラインL1および2番目の画素ラインL2に属する画素回路50における制御信号OFG0の波形を示し、(J)は1番目の画素ラインL1および2番目の画素ラインL2に属する画素回路50における画素回路50における制御信号TRG0の波形を示し、(K)は3番目の画素ラインL3および4番目の画素ラインL4に属する画素回路50における制御信号OFG0の波形を示し、(L)は3番目の画素ラインL3および4番目の画素ラインL4に属する画素回路50における制御信号TRG0の波形を示し、(M)は参照信号REFの波形を示す。

[0160] 例えば、この動作モードに設定する場合には、まず、タイミングt41において、画素駆動部45の信号生成回路53は、シリアル信号である選択信号SELXを選択制御回路31に供給するとともに、シリアル信号である選択信号SELYを選択制御回路32に供給する(図26(G))。

[0161] そして、信号生成回路53が選択信号SELX, SELYを供給し終えた後のタイミングt42において、信号生成回路53は、トリガ信号STX, STYを生成する(図26(H))。これにより、選択制御回路31は、選択信号SELXに応じた複数の選択信号SXを、複数の選択信号線LXを介して画素アレイ41に対して供給し、選択制御回路32は、選択信号SELYに応じた複数の選択信号SYを、複数の選択信号線LYを介して画素アレ

イ 4 1 に対して供給する。

[0162] 画素ライン L 1, L 2 に属する画素回路 5 0 では、論理回路 5 8 は、制御信号 T R G 1 を制御信号 T R G 0 として出力し (図 2 6 (D), (J))、論理回路 5 9 は、制御信号 O F G 1 を制御信号 O F G 0 として出力する (図 2 6 (C), (I))。例えば、論理回路 5 9 は、タイミング t 4 4 において制御信号 O F G 0 を低レベルから高レベルに変化させ、このタイミング t 4 4 から所定の時間が経過した後に、制御信号 O F G 0 を高レベルから低レベルに変化させる (図 2 6 (I))。また、論理回路 5 8 は、タイミング t 4 7 において制御信号 T R G 0 を低レベルから高レベルに変化させ、このタイミング t 4 7 から所定の時間が経過した後に、制御信号 T R G 0 を高レベルから低レベルに変化させる (図 2 6 (J))。このようにして、露光期間 T E が設定される。画素ライン L 1, L 2 に属する画素回路 5 0 は、このような制御信号 T R G 0, O F G 0 に基づいて露光動作を行い、図 8 に示したように、受光量に応じた画素電圧 V_{pix} を含む画素信号 S I G を生成する。そして、画素回路 5 0 は、この画素信号 S I G に基づいて A D 変換を行うことによりコード値 C P, C D を生成する。

[0163] また、画素ライン L 3, L 4 に属する画素回路 5 0 では、論理回路 5 8 は、制御信号 T R G 2 を制御信号 T R G 0 として出力し (図 2 6 (F), (L))、論理回路 5 9 は、制御信号 O F G 2 を制御信号 O F G 0 として出力する (図 2 6 (E), (K))。例えば、論理回路 5 9 は、タイミング t 4 3 において制御信号 O F G 0 を低レベルから高レベルに変化させ、このタイミング t 4 3 から所定の時間が経過した後に、制御信号 O F G 0 を高レベルから低レベルに変化させる (図 2 6 (K))。また、論理回路 5 8 は、タイミング t 4 5 において制御信号 T R G 0 を低レベルから高レベルに変化させ、このタイミング t 4 5 から所定の時間が経過した後に、制御信号 T R G 0 を高レベルから低レベルに変化させる (図 2 6 (L))。このようにして、露光期間 T E が設定される。画素ライン L 3, L 4 に属する画素回路 5 0 は、このような制御信号 T R G 0, O F G 0 に基づいて露光動作を行い、図 8 に

示したように、受光量に応じた画素電圧 V_{pix} を含む画素信号 $S \mid G$ を生成する。そして、画素回路 50 は、この画素信号 $S \mid G$ に基づいて A/D 変換を行うことによりコード値 C_P 、 C_D を生成する。

[0164] この例では、露光期間 T_E の長さを上記第 1 の実施の形態の場合（図 4）よりも長くしている。これにより、画素ライン L_1 、 L_2 に属する画素回路 50 に係る露光期間 T_E と、画素ライン L_3 、 L_4 に属する画素回路 50 に係る露光期間 T_E とは、一部が互いに重なる。

[0165] 信号処理部 16 は、選択状態である複数の画素回路 50 において生成されたコード値 C_P 、 C_D に基づいて、撮像画像の画像データを生成し、非選択状態である複数の画素回路 50 において生成されたコード値 C_P 、 C_D に基づいて、撮像画像の画像データを生成する。このようにして、撮像装置 2 では、インターレース動作を行うことができる。

[0166] 撮像装置 2 では、上記第 1 の実施の形態の場合（図 13A、13B）とは異なり、サブフレーム期間ごとに複数の選択信号 S_Y を設定する必要がないので、動作をシンプルにすることができる。また、このように、上記第 1 の実施の形態の場合（図 4）に比べて、露光期間 T_E の長さを長くすることができる。

[0167] （動作例 E25）

撮像装置 2 は、撮像装置 1 の動作例 E15 と同様に、画素アレイ 41 における複数の画素 P のうちの、ある画像領域に属する複数の画素 P を用いて、撮像動作を行うことにより、ROI 画像を得ることができる。

[0168] 例えば、1 つの ROI 領域を設定する場合には、選択制御回路 31 は、第 1 の実施の形態の場合（図 16）と同様に、複数の選択信号 S_X のうち、領域 W_1 に係る選択信号 S_X を “1” に設定し、それ以外の選択信号 S_X を “0” に設定する。同様に、選択制御回路 32 は、複数の選択信号 S_Y のうち、領域 W_1 に係る選択信号 S_Y を “1” に設定し、それ以外の選択信号 S_Y を “0” に設定する。このようにして、画素アレイ 41 では、領域 W_1 に属する複数の画素 P が選択状態になる。

[0169] 信号生成回路53は、第1の実施の形態の場合（図8）における制御信号TRG、OFG、RSTと同様に、制御信号TRG1、OFG1、RSTを生成する。また、信号生成回路53は、制御信号TRG2を低レベルに維持し、制御信号OFG2を高レベルに維持する。

[0170] 領域W1に属する画素Pに対応する画素回路50は、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成し、この画素信号SIGに基づいてAD変換を行うことによりコード値CP、CDを生成する。信号処理部16は、領域W1に属する複数の画素回路50において生成されたコード値CP、CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置2では、ROI画像を得ることができる。

[0171] 例えば、3つのROI領域を設定する場合には、選択制御回路31は、第1の実施の形態の場合（図18）と同様に、複数の選択信号SXのうち、領域W2、W3、W4に係る選択信号SXを“1”に設定し、それ以外の選択信号SXを“0”に設定する。同様に、選択制御回路32は、複数の選択信号SYのうち、領域W2、W3、W4に係る選択信号SYを“1”に設定し、それ以外の選択信号SYを“0”に設定する。その結果、画素アレイ41では、画素回路50が選択状態になる9つの領域が設定される。

[0172] 信号生成回路53は、第1の実施の形態の場合（図8）における制御信号TRG、OFG、RSTと同様に、制御信号TRG1、OFG1、RSTを生成する。また、信号生成回路53は、制御信号TRG2を低レベルに維持し、制御信号OFG2を高レベルに維持する。

[0173] これらの9つの領域に属する画素Pに対応する画素回路50は、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成し、この画素信号SIGに基づいてAD変換を行うことによりコード値CP、CDを生成する。信号処理部16は、これらの画素回路50において生成されたコード値CP、CDのうち、3つの領域W2～W4に属する複数の画素回路50において生成されたコード値CP、CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置2では、3つのROI画像を得ることができる。

[0174] このように、撮像装置 2 では、信号生成回路 53 は、第 3 の制御信号（制御信号 T R G 2）および第 4 の制御信号（制御信号 O F G 2）を生成するようにした。そして、第 1 の回路（論理回路 58）は、第 1 の信号（選択信号 S Y）、第 2 の信号（選択信号 S X）、第 1 の制御信号（制御信号 T R G 1）、および第 3 の制御信号（制御信号 T R G 2）に基づいて第 1 のスイッチ（トランジスタ M N 2）の動作を制御するようにした。また、第 2 の回路（論理回路 59）は、第 1 の信号（選択信号 S Y）、第 2 の信号（選択信号 S X）、第 2 の制御信号（制御信号 O F G 1）、および第 4 の制御信号（制御信号 O F G 2）に基づいて第 2 のスイッチ（トランジスタ M N 1）の動作を制御するようにした。これにより、例えば、画素回路 50 は、制御信号 T R G 1、O F G 1 および制御信号 T R G 2、O F G 2 のうちの一方に基づいて選択的に動作することができるので、撮像動作の自由度を高めることができる。

[0175] 以上のように本実施の形態では、信号生成回路は、第 3 の制御信号および第 4 の制御信号を生成するようにした。そして、第 1 の回路は、第 1 の信号、第 2 の信号、第 1 の制御信号、および第 3 の制御信号に基づいて第 1 のスイッチの動作を制御するようにした。また、第 2 の回路は、第 1 の信号、第 2 の信号、第 2 の制御信号、および第 4 の制御信号に基づいて第 2 のスイッチの動作を制御するようにした。これにより、撮像動作の自由度を高めることができる。

[0176] [変形例 2]

上記実施の形態では、画素アレイ 41 に複数の画素 P を設けるようにした。この画素 P は、撮像装置 2 におけるデフォーカス量を得るための画素を含んでもよい。以下に、本変形例について詳細に説明する。

[0177] 図 27 は、本変形例に係る画素アレイ 41 A の一構成例を表すものである。画素アレイ 41 A は、6 つの画素 P（画素 P R、P G r、P G b、P B、P F 1、P F 2）を有している。画素 P F 1、P F 2 は、デフォーカス量を得るための、いわゆる位相差画素である。図 27 において、画素 P F 1、P

F 2 に示した斜線領域は、受光面に設けられた遮光膜を示している。画素 P F 1 は右半分が遮光され、画素 P F 2 は左半分が遮光される。画素 P F 1, P F 2 は、この例では、画素 P B の代わりに配置される。この例では、画素 P F 1 は、上から 2 番目の画素ラインおよび 10 番目の画素ラインにおいて、画素 P B の代わりに配置される。画素 P F 2 は、上から 6 番目の画素ラインにおいて、画素 P B の代わりに配置される。なお、画素 P F 1, P F 2 の配置は、これに限定されるものではなく、様々な配置が可能である。

[0178] 図 28 は、画素アレイ 41A における、撮像動作に係る画素 P の一例を表すものである。図 28 では、太線で示した画素 P は選択状態である画素 P を示し、それ以外の画素 P は非選択状態である画素 P を示す。

[0179] 図 28 に示したように、選択制御回路 31, 32 は、画素 P F 1, P F 2 の位置に合わせて、複数の選択信号 S X および複数の選択信号 S Y を生成する。具体的には、この例では、選択制御回路 31 は、複数の選択信号 S X を、…, “0”, “1”, “0”, “1”, “0”, “1”, “0”, “1” …のように設定し、選択制御回路 32 は、複数の選択信号 S Y を、…, “0”, “1”, “0”, “0”, “0”, “1”, “0”, “0”, …のように設定する。これにより、高レベルの選択信号 S X、および高レベルの選択信号 S Y が供給された画素 P F 1, P F 2 は選択状態になり、それ以外の画素 P は非選択状態になる。

[0180] 図 29 は、本変形例に係る画素 P に係る画素回路 50 の一動作例を表すものであり、(A) は同期信号 X V S の波形を示し、(B) は制御信号 R S T の波形を示し、(C) は制御信号 O F G 1 の波形を示し、(D) は制御信号 T R G 1 の波形を示し、(E) は制御信号 O F G 2 の波形を示し、(F) は制御信号 T R G 2 の波形を示し、(G) は選択信号 S E L X, S E L Y を示し、(H) はトリガ信号 S T X, S T Y の波形を示し、(I) は位相差画素（画素 P F 1, P F 2）の画素回路 50 における制御信号 O F G 0 の波形を示し、(J) は位相差画素の画素回路 50 における制御信号 T R G 0 の波形を示し、(K) は通常画素（画素 P R, P G r, P G b, P B）の画素回路

50における制御信号OFG0の波形を示し、(L)は通常画素の画素回路50における制御信号TRG0の波形を示し、(M)は参照信号REFの波形を示す。

[0181] 例えば、この動作モードに設定する場合には、まず、タイミングt51から始まるフレーム期間Fにおいて、画素駆動部45の信号生成回路53は、シリアル信号である選択信号SELXを選択制御回路31に供給するとともに、シリアル信号である選択信号SELYを選択制御回路32に供給する(図29(G))。

[0182] そして、信号生成回路53が選択信号SELX, SELYを供給し終えた後のタイミングt52において、信号生成回路53は、トリガ信号STX, STYを生成する(図29(H))。これにより、選択制御回路31は、選択信号SELXに応じた複数の選択信号SXを、複数の選択信号線LXを介して画素アレイ41Aに対して供給し、選択制御回路32は、選択信号SELYに応じた複数の選択信号SYを、複数の選択信号線LYを介して画素アレイ41Aに対して供給する。

[0183] 位相差画素(画素PF1, PF2)における画素回路50では、論理回路58は、制御信号TRG1を制御信号TRG0として出力し(図29(D), (J))、論理回路59は、制御信号OFG1を制御信号OFG0として出力する(図29(C), (I))。例えば、論理回路59は、タイミングt54において制御信号OFG0を低レベルから高レベルに変化させ、このタイミングt54から所定の時間が経過した後に、制御信号OFG0を高レベルから低レベルに変化させる(図29(I))。また、論理回路58は、タイミングt57において制御信号TRG0を低レベルから高レベルに変化させ、このタイミングt57から所定の時間が経過した後に、制御信号TRG0を高レベルから低レベルに変化させる(図29(J))。このようにして、露光期間TEが設定される。選択状態である画素回路50は、このような制御信号TRG0, OFG0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そし

て、画素回路50は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP、CDを生成する。

[0184] また、通常画素（画素PR、PG_r、PG_b、PB）における画素回路50では、論理回路58は、制御信号TRG2を制御信号TRG0として出力し（図29（F）、（L））、論理回路59は、制御信号OFG2を制御信号OFG0として出力する（図29（E）、（K））。例えば、論理回路59は、タイミングt53において制御信号OFG0を低レベルから高レベルに変化させ、このタイミングt53から所定の時間が経過した後に、制御信号OFG0を高レベルから低レベルに変化させる（図29（K））。また、論理回路58は、タイミングt55において制御信号TRG0を低レベルから高レベルに変化させ、このタイミングt55から所定の時間が経過した後に、制御信号TRG0を高レベルから低レベルに変化させる（図29（L））。このようにして、露光期間TEが設定される。選択状態である画素回路50は、このような制御信号TRG0、OFG0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧V_{pix}を含む画素信号SIGを生成する。そして、画素回路50は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP、CDを生成する。タイミングt56～t57の期間についても同様である。

[0185] 信号処理部16は、例えば、選択状態である複数の画素回路50において生成されたコード値CP、CDに基づいて、位相差データを生成するとともに、非選択状態である複数の画素回路50において生成されたコード値CP、CDに基づいて、撮像画像の画像データを生成する。例えば、撮像装置2を搭載したカメラでは、この位相差データに基づいてデフォーカス量を決定し、このデフォーカス量に基づいて、撮影レンズの位置を移動させる。このようにして、カメラでは、オートフォーカスを実現することができる。

[0186] また、撮像装置2では、位相差画素における露光期間TEの長さと、通常画素における露光期間TEの長さをそれぞれ個別に設定することができる。例えば、位相差画素では、図27に示したように、受光面の半分が遮光され

ているので、位相差画素における露光期間 T_E の長さは、通常画素における露光期間 T_E の長さよりも長いことが望ましい。撮像装置2では、このように、位相差画素に適した露光期間 T_E を設定することができるので、オートフォーカスの精度を高めることができる。

[0187] <3. 第3の実施の形態>

次に、第3の実施の形態に係る撮像装置3について説明する。本実施の形態は、複数の選択信号 S_{X1} を生成する選択制御回路、複数の選択信号 S_{Y1} を生成する選択制御回路、複数の選択信号 S_{X2} を生成する選択制御回路、および複数の選択信号 S_{Y2} を生成する選択制御回路を設け、複数の選択信号 S_{X1} 、 S_{Y1} により選択された画素回路、および複数の選択信号 S_{X2} 、 S_{Y2} により選択された画素回路に、制御信号 TRG 、 OFG を供給するものである。なお、上記第1の実施の形態に係る撮像装置1と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

[0188] 図30は、撮像装置3の一構成例を表すものである。撮像装置3は、画素アレイ61と、画素駆動部65とを備えている。

[0189] 図31は、画素Pに係る画素回路70の一構成例を表すものである。画素回路70は、受光回路71を有している。受光回路71は、論理回路78、79を有している。

[0190] 論理回路78は、画素駆動部65（図30）から供給された制御信号 TRG および選択信号 S_{X1} 、 S_{Y1} 、 S_{X2} 、 S_{Y2} に基づいて、制御信号 $TRG0$ を生成するように構成される。

[0191] 論理回路79は、画素駆動部65（図30）から供給された制御信号 OFG および選択信号 S_{X1} 、 S_{Y1} 、 S_{X2} 、 S_{Y2} に基づいて、制御信号 $OFG0$ を生成するように構成される。

[0192] 図32は、画素駆動部65および論理回路78、79の一構成例を表すものである。画素アレイ61は、複数の選択信号線 L_{X1} と、複数の選択信号線 L_{Y1} と、複数の選択信号線 L_{X2} と、複数の選択信号線 L_{Y2} とを有している。選択信号線 L_{X1} は、この図32における縦方向（垂直方向）に延

伸するとともに、横方向（水平方向）に並設される。複数の選択信号線 $LX1$ は、画素駆動部65から供給された複数の選択信号 $SX1$ をそれぞれ伝えるように構成される。選択信号線 $LY1$ は、この図32における横方向（水平方向）に延伸するとともに、縦方向（垂直方向）に並設される。複数の選択信号線 $LY1$ は、画素駆動部65から供給された複数の選択信号 $SY1$ をそれぞれ伝えるように構成される。選択信号線 $LX2$ は、この図32における縦方向に延伸するとともに、横方向に並設される。複数の選択信号線 $LX2$ は、画素駆動部65から供給された複数の選択信号 $SX2$ をそれぞれ伝えるように構成される。選択信号線 $LY2$ は、この図32における横方向に延伸するとともに、縦方向に並設される。複数の選択信号線 $LY2$ は、画素駆動部65から供給された複数の選択信号 $SY2$ をそれぞれ伝えるように構成される。

[0193] 論理回路78は、論理積回路 $L31$ 、 $L32$ と、論理和回路 $L33$ と、論理積回路 $L34$ とを有している。論理積回路 $L31$ の2つの入力端子は選択信号線 $LX1$ および選択信号線 $LY1$ にそれぞれ接続される。論理積回路 $L31$ は、選択信号 $SX1$ および選択信号 $SY1$ の論理積を求めるように構成される。論理積回路 $L32$ の2つの入力端子は選択信号線 $LX2$ および選択信号線 $LY2$ にそれぞれ接続される。論理積回路 $L32$ は、選択信号 $SX2$ および選択信号 $SY2$ の論理積を求めるように構成される。論理和回路 $L33$ は、論理積回路 $L31$ の出力信号および論理積回路 $L32$ の出力信号の論理和を求めるように構成される。論理積回路 $L34$ は、論理和回路 $L33$ の出力信号および画素駆動部65から供給された制御信号 TRG の論理積を求め、その結果を制御信号 $TRG0$ として出力するように構成される。

[0194] 図33は、論理回路78の真理値表の一例を表すものである。論理回路78は、破線で示したように、選択信号 $SX1$ 、 $SY1$ がともに高レベルであることと、選択信号 $SX2$ 、 $SY2$ がともに高レベルであることとのうちの少なくとも一方が満たされた場合に、制御信号 TRG を制御信号 $TRG0$ として出力し、それ以外の場合に、制御信号 $TRG0$ を低レベルにするように

なっている。

[0195] 論理回路 7 9 (図 3 2) は、否定論理積回路 L 3 5, L 3 6 と、論理積回路 L 3 7 と、論理和回路 L 3 8 とを有している。否定論理積回路 L 3 5 の 2 つの入力端子は選択信号線 L X 1 および選択信号線 L Y 1 にそれぞれ接続される。否定論理積回路 L 3 5 は、選択信号 S X 1 および選択信号 S Y 1 の否定論理積を求めるように構成される。否定論理積回路 L 3 6 の 2 つの入力端子は選択信号線 L X 2 および選択信号線 L Y 2 にそれぞれ接続される。否定論理積回路 L 3 6 は、選択信号 S X 2 および選択信号 S Y 2 の否定論理積を求めるように構成される。論理積回路 L 3 7 は、否定論理積回路 L 3 5 の出力信号および否定論理積回路 L 3 6 の出力信号の論理積を求めるように構成される。論理和回路 L 3 8 は、論理積回路 L 3 7 の出力信号および画素駆動部 6 5 から供給された制御信号 O F G の論理和を求め、その結果を制御信号 O F G 0 として出力するように構成される。

[0196] 図 3 4 は、論理回路 7 9 の真理値表の一例を表すものである。論理回路 7 9 は、破線で示したように、選択信号 S X 1, S Y 1 がともに高レベルであることと、選択信号 S X 2, S Y 2 がともに高レベルであることとのうちの少なくとも一方が満たされた場合に、制御信号 O F G を制御信号 O F G 0 として出力し、それ以外の場合に、制御信号 O F G 0 を高レベルにするようになっている。

[0197] 画素駆動部 6 5 (図 3 0, 3 2) は、制御信号 T R G, O F G, R S T と、複数の選択信号 S X 1 と、複数の選択信号 S Y 1 と、複数の選択信号 S X 2 と、複数の選択信号 S Y 2 とを生成し、これらの信号を、画素アレイ 6 1 に供給することにより、画素回路 7 0 の動作を制御するようになっている。

[0198] 図 3 2 に示したように、画素駆動部 6 5 は、選択制御回路 3 1, 1 3 1, 3 2, 1 3 2 と、信号生成回路 7 3 を有している。なお、この図 3 2 では、図 5 などとは異なり、選択制御回路 3 1, 3 2 を簡略化して描いている。

[0199] 選択制御回路 3 1 は、信号生成回路 7 3 から供給された選択信号 S E L X 1 およびトリガ信号 S T X 1 に基づいて、複数の選択信号 S X 1 を生成する

ように構成される。選択制御回路 131 は、信号生成回路 73 から供給された選択信号 SELX2 およびトリガ信号 STX2 に基づいて、複数の選択信号 SX2 を生成するように構成される。選択制御回路 131 の回路構成は、選択制御回路 31 の回路構成（例えば図 5）と同様である。

[0200] 選択制御回路 32 は、信号生成回路 73 から供給された選択信号 SELY1 およびトリガ信号 STY1 に基づいて、複数の選択信号 SY1 を生成するように構成される。選択制御回路 132 は、信号生成回路 73 から供給された選択信号 SELY2 およびトリガ信号 STY2 に基づいて、複数の選択信号 SY2 を生成するように構成される。選択制御回路 132 の回路構成は、選択制御回路 32 の回路構成（例えば図 5）と同様である。

[0201] 信号生成回路 73 は、制御信号 TRG, OFG, RST、選択信号 SELX1, SELX2, SELY1, SELY2、およびトリガ信号 STX1, STY1, STX2, STY2 を生成するように構成される。

[0202] ここで、信号生成回路 73 は、本開示における「信号生成回路」の一具体例に対応する。選択制御回路 32 は、本開示における「第 1 の選択制御回路」の一具体例に対応する。複数の選択信号 SY1 は、本開示における「複数の第 1 の選択信号」の一具体例に対応する。選択制御回路 31 は、本開示における「第 2 の選択制御回路」の一具体例に対応する。複数の選択信号 SX1 は、本開示における「複数の第 2 の選択信号」の一具体例に対応する。選択制御回路 132 は、本開示における「第 3 の選択制御回路」の一具体例に対応する。複数の選択信号 SY2 は、本開示における「複数の第 3 の選択信号」の一具体例に対応する。選択制御回路 131 は、本開示における「第 4 の選択制御回路」の一具体例に対応する。複数の選択信号 SX2 は、本開示における「複数の第 4 の選択信号」の一具体例に対応する。複数の画素回路 70 は、本開示における「複数の画素回路」の一具体例に対応する。論理回路 78 は、本開示における「第 1 の回路」の一具体例に対応する。論理回路 79 は、本開示における「第 2 の回路」の一具体例に対応する。

[0203] （動作例 E31）

撮像装置3は、撮像装置1の動作例E11と同様に、画素アレイ61における全ての画素Pを用いて、撮像動作を行うことにより、解像度の高い撮像画像を得ることができる。

[0204] 具体的には、例えば、選択制御回路31は、複数の選択信号SX1を全て“1”に設定し、選択制御回路32は、複数の選択信号SY1を全て“1”に設定する。また、選択制御回路131は、複数の選択信号SX2を全て“0”に設定し、選択制御回路132は、複数の選択信号SY2を全て“0”に設定する。これにより、画素アレイ61では全ての画素P（画素回路70）が選択状態になる。よって、全ての画素回路70では、論理回路78は、制御信号TRGを制御信号TRG0として出力し、論理回路79は、制御信号OFGを制御信号OFG0として出力する。

[0205] これにより、画素アレイ61における全ての画素回路70は、図8に示したように露光動作を行い、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そして、画素回路70は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP、CDを生成する。

[0206] 信号処理部16は、選択状態である複数の画素回路70において生成されたコード値CP、CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置3では、解像度の高い撮像画像を得ることができる。

[0207] （動作例E32）

撮像装置3は、撮像装置1の動作例E12と同様に、画素アレイ61における複数の画素Pのうちの一部の画素Pを用いて、撮像動作を行うことにより、画素値が間引かれた、解像度の低い撮像画像を得ることができる。

[0208] 具体的には、選択制御回路31は、第1の実施の形態の場合（図10）と同様に、複数の選択信号SX1を、…，“1”，“0”，“0”，“1”，“0”，“0”，…のように、3つに1つの割合で“1”が現れるように設定する。また、選択制御回路32は、第1の実施の形態の場合（図10）と同様に、複数の選択信号SY1を、…，“1”，“0”，“0”，“1”，“0”，“0”，…のように、3つに1つの割合で“1”が現れるように設

定する。また、選択制御回路 131 は、複数の選択信号 $SX2$ を全て “0” に設定し、選択制御回路 132 は、複数の選択信号 $SY2$ を全て “0” に設定する。

[0209] 画素アレイ 61 における複数の画素回路 70 のうち、選択信号 $SX1$, $SY1$ がともに高レベルに設定された画素回路 70 は、選択状態に設定される。選択状態である画素回路 70 では、論理回路 78 は、制御信号 TRG を制御信号 $TRG0$ として出力し、論理回路 79 は、制御信号 OFG を制御信号 $OFG0$ として出力する。選択状態である画素回路 70 は、このような制御信号 $TRG0$, $OFG0$ に基づいて露光動作を行い、図 8 に示したように、受光量に応じた画素電圧 V_{pix} を含む画素信号 SIG を生成する。そして、画素回路 70 は、この画素信号 SIG に基づいて AD 変換を行うことによりコード値 CP , CD を生成する。

[0210] また、画素アレイ 61 における複数の画素回路 70 のうち、選択信号 $SX1$, $SY1$ のうちの少なくとも一方が低レベルに設定された画素回路 70 は、非選択状態に設定される。非選択状態である画素回路 70 では、論理回路 78 は制御信号 $TRG0$ を低レベルに維持し、論理回路 79 は制御信号 $OFG0$ を高レベルに維持する。よって、非選択状態である画素回路 70 は、露光動作を行わない。

[0211] 信号処理部 16 は、選択状態である複数の画素回路 70 において生成されたコード値 CP , CD に基づいて、撮像画像の画像データを生成する。このようにして、撮像装置 3 では、解像度の低い撮像画像を得ることができる。

[0212] (動作例 E33)

撮像装置 3 では、撮像装置 1 の動作例 E13 と同様に、画素アレイ 61 における複数の画素 P のうちの一部の画素 P を用いて、撮像動作を行う際、非選択状態である画素回路 70 に係るコード値 CP , CD を利用して、画素値に含まれるノイズ成分を低減することができる。

[0213] (動作例 E34)

撮像装置 3 は、撮像装置 1 の動作例 E14 と同様に、画素アレイ 61 にお

ける複数の画素Pを、画素ライン単位で選択して撮像動作を行うことにより、インターレース動作を行うことができる。

[0214] 具体的には、サブフレーム期間SF1において、第1の実施の形態の場合（図13A）と同様に、選択制御回路31は、複数の選択信号SX1を全て“1”に設定する。また、選択制御回路32は、複数の選択信号SY1を、…，“1”，“1”，“0”，“0”，“1”，“1”，“0”，“0”…のように、2つの“1”と2つの“0”を繰り返すように設定する。また、選択制御回路131は、複数の選択信号SX2を全て“0”に設定し、選択制御回路132は、複数の選択信号SY2を全て“0”に設定する。

[0215] また、サブフレーム期間SF2において、第1の実施の形態の場合（図13B）と同様に、選択制御回路31は、複数の選択信号SX1を全て“1”に設定する。また、選択制御回路32は、複数の選択信号SY1を、…，“0”，“0”，“1”，“1”，“0”，“0”，“1”，“1”…のように、2つの“0”と2つの“1”を繰り返すように設定する。また、選択制御回路131は、複数の選択信号SX2を全て“0”に設定し、選択制御回路132は、複数の選択信号SY2を全て“0”に設定する。

[0216] サブフレーム期間SF1において、画素ラインL1，L2に属する画素回路70では、論理回路78は、制御信号TRGを制御信号TRG0として出力し、論理回路79は、制御信号OFGを制御信号OFG0として出力する。画素ラインL1，L2に属する画素回路70は、このような制御信号TRG0，OFG0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そして、画素回路70は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP，CDを生成する。

[0217] また、サブフレーム期間SF1において、画素ラインL3，L4に属する画素回路70では、論理回路78は制御信号TRG0を低レベルに維持し、論理回路79は制御信号OFG0を高レベルに維持する。よって、画素ラインL3，L4に属する画素回路70は、露光動作を行わない。

[0218] サブフレーム期間SF2において、画素ラインL3, L4に属する画素回路70では、論理回路78は、制御信号TRGを制御信号TRG0として出力し、論理回路79は、制御信号OFGを制御信号OFG0として出力する。画素ラインL3, L4に属する画素回路70は、このような制御信号TRG0, OFG0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そして、画素回路70は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP, CDを生成する。

[0219] また、サブフレーム期間SF2において、画素ラインL1, L2に属する画素回路70では、論理回路78は制御信号TRG0を低レベルに維持し、論理回路79は制御信号OFG0を高レベルに維持する。よって、画素ラインL1, L2に属する画素回路70は、露光動作を行わない。

[0220] 信号処理部16は、選択状態である複数の画素回路70において生成されたコード値CP, CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置3では、インターレース動作を行うことができる。

[0221] (動作例E35)

撮像装置3は、撮像装置1の動作例E15と同様に、画素アレイ61における複数の画素Pのうちの、ある画像領域に属する複数の画素Pを用いて、撮像動作を行うことにより、ROI画像を得ることができる。以下に、この動作について、詳細に説明する。

[0222] 図35は、画素アレイ61における、撮像動作に係る複数の画素Pの領域の一例を表すものである。領域W5, W6は、画素アレイ61における、ROI画像を得たい領域を示す。

[0223] 図35に示したように、選択制御回路31は、複数の選択信号SX1のうち、領域W5に係る選択信号SX1を“1”に設定し、それ以外の選択信号SX1を“0”に設定する。選択制御回路32は、複数の選択信号SY1のうち、領域W5に係る選択信号SY1を“1”に設定し、それ以外の選択信号SY1を“0”に設定する。また、選択制御回路131は、複数の選択信

号S X 2のうち、領域W 6に係る選択信号S X 2を“1”に設定し、それ以外の選択信号S X 2を“0”に設定する。選択制御回路1 3 2は、複数の選択信号S Y 2のうち、領域W 6に係る選択信号S Y 2を“1”に設定し、それ以外の選択信号S Y 2を“0”に設定する。この例では、領域W 5および領域W 6は、縦方向において、互いに重なっている。このようにして、画素アレイ6 1では、画素回路7 0が選択状態になる2つの領域が設定される。

[0224] 選択状態である画素回路7 0は、受光量に応じた画素電圧V_{pix}を含む画素信号S I Gを生成し、この画素信号S I Gに基づいてA D変換を行うことによりコード値C P, C Dを生成する。信号処理部1 6は、2つの領域W 5, W 6に属する複数の画素回路7 0において生成されたコード値C P, C Dに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置3では、2つのR O I画像を得ることができる。

[0225] このように、撮像装置3では、複数の第3の選択信号（選択信号S Y 2）を生成する第3の選択制御回路（選択制御回路1 3 2）と、複数の第4の選択信号（選択信号S X 2）を生成する第4の選択制御回路とを設けるようにした。複数の画素回路7 0のそれぞれには、複数の第3の選択信号（選択信号S Y 2）のうちのいずれか1つである第3の信号が供給されるとともに、複数の第4の選択信号（選択信号S X 2）のうちのいずれか1つである第4の信号が供給されるようにした。第1の回路（論理回路7 8）は、第1の信号（選択信号S Y 1）、第2の信号（選択信号S X 1）、第3の信号（選択信号S Y 2）、第4の信号（選択信号S X 2）、および第1の制御信号（制御信号T R G）に基づいて第1のスイッチ（トランジスタM N 2）の動作を制御するようにした。また、第2の回路（論理回路7 9）は、第1の信号（選択信号S Y 1）、第2の信号（選択信号S X 1）、第3の信号（選択信号S Y 2）、第4の信号（選択信号S X 2）、および第2の制御信号（制御信号O F G）に基づいて第2のスイッチ（トランジスタM N 1）の動作を制御するようにした。これにより、例えば、画素回路7 0は、動作例E 3 5のように、横方向または縦方向において、2つの領域が互いに重なっている場合

でも、2つのROI画像を得ることができるので、撮像動作の自由度を高めることができる。

[0226] 以上のように本実施の形態では、複数の第3の選択信号を生成する第3の選択制御回路と、複数の第4の選択信号を生成する第4の選択制御回路とを設けるようにした。複数の画素回路のそれぞれには、複数の第3の選択信号のうちのいずれか1つである第3の信号が供給されるとともに、複数の第4の選択信号のうちのいずれか1つである第4の信号が供給されるようにした。第1の回路は、第1の信号、第2の信号、第3の信号、第4の信号、および第1の制御信号に基づいて第1のスイッチの動作を制御するようにした。また、第2の回路は、第1の信号、第2の信号、第3の信号、第4の信号、および第2の制御信号に基づいて第2のスイッチの動作を制御するようにした。これにより、撮像動作の自由度を高めることができる。

[0227] [変形例3]

上記実施の形態では、複数の選択信号SX1を生成する選択制御回路31、複数の選択信号SY1を生成する選択制御回路32、複数の選択信号SX2を生成する選択制御回路131、および複数の選択信号SY2を生成する選択制御回路132を設け、複数の選択信号SX1、SY1により選択された画素回路、および複数の選択信号SX2、SY2により選択された画素回路に、制御信号TRG、OFGを供給したが、これに限定されるものではない。これに代えて、例えば、複数の選択信号SX1を生成する選択制御回路、複数の選択信号SY1を生成する選択制御回路、複数の選択信号SX2を生成する選択制御回路、複数の選択信号SY2を生成する選択制御回路、複数の選択信号SX3を生成する選択制御回路、および複数の選択信号SY3を生成する選択制御回路を設け、複数の選択信号SX1、SY1により選択された画素回路、複数の選択信号SX2、SY2により選択された画素回路、および複数の選択信号SX3、SY3により選択された画素回路に、制御信号TRG、OFGを供給してもよい。この場合には、例えば、横方向または縦方向において、3つの領域が互いに重なっている場合でも、3つのROI

1 画像を得ることができる。

[0228] <4. 第4の実施の形態>

次に、第4の実施の形態に係る撮像装置4について説明する。本実施の形態は、複数の選択信号S X 1を生成する選択制御回路、複数の選択信号S Y 1を生成する選択制御回路、複数の選択信号S X 2を生成する選択制御回路、および複数の選択信号S Y 2を生成する選択制御回路を設け、複数の選択信号S X 1, S Y 1により選択された画素回路に、制御信号T R G 1, O F G 1を供給し、複数の選択信号S X 2, S Y 2により選択された画素回路に、制御信号T R G 2, O F G 2を供給するものである。なお、上記第3の実施の形態に係る撮像装置3と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

[0229] 図36は、撮像装置4の一構成例を表すものである。撮像装置4は、画素アレイ81と、画素駆動部85とを備えている。

[0230] 図37は、画素Pに係る画素回路90の一構成例を表すものである。画素回路90は、受光回路91を有している。受光回路91は、論理回路98, 99を有している。

[0231] 論理回路98は、画素駆動部85（図36）から供給された制御信号T R G 1, T R G 2および選択信号S X 1, S Y 1, S X 2, S Y 2に基づいて、制御信号T R G 0を生成するように構成される。

[0232] 論理回路99は、画素駆動部85（図36）から供給された制御信号O F G 1, O F G 2および選択信号S X 1, S Y 1, S X 2, S Y 2に基づいて、制御信号O F G 0を生成するように構成される。

[0233] 図38は、画素駆動部85および論理回路98, 99の一構成例を表すものである。

[0234] 論理回路98は、論理積回路L 4 1～L 4 3と、インバータL 4 4と、論理積回路L 4 5, L 4 6と、論理和回路L 4 7とを有している。論理積回路L 4 1の2つの入力端子は選択信号線L X 1および選択信号線L Y 1にそれぞれ接続される。論理積回路L 4 1は、選択信号S X 1および選択信号S Y

1の論理積を求めるように構成される。論理積回路L42の2つの入力端子は選択信号線LX2および選択信号線LY2にそれぞれ接続される。論理積回路L42は、選択信号SX2および選択信号SY2の論理積を求めるように構成される。論理積回路L43は、論理積回路L41の出力信号および信号生成回路93から供給された制御信号TRG1の論理積を求めるように構成される。インバータL44は、論理積回路L42の出力信号の反転信号を生成するように構成される。論理積回路L45は、論理積回路L43の出力信号およびインバータL44の出力信号の論理積を求めるように構成される。論理積回路L46は論理積回路L42の出力信号および信号生成回路93から供給された制御信号TRG2の論理積を求めるように構成される。論理和回路L47は論理積回路L45の出力信号および論理積回路L46の出力信号の論理和を求め、その結果を制御信号TRG0として出力するように構成される。

[0235] 図39A, 39Bは、論理回路98の真理値表の一例を表すものである。論理回路98は、破線で示したように、選択信号SX1, SY1がともに高レベルであり、かつ選択信号SX2, SY2のうちの少なくとも一方が低レベルである場合に、制御信号TRG1を制御信号TRG0として出力する。論理回路98は、選択信号SX2, SY2がともに高レベルである場合に、制御信号TRG2を制御信号TRG0として出力する。また、論理回路98は、それ以外の場合に、制御信号TRG0を低レベルにする。

[0236] このように、論理回路98は、基本的には、選択信号SX1, SY1がともに高レベルである場合に、制御信号TRG1を制御信号TRG0として出力し、選択信号SX2, SY2がともに高レベルである場合に、制御信号TRG2を制御信号TRG0として出力する。また、論理回路98は、選択信号SX1, SY1がともに高レベルであり、かつ選択信号SX2, SY2がともに高レベルである場合には、選択信号SX2, SY2が優先され、制御信号TRG2を制御信号TRG0として出力するようになっている。

[0237] 論理回路99は、否定論理積回路L51, L52と、論理積回路L53と

、インバータL 5 4 と、論理和回路L 5 5、L 5 6 と、論理積回路L 5 7 とを有している。否定論理積回路L 5 1 の2つの入力端子は選択信号線L X 1 および選択信号線L Y 1 にそれぞれ接続される。否定論理積回路L 5 1 は、選択信号S X 1 および選択信号S Y 1 の否定論理積を求めるように構成される。否定論理積回路L 5 2 の2つの入力端子は選択信号線L X 2 および選択信号線L Y 2 にそれぞれ接続される。否定論理積回路L 5 2 は、選択信号S X 2 および選択信号S Y 2 の否定論理積を求めるように構成される。論理積回路L 5 3 は、否定論理積回路L 5 1 の出力信号および信号生成回路9 3 から供給された制御信号O F G 1 の論理積を求めるように構成される。インバータL 5 4 は、否定論理積回路L 5 2 の出力信号の反転信号を生成するように構成される。論理和回路L 5 5 は、論理積回路L 5 3 の出力信号およびインバータL 5 4 の出力信号の論理和を求めるように構成される。論理和回路L 5 6 は否定論理積回路L 5 2 の出力信号および信号生成回路9 3 から供給された制御信号O F G 2 の論理和を求めるように構成される。論理積回路L 5 7 は論理和回路L 5 5 の出力信号および論理和回路L 5 6 の出力信号の論理積を求め、その結果を制御信号O F G 0 として出力するように構成される。

[0238] 図4 0 A、4 0 Bは、論理回路9 9 の真理値表の一例を表すものである。論理回路9 8 は、破線で示したように、選択信号S X 1、S Y 1 がともに高レベルであり、かつ選択信号S X 2、S Y 2 のうちの少なくとも一方が低レベルである場合に、制御信号O F G 1 を制御信号O F G 0 として出力する。論理回路9 9 は、選択信号S X 2、S Y 2 がともに高レベルである場合に、制御信号O F G 2 を制御信号O F G 0 として出力する。また、論理回路9 9 は、それ以外の場合に、制御信号O F G 0 を高レベルにする。

[0239] このように、論理回路9 9 は、基本的には、選択信号S X 1、S Y 1 がともに高レベルである場合に、制御信号O F G 1 を制御信号O F G 0 として出力し、選択信号S X 2、S Y 2 がともに高レベルである場合に、制御信号O F G 2 を制御信号O F G 0 として出力する。また、論理回路9 9 は、選択信

号 S X 1, S Y 1 がともに高レベルであり、かつ選択信号 S X 2, S Y 2 がともに高レベルである場合には、選択信号 S X 2, S Y 2 が優先され、制御信号 O F G 2 を制御信号 O F G 0 として出力するようになっている。

[0240] 画素駆動部 8 5 (図 3 6, 3 8) は、制御信号 T R G 1, T R G 2, O F G 1, O F G 2, R S T と、複数の選択信号 S X 1 と、複数の選択信号 S Y 1 と、複数の選択信号 S X 2 と、複数の選択信号 S Y 2 とを生成し、これらの信号を、画素アレイ 8 1 に供給することにより、画素回路 9 0 の動作を制御するようになっている。

[0241] 図 3 8 に示したように、画素駆動部 8 5 は、信号生成回路 9 3 を有している。信号生成回路 9 3 は、制御信号 T R G 1, T R G 2, O F G 1, O F G 2, R S T、選択信号 S E L X 1, S E L X 2, S E L Y 1, S E L Y 2、およびトリガ信号 S T X 1, S T Y 1, S T X 2, S T Y 2 を生成するように構成される。

[0242] ここで、信号生成回路 9 3 は、本開示における「信号生成回路」の一具体例に対応する。制御信号 T R G 1 は、本開示における「第 1 の制御信号」の一具体例に対応する。制御信号 O F G 1 は、本開示における「第 2 の制御信号」の一具体例に対応する。制御信号 T R G 2 は、本開示における「第 3 の制御信号」の一具体例に対応する。制御信号 O F G 2 は、本開示における「第 4 の制御信号」の一具体例に対応する。選択制御回路 3 2 は、本開示における「第 1 の選択制御回路」の一具体例に対応する。複数の選択信号 S Y 1 は、本開示における「複数の第 1 の選択信号」の一具体例に対応する。選択制御回路 3 1 は、本開示における「第 2 の選択制御回路」の一具体例に対応する。複数の選択信号 S X 1 は、本開示における「複数の第 2 の選択信号」の一具体例に対応する。選択制御回路 1 3 2 は、本開示における「第 3 の選択制御回路」の一具体例に対応する。複数の選択信号 S Y 2 は、本開示における「複数の第 3 の選択信号」の一具体例に対応する。選択制御回路 1 3 1 は、本開示における「第 4 の選択制御回路」の一具体例に対応する。複数の選択信号 S X 2 は、本開示における「複数の第 4 の選択信号」の一具体例に

対応する。複数の画素回路 90 は、本開示における「複数の画素回路」の一具体例に対応する。論理回路 98 は、本開示における「第 1 の回路」の一具体例に対応する。論理回路 99 は、本開示における「第 2 の回路」の一具体例に対応する。

[0243] (動作例 E 4 1)

撮像装置 4 は、撮像装置 3 の動作例 E 3 1 と同様に、画素アレイ 81 における全ての画素 P を用いて、撮像動作を行うことにより、解像度の高い撮像画像を得ることができる。

[0244] 具体的には、例えば、選択制御回路 31 は、複数の選択信号 S X 1 を全て “1” に設定し、選択制御回路 32 は、複数の選択信号 S Y 1 を全て “1” に設定する。また、選択制御回路 131 は、複数の選択信号 S X 2 を全て “0” に設定し、選択制御回路 132 は、複数の選択信号 S Y 2 を全て “0” に設定する。これにより、画素アレイ 81 では全ての画素 P (画素回路 90) が選択信号 S X 1, S Y 1 により選択状態になる。

[0245] また、信号生成回路 93 は、第 1 の実施の形態の場合 (図 8) における制御信号 T R G, O F G, R S T と同様に、制御信号 T R G 1, O F G 1, R S T を生成する。また、信号生成回路 93 は、例えば制御信号 T R G 2 を低レベルに維持し、制御信号 O F G 2 を高レベルに維持する。

[0246] 画素アレイ 81 では、全ての画素回路 90 が選択状態になる。全ての画素回路 90 では、論理回路 98 は、制御信号 T R G 1 を制御信号 T R G 0 として出力し、論理回路 99 は、制御信号 O F G 1 を制御信号 O F G 0 として出力する。

[0247] これにより、画素アレイ 81 における全ての画素回路 90 は、図 8 に示したように露光動作を行い、受光量に応じた画素電圧 V_{pix} を含む画素信号 S I G を生成する。そして、画素回路 90 は、この画素信号 S I G に基づいて A D 変換を行うことによりコード値 C P, C D を生成する。

[0248] 信号処理部 16 は、選択状態である複数の画素回路 90 において生成されたコード値 C P, C D に基づいて、撮像画像の画像データを生成する。この

ようにして、撮像装置４では、解像度の高い撮像画像を得ることができる。

[0249] (動作例 E 4 2)

撮像装置４は、撮像装置３の動作例 E 3 2と同様に、画素アレイ 8 1における複数の画素 P のうちの一部の画素 P を用いて、撮像動作を行うことにより、画素値が間引かれた、解像度の低い撮像画像を得ることができる。

[0250] 具体的には、選択制御回路 3 1 は、第 1 の実施の形態の場合 (図 1 0)と同様に、複数の選択信号 S X 1 を、…, “1”, “0”, “0”, “1”, “0”, “0”, …のように、3 つに 1 つの割合で “1” が現れるように設定する。また、選択制御回路 3 2 は、第 1 の実施の形態の場合 (図 1 0)と同様に、複数の選択信号 S Y 1 を、…, “1”, “0”, “0”, “1”, “0”, “0”, …のように、3 つに 1 つの割合で “1” が現れるように設定する。また、選択制御回路 1 3 1 は、複数の選択信号 S X 2 を全て “0” に設定し、選択制御回路 1 3 2 は、複数の選択信号 S Y 2 を全て “0” に設定する。

[0251] 信号生成回路 9 3 は、第 1 の実施の形態の場合 (図 8) における制御信号 T R G, O F G, R S T と同様に、制御信号 T R G 1, O F G 1, R S T を生成する。また、信号生成回路 9 3 は、例えば制御信号 T R G 2 を低レベルに維持し、制御信号 O F G 2 を高レベルに維持する。

[0252] 画素アレイ 8 1 における複数の画素回路 9 0 のうち、選択信号 S X 1, S Y 1 がともに高レベルに設定された画素回路 9 0 は、選択状態に設定される。選択状態である画素回路 9 0 では、論理回路 9 8 は、制御信号 T R G 1 を制御信号 T R G 0 として出力し、論理回路 9 9 は、制御信号 O F G 1 を制御信号 O F G 0 として出力する。選択状態である画素回路 9 0 は、このような制御信号 T R G 0, O F G 0 に基づいて露光動作を行い、図 8 に示したように、受光量に応じた画素電圧 V_{pix} を含む画素信号 S I G を生成する。そして、画素回路 9 0 は、この画素信号 S I G に基づいて A D 変換を行うことによりコード値 C P, C D を生成する。

[0253] また、画素アレイ 8 1 における複数の画素回路 9 0 のうち、選択信号 S X

1, SY1のうちの少なくとも一方が低レベルに設定された画素回路90は、非選択状態に設定される。非選択状態である画素回路90では、論理回路98は、制御信号TRGOを低レベルに維持し、論理回路79は、制御信号OFGOを高レベルに維持する。よって、非選択状態である画素回路90は、露光動作を行わない。

[0254] 信号処理部16は、選択状態である複数の画素回路90において生成されたコード値CP, CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置4では、解像度の低い撮像画像を得ることができる。

[0255] (動作例E43)

撮像装置4では、撮像装置3の動作例E33と同様に、画素アレイ81における複数の画素Pのうちの一部の画素Pを用いて、撮像動作を行う際、非選択状態である画素回路50に係るコード値CP, CDを利用して、画素値に含まれるノイズ成分を低減することができる。

[0256] (動作例E44)

撮像装置4は、撮像装置3の動作例E34と同様に、画素アレイ81における複数の画素Pを、画素ライン単位で選択して撮像動作を行うことにより、インターレース動作を行うことができる。特に、撮像装置4では、サブフレーム間において、露光期間が重なるようにすることができる。以下に、この動作について、詳細に説明する。

[0257] 図41は、画素アレイ81における、撮像動作に係る画素Pの一例を表すものである。図41では、太線で示した画素Pは、選択信号SX1, SY1により選択状態になった画素Pを示し、破線で示した画素Pは、選択信号SX2, SY2により選択状態になった画素Pを示す。

[0258] 選択制御回路31は、複数の選択信号SX1を全て“1”に設定する。また、選択制御回路32は、複数の選択信号SY1を、…, “1”, “1”, “0”, “0”, “1”, “1”, “0”, “0”…のように、2つの“1”と2つの“0”を繰り返すように設定する。選択制御回路131は、複数の選択信号SX2を全て“1”に設定する。また、選択制御回路132は、

複数の選択信号 S Y 2 を、…，“0”，“0”，“1”，“1”，“0”，“0”，“1”，“1”…のように、2つの“1”と2つの“0”を繰り返すように設定する。この例では、図41において、上から1番目および2番目の画素ラインに属する画素Pは選択信号 S X 1，S Y 1 により選択状態になり、上から3番目および4番目の画素ラインに属する画素Pは選択信号 S X 2，S Y 2 により選択状態になり、上から5番目および6番目の画素ラインに属する画素Pは選択信号 S X 1，S Y 1 により選択状態になり、上から7番目および8番目の画素ラインに属する画素Pは選択信号 S X 2，S Y 2 により選択状態になる。

[0259] 図42は、動作例E44における画素回路90の一動作例を表すものであり、(A)は同期信号 X V S の波形を示し、(B)は制御信号 R S T の波形を示し、(C)は制御信号 O F G 1 の波形を示し、(D)は制御信号 T R G 1 の波形を示し、(E)は制御信号 O F G 1 の波形を示し、(F)は制御信号 T R G 2 の波形を示し、(G)は選択信号 S E L X 1，S E L Y 1，S E L X 2，S E L Y 2 を示し、(H)はトリガ信号 S T X 1，S T Y 1，S T X 2，S T Y 2 の波形を示し、(I)は1番目の画素ライン L 1 および2番目の画素ライン L 2 に属する画素回路90における制御信号 O F G 0 の波形を示し、(J)は1番目の画素ライン L 1 および2番目の画素ライン L 2 に属する画素回路90における制御信号 T R G 0 の波形を示し、(K)は3番目の画素ライン L 3 および4番目の画素ライン L 4 に属する画素回路90における制御信号 O F G 0 の波形を示し、(L)は3番目の画素ライン L 3 および4番目の画素ライン L 4 に属する画素回路90における制御信号 T R G 0 の波形を示し、(M)は参照信号 R E F の波形を示す。

[0260] 例えば、この動作モードに設定する場合には、まず、タイミング t 6 1 において、画素駆動部85の信号生成回路93は、シリアル信号である選択信号 S E L X 1 を選択制御回路31に供給し、シリアル信号である選択信号 S E L Y 1 を選択制御回路32に供給し、シリアル信号である選択信号 S E L X 2 を選択制御回路131に供給し、シリアル信号である選択信号 S E L Y

2を選択制御回路132に供給する(図42(G))。

[0261] そして、信号生成回路93が選択信号SELX1, SELY1, SELX2, SELY2を供給し終えた後のタイミングt62において、信号生成回路93は、トリガ信号STX1, STY1, STX2, STY2を生成する(図42(H))。これにより、選択制御回路31は、選択信号SELX1に応じた複数の選択信号SX1を、複数の選択信号線LX1を介して画素アレイ81に対して供給し、選択制御回路32は、選択信号SELY1に応じた複数の選択信号SY1を、複数の選択信号線LY1を介して画素アレイ81に対して供給し、選択制御回路131は、選択信号SELX2に応じた複数の選択信号SX2を、複数の選択信号線LX2を介して画素アレイ81に対して供給し、選択制御回路132は、選択信号SELY2に応じた複数の選択信号SY2を、複数の選択信号線LY2を介して画素アレイ81に対して供給する。

[0262] 画素ラインL1, L2に属する画素回路90では、論理回路98は、制御信号TRG1を制御信号TRG0として出力し(図42(D), (J))、論理回路99は、制御信号OFG1を制御信号OFG0として出力する(図42(C), (I))。例えば、論理回路99は、タイミングt64において制御信号OFG0を低レベルから高レベルに変化させ、このタイミングt64から所定の時間が経過した後に、制御信号OFG0を高レベルから低レベルに変化させる(図42(I))。また、論理回路98は、タイミングt67において制御信号TRG0を低レベルから高レベルに変化させ、このタイミングt67から所定の時間が経過した後に、制御信号TRG0を高レベルから低レベルに変化させる(図42(J))。このようにして、露光期間TEが設定される。画素ラインL1, L2に属する画素回路90は、このような制御信号TRG0, OFG0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そして、画素回路90は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP, CDを生成する。

[0263] 画素ラインL 3, L 4に属する画素回路90では、論理回路98は、制御信号TRG2を制御信号TRG0として出力し(図42(F), (L))、論理回路99は、制御信号OFG2を制御信号OFG0として出力する(図42(E), (K))。例えば、論理回路99は、タイミングt63において制御信号OFG0を低レベルから高レベルに変化させ、このタイミングt63から所定の時間が経過した後に、制御信号OFG0を高レベルから低レベルに変化させる(図42(K))。また、論理回路88は、タイミングt65において制御信号TRG0を低レベルから高レベルに変化させ、このタイミングt65から所定の時間が経過した後に、制御信号TRG0を高レベルから低レベルに変化させる(図42(L))。このようにして、露光期間TEが設定される。画素ラインL 3, L 4に属する画素回路90は、このような制御信号TRG0, OFG0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そして、画素回路90は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP, CDを生成する。

[0264] この例では、露光期間TEの長さを上記第1の実施の形態の場合(図4)よりも長くしている。これにより、画素ラインL 1, L 2に属する画素回路90に係る露光期間TEと、画素ラインL 3, L 4に属する画素回路90に係る露光期間TEとは、一部が互いに重なる。

[0265] 信号処理部16は、選択状態である複数の画素回路90において生成されたコード値CP, CDに基づいて、撮像画像の画像データを生成し、非選択状態である複数の画素回路50において生成されたコード値CP, CDに基づいて、撮像画像の画像データを生成する。このようにして、撮像装置4では、インターレース動作を行うことができる。

[0266] (動作例E45)

撮像装置4は、撮像装置3の動作例E35と同様に、画素アレイ81における複数の画素Pのうちの、ある画像領域に属する複数の画素Pを用いて、撮像動作を行うことにより、ROI画像を得ることができる。特に、撮像装

置 4 では、例えば互いに露光期間 T E の長さが異なる 2 つの R O I 領域を設定することができる。以下に、この動作について、詳細に説明する。

[0267] 図 4 3 は、画素アレイ 8 1 における、撮像動作に係る複数の画素 P の領域の一例を表すものである。領域 W 7 ~ W 1 0 は、画素アレイ 8 1 における、R O I 画像を得たい領域を示す。

[0268] 図 4 3 に示したように、選択制御回路 3 1 は、複数の選択信号 S X 1 のうち、領域 W 7, W 8 に係る選択信号 S X 1 を “1” に設定し、それ以外の選択信号 S X 1 を “0” に設定する。選択制御回路 3 2 は、複数の選択信号 S Y 1 のうち、領域 W 7, W 8 に係る選択信号 S Y 1 を “1” に設定し、それ以外の選択信号 S Y 1 を “0” に設定する。また、選択制御回路 1 3 1 は、複数の選択信号 S X 2 のうち、領域 W 9, W 1 0 に係る選択信号 S X 2 を “1” に設定し、それ以外の選択信号 S X 2 を “0” に設定する。選択制御回路 1 3 2 は、複数の選択信号 S Y 2 のうち、領域 W 9, W 1 0 に係る選択信号 S Y 2 を “1” に設定し、それ以外の選択信号 S Y 2 を “0” に設定する。この例では、領域 W 7, W 8 および領域 W 1 0 は、縦方向において、互いに重なっている。このようにして、画素アレイ 8 1 では、画素回路 9 0 が選択状態になる 4 つの領域が設定される。

[0269] 領域 W 7, W 8 に属する画素回路 9 0 は、選択信号 S X 1, S Y 1 により選択状態になる。よって、これらの画素回路 9 0 では、論理回路 9 8 は、制御信号 T R G 1 を制御信号 T R G 0 として出力し、論理回路 9 9 は、制御信号 O F G 1 を制御信号 O F G 0 として出力する。領域 W 7, W 8 に属する画素回路 9 0 は、このような制御信号 T R G 0, O F G 0 に基づいて露光動作を行い、図 8 に示したように、受光量に応じた画素電圧 V_{pix} を含む画素信号 S I G を生成する。そして、画素回路 9 0 は、この画素信号 S I G に基づいて A D 変換を行うことによりコード値 C P, C D を生成する。

[0270] 領域 W 9, W 1 0 に属する画素回路 9 0 は、選択信号 S X 2, S Y 2 により選択状態になる。よって、これらの画素回路 9 0 では、論理回路 9 8 は、制御信号 T R G 2 を制御信号 T R G 0 として出力し、論理回路 9 9 は、制御

信号OFG2を制御信号OFG0として出力する。領域W9, W10に属する画素回路90は、このような制御信号TRG0, OFG0に基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そして、画素回路90は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP, CDを生成する。

[0271] 信号処理部16は、選択状態である複数の画素回路90において生成されたコード値CP, CDのうち、4つの領域W7~W10におけるコード値CP, CDに基づいて、撮像画像の画像データを生成する。

[0272] このように、領域W7, W8に属する画素回路90は、制御信号TRG2, OFG2に基づいて露光動作を行い、領域W9, W10に属する画素回路90は、制御信号TRG2, OFG2に基づいて露光動作を行う。よって、例えば、制御信号TRG1, OFG1により設定される露光期間TEの長さ、制御信号TRG2, OFG2により設定される露光期間TEの長さとを互いに異ならせることにより、露光期間TEの長さが異なる複数のROI画像を得ることができる。

[0273] このように、撮像装置4では、信号生成回路93は、第3の制御信号（制御信号TRG2）および第4の制御信号（制御信号OFG2）を生成するようにした。そして、第1の回路（論理回路98）は、第1の信号（選択信号SY1）、第2の信号（選択信号SX1）、第3の信号（選択信号SY2）、第4の信号（選択信号SX2）、第1の制御信号（制御信号TRG1）、および第3の制御信号（制御信号TRG2）に基づいて第1のスイッチ（トランジスタMN2）の動作を制御するようにした。また、第2の回路（論理回路99）は、第1の信号（選択信号SY1）、第2の信号（選択信号SX1）、第3の信号（選択信号SY2）、第4の信号（選択信号SX2）、第2の制御信号（制御信号OFG1）、および第4の制御信号（制御信号OFG2）に基づいて第2のスイッチ（トランジスタMN1）の動作を制御するようにした。これにより、例えば、画素回路90は、動作例E45のように、互いに露光期間TEの長さが異なる2つのROI画像を得ることができる。

ので、撮像動作の自由度を高めることができる。

[0274] 以上のように本実施の形態では、信号生成回路は、第3の制御信号および第4の制御信号を生成するようにした。そして、第1の回路は、第1の信号、第2の信号、第3の信号、第4の信号、第1の制御信号、および第3の制御信号に基づいて第1のスイッチの動作を制御するようにした。また、第2の回路は、第1の信号、第2の信号、第3の信号、第4の信号、第2の制御信号、および第4の制御信号に基づいて第2のスイッチの動作を制御するようにした。これにより、撮像動作の自由度を高めることができる。

[0275] [変形例4]

上記実施の形態では、画素アレイ81に複数の画素Pを設けるようにした。この画素Pは、変形例2の場合と同様に、撮像装置4におけるデフォーカス量を得るための画素を含んでもよい。

[0276] この場合、本変形例に係る画素アレイ81は、変形例2に係る画素アレイ41A(図27)と同様に、6つの画素P(画素PR, PGr, PGb, PB, PF1, PF2)を有する。画素PF1, PF2は、撮像装置4におけるフォーカス量を得るための、いわゆる位相差画素である。

[0277] 図44は、本変形例に係る画素アレイ81における、撮像動作に係る画素Pの一例を表すものである。図44では、太線で示した画素Pは、選択信号SX1, SY1により選択状態になった画素Pを示し、破線で示した画素Pは、選択信号SX2, SY2により選択状態になった画素Pを示す。

[0278] 図44に示したように、選択制御回路31は、複数の選択信号SX1を全て“1”に設定し、選択制御回路32は、複数の選択信号SY1を全て“1”に設定する。また、選択制御回路131, 132は、画素PF1, PF2の位置に合わせて、複数の選択信号SX2および複数の選択信号SY2を設定する。具体的には、この例では、選択制御回路131は、複数の選択信号SX2を、…, “0”, “1”, “0”, “1”, “0”, “1”, “0”, “1”…のように設定し、選択制御回路132は、複数の選択信号SY2を、…, “0”, “1”, “0”, “0”, “0”, “1”, “0”, “0

”，…のように設定する。これにより、高レベルの選択信号 $SX2$ 、および高レベルの選択信号 $SY2$ が供給された画素 $PF1$ 、 $PF2$ は選択信号 $SX2$ 、 $SY2$ により選択状態になり、それ以外の画素 P は選択信号 $SX1$ 、 $SY1$ により選択状態になる。すなわち、画素 $PF1$ 、 $PF2$ には、高レベルの選択信号 $SX1$ 、 $SY1$ 、 $SX2$ 、 $SY2$ が供給されるが、選択信号 $SX2$ 、 $SY2$ が優先されるので、選択信号 $SX2$ 、 $SY2$ により選択状態になる。

[0279] 図45は、本変形例に係る画素 P に係る画素回路90の一動作例を表すものであり、(A)は同期信号 XVS の波形を示し、(B)は制御信号 RST の波形を示し、(C)は制御信号 $OFG1$ の波形を示し、(D)は制御信号 $TRG1$ の波形を示し、(E)は制御信号 $OFG2$ の波形を示し、(F)は制御信号 $TRG2$ の波形を示し、(G)は選択信号 $SELX1$ 、 $SELY1$ 、 $SELX2$ 、 $SELY2$ を示し、(H)はトリガ信号 $STX1$ 、 $STY1$ 、 $STX2$ 、 $STY2$ の波形を示し、(I)は通常画素（画素 PR 、 PGr 、 PGb 、 PB ）の画素回路90における制御信号 $OFG0$ の波形を示し、(J)は通常画素の画素回路90における制御信号 $TRG0$ の波形を示し、(K)は位相差画素（画素 $PF1$ 、 $PF2$ ）の画素回路90における制御信号 $OFG0$ の波形を示し、(L)は位相差画素の画素回路90における制御信号 $TRG0$ の波形を示し、(M)は参照信号 REF の波形を示す。

[0280] 例えば、この動作モードに設定する場合には、まず、タイミング $t71$ から始まるフレーム期間 F において、画素駆動部85の信号生成回路93は、シリアル信号である選択信号 $SELX1$ を選択制御回路31に供給し、シリアル信号である選択信号 $SELY1$ を選択制御回路32に供給し、シリアル信号である選択信号 $SELX2$ を選択制御回路131に供給し、シリアル信号である選択信号 $SELY2$ を選択制御回路132に供給する（図45（G））。

[0281] そして、信号生成回路93が選択信号 $SELX1$ 、 $SELY1$ 、 $SELX2$ 、 $SELY2$ を供給し終えた後のタイミング $t72$ において、信号生成回

路 9 3 は、トリガ信号 $STX1$ 、 $STY1$ 、 $STX2$ 、 $STY2$ を生成する（図 4 5（H））。これにより、選択制御回路 3 1 は、選択信号 $SELX1$ に応じた複数の選択信号 $SX1$ を、複数の選択信号線 $LX1$ を介して画素アレイ 8 1 に対して供給し、選択制御回路 3 2 は、選択信号 $SELY1$ に応じた複数の選択信号 $SY1$ を、複数の選択信号線 $LY1$ を介して画素アレイ 8 1 に対して供給し、選択制御回路 1 3 1 は、選択信号 $SELX2$ に応じた複数の選択信号 $SX2$ を、複数の選択信号線 $LX2$ を介して画素アレイ 8 1 に対して供給し、選択制御回路 1 3 2 は、選択信号 $SELY2$ に応じた複数の選択信号 $SY2$ を、複数の選択信号線 $LY2$ を介して画素アレイ 8 1 に対して供給する。

[0282] 位相差画素（画素 $PF1$ 、 $PF2$ ）における画素回路 9 0 では、論理回路 9 8 は、制御信号 $TRG2$ を制御信号 $TRG0$ として出力し（図 4 5（F）、（L））、論理回路 9 9 は、制御信号 $OFG2$ を制御信号 $OFG0$ として出力する（図 4 5（E）、（K））。例えば、論理回路 9 9 は、タイミング $t73$ において制御信号 $OFG0$ を低レベルから高レベルに変化させ、このタイミング $t73$ から所定の時間が経過した後に、制御信号 $OFG0$ を高レベルから低レベルに変化させる（図 4 5（K））。また、論理回路 9 8 は、タイミング $t79$ において制御信号 $TRG0$ を低レベルから高レベルに変化させ、このタイミング $t79$ から所定の時間が経過した後に、制御信号 $TRG0$ を高レベルから低レベルに変化させる（図 4 5（L））。このようにして、露光期間 TE が設定される。画素回路 9 0 は、このような制御信号 $TRG0$ 、 $OFG0$ に基づいて露光動作を行い、図 8 に示したように、受光量に応じた画素電圧 V_{pix} を含む画素信号 SIG を生成する。そして、画素回路 9 0 は、この画素信号 SIG に基づいて AD 変換を行うことによりコード値 CP 、 CD を生成する。

[0283] 通常画素（画素 PR 、 PG_r 、 PG_b 、 PB ）における画素回路 9 0 では、論理回路 9 8 は、制御信号 $TRG1$ を制御信号 $TRG0$ として出力し（図 4 5（D）、（J））、論理回路 8 9 は、制御信号 $OFG1$ を制御信号 OF

G Oとして出力する（図45（C）,（I））。例えば、論理回路99は、タイミングt74において制御信号OFGOを低レベルから高レベルに変化させ、このタイミングt74から所定の時間が経過した後に、制御信号OFGOを高レベルから低レベルに変化させる（図45（I））。また、論理回路98は、タイミングt75において制御信号TRGOを低レベルから高レベルに変化させ、このタイミングt75から所定の時間が経過した後に、制御信号TRGOを高レベルから低レベルに変化させる（図45（J））。このようにして、露光期間TEが設定される。画素回路90は、このような制御信号TRGO, OFGOに基づいて露光動作を行い、図8に示したように、受光量に応じた画素電圧Vpixを含む画素信号SIGを生成する。そして、画素回路90は、この画素信号SIGに基づいてAD変換を行うことによりコード値CP, CDを生成する。タイミングt76～t77の期間についても同様であり、タイミングt78～t79の期間についても同様である。

[0284] 信号処理部16は、例えば、複数の位相差画素に対応する複数の画素回路90において生成されたコード値CP, CDに基づいて、位相差データを生成するとともに、複数の通常画素に対応する複数の画素回路90において生成されたコード値CP, CDに基づいて、撮像画像の画像データを生成する。例えば、撮像装置4を搭載したカメラでは、この位相差データに基づいてデフォーカス量を決定し、このデフォーカス量に基づいて、撮影レンズの位置を移動させる。このようにして、カメラでは、オートフォーカスを実現することができる。

[0285] <5. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0286] 図46は、本開示に係る技術が適用され得る移動体制御システムの一例で

ある車両制御システムの概略的な構成例を示すブロック図である。

[0287] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図46に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (i n t e r f a c e) 12053が図示されている。

[0288] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0289] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0290] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像

を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0291] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0292] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0293] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0294] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした

協調制御を行うことができる。

[0295] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0296] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 46 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0297] 図 47 は、撮像部 12031 の設置位置の例を示す図である。

[0298] 図 47 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0299] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0300] なお、図47には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0301] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0302] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0303] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドラ

イバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0304] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0305] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。これにより、車両制御システム 12000 では、用途に応じて様々な撮像動作を行うことができるので、例えば、車外環境をより正確に把握することができる。その結果、車両制御システム 12000 では、車両の衝突回避あるいは衝突緩和機能、車間距離に基づく追従走行機能、車速維持走行機能、車両の衝突警告機能、車両のレーン逸脱警告機能等を、高い精度で実現できる。

[0306] 以上、いくつかの実施の形態および変形例、ならびにそれらの具体的な応

用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。

[0307] 例えば、上記の各実施の形態では、様々な撮像動作を例示したが、これに限定されるものではなく、他の撮像動作を行うようにしてもよい。

[0308] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0309] なお、本技術は以下のような構成とすることができる。以下の構成の本技術によれば、撮像動作の自由度を高めることができる。

[0310] (1)

第1の制御信号を生成可能な信号生成回路と、

複数の第1の選択信号を生成可能な第1の選択制御回路と、

それぞれが、受光量に応じた電荷を生成可能な受光素子と、前記受光素子により生成された前記電荷を蓄積可能な蓄積部と、オン状態になることにより前記受光素子と前記蓄積部とを接続可能な第1のスイッチと、前記複数の第1の選択信号のうちの1つおよび前記第1の制御信号に基づいて前記第1のスイッチの動作を制御可能な第1の回路と、前記蓄積部における電圧を含む画素信号とランプ波形を有する参照信号とを比較可能な比較回路とを有する複数の画素回路と

を備えた撮像装置。

(2)

前記信号生成回路は、さらに第2の制御信号を生成可能であり、

前記複数の画素回路のそれぞれには、前記複数の第1の選択信号のうちのいずれか1つである第1の信号が供給され、

前記第1の回路は、前記第1の信号および前記第1の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、

前記複数の画素回路のそれぞれは、

オン状態になることにより前記受光素子に所定の電圧を印加可能な第2のスイッチと、

前記第 1 の信号および前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能な第 2 の回路と

を有する

前記（１）に記載の撮像装置。

（３）

複数の第 2 の選択信号を生成可能な第 2 の選択制御回路をさらに備え、
前記複数の画素回路のそれぞれには、前記複数の第 2 の選択信号のうちのいずれか 1 つである第 2 の信号が供給され、

前記第 1 の回路は、前記第 1 の信号、前記第 2 の信号、および前記第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、

前記第 2 の回路は、前記第 1 の信号、前記第 2 の信号、および前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能である

前記（２）に記載の撮像装置。

（４）

前記第 1 の信号および前記第 2 の信号のそれぞれは、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第 1 の信号、およびアクティブである前記第 2 の信号が供給された 1 以上の画素回路では、前記第 1 の回路は、前記第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、前記 1 以上の画素回路以外の 2 以上の画素回路では、前記第 1 の回路は前記第 1 のスイッチをオフ状態に維持し、前記第 2 の回路は前記第 2 のスイッチをオン状態に維持する

前記（３）に記載の撮像装置。

（５）

第 1 の方向に延伸するとともに、第 2 の方向に並設され、前記複数の第 1 の選択信号をそれぞれ伝えることが可能な複数の第 1 の選択信号線と、

前記第 2 の方向に延伸するとともに、前記第 1 の方向に並設され、前記複数の第 2 の選択信号をそれぞれ伝えることが可能な複数の第 2 の選択信号線と

をさらに備えた

前記（４）に記載の撮像装置。

（６）

前記複数の画素回路は、

前記第 1 の方向に並設され、前記複数の第 1 の選択信号線のうちの 1 つに接続された 2 以上の画素回路を含み、

前記第 2 の方向に並設され、前記複数の第 2 の選択信号線のうちの 1 つに接続された 2 以上の画素回路を含む

前記（５）に記載の撮像装置。

（７）

前記第 1 の選択制御回路は、前記複数の第 1 の選択信号を、所定数に 1 つの割合でアクティブにすることが可能であり、

前記第 2 の選択制御回路は、前記複数の第 2 の選択信号を、所定数に 1 つの割合でアクティブにすることが可能である

前記（５）または（６）に記載の撮像装置。

（８）

前記第 1 の選択制御回路は、前記複数の第 1 の選択信号を、所定数のアクティブ信号および所定数の非アクティブ信号を交互に繰り返すように設定可能であり、所定時間が経過する度に、前記複数の第 1 の選択信号を生成可能である

前記（５）または（６）に記載の撮像装置。

（９）

前記第 1 の選択制御回路は、前記複数の画素回路が設けられた領域のうちの第 1 の領域に属する 2 以上の画素回路に供給される、前記複数の第 1 の選択信号のうちの 1 以上の選択信号をアクティブにすることが可能であり、

前記第 2 の選択制御回路は、前記第 1 の領域に属する前記 2 以上の画素回路に供給される、前記複数の第 2 の選択信号のうちの 1 以上の選択信号をアクティブにすることが可能である

前記（6）に記載の撮像装置。

（10）

前記信号生成回路は、さらに第 3 の制御信号および第 4 の制御信号を生成可能であり、

前記第 1 の回路は、前記第 1 の信号、前記第 2 の信号、前記第 1 の制御信号、および前記第 3 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、

前記第 2 の回路は、前記第 1 の信号、前記第 2 の信号、前記第 2 の制御信号、および前記第 4 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能である

前記（3）に記載の撮像装置。

（11）

前記第 1 の信号および前記第 2 の信号のそれぞれは、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第 1 の信号、およびアクティブである前記第 2 の信号が供給された 1 以上の画素回路では、前記第 1 の回路は、前記第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、前記 1 以上の画素回路以外の 2 以上の画素回路では、前記第 1 の回路は、前記第 3 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 4 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能である

前記（10）に記載の撮像装置。

（12）

前記 1 以上の画素回路における 1 以上の前記受光素子は、
受光面に第 1 の遮光パターンを有する遮光膜が設けられた第 1 の受光素子
と、
受光面に第 2 の遮光パターンを有する遮光膜が設けられた第 2 の受光素子
と
を含む
前記 (1 1) に記載の撮像装置。

(1 3)

複数の第 3 の選択信号を生成可能な第 3 の選択制御回路と、
複数の第 4 の選択信号を生成可能な第 4 の選択制御回路と
をさらに備え、
前記複数の画素回路のそれぞれには、前記複数の第 3 の選択信号のうちの
いずれか 1 つである第 3 の信号が供給されるとともに、前記複数の第 4 の選
択信号のうちのいずれか 1 つである第 4 の信号が供給され、
前記第 1 の回路は、前記第 1 の信号、前記第 2 の信号、前記第 3 の信号、
前記第 4 の信号、および前記第 1 の制御信号に基づいて前記第 1 のスイッチ
の動作を制御可能であり、
前記第 2 の回路は、前記第 1 の信号、前記第 2 の信号、前記第 3 の信号、
前記第 4 の信号、および前記第 2 の制御信号に基づいて前記第 2 のスイッチ
の動作を制御可能である
前記 (3) に記載の撮像装置。

(1 4)

前記第 1 の信号、前記第 2 の信号、前記第 3 の信号、および前記第 4 の信
号のそれぞれは、アクティブまたは非アクティブであり、
前記複数の画素回路のうちの、アクティブである前記第 1 の信号、および
アクティブである前記第 2 の信号が供給された第 1 の 1 以上の画素回路、お
よびアクティブである前記第 3 の信号、およびアクティブである前記第 4 の
信号が供給された第 2 の 1 以上の画素回路では、前記第 1 の回路は、前記第

1の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、前記第2の回路は、前記第2の制御信号に基づいて前記第2のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、前記第1の1以上の画素回路および前記第2の1以上の画素回路以外の2以上の画素回路では、前記第1の回路は前記第1のスイッチをオフ状態に維持し、前記第2の回路は前記第2のスイッチをオン状態に維持する

前記(13)に記載の撮像装置。

(15)

前記信号生成回路は、さらに第3の制御信号および第4の制御信号を生成可能であり、

前記第1の回路は、前記第1の信号、前記第2の信号、前記第3の信号、前記第4の信号、前記第1の制御信号、および前記第3の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、

前記第2の回路は、前記第1の信号、前記第2の信号、前記第3の信号、前記第4の信号、前記第2の制御信号、および前記第4の制御信号に基づいて前記第2のスイッチの動作を制御可能である

前記(13)に記載の撮像装置。

(16)

前記第1の信号、前記第2の信号、前記第3の信号、および前記第4の信号のそれぞれは、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第1の信号、およびアクティブである前記第2の信号が供給された第1の1以上の画素回路では、前記第1の回路は、前記第1の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、前記第2の回路は、前記第2の制御信号に基づいて前記第2のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、アクティブである前記第3の信号、およびアクティブである前記第4の信号が供給された第2の1以上の画素回路では

、前記第 1 の回路は、前記第 3 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 4 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能である

前記（15）に記載の撮像装置。

（17）

前記第 2 の 1 以上の画素回路のうちの第 3 の 1 以上の画素回路が、前記第 1 の 1 以上の画素回路に含まれる場合には、前記第 3 の 1 以上の画素回路では、前記第 1 の回路は、前記第 3 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 4 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能である

前記（16）に記載の撮像装置。

（18）

前記第 3 の 1 以上の画素回路における 1 以上の前記受光素子は、
受光面に第 1 の遮光パターンを有する遮光膜が設けられた第 1 の受光素子と、

受光面に第 2 の遮光パターンを有する遮光膜が設けられた第 2 の受光素子と

を含む

前記（17）に記載の撮像装置。

（19）

前記第 1 の信号は、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第 1 の信号が供給された 1 以上の画素回路では、前記第 1 の回路は、前記第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、前記 1 以上の画素回路以外の 2 以上の画素回路では、前記第 1 の回路は前記第 1 のスイッチをオフ状態に維持し、前記第 2 の回路は前記第 2 のスイッチをオン状態に維持する

前記（２）に記載の撮像装置。

（２０）

第１の制御信号を生成することと、

複数の第１の選択信号を生成することと、

複数の画素回路のそれぞれにおいて、受光素子が受光量に応じて電荷を生成し、第１のスイッチが、前記複数の第１の選択信号のうちの１つ、および前記第１の制御信号に基づいて前記受光素子と蓄積部とを接続し、比較回路が前記蓄積部における電圧を含む画素信号とランプ波形を有する参照信号とを比較することと

を含む撮像方法。

[0311] 本出願は、日本国特許庁において２０２１年７月１４日に出願された日本特許出願番号２０２１－１１６７１９号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0312] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

[請求項1]

第1の制御信号を生成可能な信号生成回路と、
複数の第1の選択信号を生成可能な第1の選択制御回路と、
それぞれが、受光量に応じた電荷を生成可能な受光素子と、前記受光素子により生成された前記電荷を蓄積可能な蓄積部と、オン状態になることにより前記受光素子と前記蓄積部とを接続可能な第1のスイッチと、前記複数の第1の選択信号のうちの1つおよび前記第1の制御信号に基づいて前記第1のスイッチの動作を制御可能な第1の回路と、前記蓄積部における電圧を含む画素信号とランプ波形を有する参照信号とを比較可能な比較回路とを有する複数の画素回路と
を備えた撮像装置。

[請求項2]

前記信号生成回路は、さらに第2の制御信号を生成可能であり、
前記複数の画素回路のそれぞれには、前記複数の第1の選択信号のうちのいずれか1つである第1の信号が供給され、
前記第1の回路は、前記第1の信号および前記第1の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、
前記複数の画素回路のそれぞれは、
オン状態になることにより前記受光素子に所定の電圧を印加可能な第2のスイッチと、
前記第1の信号および前記第2の制御信号に基づいて前記第2のスイッチの動作を制御可能な第2の回路と
を有する
請求項1に記載の撮像装置。

[請求項3]

複数の第2の選択信号を生成可能な第2の選択制御回路をさらに備え、
前記複数の画素回路のそれぞれには、前記複数の第2の選択信号のうちのいずれか1つである第2の信号が供給され、
前記第1の回路は、前記第1の信号、前記第2の信号、および前記

第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、

前記第 2 の回路は、前記第 1 の信号、前記第 2 の信号、および前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能である

請求項 2 に記載の撮像装置。

[請求項 4] 前記第 1 の信号および前記第 2 の信号のそれぞれは、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第 1 の信号、およびアクティブである前記第 2 の信号が供給された 1 以上の画素回路では、前記第 1 の回路は、前記第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、前記 1 以上の画素回路以外の 2 以上の画素回路では、前記第 1 の回路は前記第 1 のスイッチをオフ状態に維持し、前記第 2 の回路は前記第 2 のスイッチをオン状態に維持する

請求項 3 に記載の撮像装置。

[請求項 5] 第 1 の方向に延伸するとともに、第 2 の方向に並設され、前記複数の第 1 の選択信号をそれぞれ伝えることが可能な複数の第 1 の選択信号線と、

前記第 2 の方向に延伸するとともに、前記第 1 の方向に並設され、前記複数の第 2 の選択信号をそれぞれ伝えることが可能な複数の第 2 の選択信号線と

をさらに備えた

請求項 4 に記載の撮像装置。

[請求項 6] 前記複数の画素回路は、
前記第 1 の方向に並設され、前記複数の第 1 の選択信号線のうちの 1 つに接続された 2 以上の画素回路を含み、

前記第2の方向に並設され、前記複数の第2の選択信号線のうちの1つに接続された2以上の画素回路を含む

請求項5に記載の撮像装置。

[請求項7] 前記第1の選択制御回路は、前記複数の第1の選択信号を、所定数に1つの割合でアクティブにすることが可能であり、

前記第2の選択制御回路は、前記複数の第2の選択信号を、所定数に1つの割合でアクティブにすることが可能である

請求項5に記載の撮像装置。

[請求項8] 前記第1の選択制御回路は、前記複数の第1の選択信号を、所定数のアクティブ信号および所定数の非アクティブ信号を交互に繰り返すように設定可能であり、所定時間が経過する度に、前記複数の第1の選択信号を生成可能である

請求項5に記載の撮像装置。

[請求項9] 前記第1の選択制御回路は、前記複数の画素回路が設けられた領域のうちの第1の領域に属する2以上の画素回路に供給される、前記複数の第1の選択信号のうちの1以上の選択信号をアクティブにすることが可能であり、

前記第2の選択制御回路は、前記第1の領域に属する前記2以上の画素回路に供給される、前記複数の第2の選択信号のうちの1以上の選択信号をアクティブにすることが可能である

請求項6に記載の撮像装置。

[請求項10] 前記信号生成回路は、さらに第3の制御信号および第4の制御信号を生成可能であり、

前記第1の回路は、前記第1の信号、前記第2の信号、前記第1の制御信号、および前記第3の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、

前記第2の回路は、前記第1の信号、前記第2の信号、前記第2の制御信号、および前記第4の制御信号に基づいて前記第2のスイッチ

の動作を制御可能である

請求項 3 に記載の撮像装置。

[請求項11] 前記第 1 の信号および前記第 2 の信号のそれぞれは、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第 1 の信号、およびアクティブである前記第 2 の信号が供給された 1 以上の画素回路では、前記第 1 の回路は、前記第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、前記 1 以上の画素回路以外の 2 以上の画素回路では、前記第 1 の回路は、前記第 3 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 4 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能である

請求項 10 に記載の撮像装置。

[請求項12] 前記 1 以上の画素回路における 1 以上の前記受光素子は、

受光面に第 1 の遮光パターンを有する遮光膜が設けられた第 1 の受光素子と、

受光面に第 2 の遮光パターンを有する遮光膜が設けられた第 2 の受光素子と

を含む

請求項 11 に記載の撮像装置。

[請求項13] 複数の第 3 の選択信号を生成可能な第 3 の選択制御回路と、

複数の第 4 の選択信号を生成可能な第 4 の選択制御回路と

をさらに備え、

前記複数の画素回路のそれぞれには、前記複数の第 3 の選択信号のうちのいずれか 1 つである第 3 の信号が供給されるとともに、前記複数の第 4 の選択信号のうちのいずれか 1 つである第 4 の信号が供給さ

れ、

前記第 1 の回路は、前記第 1 の信号、前記第 2 の信号、前記第 3 の信号、前記第 4 の信号、および前記第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、

前記第 2 の回路は、前記第 1 の信号、前記第 2 の信号、前記第 3 の信号、前記第 4 の信号、および前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能である

請求項 3 に記載の撮像装置。

[請求項 14]

前記第 1 の信号、前記第 2 の信号、前記第 3 の信号、および前記第 4 の信号のそれぞれは、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第 1 の信号、およびアクティブである前記第 2 の信号が供給された第 1 の 1 以上の画素回路、およびアクティブである前記第 3 の信号、およびアクティブである前記第 4 の信号が供給された第 2 の 1 以上の画素回路では、前記第 1 の回路は、前記第 1 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、前記第 2 の回路は、前記第 2 の制御信号に基づいて前記第 2 のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、前記第 1 の 1 以上の画素回路および前記第 2 の 1 以上の画素回路以外の 2 以上の画素回路では、前記第 1 の回路は前記第 1 のスイッチをオフ状態に維持し、前記第 2 の回路は前記第 2 のスイッチをオン状態に維持する

請求項 1 3 に記載の撮像装置。

[請求項 15]

前記信号生成回路は、さらに第 3 の制御信号および第 4 の制御信号を生成可能であり、

前記第 1 の回路は、前記第 1 の信号、前記第 2 の信号、前記第 3 の信号、前記第 4 の信号、前記第 1 の制御信号、および前記第 3 の制御信号に基づいて前記第 1 のスイッチの動作を制御可能であり、

前記第 2 の回路は、前記第 1 の信号、前記第 2 の信号、前記第 3 の

信号、前記第4の信号、前記第2の制御信号、および前記第4の制御信号に基づいて前記第2のスイッチの動作を制御可能である

請求項13に記載の撮像装置。

[請求項16] 前記第1の信号、前記第2の信号、前記第3の信号、および前記第4の信号のそれぞれは、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第1の信号、およびアクティブである前記第2の信号が供給された第1の1以上の画素回路では、前記第1の回路は、前記第1の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、前記第2の回路は、前記第2の制御信号に基づいて前記第2のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、アクティブである前記第3の信号、およびアクティブである前記第4の信号が供給された第2の1以上の画素回路では、前記第1の回路は、前記第3の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、前記第2の回路は、前記第4の制御信号に基づいて前記第2のスイッチの動作を制御可能である

請求項15に記載の撮像装置。

[請求項17] 前記第2の1以上の画素回路のうちの第3の1以上の画素回路が、前記第1の1以上の画素回路に含まれる場合には、前記第3の1以上の画素回路では、前記第1の回路は、前記第3の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、前記第2の回路は、前記第4の制御信号に基づいて前記第2のスイッチの動作を制御可能である

請求項16に記載の撮像装置。

[請求項18] 前記第3の1以上の画素回路における1以上の前記受光素子は、受光面に第1の遮光パターンを有する遮光膜が設けられた第1の受光素子と、

受光面に第2の遮光パターンを有する遮光膜が設けられた第2の受光素子と

を含む

請求項17に記載の撮像装置。

[請求項19]

前記第1の信号は、アクティブまたは非アクティブであり、

前記複数の画素回路のうちの、アクティブである前記第1の信号が供給された1以上の画素回路では、前記第1の回路は、前記第1の制御信号に基づいて前記第1のスイッチの動作を制御可能であり、前記第2の回路は、前記第2の制御信号に基づいて前記第2のスイッチの動作を制御可能であり、

前記複数の画素回路のうちの、前記1以上の画素回路以外の2以上の画素回路では、前記第1の回路は前記第1のスイッチをオフ状態に維持し、前記第2の回路は前記第2のスイッチをオン状態に維持する

請求項2に記載の撮像装置。

[請求項20]

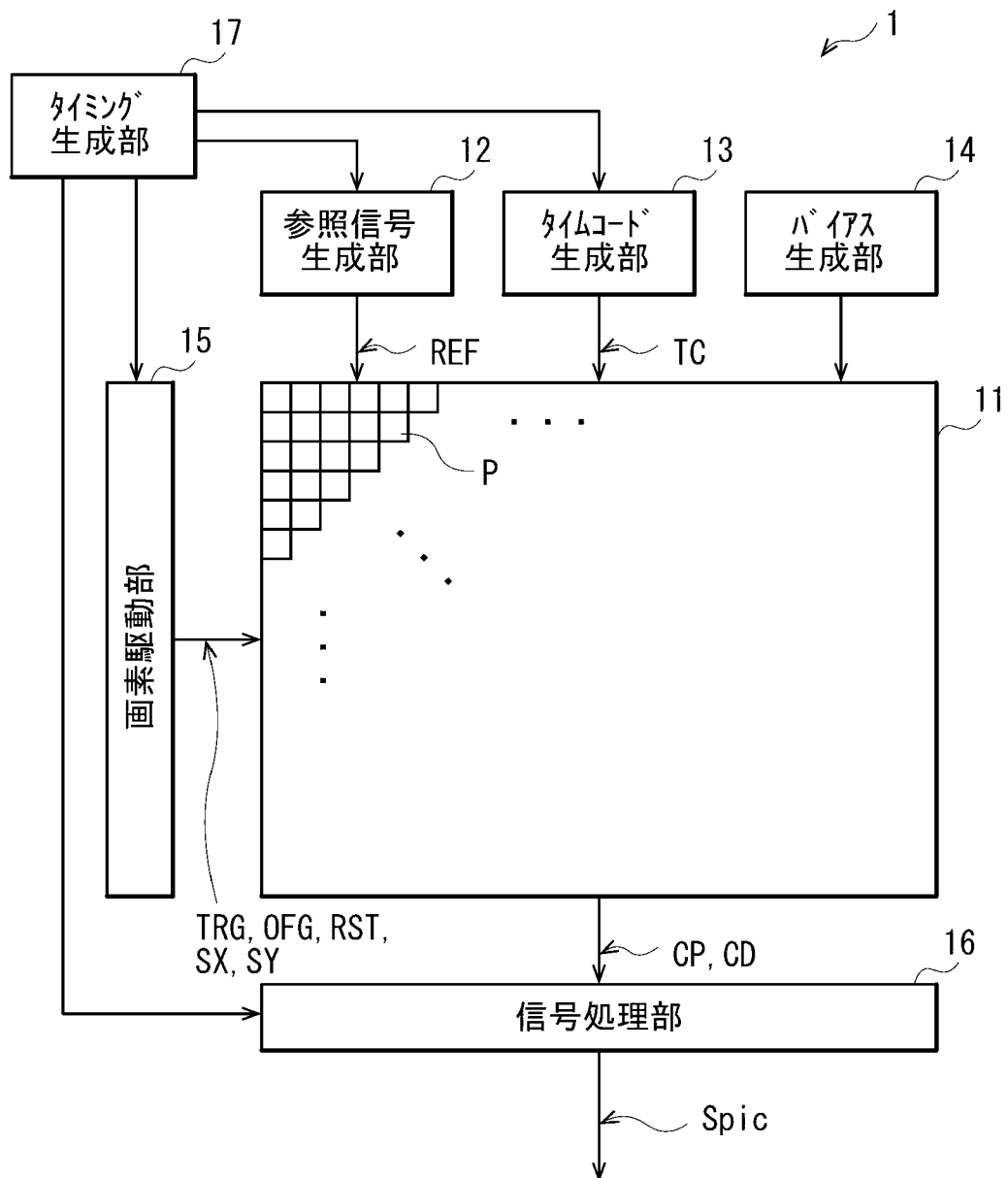
第1の制御信号を生成することと、

複数の第1の選択信号を生成することと、

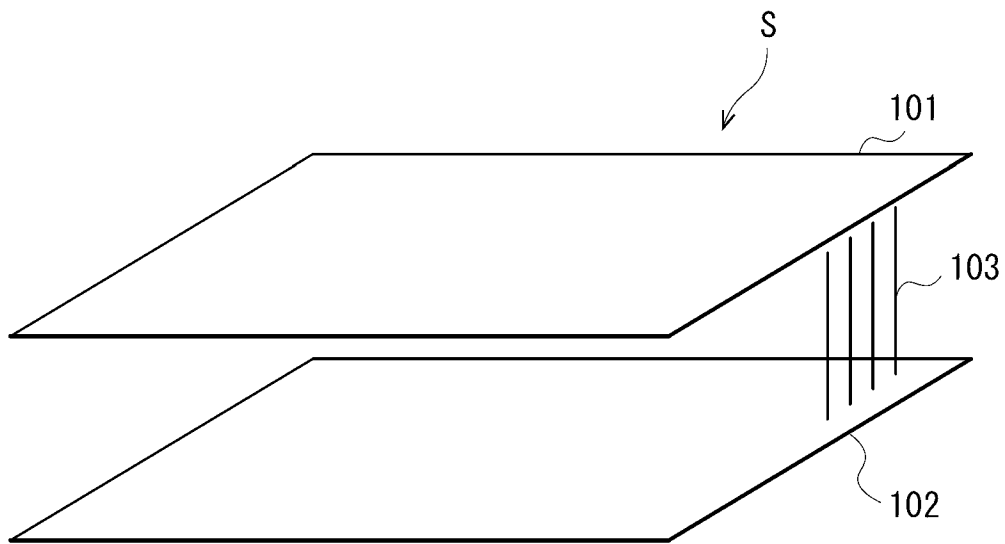
複数の画素回路のそれぞれにおいて、受光素子が受光量に応じて電荷を生成し、第1のスイッチが、前記複数の第1の選択信号のうちの1つ、および前記第1の制御信号に基づいて前記受光素子と蓄積部とを接続し、比較回路が前記蓄積部における電圧を含む画素信号とランプ波形を有する参照信号とを比較することと

を含む撮像方法。

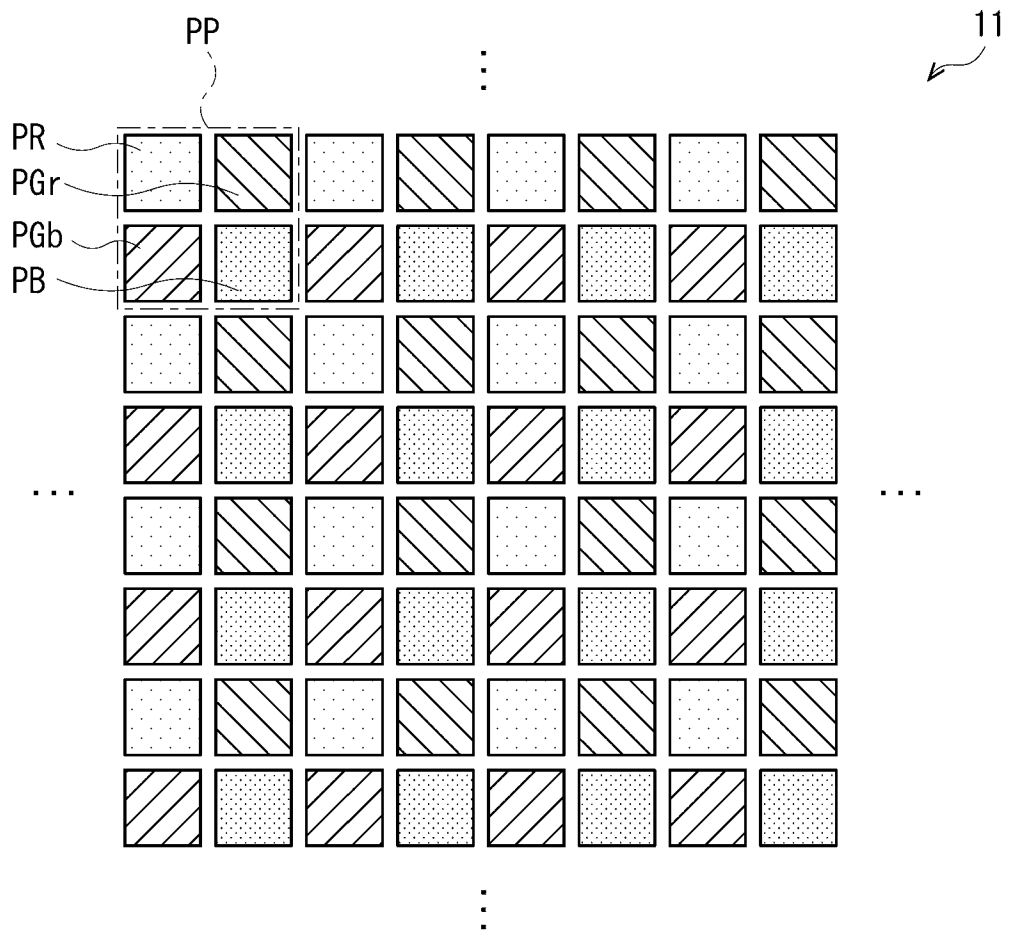
[図1]



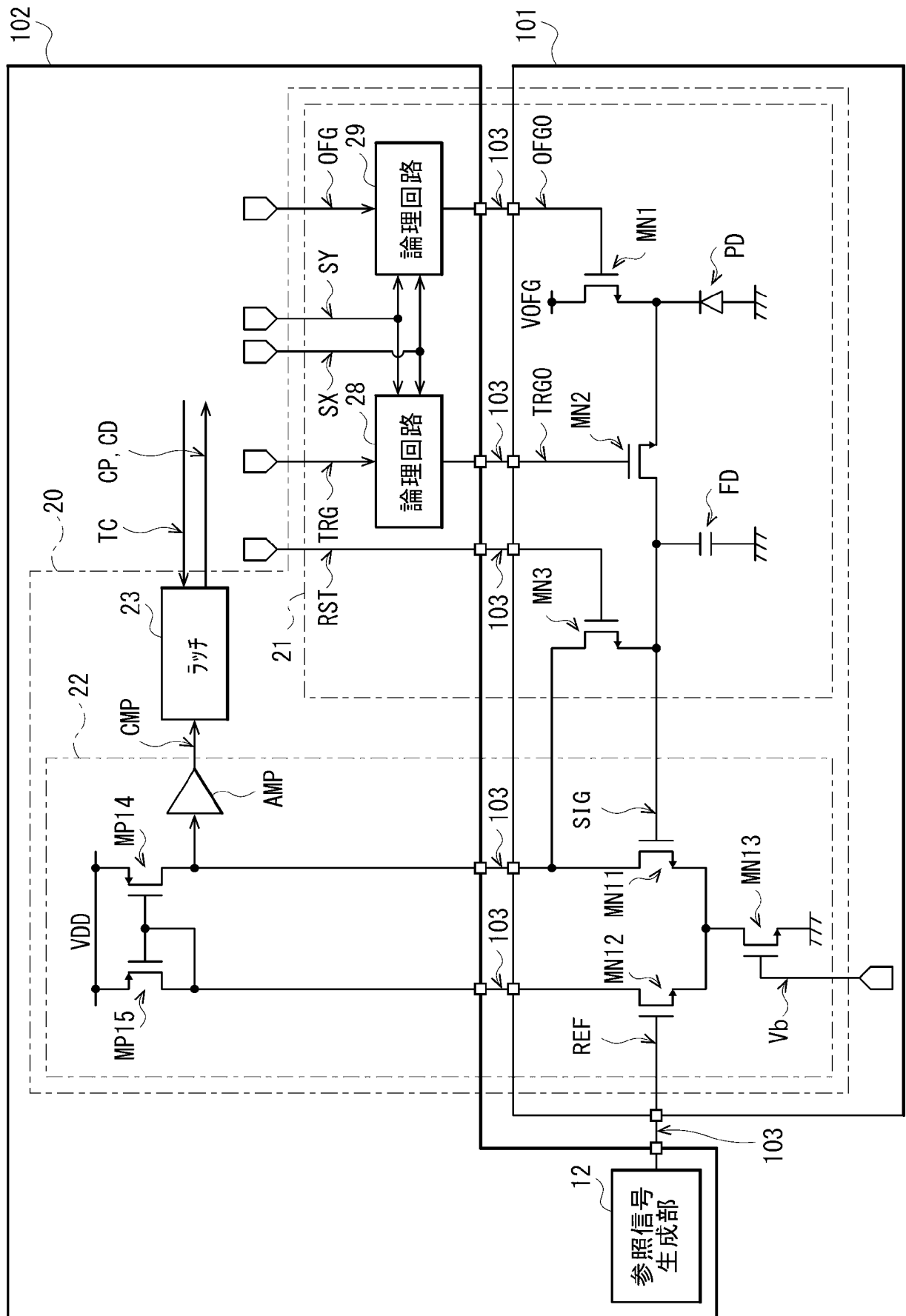
[図2]

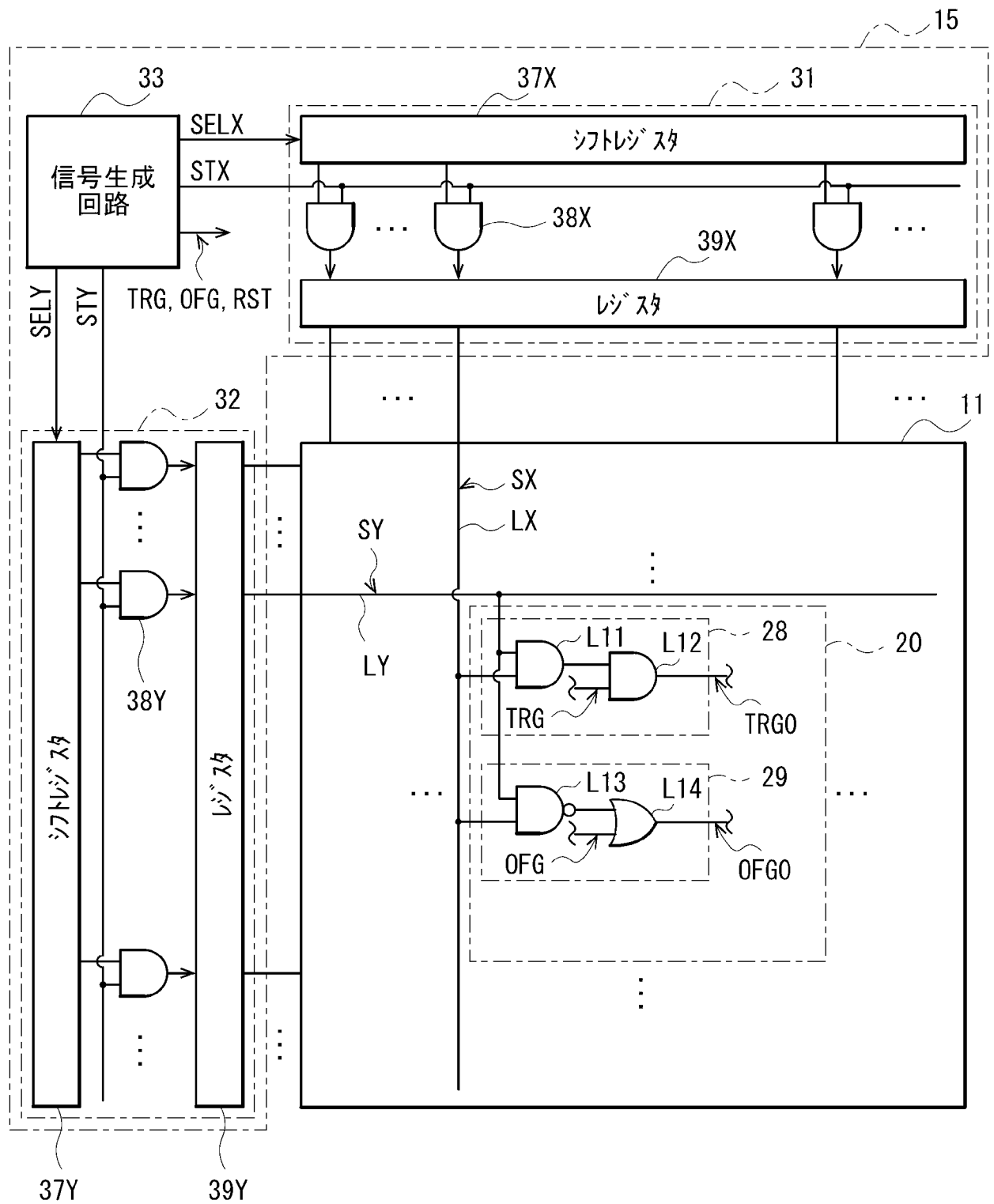


[図3]



[図4]





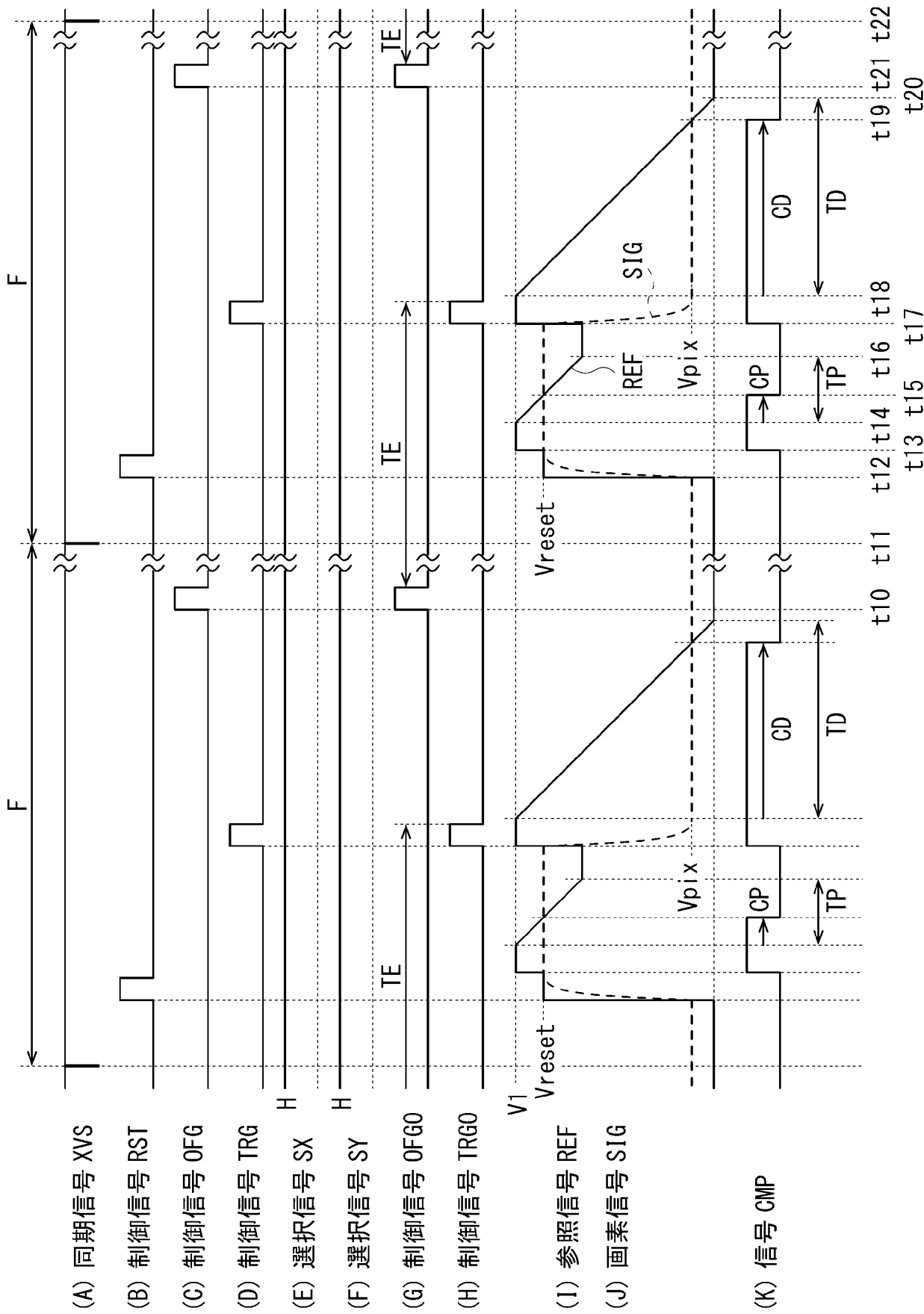
[図6]

SX	SY	TRG	TRGO
0	0	0	L
0	0	1	L
0	1	0	L
0	1	1	L
1	0	0	L
1	0	1	L
1	1	0	L
1	1	1	H

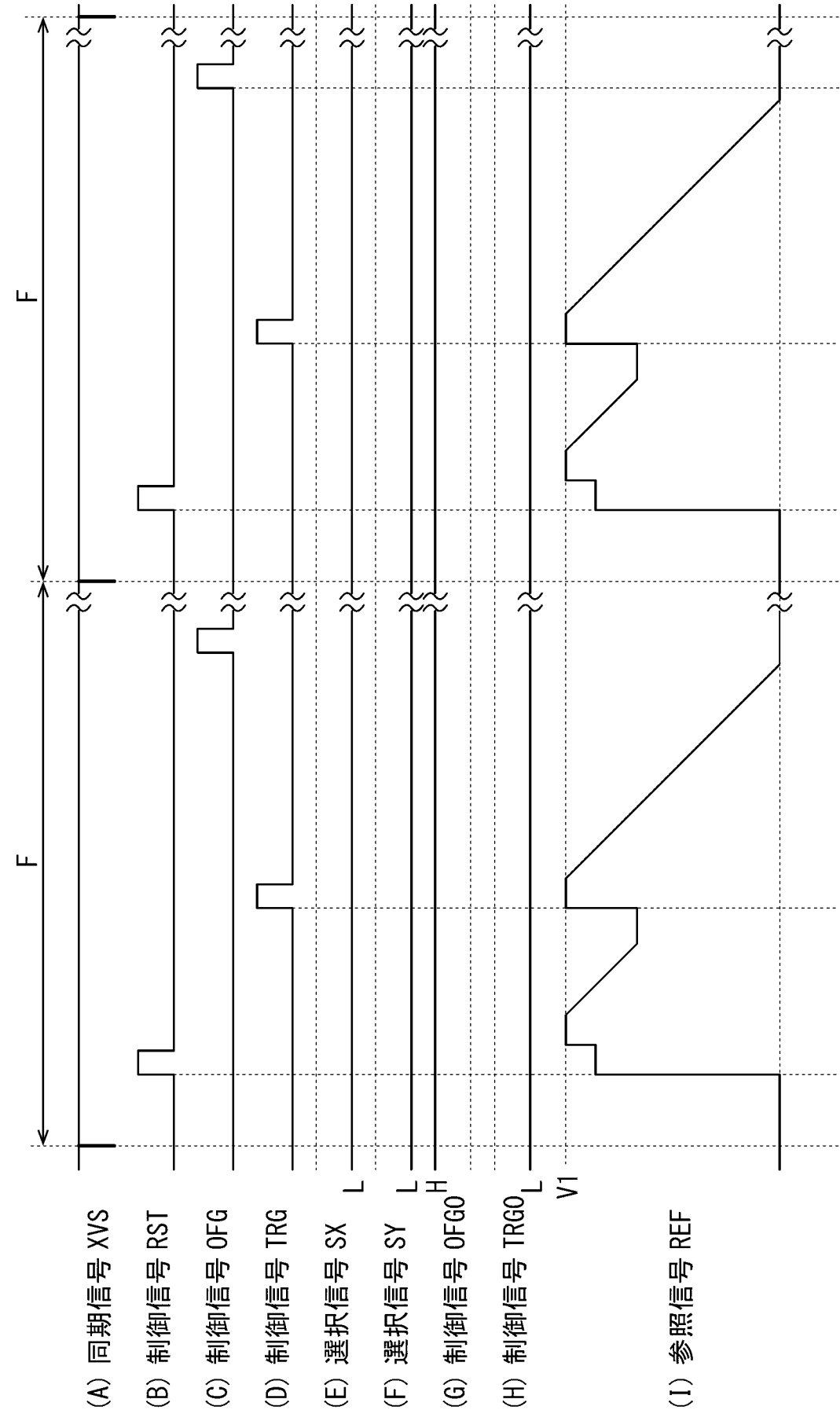
[図7]

SX	SY	OFG	OFGO
0	0	0	H
0	0	1	H
0	1	0	H
0	1	1	H
1	0	0	H
1	0	1	H
1	1	0	L
1	1	1	H

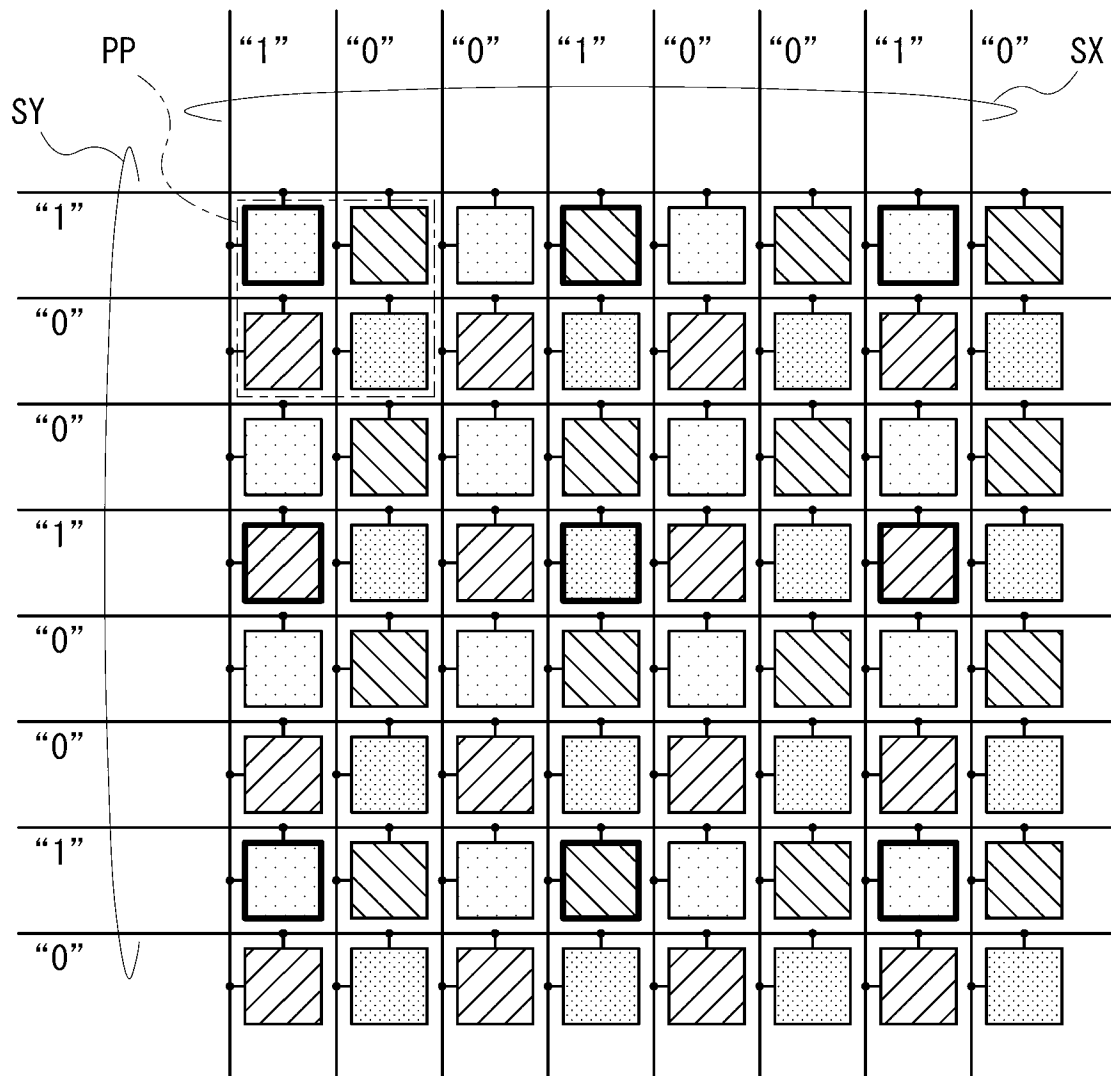
[図8]



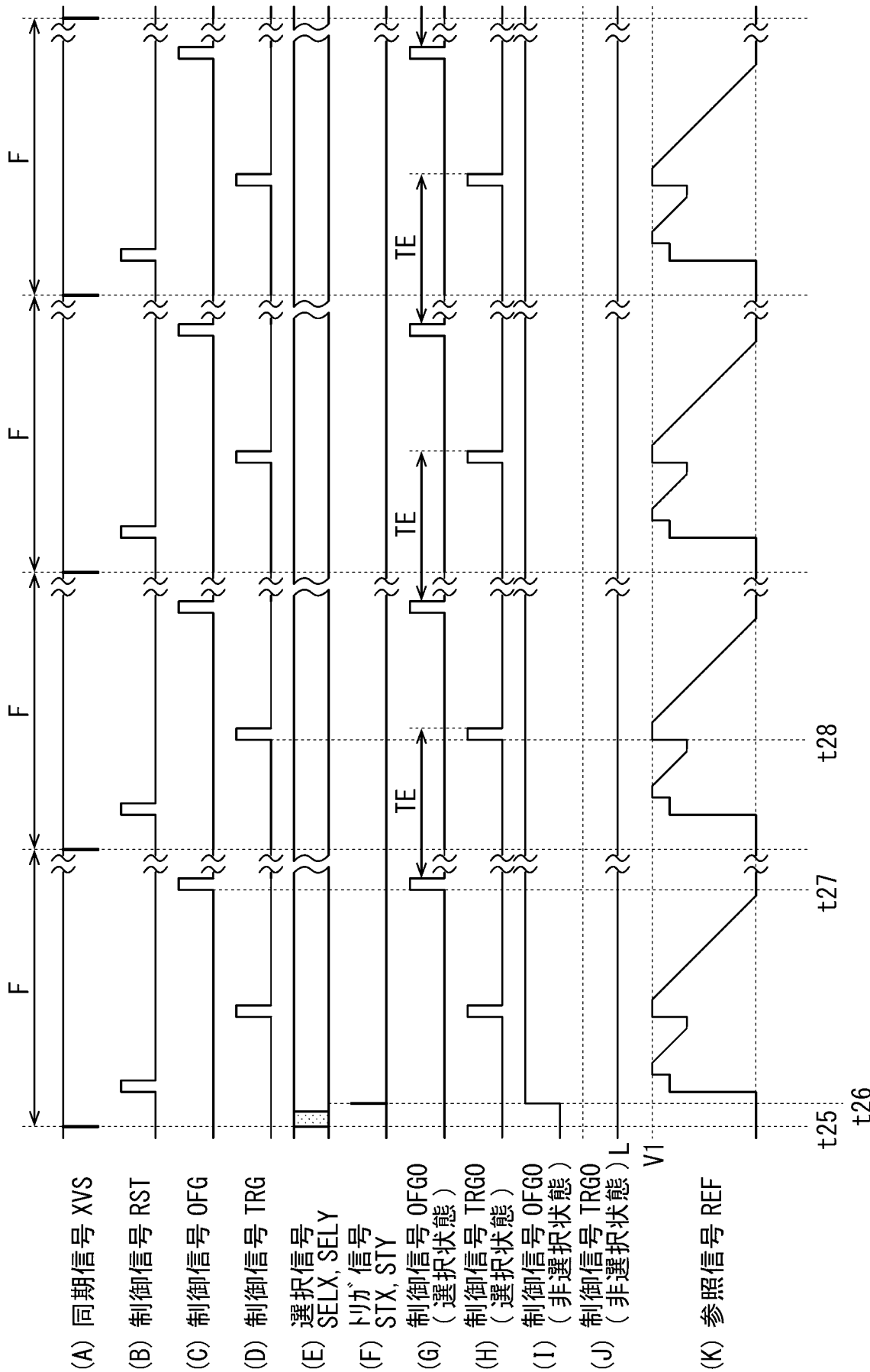
[図9]



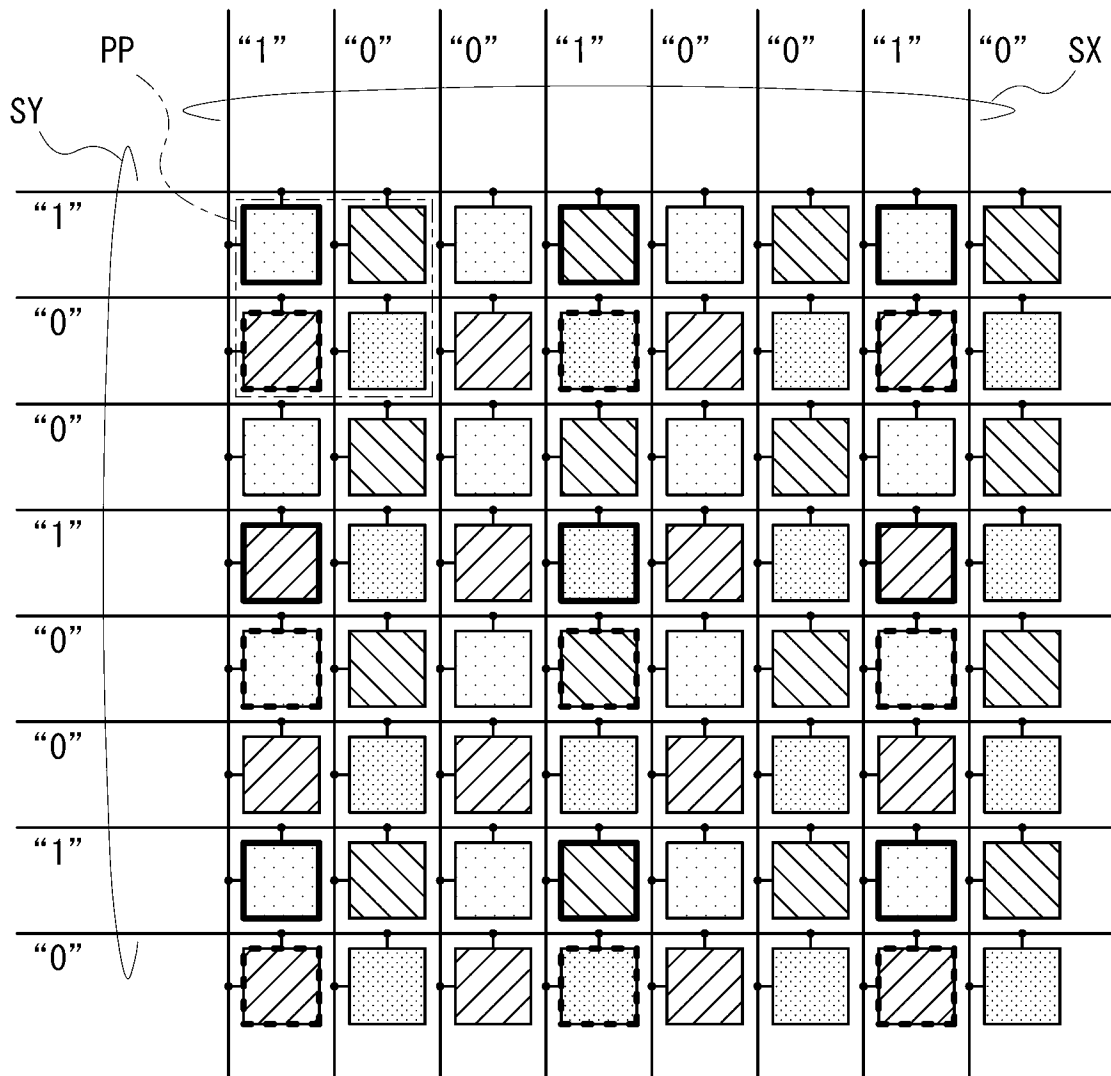
[図10]



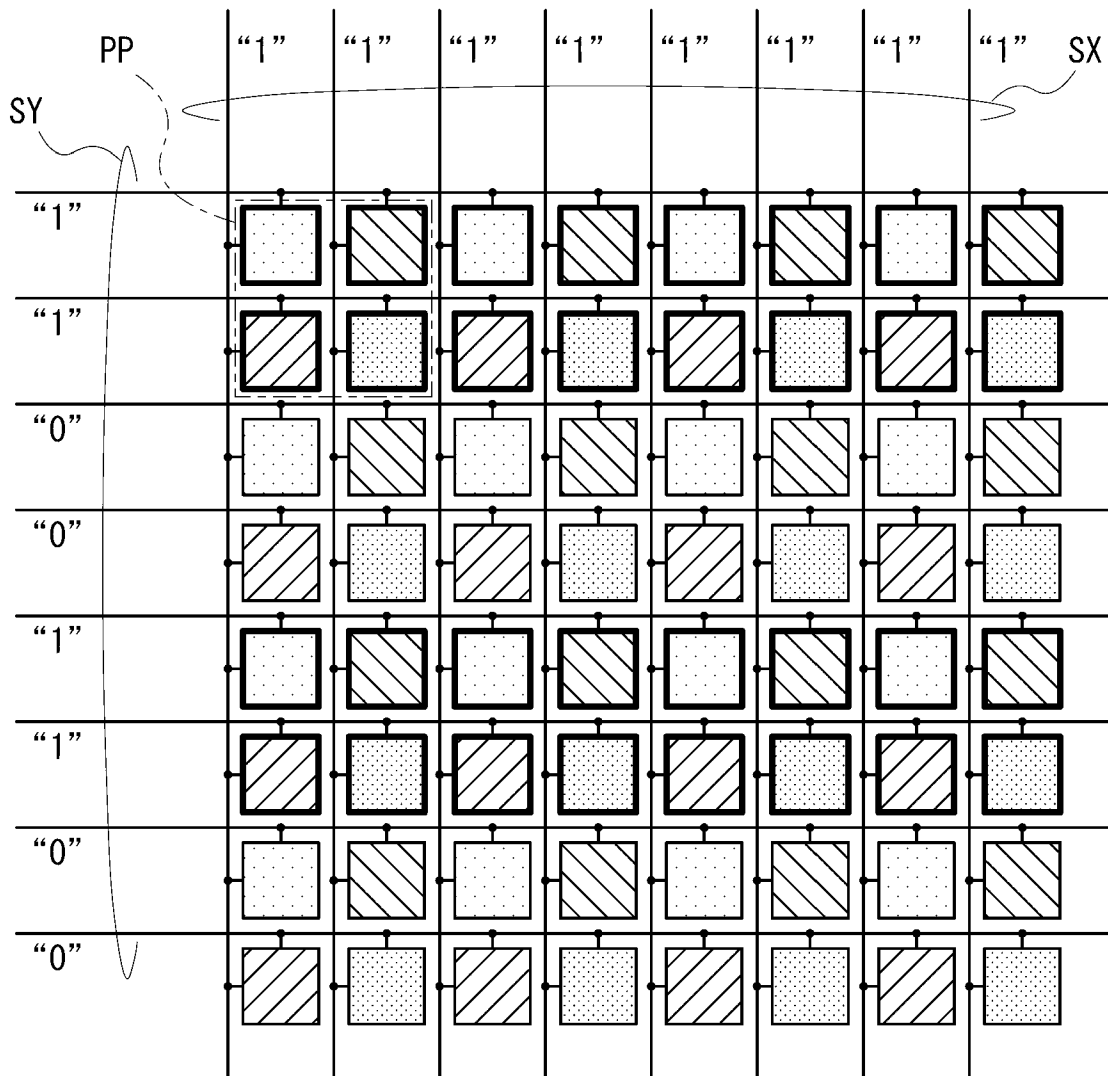
[図11]



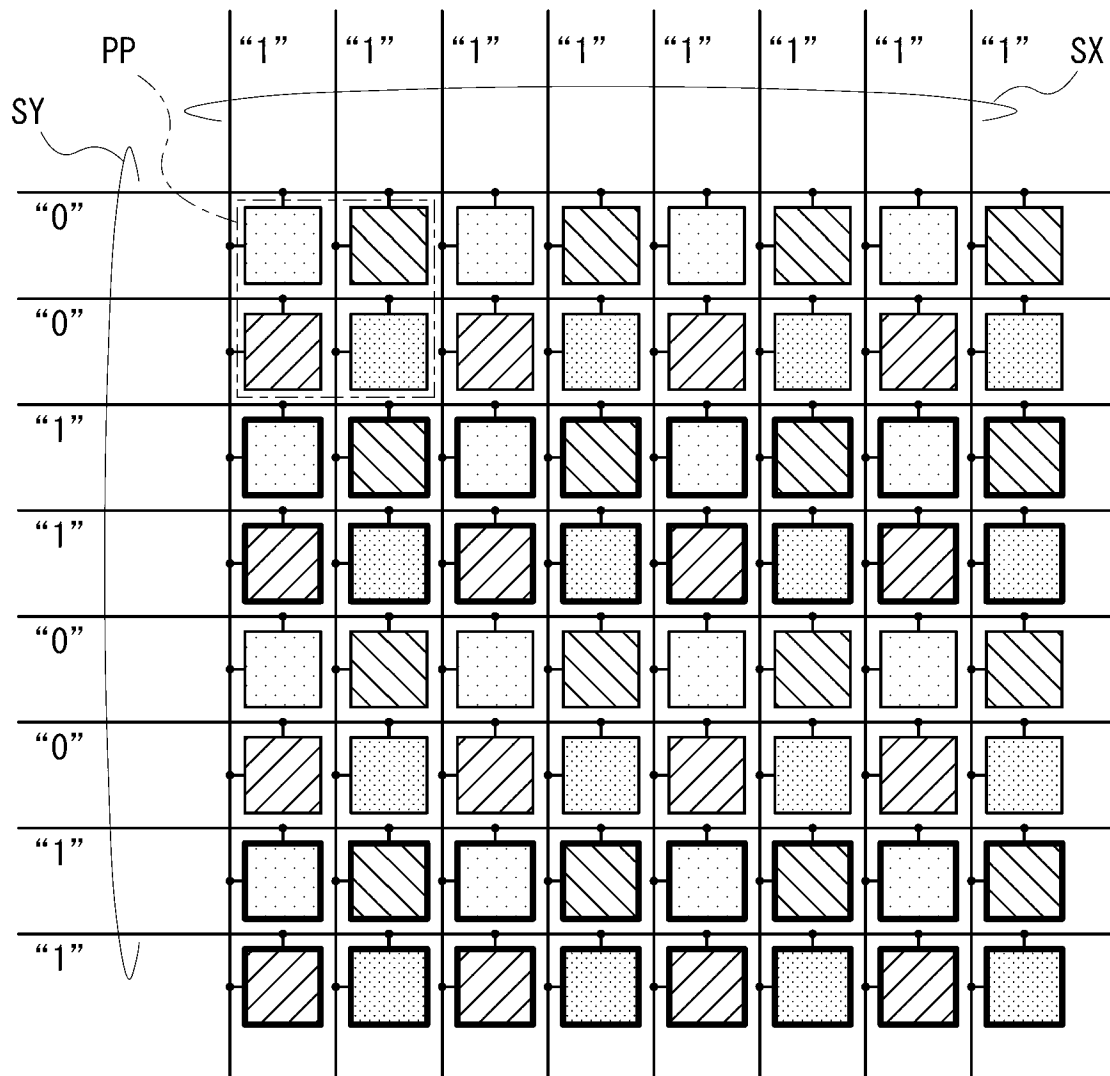
[図12]



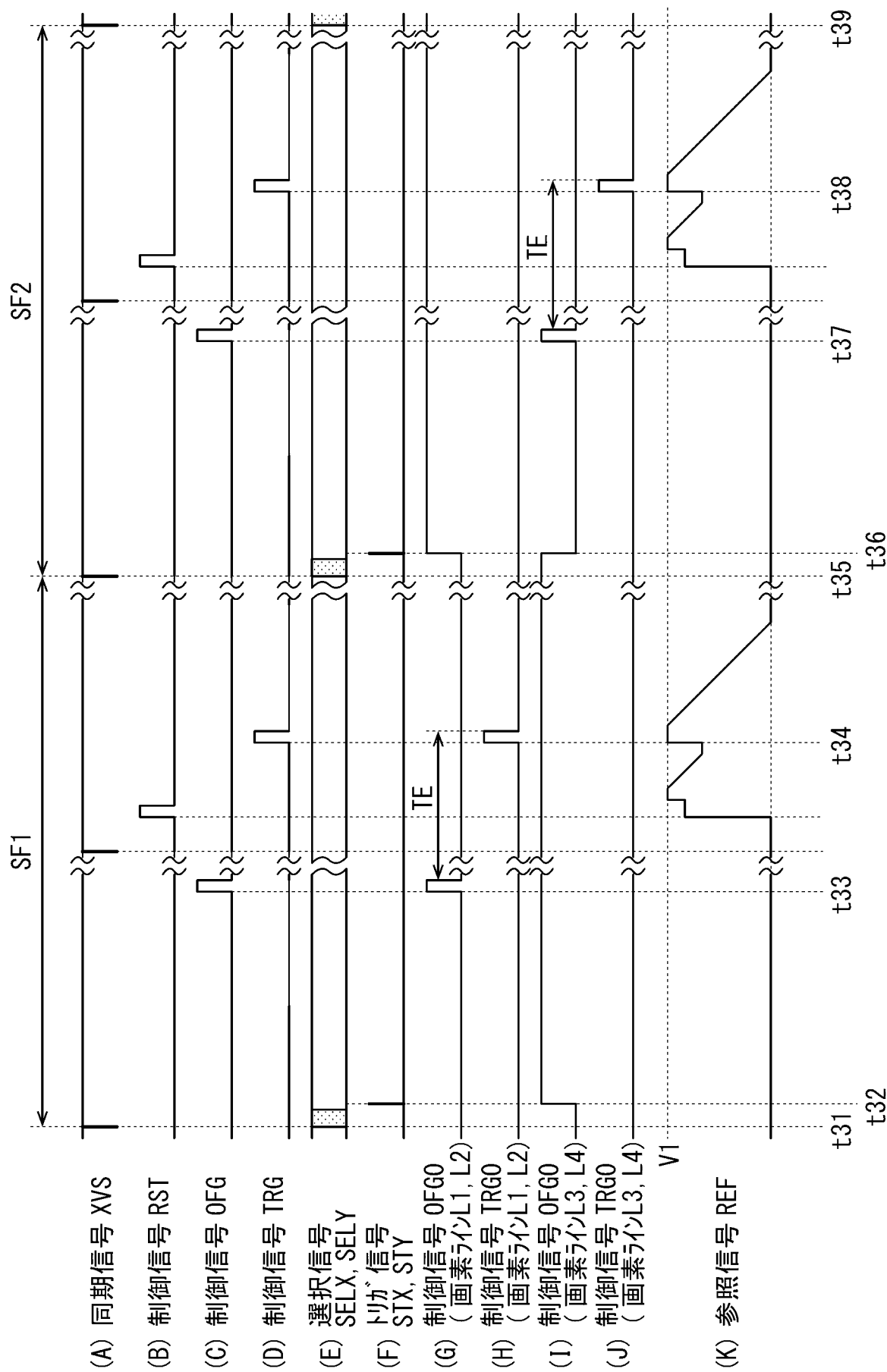
[図13A]



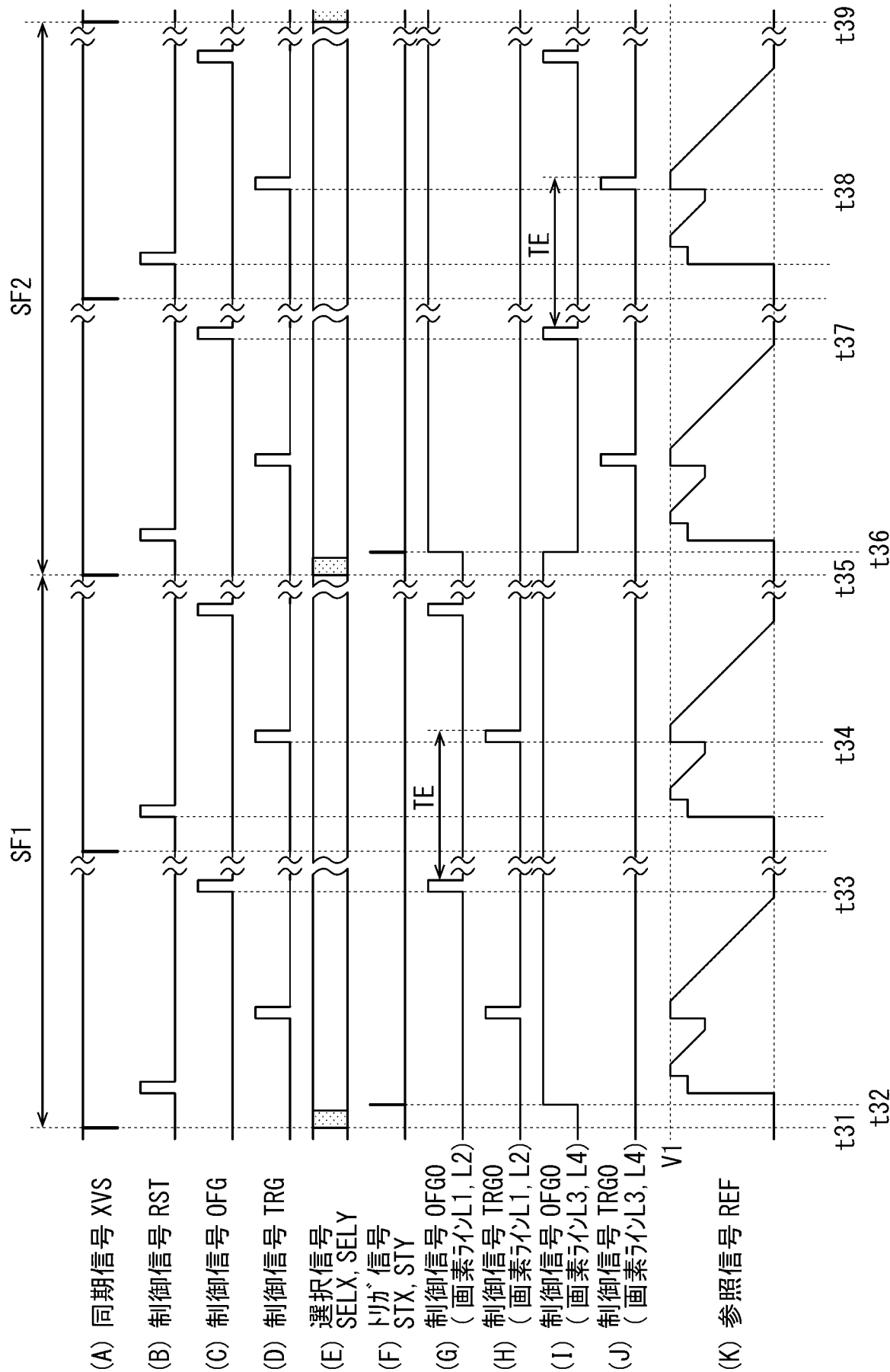
[図13B]



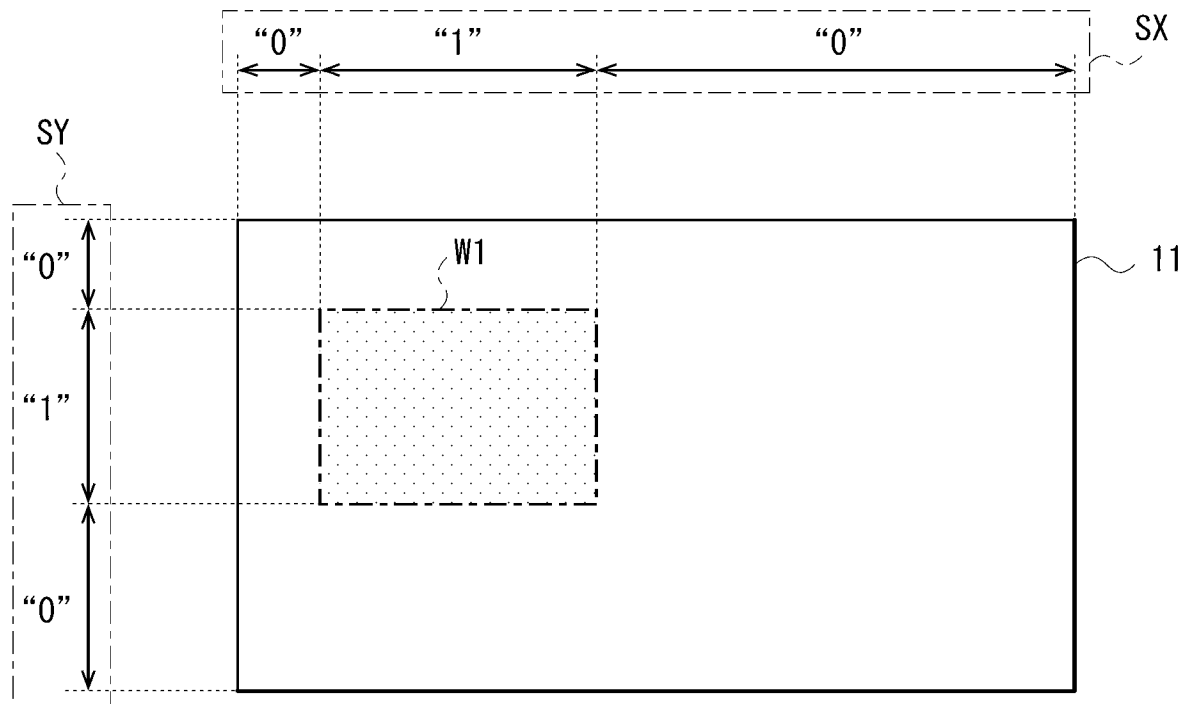
[図14]



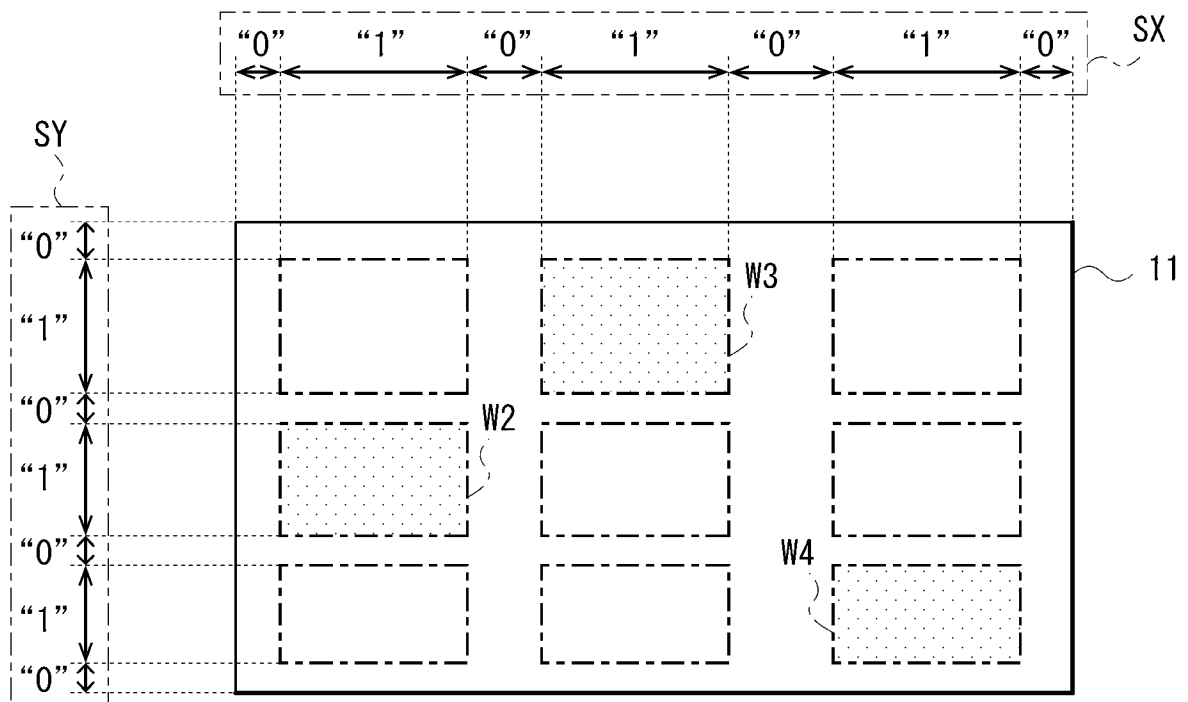
[図15]



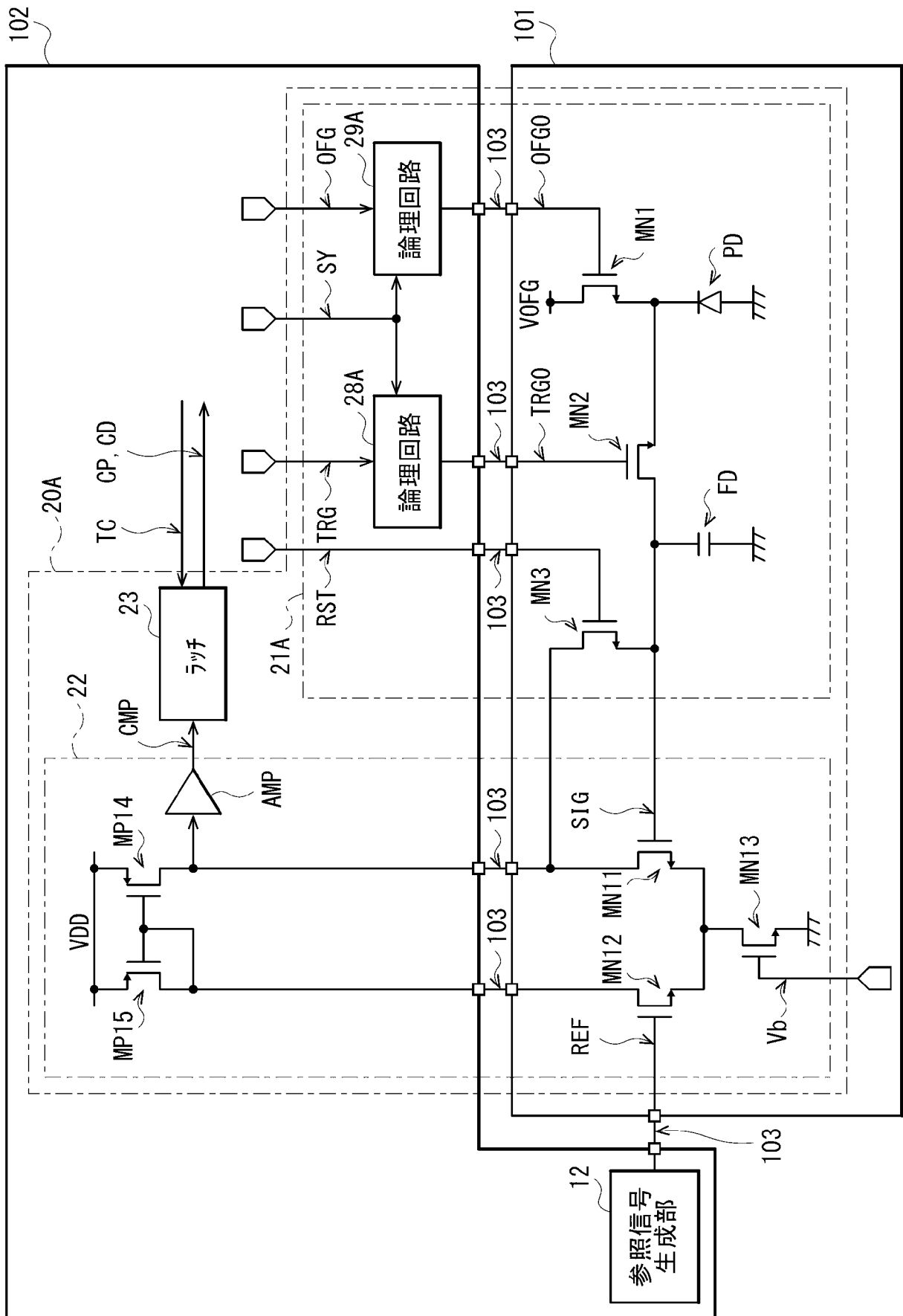
[図16]



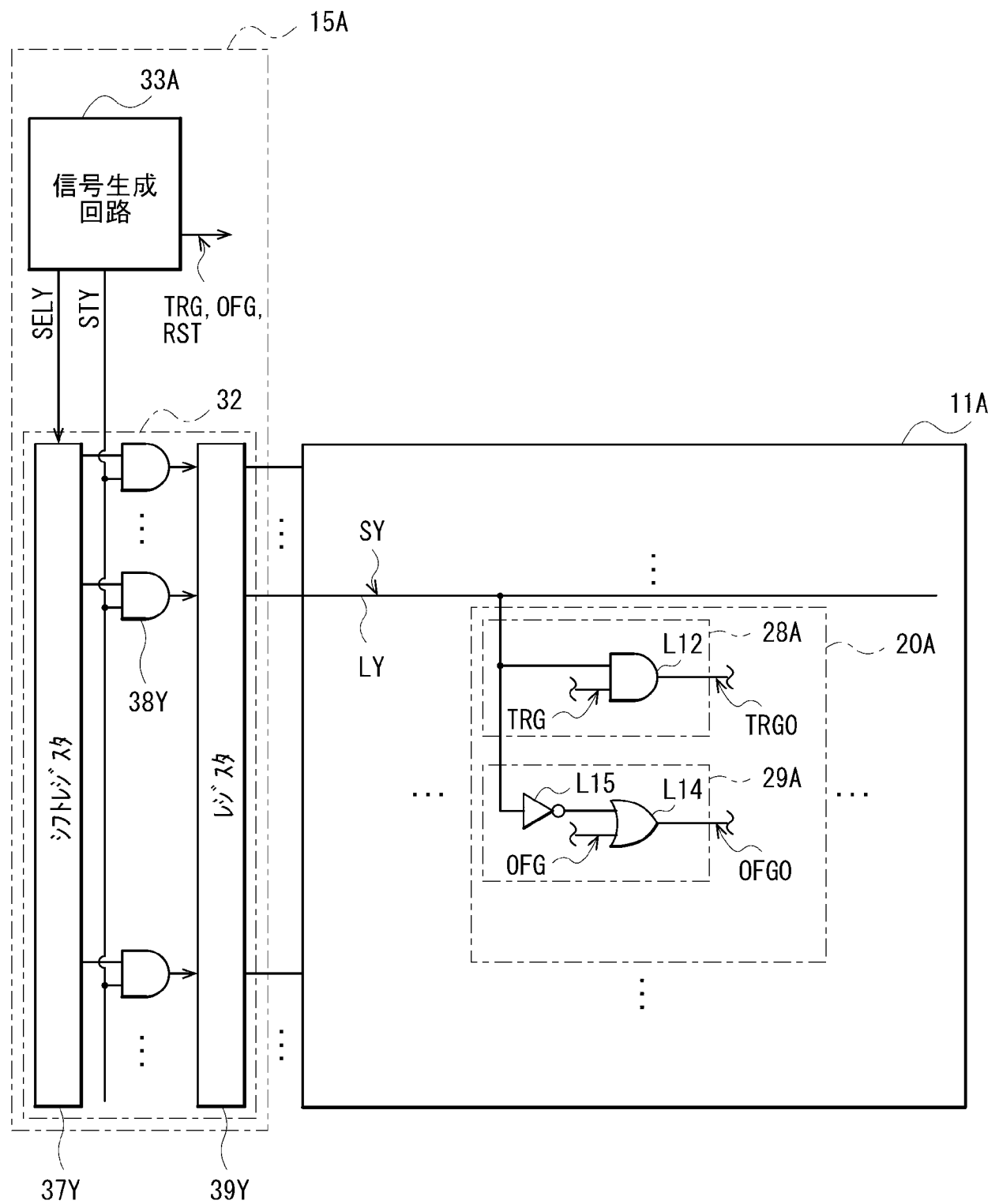
[図17]



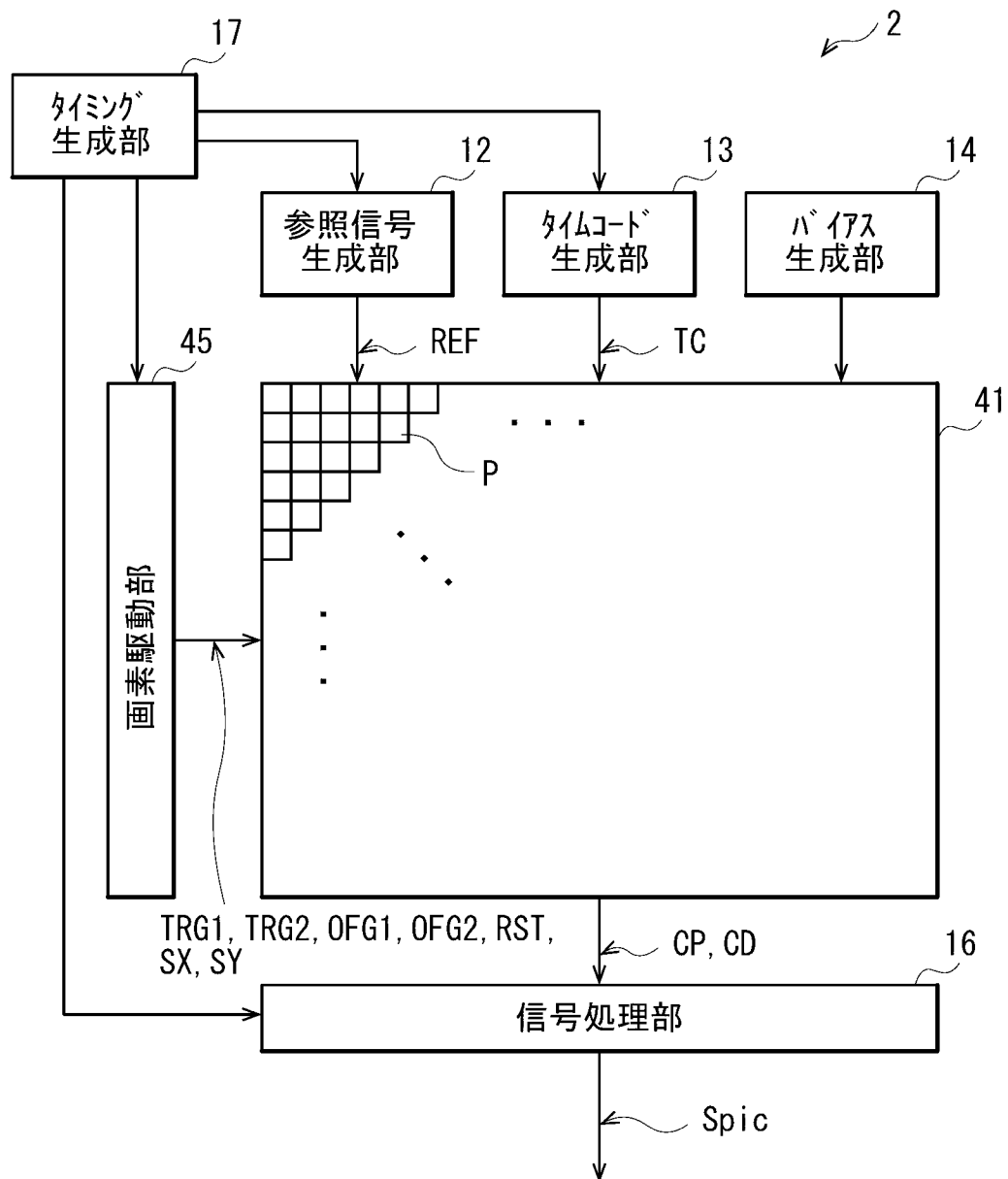
102



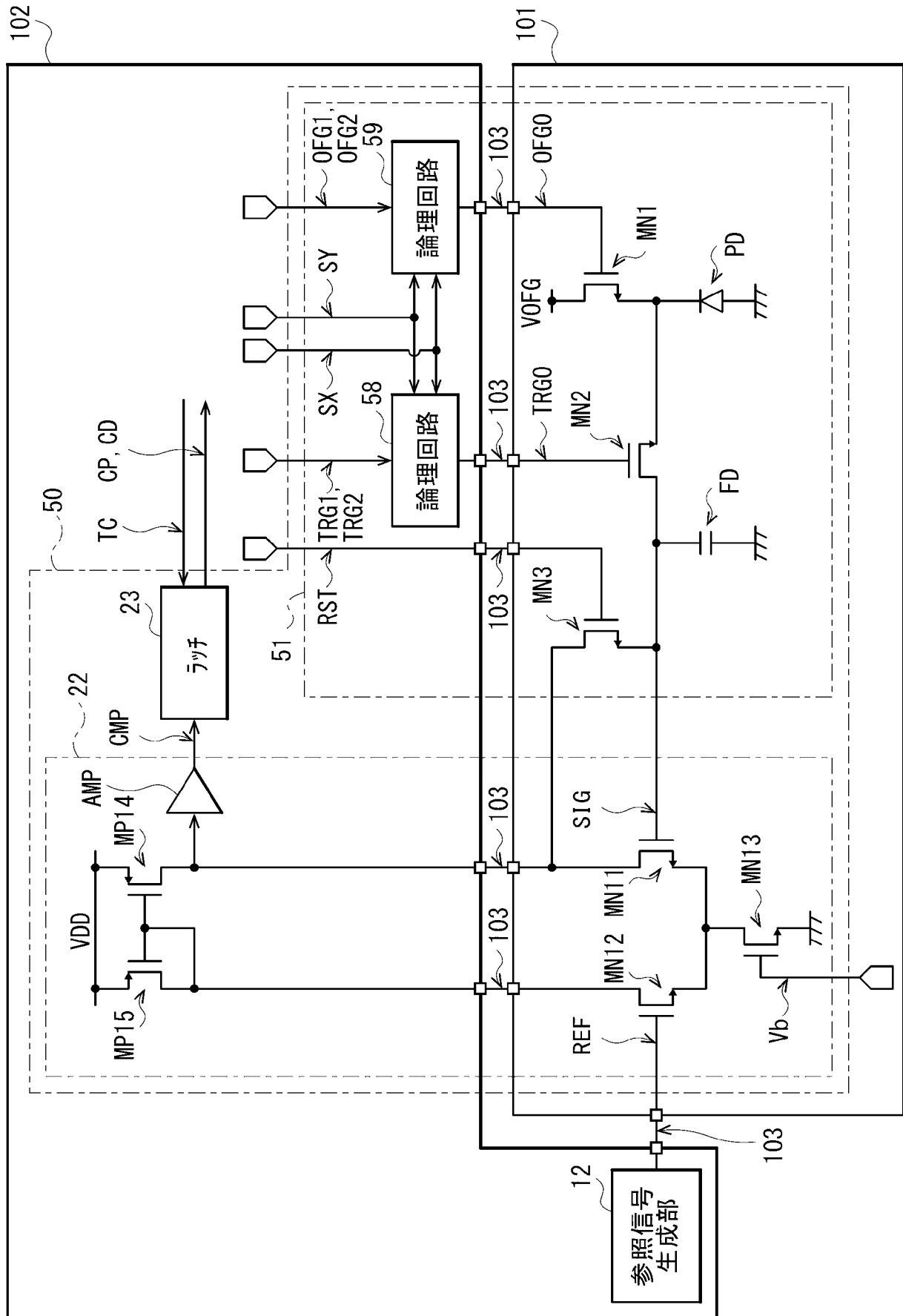
[図19]



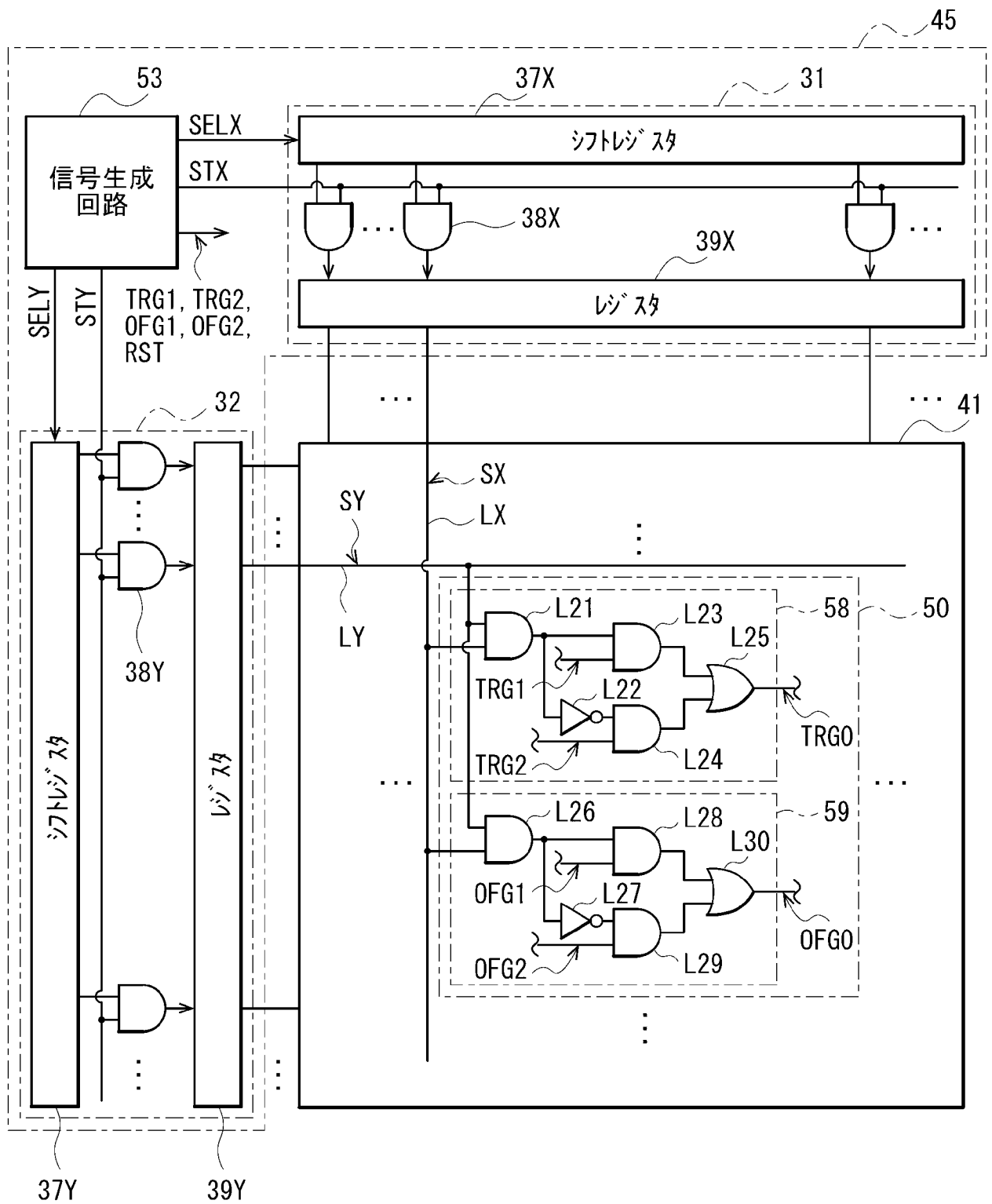
[図20]



[図21]



[図22]



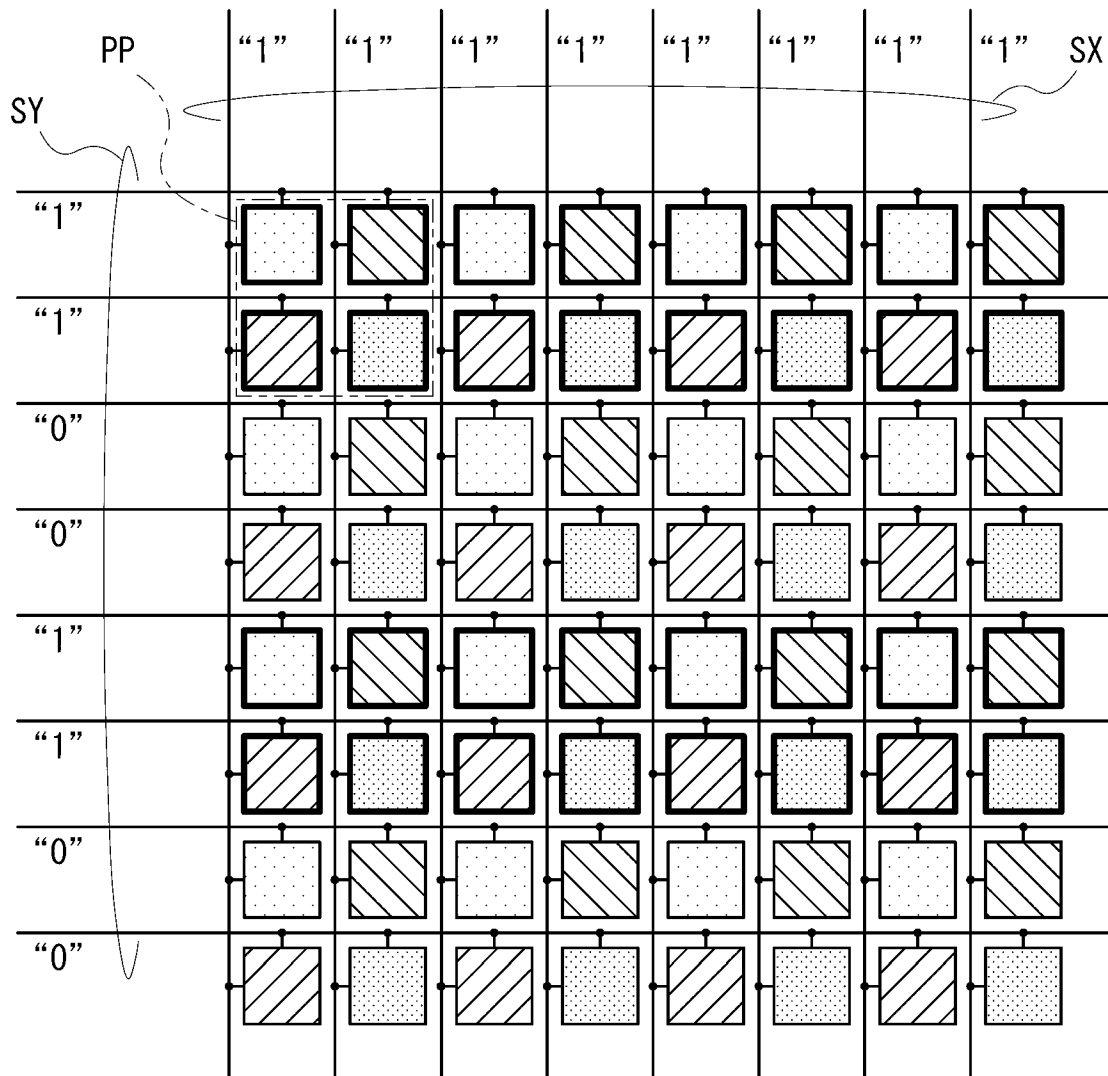
[図23]

SX	SY	TRG1	TRG2	TRG0
0	0	0	0	L
0	0	0	1	H
0	0	1	0	L
0	0	1	1	H
0	1	0	0	L
0	1	0	1	H
0	1	1	0	L
0	1	1	1	H
1	0	0	0	L
1	0	0	1	H
1	0	1	0	L
1	0	1	1	H
1	1	0	0	L
1	1	0	1	L
1	1	1	0	H
1	1	1	1	H

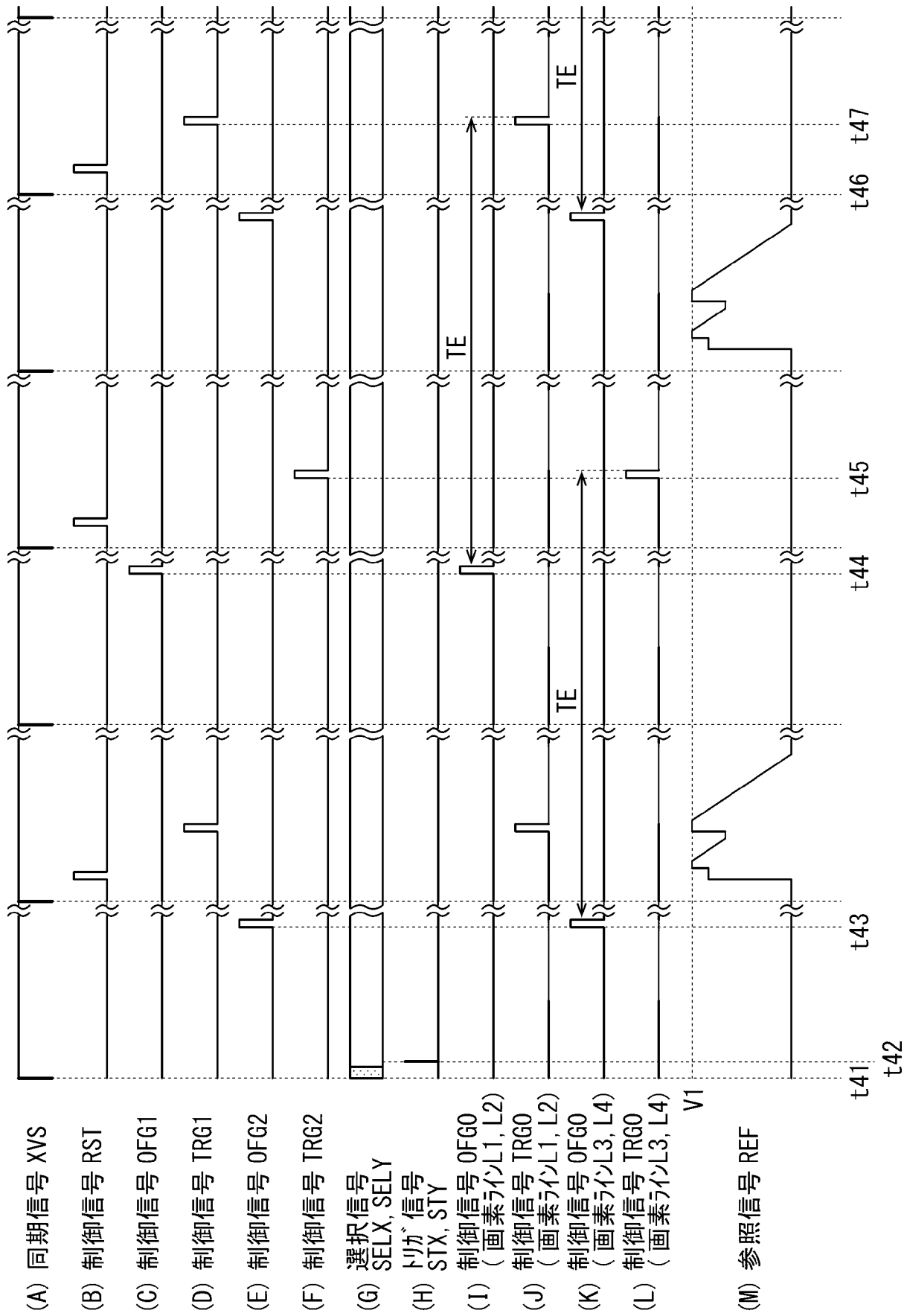
[図24]

SX	SY	0FG1	0FG2	0FG0
0	0	0	0	L
0	0	0	1	H
0	0	1	0	L
0	0	1	1	H
0	1	0	0	L
0	1	0	1	H
0	1	1	0	L
0	1	1	1	H
1	0	0	0	L
1	0	0	1	H
1	0	1	0	L
1	0	1	1	H
1	1	0	0	L
1	1	0	1	L
1	1	1	0	H
1	1	1	1	H

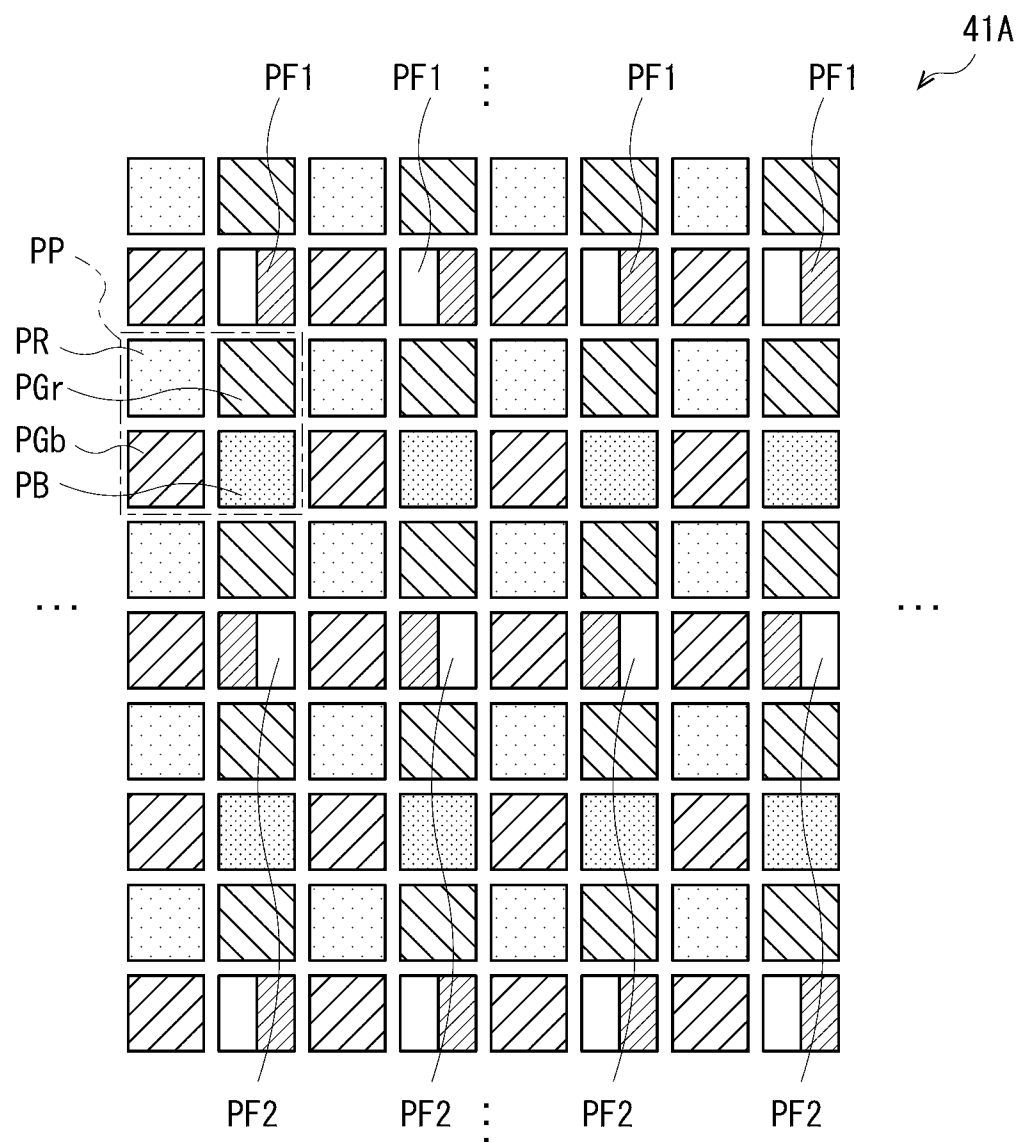
[図25]



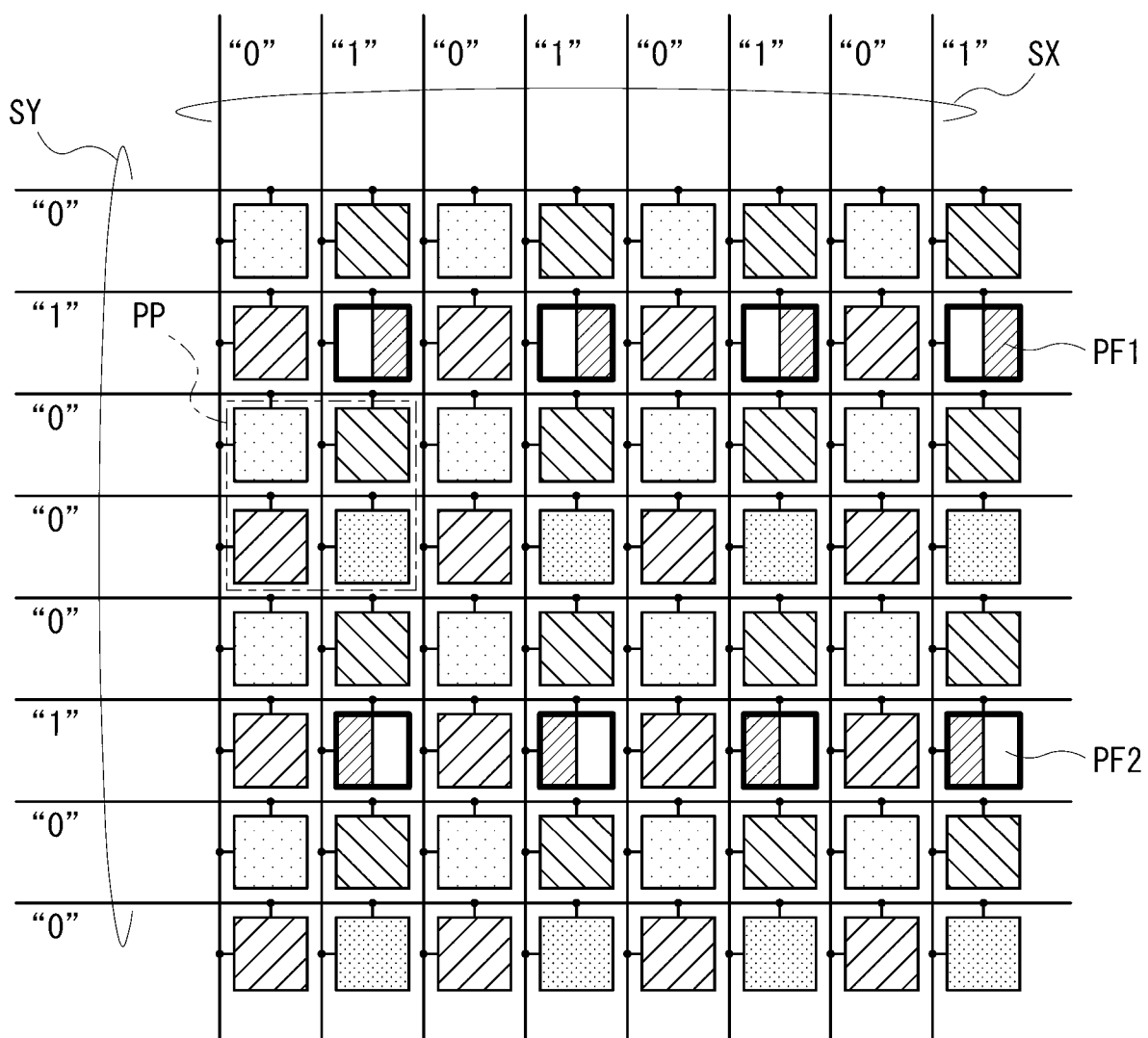
[図26]



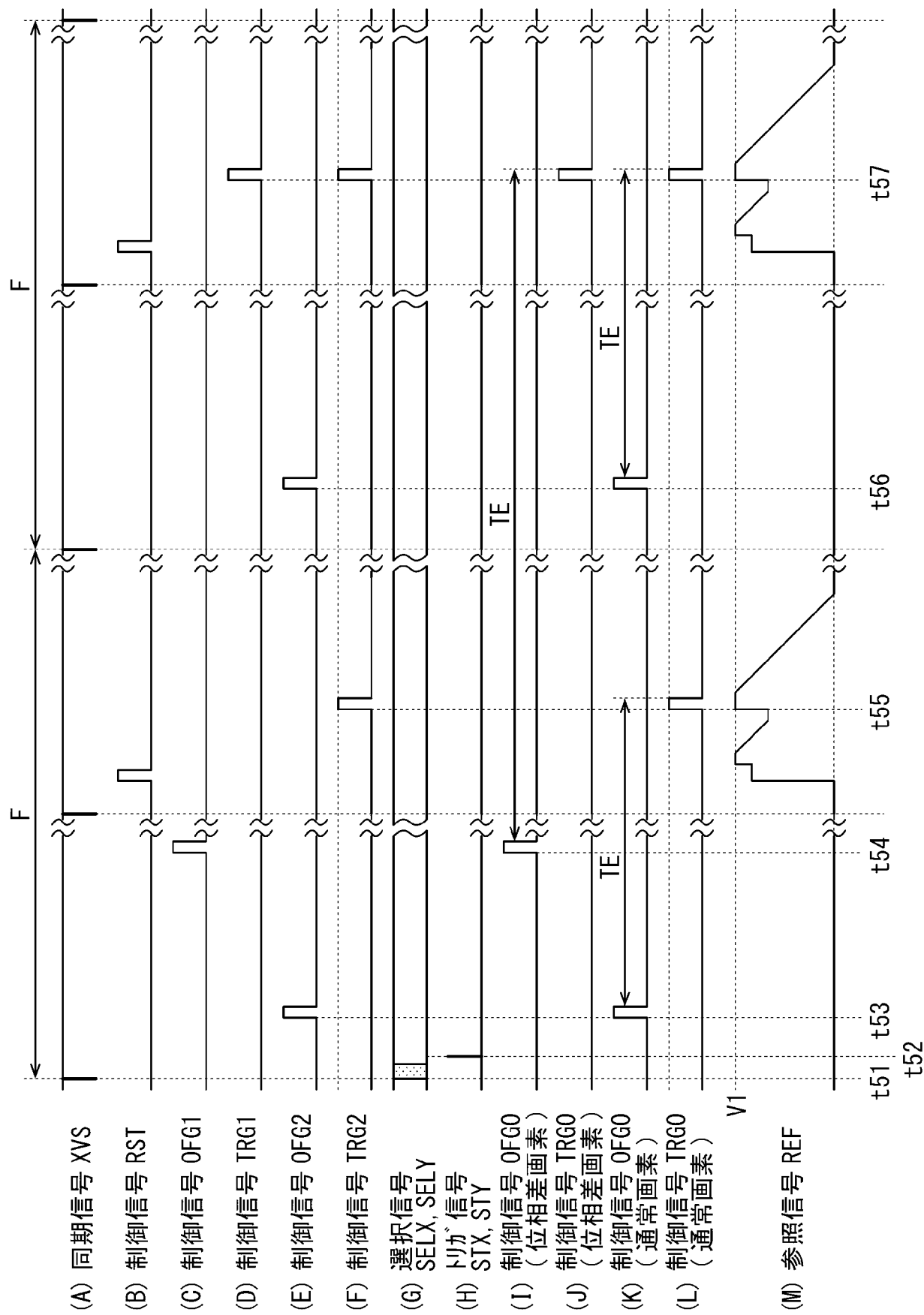
[図27]



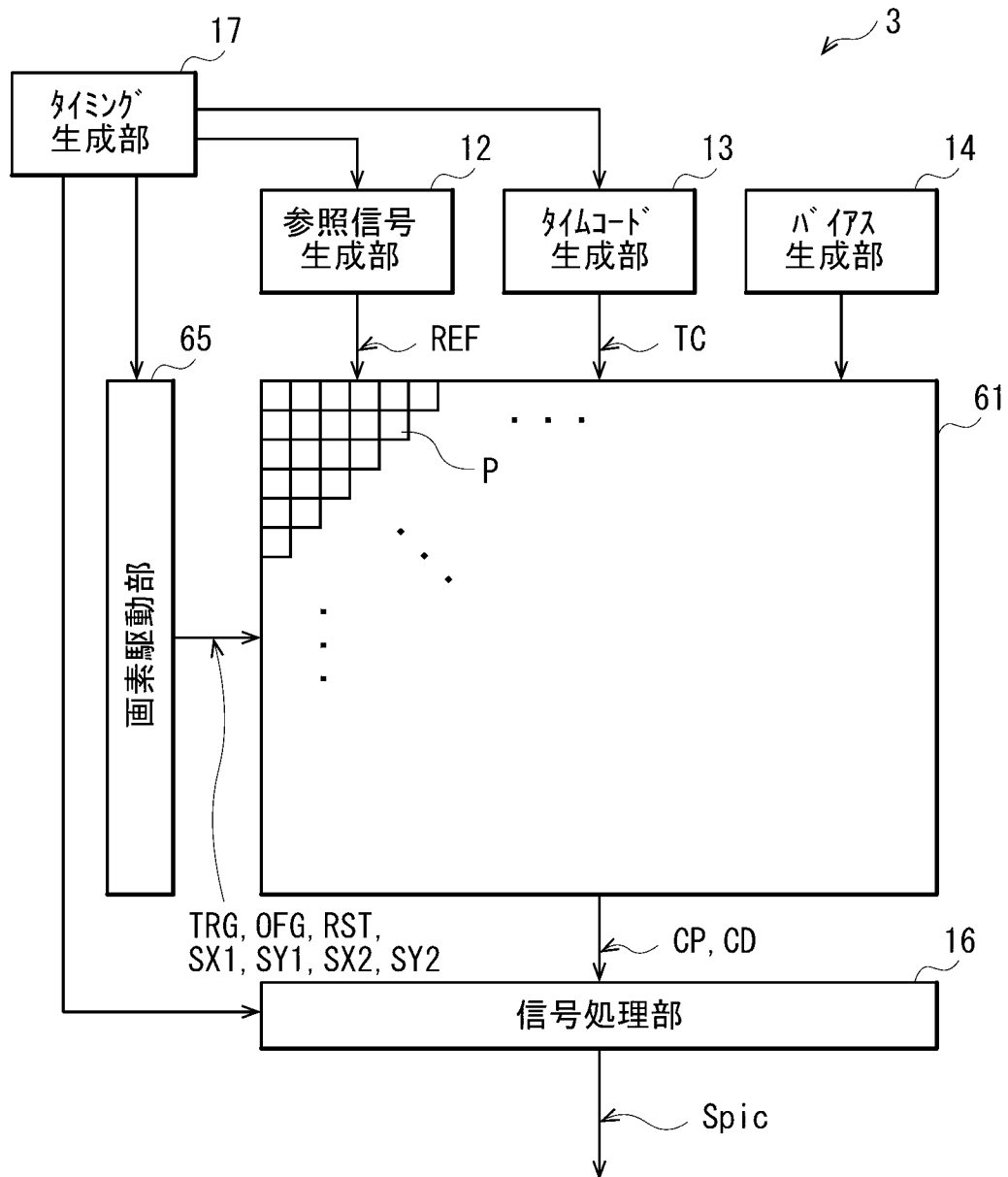
[図28]



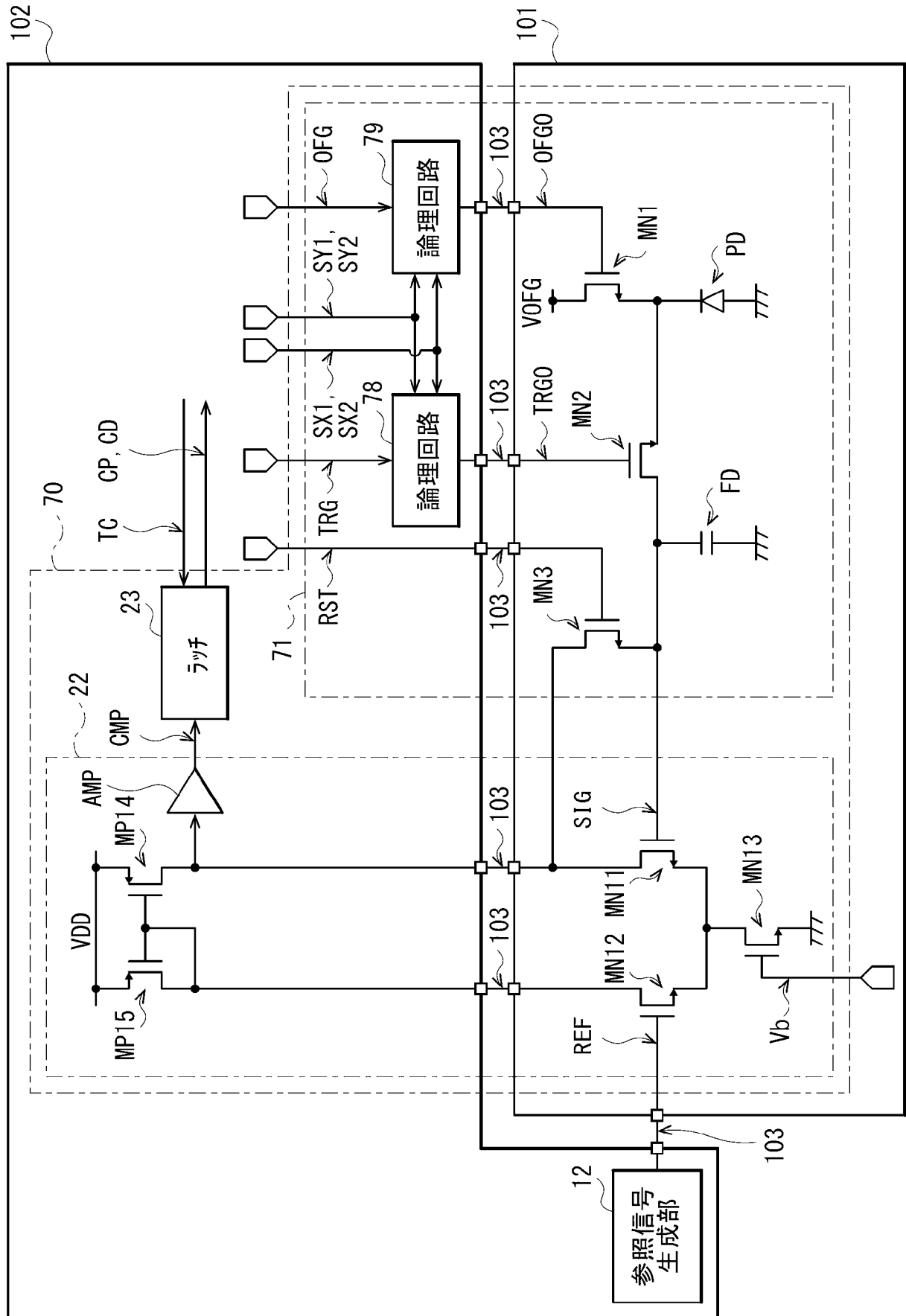
[図29]



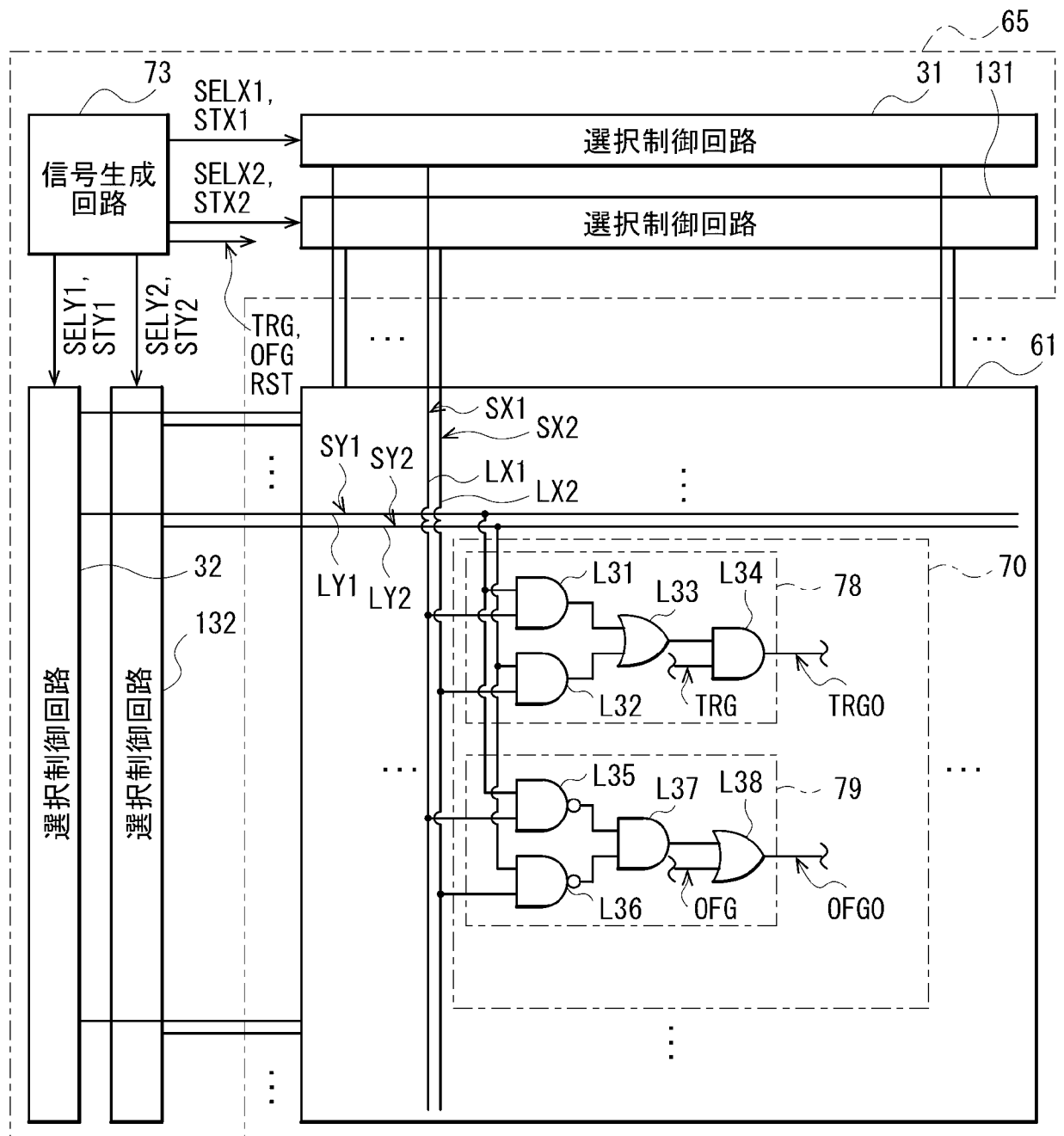
[図30]



[図31]



[図32]



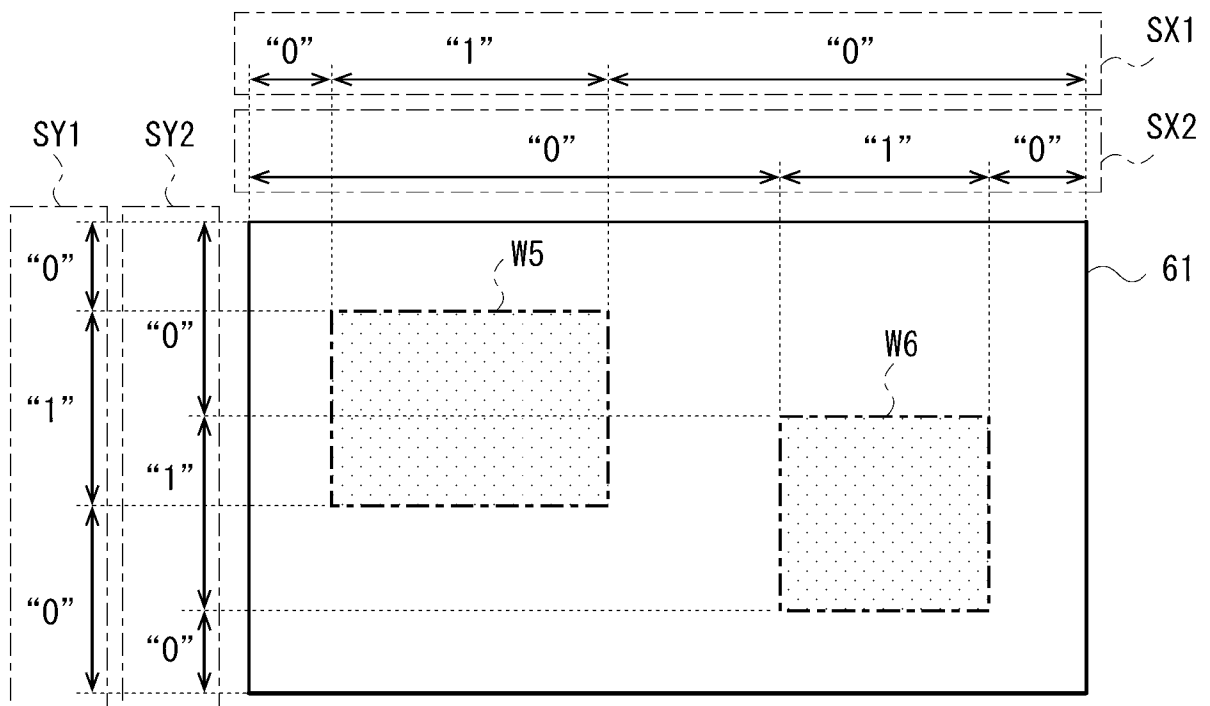
[図33]

SX1	SY1	SX2	SY2	TRG	TRG0
0	0	0	0	0	L
0	0	0	0	1	L
0	0	0	1	0	L
0	0	0	1	1	L
0	0	1	0	0	L
0	0	1	0	1	L
0	0	1	1	0	L
0	0	1	1	1	H
0	1	0	0	0	L
0	1	0	0	1	L
0	1	0	1	0	L
0	1	0	1	1	L
0	1	1	0	0	L
0	1	1	0	1	L
0	1	1	1	0	L
0	1	1	1	1	H
1	0	0	0	0	L
1	0	0	0	1	L
1	0	0	1	0	L
1	0	0	1	1	L
1	0	1	0	0	L
1	0	1	0	1	L
1	0	1	1	0	L
1	0	1	1	1	H
1	1	0	0	0	L
1	1	0	0	1	H
1	1	0	1	0	L
1	1	0	1	1	H
1	1	1	0	0	L
1	1	1	0	1	H
1	1	1	1	0	L
1	1	1	1	1	H

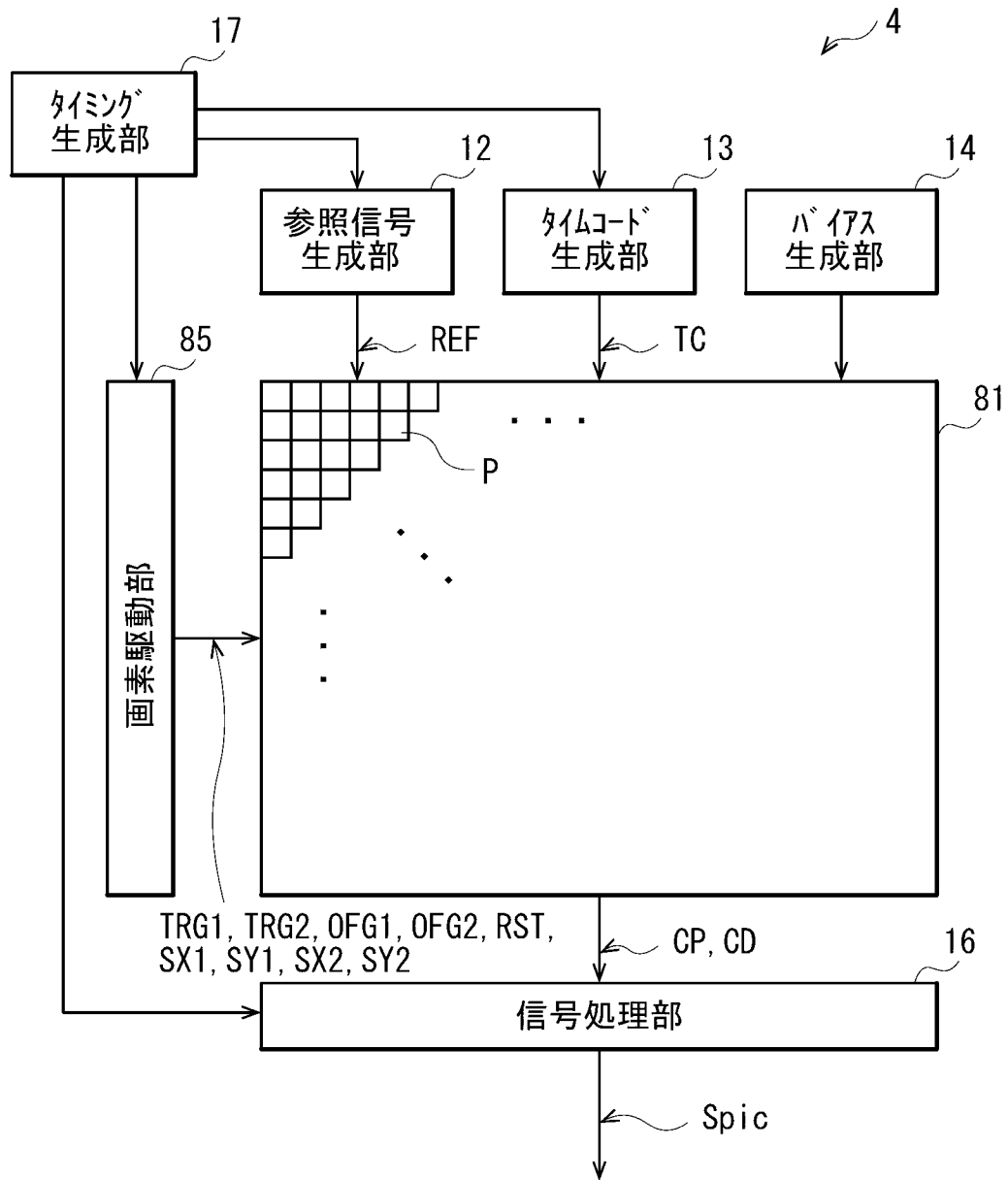
[図34]

SX1	SY1	SX2	SY2	OFG	OFG0
0	0	0	0	0	H
0	0	0	0	1	H
0	0	0	1	0	H
0	0	0	1	1	H
0	0	1	0	0	H
0	0	1	0	1	H
0	0	1	1	0	L
0	0	1	1	1	H
0	1	0	0	0	H
0	1	0	0	1	H
0	1	0	1	0	H
0	1	0	1	1	H
0	1	1	0	0	H
0	1	1	0	1	H
0	1	1	1	0	L
0	1	1	1	1	H
1	0	0	0	0	H
1	0	0	0	1	H
1	0	0	1	0	H
1	0	0	1	1	H
1	0	1	0	0	H
1	0	1	0	1	H
1	0	1	1	0	L
1	0	1	1	1	H
1	1	0	0	0	L
1	1	0	0	1	H
1	1	0	1	0	L
1	1	0	1	1	H
1	1	1	0	0	L
1	1	1	0	1	H
1	1	1	1	0	L
1	1	1	1	1	H

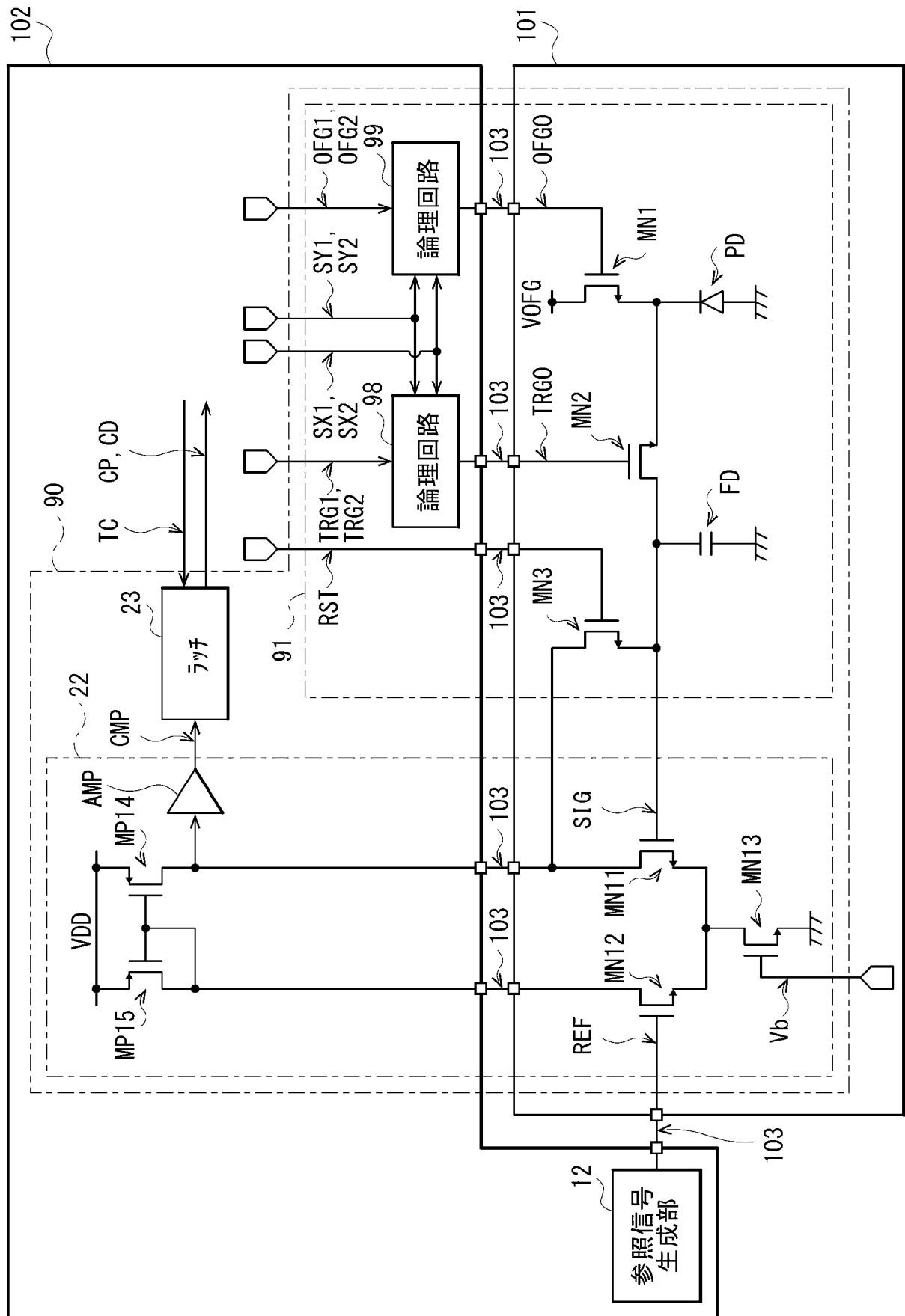
[図35]



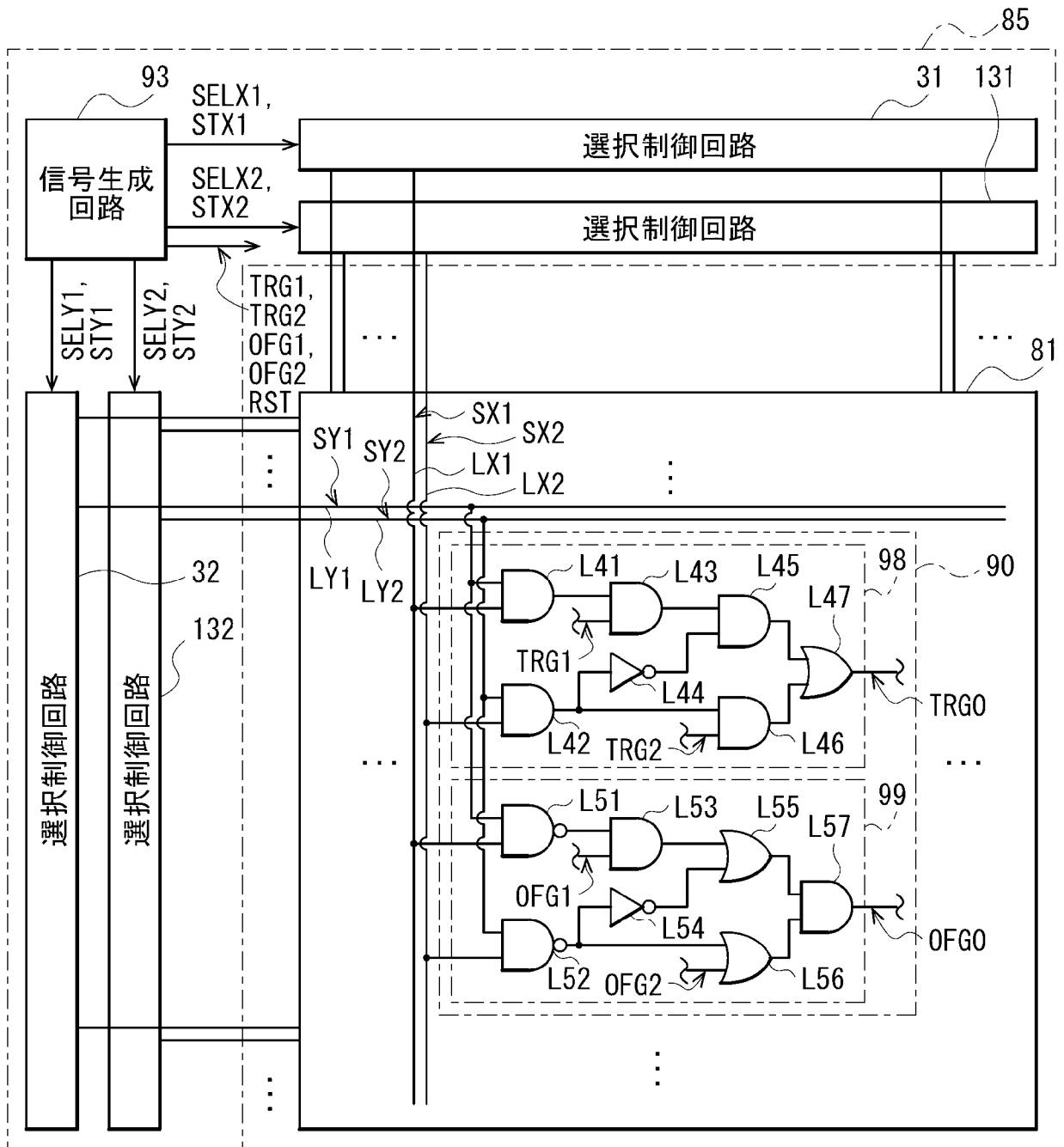
[図36]



[図37]



[図38]



[図39A]

SX1	SY1	TRG1	SX2	SY2	TRG2	TRG0
0	0	0	0	0	0	L
0	0	0	0	0	1	L
0	0	0	0	1	0	L
0	0	0	0	1	1	L
0	0	0	1	0	0	L
0	0	0	1	0	1	L
0	0	0	1	1	0	L
0	0	0	1	1	1	H
0	0	1	0	0	0	L
0	0	1	0	0	1	L
0	0	1	0	1	0	L
0	0	1	0	1	1	L
0	0	1	1	0	0	L
0	0	1	1	0	1	L
0	0	1	1	1	0	L
0	0	1	1	1	1	H
0	1	0	0	0	0	L
0	1	0	0	0	1	L
0	1	0	0	1	0	L
0	1	0	0	1	1	L
0	1	0	1	0	0	L
0	1	0	1	0	1	L
0	1	0	1	1	0	L
0	1	0	1	1	1	H
0	1	1	0	0	0	L
0	1	1	0	0	1	L
0	1	1	0	1	0	L
0	1	1	0	1	1	L
0	1	1	1	0	0	L
0	1	1	1	0	1	L
0	1	1	1	1	0	L
0	1	1	1	1	1	H

[図39B]

SX1	SY1	TRG1	SX2	SY2	TRG2	TRG0
1	0	0	0	0	0	L
1	0	0	0	0	1	L
1	0	0	0	1	0	L
1	0	0	0	1	1	L
1	0	0	1	0	0	L
1	0	0	1	0	1	L
1	0	0	1	1	0	L
1	0	0	1	1	1	H
1	0	1	0	0	0	L
1	0	1	0	0	1	L
1	0	1	0	1	0	L
1	0	1	0	1	1	L
1	0	1	1	0	0	L
1	0	1	1	0	1	L
1	0	1	1	1	0	L
1	0	1	1	1	1	H
1	1	0	0	0	0	L
1	1	0	0	0	1	L
1	1	0	0	1	0	L
1	1	0	0	1	1	L
1	1	0	1	0	0	L
1	1	0	1	0	1	L
1	1	0	1	1	0	L
1	1	0	1	1	1	H
1	1	1	0	0	0	H
1	1	1	0	0	1	H
1	1	1	0	1	0	H
1	1	1	0	1	1	H
1	1	1	1	0	0	H
1	1	1	1	0	1	H
1	1	1	1	1	0	L
1	1	1	1	1	1	H

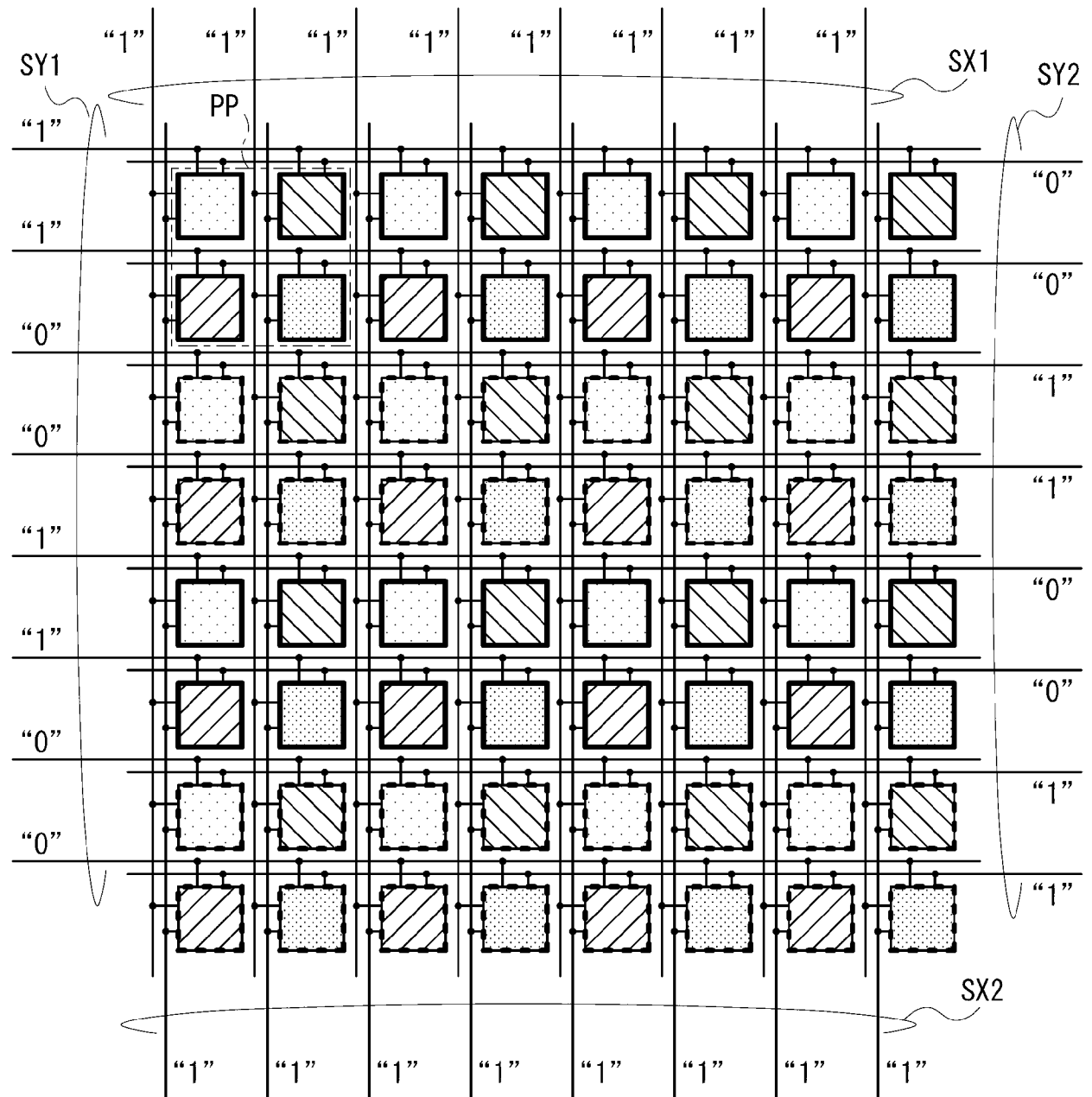
[図40A]

SX1	SY1	OFG1	SX2	SY2	OFG2	OFGO
0	0	0	0	0	0	H
0	0	0	0	0	1	H
0	0	0	0	1	0	H
0	0	0	0	1	1	H
0	0	0	1	0	0	H
0	0	0	1	0	1	H
0	0	0	1	1	0	L
0	0	0	1	1	1	H
0	0	1	0	0	0	H
0	0	1	0	0	1	H
0	0	1	0	1	0	H
0	0	1	0	1	1	H
0	0	1	1	0	0	H
0	0	1	1	0	1	H
0	0	1	1	1	0	L
0	0	1	1	1	1	H
0	1	0	0	0	0	H
0	1	0	0	0	1	H
0	1	0	0	1	0	H
0	1	0	0	1	1	H
0	1	0	1	0	0	H
0	1	0	1	0	1	H
0	1	0	1	1	0	L
0	1	0	1	1	1	H
0	1	1	0	0	0	H
0	1	1	0	0	1	H
0	1	1	0	1	0	H
0	1	1	0	1	1	H
0	1	1	1	0	0	H
0	1	1	1	0	1	H
0	1	1	1	1	0	L
0	1	1	1	1	1	H

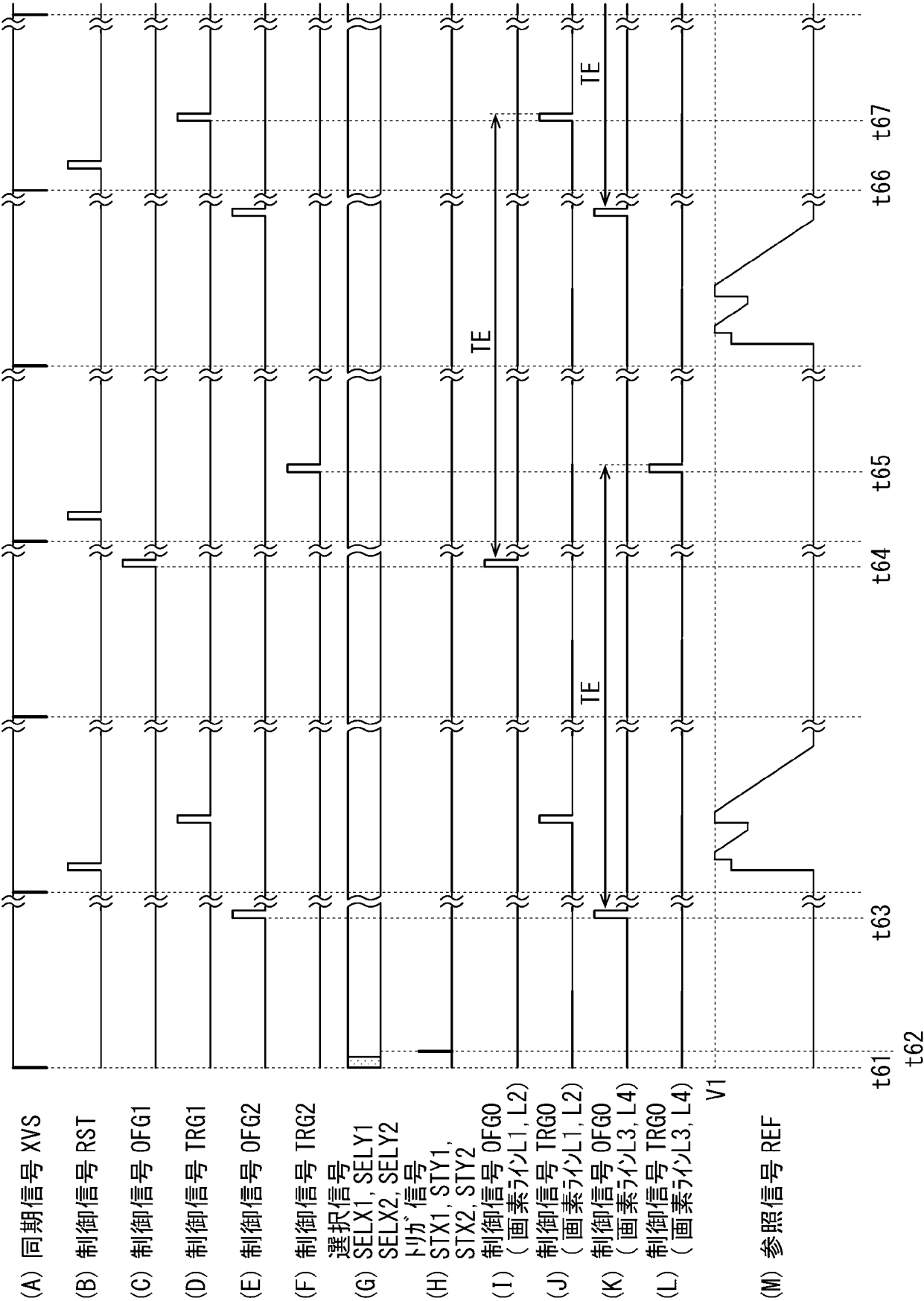
[図40B]

SX1	SY1	0FG1	SX2	SY2	0FG2	0FG0
1	0	0	0	0	0	H
1	0	0	0	0	1	H
1	0	0	0	1	0	H
1	0	0	0	1	1	H
1	0	0	1	0	0	H
1	0	0	1	0	1	H
1	0	0	1	1	0	L
1	0	0	1	1	1	H
1	0	1	0	0	0	H
1	0	1	0	0	1	H
1	0	1	0	1	0	H
1	0	1	0	1	1	H
1	0	1	1	0	0	H
1	0	1	1	0	1	H
1	0	1	1	1	0	L
1	0	1	1	1	1	H
1	1	0	0	0	0	L
1	1	0	0	0	1	L
1	1	0	0	1	0	L
1	1	0	0	1	1	L
1	1	0	1	0	0	L
1	1	0	1	0	1	L
1	1	0	1	1	0	L
1	1	0	1	1	1	H
1	1	1	0	0	0	H
1	1	1	0	0	1	H
1	1	1	0	1	0	H
1	1	1	0	1	1	H
1	1	1	1	0	0	H
1	1	1	1	0	1	H
1	1	1	1	1	0	L
1	1	1	1	1	1	H

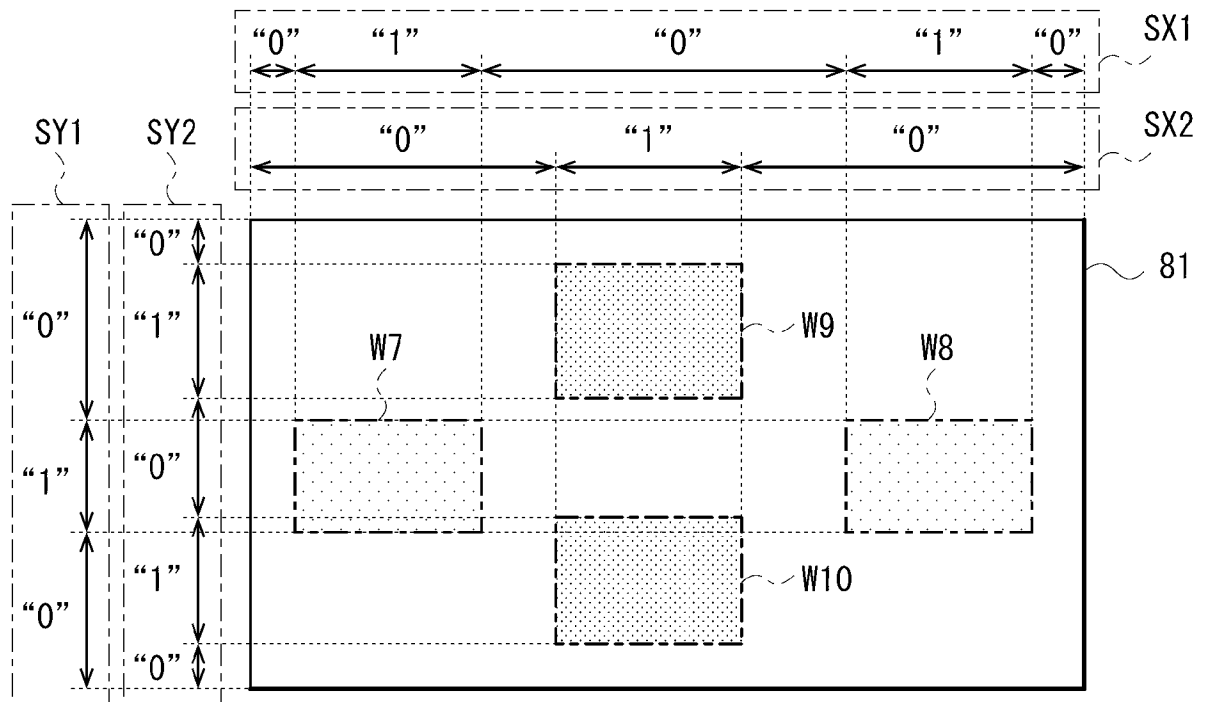
[図41]



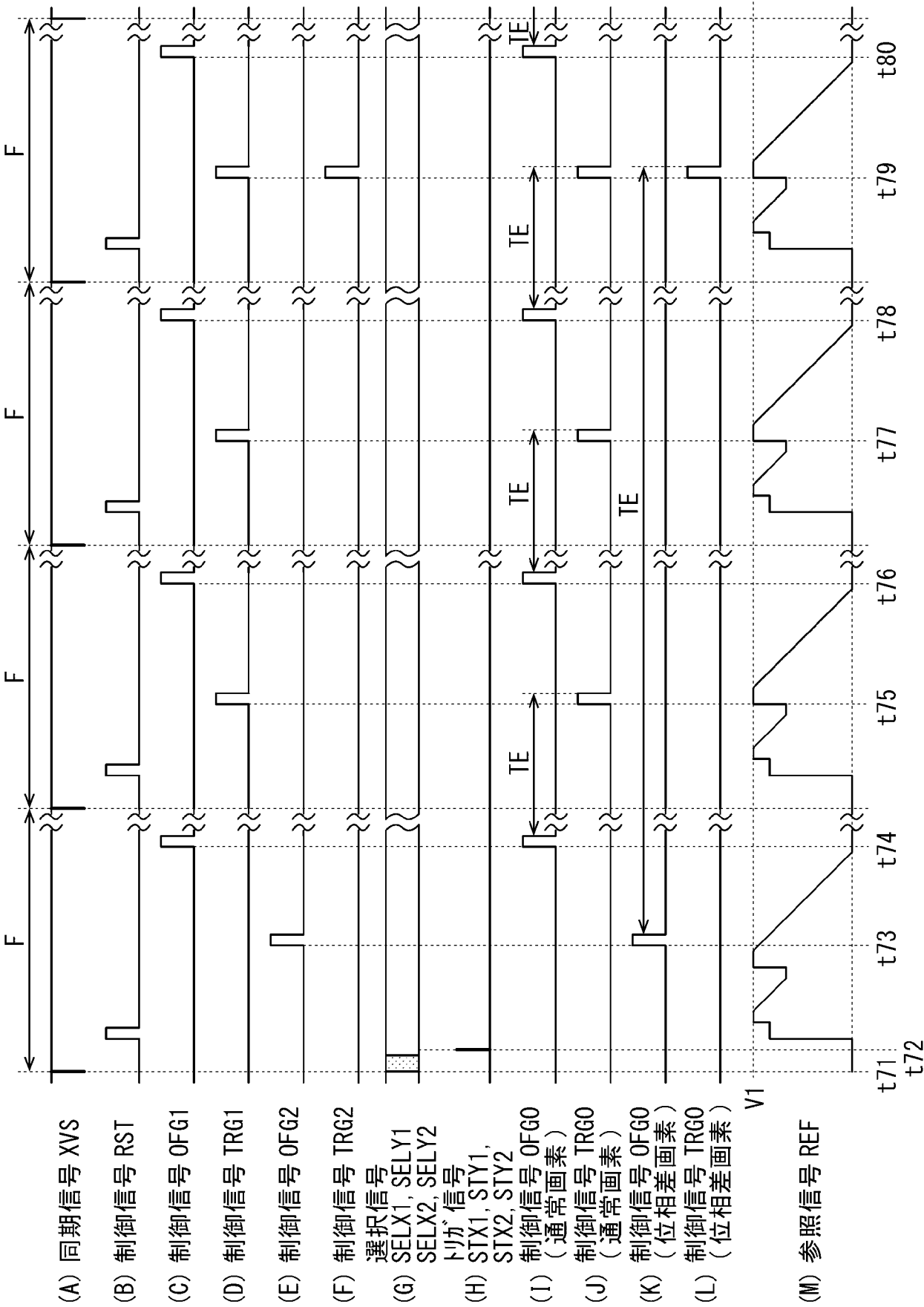
[図42]



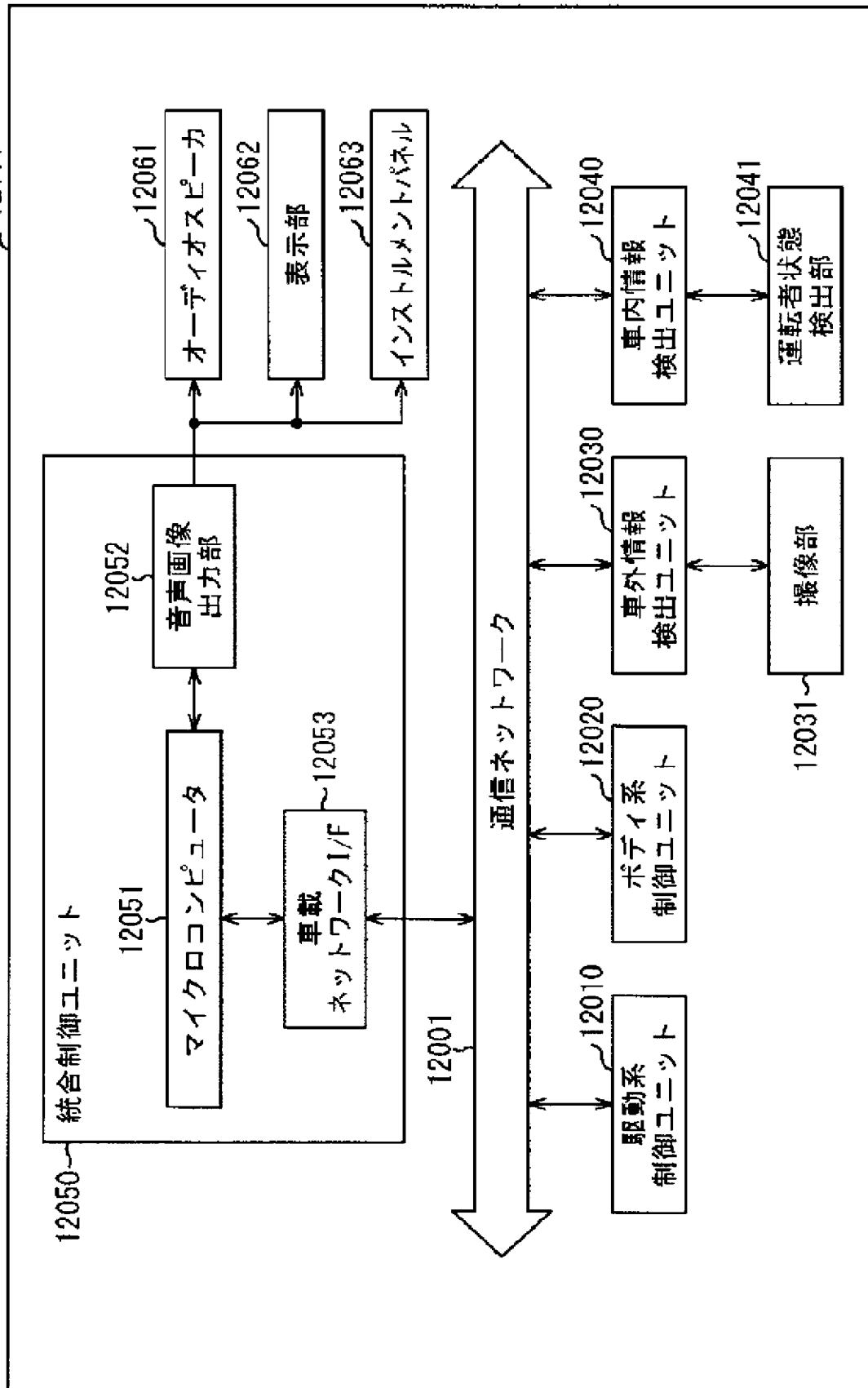
[図43]



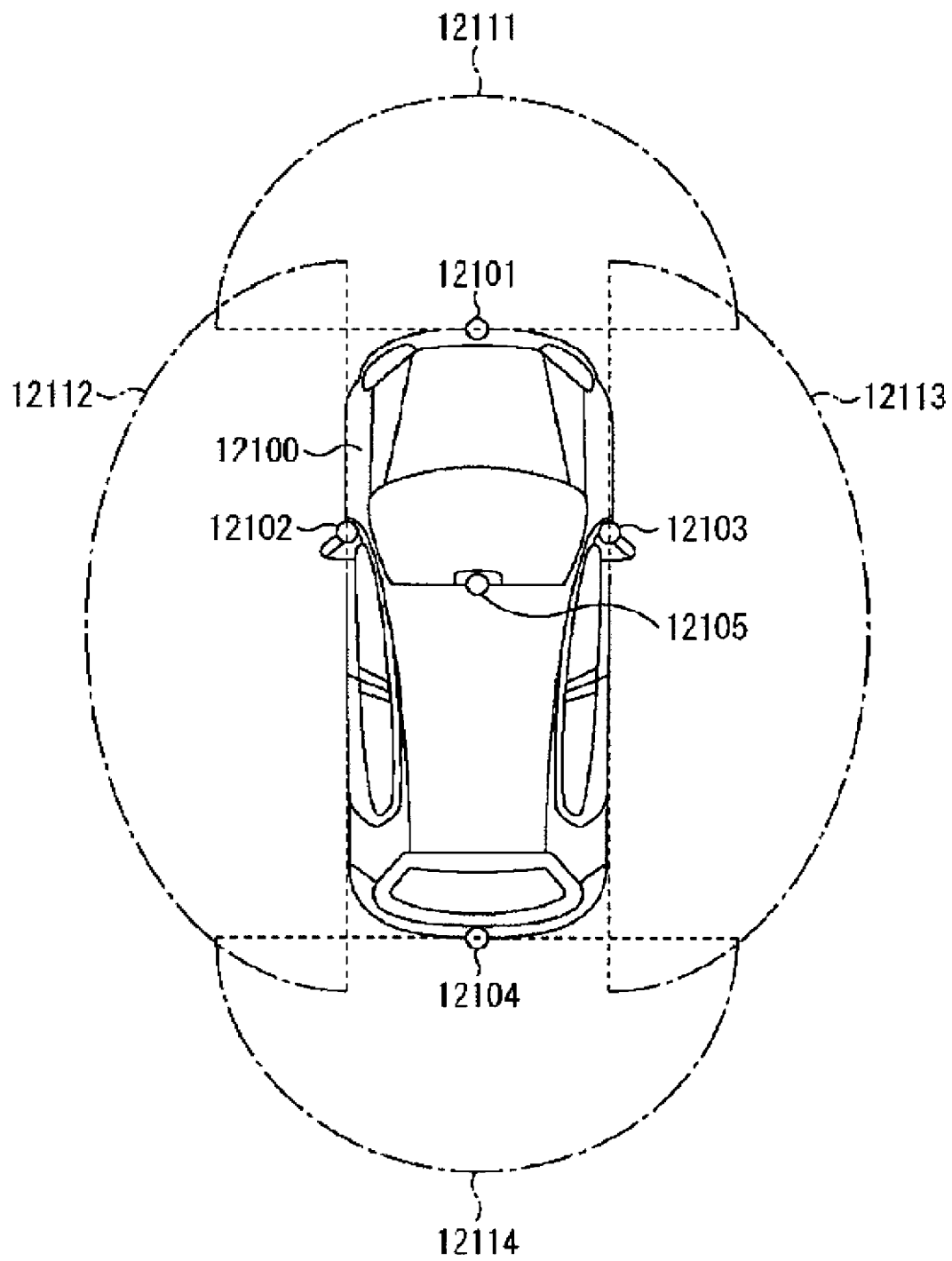
[図45]



[図46]



[図47]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/006501

A. CLASSIFICATION OF SUBJECT MATTER**H04N 5/3745**(2011.01)i

FI: H04N5/3745 500

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-171637 A (SONY CORP) 05 August 2010 (2010-08-05)	1, 20
A	paragraphs [0009], [0012], [0101], fig. 1, 2, 11	2-19
Y	JP 2019-149713 A (SONY SEMICONDUCTOR SOLUTIONS CORP) 05 September 2019 (2019-09-05)	1, 20
	paragraph [0016], fig. 1	
A	JP 2021-82994 A (CANON KK) 27 May 2021 (2021-05-27)	1-20
	paragraphs [0019]-[0022], fig. 3	

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 April 2022

Date of mailing of the international search report

10 May 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/006501

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-171637	A	05 August 2010	US 2012/0019698 A1 paragraphs [0017], [0021]- [0023], [0273]-[0280], fig. 1, 2, 11 WO 2010/084695 A1 EP 2381674 A1 KR 10-2011-0108345 A CN 102282839 A	
JP	2019-149713	A	05 September 2019	US 2021/0092313 A1 paragraph [0036], fig. 1 WO 2019/167608 A1 CN 111758251 A	
JP	2021-82994	A	27 May 2021	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/3745(2011.01)i FI: H04N5/3745 500		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H04N5/3745		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-171637 A（ソニー株式会社）05.08.2010（2010-08-05） 段落 [0009] , [0012] , [0101] , 図1,2,11	1,20
A		2-19
Y	JP 2019-149713 A（ソニーセミコンダクタソリューションズ株式会社）05.09.2019 （2019-09-05） 段落 [0016] , 図1	1,20
A	JP 2021-82994 A（キヤノン株式会社）27.05.2021（2021-05-27） 段落 [0019] - [0022] , 図3	1-20
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 08.04.2022		国際調査報告の発送日 10.05.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/006501

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-171637	A	05.08.2010	US 2012/0019698 A1 段落 [0017] , [0021] - [0023] , [0273] - [0280] , 図1, 2, 11 WO 2010/084695 A1 EP 2381674 A1 KR 10-2011-0108345 A CN 102282839 A	
JP	2019-149713	A	05.09.2019	US 2021/0092313 A1 段落 [0036] , 図1 WO 2019/167608 A1 CN 111758251 A	
JP	2021-82994	A	27.05.2021	(ファミリーなし)	