



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201610405 A

(43)公開日：中華民國 105 (2016) 年 03 月 16 日

(21)申請案號：104125832

(22)申請日：中華民國 104 (2015) 年 08 月 07 日

(51)Int. Cl.：

G01L9/00 (2006.01)

G01L19/04 (2006.01)

H01L29/84 (2006.01)

G01C5/06 (2006.01)

(30)優先權：2014/08/12

日本

2014-164066

(71)申請人：精工愛普生股份有限公司 (日本) SEIKO EPSON CORPORATION (JP)

日本

(72)發明人：林和也 HAYASHI, KAZUYA (JP)；永松昌一 NAGAMATSU, SHOICHI (JP)；竹內淳一 TAKEUCHI, JUNICHI (JP)；衣川拓也 KINUGAWA, TAKUYA (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：16 共 41 頁

(54)名稱

物理量感測器、壓力感測器、高度計、電子機器及移動體

PHYSICAL QUANTITY SENSOR, PRESSURE SENSOR, ALTIMETER, ELECTRONIC APPARATUS, AND MOVING OBJECT

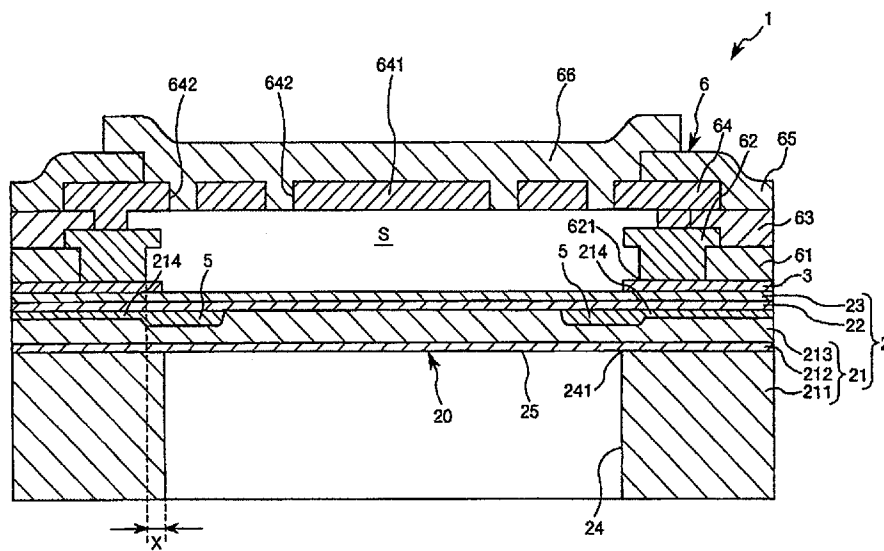
(57)摘要

本發明之課題在於提供一種具有優異之溫度特性之物理量感測器，又，提供一種具備該物理量感測器之壓力感測器、高度計、電子機器及移動體。

本發明之物理量感測器 1 包括：基板 2，其具有向一面開口之凹部 24；膜片部 20，其包含凹部 24 之底部，因受壓而彎曲變形；壓阻元件 5，其配置於膜片部 20；被覆層 641，其介隔空腔部 S 與膜片部 20 相對向；及配線層 62、64，其等配置於基板 2 與被覆層 641 之間，與基板 2 及被覆層 641 一併構成空腔部 S；且配線層 62、64 係包含金屬而構成，於俯視下，凹部 24 之底部之外周緣 241 位於較配線層 62 之內壁面之基板 2 側之端 621 更靠膜片部 20 之中心側。

A physical quantity sensor includes a substrate that has a recess that is open toward one side of the substrate, a diaphragm that has a bottom of the recess as part of the diaphragm and undergoes bending deformation under pressure, a piezoresistance device that is disposed in the diaphragm, a coating layer that faces the diaphragm via a cavity, and wiring layers that are disposed between the substrate and the coating layer, and form, along with the substrate and the coating layer, the cavity. Each of the wiring layers contains a metal, and in a plan view, an outer circumferential edge of the bottom of the recess is closer to the center of the diaphragm than a substrate-side end of an inner wall surface of one of the wiring layers.

指定代表圖：



符號簡單說明：

- 1 . . . 物理量感測器
- 2 . . . 基板
- 3 . . . 階差形成層
- 5 . . . 壓阻元件(感測器元件)
- 6 . . . 積層構造體
- 20 . . . 膜片部
- 21 . . . 半導體基板
- 22 . . . 絕緣膜
- 23 . . . 絕緣膜
- 24 . . . 凹部
- 25 . . . 受壓面
- 61 . . . 層間絕緣膜
- 62 . . . 配線層
- 63 . . . 層間絕緣膜
- 64 . . . 配線層
- 65 . . . 表面保護膜
- 66 . . . 密封層
- 211 . . . 矽層
- 212 . . . 氧化矽層
- 213 . . . 矽層
- 214 . . . 配線
- 241 . . . 外周緣
- 621 . . . 端
- 641 . . . 被覆層
- 642 . . . 微孔
- S . . . 空腔部
- X . . . 距離

發明摘要

※ 申請案號： 10415832

G01L 9/00 (2006.01)

※ 申請日： 104. 8. - 7

G01L 19/04 (2006.01)

※IPC 分類： H01L 29/84 (2006.01)

G01C 5/06 (2006.01)

【發明名稱】

物理量感測器、壓力感測器、高度計、電子機器及移動體

PHYSICAL QUANTITY SENSOR, PRESSURE SENSOR,

ALTIMETER, ELECTRONIC APPARATUS, AND MOVING

OBJECT

【中文】

本發明之課題在於提供一種具有優異之溫度特性之物理量感測器，又，提供一種具備該物理量感測器之壓力感測器、高度計、電子機器及移動體。

本發明之物理量感測器1包括：基板2，其具有向一面開口之凹部24；膜片部20，其包含凹部24之底部，因受壓而彎曲變形；壓阻元件5，其配置於膜片部20；被覆層641，其介隔空腔部S與膜片部20相對向；及配線層62、64，其等配置於基板2與被覆層641之間，與基板2及被覆層641一併構成空腔部S；且配線層62、64係包含金屬而構成，於俯視下，凹部24之底部之外周緣241位於較配線層62之內壁面之基板2側之端621更靠膜片部20之中心側。

【英文】

A physical quantity sensor includes a substrate that has a recess that is open toward one side of the substrate, a diaphragm that has a bottom of the recess as part of the diaphragm and undergoes bending deformation under pressure, a piezoresistance device that is disposed in the diaphragm, a coating layer that faces the diaphragm via a cavity, and wiring layers that are disposed between the substrate and the coating layer, and form, along with the substrate and the coating layer, the cavity. Each of the wiring layers contains a metal, and in a plan view, an outer circumferential edge of the bottom of the recess is closer to the center of the diaphragm than a substrate-side end of an inner wall surface of one of the wiring layers.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

1	物理量感測器
2	基板
3	階差形成層
5	壓阻元件(感測器元件)
6	積層構造體
20	膜片部
21	半導體基板
22	絕緣膜
23	絕緣膜
24	凹部
25	受壓面
61	層間絕緣膜
62	配線層
63	層間絕緣膜
64	配線層
65	表面保護膜
66	密封層
211	矽層
212	氧化矽層
213	矽層
214	配線
241	外周緣
621	端

641 被覆層

642 微孔

S 空腔部

X 距離

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

物理量感測器、壓力感測器、高度計、電子機器及移動體
PHYSICAL QUANTITY SENSOR, PRESSURE SENSOR,
ALTIMETER, ELECTRONIC APPARATUS, AND MOVING
OBJECT

【技術領域】

本發明係關於一種物理量感測器、壓力感測器、高度計、電子機器及移動體。

【先前技術】

具備因受壓而彎曲變形之膜片之壓力感測器被廣泛使用(例如，參照專利文獻1)。一般而言，此種壓力感測器具備由膜片構成壁部之一部分之空腔部，藉由利用配置於膜片上之感測器元件檢測膜片之彎曲，而檢測施加至膜片之壓力。

例如，專利文獻1所記載之轉換器係藉由在矽基板之背面形成凹部而形成膜片，另一方面，於該矽基板之正面設置有使用多晶矽而形成之真空室(空腔部)。此處，真空室之側壁連接於矽基板之藉由凹部而薄壁化之部分。即，於俯視下，真空室之側壁面之矽基板側之端位於較矽基板之凹部之底部之外周緣更靠膜片之中心側。

且說，提出有使用金屬而構成空腔部。然而，於專利文獻1所記載之轉換器中，由於真空室之側壁連接於矽基板之藉由凹部而薄壁化之部分，故而若使用金屬構成真空室，則存在因真空室與矽基板之線膨脹係數差而引起感壓特性隨著溫度變化而變動之問題。

[先前技術文獻]

[專利文獻]

[專利文獻1]日本專利特開2005-37309號公報

【發明內容】

[發明所欲解決之問題]

本發明之目的在於提供一種具有優異之溫度特性之物理量感測器，又，提供一種具備該物理量感測器之壓力感測器、高度計、電子機器及移動體。

[解決問題之技術手段]

此種目的係藉由下述本發明而達成。

[應用例1]

本發明之物理量感測器之特徵在於，包括：

基板，其具有向一面側開口之凹部；

膜片部，其包含上述凹部之底部，因受壓而彎曲變形；

感測器元件，其配置於上述膜片部；

頂壁，其介隔空腔部與上述膜片部相對向；及

側壁部，其配置於上述基板與上述頂壁之間，與上述基板及上述頂壁一併構成上述空腔部，且具有面向上述空腔部之內壁面；且

上述頂壁及上述側壁部中之至少一者係包含金屬而構成，

於上述基板之俯視下，上述底部之外周緣位於較上述內壁面之上述基板側之端更靠上述膜片部之中心側。

根據此種物理量感測器，由於側壁部連接於基板之剛性相對較高之厚壁部(與由凹部形成之薄壁部不同之部分)，故而即便於頂壁或側壁部與基板之線膨脹係數差較大之情形時，亦可減少頂壁或側壁部之應變傳遞至膜片部(薄壁部)之情況。因此，可提供一種具有優異之溫度特性之物理量感測器。

[應用例2]

於本發明之物理量感測器中，較佳為，上述頂壁及上述側壁部之兩者係包含金屬而構成。

藉此，可形成氣密性優異之空腔部。

[應用例3]

於本發明之物理量感測器中，較佳為，上述金屬為鋁、鈦、或氮化鈦。

該等金屬與半導體製造製程之親和性較高。因此，可相對簡單地形成高精度之空腔部。

[應用例4]

於本發明之物理量感測器中，較佳為，具有於上述俯視下與上述側壁部之內周面之基板側之端之間的距離處於 $0.1\ \mu\text{m}$ 以上且 $25\ \mu\text{m}$ 以下之範圍內之部分。

藉此，可有效地減少頂壁或側壁部之應變傳遞至膜片部之情況。

[應用例5]

於本發明之物理量感測器中，較佳為，上述基板具有複數個上述凹部，且

於上述俯視下，在1個上述空腔部重疊有複數個上述膜片部。

藉此，可提高檢測感度。

[應用例6]

於本發明之物理量感測器中，較佳為，上述空腔部係配置於上述基板之與上述凹部開口之側為相反側。

於此種情形時，本發明之效果顯著。

[應用例7]

本發明之壓力感測器之特徵在於：具備本發明之物理量感測器。

藉此，可提供一種具有優異之溫度特性之壓力感測器。

[應用例8]

本發明之高度計之特徵在於：具備本發明之物理量感測器。

藉此，可提供一種具有優異之溫度特性之高度計。

[應用例9]

本發明之電子機器之特徵在於：具備本發明之物理量感測器。

藉此，可提供一種具備具有優異之溫度特性之物理量感測器的電子機器。

[應用例10]

本發明之移動體之特徵在於：具備本發明之物理量感測器。

藉此，可提供一種具備具有優異之溫度特性之物理量感測器的移動體。

【圖式簡單說明】

圖1係表示本發明之第1實施形態之物理量感測器之剖視圖。

圖2係表示圖1所示之物理量感測器之壓阻元件(感測器元件)及側壁部之配置的俯視圖。

圖3係用以說明圖1所示之物理量感測器之作用之圖，(a)係表示加壓狀態之剖視圖，(b)係表示加壓狀態之俯視圖。

圖4係用以說明圖1所示之物理量感測器所具備之側壁部及其位置(距離X)之模式圖。

圖5係表示側壁部之位置(距離X)與感度比(氣壓感度/溫度感度)之關係之曲線圖。

圖6係表示側壁部之位置(距離X)與氣壓感度之關係之曲線圖。

圖7係表示側壁部之位置(距離X)與溫度感度之關係之曲線圖。

圖8係表示圖1所示之物理量感測器之製造步驟之圖。

圖9係表示圖1所示之物理量感測器之製造步驟之圖。

圖10係表示本發明之第2實施形態之物理量感測器之剖視圖。

圖11係表示圖10所示之物理量感測器之壓阻元件(感測器元件)及側壁部之配置的俯視圖。

圖12係表示包含圖10所示之物理量感測器之壓阻元件之橋接電路的圖。

圖13係表示本發明之壓力感測器之一例之剖視圖。

圖14係表示本發明之高度計之一例之立體圖。

圖15係表示本發明之電子機器之一例之前視圖。

圖16係表示本發明之移動體之一例之立體圖。

【實施方式】

以下，基於隨附圖式所示之各實施形態，對本發明之物理量感測器、壓力感測器、高度計、電子機器及移動體進行詳細說明。

1.物理量感測器

<第1實施形態>

圖1係表示本發明之第1實施形態之物理量感測器之剖視圖，圖2係表示圖1所示之物理量感測器之壓阻元件(感測器元件)及側壁部之配置之俯視圖。圖3係用以說明圖1所示之物理量感測器之作用之圖，圖3(a)係表示加壓狀態之剖視圖，圖3(b)係表示加壓狀態之俯視圖。再者，以下為了便於說明，將圖1中之上側稱為「上」，將下側稱為「下」。

圖1所示之物理量感測器1具備：基板2，其具有膜片部20；複數個壓阻元件5(感測器元件)，其等配置於膜片部20；積層構造體6，其與基板2一併形成空腔部S(壓力基準室)；及階差形成層3，其配置於基板2與積層構造體6之間。

以下，依序對構成物理量感測器1之各部進行說明。

-基板-

基板2具有：半導體基板21；絕緣膜22，其設置於半導體基板21之一面上；及絕緣膜23，其設置於絕緣膜22之與半導體基板21為相反側之面上。

半導體基板21係依序使包含單晶矽之矽層211(處理層)、包含氧化矽膜之氧化矽層212(BOX(Buried Oxide，內埋氧化物)層)、及包含單晶矽之矽層213(器件層)積層而成之SOI(Silicon on Insulator，絕緣層上矽)基板。再者，半導體基板21並不限定於SOI基板，例如亦可為單晶矽基板等其他半導體基板。

絕緣膜22例如為氧化矽膜，具有絕緣性。又，絕緣膜23例如為氮化矽膜，具有絕緣性，並且對含有氫氟酸之蝕刻液亦具有耐性。此處，藉由在半導體基板21(矽層213)與絕緣膜23(氮化矽膜)之間介存有絕緣膜22(氧化矽膜)，可藉由絕緣膜22緩和於絕緣膜23之成膜時產生之應力傳遞至半導體基板21。又，於在半導體基板21及其上方形成半導體電路之情形時，絕緣膜22亦可用作元件間隔離膜。再者，絕緣膜22、23並不限定於上述構成材料，又，亦可視需要省略絕緣膜22、23中之任一者。

於此種基板2之絕緣膜23上配置有經圖案化之階差形成層3。該階差形成層3係以於俯視下包圍膜片部20之周圍之方式形成，於階差形成層3之上表面與基板2之上表面之間且係膜片部20之中心側(內側)形成相當於階差形成層3之厚度之階差部。藉此，於膜片部20因受壓而彎曲變形時，可使應力集中於膜片部20之與階差部之間之邊界部分。因此，藉由在該邊界部分(或其附近)配置壓阻元件5，可提高檢測感度。

該階差形成層3例如包含單晶矽、多晶矽(polysilicon)或非晶矽。又，階差形成層3亦可對例如單晶矽、多晶矽(polysilicon)或非晶矽摻雜(擴散或注入)磷、硼等雜質而構成。於此情形時，階差形成層3具

有導電性，故而例如於在空腔部S之外側於基板2上形成MOS(Metal Oxide Semiconductor，金屬氧化物半導體)電晶體之情形時，可將階差形成層3之一部分用作MOS電晶體之閘極電極。又，亦可將階差形成層3之一部分用作配線。

於此種基板2設置有較周圍之部分薄壁、且因受壓而彎曲變形之膜片部20。膜片部20係藉由在半導體基板21之下表面設置有底之凹部24而形成。即，膜片部20係包含向基板2之一面開口之凹部24之底部而構成。該膜片部20之下表面成為受壓面25。於本實施形態中，如圖2所示，膜片部20為正方形之俯視形狀。

於本實施形態之基板2中，凹部24貫通矽層211，膜片部20由氧化矽層212、矽層213、絕緣膜22及絕緣膜23之4層構成。此處，氧化矽層212係如下所述般於物理量感測器1之製造步驟中當藉由蝕刻形成凹部24時，可用作蝕刻終止層，能夠減少每一製品之膜片部20之厚度之偏差。

再者，亦可使凹部24不貫通矽層211，而膜片部20由矽層211之薄壁部、氧化矽層212、矽層213、絕緣膜22及絕緣膜23之5層構成。

-壓阻元件-

如圖1所示，複數個壓阻元件5分別形成於膜片部20之空腔部S側。此處，壓阻元件5係形成於半導體基板21之矽層213。

如圖2所示，複數個壓阻元件5係由配置於膜片部20之外周部之複數個壓阻元件5a、5b、5c、5d構成。

與於自基板2之厚度方向觀察之俯視(以下，簡稱為「俯視」)下呈四邊形之膜片部20之4條邊分別對應地配置有壓阻元件5a、壓阻元件5b、壓阻元件5c、壓阻元件5d。

壓阻元件5a沿相對於膜片部20之對應之邊垂直之方向延伸。而且，於壓阻元件5a之兩端部電性連接有1對配線214a。同樣地，壓阻5

元件5b沿相對於膜片部20之對應之邊垂直之方向延伸。而且，於壓阻元件5b之兩端部電性連接有1對配線214b。

另一方面，壓阻元件5c沿相對於膜片部20之對應之邊平行之方向延伸。而且，於壓阻元件5c之兩端部電性連接有1對配線214c。同樣地，壓阻元件5d沿相對於膜片部20之對應之邊平行之方向延伸。而且，於壓阻元件5d之兩端部電性連接有1對配線214d。

再者，以下，亦將配線214a、214b、214c、214d統稱為「配線214」。

此種壓阻元件5及配線214分別含有例如摻雜(擴散或注入)有磷、硼等雜質之矽(單晶矽)。此處，配線214中之雜質之摻雜濃度高於壓阻元件5中之雜質之摻雜濃度。再者，配線214亦可包含金屬。

又，複數個壓阻元件5例如係以自然狀態下之電阻值相互相等之方式構成。

以上所說明般之壓阻元件5經由配線214等而構成橋接電路(惠斯登(Wheatstone)橋接電路)。於該橋接電路連接有供給驅動電壓之驅動電路(未圖示)。而且，於該橋接電路，輸出作為對應於壓阻元件5之電阻值之信號(電壓)。

-積層構造體-

積層構造體6係以於與上述基板2之間劃分形成空腔部S之方式形成。此處，積層構造體6係配置於膜片部20之壓阻元件5側、且與膜片部20(或基板2)一併構成空腔部S(壓力基準室)之「壁部」。

該積層構造體6具有：層間絕緣膜61，其以於俯視下包圍壓阻元件5之方式形成於基板2上；配線層62，其形成於層間絕緣膜61上；層間絕緣膜63，其形成於配線層62及層間絕緣膜61上；配線層64，其形成於層間絕緣膜63上，且具有具備複數個微孔642(開孔)之被覆層641；表面保護膜65，其形成於配線層64及層間絕緣膜63上；及密封

層66，其設置於被覆層641上。此處，配線層64之被覆層641係介隔空腔部S而與膜片部20相對向之「頂壁」，由配線層62及配線層64之除被覆層641以外之部分構成之構造體係配置於基板2與被覆層641之間、且與基板2及被覆層641一併構成空腔部S之「側壁部」。再者，關於側壁部及與其相關之事項，將於下文進行詳細敘述。

層間絕緣膜61、63分別包含例如氧化矽膜。又，配線層62、64及密封層66分別包含鋁等金屬。又，密封層66將被覆層641所具有之微孔642密封。又，表面保護膜65例如為氮化矽膜。此處，配線層62、64分別包含以於俯視下包圍空腔部S之方式形成之部分。

此種積層構造體6可使用如CMOS(Complementary Metal Oxide Semiconductor，互補金屬氧化物半導體)製程般之半導體製造製程而形成。再者，亦可於矽層213上及其上方構築半導體電路。該半導體電路具有MOS電晶體等主動元件、其他視需要而形成之電容器、電感器、電阻、二極體、配線(包含連接於壓阻元件5之配線)等電路元件。

藉由基板2與積層構造體6而劃分形成之空腔部S係經密閉之空間。該空腔部S作為成為物理量感測器1所檢測之壓力之基準值之壓力基準室而發揮功能。於本實施形態中，空腔部S成為真空狀態(300 Pa以下)。藉由將空腔部S設為真空狀態，可將物理量感測器1用作以真空狀態為基準而檢測壓力之「絕對壓力感測器」，從而提高其方便性。

但是，空腔部S亦可並非真空狀態，可為大氣壓，亦可為氣壓低於大氣壓之減壓狀態，或亦可為氣壓高於大氣壓之加壓狀態。又，亦可於空腔部S封入氮氣、稀有氣體等惰性氣體。

以上，對物理量感測器1之構成簡單進行了說明。

於此種構成之物理量感測器1中，如圖3(a)所示，膜片部20根據膜片部20之受壓面25所受到之壓力P而變形，藉此，如圖3(b)所示，s

壓阻元件5a、5b、5c、5d產生應變，從而壓阻元件5a、5b、5c、5d之電阻值變化。壓阻元件5a、5b、5c、5d所構成之橋接電路之輸出隨之變化，基於該輸出，可求出於受壓面25受到之壓力之大小。

若更具體地進行說明，則於如上所述之膜片部20產生變形之前之自然狀態下，例如於壓阻元件5a、5b、5c、5d之電阻值相互相等之情形時，壓阻元件5a、5b之電阻值之積與壓阻元件5c、5d之電阻值之積相等，橋接電路之輸出(電位差)成為零。

另一方面，若產生如上所述之膜片部20之變形，則如圖3(b)所示，於壓阻元件5a、5b產生沿其長度方向之壓縮應變及沿寬度方向之拉伸應變，並且於壓阻元件5c、5d產生沿其長度方向之拉伸應變及沿其寬度方向之壓縮應變。因此，當產生如上所述之膜片部20之變形時，壓阻元件5a、5b之電阻值與壓阻元件5c、5d之電阻值中之一者之電阻值增加，另一者之電阻值減少。

由於此種壓阻元件5a、5b、5c、5d之應變，而產生壓阻元件5a、5b之電阻值之積與壓阻元件5c、5d之電阻值之積之差，從而自橋接電路輸出對應於該差之輸出(電位差)。基於來自該橋接電路之輸出，可求出於受壓面25受到之壓力之大小(絕對壓力)。

此處，於產生如上所述之膜片部20之變形時，壓阻元件5a、5b之電阻值與壓阻元件5c、5d之電阻值中之一者之電阻值增加，另一者之電阻值減少，故而可使壓阻元件5a、5b之電阻值之積與壓阻元件5c、5d之電阻值之積之差的變化增大，且可使來自橋接電路之輸出隨之增大。其結果，可提高壓力之檢測感度。

(側壁部)

以下，對側壁部進行詳細敘述。

圖4係用以說明圖1所示之物理量感測器所具備之側壁部及其位置(距離X)之模式圖。圖5係表示側壁部之位置(距離X)與感度比(氣壓

感度/溫度感度)之關係之曲線圖。圖6係表示側壁部之位置(距離X)與氣壓感度之關係之曲線圖，圖7係表示側壁部之位置(距離X)與溫度感度之關係之曲線圖。

如上所述，配線層62、64分別包含金屬。即，由被覆層641構成之「頂壁」與由包含配線層62、及配線層64之除被覆層641以外之部分(貫通層間絕緣膜63之部分)之構造體構成之「側壁部」之兩者係包含金屬而構成。另一方面，基板2主要由矽構成。

此處，配線層62、64之線膨脹係數大於基板2之線膨脹係數，配線層62、64與基板2之線膨脹係數差相對較大。因此，因溫度變化而導致於配線層62、64產生之應力會傳遞至基板2。此時，若該應力傳遞至膜片部20，則感度特性變動。

因此，於物理量感測器1中，如圖2所示，於頂壁與基板2排列之方向上位於基板2側之配線層62之內壁面之端621於俯視下位於較凹部24之底部之外周緣241更靠外側。即，於俯視下，凹部24之底部之外周緣241位於較配線層62之內壁面之基板2側之端621更靠膜片部20之中心側。因此，由於配線層62連接於基板2之剛性相對較高之厚壁部(與由凹部24形成之薄壁部不同之部分)，故而即便於配線層62、64與基板2之線膨脹係數差較大之情形時，亦可減少配線層62、64之應變傳遞至膜片部20(薄壁部)之情況。因此，物理量感測器1具有優異之溫度特性。

於物理量感測器1中，空腔部S係配置於基板2之與凹部24開口之側為相反側，故而若假設於俯視下配線層62之內壁面之基板2側之端621位於較凹部24之底部之外周緣241更靠內側，則上述配線層62、64之應變會直接傳遞至膜片部20，而使感度特性明顯變動。由此，藉由在俯視下使配線層62之內壁面之基板2側之端621位於較凹部24之底部之外周緣241更靠外側，可有效地減少配線層62、64之應變傳遞至膜_S

片部20(薄壁部)之情況。

又，根據圖5所示之結果，於俯視下，凹部24之底部之外周緣241與配線層62之內周面之基板2側之端621之間之距離X較佳為0.1 μm 以上且25 μm 以下，更佳為5 μm 以上且20 μm 以下，進而較佳為5 μm 以上且15 μm 以下。藉此，可有效地減少配線層62、64之應變傳遞至膜片部20之情況。

相對於此，若距離X過小，則根據配線層62、64之構成材料、膜片部20之厚度等，產生於配線層62、64之應變變得易於傳遞至膜片部20。另一方面，若距離X過大，則僅會導致物理量感測器1之大型化。又，即便使距離X過大，減少配線層62、64之應變傳遞至膜片部20之情況的效果仍不會變，不僅如此，而且有被覆層641無用地變大而變得容易被壓塌、或空腔部S之真空度變低之傾向。

再者，圖5所示之曲線圖係膜片部20之寬度(於俯視下膜片之緣部至對向之緣部之距離)為150 μm 、膜片部20之厚度為3 μm 之情形時之模擬結果。此處，「距離X」係以凹部24之底部之外周緣241(圖4中之「0」之位置)為基準朝向膜片部20之外側之距離，且將其外側設為「+」，將內側設為「-」。又，圖5中之「感度比」(S_p/S_t)係圖6所示之氣壓感度(S_p)與圖7所示之溫度感度(S_t)之比。

於本實施形態中，距離X遍及凹部24之底部之外周緣之全周成為固定。因此，藉由使距離X滿足上述範圍，可有效地減少配線層62、64之應變傳遞至膜片部20(薄壁部)之情況。再者，亦可於凹部24之底部之外周緣241之圓周方向上之一部分具有與配線層62之內周面之基板2側之端621之間的距離不同之部分，亦可脫離上述範圍。

又，於物理量感測器1中，如上所述般配線層62、64係包含金屬而構成，故而可形成氣密性優異之空腔部S。

此處，用作配線層62、64之構成材料之金屬較佳為鋁、鈦或氮

化鈦。該等金屬與半導體製造製程之親和性較高。因此，可相對簡單地形成高精度之空腔部S。

又，藉由模擬而確認：於膜片部20之厚度處於 $1\ \mu\text{m}$ 以上且 $8\ \mu\text{m}$ 以下之範圍內之情形時、或膜片部20之寬度處於 $50\ \mu\text{m}$ 以上且 $300\ \mu\text{m}$ 以下之範圍內之情形時，亦可獲得與圖5所示之結果相同之結果。

由此，膜片部20之厚度較佳為處於 $1\ \mu\text{m}$ 以上且 $8\ \mu\text{m}$ 以下之範圍內，又，膜片部20之寬度較佳為處於 $50\ \mu\text{m}$ 以上且 $300\ \mu\text{m}$ 以下之範圍內。換言之，膜片部20之厚度相對於距離X較佳為0.1倍以上且0.8倍以下，又，膜片部20之寬度相對於距離X較佳為5倍以上且30倍以下。

(物理量感測器之製造方法)

繼而，對物理量感測器1之製造方法簡單進行說明。

圖8及圖9係表示圖1所示之物理量感測器之製造步驟之圖。以下，基於該等圖對物理量感測器1之製造方法進行說明。

[應變檢測元件形成步驟]

首先，如圖8(a)所示，準備作為SOI基板之半導體基板21。

繼而，藉由在半導體基板21之矽層213摻雜(離子注入)磷(n型)或硼(p型)等雜質，而如圖8(b)所示般，形成複數個壓阻元件5及配線214。

例如，於將硼以 $+80\ \text{keV}$ 進行離子注入之情形時，將向壓阻元件5之離子注入濃度設為 $1 \times 10^{14}\ \text{atoms/cm}^2$ 左右。又，使向配線214之離子注入濃度高於向壓阻元件5之離子注入濃度。例如，於將硼以 $10\ \text{keV}$ 進行離子注入之情形時，將向配線214之離子注入濃度設為 $5 \times 10^{15}\ \text{atoms/cm}^2$ 左右。又，於如上所述之離子注入之後，例如以 1000°C 左右進行20分鐘左右之退火。

[絕緣膜等形成步驟]

繼而，如圖8(c)所示，於矽層213上依序形成絕緣膜22、絕緣膜23及階差形成層3。

絕緣膜22、23之形成可分別藉由例如濺鍍法、CVD(Chemical Vapor Deposition，化學氣相沈積)法等進行。階差形成層3例如可藉由如下方法形成：於利用濺鍍法、CVD法等使多晶矽成膜之後，視需要於該膜摻雜(離子注入)磷、硼等雜質，其後，藉由蝕刻進行圖案化。

[層間絕緣膜·配線層形成步驟]

繼而，如圖8(d)所示，於絕緣膜23上依序形成犧牲層41、配線層62、犧牲層42及配線層64。

該犧牲層41、42分別係藉由下述空腔部形成步驟將一部分去除且剩餘部分成為層間絕緣膜61、63者。犧牲層41、42之形成係分別藉由如下方法進行：藉由濺鍍法、CVD法等形成氧化矽膜，並藉由對該氧化矽膜進行蝕刻而使其圖案化。

又，犧牲層41、42之厚度分別並無特別限定，例如設為1500 nm以上且5000 nm以下左右。

又，配線層62、64之形成分別係藉由如下方法進行：於藉由濺鍍法、CVD法等形成例如含有鋁之層之後，對其進行圖案化處理。

此處，配線層62、64之厚度分別並無特別限定，例如設為300 nm以上且900 nm以下左右。

包含此種犧牲層41、42及配線層62、64之積層構造係使用通常之CMOS製程而形成，其積層數係視需要而適當地設定。即，亦存在視需要積層更多之犧牲層或配線層之情形。

[空腔部形成步驟]

繼而，藉由去除犧牲層41、42之一部分，而如圖9(e)所示般，於絕緣膜23與被覆層641之間形成空腔部S(cavity)。藉此，形成層間絕緣膜61、63。

空腔部S之形成係藉由蝕刻去除犧牲層41、42之一部分而進行，該蝕刻通過形成於被覆層641之複數個微孔642。此處，於使用濕式蝕刻作為該蝕刻之情形時，自複數個微孔642供給氫氟酸、緩衝氫氟酸等蝕刻液，於使用乾式蝕刻之情形時，自複數個微孔642供給氫氟酸氣體等蝕刻氣體。於進行此種蝕刻時，絕緣膜23作為蝕刻終止層發揮功能。又，絕緣膜23由於對蝕刻液具有耐性，故而亦具有保護相對於絕緣膜23為下側之構成部(例如絕緣膜22、壓阻元件5、配線214等)不受蝕刻液蝕刻之功能。

此處，於該蝕刻之前，藉由濺鍍法、CVD法等形成表面保護膜65。藉此，於進行該蝕刻時，可保護犧牲層41、42之成為層間絕緣膜61、62之部分。作為表面保護膜65之構成材料，例如可列舉氧化矽膜、氮化矽膜、聚醯亞胺膜、環氧樹脂膜等具有用以保護元件不被水分、污物侵蝕、或被劃傷等之耐性者，尤佳為氮化矽膜。表面保護膜65之厚度並無特別限定，例如設為500 nm以上且2000 nm以下左右。

[密封步驟]

繼而，如圖9(f)所示般，於被覆層641上，藉由濺鍍法、CVD法等形成包含氧化矽膜、氮化矽膜、Al、Cu、W、Ti、TiN等金屬膜等之密封層66，而密封各微孔642。藉此，空腔部S被密封層66密封，而獲得積層構造體6。

此處，密封層66之厚度並無特別限定，例如設為1000 nm以上且5000 nm以下左右。

[膜片形成步驟]

繼而，於視需要對矽層211之下表面進行研削之後，藉由蝕刻去除(加工)矽層211之下表面之一部分，藉此，如圖9(g)所示般，形成凹部24。藉此，形成介隔空腔部S與被覆層641相對向之膜片部20。

此處，於去除矽層211之下表面之一部分時，氧化矽層212作為蝕s

刻終止層發揮功能。藉此，可高精度地規定膜片部20之厚度。

再者，作為去除矽層211之下表面之一部分之方法，可為乾式蝕刻，亦可為濕式蝕刻等。

藉由如上步驟，可製造物理量感測器1。

<第2實施形態>

繼而，對本發明之第2實施形態進行說明。

圖10係表示本發明之第2實施形態之物理量感測器之剖視圖。圖11係表示圖10所示之物理量感測器之壓阻元件(感測器元件)及側壁部之配置的俯視圖，圖12係表示包含圖10所示之物理量感測器之壓阻元件之橋接電路的圖。

以下，對本發明之第2實施形態進行說明，但以與上述實施形態之不同點為中心進行說明，關於相同之事項，省略其說明。

第2實施形態除了具有複數個膜片部以外，與上述第1實施形態相同。

圖10所示之物理量感測器1A於同一基板2A設置有複數個膜片部20。即，基板2A具有複數個凹部24。於本實施形態中，如圖11所示，呈矩陣狀配置有4個膜片部20，且於各膜片部20配置有壓阻元件5a、5b、5c、5d。可以說此種物理量感測器1A具備對應於每個膜片部20之4個單元1a、1b、1c、1d。

此種4個單元1a、1b、1c、1d之壓阻元件5a、5b、5c、5d構成如圖12所示之橋接電路70(惠斯通橋接電路)。於該橋接電路70連接有供給驅動電壓AVDC之驅動電路(未圖示)。而且，於橋接電路70中，將對應於壓阻元件5a、5b、5c、5d之電阻值變化的信號作為電位差Vout輸出。藉此，即便壓阻元件5之每一個之面積伴隨著小型化而變小，亦可藉由串聯連接之複數個壓阻元件5之合計使面積增加。因此，可減少1/f雜訊，並且提高受壓感度(檢測感度)。因此，即便謀求小型

化，亦可使S/N比(signal noise ratio，信號雜訊比)提高。

又，於俯視下，在1個空腔部S重疊有複數個膜片部20。此處，如圖11所示，於俯視下，配線層62之內壁面之基板2A側之端621A位於較複數個凹部24之底部之外周緣241更靠外側(包含複數個凹部24)。即，於俯視下，各凹部24之底部之外周緣241位於較配線層62之內壁面之基板2側之端621A更靠膜片部20之中心側。藉此，可減少配線層62、64之應變傳遞至膜片部20(薄壁部)之情況。因此，物理量感測器1A具有優異之溫度特性。

又，於俯視下，凹部24之底部之外周緣241(不與其他凹部24之外周緣241相鄰之邊之部分)與配線層62之內周面之基板2A側之端621A之間的距離X較佳為0.1 μm 以上且25 μm 以下，更佳為5 μm 以上且20 μm 以下，進而較佳為5 μm 以上且15 μm 以下。藉此，可有效地減少配線層62、64之應變傳遞至膜片部20之情況。

2.壓力感測器

繼而，對具備本發明之物理量感測器之壓力感測器(本發明之壓力感測器)進行說明。圖13係表示本發明之壓力感測器之一例之剖視圖。

如圖13所示，本發明之壓力感測器100具備：物理量感測器1；殼體101，其收納物理量感測器1；及運算部102，其將自物理量感測器1獲得之信號運算為壓力資料。物理量感測器1經由配線103與運算部102電性連接。

物理量感測器1係藉由未圖示之固定機構而固定於殼體101之內側。又，於殼體101具有貫通孔104，該貫通孔104用以使物理量感測器1之膜片部20與例如大氣(殼體101之外側)連通。

根據此種壓力感測器100，膜片部20經由貫通孔104而受到壓力。將該受壓之信號經由配線103發送至運算部，並運算為壓力資s

料。該運算所得之壓力資料可經由未圖示之顯示部(例如，個人電腦之顯示器等)而顯示。

3.高度計

繼而，對具備本發明之物理量感測器之高度計(本發明之高度計)之一例進行說明。圖14係表示本發明之高度計之一例之立體圖。

高度計200可如手錶般安裝於手腕。又，於高度計200之內部搭載有物理量感測器1(壓力感測器100)，可於顯示部201顯示所在地之海拔高度、或所在地之氣壓等。

再者，於該顯示部201可顯示當前時刻、使用者之心率、天氣等各種資訊。

4.電子機器

繼而，對應用具備本發明之物理量感測器之電子機器之導航系統進行說明。圖15係表示本發明之電子機器之一例之前視圖。

於導航系統300具備：未圖示之地圖資訊；來自GPS(全球定位系統：Global Positioning System)之位置資訊獲取機構；自載導航(self-contained navigation)機構，其利用陀螺儀感測器及加速度感測器與車速資料；物理量感測器1；及顯示部301，其顯示特定之位置資訊或前進道路資訊。

根據該導航系統，除了可獲取位置資訊以外，還可獲取高度資訊。藉由獲得高度資訊，例如，於在位置資訊上表示與一般道路大致相同之位置之高架道路上行駛之情形時，於不具有高度資訊之情形時，導航系統無法判斷正於一般道路上行駛抑或正於高架道路上行駛，而將一般道路之資訊作為優先資訊提供給使用者。因此，於本實施形態之導航系統300中，可藉由物理量感測器1獲取高度資訊，可檢測因自一般道路進入高架道路而引起之高度變化，從而將高架道路之行駛狀態下之導航資訊提供給使用者。

再者，顯示部301成為例如液晶平板顯示器、或有機EL(Organic Electro-Luminescence，有機電致發光)顯示器等可實現小型且薄型化之構成。

再者，具備本發明之物理量感測器之電子機器並不限定於上述者，例如可應用於個人電腦、行動電話、醫療機器(例如電子體溫計、血壓計、血糖計、心電圖測量裝置、超音波診斷裝置、電子內窺鏡)、各種測定機器、量表類(例如車輛、航空器、船舶之量表類)、飛行模擬器等。

5.移動體

繼而，對應用本發明之物理量感測器之移動體(本發明之移動體)進行說明。圖16係表示本發明之移動體之一例之立體圖。

如圖16所示，移動體400構成為具有車體401及4個車輪402，且藉由設置於車體401之未圖示之動力源(引擎)使車輪402旋轉。於此種移動體400內置有導航系統300(物理量感測器1)。

以上，基於圖示之各實施形態，對本發明之物理量感測器、壓力感測器、高度計、電子機器及移動體進行了說明，但本發明並不限定於其等，各部之構成可置換為具有相同功能之任意之構成者。又，亦可附加其他任意之構成物。

又，於上述實施形態中，以設置於1個膜片部之壓阻元件之數量為4個之情形為例進行了說明，但並不限定於此，例如，亦可為1個以上且3個以下、或5個以上。又，壓阻元件之配置或形狀等亦不限定於上述實施形態，例如，於上述實施形態中，亦可於膜片部之中央部亦配置壓阻元件。

又，於上述實施形態中，以使用壓阻元件作為檢測膜片部之彎曲之感測器元件的情形為例進行了說明，但作為該元件，並不限定於此，例如亦可為共振子。

又，於上述實施形態中，以於具有膜片部之基板之與形成有凹部之側為相反側設置有壓力基準室(空腔部)之情形為例進行了說明，但亦可於該基板之凹部側之面形成壓力基準室。於此情形時，例如能夠以封阻該基板之凹部之方式接合其他基板而形成壓力基準室。

【符號說明】

1	物理量感測器
1a、1b、1c、1d	單元
1A	物理量感測器
2	基板
2A	基板
3	階差形成層
5	壓阻元件(感測器元件)
5a	壓阻元件(感測器元件)
5b	壓阻元件(感測器元件)
5c	壓阻元件(感測器元件)
5d	壓阻元件(感測器元件)
6	積層構造體
20	膜片部
21	半導體基板
22	絕緣膜
23	絕緣膜
24	凹部
25	受壓面
41	犧牲層
42	犧牲層
61	層間絕緣膜

62	配線層
63	層間絕緣膜
64	配線層
65	表面保護膜
66	密封層
70	橋接電路
100	壓力感測器
101	殼體
102	運算部
103	配線
104	貫通孔
200	高度計
201	顯示部
211	矽層
212	氧化矽層
213	矽層
214	配線
214a	配線
214b	配線
214c	配線
214d	配線
241	外周緣
300	導航系統
301	顯示部
400	移動體
401	車體

402	車輪
621	端
621A	端
641	被覆層
642	微孔
AVDC	驅動電壓
P	壓力
S	空腔部
Vout	電位差
X	距離

申請專利範圍

1. 一種物理量感測器，其特徵在於包括：
基板，其具有向一面側開口之凹部；
膜片部，其包含上述凹部之底部，因受壓而彎曲變形；
感測器元件，其配置於上述膜片部；
頂壁，其介隔空腔部與上述膜片部相對向；及
側壁部，其配置於上述基板與上述頂壁之間，與上述基板及上述頂壁一併構成上述空腔部，且具有面向上述空腔部之內壁面；且
上述頂壁及上述側壁部中之至少一者係包含金屬而構成，
於上述基板之俯視下，上述底部之外周緣位於較上述內壁面之上上述基板側之端更靠上述膜片部之中心側。
2. 如請求項1之物理量感測器，其中上述頂壁及上述側壁部之兩者係包含金屬而構成。
3. 如請求項1之物理量感測器，其中上述金屬為鋁、鈦、或氮化鈦。
4. 如請求項1之物理量感測器，其具有於上述俯視下與上述側壁部之內周面之基板側之端之間的距離處於0.1 μm 以上且25 μm 以下之範圍內之部分。
5. 如請求項1之物理量感測器，其中上述基板具有複數個上述凹部，且
於上述俯視下，在1個上述空腔部重疊有複數個上述膜片部。
6. 如請求項1之物理量感測器，其中上述空腔部係配置於上述基板之與上述凹部開口之側為相反側。
7. 一種壓力感測器，其特徵在於：具備如請求項1之物理量感測

器。

8. 一種高度計，其特徵在於：具備如請求項1之物理量感測器。
9. 一種電子機器，其特徵在於：具備如請求項1之物理量感測器。
10. 一種移動體，其特徵在於：具備如請求項1之物理量感測器。

圖式

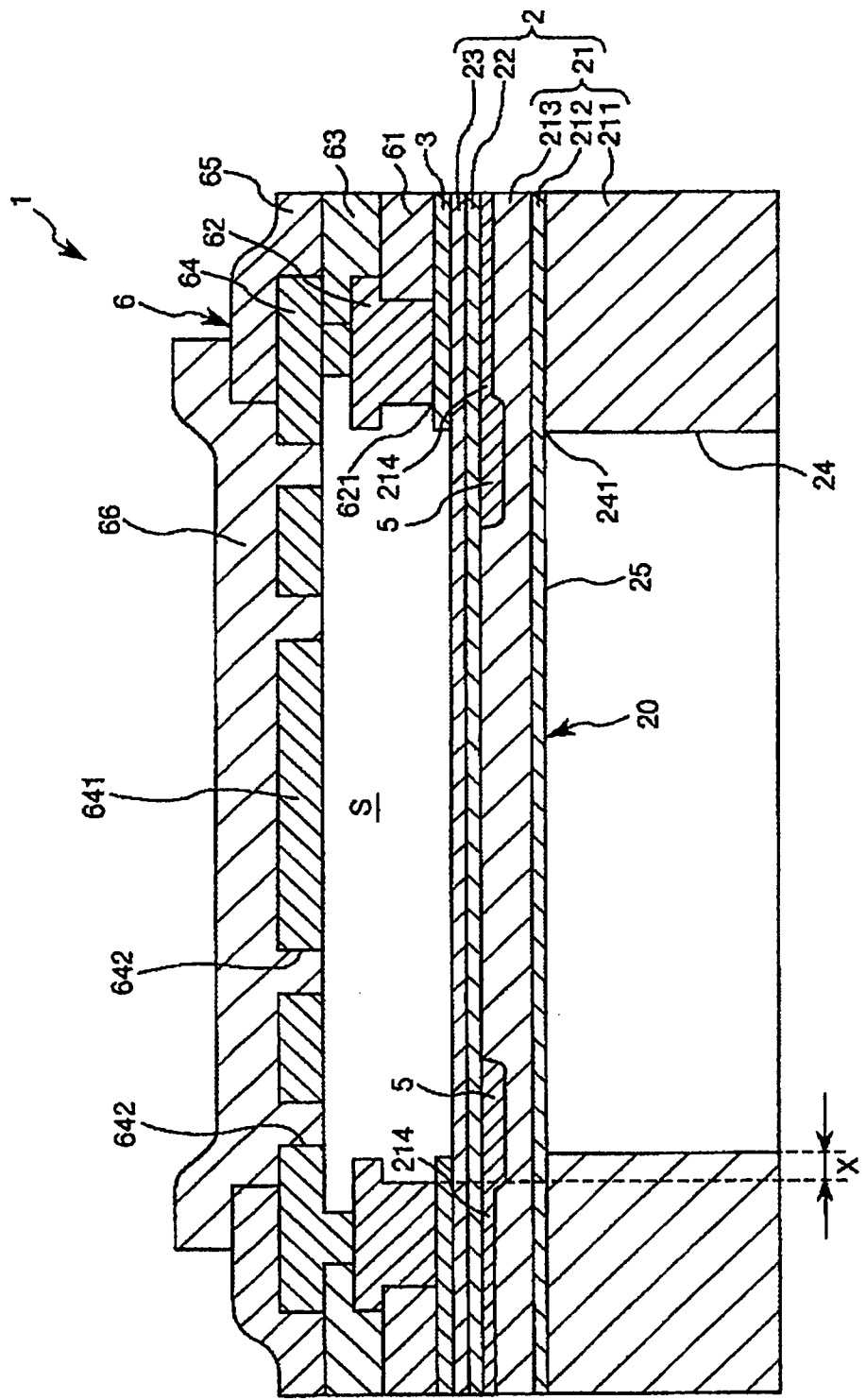


圖1

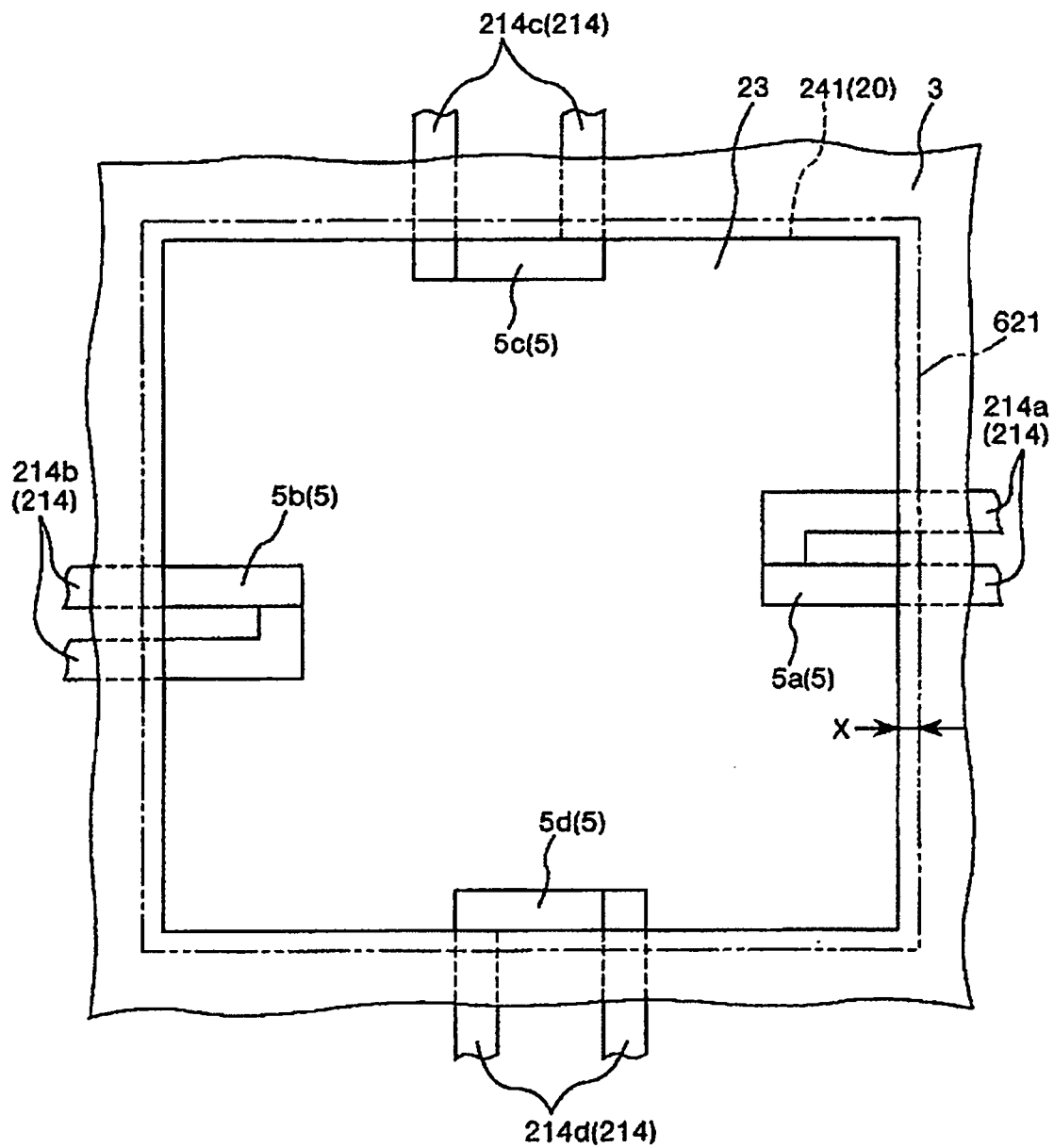


圖2

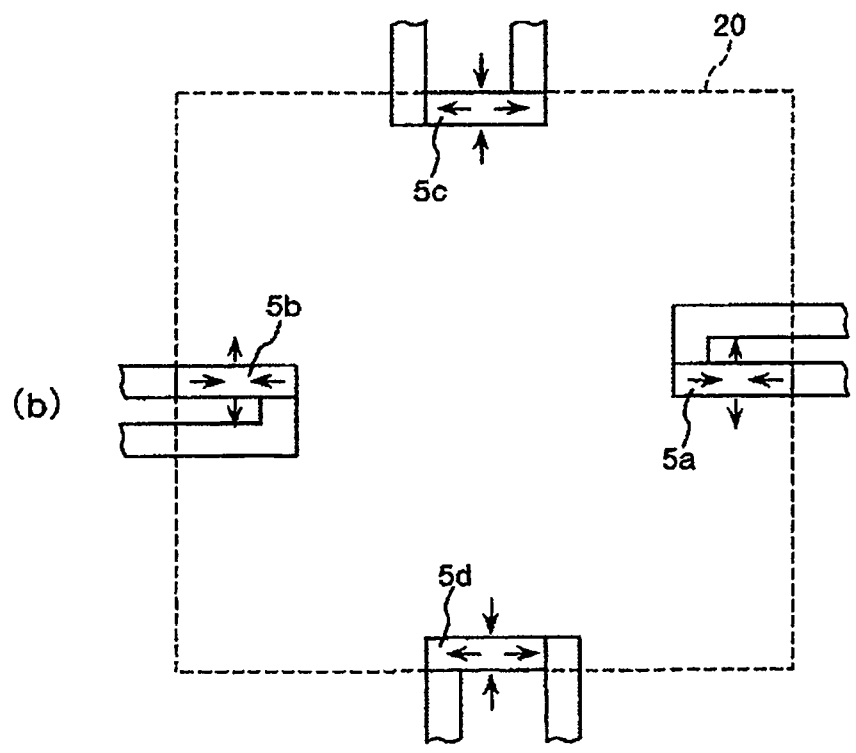
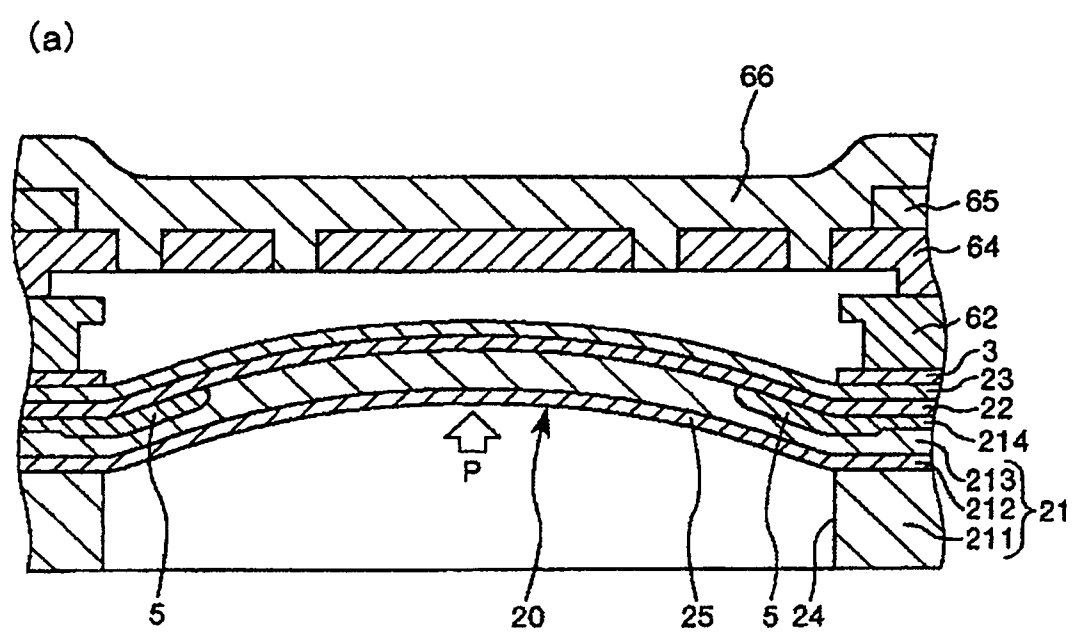


圖3

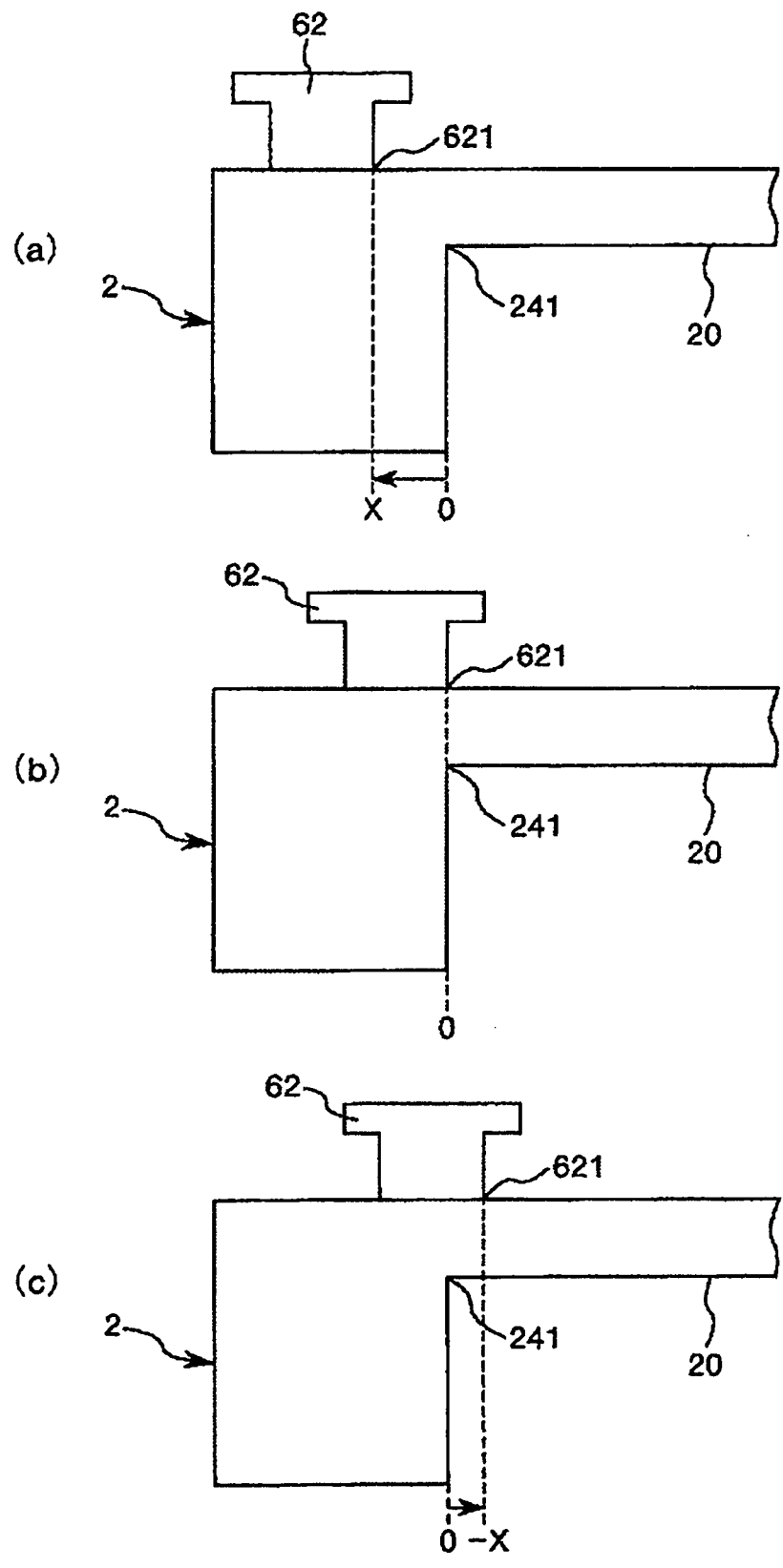


圖4

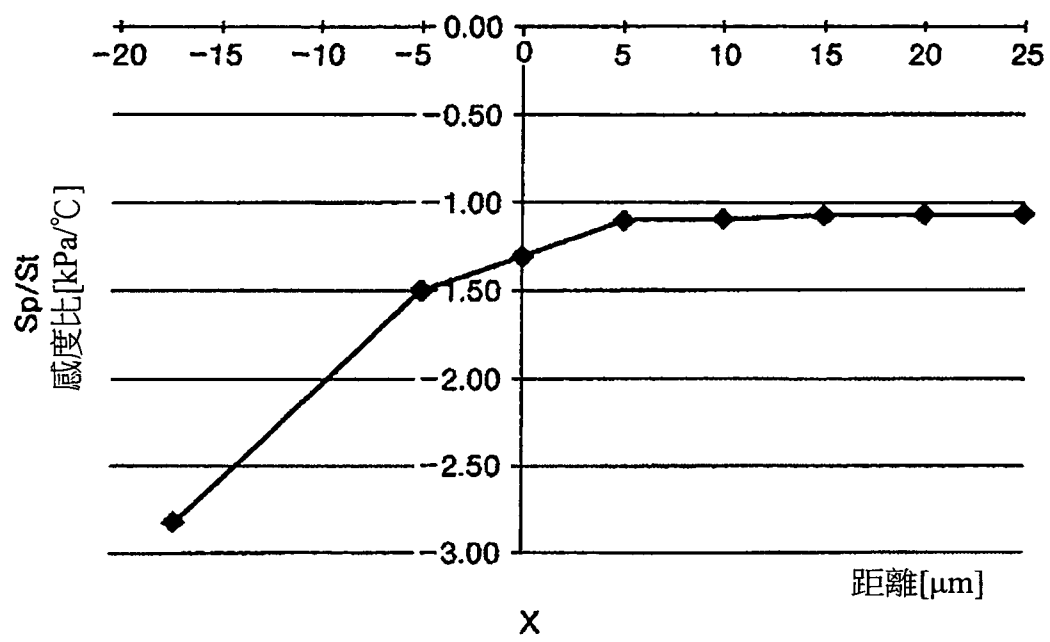


圖5

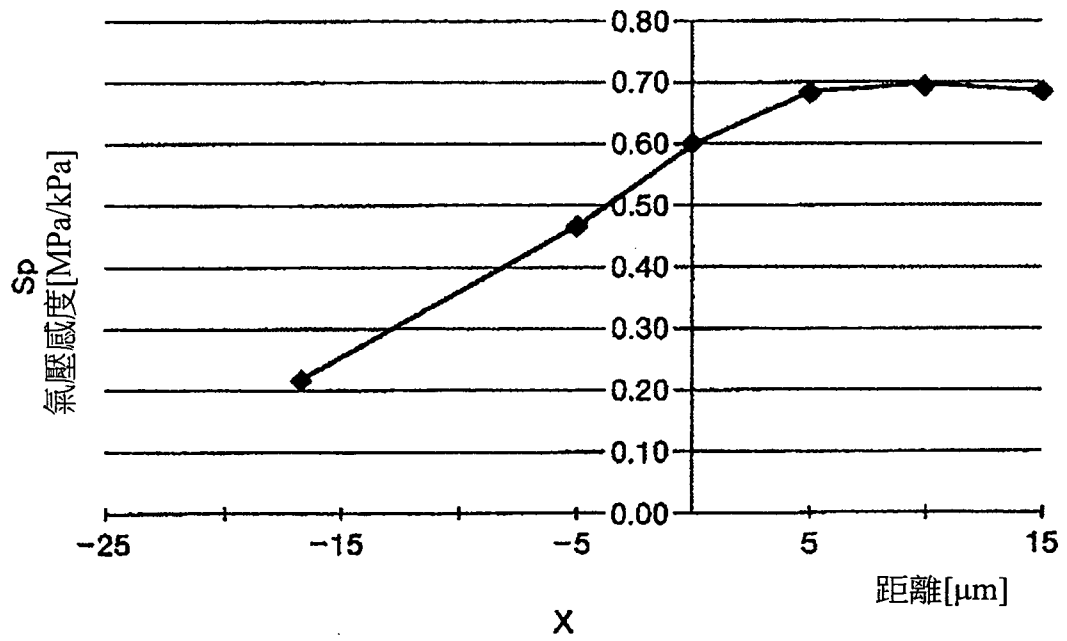


圖6

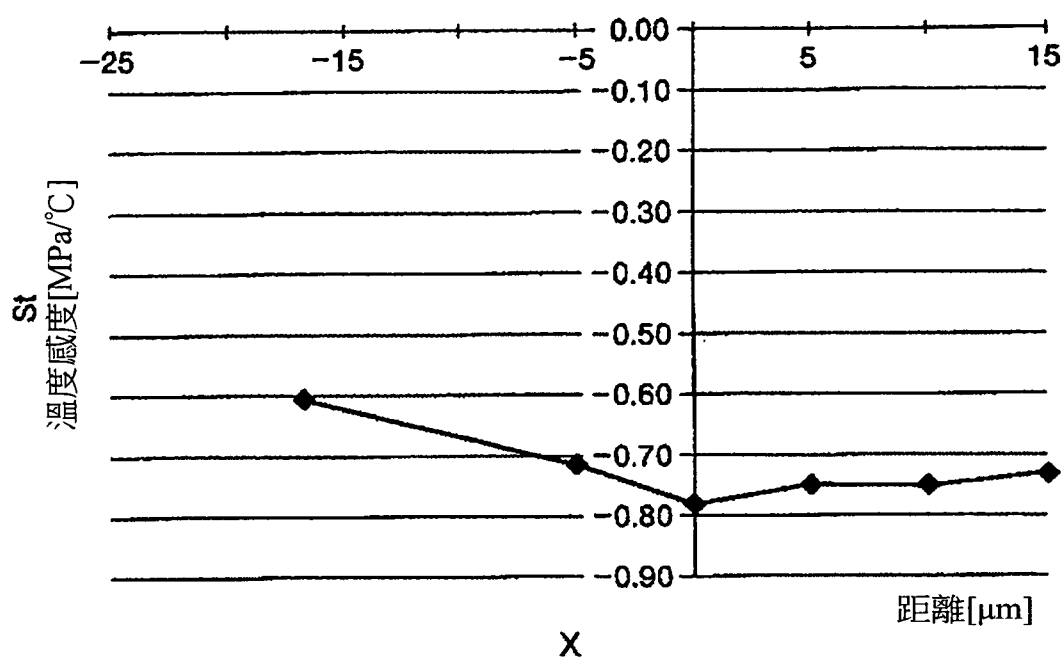


圖7

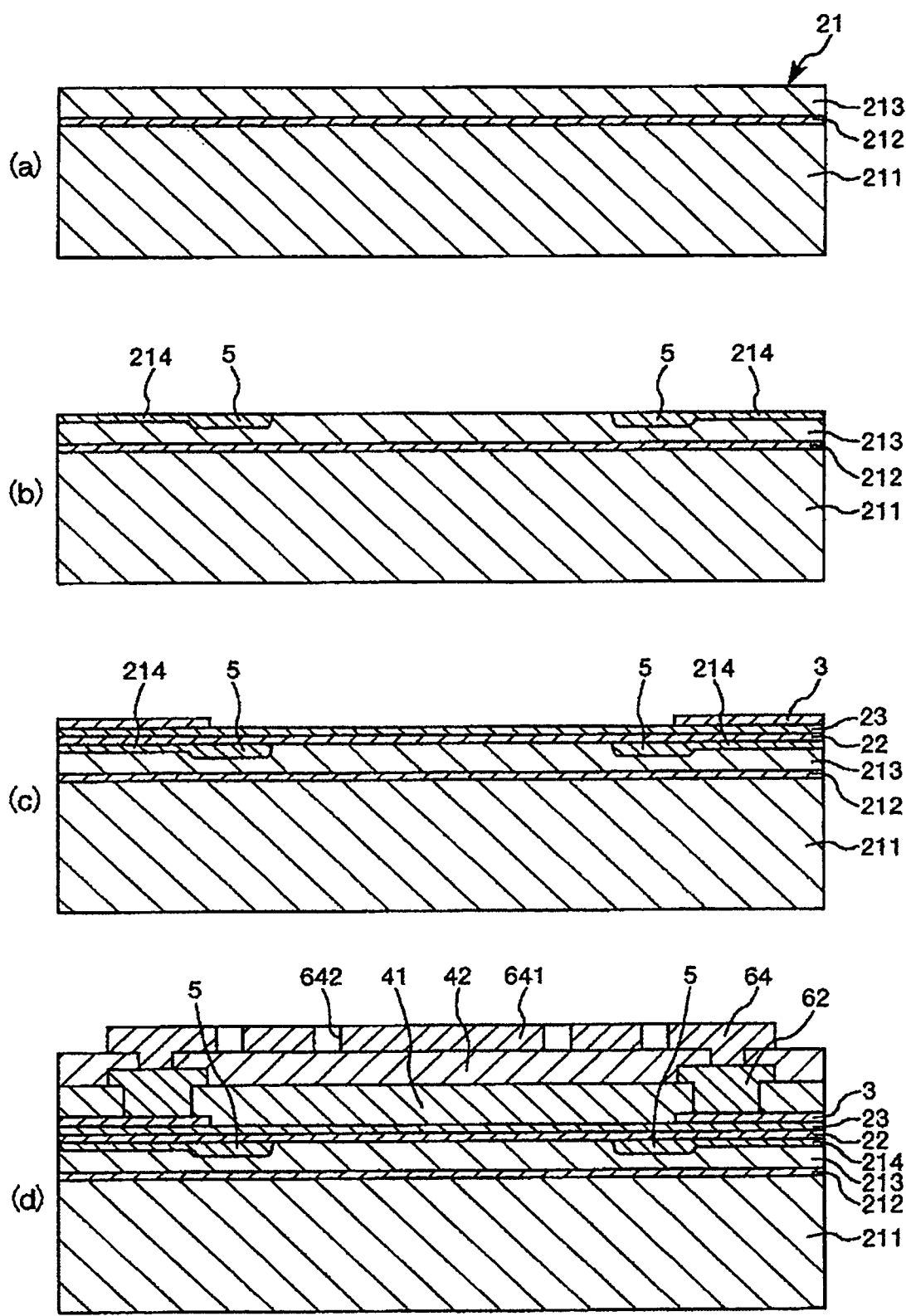


圖8

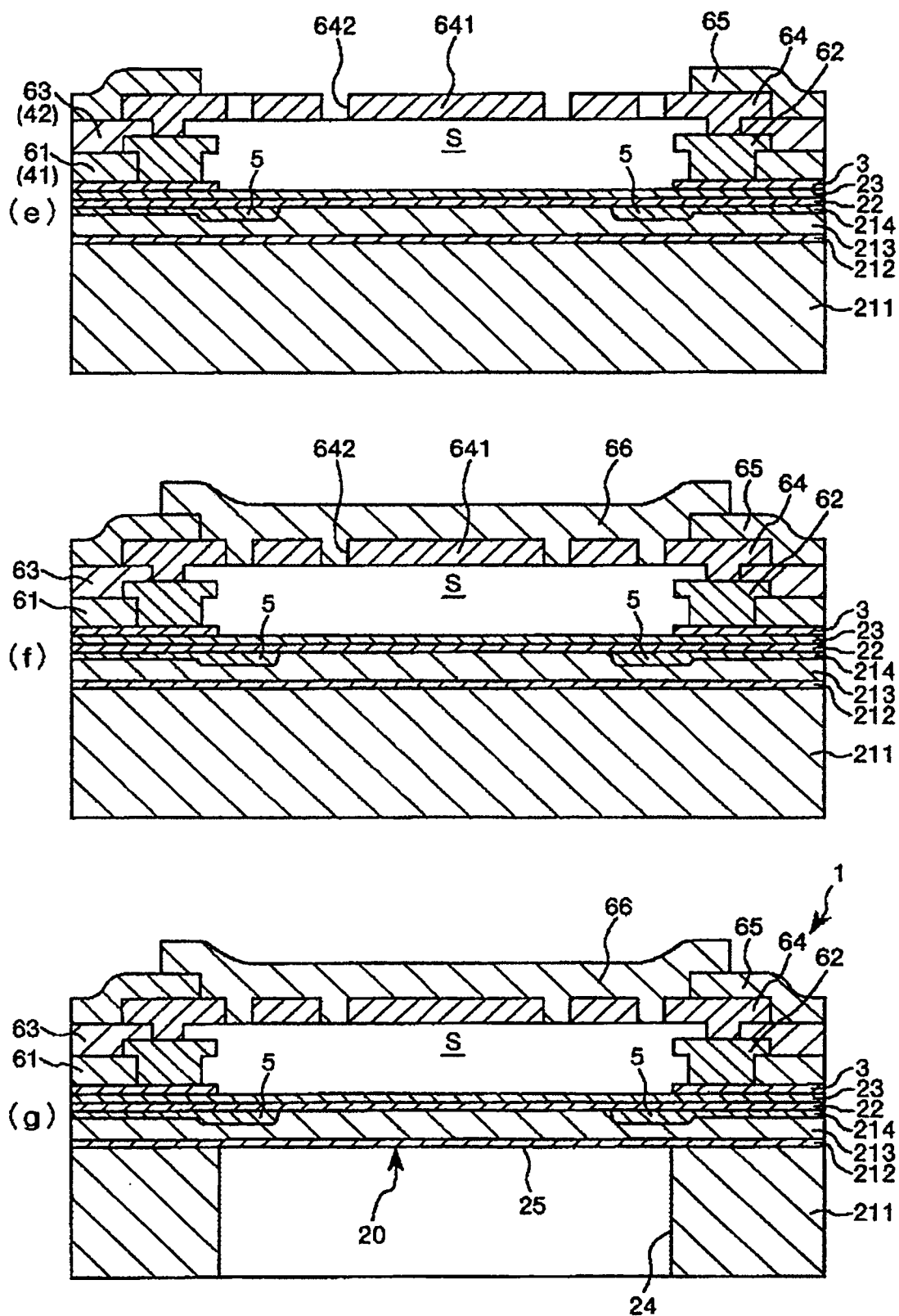
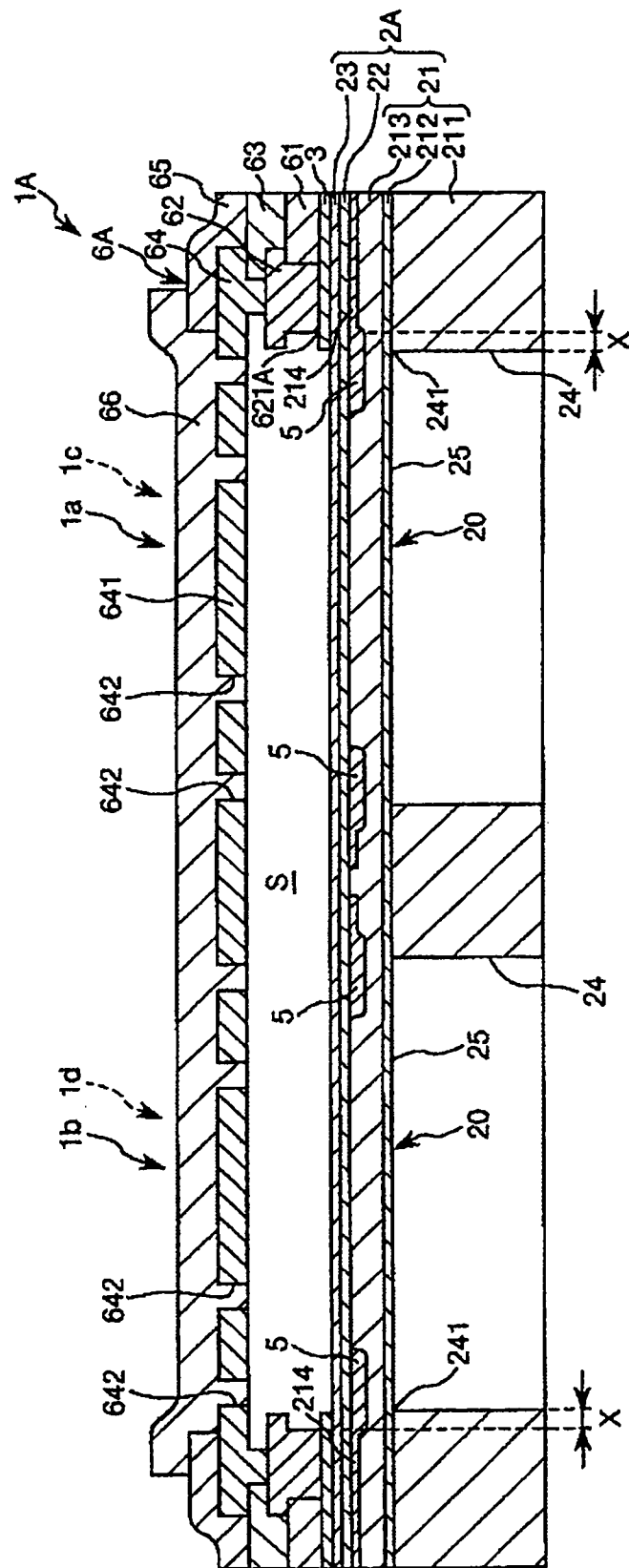


圖9



10

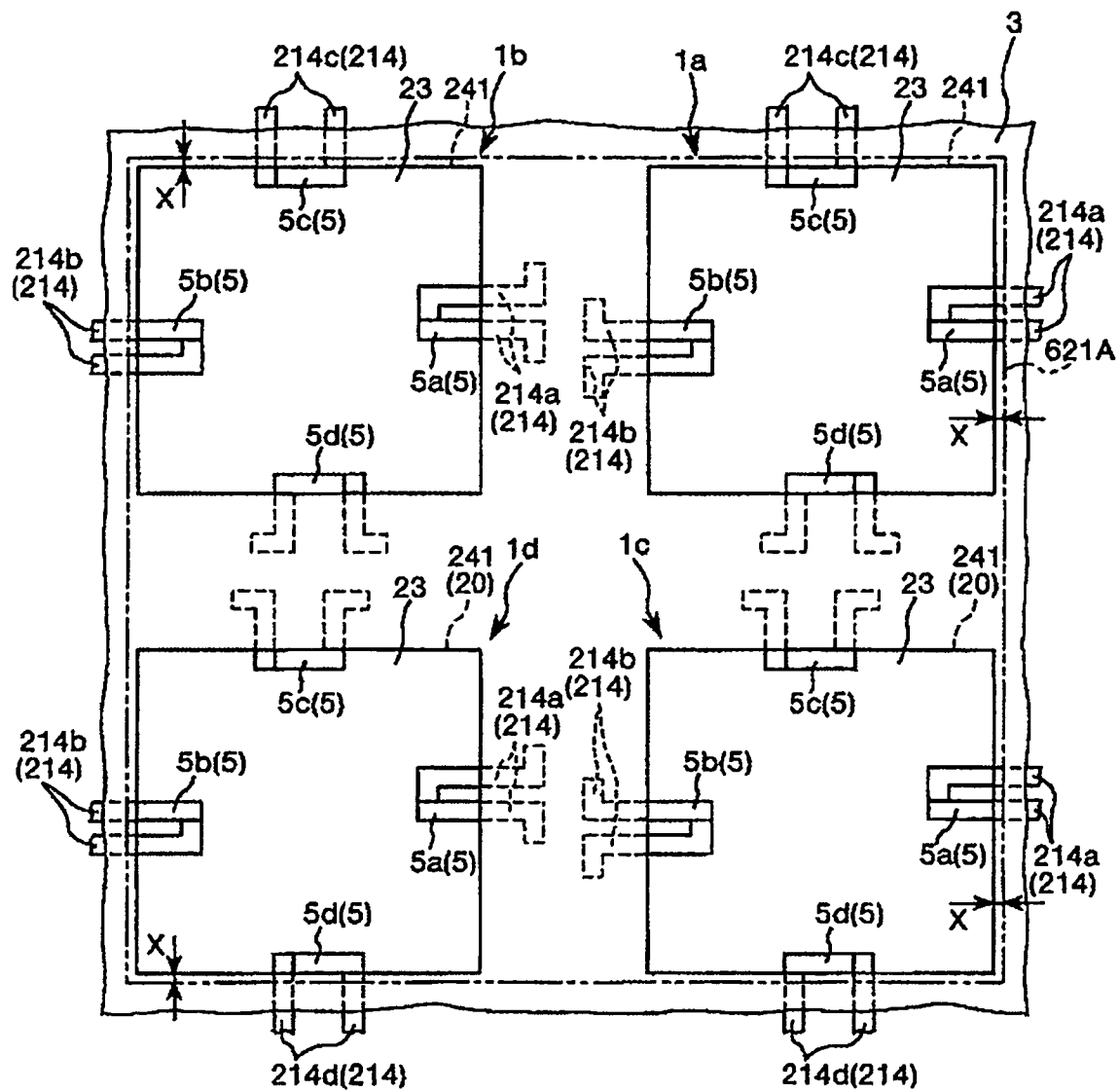


圖11

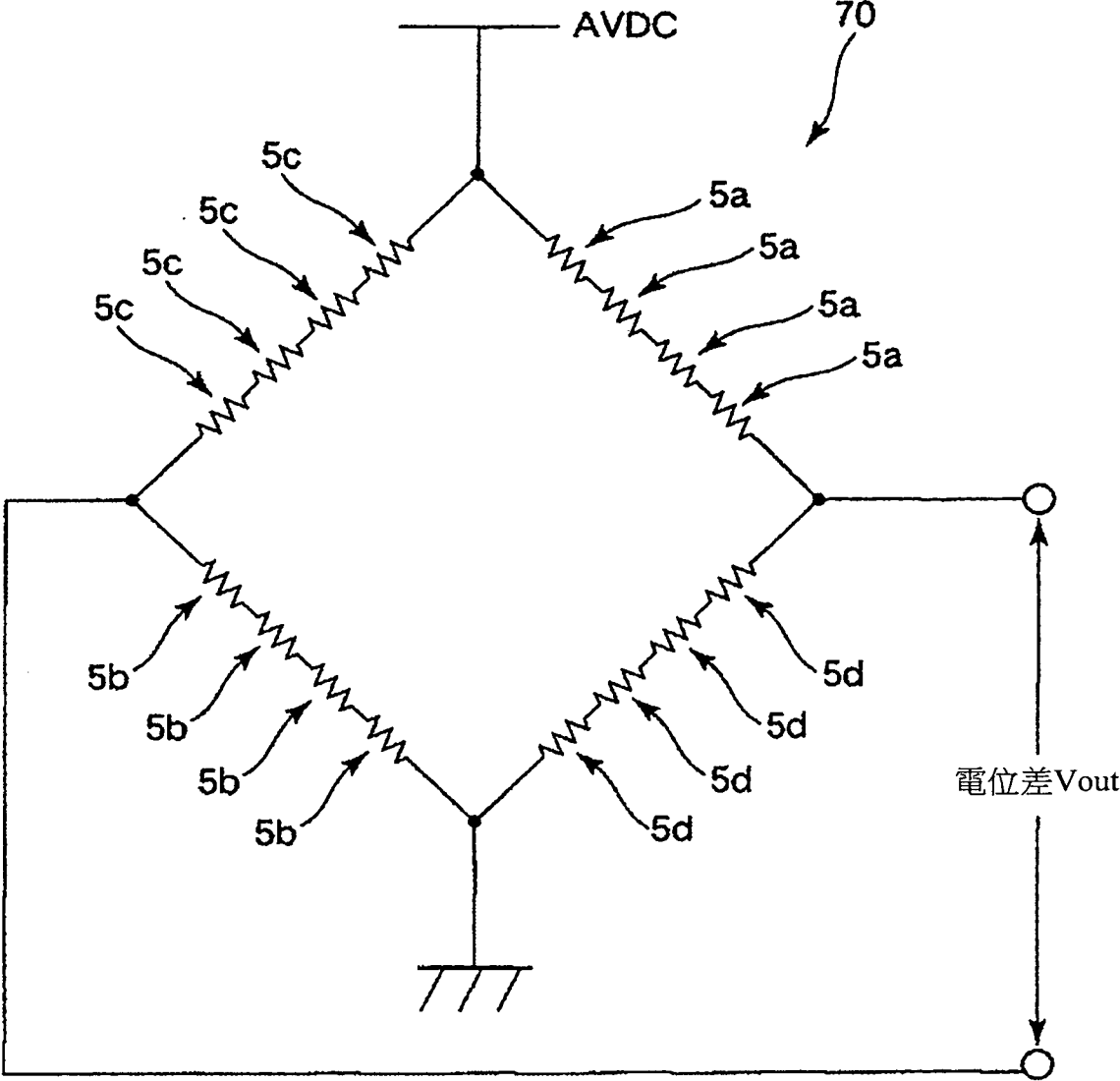


圖12

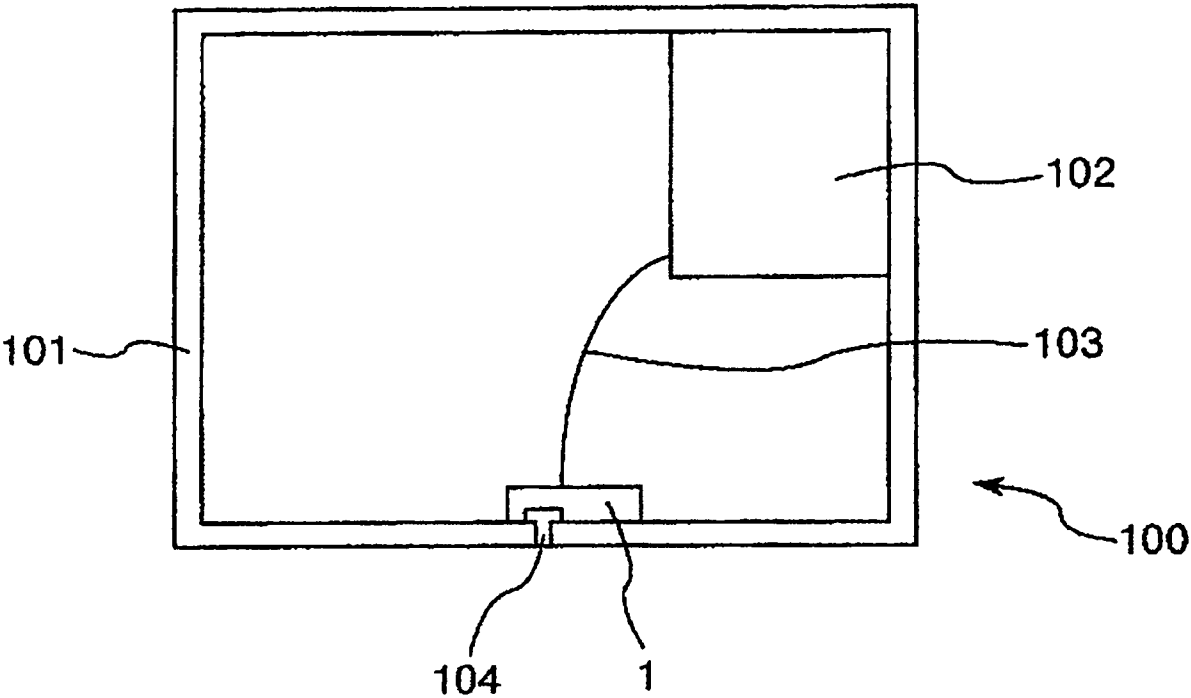


圖13

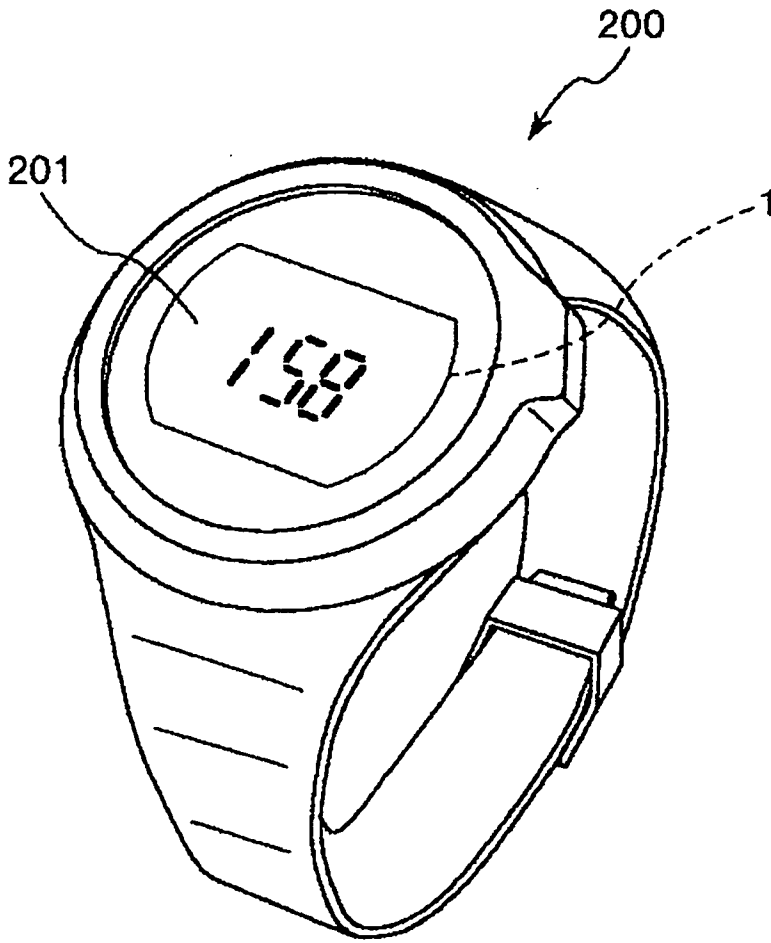


圖14

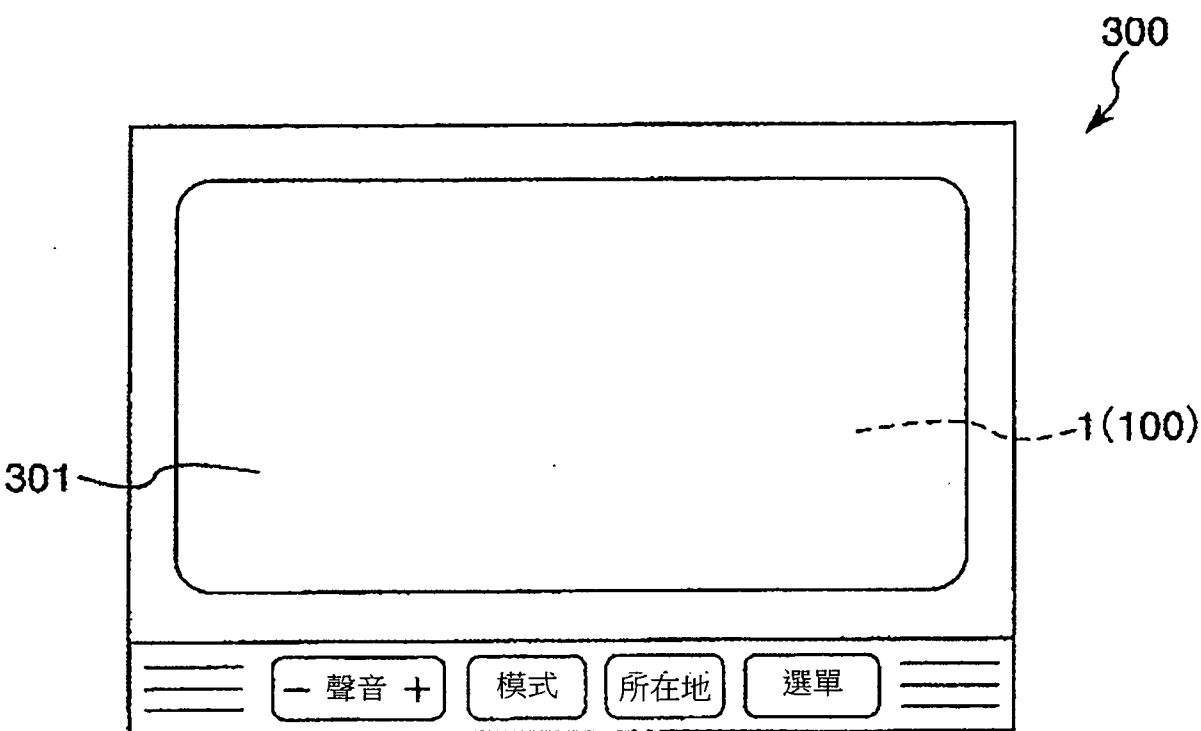


圖15

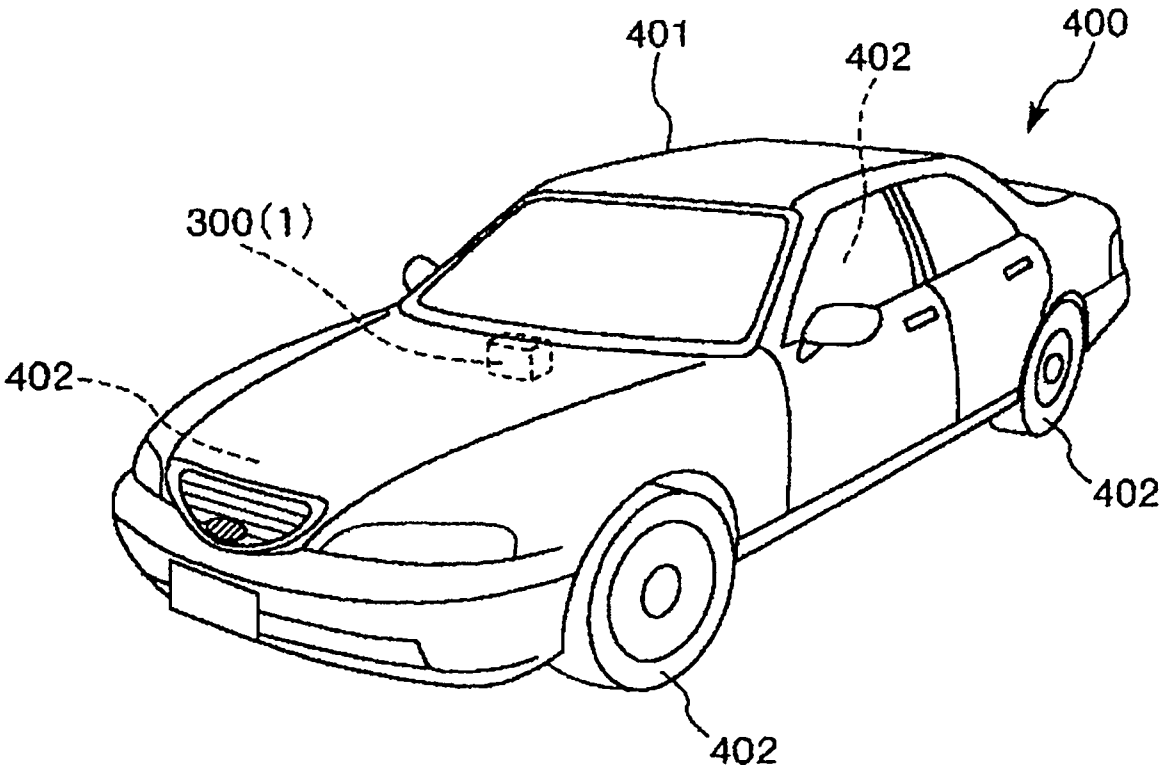


圖16