

# 公告本

## 發明專利說明書 556322

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91116023 ※IPC分類：H01L21/8242

※申請日期：91.7.18

### 壹、發明名稱

(中文) 半導體記憶體及其製造方法

(英文) SEMICONDUCTOR MEMORY AND METHOD FOR FABRICATING  
THE SAME

### 貳、發明人 (共 3 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 小川 久

(英文) HISASHI OGAWA

住居所地址：(中文) 日本國大阪府交野市幾野 3-27-5

(英文) 3-27-5, IKUNO, KATANO-SHI, OSAKA, JAPAN

國籍：(中文) 日本

(英文) JAPAN

### 參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商松下電器產業股份有限公司

(英文) MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.

住居所或營業所地址：(中文) 日本國大阪府門真市大字門真 1006 番地

(英文) 1006, OAZA KADOMA, KADOMA-SHI, OSAKA  
571-8501, JAPAN

國籍：(中文) 日本

(英文) JAPAN

代表人：(中文) 中村 邦夫

(英文) KUNIO NAKAMURA

發明人   2  姓名：(中文)   森  義弘  (英文)   YOSHIHIRO MORI  住居所地址：(中文)   日本國大阪府寢屋川市成田東丘 42-3  (英文)   42-3, NARITA-HIGASHIGAOKA, NEYAGAWA-SHI,  
  OSAKA, JAPAN  國籍：(中文)   日本   (英文)   JAPAN  發明人   3  姓名：(中文)   鼓谷  昭彥  (英文)   AKIHIKO TSUZUMITANI  住居所地址：(中文)   日本國大阪府茨木市田田町 10-35-205  (英文)   10-35-205, HATAKEDA-CHO, IBARAKI-SHI,  
  OSAKA, JAPAN  國籍：(中文)   日本   (英文)   JAPAN

## 捌、聲明事項

本案係符合專利法第二十條第一項  第一款但書或  第二款但書規定之期間，其日期為：\_\_\_\_\_

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 日本；2001年07月18日；特願2001-218277

2. \_\_\_\_\_

3. \_\_\_\_\_

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本；2001年07月18日；特願2001-218277

2. \_\_\_\_\_

3. \_\_\_\_\_

4. \_\_\_\_\_

5. \_\_\_\_\_

6. \_\_\_\_\_

7. \_\_\_\_\_

8. \_\_\_\_\_

9. \_\_\_\_\_

10. \_\_\_\_\_

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

熟習該項技術者易於獲得，不須寄存。

(1)

## 玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

### 發明背景

本發明係關於一種半導體記憶體及其製造方法，且較特別的是，其關於一種使用一高 $\kappa$ 膜或一鐵電膜之半導體記憶體之記憶體單元結構。

近年來，對於需要大記憶體容量與高資料傳輸速度之多媒體設備，用於組合DRAMs與高性能邏輯電路之嵌埋式DRAM製程已實際應用。

惟，在習知DRAM製程中，由於需要執行高溫退火以製成一電容器之電容器絕緣膜做為一記憶體電容器，故一高性能邏輯電路內之電晶體之雜質擴散層之雜質濃度構型會透過此高溫退火而不利地惡化。同樣地，在針對一DRAM、一FeRAM或類此者之記憶體單一單元製程中，其亦較佳為避免高溫退火，以減小一記憶體單元電晶體之尺寸。

因此，其已不可避免地發展一使用高 $\kappa$ 膜之MIM(金屬-絕緣體-金屬)電容器，做為一記憶體電容器之容量絕緣膜，其可在低溫形成且可提供精細之記憶體單元。高 $\kappa$ 膜之一例子為一具有鈣鈦石結構之介電質膜，例如一BST膜((BaSr)TiO<sub>3</sub>膜)。另一方面，針對一用於MIM電容器金屬電極之材料，具有高氧化電阻之鉑通常視為一可用之材料。同樣地，具有鈣鈦石結構之介電質膜，例如一SBT膜(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>膜)及一BTO膜(Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>膜)，其通常使用做為鐵電膜。

惟，做為一記憶體電容器功能之習知MIM電容器具有以

(2)

下問題。

當一接觸孔直接形成於一電容器絕緣高 $\kappa$ 膜上之鉑電極(上電極)時，則一減弱環境或類此者在形成一接觸栓塞時即容易有害地影響電容器之性質，大體上，大部分介電質膜為氧化物，因此，介電質膜內包含之氧可能因為減弱環境而損失。特別是，當電容器絕緣膜為一高 $\kappa$ 膜或一鐵電膜時，氧損失之機率即高，特別是在一具有鈣鈦石結構之介電質膜內，特徵會因氧損失而嚴重惡化。

此外，在以往未使用鉑電極之裝置製造中，例如一DRAM，其難以在鉑電極內形成新材料接觸件之步驟中使用現有設備，因此，此製程需要專用設備操作。其原因如下：例如，在一到達鉑膜之接觸孔係形成於一層間絕緣膜內時，由於鉑是在鉑電極曝露時濺射，因此，鉑黏附於一容室之壁面及構件上。若此容室使用於另一製程而無任何處理，鉑即進入一電晶體之主動區或類此者，而有害地影響電晶體之操作。

#### 發明概要

本發明之一目的在提供一種包括MIM電容器良好特徵之半導體記憶體，及其製造方法，其藉由形成一互連層以間接地連接於一電容器絕緣膜上之一由鉑或類似物組成之上電極。

本發明之另一目的在提供一種半導體記憶體及其製造方法，其不需要專用設備而可減低製造成本。

本發明之半導體記憶體包含：一記憶體電容器，係形成

(3)

於一半導體基板上方之一絕緣層上，且包括一下電極、一上電極及一介置於該下電極與上電極之間之電容器絕緣膜；一電容器絕緣膜延伸段及一上電極延伸段，分別延伸自該記憶體電容器之該電容器絕緣膜及上電極；一虛設導電性構件，包括一位於該上電極延伸段及電容器絕緣膜延伸段下方之部分；一導電性構件，係接觸於該上電極延伸段及電容器絕緣膜延伸段等之側面，且連接於該虛設導電性構件；及一上互連，係電連接於該虛設導電性構件。

因此，不需要將上互連直接連接於上電極，因此，即使當上電極係由鉑或類似物構成時，因為電容器絕緣膜曝露於一減弱環境所衍生之特徵惡化得以避免。

當導電性構件覆蓋上電極延伸段及電容器絕緣膜延伸段等之全部周邊側面時，可以取得較明確之電連接。

電容器絕緣膜可為一高 $\kappa$ 膜或一鐵電膜。

當半導體記憶體進一步包含一位元線，形成於記憶體電容器下方且將絕緣層夾置於其間；一本地互連，係與位元線由一相同之導體膜構成；及一導電性栓塞，用於通過絕緣層而令虛設下電極與本地互連相互連接時，一適用於一位元線上方電容器之記憶體之結構即可利用形成位元線所用之導體膜取得。

半導體記憶體可以進一步包含：一隔離絕緣膜，係提供於絕緣層下方之該半導體基板上；一記憶體單元電晶體，係提供於半導體基板上且在一由隔離絕緣膜包圍之區域內，及包括一閘極與雜質擴散層形成於閘極二側上之半導

(4)

體基板內；一本地互連，係形成於隔離絕緣膜上，本地互連與閘極係由一相同之導體膜構成；及一導體栓塞，係貫穿層間絕緣膜以連接於本地互連。因此，可施加於一備有電容器於位元線上方之記憶體與一備有電容器於位元線下方之記憶體二者之結構即可利用形成閘極之導體膜(例如一多晶矽膜)而取得。

半導體記憶體可以進一步包含：一記憶體單元電晶體，係提供於半導體基板上且包括一閘極與雜質擴散層形成於閘極二側上之半導體基板內；一本地互連，係由另一雜質擴散層構成，且在半導體基板內間隔於雜質擴散層；及一導體栓塞，係貫穿絕緣層以連接於本地互連。因此，可施加於一備有電容器於位元線上方之記憶體與一備有電容器於位元線下方之記憶體二者之結構即可利用一形成源極及汲極區之製程而取得。

當虛設導電性構件提供於一區域內，且在其一側面上係由至少絕緣層包圍，及導電性構件接觸於上電極延伸段及虛設導電性構件時，上電極延伸段及上互連可以相互電連接，而不提供虛設下電極。因此，半導體記憶體之面積可以減小。

在半導體記憶體中，虛設導電性構件可為一本地互連，及上互連可接觸於本地互連。

在半導體記憶體中，虛設導電性構件可為一虛設栓塞，及導電性構件可接觸於虛設栓塞之至少一部分頂面。

在半導體記憶體中，導電性構件可為一導電性側壁，其

(5)

提供於上電極延伸段及電容器絕緣膜延伸段等之側面上，且接觸於虛設導電性構件之至少一部分頂面。

當記憶體電容器之下電極、電容器絕緣膜及上電極係呈筒形時，記憶體單元可在半導體記憶體內以較高密度配置。

本發明製造一半導體記憶體之方法，半導體記憶體含有一記憶體電容器，包括一下電極、一上電極及一設置於下電極與上電極之間之電容器絕緣膜；一虛設導電性構件，係電連接於上電極；及一上互連，係電連接於虛設導電性構件，該方法包含以下步驟：(a)藉由形成一第一導體膜於一半導體基板上之一絕緣層上方且圖樣化第一導體膜，以形成該下電極；(b)形成一介電質膜，以覆蓋下電極；(c)形成一第二導體膜，以覆蓋介電質膜；(d)在第二導體膜上形成一蝕刻光罩，以覆蓋下電極之一部分；(e)圖樣化第二導體膜及介電質膜，藉此自介電質膜形成電容器絕緣膜與一電容器絕緣膜延伸段，及自第二導體膜形成上電極與一上電極延伸段；及(f)在步驟(e)後沉積一第三導體膜於基板上且圖樣化第三導體膜，藉此形成一導電性構件以接觸於上電極延伸段與電容器絕緣膜延伸段等之側面，且電連接於虛設導電性構件。

在此方法中，上電極及虛設導電性構件係在步驟(f)中透過導電性構件而相互電連接，因此，不需要形成一接觸件於上電極上方，且因此，電容器絕緣膜之特徵惡化得以避免。同樣地，在步驟(a)及步驟(f)之間之微影製程與類此者之數量不會比習知技術增加。

(6)

在製造一半導體記憶體之方法中，下電極及一間隔於下電極之虛設膜係藉由在步驟(a)中圖樣化第一導體膜而形成，一虛設下電極係藉由在步驟(b)及步驟(e)之間之任意步驟中圖樣化虛設膜而形成做為虛設導電性構件之至少一部分，及在步驟(f)中形成之導電性構件係接觸於上電極延伸段、電容器絕緣膜延伸段及虛設下電極等之側面，及覆蓋上電極延伸段上方一部分之至少一部分。因此，上電極及上互連可以透過導電性構件及虛設下電極而相互電連接。

製造一半導體記憶體之方法可以進一步包含，在步驟(a)之前，將虛設導電性構件之至少一部分形成於一區域內之步驟，且在其一側面上係由絕緣層包圍，在步驟(f)中形成之導電性構件係接觸於虛設導電性構件之至少一部分頂面。因此，上電極及上互連可以透過導電性構件及虛設導電性構件而相互電連接。

在製造一半導體記憶體之方法中，在步驟(f)中形成之導電性構件係一導體膜，其接觸於上電極延伸段及電容器絕緣膜延伸段等之側面，及覆蓋上電極延伸段上方一部分之至少一部分。

在製造一半導體記憶體之方法中，在步驟(f)中形成之導電性構件係一導電性側壁，其接觸於上電極延伸段及電容器絕緣膜延伸段等之側面。

在製造一半導體記憶體之方法中，介電質膜可為一高 $\kappa$ 膜或一鐵電膜。

(7)

## 圖式簡單說明

圖 1A、1B 分別為截面圖，用於局部揭示一記憶體部分，及平面圖，用於揭示本發明實施例 1 之一半導體記憶體內包括之一上電極與一連接導體膜；

圖 2A、2B、2C 係截面圖，用於揭示一製造本發明實施例 1 之半導體記憶體方法中之製程；

圖 3 係截面圖，用於局部揭示本發明實施例 2 之半導體記憶體內包括之一記憶體部分；

圖 4 係截面圖，用於局部揭示本發明實施例 3 之半導體記憶體內包括之一記憶體部分；

圖 5 係截面圖，用於局部揭示本發明實施例 4 之半導體記憶體內包括之一記憶體部分；

圖 6 係截面圖，用於局部揭示本發明實施例 5 之半導體記憶體內包括之一記憶體部分；

圖 7A、7B、7C 係截面圖，用於揭示一製造本發明實施例 5 之半導體記憶體方法中之製程；

圖 8A、8B 分別為截面圖，用於局部揭示一記憶體部分，及平面圖，用於揭示本發明實施例 6 之一半導體記憶體內包括之一上電極與一連接導體膜；

圖 9A、9B、9C 係截面圖，用於揭示一製造本發明實施例 6 之半導體記憶體方法中之製程；

圖 10A、10B 分別為截面圖，用於局部揭示一記憶體部分，及平面圖，用於揭示本發明實施例 7 之一半導體記憶體內包括之一上電極與一連接導體膜；及

圖 11A、11B、11C 係截面圖，用於揭示一製造本發明實施例 7 之半導體記憶體方法中之製程。

### 發明之詳細說明

#### 實施例 1

在此實施例中，將說明本發明施加於一 DRAM 記憶體單元結構，其中位元線提供於一記憶體電容器下方，即俗稱之位元線上方電容器。

圖 1A、1B 分別為一截面圖，用於局部揭示一記憶體部分之結構，及一平面圖，用於揭示本發明實施例 1 之一半導體記憶體內所包括之一上電極與一連接導體膜。圖 2A 至 2C 係截面圖，揭示一用於製造此實施例之半導體記憶體之方法。現在，用於此實施例之半導體記憶體之結構及製造方法將依序說明於後，在此實施例之各圖式中，儘管僅揭示記憶體部分之結構，但是此實施例之半導體記憶體為一嵌埋式裝置，其中一邏輯電路元件形成於一未繪示之邏輯電路部分內。惟，邏輯電路元件之結構並未繪示於圖中，因為其並非直接相關於本發明之本質。

#### - 記憶體單元之結構 -

如圖 1A 所示，在一 DRAM 之一記憶體單元中，即此實施例之半導體記憶體，一隔離絕緣膜 11 圍繞於一藉由導入 n-型雜質而形成之主動區及一源極區 12 與一汲極區 13，其係在一 p 型矽基板 10 之表面部分上設有間距。介置於源極區 12 與汲極區 13 之間之 p 型矽基板 10 之一區域有如一通道區之功能。同樣地，在矽基板 10 之主動區上，一由氧化矽組

(9)

成之閘極絕緣膜14形成於源極區12與汲極區13之間，一由多晶矽組成之閘極15(對應於一字元線之一部分)形成於閘極絕緣膜14上，及一絕緣側壁16形成於閘極15之側表面上。源極區12、汲極區13、通道區、閘極絕緣膜14及閘極15合併構成一記憶體單元電晶體TR。此外，圖1A之截面圖內所揭示之閘極15包括並非做為記憶體單元電晶體TR之閘極者，但是在不同於圖1A所示之截面中，諸閘極15亦做為記憶體單元電晶體之閘極。諸閘極15沿著一實質上垂直於圖面之方向而延伸，以做為DRAM之字元線。

同樣地，在矽基板10上，一由BPSG組成之第一層間絕緣膜18提供以覆蓋隔離絕緣膜11、閘極15及絕緣側壁16。一由多晶矽組成且接觸於源極區12之下記憶體單元栓塞20a及一接觸於汲極區13之位元線栓塞20b皆透過第一層間絕緣膜18而形成。再者，在第一層間絕緣膜18上，形成一由鎢/鈦多層膜所組成且連接於位元線栓塞20b之位元線21a及一由相同於位元線21a之鎢/鈦多層膜所組成之本地互連21b。同樣在第一層間絕緣膜18上，形成一由電漿TEOS組成之第二層間絕緣膜22。一接觸於下記憶體單元栓塞20a之上記憶體單元栓塞30a、一接觸於本地互連21b之虛設單元栓塞30b、及一接觸於本地互連21b之互連栓塞30c皆透過第二層間絕緣膜22而形成。

在第二層間絕緣膜22上備有一由TiAlN組成之下障壁金屬32a、一由鉑組成且形成於前者上之下電極33a、一由TiAlN組成且形成於前者上之虛設下障壁金屬32b及一虛

設下電極33b。再者，形成一覆蓋第二層間絕緣膜22、下電極33a及虛設下電極33b的BST膜 $((\text{BaSr})\text{TiO}_3)$ 34、一覆蓋BST膜34之鉑膜35、及一由TiAlN組成以覆蓋鉑膜35之上障壁金屬36。

接觸於下電極33a之一部分BST膜34相當於一電容器絕緣膜34a，而接觸於虛設下電極33b之另一部分BST膜34則相當於一電容器絕緣膜延伸段34b。同樣地，相對立於下電極33a之一部分鉑膜35相當於一上電極35a，而相對立於虛設下電極33b之另一部分鉑膜35相當於一上電極延伸段35b。下障壁金屬32a及下電極33a一併構成DRAM記憶體單元之一儲存節點SN，同樣地，下電極33a、電容器絕緣膜34a及上電極35a一併構成一記憶體電容器MC。

一連接導體膜37形成於上障壁金屬36之頂與側面、鉑膜35之側面、BST膜34之側面及第二層間絕緣膜22之頂面上，連接導體膜37覆蓋上障壁金屬36之全部頂面且完全圍繞上障壁金屬36、鉑膜35及BST膜34。特別是，在一虛設單元區域Rdc中，連接導體膜37形成於上障壁金屬36、上電極延伸段35b、電容器絕緣膜延伸段34b、虛設下電極33b及虛設下障壁金屬32b等之側面上，如圖1B所示。由於此結構，連接導體膜37使上電極延伸段35b及虛設下電極33b相互電連接。連接導體膜37不需要一直覆蓋上障壁金屬36之全部頂面，惟，當連接導體膜37覆蓋上障壁金屬36之全部頂面時，可以抑制一減弱環境侵入。

再者，一由電漿TEOS組成之第三層間絕緣膜41形成於

第二層間絕緣膜22與連接導體膜37上，及一接觸於互連栓塞30c之銅互連42嵌埋於第三層間絕緣膜41內。

特別是，圖1A、1B所示之結構包括一形成記憶體電容器MC、儲存節點SN、記憶體單元電晶體TR及類似物之有效記憶體單元區域Rec，及一形成虛設下電極33b、電容器絕緣膜延伸段34b、上電極延伸段35b、虛設單元栓塞30b及類似物在內之虛設單元區域Rdc。

如圖1B所示，形成上電極35a及上障壁金屬36之鉑膜35係共用於多數記憶體單元及多數下電極33a、下障壁金屬32a之間，且虛設下電極33b及虛設下障壁金屬32b提供於鉑膜35下方。虛設下電極33b及虛設下障壁金屬32b提供於鉑膜35下方，但是上電極35a、虛設下電極33b及虛設下障壁金屬32b可以相互電連接，只要至少一虛設下電極提供於鉑膜35之任意部分下方。

依此實施例所示，由於構成上電極及上障壁金屬36之鉑膜35上方並無栓塞，故不需要形成一接觸孔以填入一栓塞於第三層間絕緣膜41與連接導體膜37內。因此，構成上電極之鉑膜不致於在形成一接觸孔以到達上電極之乾性蝕刻(電漿蝕刻)中曝露，故不同於習知技術。換言之，當一曝露之鉑膜進行於一減弱環境中時，氧損失容易發生於由BST或類似物組成之電容器絕緣膜內(特別是高 $\kappa$ 值膜)。即使當一由TiAlN組成之上障壁金屬係在此實施例中形成於鉑膜上時，上障壁金屬具有一小厚度且一接觸孔可能到達由鉑組成之上電極，因為在執行蝕刻以形成接觸孔時

(12)

經常過度蝕刻。因此，上障壁金屬無法期待於防止電容器絕緣膜內之氧損失。相較之下，依此實施例，由於無接觸孔形成於鉑膜35上方，因為鉑膜曝露於一減弱環境中而造成電容器絕緣膜34a內之氧損失即可確實避免。

此外，由於鉑膜35並未在形成一接觸孔於層間絕緣膜內之步驟中曝露，因此用於形成接觸孔之蝕刻可以在形成一邏輯電路元件之步驟中執行於同一裝置內(例如一容室)。此外，由於下電極33a之形成，由鉑組成之虛設下電極33b及上電極35a即執行於專用於鉑膜形成之設備中，其不致於像一形成邏輯電路元件之裝置受到污染。

- 製造記憶體單元之方法 -

其次，製造此實施例中之半導體記憶體之記憶體單元之方法將參考圖2A至2C說明於後。

在圖2A所示之製程中，執行以下處理：首先，一圍繞於一主動區之隔離絕緣膜11形成於一p型矽基板10內，且一由一源極區12、一汲極區13、一閘極絕緣膜14、一閘極15及一絕緣側壁16組成之記憶體單元電晶體TR形成於主動區上。此記憶體單元電晶體TR係使用習知技術而以習知程序執行，諸如熱氧化、多晶矽膜之形成、圖樣化及離子植入。

其次，一BPSG膜沉積於記憶體單元電晶體TR上後，BPSG膜利用CMP(化學機械式拋光)進行退火及研磨，以形成一第一層間絕緣膜18。接著，形成接觸孔，以利於通過第一層間絕緣膜18到達源極區12及汲極區13。其次，一

(13)

n型多晶矽膜形成於接觸孔內及第一層間絕緣膜18上，且多晶矽膜利用CMP研磨以利於多晶矽膜填入接觸孔內，因此，形成一下記憶體單元栓塞20a及一位元線栓塞20b。

其次，一鎢/鈦多層膜沉積於第一層間絕緣膜18上後，鎢/鈦多層膜利用蝕刻以圖樣化，以利於形成一連接於位元線栓塞20b之位元線21a及一未連接於其他構件且在此階段呈隔離之本地互連21b。在圖樣化鎢膜中，鎢膜之蝕刻終點係經偵測當一鈦膜表面曝露時之時間以決定之。而在圖樣化鈦膜時，蝕刻即在一高選擇率之條件下執行於由多晶矽組成之第一記憶體單元栓塞20a。

其次，一電漿TEOS膜沉積於基板上後，電漿TEOS膜利用CMP(化學機械式拋光)進行研磨，以形成一第二層間絕緣膜22。再者，形成孔以通過第二層間絕緣膜22到達下記憶體單元栓塞20a及二部分之本地互連21b。隨後，一鎢膜形成於接觸孔內且，隨後利用CMP研磨，藉此鎢膜即填入接觸孔內，因此，形成一連接於下記憶體單元栓塞20a之上記憶體單元栓塞30a及一連接於二部分本地互連21b之互連栓塞30c。

其次，一大約6奈米厚度之TiAlN膜及一大約50奈米厚度之鉑膜依序沉積於第二層間絕緣膜22上，TiAlN膜及鉑膜進行圖樣化，使得一連接於上記憶體單元栓塞30a及由鉑組成下電極33a之下障壁金屬32a，以及一連接於上虛設單元栓塞30b及一虛設下電極33b之虛設下障壁金屬32b皆形成於第二層間絕緣膜22上。在圖樣化鉑膜時，蝕刻即在

(14)

取得高選擇率之條件下執行於形成下方之TiAlN膜，而在圖樣化TiAlN膜時，蝕刻係在取得足夠高選擇率之條件下執行，以避免蝕刻由鎢組成之下方上記憶體單元栓塞30a。

其次，在圖2B所示之製程中，依序形成一大約30奈米厚度之BST膜((BaSr)TiO<sub>3</sub>膜)、一大約30奈米厚度之鉑膜、一大約6奈米厚度之TiAlN膜及一NSG(未摻雜之矽酸鹽玻璃)膜以覆蓋第二層間絕緣膜22、下電極33a及虛設下電極33b。NSG膜係圖樣化成一硬光罩38，且利用硬光罩38執行乾性蝕刻。因此，TiAlN膜、鉑膜及BST膜依序進行圖樣化，以形成一覆蓋於有效記憶體單元區域Rec與虛設單元區域Rdc之上障壁金屬36、一包括一上電極35a與一上電極延伸段35b在內之鉑膜35、及一包括一電容器絕緣膜34a與一電容器絕緣膜延伸段34b在內之BST膜34。隨後，硬光罩38例如使用稀釋之氫氟酸液體做選擇性去除。

其次，在圖2C所示之製程中，一例如大約30奈米厚度之TiAlN膜形成於基板上，且TiAlN膜利用一光阻性光罩以圖樣化成一連接導體膜37。此時，連接導體膜37覆蓋於基板上之有效記憶體單元區域Rec與虛設單元區域Rdc內之上障壁金屬36之頂面，覆蓋於虛設單元區域Rdc截面上之上障壁金屬36、鉑膜35、BST膜34、虛設下電極33b及虛設下障壁金屬32b等之側面，及亦覆蓋於一部分第二層間絕緣膜22。

隨後，沉積及研磨一第三層間絕緣膜41，一接觸於互連栓塞30c之渠溝係形成穿過第三層間絕緣膜41內及一銅互

連42嵌埋在渠溝內(利用雙鑲嵌法),藉此取得具有圖1A所示截面結構之記憶體單元。

在此實施例之製造方法中,其可免於形成一接觸孔以貫穿第三層間絕緣膜41及連接導體膜37到達鉑膜35(及上障壁金屬36)上方之製程。換言之,在形成一銅互連中,例如形成一渠溝穿過第三層間絕緣膜41,其大體上在一減弱環境中執行退火。因此,若一接觸孔形成於上障壁金屬36上方時,氬或類似物即透過薄上障壁金屬36到達鉑膜35,或若鉑膜35因為過度蝕刻或類似此者而曝露時則氬或類似物即直接接觸於鉑膜35,因此,氬或類似物可通過鉑膜35到達BST膜34。在此例子中,BST膜34內包含之氧逸失而導致氧損耗,造成電容器絕緣膜34a之特徵惡化。對比之下,當本實施例免於形成一接觸孔於鉑膜35上方之製程時,電容器絕緣膜34a之特徵得以免於因此所致之惡化。此外,由於上障壁金屬36之頂面與側面、上電極延伸段35b之側面、虛設下電極33b之側面及虛設下障壁金屬32b之側面可以覆上形成一層狀之連接導體膜37,故可取得一明確之連接結構。同樣地,由於上障壁金屬36之整個頂面係覆上連接導體膜37,故可抑制一減弱環境侵入。

形成銅互連42之製程相當於形成一栓塞以接觸於一上電極上之習知製程,且本地互連21b及互連栓塞30c之形成可利用形成記憶體單元之製程形成。

儘管在此實施例中之上電極35a及下電極33a係由鉑構成,且上障壁金屬36及連接導體膜37係由TiAlN構成,諸

(16)

構件可由具有氧化電阻之其他導電材料構成。同樣地，電容器絕緣膜34a係由BST構成，其可由另一高 $\kappa$ 膜替代。特別是，在一具有由 $ABO_3$ 所代表鈣鈦石結構之介電質膜例子中，由於氧原子易因減弱而損失，因此本發明在此一例子中極有成效。

此外，毋庸贅言的是本發明不僅可施加於一嵌埋裝置，如同此實施例者，其亦可施加於包括使用一金屬電極之電容器在內之任意半導體記憶體，諸如一般用途之DRAM或FeRAM。

#### 實施例2

圖3係截面圖，用於局部揭示實施例2之半導體記憶體之一記憶體部分結構。

如圖3所示，此實施例之記憶體部分之結構不同於實施例1者之處在於其並未形成實施例1之鎢/鈦本地互連21b、虛設單元栓塞30b、虛設下障壁金屬32b及虛設下電極33b，且一鎢製本地互連23填入一形成於第二層間絕緣膜22內之渠溝中。本地互連23係隨著上記憶體單元栓塞30a同時形成，此半導體記憶體之其他構件皆相同於圖1A所示者，因此使用相同於圖1A所示者之參考編號。

在此實施例中，上電極35a及銅互連42係透過鎢製本地互連23及連接導體膜37而相互電連接，同樣在此實施例中，不需要形成一接觸孔於鉑膜35上方以形成一貫穿第三層間絕緣膜41之鉑膜35(及上障壁金屬36)。據此，電容器絕緣膜34a之特徵惡化得以避免，且在此實施例中如同實

(17)

施例 1 者不需要記憶體單元製造上之專用設施。

此外，由於在此實施例中不需要形成一虛設下電極，由記憶體部分佔用之面積即可有利地比實施例 1 者少。

實施例 3

圖 4 係截面圖，用於局部揭示本發明實施例 3 之一半導體記憶體之一記憶體部分結構。

如圖 4 所示，此實施例之記憶體部分之結構不同於實施例 1 者之處在於實施例 1 之鎢 / 鈦膜本地互連 21b 係由一形成於隔離絕緣膜 11 上之多晶矽本地互連 24 替代，且一接觸於本地互連 24 之下虛設單元栓塞 20c 及一接觸於本地互連 24 之下互連栓塞 20d 係形成通過第一層間絕緣膜 18。此外，在此實施例中，虛設單元栓塞 30b 連接於下虛設單元栓塞 20c 而互連栓塞 30c 連接於下互連栓塞 20d，本地互連 24 係與閘極 15 同時形成。其他構件皆相同於圖 1A 所示者，故以相同於圖 1A 所示構件之參考編號表示。

在此實施例中，上電極 35a 及銅互連 42 係經由連接導體膜 37、虛設下電極 33b、虛設下障壁金屬 32b、虛設單元栓塞 30b、下虛設單元栓塞 20c、本地互連 24、下互連栓塞 20d 及互連栓塞 30c 而相互電連接。同樣在此實施例中，其亦不需要形成一接觸孔通過第三層間絕緣膜 41 於構成上電極 35a 之鉑膜 35 (上障壁金屬 36) 上方，據此，電容器絕緣膜 34a 之特徵惡化得以避免，且在此實施例中如同實施例 1 者不需要記憶體單元製造上之專用設施。

實施例 4

(18)

圖 5 係截面圖，用於局部揭示本發明實施例 4 之一半導體記憶體之一記憶體部分結構。

如圖 5 所示，此實施例之記憶體部分之結構不同於實施例 1 者之處在於實施例 1 之鎢 / 鈦膜本地互連 21b 係由一形成於矽基板 10 內之雜質擴散層所組成本地互連 25 替代，且一接觸於本地互連 25 之下虛設單元栓塞 20c 及一接觸於本地互連 25 之下互連栓塞 20d 係形成通過第一層間絕緣膜 18。在此實施例中虛設單元栓塞 30b 連接於下虛設單元栓塞 20c 而互連栓塞 30c 連接於下互連栓塞 20d，本地互連 25 係與源極及汲極區 12、13 同時形成。其他構件皆相同於圖 1A 所示者，故以相同於圖 1A 所示構件之參考編號表示。

在此實施例中，上電極 35a 及銅互連 42 係經由連接導體膜 37、虛設下電極 33b、虛設下障壁金屬 32b、虛設單元栓塞 30b、下虛設單元栓塞 20c、本地互連 25、下互連栓塞 20d 及互連栓塞 30c 而相互電連接。同樣在此實施例中，其亦不需要形成一接觸孔通過第三層間絕緣膜 41 於構成上電極 35a 之鉑膜 35 (上障壁金屬 36) 上方，據此，電容器絕緣膜 34a 之特徵惡化得以避免，且在此實施例中如同實施例 1 者不需要記憶體單元製造上之專用設施。

#### 實施例 5

在上述實施例 1 至 4 之各者中，本發明施加於以一電容器位於位元線上方之 DRAM 記憶體單元結構，在此實施例中，本發明則施加於以一電容器位於位元線下方之 DRAM 記憶體單元結構，其中位元線設置較高於一記憶體電容器

。圖 6 係截面圖，用於局部揭示實施例 5 之一半導體記憶體之一記憶體部分結構。圖 7A 至 7C 係截面圖，揭示一製造實施例 5 之半導體記憶體之方法，此實施例之半導體記憶體之結構及製造方法將依序說明於後，在此實施例之各圖式中，儘管僅揭示記憶體部分之結構，但是此實施例之半導體記憶體為一嵌埋式裝置，其中一邏輯電路元件提供於一未繪示之邏輯電路部分內，如實施例 1 所述。惟，邏輯電路部分之結構未予繪示，因其並非直接相關於本發明之本質。

如圖 6 所示，此實施例之記憶體部分包括，如同實施例 3 者，一形成於隔離絕緣膜 11 上以替代實施例 1 中鎢/鈦膜所組成本地互連 21b 之多晶矽本地互連 24，且一接觸於本地互連 24 之下虛設單元栓塞 20c 及一接觸於本地互連 24 之下互連栓塞 20d 係形成通過第一層間絕緣膜 18。

同樣地，在此實施例中，一記憶體電容器 MC 及一虛設單元提供於第一層間絕緣膜 18 上，且一虛設下電極 33b (及虛設下障壁金屬 32b) 直接連接於下虛設單元栓塞 20c 及一第一銅互連 42 直接連接於下互連栓塞 20d，本地互連 24 係由形成閘極 15 之相同多晶矽膜構成。

再者，在一位元線栓塞 20b 上提供一上位元線栓塞 51 貫穿一第二層間絕緣膜 22 以接觸於位元線栓塞 20b；一絕緣側壁 52 覆蓋上位元線栓塞 51 之側面；一由 TiAlN 組成之連接導體膜 37 覆蓋一上障壁金屬 36 之頂面與側面以及一鉑膜 35 與一 BST 膜 34 之側面；及一由銅膜組成之位元線 53 嵌

埋於一第三層間絕緣膜41內。換言之，此記憶體部分備有位元線下方電容器之DRAM記憶體單元結構，其中位元線提供於於記憶體電容器MC上方。連接導體膜37設於上障壁金屬36、鉑膜35及BST膜34等之側面之間。

圖6內之其他構件皆相同於圖1A所示者，故以相同於圖1A所示之參考編號表示諸構件。

在此實施例中，上電極35a及銅互連42係經由連接導體膜37、虛設下電極33b、虛設下障壁金屬32b、虛設單元栓塞30b、下虛設單元栓塞20c、本地互連24及下互連栓塞20d而相互電連接。同樣在此實施例中，其亦不需要形成一接觸孔通過第三層間絕緣膜41於構成上電極35a之鉑膜35(上障壁金屬36)上方，據此，電容器絕緣膜34a之特徵惡化得以避免，且在此實施例中如同實施例1者不需要記憶體單元製造上之專用設施。

其次，製造此實施例半導體記憶體之過程將參考圖7A至7C說明於後。

在圖7A所示之步驟中，執行以下處理：首先，一圍繞於一主動區之隔離絕緣膜11形成於一p型矽基板10內，且一由一源極區12、一汲極區13、一閘極絕緣膜14、一閘極15及一絕緣側壁16組成之記憶體單元電晶體TR形成於主動區上。此記憶體單元電晶體TR係使用習知技術而以習知程序執行，諸如熱氧化、多晶矽膜之形成、圖樣化及離子植入。此時，一由多晶矽組成之本地互連24係在形成閘極15時同時形成於隔離絕緣膜11上。

其次，一BPSG膜沉積於記憶體單元電晶體TR上後，BPSG膜利用CMP(化學機械式拋光)進行退火及研磨，以形成一第一層間絕緣膜18。接著，形成接觸孔，以利於通過第一層間絕緣膜18到達源極區12及汲極區13及本地互連24之二部分。其次，一n型多晶矽膜形成於接觸孔內及第一層間絕緣膜18上，且多晶矽膜利用CMP研磨以利於多晶矽膜填入接觸孔內，因此，形成一下記憶體單元栓塞20a、一位元線栓塞20b、一下虛設單元栓塞20c及一下互連栓塞20d。

其次，一大約6奈米厚度之TiAlN膜及一大約50奈米厚度之鉑膜依序沉積於第一層間絕緣膜18上，TiAlN膜及鉑膜進行圖樣化，以利於第一層間絕緣膜18上形成一連接於下記憶體單元栓塞20a及其上方由鉑組成下電極33a之下障壁金屬32a，以及一連接於下虛設單元栓塞20c及其上方虛設下電極33b之虛設下障壁金屬32b。在圖樣化鉑膜時，蝕刻即在取得高選擇率之條件下執行於形成下方之TiAlN膜，而在圖樣化TiAlN膜時，蝕刻係在取得足夠高選擇率之條件下執行，以避免蝕刻由多晶矽組成之下方下記憶體單元栓塞20a。

一大約30奈米厚度之BST膜((BaSr)TiO<sub>3</sub>膜)、一大約30奈米厚度之鉑膜、一大約6奈米厚度之TiAlN膜及一NSG膜依序沉積，以覆蓋第二層間絕緣膜22、下電極33a及虛設下電極33b。隨後，NSG膜係圖樣化成一硬光罩(圖中未示)，且TiAlN膜、鉑膜及BST膜利用硬光罩執行乾性蝕刻

(22)

，而依序進行圖樣化，以形成一包括一電容器絕緣膜34a與一電容器絕緣膜延伸段34b在內之BST膜34、一包括一上電極35a與一上電極延伸段35b在內之鉬膜35、及一覆蓋於鉬膜35之上障壁金屬36。此時，位於位元線栓塞20b上方之部分BST膜、鉬膜、TiAlN膜及NSG膜皆去除，以形成一開孔59。隨後，NSG膜例如使用稀釋之氫氟酸溶液體做選擇性去除。

隨後，一例如大約30奈米厚度之TiAlN膜形成於基板上。後，TiAlN膜利用一光阻性光罩以圖樣化成一連接導體膜37。此時，連接導體膜37覆蓋於上障壁金屬36之頂面、開孔59之壁面、及基板上之有效記憶體單元區域Rec與虛設單元區域Rdc內之上障壁金屬36、鉬膜35、BST膜34、下電極33a及虛設下電極33b等之側面，及亦覆蓋一部分第一層間絕緣膜18。因此，連接導體膜37接觸於上電極延伸段35b及虛設下電極33b等之側面，且因此，上電極延伸段35b及虛設下電極33b相互電連接。

其次，在圖7B所示之步驟中，沉積一第二層間絕緣膜22後，第二層間絕緣膜22利用CMP研磨。隨後，形成一接觸孔60以貫穿第二層間絕緣膜22及連接導體膜37而到達位元線栓塞20b，此時，接觸孔60具有一直徑，且充分小於圖7A所示製程中開孔59壁面上形成之連接導體膜之內徑。隨後，沉積一較薄絕緣膜於基板上後，絕緣膜進行異方性蝕刻，以形成一絕緣側壁52於接觸孔60之壁面上。接著，一接觸於下互連栓塞20d之渠溝係形成以貫穿第二層

間絕緣膜22，沉積一銅膜及進行CMP，以填充銅膜於接觸孔60及下互連栓塞20d上之渠溝內，藉此形成一上位元線栓塞51與一銅互連42。

隨後，沉積及研磨一第三層間絕緣膜41，接觸於上位元線栓塞51之一接觸孔及一渠溝係形成穿過第三層間絕緣膜41，且接觸孔及渠溝填以一銅膜，以形成一位元線53(利用雙鑲嵌法)。結果，圖6所示之記憶體單元結構即可取得。

在此實施例之製造方法中，其可免於形成一接觸孔以貫穿第二層間絕緣膜22到達構成上電極35a(及上障壁金屬36)之鉑膜35上方之製程。因此，如同第一實施例製造方法，因曝露於減弱環境所致電容器絕緣膜34a之特徵惡化即得以確實抑制。

儘管在此實施例中之上電極35a及下電極33a係由鉑構成，且上障壁金屬36及連接導體膜37係由TiAlN構成，諸構件可由具有氧化電阻之其他導電材料構成。同樣地，電容器絕緣膜34a係由BST構成，其可由另一高 $\kappa$ 膜替代。特別是，在一具有由 $ABO_3$ 所代表鈣鈦石結構之介電質膜例子中，由於氧原子易因減弱而損失，因此本發明在此一例子中極有成效。

此外，毋庸贅言的是本發明不僅可施加於一嵌埋裝置，如同此實施例者，其亦可施加於包括使用一金屬電極之電容器在內之任意半導體記憶體，諸如一般用途之DRAM或FeRAM。

(24)

## 實施例 6

在實施例 1 中，其形成虛設下障壁金屬 32b 及虛設下電極 33b。在此實施例中，替代於形成諸構件的是，連接導體膜 37 接觸於虛設單元栓塞 30b，使得上電極 35a 及虛設單元栓塞 30b 可以相互電連接。

圖 8A、8B 分別為截面圖及平面圖，用於局部揭示實施例 6 之半導體記憶體之一記憶體部分結構。在此實施例之各圖式中，儘管僅揭示記憶體部分之結構，此實施例之半導體記憶體為一嵌埋式裝置，其中一邏輯電路元件提供於一未繪示之邏輯電路部分內。惟，邏輯電路元件之結構未予繪示，因其並非直接相關於本發明之本質。

如圖 8A 所示，此實施例之記憶體部分之結構不同於實施例 1 者之處在於虛設下障壁金屬 32b 及虛設下電極 33b 並未提供於虛設單元區域 Rdc 內，此外，自有效記憶體單元區域 Rec 延伸向虛設單元區域 Rdc 之電容器絕緣膜延伸段 34b、覆蓋於電容器絕緣膜延伸段 34b 之上電極延伸段 35b、及上障壁金屬 36 係提供以利於局部曝露虛設單元栓塞 30b。連接導體膜 37 形成於上障壁金屬 36 之頂面與側面上、上電極延伸段 35b 與電容器絕緣膜延伸段 34b 及至少一部分虛設單元栓塞 30b 等之側面上。

易言之，儘實施例 1 中之連接導體膜 37、虛設下電極 33b 及虛設下障壁金屬 32b 係提供用於使上電極延伸段 35b 及虛設單元栓塞 30b 相互電連接，但是此實施例中之虛設單元栓塞 30b 則直接接觸於連接導體膜 37。

(25)

電容器絕緣膜延伸段34b、覆蓋於電容器絕緣膜延伸段34b之上電極延伸段35b及上障壁金屬36可形成以利於局部曝露虛設單元栓塞30b，或完全曝露虛設單元栓塞30b。若虛設單元栓塞30b完全曝露，連接導體膜37即形成以不電連接於下電極33a及下障壁金屬32a，且覆蓋至少一部分虛設單元栓塞30b。易言之，連接導體膜37電連接於虛設單元栓塞30b，同時隔絕於下電極33a。

如圖8B所示，用於形成上電極35a(及上障壁金屬36)之鉑膜35係共用於多數記憶體單元之間，且多數下電極33a(及下障壁金屬32a)設於鉑膜35下方。其餘結構及效果皆相同於實施例1所述者，故不予以贅述。

其次，製造此實施例中之半導體記憶體之記憶體單元之方法將參考圖9A至9C說明於後，圖9A至9C為截面圖，揭示實施例6之製造方法中之製程。

在圖9A所示之製程中，執行以下處理：首先，一圍繞於一主動區之隔離絕緣膜11形成於一p型矽基板10內，且一由一源極區12、一汲極區13、一閘極絕緣膜14、一閘極15及一絕緣側壁16組成之記憶體單元電晶體TR形成於主動區上。此記憶體單元電晶體TR係使用習知技術而以習知程序執行，諸如熱氧化、多晶矽膜之形成、圖樣化及離子植入。

其次，一BPSG膜沉積於具有記憶體單元電晶體TR之基板上後，BPSG膜利用CMP(化學機械式拋光)進行退火及研磨，以形成一第一層間絕緣膜18。接著，形成接觸孔，

(26)

以利於通過第一層間絕緣膜18到達源極區12及汲極區13。隨後，一n型多晶矽膜形成於接觸孔內及第一層間絕緣膜18上，且多晶矽膜利用CMP研磨以利於多晶矽膜填入接觸孔內，因此，形成一下記憶體單元栓塞20a及一位元線栓塞20b。

其次，一鎢/鈦多層膜沉積於第一層間絕緣膜18上後，鎢/鈦多層膜利用蝕刻以圖樣化，以利於形成一連接於位元線栓塞20b之位元線21a及一未連接於其他構件且在此階段呈隔離之本地互連21b。在圖樣化鎢膜中，鎢膜之蝕刻終點係經偵測當一鈦膜表面曝露時之時間以決定之。而在圖樣化鈦膜時，蝕刻即在一高選擇率之條件下執行於由多晶矽組成之第一記憶體單元栓塞20a。

隨後，一電漿TEOS膜沉積於基板上後，電漿TEOS膜利用CMP(化學機械式拋光)進行研磨，以形成一第二層間絕緣膜22。再者，形成接觸孔以通過第二層間絕緣膜22到達下記憶體單元栓塞20a及二部分之本地互連21b。隨後，一鎢膜形成於接觸孔內且，鎢膜利用CMP研磨，藉此鎢膜即填入接觸孔內，因此，形成一連接於下記憶體單元栓塞20a之上記憶體單元栓塞30a、及分別接觸於二部分本地互連21b之一虛設單元栓塞30b與一互連栓塞30c。

其次，在圖9B所示之製程中，一大約6奈米厚度之TiAlN膜及一大約50奈米厚度之鉑膜依序沉積於第二層間絕緣膜22上，TiAlN膜及鉑膜進行圖樣化，使得一連接於上記憶體單元栓塞30a及由鉑組成下電極33a之下障壁金屬32a

形成於第二層間絕緣膜22上。在圖樣化鉑膜時，蝕刻即在取得高選擇率之條件下執行於形成下方之TiAlN膜，而在圖樣化TiAlN膜時，蝕刻係在取得足夠高選擇率之條件下執行，以避免蝕刻由鎢組成之下方上記憶體單元栓塞30a。

隨後，依序沉積一大約30奈米厚度之BST膜((BaSr)TiO<sub>3</sub>膜)、一大約30奈米厚度之鉑膜、一大約6奈米厚度之TiAlN膜及一NSG膜以覆蓋第二層間絕緣膜22及下電極33a。NSG膜圖樣化成一硬光罩38後，利用硬光罩38執行乾性蝕刻，使TiAlN膜、鉑膜及BST膜依序進行圖樣化，以形成一覆蓋於有效記憶體單元區域Rec與虛設單元區域Rdc之上障壁金屬36、一包括一上電極35a與一上電極延伸段35b在內之鉑膜35、及一包括一電容器絕緣膜34a與一電容器絕緣膜延伸段34b在內之BST膜34。此時，儘管上障壁金屬36、上電極35a及上電極延伸段35b係在實施例1中進行圖樣化以完全覆蓋於虛設單元栓塞30b，但是其在本實施例中則圖樣化以曝露出至少一部分虛設單元栓塞30b。隨後，硬光罩38例如使用稀釋之氫氟酸溶液體做選擇性去除。

其次，在圖9C所示之製程中，一例如大約30奈米厚度之TiAlN膜形成於基板上，且TiAlN膜利用一光阻性光罩以圖樣化成一連接導體膜37。此時，連接導體膜37覆蓋於基板上之有效記憶體單元區域Rec與虛設單元區域Rdc內之上障壁金屬36之頂面，覆蓋於虛設單元區域Rdc截面上之上障壁金屬36、鉑膜35及電容器絕緣膜延伸段34b等之

(28)

側面，及覆蓋於虛設單元栓塞30b之至少一部分頂面。

隨後，沉積及研磨一第三層間絕緣膜41，一接觸於互連栓塞30c之渠溝係形成穿過第三層間絕緣膜41內及一銅互連42嵌埋在渠溝內(利用雙鑲嵌法)，因此，具有圖8A所示截面結構之記憶體單元即可取得。

在此實施例之製造方法中，其可免於形成一接觸孔以貫穿第三層間絕緣膜41及連接導體膜37到達鉑膜35(及上障壁金屬36)上方之製程，且不增添新製程於習知製程中。據此，相似於實施例1者，因為曝露於一減弱環境所致電容器絕緣膜34a之特徵惡化即可受到明顯抑制，且不增加製程數。

再者，由於上障壁金屬36之頂面與側面以及上電極延伸段35b之側面可以覆上形成一層狀之連接導體膜37，故可取得一明確之連接結構。同樣地，由於上障壁金屬36之整個頂面係覆上連接導體膜37，故可抑制一減弱環境侵入。

此外，由於在此實施例中不需要提供一虛設下電極，由記憶體部分佔用之面積即可有利地比實施例1者少。

形成銅互連42之製程相當於形成一栓塞以接觸於一上電極上之習知製程，且本地互連21b及互連栓塞30c之形成可利用形成記憶體單元之製程形成。

儘管在此實施例中之上電極35a及下電極33a係由鉑構成，且上障壁金屬36及連接導體膜37係由TiAlN構成，諸構件可由具有氧化電阻之其他導電材料構成。同樣地，電容器絕緣膜34a係由BST構成，其可由另一高 $\kappa$ 膜替代。

(29)

特別是，在一具有由 $ABO_3$ 所代表鈣鈦石結構之介電質膜例子中，由於氧原子易因減弱而損失，因此本發明在此一例子中極有成效。

此外，毋庸贅言的是本發明不僅可施加於一嵌埋裝置，如同此實施例者，其亦可施加於包括使用一金屬電極之電容器在內之任意半導體記憶體，諸如一般用途之DRAM或FeRAM。

在此實施例中，連接導體膜37接觸於虛設單元栓塞30b，而不形成虛設下電極33b及虛設下障壁金屬32b，但是毋庸贅言的是連接導體膜37可以藉由形成虛設下電極33b及虛設下障壁金屬32b而接觸於虛設單元栓塞30b。

同樣地，在此實施例中，連接導體膜37係透過虛設單元栓塞30b、本地互連21b及互連栓塞30c以連接於銅互連42，此相當於實施例1之舉例連接應用。依本發明所示，實施例3、4或5之連接方式可替代施加於此實施例。例如，若施加實施例5之連接方式，連接導體膜37即形成於第一層間絕緣膜18上，以接觸於下虛設單元栓塞20c之至少一部分。

#### 實施例7

在實施例7中，一導電性側壁形成於實施例6之上電極延伸段35b與電容器絕緣膜延伸段34b之側面上，以替代形成連接導體膜37。

圖10A、10B分別為一截面圖，用於局部揭示一記憶體部分之結構，及一平面圖，用於揭示實施例7之半導體記

憶體內所包含之一上電極及一導電性側壁。在此實施例之各圖式中，儘管僅揭示記憶體部分之結構，此實施例之半導體記憶體為一嵌埋式裝置，其中一邏輯電路元件提供於一未繪示之邏輯電路部分內。惟，邏輯電路部分之結構未予繪示，因其並非直接相關於本發明之本質。

如圖10A所示，一DRAM記憶體單元之結構，亦即此實施例之半導體記憶體，其不同於實施例6者之處在於一硬光罩43形成於上障壁金屬36上，及一TiAlN組成之導電性側壁40形成於硬光罩43、上障壁金屬36、上電極延伸段35b及電容器絕緣膜延伸段34b等之側面上，以利接觸於虛設單元栓塞30b之至少一部分頂面。如圖10B所示，導電性側壁40完全包圍鉑膜35及BST膜34，易言之，導電性側壁40使上電極延伸段35b及虛設單元栓塞30b相互電連接。其餘結構及效果皆相同於實施例6所示者，故不予以贅述。

現在，製造此實施例中之半導體記憶體之記憶體單元之方法將參考圖11A至11C說明於後，圖11A至11C為截面圖，揭示此實施例之製造方法中之製程。

在圖11A所示之製程中，執行以下處理：首先，一圍繞於一主動區之隔離絕緣膜11形成於一p型矽基板10內，且一由一源極區12、一汲極區13、一閘極絕緣膜14、一閘極15及一絕緣側壁16組成之記憶體單元電晶體TR形成於主動區上。此記憶體單元電晶體TR係使用習知技術而以習知程序執行，諸如熱氧化、多晶矽膜之形成、圖樣化及離子植入。

其次，一BPSG膜沉積於具有記憶體單元電晶體TR之基板上後，BPSG膜利用CMP(化學機械式拋光)進行退火及研磨，以形成一第一層間絕緣膜18。接著，形成接觸孔，以利於通過第一層間絕緣膜18到達源極區12及汲極區13。隨後，一n型多晶矽膜形成於接觸孔內及第一層間絕緣膜18上，且多晶矽膜利用CMP研磨以利於多晶矽膜填入接觸孔內，因此，形成一下記憶體單元栓塞20a及一位元線栓塞20b。

隨後，一鎢/鈦多層膜沉積於第一層間絕緣膜18上後，鎢/鈦多層膜利用蝕刻以圖樣化，以利於形成一連接於位元線栓塞20b之位元線21a及一未連接於其他構件且在此階段呈隔離之本地互連21b。在圖樣化鎢膜中，鎢膜之蝕刻終點係經偵測當一鈦膜表面曝露時之時間以決定之。而在圖樣化鈦膜時，蝕刻即在一高選擇率之條件下執行於由多晶矽組成之第一記憶體單元栓塞20a。

其次，一電漿TEOS膜沉積於基板上後，電漿TEOS膜利用CMP(化學機械式拋光)進行研磨，以形成一第二層間絕緣膜22。再者，形成接觸孔以通過第二層間絕緣膜22到達下記憶體單元栓塞20a及二部分之本地互連21b。隨後，一鎢/氮化鈦/鈦膜形成於接觸孔內且利用CMP研磨，藉此鎢/氮化鈦/鈦膜即填入接觸孔內，因此，形成一連接於下記憶體單元栓塞20a之上記憶體單元栓塞30a、及分別接觸於二部分本地互連21b之一虛設單元栓塞30b與一互連栓塞30c。

隨後，在圖 11B 所示之製程中，一大約 30 奈米厚度之 TiAlN 膜及一大約 30 奈米厚度之鉑膜依序沉積於第二層間絕緣膜 22 上，TiAlN 膜及鉑膜進行圖樣化，使得一連接於上記憶體單元栓塞 30a 及由鉑組成下電極 33a 之下障壁金屬 32a 形成於第二層間絕緣膜 22 上。在圖樣化鉑膜時，蝕刻即在取得高選擇率之條件下執行於形成下方之 TiAlN 膜，而在圖樣化 TiAlN 膜時，蝕刻係在取得足夠高選擇率之條件下執行，以避免蝕刻由鎢組成之下方上記憶體單元栓塞 30a。

其次，依序沉積一大約 30 奈米厚度之 BST 膜 ((BaSr)TiO<sub>3</sub> 膜)、一大約 30 奈米厚度之鉑膜、一大約 30 奈米厚度之 TiAlN 膜及一 SiO<sub>2</sub> 膜以覆蓋第二層間絕緣膜 22 及下電極 33a。SiO<sub>2</sub> 膜圖樣化成一硬光罩 43 後，利用硬光罩 43 執行乾性蝕刻，使 TiAlN 膜、鉑膜及 BST 膜依序進行圖樣化，以形成一覆蓋於有效記憶體單元區域 Rec 與虛設單元區域 Rdc 之上障壁金屬 36、一包括一上電極 35a 與一上電極延伸段 35b 在內之鉑膜 35、及一包括一電容器絕緣膜 34a 與一電容器絕緣膜延伸段 34b 在內之 BST 膜 34。此時，儘管上障壁金屬 36、上電極 35a 及上電極延伸段 35b 係在實施例 1 中進行圖樣化以完全覆蓋於虛設單元栓塞 30b，但是其在本實施例中則圖樣化以曝露出至少一部分虛設單元栓塞 30b。

隨後，在圖 11C 所示之製程中，一例如大約 50 奈米厚度之 TiAlN 膜，亦即一導體膜，係沉積於基板上，且 TiAlN

膜例如利用異方性乾性蝕刻回蝕。因此，一導電性側壁40係形成以覆蓋於硬光罩43、上障壁金屬36、鉑膜35及電容器絕緣膜延伸段34b等之側面，如圖11C之截面圖所示。

再者，沉積及研磨一第三層間絕緣膜41，一接觸於互連栓塞30c之渠溝係形成穿過第三層間絕緣膜41內及一銅互連42嵌埋在渠溝內(利用雙鑲嵌法)，因此，具有圖10A所示截面結構之記憶體單元即可取得。

在此實施例之製造方法中，其可免於形成一接觸孔以貫穿第三層間絕緣膜41及硬光罩43到達鉑膜35(及上障壁金屬36)上方之製程，且不增添新製程於習知製程中。據此，相似於實施例1者，因為曝露於一減弱環境所致電容器絕緣膜34a之特徵惡化即可受到明顯抑制，且不增加製程數。

此外，由於在此實施例中不需要提供一虛設下電極，由記憶體部分佔用之面積即可有利地比實施例1者少。

儘管在此實施例中之上電極35a及下電極33a係由鉑構成，且上障壁金屬36係由TiAlN構成，諸構件可由具有氧化電阻之其他導電材料構成。同樣地，電容器絕緣膜34a係由BST構成，其可由另一高 $\kappa$ 膜替代。特別是，在一具有由 $ABO_3$ 所代表鈣鈦石結構之介電質膜例子中，由於氧原子易因減弱而損失，因此本發明在此一例子中極有成效。

此外，毋庸贅言的是本發明不僅可施加於一嵌埋裝置，如同此實施例者，其亦可施加於包括使用一金屬電極之電容器在內之任意半導體記憶體，諸如一般用途之DRAM或

(34)

FeRAM。

在此實施例中，導電性側壁40接觸於虛設單元栓塞30b，而不形成虛設下電極33b及虛設下障壁金屬32b，但是毋庸贅言的是導電性側壁40可以藉由形成虛設下電極33b及虛設下障壁金屬32b而接觸於虛設單元栓塞30b。

同樣地，在此實施例中，導電性側壁40係透過虛設單元栓塞30b、本地互連21b及互連栓塞30c以連接於銅互連42，此相當於實施例1之舉例連接應用。依本發明所示，實施例3、4或5之連接方式可替代施加於此實施例。例如，若施加實施例5之連接方式，導電性側壁40即形成於第一層間絕緣膜18上，以接觸於下虛設單元栓塞20c之至少一部分。

其他實施例

儘管用於形成閘極線之多晶矽膜使用做為實施例5中之本地互連，惟，一相同於實施例2或4者之結構可用於實施例5內之位元線下方電容器之DRAM記憶體單元結構。特別是，在位元線下方電容器之DRAM記憶體單元結構中，可以提供由圖3所示一嵌埋鎢膜組成之本地互連23及由圖5所示雜質擴散層組成之本地互連25。

在上述諸實施例之各者中，揭露本發明施加於一包括一DRAM與一邏輯電路在內之嵌埋式半導體記憶體，其並未拘限本發明，本發明亦可施加於一般用途之DRAM。

同樣地，本發明亦可施加於一使用鐵電膜做為一電容器絕緣膜之半導體記憶體，如FeRAM。同樣地，在此應用

(35)

中，半導體記憶體可為一般用途之記憶體或一記憶體/邏輯嵌埋式裝置。

在實施例 1 至 5 及 7 之各者中，連接導體膜 37 完全覆蓋於鉑膜 35 及完全包圍鉑膜 35 之 BST 膜 34 等之側面，如圖 1B 所示。因此，連接導體膜 37 可以顯著地呈現如同障壁層之功能，以防止雜質混合入電容器絕緣膜 34a。惟，在本發明中，連接導體膜 37 不需要一直覆蓋於鉑膜 35 及完全包圍鉑膜 35 之 BST 膜 34 等之側面。

同樣在實施例 1 至 5 及 7 之各者中，連接導體膜 37 完全覆蓋於上障壁金屬 36 之頂面，如圖 1B 所示。因此，連接導體膜 37 可以顯著地防止氫與類似物侵入電容器絕緣膜 34a。惟，在本發明中，連接導體膜 37 不需要一直覆蓋於上障壁金屬 36 之頂面。

請注意，一虛設導電性構件至少包括實施例 1、3、4、5 內之虛設下電極 33b 及虛設單元栓塞 30b、包括實施例 2 內之本地互連 23、及至少包括實施例 6、7 內之虛設單元栓塞 30b。

#### 圖式代表符號說明

|    |        |
|----|--------|
| 10 | p 型矽基板 |
| 11 | 隔離絕緣膜  |
| 12 | 源極區    |
| 13 | 汲極區    |
| 14 | 閘極絕緣膜  |
| 15 | 閘極     |

|                 |           |
|-----------------|-----------|
| 16, 52          | 絕緣側壁      |
| 18              | 第一層間絕緣膜   |
| 20a             | 下記憶體單元栓塞  |
| 20b             | 位元線栓塞     |
| 20c             | 下虛設單元栓塞   |
| 20d             | 下互連栓塞     |
| 21a, 53         | 位元線       |
| 21b, 23, 24, 25 | 本地互連      |
| 22              | 第二層間絕緣膜   |
| 30a             | 上記憶體單元栓塞  |
| 30b             | 虛設單元栓塞    |
| 30c             | 互連栓塞      |
| 32a, 54a        | 下障壁金屬     |
| 32b             | 虛設下障壁金屬   |
| 33a             | 下電極       |
| 33b             | 虛設下電極     |
| 34              | BST 膜     |
| 34a             | 電容器絕緣膜    |
| 34b             | 電容器絕緣膜延伸段 |
| 35              | Pt 膜      |
| 35a             | 上電極       |
| 35b             | 上電極延伸段    |
| 36              | 上障壁金屬     |
| 37              | 連接導體膜     |

|        |          |
|--------|----------|
| 40     | 導電性側壁    |
| 41     | 第三層間絕緣膜  |
| 42     | 銅互連      |
| 38, 43 | 硬光罩      |
| 51     | 上位元線栓塞   |
| 59     | 開孔       |
| 60     | 接觸孔      |
| Rec    | 有效記憶體單元區 |
| Rdc    | 虛設單元區    |
| MC     | 記憶體電容器   |
| SN, NC | 儲存節點     |
| TR     | 記憶體單元電晶體 |

#### 肆、中文發明摘要

一種 DRAM 記憶體單元，即一半導體記憶體，其中一連接於一位元線栓塞之位元線及一本地互連皆提供於一第一層間絕緣膜上，一由 TiAlN 組成之連接導體膜提供於一上障壁金屬之頂與側面上，及一鉑膜與一 BST 膜之側面上。無接觸件提供於構成一上電極之鉑膜上，且上電極係通過連接導體膜、一虛設下電極、一虛設單元栓塞及本地互連而連接於一上互連（即一銅互連）。由於鉑膜並未曝露於一減弱環境，故可避免一電容器絕緣膜之特徵惡化。

#### 伍、英文發明摘要

In a memory cell of a DRAM, that is a semiconductor memory, a bit line connected to a bit line plug and a local interconnect are provided on a first interlayer insulating film. A connection conductor film of TiAlN is provided on the top and side faces of an upper barrier metal and side faces of a Pt film and a BST film. No contact is formed above the Pt film used for forming an upper electrode, and the upper electrode is connected to an upper interconnect (namely, a Cu interconnect) through the connection conductor film, a dummy lower electrode, a dummy cell plug and the local interconnect. Since the Pt film is not exposed to a reducing atmosphere, the characteristic degradation of a capacitor insulating film can be prevented.

陸、(一)、本案指定代表圖為：第\_\_\_\_\_圖

(二)、本代表圖之元件代表符號簡單說明：

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 拾、申請專利範圍

### 1. 一種半導體記憶體，包含：

一記憶體電容器，係形成於一半導體基板上方之一絕緣層上，且包括一下電極、一上電極及一介置於該下電極與上電極之間之電容器絕緣膜；

一電容器絕緣膜延伸段及一上電極延伸段，分別延伸自該記憶體電容器之該電容器絕緣膜及上電極；

一虛設導電性構件，包括一位於該上電極延伸段及電容器絕緣膜延伸段下方之部分；

一導電性構件，係接觸於該上電極延伸段及電容器絕緣膜延伸段等之側面，且連接於該虛設導電性構件；及

一上互連，係電連接於該虛設導電性構件。

### 2. 如申請專利範圍第1項之半導體記憶體，

其中該導電性構件覆蓋該上電極延伸段及電容器絕緣膜延伸段等之側面，以包圍分別包括該上電極與其延伸段及該電容器絕緣膜與其延伸段在內之膜之全部周緣。

### 3. 如申請專利範圍第1或2項之半導體記憶體，

其中該虛設導電性構件包括一虛設下電極，該虛設下電極及該下電極係由一相同之導體膜構成，及

該導電性構件將該上電極延伸段電連接於該虛設下電極。

### 4. 如申請專利範圍第1或2項之半導體記憶體，

其中該導電性構件完全覆蓋該上電極及上電極延伸

段。

5. 如申請專利範圍第3項之半導體記憶體，進一步包含：
  - 一位元線，係形成於該記憶體電容器下方且將該絕緣層夾置於其間；及
  - 一本地互連，該本地互連與該位元線係由一相同之導體膜構成，其中該虛設導電性構件包括一導電性栓塞，用於通過該絕緣層而令該虛設下電極與該本地互連相互連接。
6. 如申請專利範圍第3項之半導體記憶體，進一步包含：
  - 一隔離絕緣膜，係提供於該絕緣層下方之該半導體基板上；
  - 一記憶體單元電晶體，係提供於該半導體基板上且在一由該隔離絕緣膜包圍之區域內，及包括一閘極與雜質擴散層形成於該閘極二側上之該半導體基板內；
  - 一本地互連，係形成於該隔離絕緣膜上，該本地互連與該閘極係由一相同之導體膜構成；及
  - 一導體栓塞，係貫穿該層間絕緣膜以連接於該本地互連。
7. 如申請專利範圍第3項之半導體記憶體，進一步包含：
  - 一記憶體單元電晶體，係提供於該半導體基板上且包括一閘極與雜質擴散層形成於該閘極二側上之該半導體基板內；
  - 一本地互連，係由另一雜質擴散層構成，且在該半導體基板內間隔於該雜質擴散層；及

- 一 導體栓塞，係貫穿該絕緣層以連接於該本地互連。
8. 如申請專利範圍第1或2項之半導體記憶體，
- 其中該虛設導電性構件提供於一區域內，且在其一側面上係由至少該絕緣層包圍，及
- 該導電性構件接觸於該上電極延伸段及該虛設導電性構件。
9. 如申請專利範圍第8項之半導體記憶體，
- 其中該虛設導電性構件係一本地互連，及
- 其中該上互連係接觸於該本地互連。
10. 如申請專利範圍第8項之半導體記憶體，
- 其中該虛設導電性構件係一虛設栓塞，及
- 該導電性構件係接觸於該虛設栓塞之至少一部分頂面。
11. 如申請專利範圍第8項之半導體記憶體，
- 其中該導電性構件係一導電性側壁，其提供於該上電極延伸段及電容器絕緣膜延伸段等之側面上，且接觸於該虛設導電性構件之至少一部分頂面。
12. 如申請專利範圍第1或2項之半導體記憶體，
- 其中電容器絕緣膜係一高 $\kappa$ 膜或一鐵電膜。
13. 一種製造一半導體記憶體之方法，半導體記憶體含有一記憶體電容器，包括一下電極、一上電極及一設置於該下電極與上電極之間之電容器絕緣膜；一虛設導電性構件，係電連接於該上電極；及一上互連，係電連接於該虛設導電性構件，該方法包含以下步驟：

- (a)藉由形成一第一導體膜於一半導體基板上之一絕緣層上方且圖樣化該第一導體膜，以形成該下電極；
  - (b)形成一介電質膜，以覆蓋該下電極；
  - (c)形成一第二導體膜，以覆蓋該介電質膜；
  - (d)在該第二導體膜上形成一蝕刻光罩，以覆蓋該下電極之一部分；
  - (e)圖樣化該第二導體膜及該介電質膜，藉此自該介電質膜形成該電容器絕緣膜與一電容器絕緣膜延伸段，及自該第二導體膜形成該上電極與一上電極延伸段；及
  - (f)在步驟(e)後沉積一第三導體膜於該基板上且圖樣化該第三導體膜，藉此形成一導電性構件以接觸於該上電極延伸段與電容器絕緣膜延伸段等之側面，且電連接於該虛設導電性構件。
- 14.如申請專利範圍第13項之製造一半導體記憶體之方法，其中該下電極及一間隔於該下電極之虛設膜係藉由在步驟(a)中圖樣化該第一導體膜而形成，一虛設下電極係藉由在步驟(b)及步驟(e)之間之任意步驟中圖樣化該虛設膜而形成做為該虛設導電性構件之至少一部分，及
- 在步驟(f)中形成之該導電性構件係接觸於該上電極延伸段、該電容器絕緣膜延伸段及該虛設下電極等之側面，及覆蓋該上電極延伸段上方一部分之至少一部分。
- 15.如申請專利範圍第13項之製造一半導體記憶體之方法，進一步包含，在步驟(a)之前，將該虛設導電性構件

之至少一部分形成於一區域內之步驟，且在其一側面上係由該絕緣層包圍，

其中在步驟(f)中形成之該導電性構件係接觸於該虛設導電性構件之至少一部分頂面。

16.如申請專利範圍第15項之製造一半導體記憶體之方法，

其中在步驟(f)中形成之該導電性構件係一導體膜，其接觸於該上電極延伸段及該電容器絕緣膜延伸段等之側面，及覆蓋該上電極延伸段上方一部分之至少一部分。

17.如申請專利範圍第15項之製造一半導體記憶體之方法，

其中在步驟(f)中形成之該導電性構件係一導電性側壁，其接觸於該上電極延伸段及該電容器絕緣膜延伸段等之側面。

18.如申請專利範圍第13至17項任一項之製造一半導體記憶體之方法，

其中該介電質膜係一高 $\kappa$ 膜或一鐵電膜。

拾壹、圖式

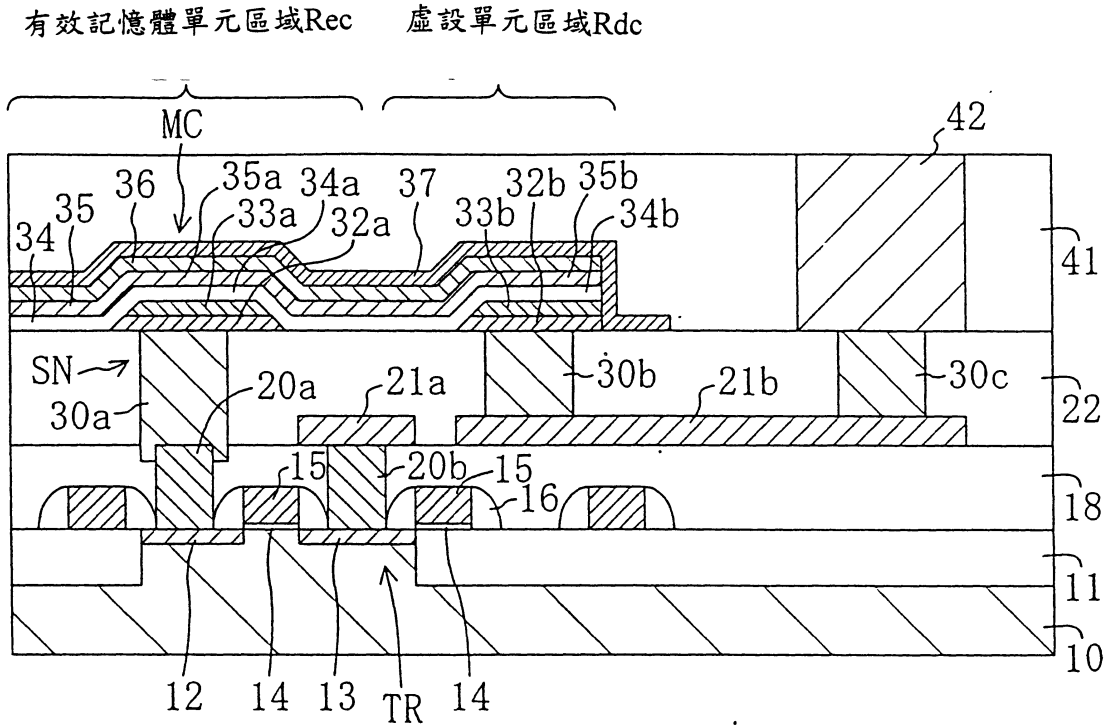


圖 1A

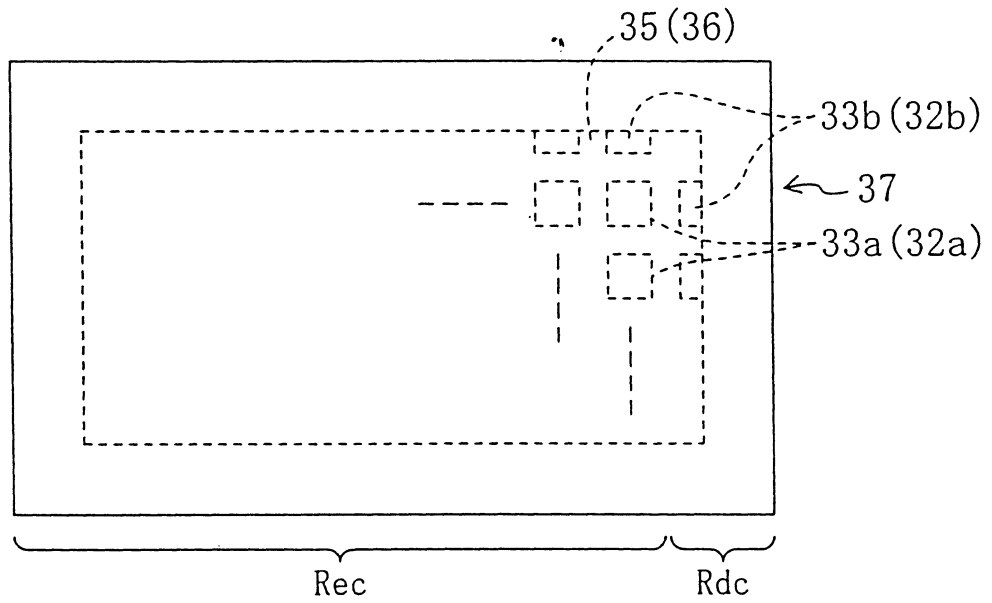


圖 1B



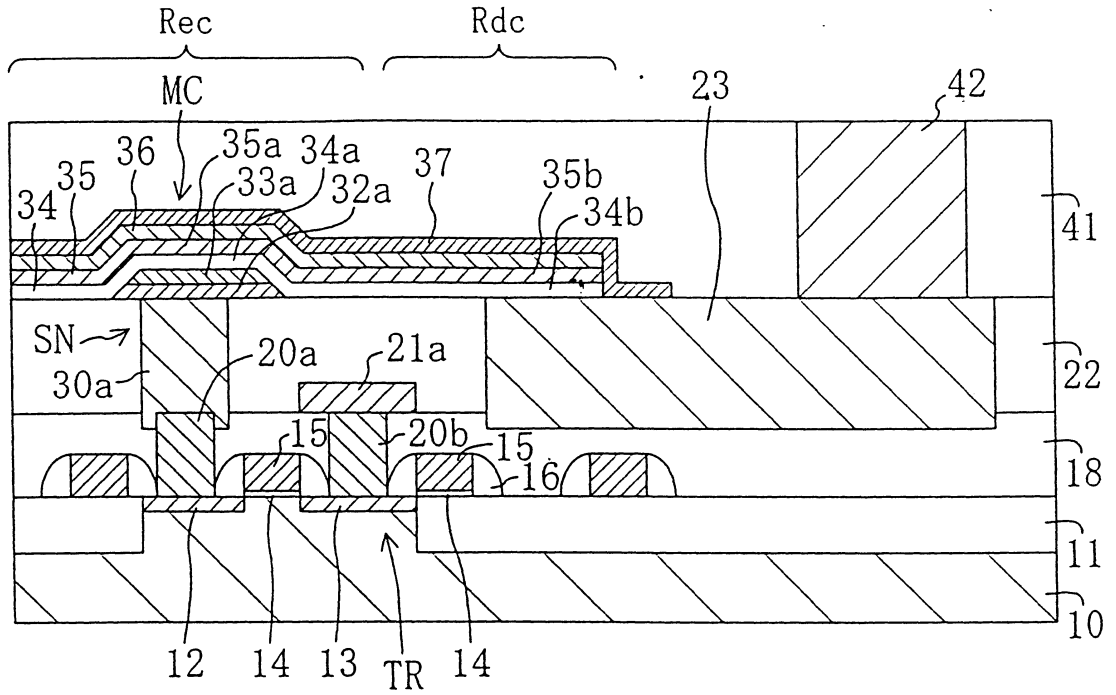


圖 3

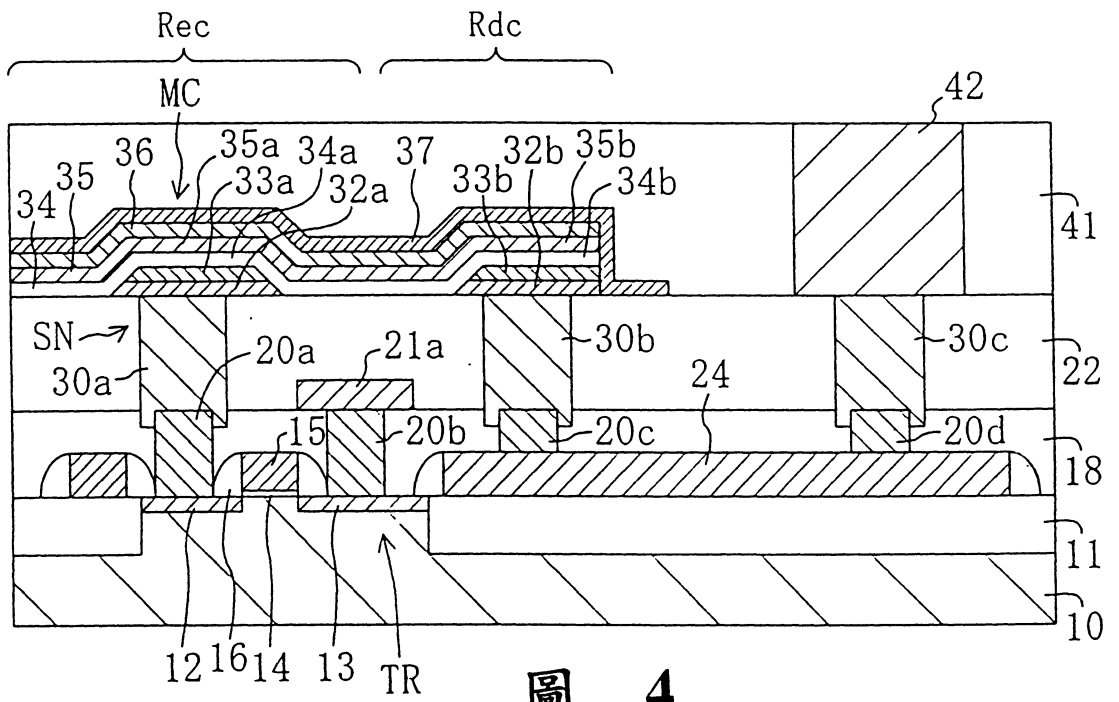


圖 4

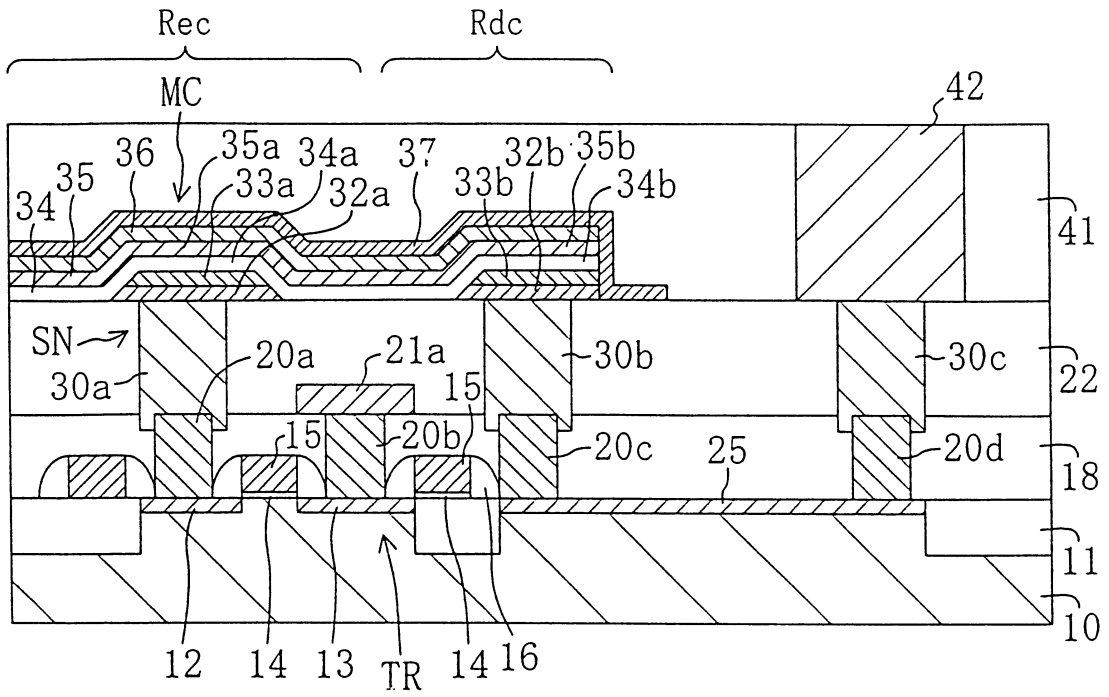


圖 5

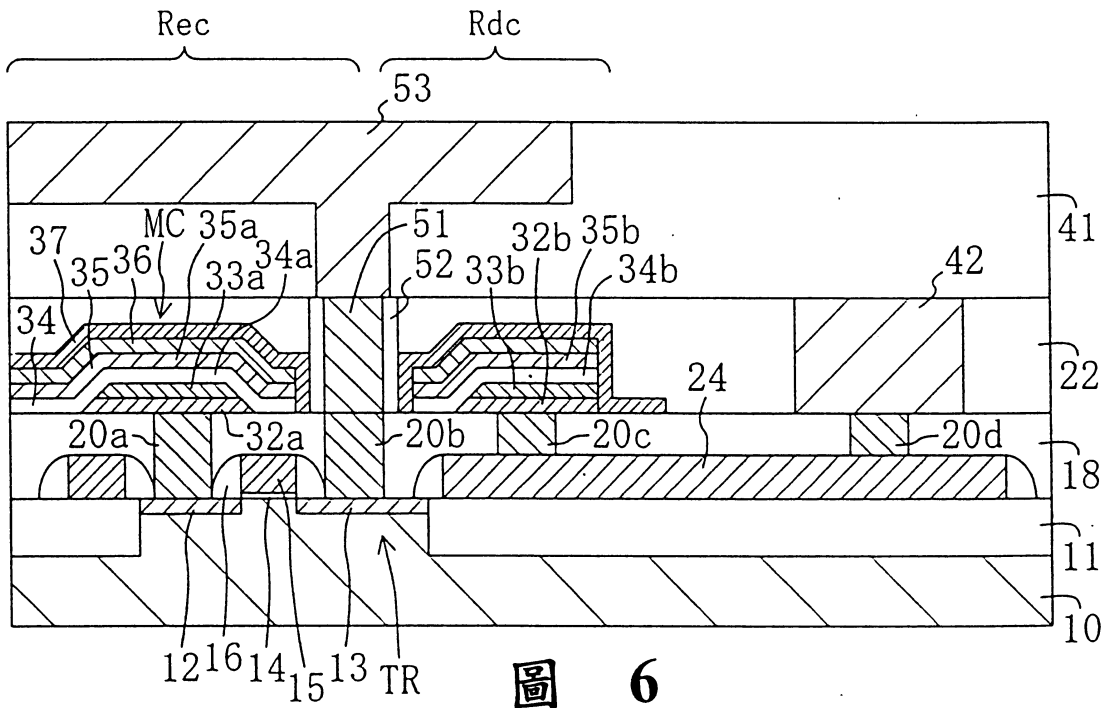


圖 6

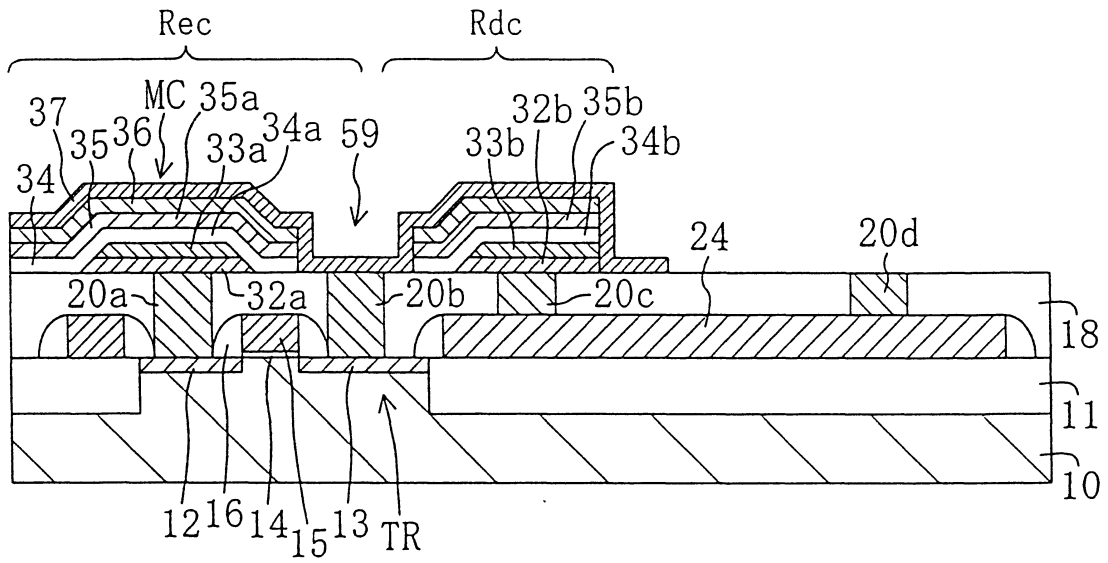


圖 7A

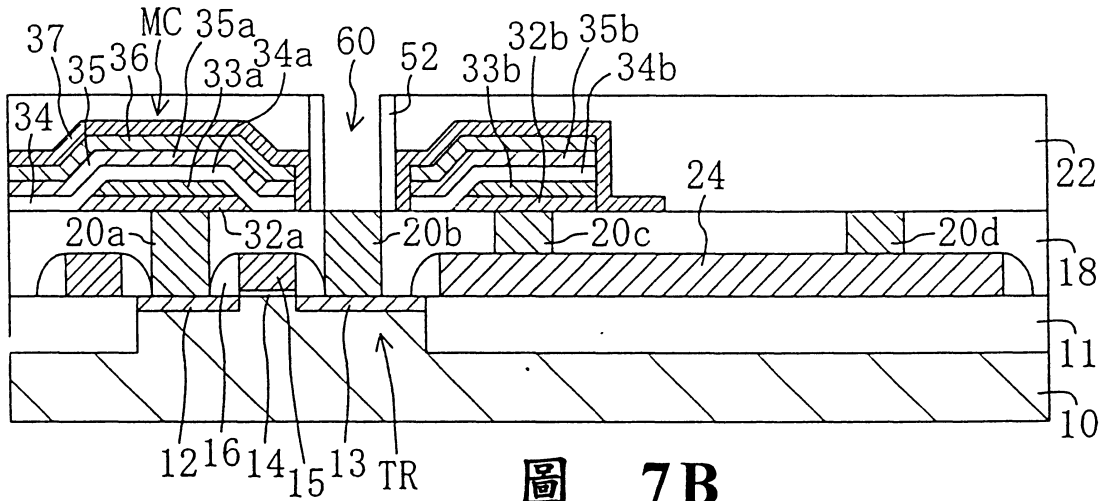


圖 7B

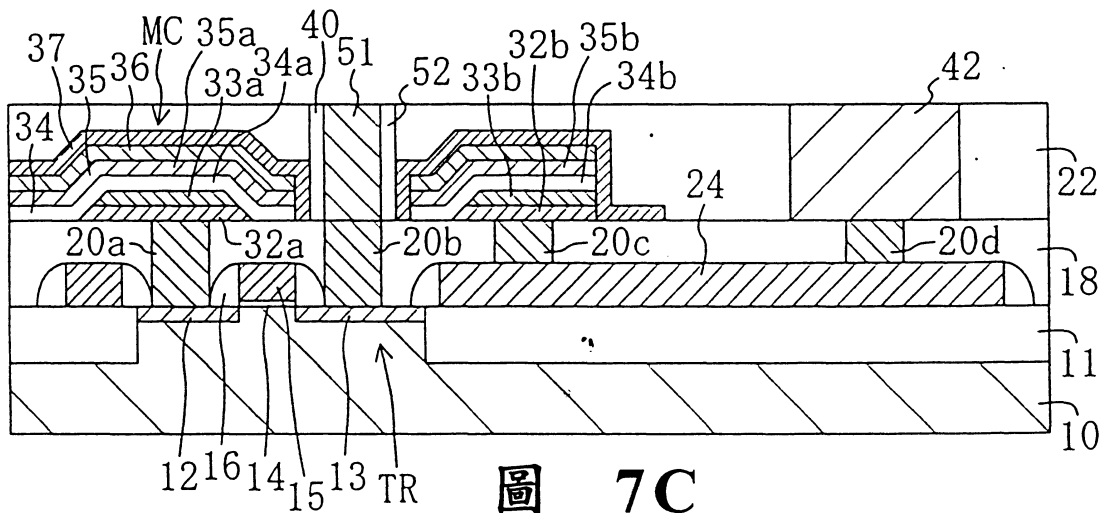
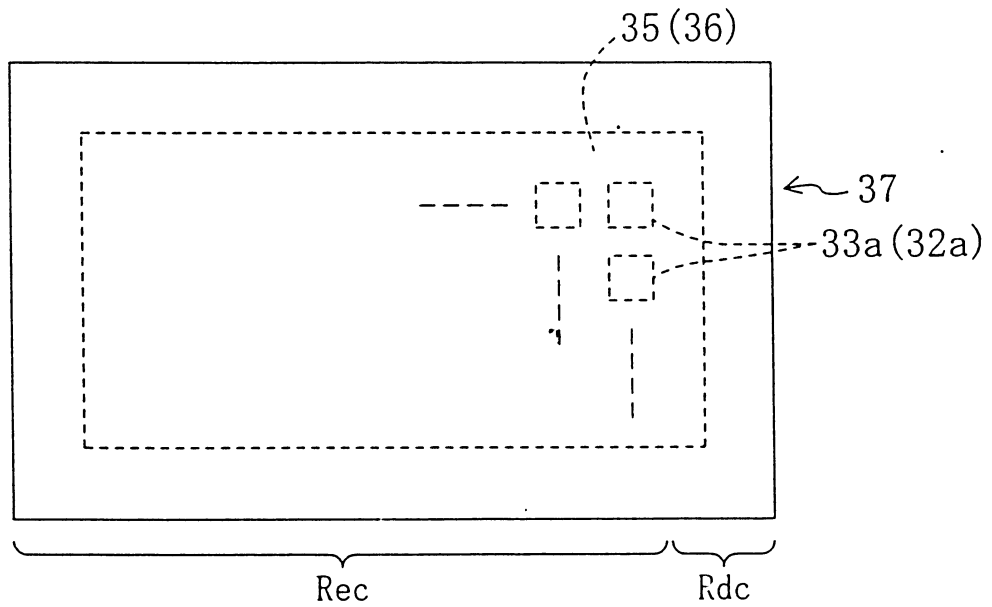
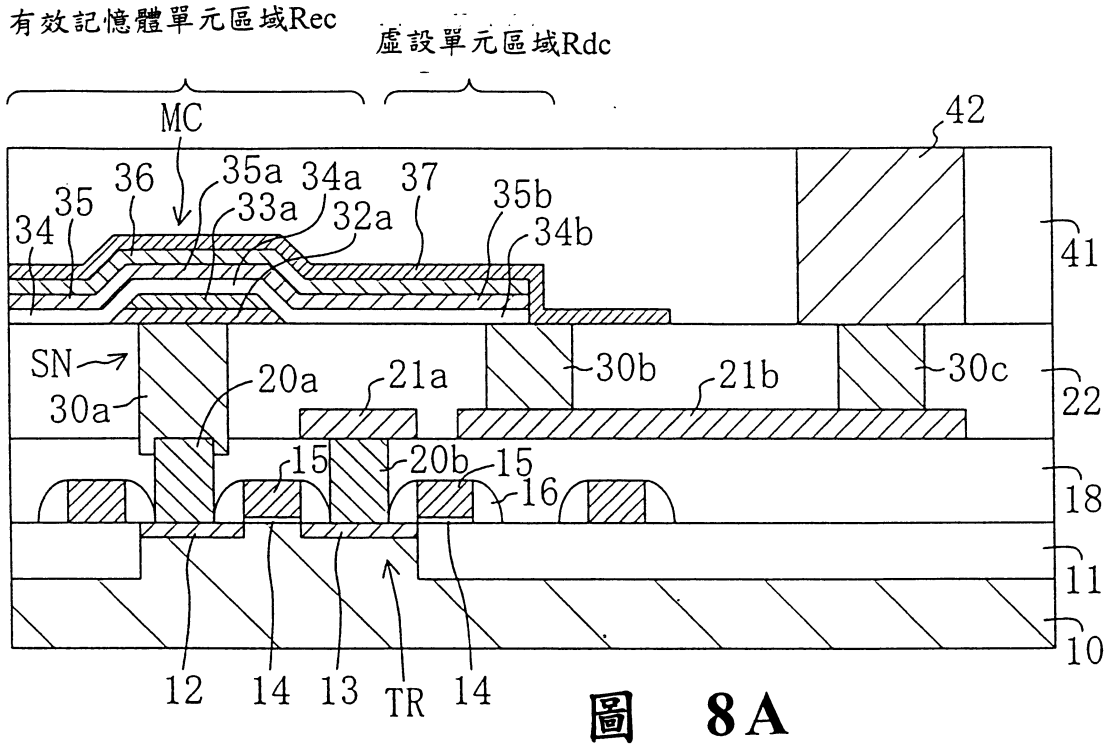


圖 7C



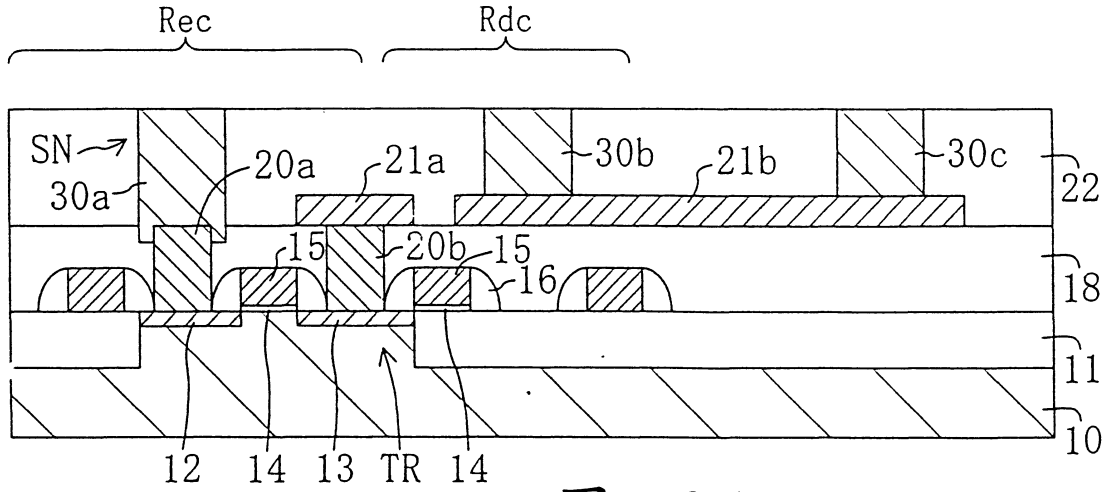


圖 9A

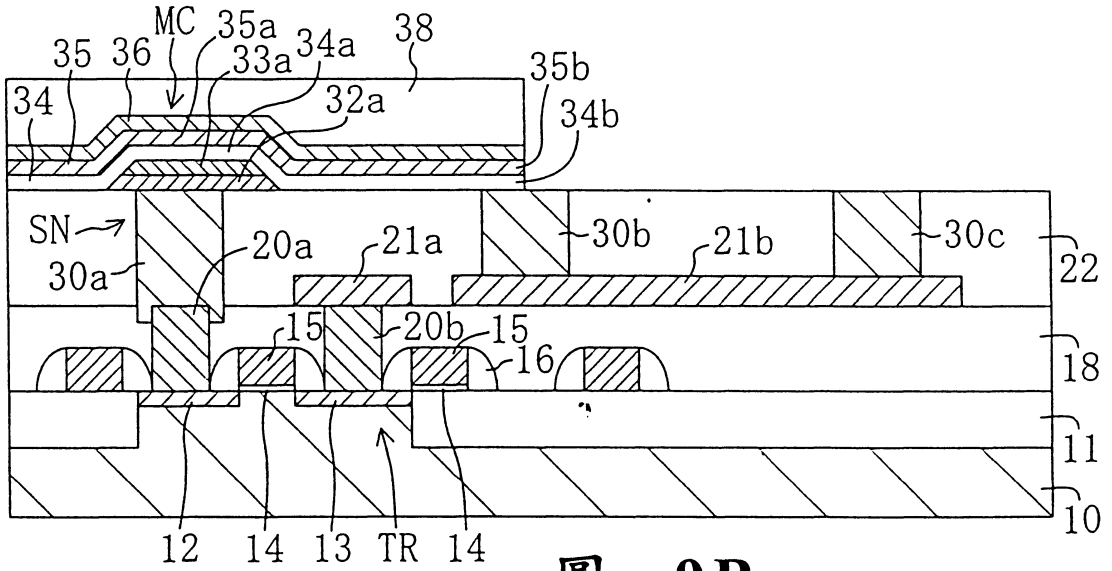


圖 9B

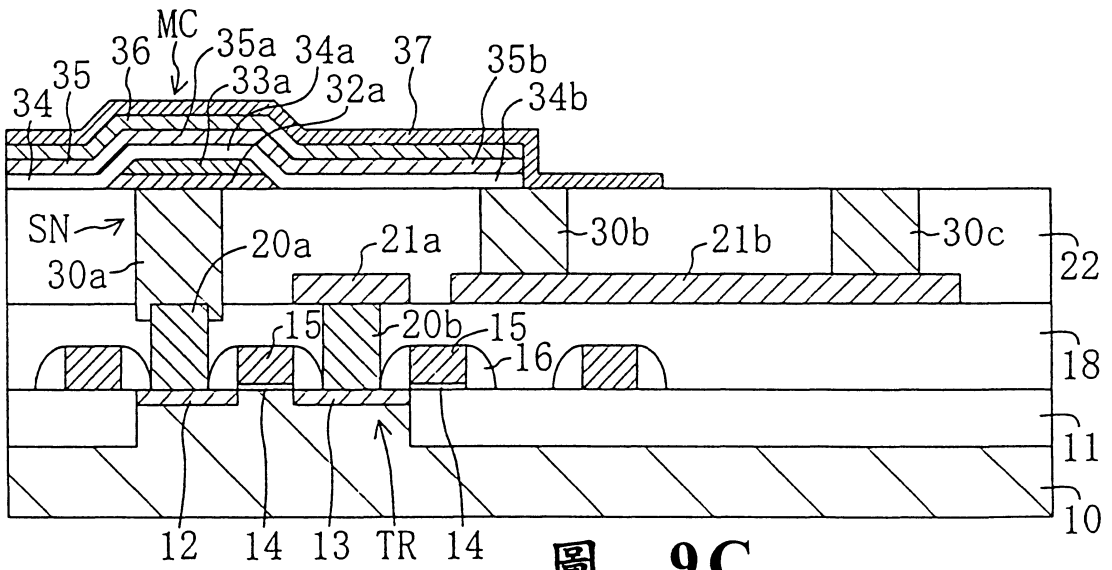


圖 9C

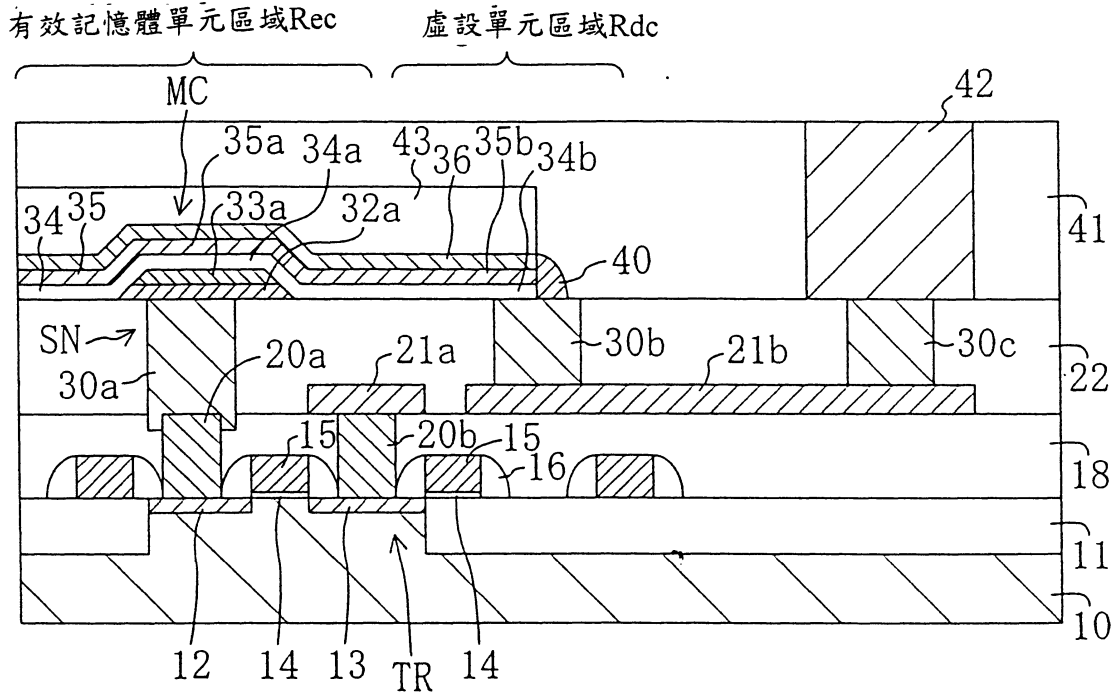


圖 10A

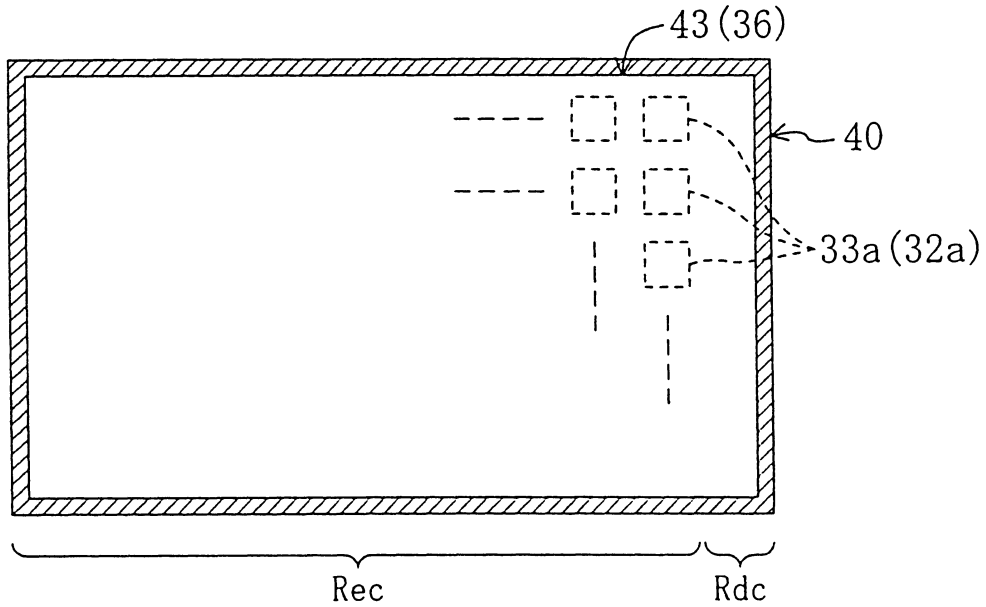


圖 10B

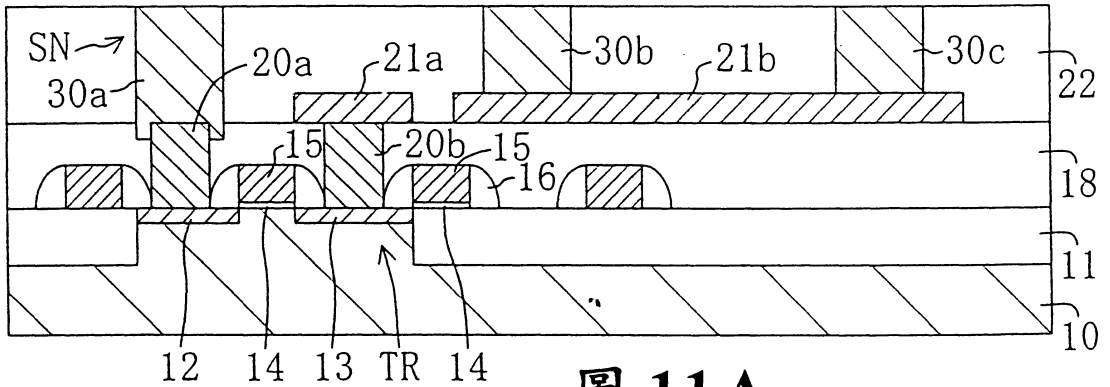


圖 11A

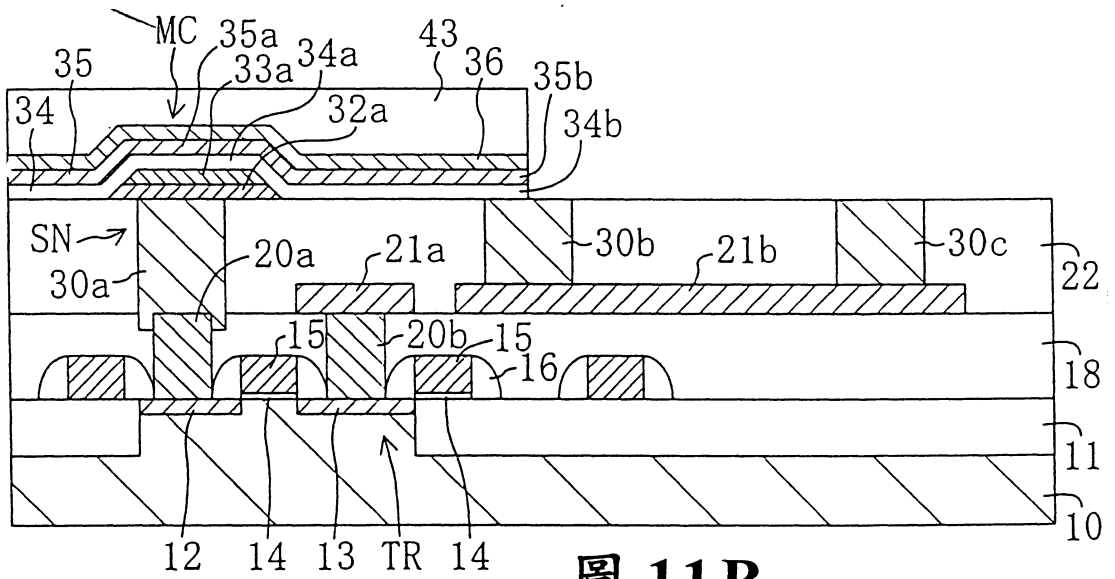


圖 11B

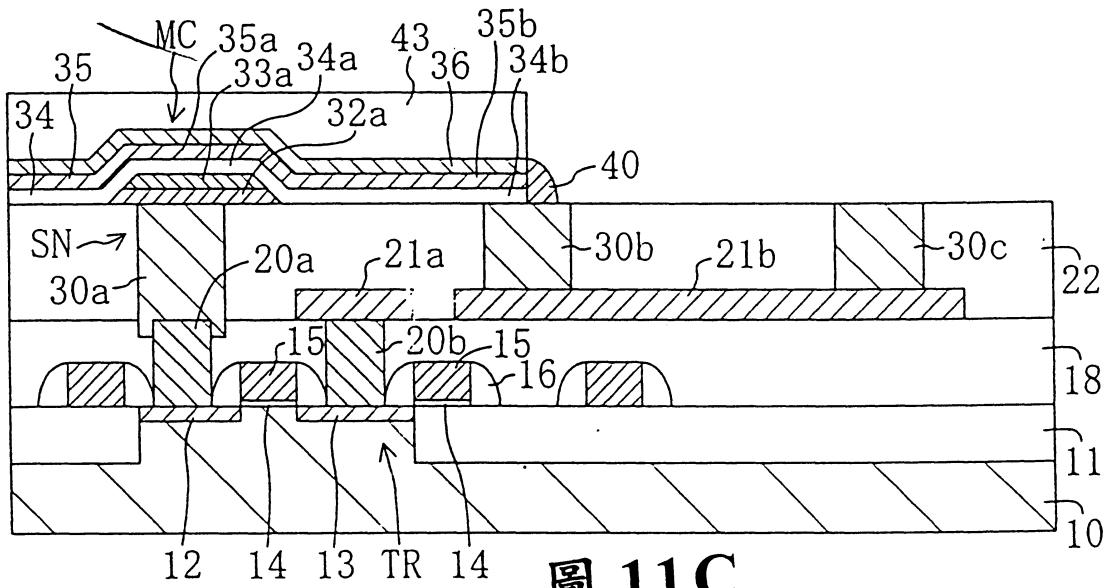


圖 11C