



(12) 发明专利申请

(10) 申请公布号 CN 112650616 A

(43) 申请公布日 2021.04.13

(21) 申请号 202110007786.X

(22) 申请日 2021.01.05

(71) 申请人 上海擎昆信息科技有限公司

地址 200135 上海市浦东新区中国(上海)  
自由贸易试验区临港新片区环湖西二  
路888号C楼

(72) 发明人 渠慎征 王昕

(74) 专利代理机构 上海硕力知识产权代理事务  
所(普通合伙) 31251

代理人 杨用玲

(51) Int. Cl.

G06F 11/07 (2006.01)

G06F 9/30 (2006.01)

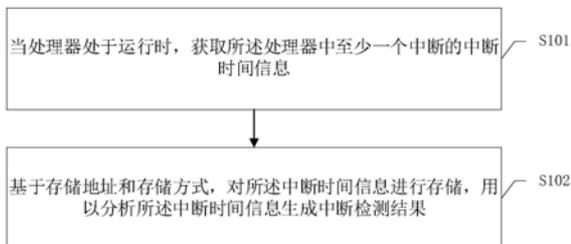
权利要求书2页 说明书10页 附图3页

(54) 发明名称

一种中断检测方法、装置和系统

(57) 摘要

本发明属于芯片领域,本发明提供一种中断检测方法、装置和系统,其方法包括:当处理器处于运行时,获取处理器中至少一个中断的中断时间信息;基于存储地址和存储方式,对中断时间信息进行存储,用以分析所述中断时间信息生成中断检测结果。通过对芯片系统的分析,在芯片互连结构中增加中断检测IP,记录所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,并将这些信息缓存到数据缓存器,可以精确检测记录系统的中断响应特性。进而,基于上述信息,直接或通过调试主机上的工具对系统的中断响应情况进行准确的分析,并准确确定系统的实时特性是否满足设计需求,同时为进一步优化系统的中断响应特性,提供依据。



1. 一种中断检测方法,其特征在于,包括步骤:  
当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息;  
基于存储地址和存储方式,对所述中断时间信息进行存储,用以分析所述中断时间信息生成中断检测结果。
2. 根据权利要求1所述中断检测方法,其特征在于,所述当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息,包括步骤:  
记录所述中断的中断信息,并实时记录每一阶段的中断时间信息;  
其中,所述中断信息包括中断类型和中断ID;所述中断时间信息包括所述中断有效时间、所述中断确认时间、所述中断完成时间、所述中断丢失信息以及所述中断覆盖信息。
3. 根据权利要求2所述中断检测方法,其特征在于,所述实时记录每一阶段的中断时间信息,包括步骤:  
当接收的所述中断发送的中断信号有效时,记录中断有效时间;  
当中断确认寄存器被读取时,记录中断确认时间;  
当中断完成寄存器被读取时,记录所述中断完成时间。
4. 根据权利要求2所述中断检测方法,其特征在于,所述实时记录每一阶段的中断时间信息,包括步骤:  
当所述中断信号有效后,所述中断确认寄存器未被读取,获取所述中断丢失信息;  
当所述中断类型为沿触发中断且持续接收中断信号时,获取所述中断覆盖信息。
5. 根据权利要求1~4中任一项所述中断检测方法,其特征在于,在所述当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息之前,包括步骤:  
配置中断数量和对应的中断类型;  
根据所述中断数量和对应的中断类型,进行中断检测。
6. 一种中断检测方法,其特征在于,包括:  
获取存储地址中的处理器的中断时间信息;  
基于所述中断时间信息计算中断延时信息;  
根据所述中断延时信息,生成中断检测结果。
7. 根据权利要求6所述中断检测方法,其特征在于,所述基于所述中断时间信息计算中断延时信息,包括步骤:  
基于所述中断时间信息中的中断确认时间和中断有效时间,计算所述中断延时信息中的中断确认延时信息;  
基于所述中断时间信息中的中断完成时间和中断有效时间,计算所述中断延时信息中的中断完成延时信息;  
基于所述中断时间信息中的中断完成时间和中断确认时间,计算所述中断延时信息中的中断处理时间。
8. 根据权利要求6~7中任一项所述中断检测方法,其特征在于,所述根据所述中断延时信息,生成中断检测结果,包括:  
跟据解析出的所述中断延时信息,判断所述中断延时信息是否符合预设中断延时和/或调整中断优先级和/或生成中断延时图。
9. 一种中断检测装置,其特征在于,包括:

获取模块,用于当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息;

存储模块,用于基于存储地址和存储方式,对所述中断时间信息进行存储,以供调试主机对所述处理器进行调试。

10. 一种中断检测系统,其特征在于,包括如权利要求9所述中断检测装置、处理器、中断控制器和外设IP;

所述外设IP用于在初始化设置所述中断检测装置的存储地址、存储方式及待检测中断后,通过所述外设IP使能中断以发送中断信号。

所述中断检测装置用于当所述中断信号有效时,记录中断信号有效时间。

所述中断控制器用于将所述中断信号发送到所述处理器,所述处理器用于响应所述中断信号并读取所述中断检测装置中的中断确认寄存器,所述中断检测装置还用于记录中断确认时间,所述中断确认时间为所述处理器确认所述中断的时间。

所述处理器还用于完成所述中断的处理,并在完成所述中断的处理后,读取所述中断检测装置中的中断完成寄存器,所述中断检测装置还用于记录中断完成时间,所述中断完成时间为所述处理器完成所述待检测中断的时间。

所述中断检测装置还用于在所述处理器确认所述中断或完成所述中断之前,所述中断持续发出中断信号时,确定所述中断的丢失、覆盖。

## 一种中断检测方法、装置和系统

### 技术领域

[0001] 本发明涉及芯片领域,尤指一种中断检测方法、装置和系统。

### 背景技术

[0002] 芯片系统中,多种外设IP会通过向处理器发送中断请求信号,获取CPU的响应。在实时性要求高的芯片系统内,外设IP还会要求CPU能及时响应中断请求。随着芯片内集成的外设越来越多,芯片系统内开始使用中断控制器对多个中断进行管理,协调CPU的合理响应。

[0003] 然而,现有的中断控制器不记录原始中断有效的时间,也不记录CPU对中断的响应和处理时间。而且,中断信号位于芯片系统内,通常又不会把每个外设的中断信号引出到芯片的管脚上,无法通过硬件测试记录原始中断产生的时间。同时,CPU内的软件只能记录中断开始响应和中断处理完成的时间,而无法记录原始中断产生的时间。

[0004] 其次,无法通过现有方法获取每个中断产生和CPU响应及处理的完整时间信息,也就无法在实际应用中得到系统对中断响应的确切信息。现有中断控制器及软件无法获得中断丢失与覆盖的确切情况。

### 发明内容

[0005] 本发明提供一种中断检测方法、装置和系统,通过本发明使得可以实时记录所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,并将这些信息缓存到内部或外部的Buffer,精确检测记录系统的中断响应特性。

[0006] 本发明提供的技术方案如下:

[0007] 一种中断检测方法,包括步骤:

[0008] 当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息;

[0009] 基于存储地址和存储方式,对所述中断时间信息进行存储,用以分析所述中断时间信息生成中断检测结果。

[0010] 进一步优选地,所述当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息,包括步骤:

[0011] 记录所述中断的中断信息,并实时记录每一阶段的中断时间信息;

[0012] 其中,所述中断信息包括中断类型和中断ID;所述中断时间信息包括所述中断有效时间、所述中断确认时间、所述中断完成时间、所述中断丢失信息以及所述中断覆盖信息。

[0013] 进一步优选地,所述实时记录每一阶段的中断时间信息,包括步骤:

[0014] 当接收的所述中断发送的中断信号有效时,记录中断有效时间;

[0015] 当中断确认寄存器被读取时,记录中断确认时间;

[0016] 当中断完成寄存器被读取时,记录所述中断完成时间。

[0017] 进一步优选地,所述实时记录每一阶段的中断时间信息,包括步骤:

- [0018] 当所述中断信号有效后,所述中断确认寄存器未被读取,获取所述中断丢失信息;
- [0019] 当所述中断类型为沿触发中断且持续接收中断信号时,获取所述中断覆盖信息。
- [0020] 进一步优选地,在所述当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息之前,包括步骤:
- [0021] 配置中断数量和对应的中断类型;
- [0022] 根据所述中断数量和对应的中断类型,进行中断检测。
- [0023] 一种中断检测方法,包括:
- [0024] 获取存储地址中的处理器的中断时间信息;
- [0025] 基于所述中断时间信息计算中断延时信息;
- [0026] 根据所述中断延时信息,生成中断检测结果。
- [0027] 进一步优选地,所述基于所述中断时间信息计算中断延时信息,包括步骤:
- [0028] 基于所述中断时间信息中的中断确认时间和中断有效时间,计算所述中断延时信息中的中断确认延时信息;
- [0029] 基于所述中断时间信息中的中断完成时间和中断有效时间,计算所述中断延时信息中的中断完成延时信息;
- [0030] 基于所述中断时间信息中的中断完成时间和中断确认时间,计算所述中断延时信息中的中断处理时间。
- [0031] 进一步优选地,所述根据所述中断延时信息,生成中断检测结果,包括:
- [0032] 根据解析出的所述中断延时信息,判断所述中断延时信息是否符合预设中断延时和/或调整中断优先级和/或生成中断延时图。
- [0033] 一种中断检测装置,包括:
- [0034] 获取模块,用于当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息;
- [0035] 存储模块,用于基于存储地址和存储方式,对所述中断时间信息进行存储,以供调试主机对所述处理器进行调试。
- [0036] 一种中断检测系统,包括所述中断检测装置、处理器、中断控制器和外设IP;
- [0037] 所述外设IP用于在初始化设置所述中断检测装置的存储地址、存储方式及待检测中断后,通过所述外设IP使能中断以发送中断信号。
- [0038] 所述中断检测装置用于当所述中断信号有效时,记录中断信号有效时间。
- [0039] 所述中断控制器用于将所述中断信号发送到所述处理器,所述处理器用于响应所述中断信号并读取所述中断检测装置中的中断确认寄存器,所述中断检测装置还用于记录中断确认时间,所述中断确认时间为所述处理器确认所述中断的时间。
- [0040] 所述处理器还用于完成所述中断的处理,并在完成所述中断的处理后,读取所述中断检测装置中的中断完成寄存器,所述中断检测装置还用于记录中断完成时间,所述中断完成时间为所述处理器完成所述待检测中断的时间。
- [0041] 所述中断检测装置还用于在所述处理器确认所述中断或完成所述中断之前,所述中断持续发出中断信号时,确定所述中断的丢失、覆盖。
- [0042] 本发明提供了一种中断检测方法、装置和系统,至少具有以下有益效果:
- [0043] 1) 通过对芯片系统的分析,提出一种在芯片互连结构中增加的一个中断检测IP,

记录所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,并将这些信息缓存到内部或外部的Buffer,可以精确检测记录系统的中断响应特性。

[0044] 2) 在本发明中,基于中断检测IP保存至存储地址中的中断信息和所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,读出这些信息直接或通过调试主机上的工具对系统的中断响应情况进行准确的分析,并准确确定系统的实时特性是否满足设计需求,同时为进一步优化系统的中断响应特性,提供依据。

[0045] 3) 本发明通过芯片系统内软件分析中断时间信息,计算中断延时信息,以调整中断优先级等设置,并通过芯片外软件解析出的中断延时信息,绘制中断延时状况图,直观的了解系统的中断响应特性。

## 附图说明

[0046] 下面结合附图和具体实施方式对本发明作进一步详细说明:

[0047] 图1是本发明中一种中断检测方法的一个实施例的流程示意图;

[0048] 图2是本发明中一种中断检测方法的另一个实施例的流程示意图;

[0049] 图3是本发明中一种中断检测方法的又一个实施例的流程示意图;

[0050] 图4是本发明中一种中断检测装置的一个实施例的示意图;

[0051] 图5是本发明的中断检测IP的结构示意图;

[0052] 图6是本发明中一种中断检测系统的结构示意图。

## 具体实施方式

[0053] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0054] 为使图面简洁,各图中只示意性地表示出了与本发明相关的部分,它们并不代表其作为产品的实际结构。另外,以使图面简洁便于理解,在有些图中具有相同结构或功能的部件,仅示意性地绘示了其中的一个,或仅标出了其中的一个。在本文中,“一个”不仅表示“仅此一个”,也可以表示“多于一个”的情形。

[0055] 还应当进一步理解,在本申请说明书和所附权利要求书中使用的术语“和/或”是指相关联列出的项中的一个或多个的任何组合以及所有可能组合,并且包括这些组合。

[0056] 在本文中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0057] 另外,在本申请的描述中,术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0058] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对照附图说明本发明的具体实施方式。显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于

本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图,并获得其他的实施方式。

#### [0059] 实施例一

[0060] 本发明提供一种中断检测方法的一个实施例,如图1所示,包括步骤:

[0061] S101当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息。

[0062] S102基于存储地址和存储方式,对所述中断时间信息进行存储,用以分析所述中断时间信息生成中断检测结果。

[0063] 具体的,本实施主要用于系统软件运行时,检测芯片系统内各个IP中断发生的时间、CPU确认中断的时间、CPU处理完成中断的时间、以及中断的丢失与覆盖,并将这些信息记录在内部或外部Buffer中,这些记录的信息可以供芯片内运行的系统软件分析使用,也可以提供给芯片外(如调试主机)的软件进行分析使用。

[0064] 其中,CPU:运行软件的处理器,包括但不限于ARM。中断:芯片内各个IP模块向CPU发送的信号,用于请求CPU的处理。中断控制器:芯片内用于管理多个IP模块中断信号的模块。

[0065] 具体的,当外设IP通过中断控制器发送中断信号给处理器时,通过中断检测IP获取处理器CPU接收到的至少一个中断对应的中断信号,并在处理器对中断进行反应时的中断信息进行存储,比如,各个IP中断发生的时间,处理器确认该中断的时间、处理器处理完成该中断的时间、以及中断的丢失与覆盖,选择性的将这些中断信息记录在内部或外部数据缓存器中,以供后续的软件获取这些软件并进行分析,以生成中断检测结果。

[0066] 示例性的,中断检测IP位于芯片互连接结构中,该IP支持使能和禁止模式,在使能模式时,该IP记录所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,并将这些信息缓存到内部或外部的Buffer,读出这些信息就可以直接或通过调试主机上的工具对系统的中断响应情况进行准确的分析。比如,用于芯片内运行的系统软件从内部数据缓存器中获取并分析中断信息,比如,集成此IP的SOC芯片系统上运行的软件通过记录的信息可以自动调整中断优先级。

[0067] 其次,还可以通过芯片外的软件从外部数据缓存器中获取中断信息,分析中断信息,并显示SOC系统的中断响应特性,比如,调试主机;运行在调试主机的解析工具,可以分析通过记录的信息,得到并显示SOC系统的中断响应特性。

[0068] 在本实施中,通过对芯片系统的分析,提出一种在芯片互连结构中增加的一个中断检测IP,记录所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,并将这些信息缓存到内部或外部的Buffer,可以精确检测记录系统的中断响应特性。

#### [0069] 实施例二

[0070] 基于上述实施例,在本实施例中与上述实施例相同的部分就不一一赘述了,如图2所示,优选地,在步骤S101所述当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息之前,包括步骤:

[0071] S001配置中断数量和对应的中断类型,根据所述中断数量和对应的中断类型,进行中断检测。

[0072] 具体的,当中断数量为单个中断时,进行使能进行单个中断检测,检测中断信号变

化及CPU确认和处理完成时,并记录中断IP及时间信息并保存至数据缓存器中。

[0073] 优选地,S101当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息,包括步骤:

[0074] 记录所述中断的中断信息,并实时记录每一阶段的中断时间信息;

[0075] 其中,所述中断信息包括中断类型和中断ID;所述中断时间信息包括所述中断有效时间、所述中断确认时间、所述中断完成时间、所述中断丢失信息以及所述中断覆盖信息。

[0076] 其中,所述实时记录每一阶段的中断时间信息,具体包括步骤:

[0077] 当接收的所述中断发送的中断信号有效时,记录中断有效时间;当中断确认寄存器被读取时,记录中断确认时间;当中断完成寄存器被读取时,记录所述中断完成时间。

[0078] 优选地,所述实时记录每一阶段的中断时间信息,包括步骤:

[0079] 当所述中断信号有效后,所述中断确认寄存器未被读取,获取所述中断丢失信息;当所述中断类型为沿触发中断且持续接收中断信号时,获取所述中断覆盖信息。

[0080] S102基于存储地址和存储方式,对所述中断时间信息进行存储,用以分析所述中断时间信息生成中断检测结果。

[0081] 其中,通过中断检测IP进行实时检测,中断检测IP包含:总线接口、中断输入及检测、内部计时、使能控制、存储Buffer;中断信息解析方法则需要芯片系统内软件,或芯片外软件配合完成。

[0082] 中断检测IP包括总线接口:包括Slave接口,类型及宽度可使用参数配置,支持AXI/AHB/APB,提供IP内部的寄存器访问接口。

[0083] 内部计时:在使能模式时,开始进行基于输入时钟的累加计数,计数器Timer的宽度可使用参数配置。

[0084] 中断输入及检测:为每个中断输入提供一个输入端,支持的输入端数目可以由参数进行配置;支持每个中断输入端的上升沿时间,下降沿时间检测记录;支持CPU确认每个中断的时间记录;支持CPU处理中断完成的时间记录;支持CPU处理中断完成的时间记录;支持检测中断丢失与覆盖:在中断信号有效后,CPU一直没有确认该中断,则为中断丢失;如果为沿触发中断,则又有新的沿中断信号时,则为中断覆盖。

[0085] 使能控制:支持整个中断检测IP的使能/禁止模式;支持对每个中断输入端检测的使能/禁止;支持配置Buffer满时的行为:停止记录或回环记录;

[0086] 使能模式时:使能内部计时,Timer开始计数;支持内置或外部的数据缓存Buffer,可通过参数进行选择;使用内置Buffer时,不需要总线Master接口;使用外置Buffer时,可通过寄存器配置Buffer地址。

[0087] 使能单个中断检测时:检测中断信号变化及CPU确认和处理完成时,记录中断ID及时间信息并保存到Buffer。

[0088] 禁止模式时:中断检测IP时钟被关闭,也不记录信息;缺省为禁止调试。

[0089] 示例性的,在实际场景中,具体使用方法可以包括:

[0090] 1、设置参数,生成该中断检测IP RTL代码。

[0091] 2、将该中断检测IP集成到SOC芯片内。

[0092] 3、芯片启动后,通过软件或硬件进行初始化设置:Buffer地址及方式;配置需要检

测的中断类型;使能需要检测的中断。

[0093] 4、在中断信号有效时,中断检测IP记录中断信号有效时间。

[0094] 5、在中断控制器将中断信号发送到CPU后,CPU响应中断时,读取中断检测IP中的中断确认寄存器,中断检测IP记录CPU确认中断的时间。

[0095] 6、CPU处理中断完成后,读取中断检测IP中的中断完成寄存器,中断IP记录CPU完成中断的时间。

[0096] 7、如果在CPU确认中断,或完成中断之前,同一个中断信号又发送有效信号,则软件通过解析记录事件,就可以知道发生了中断丢失和覆盖。

[0097] 8、芯片内软件定时读取Buffer内的信息,解析中断处理延时,调整中断优先级等设置。

[0098] 9、芯片外软件读取Buffer内的信息,解析中断处理延时,绘制更直观的中断延时状况图。

[0099] 在本实施例中通过在芯片内部增加检测中断信息的IP,配合CPU软件,精确记录中断产生、CPU对中断响应和处理的时间信息,以及中断丢失和覆盖的信息,为测试和分析系统的中断响应特性提供可靠准确的依据。

[0100] 实施例三

[0101] 本发明提供一种中断检测方法,如图3所示,包括:

[0102] S201获取存储地址中的处理器的中断时间信息。

[0103] 具体的,当中断检测IP实时检测处理器接收到的中断信号,以及对于中断信号的反应,中断检测IP记录的中断时间信息后,分析软件从数据缓存器中获取中断时间信息。

[0104] S202基于所述中断时间信息计算中断延时信息。

[0105] 具体的,分析软件根据中断信息中的中断类型和中断IP确定所述中断具体为哪个中断,并基于中断时间信息计算中断延时信息。优选地,所述基于所述中断时间信息计算中断延时信息,包括步骤:

[0106] 基于所述中断时间信息中的中断确认时间和中断有效时间,计算所述中断延时信息中的中断确认延时信息;基于所述中断时间信息中的中断完成时间和中断有效时间,计算所述中断延时信息中的中断完成延时信息;基于所述中断时间信息中的中断完成时间和中断确认时间,计算所述中断延时信息中的中断处理时间。

[0107] 示例性的,中断延时计算方法具体包括对于每个中断,都存在以下计算公式:

[0108] 中断确认延时=CPU确认中断的时间-中断信号有效时间。

[0109] 中断完成延时=CPU完成中断的时间-中断信号有效时间。

[0110] 中断处理时间=CPU完成中断的时间-CPU确认中断的时间。

[0111] S203根据所述中断延时信息,生成中断检测结果。优选地,所述根据所述中断延时信息,生成中断检测结果,包括:根据解析出的所述中断延时信息,判断所述中断延时信息是否符合预设中断延时和/或调整中断优先级和/或生成中断延时图。

[0112] 具体的,包括以下两种:

[0113] 芯片系统内软件解析:芯片系统内软件可定时读取Buffer内的记录信息,解析出中断处理延时是否满足需求;芯片系统内软件可根据解析出的中断延时信息,调整中断优先级等设置。

[0114] 芯片外软件解析:芯片外软件,例如安装在调试机上的解析软件,解析出中断处理延时是否满足需求;芯片外软件根据解析出的中断延时信息,绘制更直观的中断延时状况图。

[0115] 在本实施例中,通过芯片系统内软件分析中断时间信息,计算中断延时信息,以调整中断优先级等设置,并通过芯片外软件解析出的中断延时信息,绘制中断延时状况图,直观得了解系统的中断响应特性。

[0116] 实施例四

[0117] 本发明提供一种中断检测方法,此中断检测方法,主要用于系统软件运行时,检测芯片系统内各个IP中断发生的时间、CPU确认中断的时间、CPU处理完成中断的时间,以及中断的丢失与覆盖,并将这些信息记录在内部或外部Buffer中。这些记录的信息可以供芯片内运行的系统软件分析使用,也可以提供给芯片外(如调试主机)的软件进行分析使用。

[0118] 步骤一、中断实时检测

[0119] 通过中断检测IP进行实时检测,中断检测IP包含:总线接口、中断输入及检测、内部计时、使能控制、存储Buffer;中断信息解析方法则需要芯片系统内软件,或芯片外软件配合完成。

[0120] 中断检测IP包括总线接口:包括Slave接口,类型及宽度可使用参数配置,支持AXI/AHB/APB,提供IP内部的寄存器访问接口。

[0121] 内部计时:在使能模式时,开始进行基于输入时钟的累加计数,计数器Timer的宽度可使用参数配置。

[0122] 中断输入及检测:为每个中断输入提供一个输入端,支持的输入端数目可以由参数进行配置;支持每个中断输入端的上升沿时间,下降沿时间检测记录;支持CPU确认每个中断的时间记录;支持CPU处理中断完成的时间记录;支持CPU处理中断完成的时间记录;支持检测中断丢失与覆盖:在中断信号有效后,CPU一直没有确认该中断,则为中断丢失;如果为沿触发中断,则又有新的沿中断信号时,则为中断覆盖。

[0123] 使能控制:支持整个中断检测IP的使能/禁止模式;支持对每个中断输入端检测的使能/禁止;支持配置Buffer满时的行为:停止记录或回环记录;

[0124] 使能模式时:使能内部计时,Timer开始计数;支持内置或外部的数据缓存Buffer,可通过参数进行选择;使用内置Buffer时,不需要总线Master接口;使用外置Buffer时,可通过寄存器配置Buffer地址。

[0125] 使能单个中断检测时:检测中断信号变化及CPU确认和处理完成时,记录中断ID及时间信息并保存到Buffer。

[0126] 禁止模式时:中断检测IP时钟被关闭,也不记录信息;缺省为禁止调试。

[0127] 步骤二、中断信息解析

[0128] 1、芯片系统内软件解析:

[0129] 芯片系统内软件可定时读取Buffer内的记录信息,解析出中断处理延时是否满足需求;芯片系统内软件可根据解析出的中断延时信息,调整中断优先级等设置。

[0130] 2、芯片外软件解析:芯片外软件,例如安装在调试机上的解析软件,解析出中断处理延时是否满足需求;芯片外软件根据解析出的中断延时信息,绘制更直观的中断延时状况图。

[0131] 3、中断延时计算方法,对于每个中断,都存在以下计算公式:

[0132] 中断确认延时=CPU确认中断的时间-中断信号有效时间。

[0133] 中断完成延时=CPU完成中断的时间-中断信号有效时间。

[0134] 中断处理时间=CPU完成中断的时间-CPU确认中断的时间。

[0135] 在本实施例中,基于中断检测IP保存至存储地址中的中断信息和所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,读出这些信息直接或通过调试主机上的工具对系统的中断响应情况进行准确的分析,并准确确定系统的实时特性是否满足设计需求,同时为进一步优化系统的中断响应特性,提供依据。

[0136] 实施例五

[0137] 本发明提供一种中断检测装置,如图4所示,包括:

[0138] 获取模块401,用于当处理器处于运行时,获取所述处理器中至少一个中断的中断时间信息。

[0139] 存储模块402,用于基于存储地址和存储方式,对所述中断时间信息进行存储,以供调试主机对所述处理器进行调试。

[0140] 具体的,所述中断检测装置可以包括设置于芯片互连结构中的中断检测IP。此中断检测IP及方法,主要用于系统软件运行时,检测芯片系统内各个IP中断发生的时间、CPU确认中断的时间、CPU处理完成中断的时间,以及中断的丢失与覆盖,并将这些信息记录在内部或外部Buffer中。这些记录的信息可以供芯片内运行的系统软件分析使用,也可以提供给芯片外(如调试主机)的软件进行分析使用。

[0141] 示例性的,如图5所示,中断检测IP包含:总线接口、中断输入及检测、内部计时、使能控制、存储Buffer;中断信息解析方法则需要芯片系统内软件,或芯片外软件配合完成。

[0142] 其中,中断检测IP包括:总线接口:包括Slave接口,类型及宽度可使用参数配置,支持AXI/AHB/APB,提供IP内部的寄存器访问接口。

[0143] 内部计时:在使能模式时,开始进行基于输入时钟的累加计数,计数器Timer的宽度可使用参数配置。

[0144] 中断输入及检测:

[0145] 为每个中断输入提供一个输入端,支持的输入端数目可以由参数进行配置;支持每个中断输入端的上升沿时间,下降沿时间检测记录;支持CPU确认每个中断的时间记录;支持CPU处理中断完成的时间记录;支持CPU处理中断完成的时间记录;支持检测中断丢失与覆盖:在中断信号有效后,CPU一直没有确认该中断,则为中断丢失;如果为沿触发中断,则又有新的沿中断信号时,则为中断覆盖;

[0146] 使能控制:支持整个中断检测IP的使能/禁止模式;支持对每个中断输入端检测的使能/禁止;支持配置Buffer满时的行为:停止记录或回环记录;

[0147] 使能模式时:使能内部计时,Timer开始计数;支持内置或外部的数据缓存Buffer,可通过参数进行选择;使用内置Buffer时,不需要总线Master接口;使用外置Buffer时,可通过寄存器配置Buffer地址。

[0148] 使能单个中断检测时:检测中断信号变化及CPU确认和处理完成时,记录中断ID及时间信息并保存到Buffer。

[0149] 禁止模式时:中断检测IP时钟被关闭,也不记录信息;缺省为禁止调试。

[0150] 在本实施例中,通过中断检测IP设置于芯片互连结构中,记录所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,并将这些信息缓存到内部或外部的Buffer,可以精确检测记录系统的中断响应特性。

[0151] 实施例六

[0152] 本发明提供一种中断检测系统,如图6所示,包括所述中断检测装置、处理器、中断控制器和外设IP;

[0153] 所述外设IP用于在初始化设置所述中断检测装置的存储地址、存储方式及待检测中断后,通过所述外设IP使能中断以发送中断信号。

[0154] 所述中断检测装置用于当所述中断信号有效时,记录中断信号有效时间。

[0155] 所述中断控制器用于将所述中断信号发送到所述处理器,所述处理器用于响应所述中断信号并读取所述中断检测装置中的中断确认寄存器,所述中断检测装置还用于记录中断确认时间,所述中断确认时间为所述处理器确认所述中断的时间。

[0156] 所述处理器还用于完成所述中断的处理,并在完成所述中断的处理后,读取所述中断检测装置中的中断完成寄存器,所述中断检测装置还用于记录中断完成时间,所述中断完成时间为所述处理器完成所述待检测中断的时间。

[0157] 所述中断检测装置还用于在所述处理器确认所述中断或完成所述中断之前,所述中断持续发出中断信号时,确定所述中断的丢失、覆盖。

[0158] 在本实施例中,基于中断检测IP保存至存储地址中的中断信息和所连接的中断信号发生改变的时间信息、以及CPU响应中断和完成中断处理的时间信息,读出这些信息直接或通过调试主机上的工具对系统的中断响应情况进行准确的分析,并准确确定系统的实时特性是否满足设计需求,同时为进一步优化系统的中断响应特性,提供依据。

[0159] 本领域普通技术人员可以意识到,结合本文中所公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本申请的范围。

[0160] 在本申请所提供的实施例中,应该理解到,所揭露的设备和方法,可以通过其他的方式实现。示例性的,以上所描述的系统实施例仅仅是示意性的,示例性的,所述模块或单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,示例性的,多个单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另一点,所显示或讨论的相互之间的耦合或直接耦合或通讯连接可以是通过一些接口,装置或单元的间接耦合或通讯连接,可以是电性、机械或其他的形式。

[0161] 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

[0162] 另外,在本申请各个实施例中的各功能单元可能集成在一个处理单元中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现,也可以采用软件功能单元的形式实现。

[0163] 应当说明的是,上述实施例均可根据需要自由组合。以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

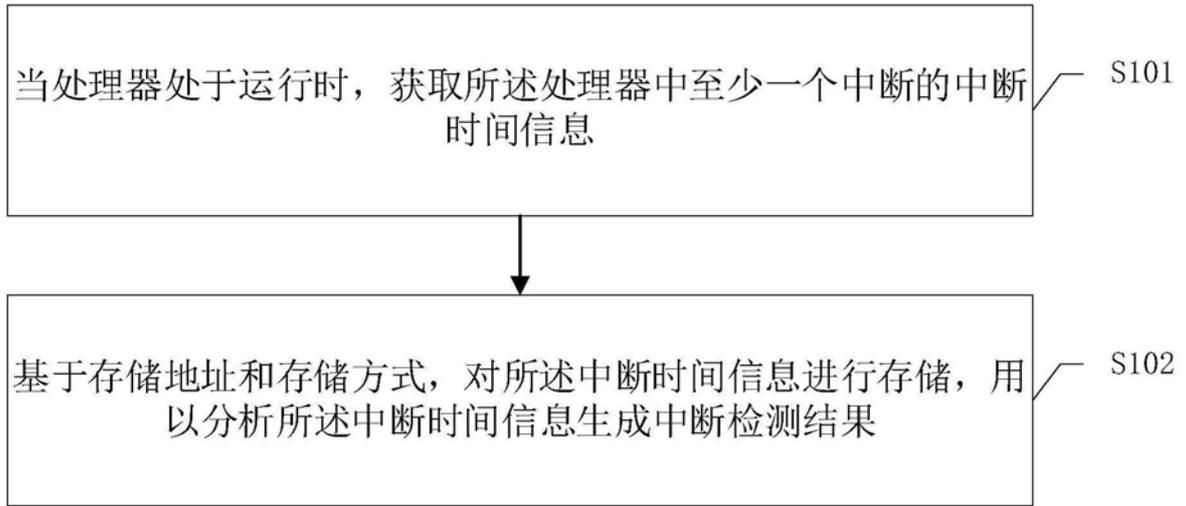


图1

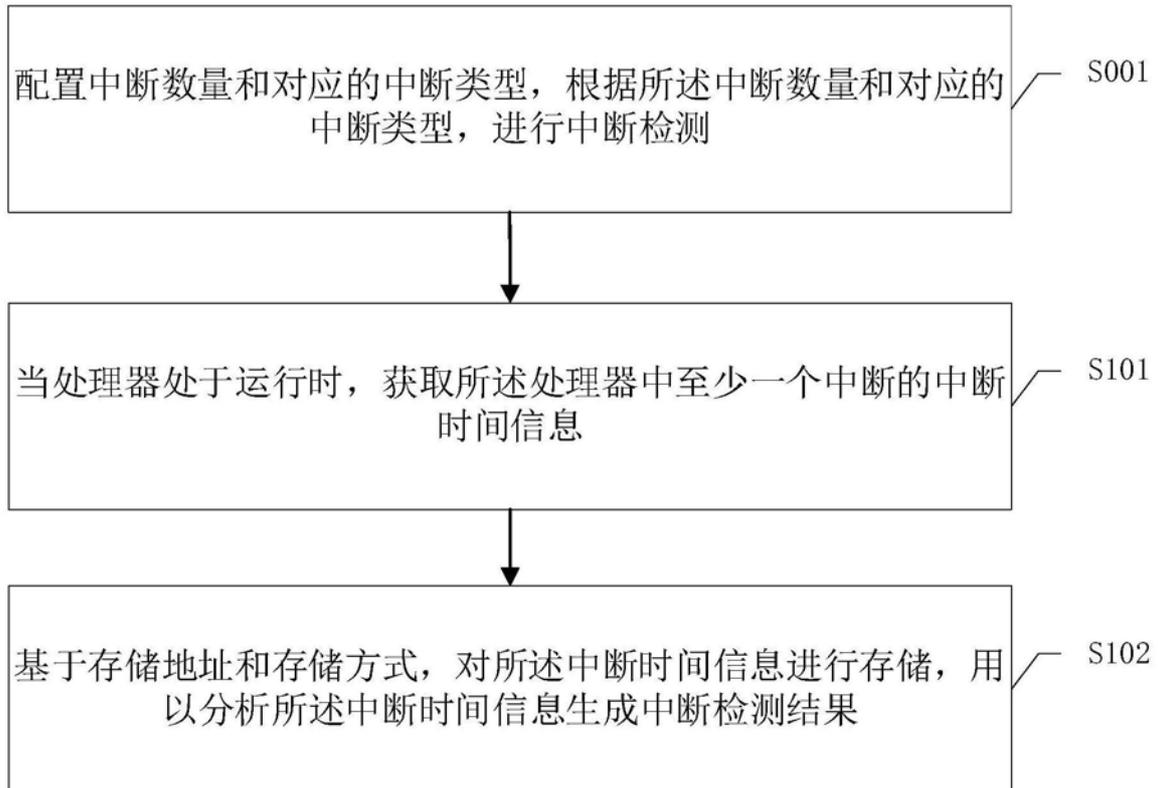


图2

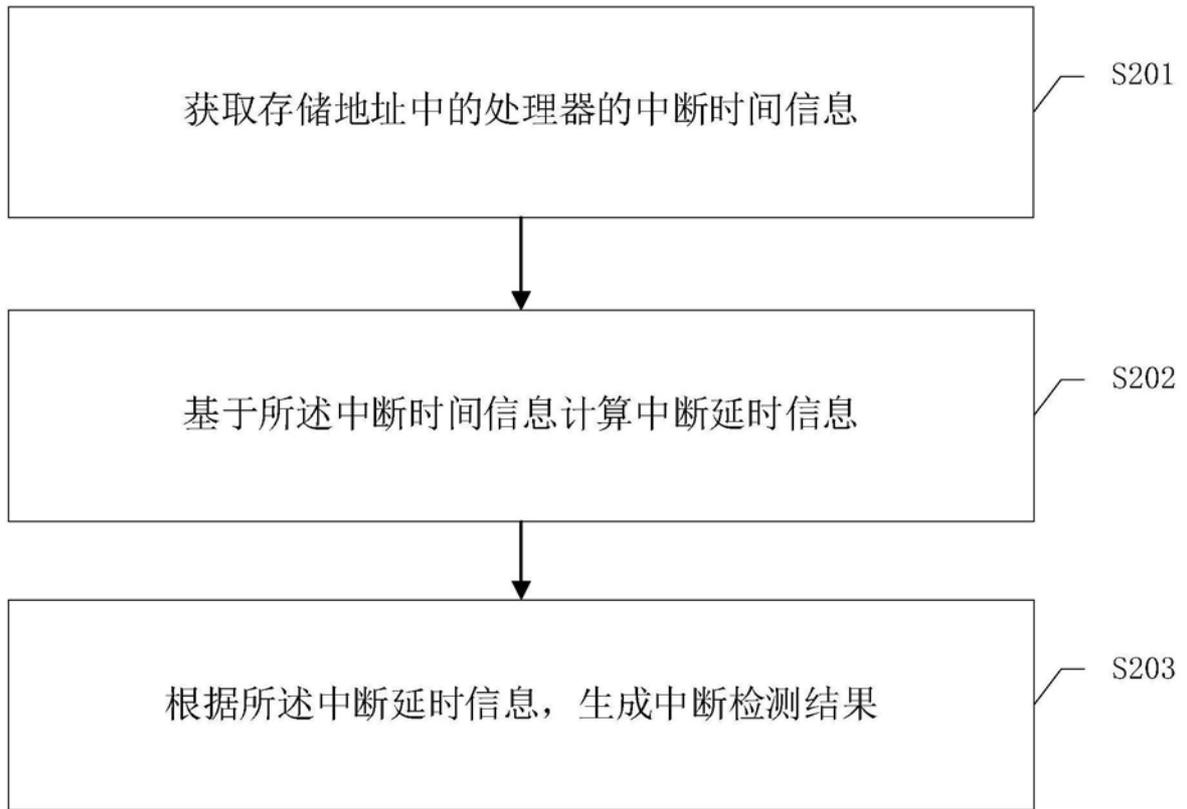


图3



图4

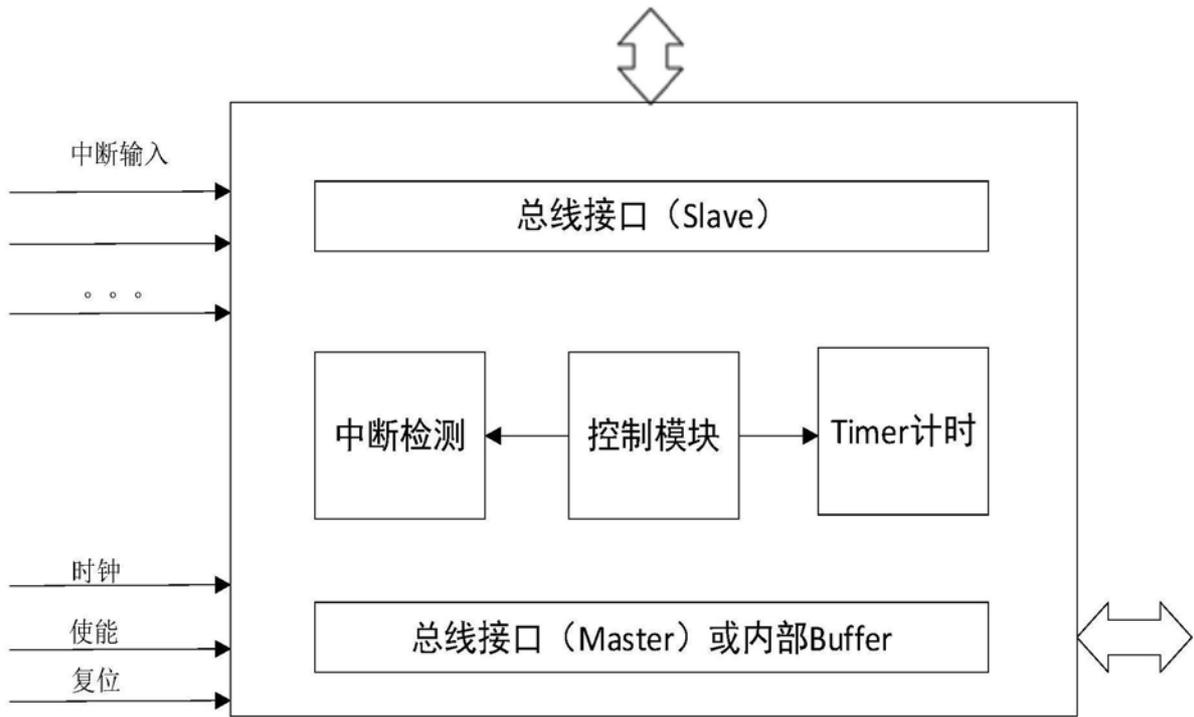


图5

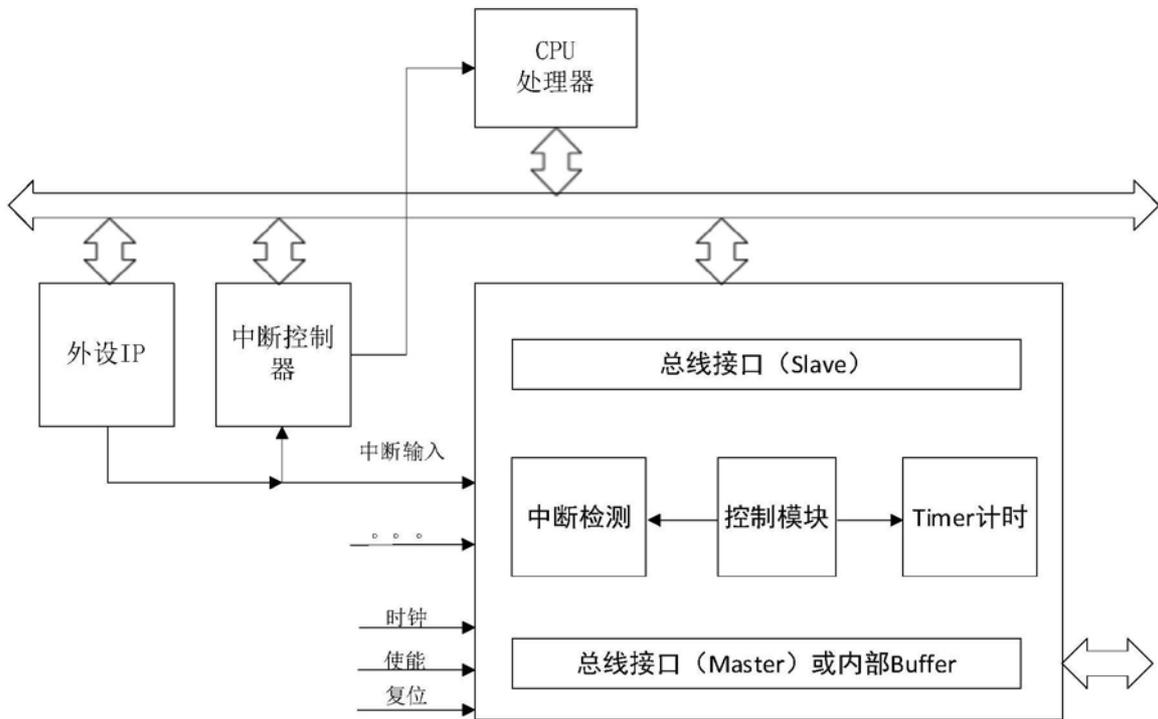


图6