



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월05일
(11) 등록번호 10-1754224
(24) 등록일자 2017년06월29일

(51) 국제특허분류(Int. Cl.)
H03K 3/03 (2006.01) H03K 5/135 (2006.01)
H03L 7/099 (2006.01)
(52) CPC특허분류
H03K 3/0315 (2013.01)
H03K 5/135 (2013.01)
(21) 출원번호 10-2016-0040218
(22) 출원일자 2016년04월01일
심사청구일자 2016년04월01일
(56) 선행기술조사문헌
KR1020010107417 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
한림대학교 산학협력단
강원도 춘천시 한림대학길 1, 한림대학교(옥천동)
(72) 발명자
문규
강원도 춘천시 소양로 171번길 10, 4층 (소양로2가)
허강인
경기도 고양시 덕양구 통일로771번길 36-11, 6동 202호 (관산동, 한신아르빌)
(뒷면에 계속)
(74) 대리인
김남혁

전체 청구항 수 : 총 12 항

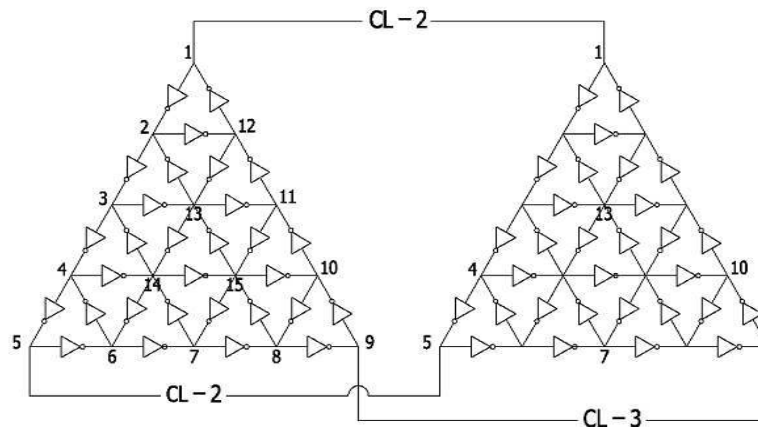
심사관 : 김정석

(54) 발명의 명칭 링 오실레이터를 이용한 멀티칩 시스템 클럭 신호 동기화 방법 및 장치

(57) 요약

링 오실레이터가 개시된다. 본 발명에 따른 링 오실레이터는, 복수 개의 칩들로부터 발생하는 클럭 신호들을 수신하는 수신부; 및 동일한 프랙탈(fractal) 구조의 오실레이터 복수 개의 각 종단을 대응되는 종단과 서로 연결시키는 연결부; 및 상기 동일 프랙탈 구조의 오실레이터에서 발진되는 신호를 출력하는 출력부;를 포함하고, 상기 오실레이터는, 프랙탈 구조를 가지기 위해서 3 개의 노드가 하나의 셀을 구성하고, 각 노드 사이에는 인버터가 배치되고, 상기 클럭 신호들이 동일한 주파수 및 동일한 위상으로 발진되도록 설정될 수 있다.

대표도 - 도1



(52) CPC특허분류

H03L 7/0995 (2013.01)

(72) 발명자

김성진

경기도 가평군 청평면 경춘로 807-18, 102동 1204
호 (청평청구아파트)

최원용

경기도 가평군 가평읍 중촌로 16-55, 에이동 110호
(준수아파트)

명세서

청구범위

청구항 1

복수 개의 칩들로부터 발생하는 클럭 신호들을 입력받는 단계;
 동일한 프랙탈(fractal) 구조의 오실레이터 복수 개에서 상기 입력된 클럭 신호들을 발진하는 단계; 및
 상기 발진된 신호를 출력하는 단계;를 포함하고,
 상기 오실레이터는,
 프랙탈 구조를 가지기 위해서 3 개의 노드가 하나의 셀을 구성하고, 각 노드 사이에는 인버터가 배치되고,
 상기 클럭 신호들이 동일한 주파수 및 동일한 위상으로 발진되도록 설정되고,
 상기 동일한 프랙탈 구조의 오실레이터 복수 개는,
 동일한 수의 인버터로 구성되고, 서로 동일한 사이즈를 가지는 오실레이터인 것을 특징으로 하는, 발진 제어 방법.

청구항 2

청구항 1에 있어서,
 상기 오실레이터는,
 CMOS(Complementary Metal-Oxide Semiconductor) 오실레이터인 것을 특징으로 하는, 발진 제어 방법.

청구항 3

청구항 1에 있어서,
 상기 오실레이터는,
 TTL(Transistor-Transistor Logic) 오실레이터인 것을 특징으로 하는, 발진 제어 방법.

청구항 4

청구항 1에 있어서,
 상기 오실레이터는,
 각 노드 사이에 홀수 개의 인버터가 연결되어 구성되는 것을 특징으로 하는, 발진 제어 방법.

청구항 5

청구항 4에 있어서,
 상기 홀수 개의 인버터는 서로 직렬로 연결되어 구성되는 것을 특징으로 하는, 발진 제어 방법.

청구항 6

청구항 1에 있어서,

상기 오실레이터는, GHz급 주파수에서 동작되는 것을 특징으로 하는, 발진 제어 방법.

청구항 7

복수 개의 칩들로부터 발생하는 클럭 신호들을 수신하는 수신부; 및

동일한 프랙탈(fractal) 구조의 오실레이터 복수 개의 각 종단을 대응되는 종단과 서로 연결시키는 연결부; 및

상기 동일 프랙탈 구조의 오실레이터에서 발진되는 신호를 출력하는 출력부; 를 포함하고,

상기 오실레이터는,

프랙탈 구조를 가지기 위해서 3 개의 노드가 하나의 셀을 구성하고, 각 노드 사이에는 인버터가 배치되고,

상기 클럭 신호들이 동일한 주파수 및 동일한 위상으로 발진되도록 설정되고,

상기 동일한 프랙탈 구조의 오실레이터 복수 개는,

동일한 수의 인버터로 구성되고, 서로 동일한 사이즈를 가지는 오실레이터인 것을 특징으로 하는, 링 오실레이터.

청구항 8

청구항 7에 있어서,

상기 오실레이터는,

CMOS(Complementary Metal-Oxide Semiconductor) 오실레이터인 것을 특징으로 하는, 링 오실레이터.

청구항 9

청구항 7에 있어서,

상기 오실레이터는,

TTL(Transistor-Transistor Logic) 오실레이터인 것을 특징으로 하는, 링 오실레이터.

청구항 10

청구항 7에 있어서,

상기 오실레이터는,

각 노드 사이에 홀수 개의 인버터가 연결되어 구성되는 것을 특징으로 하는, 링 오실레이터.

청구항 11

청구항 10에 있어서,

상기 홀수 개의 인버터는 서로 직렬로 연결되어 구성되는 것을 특징으로 하는, 링 오실레이터.

청구항 12

청구항 7에 있어서,

상기 오실레이터는, GHz급 주파수에서 동작되는 것을 특징으로 하는, 링 오실레이터.

청구항 13

삭제

발명의 설명

기술 분야

- [0001] 본 발명은 링 오실레이터(Ring OSC) 및 이를 이용한 발진 제어 방법에 관한 것이다. 더욱 상세하게는 본 발명은 프랙탈(fractal) 구조의 오실레이터를 이용한 초고속 집적 회로 클럭 신호의 동기화 방법에 관한 것이다.
- [0002] 본 발명에 따르는 경우, 오실레이터에서 발생하는 지터(jitter) 현상 및 클럭 스큐(clock skew) 현상을 줄일 수 있다.
- [0003] 또한, 인버터(inverter)를 이용한 프랙탈 구조의 오실레이터 회로는 CMOS(Complementary Metal-Oxide Semiconductor)를 이용하여 사이즈를 줄일 수 있으며, 프랙탈 구조와 인버터의 특성에 의해서 지터 현상 및 클럭 스큐 현상을 감소시켜 성능이 우수한 오실레이터를 설계할 수 있다.

배경 기술

- [0004] 오실레이터(oscillator) 회로는 안정적인 발진 주파수를 발생하는데 일부 문제점을 가지고 있다. 종래의 오실레이터 회로는 그 사이즈가 커짐에 따라 주파수가 순간적으로 흔들리는 지터(jitter) 현상, 위상이 지연되는 클럭 스큐(clock skew) 현상 등이 발생하였다.
- [0005] 링 타입의 오실레이터는 효율이 좋고 넓은 주파수 범위를 가지며 작은 면적을 차지하는 장점이 있어 클럭 생성 회로로서 널리 사용되고 있다. 링 오실레이터의 발진 주파수는 보통 하기의 수학적 식 1에 따라 계산이 가능하다.

수학적 식 1

[0006]
$$f_{osc} = \frac{1}{2Ntd}$$

- [0007] 여기서 N은 지연 셀의 개수를 나타내며, td는 하나의 지연 셀이 가지는 지연 시간을 의미한다. 링 오실레이터의 발진 주파수는 N에 반비례하기 때문에 많은 지연 스테이지를 쓰는 경우, 동작 신뢰도와 면적 등에 있어서 한계가 존재한다.
- [0008] 또한 종래의 GHz 급의 고속 클럭 주파수를 발생하고 분배하는 회로에서 안정성은 성능에 상당히 주요한 요인이 되지만, 인버터만을 이용한 오실레이터는 없고, 또한 프랙탈 구조로 설계되어 고속의 클럭 주파수를 발생시키는 오실레이터의 개발이 요구되고 있다.

발명의 내용

해결하려는 과제

- [0010] 본 발명의 목적은, 상기한 문제점을 해결하기 위하여 안출된 것으로, 안정적인 프랙탈 구조의 링 오실레이터를 설계하는 것을 목적으로 한다.
- [0011] 또한, 본 발명에 따를 경우, 순간적으로 불안정한 주파수가 발생하는 지터 현상 및 위상 지연이 발생하는 클럭 스큐 현상을 줄일 수 있다.
- [0012] 본 발명이 이루고자 하는 기술적 과제(목적)들은 이상에서 언급한 기술적 과제(목적)들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제(목적)들은 아래의 기재로부터 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0013] 상기한 목적을 달성하기 위한 본 발명에 따른 발진 제어 방법은 복수 개의 칩들로부터 발생되는 클럭 신호들을 입력받는 단계; 동일한 프랙탈(fractal) 구조의 오실레이터 복수 개에서 상기 입력된 클럭 신호들을 발진하는 단계; 및 상기 발진된 신호를 출력하는 단계;를 포함하고, 상기 오실레이터는, 프랙탈 구조를 가지기 위해서 3 개의 노드가 하나의 셀을 구성하고, 각 노드 사이에는 인버터가 배치되고, 상기 클럭 신호들이 동일한 주파수 및 동일한 위상으로 발진되도록 설정될 수 있다.
- [0014] 바람직하게는, 상기 오실레이터는, CMOS(Complementary Metal-Oxide Semiconductor) 오실레이터이다.
- [0015] 바람직하게는, 상기 오실레이터는, TTL(Transistor-Transistor Logic) 오실레이터이다.
- [0016] 또한, 상기 오실레이터는, 각 노드 사이에 홀수 개의 인버터가 연결되어 구성될 수 있다.
- [0017] 또한, 상기 홀수 개의 인버터는 서로 직렬(series)로 연결되어 구성될 수 있다.
- [0018] 또한, 상기 오실레이터는, GHz급 주파수에서 동작될 수 있다.
- [0019] 본 발명의 다른 일 실시 예에 따른 링 오실레이터는 복수 개의 칩들로부터 발생되는 클럭 신호들을 수신하는 수신부; 및 동일한 프랙탈(fractal) 구조의 오실레이터 복수 개의 각 종단을 대응되는 종단과 서로 연결시키는 연결부; 및 상기 동일 프랙탈 구조의 오실레이터에서 발진되는 신호를 출력하는 출력부;를 포함하고, 상기 오실레이터는, 프랙탈 구조를 가지기 위해서 3 개의 노드가 하나의 셀을 구성하고, 각 노드 사이에는 인버터가 배치되고, 상기 클럭 신호들이 동일한 주파수 및 동일한 위상으로 발진되도록 설정될 수 있다.

발명의 효과

- [0020] 본 발명은 이하와 같은 효과가 있다.
- [0021] 본 발명에 따르면, 간단한 링 오실레이터를 이용하여 클럭 스큐 현상 및 비동기 동작에 의한 오류를 줄일 수 있다.
- [0022] 본 발명에 따르면, 인버터만을 이용하여 프랙탈 구조로 설계하여 고속의 클럭 주파수를 발생시킬 수 있다.
- [0023] 본 발명에 따르면, 프랙탈 구조의 링 오실레이터를 이용하여 부분적인 온도와 전압 차이에서도 전체적인 동기화를 이루는 유리한 효과가 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명에 따른 링 오실레이터의 구조를 나타낸 도면이다.
- 도 2는 본 발명에 따른 링 오실레이터에서의 발진 제어 과정을 나타낸 흐름도이다.
- 도 3은 본 발명에 따른 링 오실레이터의 구조를 개념적으로 나타낸 블록도이다.
- 도 4는 본 발명에 따른 프랙탈 구조의 링 오실레이터를 나타낸 도면이다.
- 도 5는 본 발명에 따른 링 오실레이터에서 동일한 전압 조건에서의 출력 파형을 나타낸 도면이다.
- 도 6은 링 오실레이터에서 1% 전압 변화에 따른 출력 파형을 나타낸 도면이다.
- 도 7은 링 오실레이터에서 1% 전압 변화에 따른 스큐 현상을 측정한 파형을 나타낸 도면이다.
- 도 8은 멀티 칩 시스템에서 2% 전압 변화에 따른 위상 차를 나타낸 도면이다.
- 도 9는 본 발명에 따른 멀티 칩 시스템에서 2% 전압 변화에 따른 출력 파형을 나타낸 도면이다.
- 도 10은 본 발명에 따른 멀티 칩 시스템에서의 TTL 회로의 스큐 현상을 측정한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다.
- [0026] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포

합되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조 부호를 유사한 구성요소에 대해 사용하였다.

- [0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.
- [0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 이하, 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0031] 도 1은 본 발명에 따른 링 오실레이터의 구조를 나타낸 도면이다.
- [0032] SoC(System on Chip) 설계 기술의 발달로 시스템을 구성하는 집적회로(IC)의 클럭 신호(Clock signal, Clock frequency)는 대부분 GHz급의 초고주파수이며, 이에 따라 동작 속도 또한 계속 증가하고 있다.
- [0033] 이러한 초고속 클럭 신호의 생성과 분배는 집적 회로의 설계에 있어서 중요한 요소로 작용될 수 있으며, 위상이 지연되는 클럭 스큐 (Clock Skew) 현상 등이 발생하는 경우 동기화가 정확히 되지 않아 동작상에 오류로 출력될 수 있다.
- [0034] 기존의 클럭 신호 발생 회로 중에서 일반적으로 많이 사용되는 회로는 PLL(Phase Locked Loop)이지만, PLL 회로의 경우 위상 검출기(Phase Detector; PD), 전압제어 오실레이터(Voltage Controlled Oscillator; VCO), 루프 필터(Loop Filter) 등으로 구성되어 있어 회로 구성이 복잡하고, 배선 면적이 증가함에 따라서 칩 사이즈 또한 커지는 공간적인 부담을 가지고 있다.
- [0035] 복수 개의 칩에서 발생하는 클럭 신호들이 칩 간의 전원전압의 차이에 따라 클럭 스큐 현상 및 비동기 동작을 방지하기 위하여, 복수 개의 링 오실레이터를 이용하여 발진을 제어할 수 있다.
- [0036] 도 1의 링 오실레이터에서는 발진 시에 모든 노드가 동일한 주파수로 동작되며, 서로 다른 다수개의 링 오실레이터를 연결하여도 전체 멀티 칩 내의 링 오실레이터도 동일한 주파수를 필연적으로 출력할 수 있다. 링 오실레이터간의 연결은 동위상 노드끼리의 단순 외부 라인에 의해서 실현될 수 있다.
- [0037] 도 1에 도시된 바와 같이, 두 개의 칩에 사용되는 발진기 두 개의 링 오실레이터는 각각 15개의 인버터로 구성될 수 있다. 3개의 연결선(Connector Line; CL, CL-1, CL-2 및 CL-3)에 의해서 두 개의 링 오실레이터는 동위상 노드에 연결될 수 있다.
- [0038] 두 개의 칩에 공급되는 전압에 근소한 차이가 발생하는 경우에도 3개의 연결선에 의하여 전체 오실레이터 네트워크는 동일한 주파수, 동일한 위상으로 발진할 수 있다.
- [0040] 도 2는 본 발명에 따른 링 오실레이터에서의 발진 제어 과정을 나타낸 흐름도이다.
- [0041] 단계 S210에서, 링 오실레이터의 수신부는 복수 개의 칩들로부터 발생하는 클럭 신호를 수신할 수 있다. 멀티칩 시스템의 경우, 각 칩에서 발생하는 전압 및 위상이 상이할 수 있으며, 링 오실레이터에서 이러한 클럭 신호를 수신하여 링 오실레이터 네트워크 내에서 동작하도록 지원할 수 있다.
- [0042] 단계 S220에서, 링 오실레이터는 동일한 프랙탈 구조의 오실레이터 복수 개에서 상기 입력된 클럭 신호들을 발진시킬 수 있다. 앞서 도 1에서 두 개의 오실레이터는 각각 프랙탈 구조로 구성된 링 오실레이터일 수 있으며, 3개의 연결선(CL-1, CL-2 및 CL-3)에 의하여 동위상 노드끼리 연결될 수 있다.
- [0043] 이러한 오실레이터 네트워크 구조에 의해서 칩 간에 공급되는 전압에 차이가 있더라도 전체 오실레이터 네트워크는 동일한 주파수 및 동일한 위상으로 발진할 수 있다.
- [0044] 단계 S230에서, 출력부는 동일 프랙탈 구조의 오실레이터에서 발진된 클럭 신호를 출력할 수 있다. 이때의 출력

신호는 동일 주파수, 동일 위상인 것을 특징으로 할 수 있다.

- [0046] 도 3은 본 발명에 따른 링 오실레이터의 구조를 개념적으로 나타낸 블록도이다.
- [0047] 도 3에 도시된 바와 같이, 링 오실레이터(300)는 수신부(310), 연결선(320) 및 출력부(330)를 포함할 수 있다.
- [0048] 본 발명에 따른 수신부(310)는, 복수 개의 칩들로부터 발생하는 클럭 신호들을 수신할 수 있다. 멀티 칩 시스템에서는 복수 개의 칩들에서 요구되는 동작 전압, 주파수, 위상 등이 서로 상이할 수 있기 때문에 각각의 클럭 주파수 또한 서로 상이할 수 있다.
- [0049] 본 발명에 따른 연결선(320)는, 동일한 프랙탈 구조의 오실레이터 복수 개의 각 종단을 대응되는 종단과 서로 연결시킬 수 있다. 앞서 도 1에서의 3개의 연결선(CL-1, CL-2 및 CL-3)은 프랙탈 구조의 오실레이터의 세 개의 종단 각각을 서로 같은 위상을 가지는 노드끼리 연결시킬 수 있다.
- [0050] 본 발명에 따른 출력부(330)는, 동일 프랙탈 구조의 오실레이터에서 발진되는 신호를 출력할 수 있다. 출력되는 신호는 동일한 주파수 및 동일한 위상으로 발진된 회로임이 바람직하다.
- [0052] 도 4는 본 발명에 따른 프랙탈 구조의 링 오실레이터를 나타낸 도면이다.
- [0053] 도 4에 도시된 바와 같이, 큰 삼각형(1-2-3) 내에는 이보다 작은 크기의 삼각형(4-5-6), 더 작은 크기의 삼각형(7-8-9)와 같이 동일 구조로 계속하여 확장이 가능한 프랙탈(fractal) 구조를 확인할 수 있다.
- [0054] 상대적으로 작은 삼각형(10-11-12)을 인버터(inverter)로 구성하여 기본 셀(cell) 단위로 할 수 있으며, 이를 계속 확장한 형태로서 CMOS를 이용한 오실레이터를 구성할 수 있다.
- [0055] 예를 들어, 삼각형(1-6-5)로 구성된 구조에서 노드(node) 1 및 노드 6 사이의 인버터(inverter)에 대해서 노드 1은 입력 신호일 수 있으며, 노드 6은 출력 신호일 수 있다.
- [0056] 본 발명에서의 프랙탈 구조의 링 오실레이터는 GHz 급의 높은 클럭 주파수(clock frequency)를 발생시킬 수 있으며, 이를 분배시킬 수 있다. 프랙탈 링 오실레이터는 고속의 GHz 급의 클럭 주파수를 요구하는 회로에 안정적으로 일정 주파수를 발생시킬 수 있는 회로이다. 제안하는 회로에 의해서 기존의 복잡한 PLL(Phase Locked Loop) 회로의 클럭 스큐 및 지터 현상에 의해서 발생할 수 있는 오류 동작들을 감소시키는 유리한 효과가 있다.
- [0057] 각 노드 사이에서는 홀수 개의 인버터가 연결된 형태로 구성될 수 있다. 바람직하게는 각 노드 사이에는 홀수 개의 인버터가 직렬로(in series) 연결될 수 있다. 홀수 개의 인버터를 이용함으로써, 반전을 방지할 수 있다.
- [0058] 프랙탈 구조로 인해서 프랙탈 구조의 링 오실레이터의 크기를 확장할 수 있다. 적게는 15개부터 45개 이상의 노드를 가지는 프랙탈 구조의 링 오실레이터를 구성할 수 있다. 이러한 경우, 하나의 인버터가 $\frac{1}{3} \pi$ 의 위상(phase) 차이를 가지고, 3개의 인버터가 하나의 셀을 구성하므로, 하나의 셀은 π 의 위상 차를 가지게 된다. 따라서, 3개의 서로 다른 인버터에 의해서 하나의 2π 사이클(cycle)의 위상을 가질 수 있다.
- [0059] CMOS 프랙탈 오실레이터 회로에 전원을 공급할 경우 모든 노드에 동일한 클럭 주파수를 가지는 발진 상태를 만들 수 있다. 하나의 노드에서 주파수 차이가 발생하더라도 프랙탈 오실레이터 구조의 특성에 의해서 상호 위상 차이를 감소시키게 되어 동일한 주파수로 변환되고, 위상 역시 동일하게 제어될 수 있다.
- [0060] 본 발명에 따른 CON(Cellular Oscillator Network plane)은 최신의 다중 레이어 내장 회로 처리 및 패키징 기법에 의해서 실행될 수 있다. 디지털 및 아날로그 플레인 사이의 간격을 최소의 간섭으로 감소시킬 수 있다.
- [0062] 도 5는 본 발명에 따른 링 오실레이터에서 동일한 전압 조건에서의 출력 파형을 나타낸 도면이다.
- [0063] 도 5(a)는 시뮬레이션 프로그램을 통해서 출력된 링 오실레이터에서의 출력파형이며, 도 5(b)는 실제 측정된 클럭 파형이다.
- [0064] 두 개의 칩에 동일한 전압원이 제공된다면 동위상의 동일 주파수가 발생되며, 중앙 노드(도 1에서의 13번 노드)에서는 정확하게 동위상 상태가 됨을 알 수 있다.
- [0066] 도 6은 링 오실레이터에서 1% 전압 변화에 따른 출력 파형을 나타낸 도면이다.
- [0067] 도 6(a)는 +1% 전압 변화에 따른 링 오실레이터에서의 시뮬레이션 출력 파형이고, 도 6(b)는 TTL(Transistor-Transistor Logic)에서 실제 측정 파형이다.
- [0068] 시간 구간 8ns에서 10ns 구간에서 두 클럭 신호간의 위상 차가 발생하는 것을 파형 내에서 확인할 수 있다.

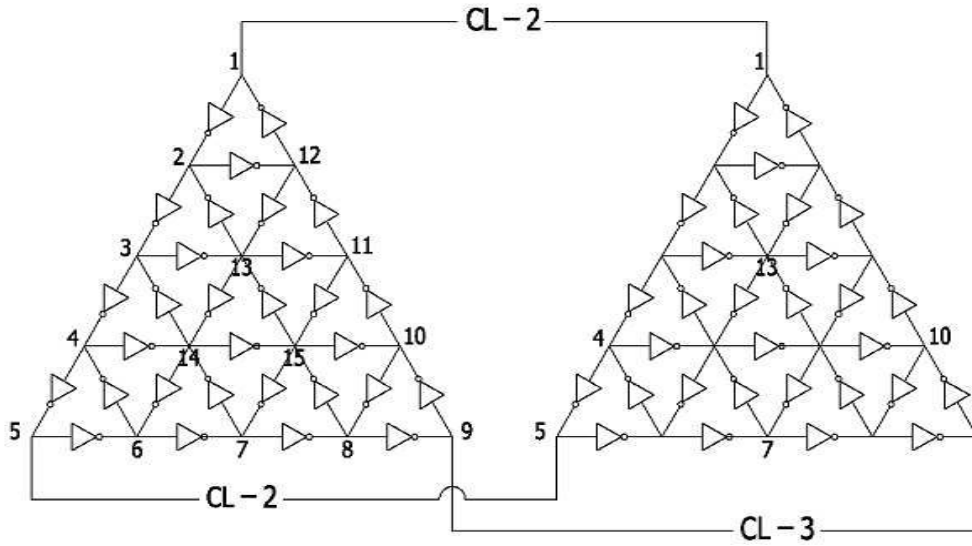
- [0070] 도 7은 링 오실레이터에서 1% 전압 변화에 따른 스큐 현상을 측정한 파형을 나타낸 도면이다.
- [0071] 도 7은 도 6에서의 위상 차를 확대하여 보는 것으로, 도 7(a)는 시뮬레이션 파형, 도 7(b)는 실제 측정 파형을 나타낸다.
- [0072] 도 7(a)에 도시된 바와 같이, 전압을 1% 변화함에 따라서, 두 개의 칩(CHIP-1 및 CHIP-2) 간에 스큐 현상이 발생하는 것을 확인할 수 있다. 시간 구간 6.4ns에서 6.42ns 구간에서 위상이 지연되는 것을 확인할 수 있다.
- [0074] 도 8은 멀티 칩 시스템에서 2% 전압 변화에 따른 위상차를 나타낸 도면이다.
- [0075] 도 8은 앞서 도 5내지 도 7에서의 실험과 유사한 조건에서 전압을 +2% 변화하여 출력되는 파형이다. 도시된 바와 같이, 두 개의 칩에 최대 2%의 전압 차이가 있을 경우 143ps의 대칭적 위상 차가 발생함을 확인할 수 있다. 주기 대비해서는 22.04%에 해당되는 위상 차이이다.
- [0077] 이하에서는 본 발명에서 제안하는 멀티칩 시스템에서의 클럭 신호 동기화 기법에 따른 효과를 설명하기로 한다.
- [0078] 도 9는 본 발명에 따른 멀티 칩 시스템에서 2% 전압 변화에 따른 출력 파형을 나타낸 도면이다.
- [0079] 앞서 도 1의 프랙탈 링 오실레이터의 구조의 오실레이터 네트워크를 이용하여 3개 노드를 연결하고 측정하였을 경우, 도 9와 같은 파형을 출력할 수 있다. 도 9(a)는 시뮬레이션 출력파형이며, 도 9(b)는 실제 측정 파형이다.
- [0080] 도 9(a) 및 도 9(b)에 도시된 바와 같이, 프랙탈 구조의 링 오실레이터를 거치는 경우, Chip to Chip 동작을 통해서 스큐 현상이 현저하게 감소하고, 동일 주파수로 측정되는 것을 확인할 수 있다.
- [0082] 도 10은 본 발명에 따른 멀티 칩 시스템에서의 TTL 회로의 스큐 현상을 측정한 도면이다.
- [0083] 도 10은 2% 전압 변화에 따른 시뮬레이션과 TTL 회로의 스큐 현상을 나타내고 있으며, 도 10에 도시된 바와 같이, 프랙탈 구조의 링 오실레이터에서 발진함에 따라서, 2%의 전압 차가 있는 신호가 입력되어도 19.51ps의 대칭적 위상 차가 발생하는 것을 확인할 수 있다. 이는 앞서 도 8에서의 일반적인 2% 전압차에서의 143ps의 대칭적 위상 차와 비교하였을 때에 현저하게 위상 차이가 감소하는 것을 확인할 수 있으며, 주기 대비하여 2.98%에 불과한 위상 차이이다.
- [0084] 상기 검토한 바와 같이 전원 전압에 둔감한 링 오실레이터를 이용하여 클럭 신호를 동기화 할 수 있다. 제안된 기법을 통하여 서로 다른 두 개의 칩의 전원 전압 차이가 2%임에도 불구하고, 클럭 스큐는 시뮬레이션 기준 19.51ps 이내로 측정됨으로써 클럭 신호의 동기화가 이루어짐을 확인할 수 있다.
- [0085] 다수의 동위상 노드에서 동일한 클럭 신호를 얻을 수 있으며, 낮은 클럭 스큐를 보이는 측면에서 GHz 클럭의 생성과 분배의 효율이 높다는 것을 의미할 수 있으며, 현재 이용되는 PLL 및 DLL을 보완하는 요소 기술이다.
- [0087] 이상 본 명세서에서 설명한 기능적 동작과 본 주제에 관한 실시형태들은 본 명세서에서 개시한 구조들 및 그들의 구조적인 등가물을 포함하여 디지털 전자 회로나 컴퓨터 소프트웨어, 펌웨어(firmware) 또는 하드웨어에서 혹은 이들 중 하나 이상의 조합에서 구현 가능하다.
- [0088] 본 명세서에서 기술하는 주제의 실시형태는 하나 이상의 컴퓨터 프로그램 제품, 다시 말해 데이터 처리 장치에 의한 실행을 위하여 혹은 그 동작을 제어하기 위하여 유형의 프로그램 매체 상에 인코딩되는 컴퓨터 프로그램 명령에 관한 하나 이상의 모듈로서 구현될 수 있다. 유형의 프로그램 매체는 전파형 신호이거나 컴퓨터로 판독 가능한 매체일 수 있다. 전파형 신호는 컴퓨터에 의한 실행을 위하여 적절한 수신기 장치로 전송하기 위한 정보를 인코딩하기 위하여 생성되는 예컨대 기계가 생성한 전기적, 광학적 혹은 전자기 신호와 같은 인공적으로 생성된 신호이다. 컴퓨터로 판독 가능한 매체는 기계로 판독 가능한 저장장치, 기계로 판독 가능한 저장 기관, 메모리 장치, 기계로 판독 가능한 전파형 신호에 영향을 미치는 물질의 조합 혹은 이들 중 하나 이상의 조합일 수 있다.
- [0089] 컴퓨터 프로그램(프로그램, 소프트웨어, 소프트웨어 어플리케이션, 스크립트 혹은 코드로도 알려져 있음)은 컴파일되거나 해석된 언어나 선형적 혹은 절차적 언어를 포함하는 프로그래밍 언어의 어떠한 형태로도 작성될 수 있으며, 독립형 프로그램이나 모듈, 컴포넌트, 서브루틴 혹은 컴퓨터 환경에서 사용하기에 적합한 다른 유닛을 포함하여 어떠한 형태로도 전개될 수 있다.
- [0090] 컴퓨터 프로그램은 파일 시스템의 파일에 반드시 대응하는 것은 아니다. 프로그램은 요청된 프로그램에 제공되는 단일 파일 내에, 혹은 다중의 상호 작용하는 파일(예컨대, 하나이상의 모듈, 하위 프로그램 혹은 코드의 일

부를 저장하는 파일) 내에, 혹은 다른 프로그램이나 데이터를 보유하는 파일의 일부(예컨대, 마크업 언어 문서 내에 저장되는 하나 이상의 스크립트) 내에 저장될 수 있다.

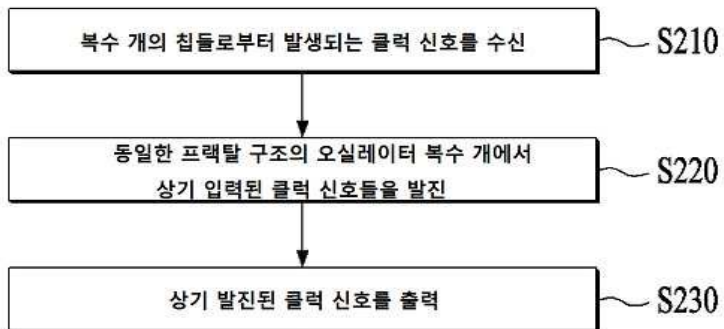
- [0091] 컴퓨터 프로그램은 하나의 사이트에 위치하거나 복수의 사이트에 걸쳐서 분산되어 통신 네트워크에 의해 상호 접속된 다중 컴퓨터나 하나의 컴퓨터 상에서 실행되도록 전개될 수 있다.
- [0092] 부가적으로, 본 특허문헌에서 기술하는 논리 흐름과 구조적인 블록도는 개시된 구조적인 수단의 지원을 받는 대응하는 기능과 단계의 지원을 받는 대응하는 행위 및/또는 특정한 방법을 기술하는 것으로, 대응하는 소프트웨어 구조와 알고리즘과 그 등가물을 구축하는 데에도 사용 가능하다.
- [0093] 본 명세서에서 기술하는 프로세스와 논리 흐름은 입력 데이터 상에서 동작하고 출력을 생성함으로써 기능을 수행하기 위하여 하나 이상의 컴퓨터 프로그램을 실행하는 하나 이상의 프로그래머블 프로세서에 의하여 수행 가능하다.
- [0094] 컴퓨터 프로그램의 실행에 적합한 프로세서는, 예컨대 범용 및 특수 목적의 마이크로프로세서 양자 및 어떤 종류의 디지털 컴퓨터의 어떠한 하나 이상의 프로세서라도 포함한다. 일반적으로, 프로세서는 읽기 전용 메모리나 랜덤 액세스 메모리 혹은 양자로부터 명령어와 데이터를 수신할 것이다.
- [0095] 컴퓨터의 핵심적인 요소는 명령어와 데이터를 저장하기 위한 하나 이상의 메모리 장치 및 명령을 수행하기 위한 프로세서이다. 또한, 컴퓨터는 일반적으로 예컨대 자기, 자기광학 디스크나 광학 디스크와 같은 데이터를 저장하기 위한 하나 이상의 대량 저장 장치로부터 데이터를 수신하거나 그것으로 데이터를 전송하거나 혹은 그러한 동작 둘 다를 수행하기 위하여 동작가능 하도록 결합되거나 이를 포함할 것이다. 그러나, 컴퓨터는 그러한 장치를 가질 필요가 없다.
- [0096] 본 기술한 설명은 본 발명의 최상의 모드를 제시하고 있으며, 본 발명을 설명하기 위하여, 그리고 당업자가 본 발명을 제작 및 이용할 수 있도록 하기 위한 예를 제공하고 있다. 이렇게 작성된 명세서는 그 제시된 구체적인 용어에 본 발명을 제한하는 것이 아니다.
- [0097] 따라서, 상술한 예를 참조하여 본 발명을 상세하게 설명하였지만, 당업자라면 본 발명의 범위를 벗어나지 않으면서도 본 예들에 대한 개조, 변경 및 변형을 가할 수 있다. 요컨대 본 발명이 의도하는 효과를 달성하기 위해 도면에 도시된 모든 기능 블록을 별도로 포함하거나 도면에 도시된 모든 순서를 도시된 순서 그대로 따라야만 하는 것은 아니며, 그렇지 않더라도 얼마든지 청구항에 기재된 본 발명의 기술적 범위에 속할 수 있음에 주의한다.

도면

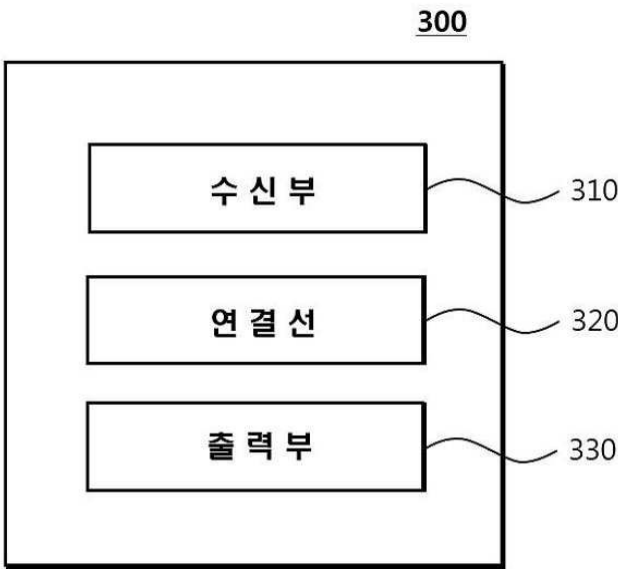
도면1



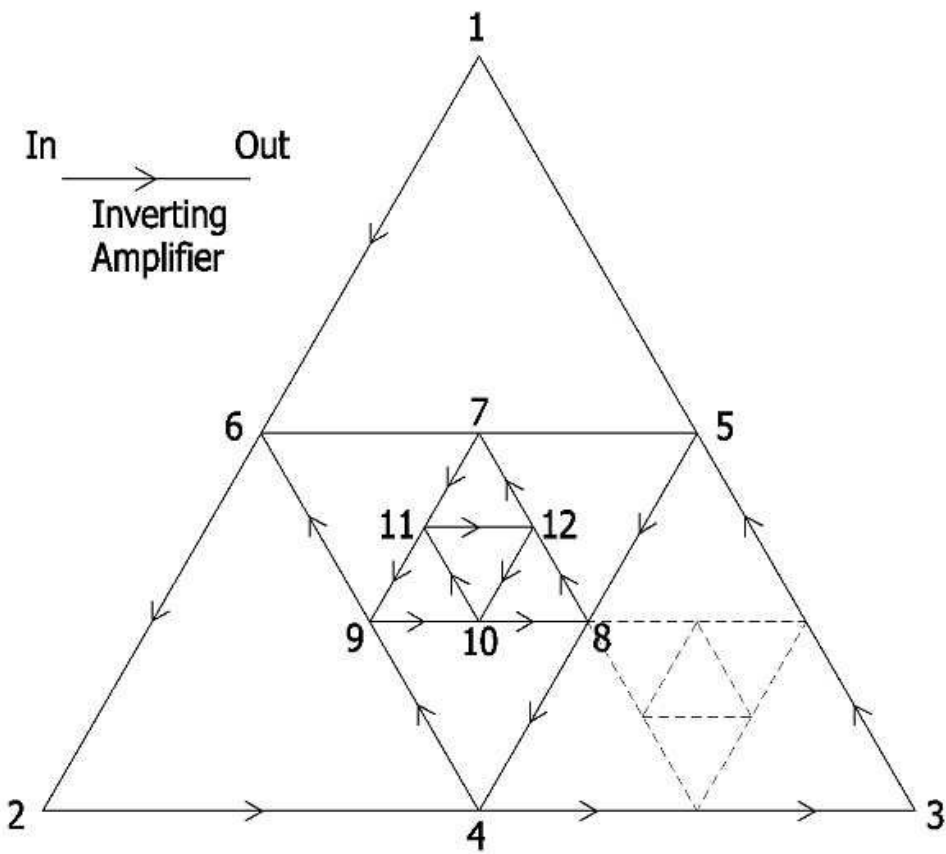
도면2



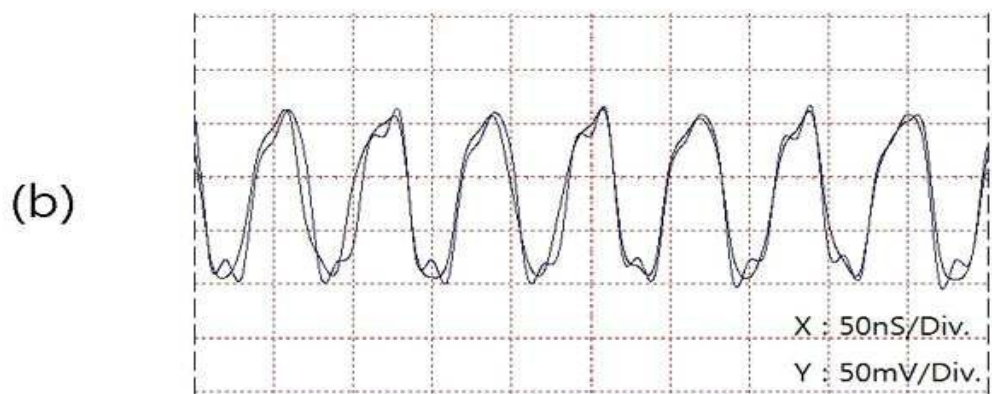
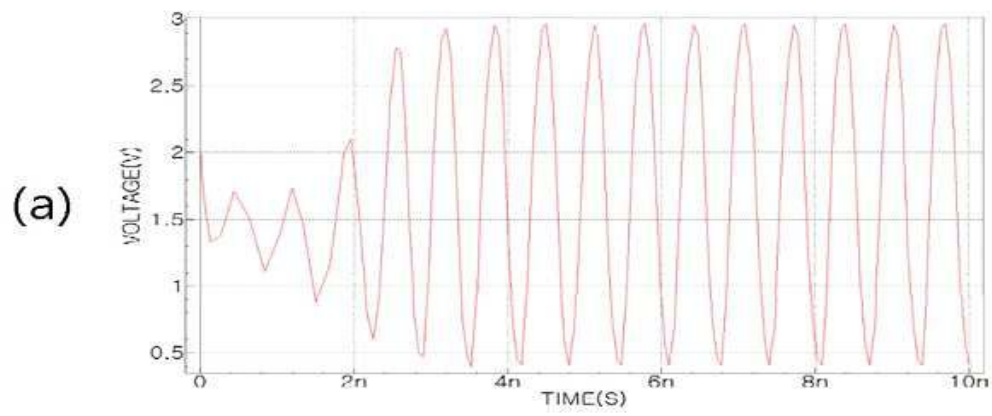
도면3



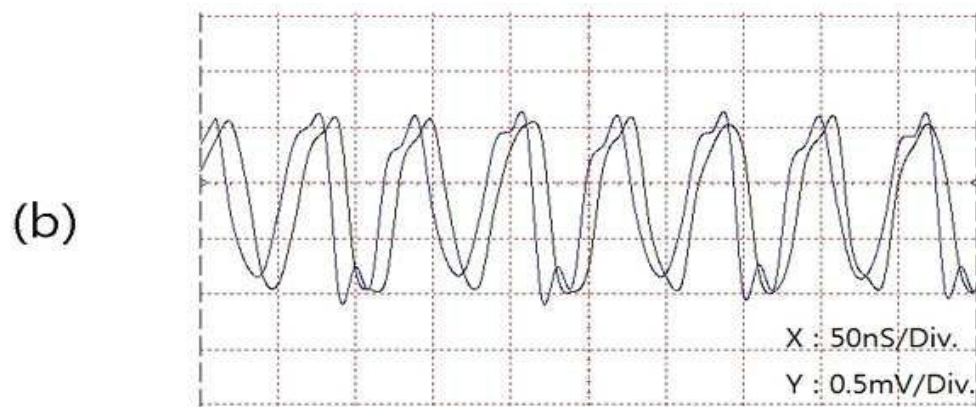
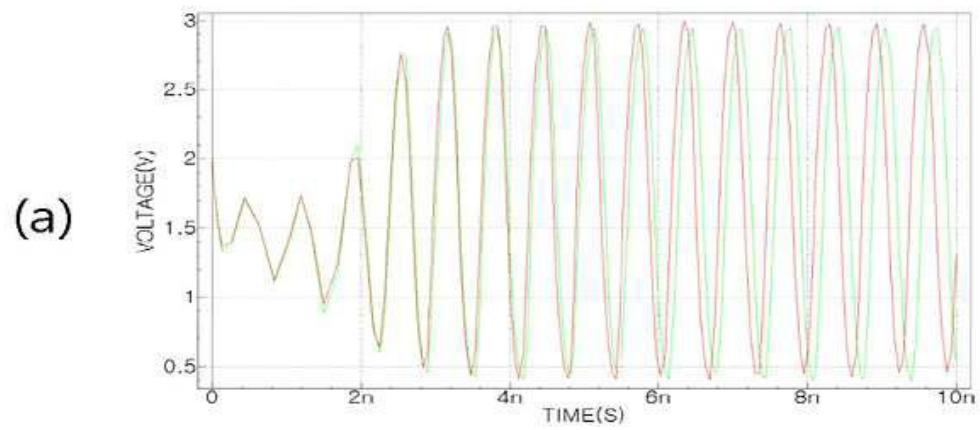
도면4



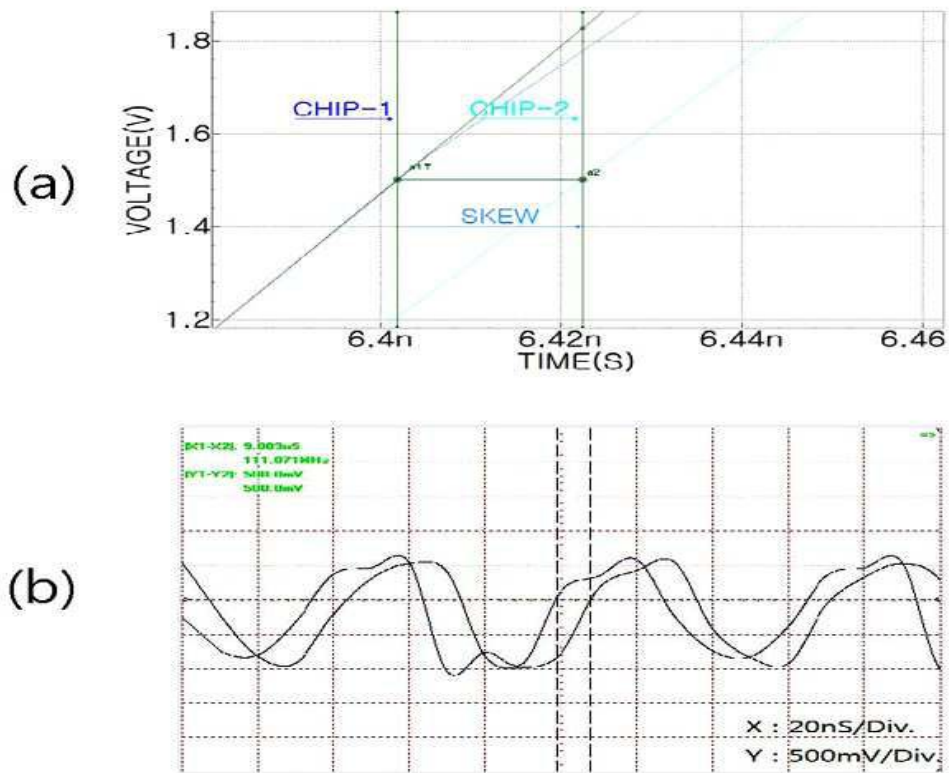
도면5



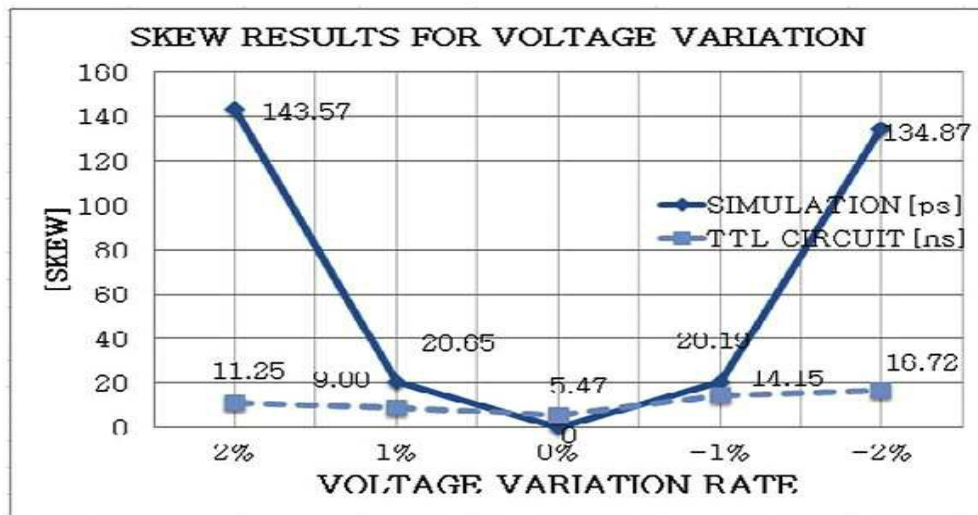
도면6



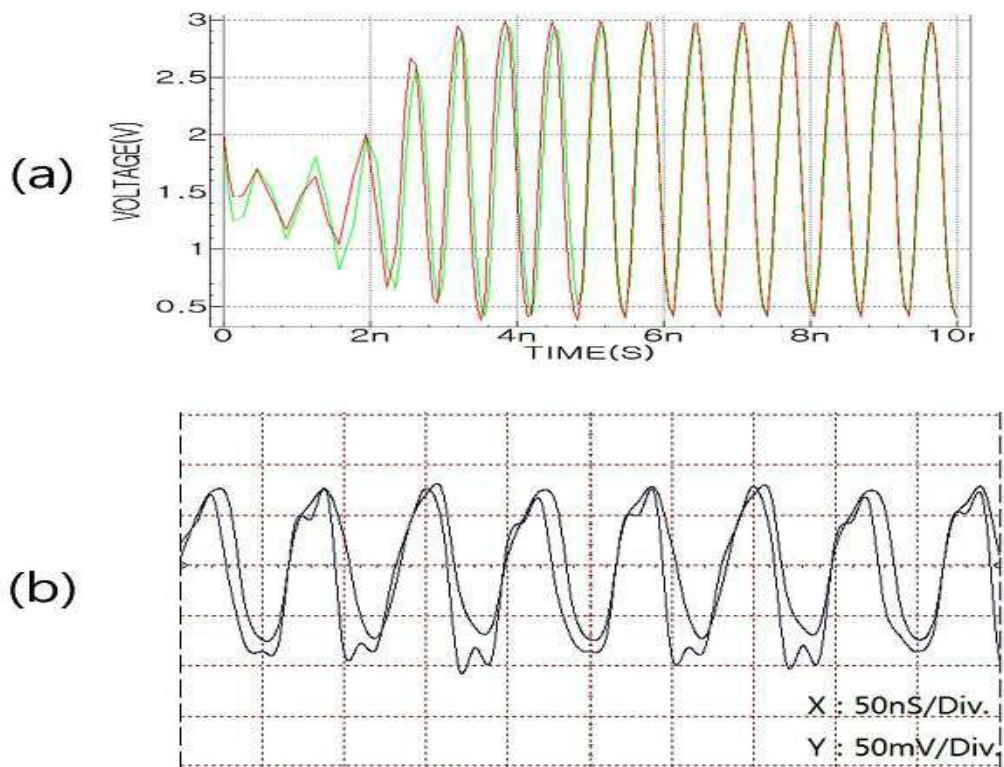
도면7



도면8



도면9



도면10

