(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108

(45) 공고일자 1998년12월01일
(11) 등록번호 특0161357
(24) 등록일자 1998년08월24일

(21) 출원번호 특1994-004967
(22) 출원일자 1994년03월14일
(65) 공개번호 특1994-022867
(43) 공개일자 1994년10월21일
(30) 우선권주장 93-080116 1993년03월15일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 사또 후미오
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72반지
(72) 발명자 야마다 다까시
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
(74) 대리인 구영창, 주성민

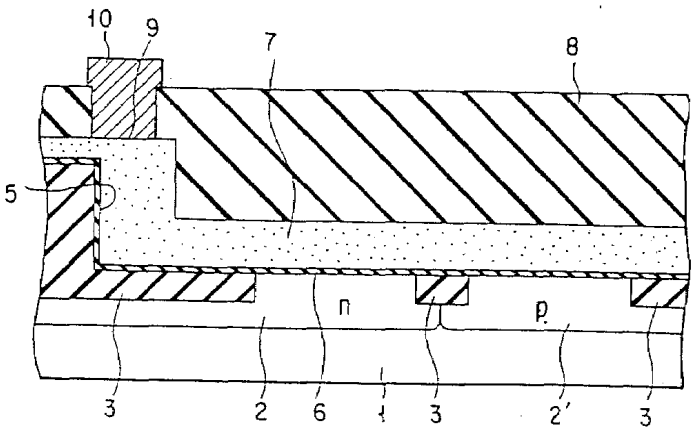
심사관 : 신양환

(54) 반도체 장치

요약

반도체 장치는 제1 도전형 반도체 기판; 상기 반도체 기판 표면으로부터 선정된 깊이로 형성된 트랜치형 소자 분리 영역; 상기 소자 분리 영역에 의해 둘러싸인 제1 도전형 소자 영역; 반도체 기판 내에 상기 소자 분리 영역보다 작은 깊이로 형성되어 상기 소자 영역 및 상기 소자 분리 영역을 통과해 연장하는 것으로서, 게이트 전극을 형성하기 위한 게이트 트랜치; 게이트 절연막을 경유하여 게이트 트랜치의 저부에 매립된 게이트 전극; 및 상기 소자 영역에 형성되고, 상기 게이트 트랜치에 의해 서로 분리되는 제2 도전형 소스 드레인 영역을 포함하고, 상기 게이트 전극의 상부면이 소스 및 드레인 영역의 저부 레벨과 반도체층의 표면 사이에 놓인다.

대표도



명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1a도는 본 발명의 제1 실시예에 따른 CMOS 인버터의 평면도이고, 제1b도는 CMOS 인버터의 등가 회로도.

제2a도는 제1a도의 라인 IIA-IIA를 따라 절취한 단면도이고, 제2b도는 라인 IIB-IIB를 따라 절취한 단면도.

제3a도는 제1도의 실시예에서 게이트 전극 리드 아웃 구조의 변형을 도시하는 평면도이고, 제3b도는 제3a도의 라인 IIIB-IIIB를 따라 절취한 단면도이며, 제3c도는 제3a도의 라인 IIIC-IIIC를 따라 절취한 단면도.

제4a도는 제1 실시에의 게이트 전극 리드 아웃의 변형을 도시하는 평면도이고, 제4b도는 제4a도의 라인 IVB-IVB를 따라 절취한 단면도이며, 제4c도는 제4a도의 라인 IVC-IVC를 따라 절취한 단면도.

제5a도는 제1도의 실시예의 게이트 전극 리드 아웃 구조의 변형을 도시하는 평면도이고, 제5b도는 제5a도의 라인 VB-VB를 따라 절취한 단면도이며, 제5c도는 제5a도의 라인 VC-VC를 따라 절취한 단면도.

제6a도는 본 발명의 제2 실시예에 따른 DRAM 의 메모리 셀 구조의 구성을 도시하는 평면도이고, 제6b도는 제6a도의 라인 VIB-VIB를따라 절취한 사시 단면도.

제7a도는 본 발명의 제3 실시예에 따른 DRAM의 메모리 셀 구조의 구성을 도시하는 평면도이고, 제7b도는 제7a도의 라인 VIIB-VIIB을 따라 절취한 단면도.

제8도는 본 발명의 제4실시예에 따른 DRAM의 메모리 셀 구조의 구성을 도시하는 평면도.

제9a도, 제9b도 및 제9c도는 각각 제8도의 라인 IXA-IXa, IXB-IXB 및 IXC-IXC를 따라 절취한 단면도.

제10도는 본 발명의 제5 실시예에 따른 DRAM의 메모리 셀 구조의 구성을 도시하는 평면도.

제11a도, 제11b도 및 제11c도는 각각 제10도의 라인 XIA-XIa, XIB-XIB 및 XIC-XIC를 따라 절취한 단면도.

제12도는 본 발명의 제6실시예에 따른 NAND형 DRAM의 메모리 셀 구조의 구성을 도시하는 평면도.

제13a도, 제13b도, 제13c도 및 제13d도는 각각 제12도의 라인 XIIIA-XIIIa, XIIIB-XIIIb, XIIIC-XIIIC 및 XIIID-XIIID를 따라 절취한 단면도.

제14a도 내지 제18D는 제12도 내지 제13d도에 도시된 제6 실시예에 따른 DRAM용 제조 공정을 도시하는 도면.

제19a도 및 제19b도는 본 발명의 제7 실시예에 따른 DRAM을 도시하는 단면도.

제20도는 제19a도 및 제19b도에 도시된 본 발명의 제7 실시예에 따른 DRAM을 얻기 위한 방법을 도시하는 단면도.

제21도는 본 발명의 제8 실시예에 따른 DRAM의 메모리 셀 구조의 구성을 도시하는 평면도.

제22a도, 제22b도, 제22c도 및 제22d도는 각각 제21도의 라인 XXIIA-XXIIa, XXIIB-XXIIb, XXIIC-XXIIC 및 XXIID-XXIID를 따라 절취한 단면도.

제23도는 본 발명의 제9 실시예에 따른 DRAM의 메모리 셀 구조의 구성을 도시하는 평면도.

제24a도, 제24b도, 제24c도 및 제24d도는 각각 제23도의 라인 XXIVA-XXIVa, XXIVB-XXIVb, XXIVC-XXIVC 및 XXIVD-XXIVD를 따라 절취한 단면도.

제25도는 본 발명의 제10 실시예에 따른 DRAM의 메모리 셀 구조의 구성을 도시하는 평면도.

제26a도, 제26b도, 제26c도 및 제26d도는 각각 제25도의 라인 XXVIA-XXVIa, XXVIB-XXVIb, XXVIC-XXVIC 및 XXVID-XXVID를 따라 절취한 단면도.

제27도, 제28a도, 제28b도, 제28c도 및 제28d도는 제29도, 제30a도, 제30b도, 제30c도 및 제30d도와 함께 제25도, 제26a도, 제26b도, 제26c도 및 제26d도에 도시된 DRAM 셀을 제조하기 위한 주요 단계를 도시하는 도면.

제31a도는 본 발명의 제12 실시예에 따른 트랜지스터의 소자 구조를 도시하는 평면도이고, 제31b도 및 제31c도는 각각 제31a도의 라인 XXXIB-XXXIB 및 XXXIC-XXXIC를 따라 절취한 단면도.

제32a도는 본 발명의 제13 실시예에 따른 트랜지스터의 소자 구조를 도시하는 평면도이고, 제31b도 및 제31c도는 각각 제31a도의 라인 XXXIB-XXXIB 및 XXXIC-XXXIC를 따라 절취한 단면도.

제33a, 제33b도 및 제33c도 내지 제34a도, 제35b도 및 제35c도는 제32a도 내지 제32c도에 도시된 제13 실시예의 트랜지스터의 제조 프로세싱을 도시하는 평면도 및 단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 실리콘 기관	2, 2' : 웰 영역
3 : 소자 분리 영역	4, 4' : 소스 및 드레인 영역(확산층)
5 : 게이트 트랜치	6 : 게이트 절연막
7 : 게이트 전극	8 : 층간 절연막
9 : 접촉부	10 : 배선
11 : 캐패시터 절연막	12 : 플레이트 전극

[발명의 상세한 설명]

본 발명은 반도체 장치에 관한 것으로, 더 상세하게는 개선된 트랜지스터 구조를 갖는 동적 임의 접근 기억장치(DRAM)에 관한 것이다.

MOS 트랜지스터를 갖고 있는 DRAM과 같은 반도체 집적 회로의 집적 밀도는 반도체 기술이 발전됨에 따라 고도화된다. 집적 밀도가 증가함에 따라, 집적 회로를 구성하는 MOS 트랜지스터의 크기는 서브미크론 영역에서 감소된다. 그러나, 집적 밀도를 더 향상시킬 것이 요구되면, 종래 MOS 트랜지스터에서는 다음과 같은 문제점들이 발생하여 집적 밀도에 있어서의 개선이 제한된다.

첫 번째 문제점은 임계 전압이 소위 짧은 채널 효과(short channel effect)에 의해 감소되고 소형화에 의해 게이트 길이가 감소되면 펀치 스루(punch-through)가 발생하므로 누출 전류를 억제하는 것이 어렵게

되는 것이다.

두 번째 문제점은 배선 접촉을 안정하게 형성하기 위해 소스/드레인용의 배선 접촉과 게이트 전극 사이, 및 접촉부와 소자 분리 영역 사이의 마스크 정합 공차를 제공할 것이 요구되기 때문에 만족스런 소형화를 얻는 것을 어렵게 한다.

세 번째 문제점은 게이트 전극을 형성함으로써 생성되는 서로 다른 단(step) 때문에 충분한 표면의 편평도를 얻을 수 없어 표면 상의 비트 라인과 같은 다른 배선층을 형성하는 것을 어렵게 한다.

다수의 MOS 트랜지스터가 직렬 접속되고 정보기억 캐패시터들이 MOS 트랜지스터의 각각의 소스(또는 드레인)에 접속되는 NAND 형 DRAM 메모리 셀 구조가 공지되어 있다. 상기 직렬 접속형 어레이 시스템에서, 비트 라인들과의 접촉 수가 직렬 접속형 어레이 시스템이 아닌 다른 시스템과 비교해 볼 때 감소될 수 있기 때문에, 셀 영역은 감소될 수 있다.

그러나, 직렬 접속형 어레이 시스템의 셀 구조는 다음의 문제점이 있다. 즉, 이러한 경우에 사용되는 셀은 적층된 캐패시터를 갖는 적층형 셀이고, 이 셀 영역은 작기 때문에, 필요한 기억 용량(Cs)을 얻기 위해서는 높은 높이의 캐패시터를 형성하는 것이 요구된다. 결과적으로, 비트 라인과 같은 상부 배선층이 형성될 때 사용되는 기판 구조물 상에 1㎛ 이상의 매우 큰 단차(step difference)가 형성되기 때문에, 상부 배선층의 형성을 매우 어렵게 한다.

상기 조건들을 고려할 때, 소위 오목형 MOS 트랜지스터(concave type MOS transistor), 즉 유효 채널 길이를 증가시키기 위해 채널부에 형성된 홈을 갖고 있는 MOS 트랜지스터가 트랜지스터를 더 소형화 시킬 것으로 기대된다. 통상적인 LOCOS 분리가 사용될 때 오목형 트랜지스터를 소형화시키는 것이 어렵기 때문에, 오목형 트랜지스터에서는 트랜치 분리에 의한 소자 분리가 사용된다.

그러나, 채널이 오목형 MOS 트랜지스터 내의 트랜치의 홈 표면을 따라 형성됨으로써, 다음의 문제점들이 발생한다. 즉, 채널 형성을 제어하기 위한 게이트 전극으로부터의 전계가 그 형태 때문에 트랜치의 저부 코너부에서 발생하므로, 높은 도전성을 갖는 채널이 이 부분에 형성될 수 없다. 결과적으로, 채널 저항이 증가하여 충분히 큰 구동 능력을 얻을 수 없다.

본 발명의 목적은 MOS 트랜지스터를 포함하는 반도체 장치를 제공하는 것으로, 다음의 잇점을 갖는다.

첫 번째 이점은 집적 밀도가 증가함에 따라 소자가 소형화될 때 조차도 충분히 긴 게이트 길이를 얻을 수 있다는 것이다.

두 번째 이점은 소스 및 드레인용 배선의 접촉부들이 게이트 전극 및 소자 분리 영역과 자기 정합으로 형성될 수 있다는 것이다.

세 번째 이점은 기판 표면상에 게이트 전극의 형성에 의한 단차가 형성되지 않는다는 것이다.

상기 목적들은, 제1 도전형의 반도체 기판; 반도체 기판 표면으로부터 예정된 깊이로 형성된 트랜치형 소자 분리 영역; 소자 분리 영역에 의해 둘러싸인 제1 도전형의 소자 영역; 반도체 기판 내에 소자 분리 영역보다 작은 깊이로 형성되어 소자영역 및 소자 분리 영역을 통과해 연장하는 것으로서, 게이트 전극을 형성하기 위한 게이트 트랜치; 게이트 절연막을 경유하여 게이트 트랜치의 저부에 매립된 게이트 전극; 및 소자 영역에 형성되고 게이트 트랜치에 의해 서로 분리된 제2 도전형의 소스 드레인 영역을 포함하고, 게이트 전극의 상부면이 소스 드레인 영역의 저부 레벨과 반도체층의 표면 사이에 놓이는 반도체 장치에 의해 얻을 수 있다.

본 발명은 다음의 양호한 실시예를 포함한다.

(1) 반도체 메모리 장치가 전체로서 형성되도록 하기 위해 캐패시터가 게이트 트랜치의 최소한 일부를 사용함으로써 형성된다.

(2) 캐패시터가 게이트 전극보다 높은 위치에 형성된다.

(3) 소스 및 드레인 영역용 접촉 홀들이 적당한 에칭 프로세스에 의해 형성될 때 에칭 스토퍼로 기능하는 스토퍼막이 트랜치 내에 매립된 게이트 전극 상에 형성된다.

(4) 소자 분리 트랜치 및 게이트 트랜치의 측벽을 전방으로 갈수록 좁게 함(테이퍼링)으로써 MOS 트랜지스터의 유효 채널 폭이 증가된다.

본 발명의 반도체 장치에 따르면, 채널은 기판에 평행한 방향 뿐만 아니라 그에 수직인 방향으로도 게이트 트랜치를 따라 형성될 수 있다. 그러므로, MOS 트랜지스터의 평면 크기가 감소될 때 조차도, 충분히 긴 채널 길이를 얻을 수 있다.

부수적으로, 게이트 전극이 소스 및 드레인 영역의 접촉면보다 더 깊은 위치에 형성되기 때문에, 게이트 전극의 상부면과 접촉면 사이에서 긴 수직 길이를 얻을 수 있다. 그러므로, 게이트 전극이 평면 패턴 내에서 소스 및 드레인 영역의 접촉부에 근접하게 설정될 때 조차도, 긴 수직 거리 때문에, 소스 전극 및 드레인 전극을 경유하여 소스 및 드레인 영역에 게이트 전극이 단락될 가능성이 발생하지 않는다. 결과적으로, 접촉은 게이트 전극과 자기 정합으로 형성될 수 있다.

또한, 게이트 전극이 더 깊은 위치에 형성되고 소스 및 드레인 확산층이 충분한 깊이로 형성될 수 있으므로, 접촉부가 확산층과 소자 분리 영역 사이의 경계 상에 있을 때 조차도 접합까지의 긴 수직 거리 때문에 접합 특성이 왜곡되지 않는다. 그러므로, 접촉부는 소자 분리 영역과 자기 정합으로 형성될 수 있다.

더욱이, 게이트 전극이 소자 영역 및 소자 분리 영역의 두 영역 내에서 완전하게 매립되기 때문에, 게이트 전극에 기인하는 단차가 발생하지 않는다. 그러므로, 접촉 및 배선은 연속적인 공정이 용이하게 형성된다.

본 발명의 부수적인 목적 및 잇점은 다음의 상세한 설명에 기술되고, 이 설명으로부터 명확해진다. 본 발

명의 목적 및 잇점은 청구 범위에 지적된 수단 및 그들의 조합에 의해 실현되어 얻어질 수 있다.

본 명세서에 첨부된 도면은 본 발명의 양호한 실시예를 도시하고, 동일 소자에는 동일한 참조번호를 부여하였으며, 본 발명의 원리를 설명하기 위해 제공된다.

이제 첨부도면을 참조하여 본 발명의 실시예에 대해 설명한다.

[실시예 1]

제1a도는 본 발명의 제1 실시예에 따른 CMOS 인버터의 평면도이고, 제1b도는 CMOS 인버터의 등가 회로도이다. 제2a도는 제1a도의 라인 IIA-IIA를 따라 절취한 단면도이고, 제2b도는 제1a도의 라인 IIB-IIB를 따라 절취한 단면도이다.

이들 도면을 참조하면, 참조번호(1)은 실리콘 기판을 나타낸다. n형 웰 영역(2) 및 p형 웰 영역(2')이 실리콘 기판(1)에 형성된다(제2a도). 각각의 웰 영역 내에, 트랜치 분리 영역(3)에 의해 둘러싸인 소자 영역이 형성된다. 각각의 소자 영역에서, p채널 MOS 트랜지스터 Q_P 및 n 채널 MOS 트랜지스터 Q_N가 형성된다. MOS 트랜지스터 Q_P, Q_N 는 게이트 트랜치(5) 내에 완전하게 매립되도록 형성된다. 또한, 제2b도에 화살표 A로 표시된 바와 같이, 이는 오목형 MOS 트랜지스터의 것과 동일한 채널 구조를 갖는다.

다음으로, 상기 소자의 제조 방법이 설명된다. 먼저, 웰(2,2')의 형성 후에, 소자 분리 영역(3)이 절연막으로 채워진 깊은 트랜치를 형성함으로써 형성된다. 그 다음, 트랜지스터 Q_P, Q_N 의 소스 영역 및 드레인 영역용 확산층(4, 4')을 형성하기 위해, 인(또는 비소) 및 붕소가 이온 주입에 의해 도프된다. 확산층(4,4')은 이후에 설명되는 바와 같이 게이트 전극(7)에 도달하도록 깊게 형성되지만, 깊은 트랜치 분리영역(3)에 의해 소자 분리가 얻어지기 때문에 아무런 문제도 발생하지 않는다.

다음으로, 소자 영역의 실리콘층 및 소자 분리 영역(3)의 절연막이 에칭되어 게이트 전극을 형성하기 위한 게이트 트랜치를 형성함으로써, 확산층(4,4')의 각각을 소스 영역 및 드레인 영역으로 나눈다. 이 에칭 공정에서, 실리콘층 및 절연막에 대해 실질적으로 동일한 에칭률을 갖는 에칭제를 사용함으로써 실리콘층 및 절연막 모두를 동시에 에칭하는 것이 가능하다. 선택적으로, 동일한 마스크 패턴을 이용하여 서로 다른 에칭제를 사용함으로써 이들을 에칭하는 것도 가능하다. 중요한 사항은 트랜치 소자 분리 영역(3)보다는 얕고, 최소한 게이트 전극(7)이 매립될 수 있을 정도로 충분히 깊은 게이트 트랜치(5)가 형성되도록 소자 영역 및 소자 분리 영역 모두가 에칭된다는 것이다.

실리콘 산화막 등으로 이루어진 게이트 절연막(6)이 형성된 다음, 폴리실리콘 등으로 이루어진 게이트 전극(7)이 게이트 절연막 상에 형성된다. 이때, 게이트 전극(7)은 그의 모든 부분이 게이트 트랜치(5) 내에 완전하게 매립될 수 있도록 형성된다. 그러나, 본 실시예에서, 게이트 전극(7)의 단부는 게이트 트랜치(5)의 외부로 나오고, 배선(10)과의 접촉을 형성하기 위한 패턴(7')이 단부 상에 형성된다. 이때, 집적 밀도를 향상시키기 위해, 게이트 트랜치(5)의 폭이 감소되어야 한다. 이 경우, 채널이 상술한 게이트 트랜치(5)의 수직면을 따라 형성될 수 있기 때문에, 짧은 채널 효과의 발생을 방지할 수 있을 만큼 충분히 긴 유효 채널 길이 A를 얻을 수 있다.

소스 영역 및 드레인 영역(4.5')은, 필요하다면 게이트 전극(7)이 형성되어 있을 때 게이트 전극(7)을 마스크로 사용하여 불순물 이온 주입에 의해 형성된다. 이때 이온 주입은 주입된 이온이 게이트 전극(7)로 스며들어가는 것을 방지하기 위해 스토퍼막이 게이트 전극 상에 형성된 후에 수행되는 것이 양호하다. 소스 영역 및 드레인 영역(4,4')은 이때 수행된 이온 주입이나 게이트 트랜치(5)의 형성 전에 수행된 불순물 도핑 공정 또는 이온 주입 및 불순물 도핑 공정의 조합 중 어느 하나에 의해 형성된다.

다음으로, 내부 레벨 절연막(8)이 형성되고, 접촉 홀이 형성된 다음, 배선(10)이 형성된다. 결과적으로, 배선(10)과 소스 영역 및 드레인 영역(4,4') 사이의 접촉부(9) 뿐만 아니라 배선(10)과 게이트 전극(7') 사이의 접촉부(9)가 형성된다. 소스 영역 및 드레인 영역(4,4') 상의 접촉 홀의 크기는 소스 영역 및 드레인 영역(4,4')의 크기와 동일하며 정합 공차는 없음에 주목해야 한다. 정합 공차가 필요하지 않는 이유는 다음과 같다. 먼저, 게이트 전극(7)이 게이트 전극의 상부면과 접촉면 사이의 긴 수직 길이를 얻기 위해 깊은 위치에 매립되기 때문에, 접촉 홀의 위치가 이탈될 경우에도, 배선(10)과 게이트 전극(7) 사이에서 단락이 발생한 가능성이 없다. 둘째로, 소스 및 드레인 영역의 접합이 충분히 깊기 때문에, 접촉 홀의 위치가 이탈되어 분리 영역(3)을 덮을 경우에도 배선(10)에 의한 접합 차단이 발생할 가능성이 없다. 그래서, 접촉 홀 주위의 부분에 여유분을 제공할 필요가 없어 MOS 트랜지스터를 더 소형으로 만드는 것이 가능하다.

제3a도 내지 제5c도는 제1 실시예의 게이트 전극(7)의 리드 아웃 구조(lead-out structure)의 변형을 도시한다. 제3a, 4a, 5a도는 평면도이다. 제3b, 4b, 5b도는 각각 제3a, 4a, 5a도의 라인 B-B를 따라 절취된 단면도이고, 제3c, 4c, 5c도는 각각 제3a, 4a, 5a도의 라인 C-C를 따라 절취된 단면도이다. 배선(10)과 게이트 전극(7) 사이의 접촉부를 용이하게 형성하기 위해서는, 게이트 트랜치(5)의 홈 바깥쪽에 접촉부를 형성하는 것이 바람직하다. 그러므로, 예를 들어, 제3a도 내지 제3c도 및 제4a도 내지 제4c도에 도시된 바와 같이, 게이트 트랜치(5)의 바깥쪽에 게이트 전극 리드 아웃 패턴(7')을 형성하고 배선(1)과 패턴(7') 사이에 접촉부를 형성하는 것이 바람직하다. 그러나, 제5a도 내지 제5c도에 도시된 바와 같이, 리드 아웃 패턴(7')을 형성하지 않고서 트랜치(5) 내에 매립된 게이트 전극(7)을 위한 접촉부를 집적 형성하는 것도 가능하다.

제 1 실시예와 같이, 제3a도 내지 제3c도에 도시된 경우에서는, 게이트 전극(7)에 접속된 리드 아웃 패턴(7')이 게이트 전극(7)이 패턴화되는 동일한 시간에 게이트 트랜치(5)의 영역 외부에 형성된다. 그러므로, 게이트 전극(7)과 배선(10) 사이의 접촉부는 게이트 트랜치(5)의 영역 외부에 형성된다. 제4a도 내지 제4c도의 예에서, 리드 아웃 패턴(7')은 게이트 트랜치(5)의 영역 내부에 배치되거나 트랜치 홈 위에 배치되고, 또한 접촉부(9)가 트랜치(5) 위에 형성된다.

제5a도 내지 제5c도의 예에서, 리드 아웃 패턴(7')은 사용되지 않는다. 그러므로, 게이트 전극(7)은 게이트 트랜치(5)의 홈 내에 매립된 채로 유지된다. 이 경우에 접촉부(9)는 절연막(8)을 에칭함으로써 형성되

어 매립된 게이트 전극(7)에 도달하는 접촉 홀을 형성한다. 이때에, 접촉부(9)는 제5b도에 도시된 바와 같이 접촉 홀의 폭을 게이트 트랜치(5)의 폭보다 크게 함으로써 게이트 전극(7)의 상부면 상에 뿐만 아니라 측면 상에도 형성될 수 있다. 결과적으로, 접촉 영역은 증가될 수 있고 접촉 저항은 감소될 수 있다.

[실시예 2]

제6a도 및 제6b도는 DRAM의 메모리 셀 구조에 응용된 본 발명의 제2 실시예를 도시하는 도면이다. 제6a도는 DRAM을 도시하는 평면도이고, 제6b도는 제6a도의 라인 VIB-VIB를 따라 절취된 사시 단면도이다.

이 실시예에서, 1개의 DRAM 메모리 셀은 1개의 MOS 트랜지스터 및 1개의 캐패시터로 구성된다. MOS 트랜지스터는 게이트 트랜치(5) 내에 완전히 매립되고, 캐패시터가 게이트 트랜치(5)의 벽면 및 기판(1)의 표면을 따라 형성된다. 이러한 구조로, 소형화될 수 있고 표면의 편평도가 우수한 DRAM 메모리 셀을 얻을 수 있다.

이에 부가하여, 플레이트 전극(12)이 기판(1)의 전체 표면 상에 형성되므로, 플레이트 전극(12)의 배선 저항은 전극(12)의 안정 전위를 유지하도록 감소되어, 비트 라인과 워드 라인에 부여된 잡음에 대한 공차를 향상시킬 수 있다.

플레이트 전극(12)은 게이트 트랜치(5)에 매립되어 있지 않으면서 기판(1)의 표면 상에 편평하게 형성되어 있음을 주지해야 한다.

DRAM 메모리를 제조하기 위해, 선형 소자 분리 트랜치(3)가 먼저 실리콘 기판(1)에 형성되어 워드 라인 방향으로 소자 분리를 얻는다. 그 다음, 소위 트랜치 분리가 트랜치(3) 내의 이산화실리콘과 같은 절연막을 매립함으로써 실현된다. 다음으로, 워드 라인(7)을 형성하기 위해, 선형 게이트 트랜치(5)가 형성된다. 분리 트랜치(3)의 소자 분리 능력을 높게 유지시키기 위해 소자 분리 트랜치(3)보다 작은 깊이를 갖는 게이트 트랜치(5)를 형성하는 것이 바람직하다. 그런 다음, 이산화실리콘막과 같은 게이트 절연막(6)을 형성한 후에 인이 도프된 폴리실리콘막으로 이루어진 워드 라인(7) 및 전극(7)이 게이트 트랜치(5)에 형성된다.

전극(7)은 워드 라인으로서 사용되지는 않지만 양 측부 상에 놓인 2개의 메모리 셀을 분리시키기 위한 전극으로서 기능한다. 즉, 비트 라인 방향으로 인접한 2개의 메모리 셀은 게이트로서 전극(7)을 갖는 MOS 트랜지스터를 오프 상태로 유지시킴으로써 서로 전기적으로 분리된다. 이러한 목적으로, 전극(7)은 상기 MOS 트랜지스터를 오프 상태로 유지시킬 수 있는 고정된 전위 레벨로 설정된다.

워드 라인(7) 및 전극(7)은 본 분야에 공지된 에치백(etchback) 기술에 의해 형성된다. 워드 라인(7)의 배선 저항을 더 낮추기 위해, 다수의 셀을 위한 분로(shunt)가, 예를 들어 A1의 금속 배선을 사용하여 형성된다. 분로 형성 영역에서, 워드 라인(7)과 금속 배선 사이의 접촉은 제3도 내지 제5도에 도시된 방법 중 어느 한가지를 사용함으로써 형성된다.

다음으로, 비소나 인이 n형 불순물로서 이온 주입되고, 소스 및 드레인 영역(4)을 형성하기 위해 어닐링된다. 이온 주입은 워드 라인(7)이 폴리실리콘으로 형성된 워드 라인(7)의 상부를 산화시키거나 워드 라인의 상부 상에 다른 절연막을 매립시킴으로써, 보호된 후에 채널링을 방지하기 위해 양호하게 수행된다. 제1 실시예에서 설명한 바와 같이 소스 영역 및 드레인 영역(4)을 형성하기 위한 불순물 도핑은 트랜치 분리부(3)를 형성한 후 수행된다. 이 실시예에서, 소스 영역 및 드레인 영역(4)은 또한 캐패시터의 기억 전극으로서 기능한다.

다음으로, ONO(산화물-질화물-산화물)막과 같은 캐패시터 절연막(11)이 형성되고 인이 도프된 폴리실리콘의 플레이트 전극(12)이 형성된다. 이 실시예에서, 플레이트 전극(12)은 게이트 트랜치(5)를 완전히 채우지 않도록 작은 두께로 형성되고 등방성 에칭이 플레이트 전극의 형성을 위해 사용된다. 결과적으로, 플레이트 전극(12)은 비트 라인 접촉부(13)가 형성되어 있는 실리콘 기판(1)의 표면으로부터 깊이 방향으로 분리된다. 그러므로, 비트라인(14)과 플레이트 전극(12) 사이의 단락의 발생이 용이하게 방지된다.

그 다음, 내부 레벨 절연막(8)을 형성한 후, 비트 라인 접촉부(13)용의 접촉홀이 형성되고, 비트 라인(14)이 형성되어 반도체 장치가 완성된다.

[실시예 3]

제7a도, 제7b도는 본 발명의 제3 실시예에 따른 DRAM의 메모리 셀 구조를 도시하고 있다. 제7A는 DRAM의 평면도이고, 제7b도는 제7a도의 라인 VIIB-VIIB를 따라 절취한 단면도이다.

제6도의 제2 실시예에서, 소위 개방(open) 비트 라인 구성의 셀 어레이를 구성하기 위한 메모리 셀이 도시되어 있다. 대조적으로, 제7도의 실시예에서는, 접힌(folded) 비트 라인 구성의 셀 어레이를 구성하기 위한 메모리 셀이 도시되어 있다.

제6도의 경우와 같이, 이 실시예의 메모리 셀은 완전하게 매립된 오목형 MOS 트랜지스터 및 그 위에 형성된 캐패시터로 구성된다. 그러나, 이 실시예에서 제일 먼저 형성되는 트랜치 분리 영역(3)은 제6도의 선형 트랜치와 다르고, 분리 소자 영역 주변에 형성된다.

더욱이, 이 실시예에서, 플레이트 전극(12)이 또한 비트 라인 접촉 영역에 형성된다. 그러므로, 비트 라인 접촉부(13)는 다음과 같이 형성된다. 먼저, 접촉홀의 형성시에, 에칭이 플레이트 전극(12)에서 정지되고, 이후 플레이트 전극(12)이 에칭된 다음 아래에 놓여 있는 절연막(11)이 에칭되어 접촉 홀을 형성한다. 또한, 절연막(8')이 비트 라인(14)과 플레이트 전극(12) 사이에서의 단락 발생을 방지하기 위해, 접촉부(13)의 측벽 상에 형성되고, 그 다음에, 비트 라인(14)이 형성된다.

상술한 제2 실시예에서는 플레이트 전극(12)이 비트 라인 접촉 영역만을 제외한 기판(1)의 전체 표면 상에 형성되기 때문에, 제2 실시예의 경우와 비교하여 더 안정한 전위 및 더 높은 잡음 공차를 갖는 플레이트 전극이 달성될 수 있다. 다른 관점을 고려하여도, 역시 제2 실시예에서, 비트 라인 접촉 영역을 제외한 기판(1)의 전체 표면 상에 플레이트 전극(12)을 형성하는 것이 가능하다.

제2 실시예의 플레이트 전극(12)은 제2 실시예에서 주지한 바와 같이, 게이트 트랜치(2)에 매립되지 않게 형성됨을 인지해야 한다.

[실시예 4]

제8도 및 제9a도 내지 제9c도는 본 발명의 제4 실시예에 따른 DRAM의 메모리 셀 구조를 도시한다. 제8도는 DRAM의 평면도이고, 제9a도는 제8도의 라인 IXA-IXA을 따라 절취한 단면도이며, 제9b도는 제8도의 라인 IXB-IXB를 따라 절취한 단면도이고, 제9c도는 제8도의 라인 IXC-IXC을 따라 절취한 단면도이다.

본 발명은 제6a도 및 제6b도의 제2 실시예나 제7a도 및 제7b도의 제3 실시예에서와 같이 캐패시터가 매립된 게이트 전극 위에 형성되는 구성으로 제한되지 않는다. 제8도 및 제9a, 9b도의 제4 실시예는 캐패시터가 매립된 게이트 전극 아래에 형성된 예를 도시한다. 이 실시예에서, 소위 교차점형(cross point type) 셀 구조가 사용되는데, 여기서 워드 라인과 비트 라인이 교차되는 각 영역에 1 비트 메모리 셀이 형성된다.

이 실시예에서, 1개의 캐패시터 및 한쌍의 MOS 트랜지스터를 포함하는 1비트 메모리 셀이 각 게이트 전극(7)에 대해 병렬 구조로 형성된다. 즉, 게이트 전극(7)을 공통으로 사용하는 쌍을 이루는 MOS 트랜지스터는 게이트 전극(7)이 매립되는 트랜치(5)의 2개의 마주보는 수직 측벽을 따라 형성된다. MOS 트랜지스터의 드레인 영역(4)은 함께 접속되어 캐패시터의 기억 전극으로서 사용된다. 그러므로, 쌍을 이루는 MOS 트랜지스터는 단일 트랜지스터로서 기능한다. 또한, 폴리실리콘으로 형성된 플레이트 전극(12)은 게이트 전극(7) 아래에 매립되고, 워드 라인 아래의 하부 레벨 배선으로서 트랜치(5) 내에 워드 라인을 따라 연장된다. 결과적으로, 1비트 메모리 셀이 1개의 게이트 트랜치(5)의 벽을 따라 형성된다.

플레이트 전극(12)이 게이트 트랜치(5) 내의 게이트 전극 상에 형성되는 역구조를 사용하는 것도 가능함에 유의해야 한다.

제4 실시예의 DRAM은 다음과 같이 형성될 수 있다. 먼저, 워드 라인(7)의 방향으로 소자 분리를 얻기 위해, 선형 패턴 소자 분리 트랜치(3)가 형성된다. 그 다음, 게이트 트랜치(5)가 형성된 후, 기억 전극 및 드레인 영역으로 사용되는 확산층(4)이 형성된다. 경사진 이온 주입이 확산층(4)의 형성에 사용된다면, n형 불순물이 트랜치의 측벽 전체 부분(채널 부분을 포함하여)에 이온 주입된다. 그러나, 이 경우에 MOS 트랜지스터의 임계값을 제어하기 위해 플레이트 전극(12)의 형성 후에 부수적인 채널 이온 주입이 수행된다면, 동작 가능한 MOS 트랜지스터가 형성된다. 선택적으로, 확산층(4)은 적당한 방법을 사용함으로써 기억 전극 부분에 선택적으로 형성된다.

플레이트 전극(12)이 게이트 트랜치와의 사이에 캐패시터 절연막(11)이 배치되도록 게이트 트랜치(5) 내에 매립된 다음 플레이트 전극(12)와의 사이에 게이트 절연막(6)이 배치되도록 게이트 전극(워드 라인; 7)이 매립된다. 이 후에, 스토퍼막(15)이 워드 라인(7) 상에 형성된다. 이 단계에서, 소스 영역(4')이 형성된다. 그 다음, 내부 레벨 절연막(8)이 형성되고 비트 라인 접촉부(13) 및 비트 라인(14)이 형성된다.

비트 라인 접촉부(13)의 형성은 종래 기술과 다른 특징을 갖는다. 즉, 비트 라인 접촉부(13)의 패턴은 워드 라인에 중첩되도록 형성된다. 또한, 비트 라인 접촉부(13)가 트랜치(5)의 측벽 상에 형성되기 때문에, 접촉 영역이 커지고 접촉 저항이 감소될 수 있다.

부수적으로, 워드 라인(7)과 비트 라인(14) 사이에서의 단락의 발생은 스토퍼막(15)의 존재에 의해 방지될 수 있다. 소스 영역(4')은 비트 라인 접촉부(13)의 형성을 위한 접촉 홀을 형성한 후에 이온 주입과 같은 적당한 방법을 사용하여 형성된다.

스토퍼막(15)은 절연막이나 도전막으로 형성된다. 그러나, 도전막이 사용되면, 워드 라인 방향으로 소자 분리를 달성하기 위해 트랜치 분리 절연막(3)와 같은 절연 패턴을 도전막 사이에 끼워놓음으로써 도전막의 연속성을 차단시키는 것이 필요하다.

스토퍼막(15)에 사용되는 절연막으로서, 예를 들어, 실리콘 질화막을 사용하는 것이 바람직하다. 이 경우에, 내부 레벨 절연막(8)으로서 실리콘 산화물 막을 사용하는 것이 양호하다. 상기 조합이 사용될 때에는 다음의 잇점을 얻을 수 있다. 즉, 실리콘 산화막(8)이 RIE에 의해 에칭될 경우, 실리콘 기판이 노출되어 RIE 프로세스를 받을 때, 폴리머가 실리콘 기판의 표면 상에 형성되고 피착된다. 폴리머가 RIE에 대해 내성이 있으므로, 에칭이 정지된다. 또한 폴리머가 실리콘 질화막 상에 형성됨으로써, 질화막의 정지 능력이 향상되고 에칭이 실리콘 질화막에 의해 신뢰성 있게 정지 될 수 있다.

스토퍼로서 사용되는 실리콘 질화막(15)이 실리콘 산화막(8)보다 낮은 위치에 형성되고, 결과적으로 에칭이 실리콘 질화막(15)에 도달될 때 실리콘 산화막(8)이 더 이상 에칭 프로세스를 받지 않는다는 사실에 주목해야 한다. 이는 다음의 이유 때문이다. 즉, 실리콘 산화물의 RIE 프로세스에 의해 반응 생성물로서 산소가 발생된다. 그러므로, 에칭이 실리콘 질화막(15)에 도달되었을 대에 실리콘 산화막(8)이 여전히 에칭되고 있다면, 산소가 발생되고 질화막(15) 상에 피착된 포릴머와 반응한다. 그 결과로서, 폴리머가 제거되고 질화막(15)의 정지 능력이 저하된다.

그러므로, 게이트 전극이 종래의 경우에서와 같이 실리콘 기판 표면(접촉 형성 표면)으로부터 상향으로 돌출하도록 형성될 경우에는, 에칭에 대해 게이트 전극을 보호하기 위해 실리콘 질화막이 사용될 때 조차도 충분한 에칭 정지 효과를 얻을 수 없다. 이는 실리콘 질화막 및 게이트 전극의 전체 막 두께와 일치하는 초기 두께를 갖는 내부 레벨 절연막(실리콘 산화막)이 에칭 경계가 게이트 전극 상의 실리콘 질화막에 도달하여 실리콘 질화막의 표면이 노출될 때에도 여전히 남아 있기 때문이다. 결과적으로, 종래의 경우 나머지 실리콘 산화막이 여전히 에칭되고 있을 때 실리콘 질화막이 에칭 스토퍼로서 기능할 것이 요구된다. 그러나, 실리콘 산화막이 RIE에 의해 에칭된다면, 산소가 발생되어 에칭 스토퍼로서의 실리콘 질화막의 기능을 상당히 저하시킨다.

상술한 내용으로부터 충분히 알 수 있는 바와 같이, 게이트 전극(7)이 게이트 트랜치(5) 내에 매립되는 구조는 자기 정합 접촉부를 형성할 때 극히 바람직하다. 이러한 잇점과 관련된 구조적인 요소는 내무 레벨 절연막(8), 스토퍼막(13) 및 접촉 형성 영역(13) 사이의 수직 방향으로의 위치 관계뿐이다. 그러므로,

이러한 요소가 유지되는 한, 다른 구조적인 요소들이 다양하게 변형되는 경우에도 상기 이점을 얻을 수 있다.

[실시예 5]

제10도 및 제11a도 내지 제11c도는 본 발명의 제5 실시예에 따른 DRAM 의 메모리 셀 구조를 총체적으로 도시한다. 제10도는 DRAM의 평면도이고, 제11a도는 제10도의 라인 XIA-XIA를 따라 절취한 단면도이며, 제11b도는 제10도의 라인 XIB-XIB를 따라 절취한 단면도이며, 제11c도는 제10도의 라인 XIC-XIC를 따라 절취한 단면도이다.

이 실시예에서, 한쌍의 캐패시터 및 한쌍의 MOS 트랜지스터가 인접하는 게이트 트랜치(5)로서 형성된 실리콘 열의 2개의 마주보는 수직 벽면을 사용하여 형성된다.

제8도 및 제9a도 내지 제9c도에서, 셀의 기억 전극이 서로 가까이 설정될 때 인접 메모리 셀의 데이터 항목들이 서로 간섭하기 때문에, 인접하는 게이트 트랜치(5) 사이의 거리를 좁히는 것에 의한 소형화는 한계가 있다. 그러므로, 본 실시예에서 제11a도에 잘 도시된 바와 같이, 다음의 2가지 구조가 인접하는 메모리 셀을 분리시키는데 사용된다.

첫 번째 구조는 실리콘 열의 2개의 마주보는 수직 벽면 상에 형성된 2개의 MOS 트랜지스터가 쌍을 이루게 하기 위해 2개의 게이트 전극(워드 라인; 7)이 게이트 트랜치(5) 내에 매립되어 있는 것이다. 쌍을 이루는 MOS 트랜지스터는 공통 소스 영역(4)을 갖는다. 두 번째 구조는 1개의 게이트 트랜치(5) 내에 서로 전기적으로 분리된 2개의 기억 전극(4')을 형성하기 위해 절연막(16)이 게이트 트랜치(5)의 저부내에 매립되어 있는 것이다. 절연막(16)에 의한 이 저부 분리는 실리콘 열의 2개의 마주보는 벽면 상에 형성된 2개의 캐패시터가 쌍을 이룰 수 있도록 한다. 분리 능력을 향상시키기 위해 도면에 점선으로 도시된 바와 같이 절연막(16) 아래에 p형 확산층(16')을 형성하는 것이 가능하다.

이 실시예에 따르면, 쌍을 이루는 MOS 트랜지스터와 쌍을 이루는 캐패시터의 거리는 아무런 문제없이 더 가까워질 수 있다. 그러므로, 이 실시예의 DRAM은 인접하는 게이트 트랜치(5) 사이의 거리를 좁힘으로써 더 소형화될 수 있다.

완전히 다른 방법으로서, 트랜지스터 분리가 사용될 수 있는데, 여기서 분리는 얇은 절연막을 경우하여 도전막을 매립하고, 고정된 전위 레벨로 도전막의 전위를 설정함으로써 달성될 수 있다.

이에 부가하여, 제5 실시예에서 플레이트 전극(12)이 게이트 트랜치(5) 내의 게이트 전극(7) 상에 형성되는 다른 구조물 사용하는 것이 가능하다. 더욱이, 1개의 열에 대해 2비트 메모리 셀을 구성하는 것이 가능하다.

[실시예 6]

제12도 및 제13a도 내지 제13d도는 본 발명의 제6 실시예에 따른 NAND 형 DRAM의 메모리 셀 구조를 총체적으로 도시한다. 제12도는 DRAM의 평면도이고, 제13a도는 제12도의 라인 XIIIA-XIIIA를 따라 절취한 단면도이며, 제13b도는 제12도의 라인 XIIIB-XIIIB를 따라 절취한 단면도이고, 제13c도는 제12도의 라인 XIIIC-XIIIC를 따라 절취한 단면도이며, 제13d도는 제12도의 라인 XIIID-XIIID를 따라 절취한 단면도이다.

이 실시예에서, 소자 분리 영역(103)은 p형 실리콘 기판(101) 상의 워드 라인에 대해 수직인 방향으로 선형으로 형성된다. 또한, 선형 게이트 트랜치(104)는 p형 실리콘 기판(101) 및 소자 분리 영역(103)을 동시에 에칭함으로써 형성된다. 게이트 트랜치(104)의 저부 상에, 게이트 절연막(105)이 사이에 배치되도록 워드 라인(게이트 전극; 106)이 형성되고, 워드 라인(106)이 게이트 트랜치(104) 내에 완전히 매립된다. 또한, 캐패시터 절연막(108) 및 플레이트 전극(109)이 워드 라인(106)과의 사이에 분리를 위한 절연막(107)이 배치되도록 워드 라인(106) 상에 형성된다. 즉, 메모리 셀에서, 캐패시터가 트랜치(104) 내의 게이트 전극(106)보다 높은 위치에 형성된다. 이 경우에, 기억 전극은 p형 실리콘 기판(101) 상의 n형 확산층(102)이고, n형 확산층(102)은 MOS 트랜지스터의 소스/드레인 영역으로도 사용된다.

도면에 도시된 바와 같이, 본 실시예에서, 플레이트 전극(109)이 형성되면, 표면 구성은 편평해져 단차가 없는 구성을 제공한다. 그러므로, 비트 라인이 단차가 없는 편평한 표면 상에 형성될 수 있다. 또한, 기억 전극 접촉부가 필요하지 않다는 것도 중요한 특징이다.

제14a도 내지 18d도는 제6 실시예에 따른 DRAM의 제조공정을 도시한다. 제14a도 내지 제14d도는 제12도에 대응하는 평면도이고, 제15a도 내지 제15d도는 제13a도에 대응하는 단면도이며, 제16a도 내지 제16d도는 제13b도에 대응하는 단면도이고, 제17a도 내지 제17d도는 제13c도에 대응하는 단면도이며, 제18a도 내지 제18d도는 제13d도에 대응하는 단면도이다. 제15a, 16a, 17a 및 18a도는 동일한 단계를 도시한다. 제15b, 16b, 17b 및 18b도는 동일한 단계를 도시한다 제15c, 16c, 17c 및 18c도는 동일한 단계를 도시한다. 제15d, 16d, 17d 및 18d도는 동일한 단계를 도시한다.

제15a, 16a, 17a 및 18a도에 도시된 바와 같이, n형 확산층(102)이 p형 실리콘 기판(101)상에 형성된 후 트랜치 분리 영역(103)이 워드 라인 방향에 수직인 방향으로 형성된다. p형 확산층(102)은 이온 주입 및 연속적인 어닐링 프로세스에 의해 형성될 수 있다. 선택적으로, p형 실리콘 기판(101) 상에 n형 에피텍셜층으로서 또는 다른 방법을 사용함으로써 형성된다. 또한, 주변 회로용의 n웰을 형성할 때 함께 형성된다.

다음으로, 제15b, 16b, 17b 및 18b도에 도시된 바와 같이 워드 라인을 매립하기 위한 게이트 형성 트랜치(104)가 형성된다. 게이트 트랜치(104)의 깊이는 n형 확산층(102)의 깊이보다 크고 소자 분리 트랜치(103) 내의 실리콘 기판(101) 뿐만 아니라 절연막도 동시에 에칭됨을 주목해야 한다. 이 실시예에서, 기판(101) 및 소자 분리 절연막(103)의 에칭률은 동일한 값으로 설정되지만, 반드시 동일한 값으로 설정될 필요는 없다. 그러나, 둘 중 한 경우에, 게이트 트랜치(104)의 깊이를 트랜치 분리 영역(103)의 깊이보다 작게 설정하는 것이 양호하다 그렇지 않다면, 워드 라인 방향으로 만족스러운 소자 분리를 얻을 수 없다.

다음으로, 제15c, 16c, 17c 및 18c도에 도시된 바와 같이, 게이트 절연막(105)이 형성된 후에 인이 도프된 폴리실리콘이 피착된 다음, 게이트 트랜치(104)의 저부 상에 게이트 전극(워드 라인; 106)을 형성하기 위해 에칭된다. 이 후에, 실리콘 산화막과 같은 절연막이 CVD 방법에 의해 형성된 다음, 각각의 게이트 전극(106)과 후에 형성될 플레이트 전극 사이의 캐패시턴스가 감소된다. 부수적으로, 플레이트 전극과 게이트 전극(107) 사이의 단락은 절연막(107)에 의해 방지된다.

다음으로, 제15d, 16d, 17d 및 18d도에 도시된 바와 같이, NO(질화물-산화물)막과 같은 캐패시터 절연막(108)이 형성된 다음, 예를 들어 인이 도프된 폴리실리콘의 플레이트 전극(109)이 형성된다. 이 후에, 내부 레벨 절연막(110)이 형성되고, 비트 라인 접촉부용의 접촉 홀등이 형성되며, 비트 라인(112)가 형성되어 제12도 및 제13a도 내지 제13d도에 도시된 DRAM메모리 셀 구조를 완성한다.

PZT의 강유전성 막, 스트론튬 디타네이트, 바륨 티타네이트 등이 게이트 전극(106)의 형성 후 캐패시터 절연막으로서 형성된다. 이 경우에, 기판에 대한 강유전성 막 및 금속 기억 전극 또는 금속 플레이트 전극의 스트레스를 약화시키기 위해, 기억 전극 또는 기억 전극의 버퍼층으로서 실리콘 기판 상에 피착된 a-Si를 사용하는 것이 양호하다. 워드 라인 더 낮은 위치에 매립되어 있고, 캐패시터가 그 위에 형성되어 있는 본 실시예에서는, 그와 반대되는 구조를 갖는 형태에서와는 달리, 열 처리를 요구하는 트랜지스터의 형성이 초기 단계에 수행되어 가열에 대해 불량한 저항을 갖는 강유전성 막이 용이하게 사용될 수 있다.

[실시예 7]

상술한 제6 실시예에서는, 예를 들어, 2개의 게이트 트랜치(103, 10)에 의해 둘러싸인 실리콘 열의 4개의 측면 중 단지 2개만이 캐패시터를 형성하는데 사용된다. 대조적으로, 이 실시예에서는, 실리콘 열의 4개의 측면 모두가 캐패시터 형성에 사용된다.

이 실시예의 기본 구조는 제12도 및 제13a도 내지 제13d도에 도시된 구조와 동일하지만, 제12도의 라인 XIIIC-XIIIC 및 XIIID-XIIID를 따라 절취된 단면은 다르다. 즉, 제12도의 라인 XIIIC-XIIIC를 따라 절취된 단면은 제13c도와는 일치하지 않지만 제19a도와 일치한다. 또한, 제12도의 라인 XIIID-XIIID 를 따라 절취한 단면은 제13d도와는 일치하지 않지만 제19b도와 일치한다.

상기 구조는 제14a도 내지 제18d도에 도시된 제6 실시예의 제조 공정을 조금 변형함으로써 용이하게 얻을 수 있다. 즉, 제15a, 16a, 17a 및 18a도에 도시된 구조가 형성되면, 프로세스는 제17a도 및 제18a도의 단면 대신 제20도에 도시된 단면을 얻도록 변형된다. 예를 들어, 제20도의 구조는 절연막의 일부를 에칭해 내기 위해 트랜치 분리 영력(103)의 매립된 절연막을 과도 에칭(overetching) 함으로써 용이하게 얻을 수 있다. 선택적으로, 절연막(103)을 에칭해 내는 것은 폴리실리콘 게이트 전극의 형성시에 수행되는 과도 에칭 또는 게이트 전극 상에 절연막(107)의 매립 시에 수행되는 과도 에칭에 의해 얻을 수 있다.

[실시예 8]

제 21도 및 제22a도 내지 제22d도는 본 발명의 제8 실시예에 따른 DRAM 의 메모리 셀 구조를 도시한다. 제21 도는 DRAM의 평면도이고, 제22a도는 제21도의 라인 XXIIA-XXIIA를 따라 절취한 단면도이며, 제22b도는 제21도의 라인 XXIIB-XXIIB를 따라 절취한 단면도이고, 제22c도는 제21도의 라인 XXIIC-XXIIC를 따라 절취한 단면도이며, 제22d도는 제21도의 라인 XXIID-XXIID를 따라 절취한 단면도이다.

또한, 본 실시예에서는, 제6 실시예의 구조와 기본적으로 동일한 구조가 사용되고, 캐패시터의 Cs를 증가시키기 위해 새로운 구조가 사용된다. 본 실시예에서는, 게이트 전극(워드 라인; 106)이 형성된 후에 제2 트랜치(113)가 기억전극으로서 사용되는 n형 확산층(102)을 선택적으로 에칭함으로써 형성된다. 그 다음, Cs가 제2 트랜치(113) 뿐만 아니라 게이트 트랜치의 표면을 따라 캐패시터를 형성함으로써 증가된다.

본 실시예에서, 제2 트랜치(113)는 선형 패턴으로 형성되지만, 제2 트랜치(113)의 패턴 형성은 특정 형태로 제한되지 않는다. 그러므로, 원형 패턴과 같은 다양한 패턴 형태를 갖는 제2 트랜치(113)가 형성될 수 있다.

[실시예 9]

제23도 및 제24a도 내지 제24d도는 본 발명의 제9 실시예에 따른 DRAM의 메모리 셀 구조를 도시한다. 제23도는 DRAM의 평면도이고, 제24a도는 제23도의 라인 XXIVA-XXIVA를 따라 절취한 단면도이며, 제24b도는 제23도의 라인 XXIVB-XXIVB를 따라 절취한 단면도이고, 제24c도는 제23도의 라인 XXIVC-XXIVC를 따라 절취한 단면도이며, 제24d도는 제23도의 라인 XXIVD-XXIVD를 따라 절취한 단면도이다.

제23도에 명확하게 도시된 바와 같이, 본 실시예는 비트 라인 접촉부(111)의 패턴이 선형으로 형성된다는 특징을 갖는다. 이러한 특징 때문에, 메모리 셀 구조는 선형 패턴으로만 구성되고, 이는 소형화에 매우 중요하다. 그 이유는 정상 리소그래피 기술이 사용될 때 종래의 접촉 홀 패턴의 소형화가 선형 패턴의 소형화보다 어렵기 때문이다. 특히, 선형 패턴의 경우에, 포토스토퍼 상에서 위상 전이 기술을 사용하여 광의 파장에 의해 결정되는 것보다 더 높은 분해능(resolution)을 갖는 정밀 패턴을 용이하게 형성하는 것이 가능하다. 이와 대조적으로, 접촉 패턴의 경우에, 위상 전이 기술의 효과는 그의 저하된 분해능 때문에 작다. 그러므로, 본 실시예에서와 선형 패턴만이 사용에 의해 구성된 DRAM에서는, 접촉 패턴의 소형화가 리소그래피에 사용된 광 파장에 의해 제한되지 않기 때문에 더 소형화된 DRAM이 제조될 수 있다.

본 실시예의 경우, 선형 패턴의 접촉 홀(111)이 형성될 때, 제24c도에 화살표로 표시된 n형 확산층(102)의 일부가 과도 에칭된다. 그러나, 본 실시예의 구조에서는, n형 확산층(102)과 p형 기판(101) 사이의 접합이 깊은 위치에 형성되므로, 접합누출의 증가와 같은 특성에 있어서의 저하가 과도 에칭에 의해 발생될 가능성이 없다.

[실시예 10]

제25도 및 제26a도 내지 제26d도는 본 발명의 제10 실시예에 따른 DRAM의 메모리 셀 구조를 도시한다. 제25도는 DRAM의 평면도이고, 제26a도는 제25도의 라인 XXVIA-XXVIA를 따라 절취한 단면도이며, 제26b도는 제25도의 라인 XXVIB-XXVIB를 따라 절취한 단면도이고, 제26c도는 제25도의 라인 XXVIC-XXVIC를 따라 절

취한 단면도이며, 제26d도는 제25도의 라인 XXVID-XXVID를 따라 절취한 단면도이다.

또한, 본 실시예에서, 캐패시터의 Cs를 증가시키기 위해 새로운 구조가 사용된다. 즉, 새로운 적층형 기억 전극(115)이 기억 전극으로서 사용되는 n형 확산층(102)의 편평한 표면 상에 형성된다. 기억 전극(115)은 접촉부(114)를 경유하여 n형 확산층(102)과 접촉되게 형성된다.

[실시예 11]

제29도 및 제30a도 내지 제30d도와 함께 제27도 및 제28a도 내지 제28d도는 제25도 및 제26도에 도시된 제10 실시예에 따른 DRAM 메모리 셀 구조를 제조하기 위한 프로세스에 있어서의 주요 단계를 예시하기 위한 도면이다. 제27도 및 제28a도 내지 제28d도는 플레이트 전극(109)이 형성되기 직전에 얻어진 구조를 총체적으로 도시하고, 제29도 및 제30a도 내지 제30d도는 플레이트 전극(109)이 형성된 직후에 얻어진 구조를 총체적으로 도시한다. 제27도는 DRAM의 평면도이고, 제28a도는 제27도의 라인 XXVIIIA-XXVIIIA를 따라 절취한 단면도이며, 제28b도는 제27도의 라인 XXVIIIB-XXVIIIB를 따라 절취한 단면도이고, 제28c도는 제27도의 라인 XXVIIIC-XXVIIIC를 따라 절취한 단면도이며, 제28d도는 제27도의 라인 XXVIIID-XXVIIID를 따라 절취한 단면도이다. 마찬가지로, 제29도는 DRAM의 평면도이고, 제30a도는 제29도의 라인 XXXA-XXXA를 따라 절취한 단면도이며, 제30b도는 제29도의 라인 XXXB-XXXB를 따라 절취한 단면도이고, 제30c도는 제29도의 라인 XXXC-XXXC를 따라 절취한 단면도이며, 제30d도는 제29도의 라인 XXXD-XXXD를 따라 절취한 단면도이다.

먼저, 게이트 전극(106)을 형성하는 단계가 제14a도 내지 18d도를 참조하여 이미 설명한 바와 같이 제6 실시예의 제조 공정에서와 동일한 방법으로 수행된 다음, 절연막(107)이 매립된다. 이 때, 절연막(107)의 표면 부분이 실리콘 질화막으로 형성되면, 실리콘 질화막은 후의 에칭 프로세스에서 에칭 스토퍼로서 사용될 수 있다. 이 후에, 실리콘 산화막으로 형성된 내부 레벨 절연막(116)이 CVD 법에 의해 형성된 다음, 적층형 기억 전극(115) 및 패드층(115')이 형성된다.

물론, 정상 적측형 캐패시터를 형성하기 위해 상술한 단계 직후에 캐패시터를 형성하는 것이 가능하다. 그러나, 본 실시예에서, 내부 레벨 절연막(실리콘 산화막; 116)은 게이트 트랜치(104) 내에 캐패시터를 또한 형성하기 위해 NH_4F 용액을 사용하여 제거된다. 이 에칭 단계에서, 절연막(103, 107)이 실리콘 질화물로 형성되면, 내부 레벨 절연막(116)만을 선택적으로 제거하는 것이 가능하다. 그렇지 않은 경우에, 어떠한 스토퍼막도 형성될 수 있다. 그 후에, 캐패시터 절연막(108) 및 플레이트 전극(109)이 제29도 및 제30a도 내지 제30d도에 도시된 구조를 구성하기 위해 형성된다.

본 실시예에서, 기억 전극(115)이 패턴화될 때, 동일한 폴리실리콘층으로 만들어진 패드층(115')이 비트 라인 접촉 영역 내에 동시에 형성된다. 그러나, 패드층(115')이 반드시 형성되어야 하는 것은 아니다. 최종적으로, 내부 레벨 층(110), 비트 라인 접촉부(111) 및 비트 라인(112)이 제25도 및 제26a도 내지 제26d도에 도시된 제10 실시예의 DRAM 메모리 구조를 구성하기 위해 형성된다.

본 실시예에서, 비트 라인(112)은 캐패시터가 형성된 후에 형성된다. 그러나, 비트 라인(112)을 먼저 형성한 다음 캐패시터를 형성하는 것도 가능하다. 이 경우에, 캐패시터를 형성하기 위해 워드 라인(106)이 매립되어 있는 게이트 트랜치(104)의 내부를 사용하는 것이 어려워진다.

상술한 바와 같이, 제6 실시예 및 제11 실시예에 따르면, 캐패시터의 기억 캐패시턴스는 비트 라인과 같은 상부 레벨 배선이 형성되는 구조의 단차를 증가시키지 않고 충분히 크게 될 수 있다. 동시에, 집적 밀도는 트랜스퍼 게이트의 실질적인 게이트 길이를 감소시키지 않고 향상시킬 수 있다. 그러므로, 컷 오프 특성의 개선, 향상된 신뢰도 및 고집적 밀도를 얻을 수 있는 능력을 갖는 반도체 메모리 장치를 얻을 수 있다. 더욱이, 실시예들은 NAND형 DRAM에 제한되지 않고, NOR형 DRAM에 응용될 수 있다.

[실시예 12]

제31a도는 본 발명의 제12 실시예에 따라 트랜지스터의 소자 구조를 도시하는 평면도이다. 제31b도 및 제31c도는 제31a도의 라인 XXXIB-XXXIB 및 라인 XXXIC-XXXIC를 따라 절취한 단면도이다. 도면에서, 201은 p형 실리콘 기판을 나타내고, 203은 소자 분리 절연막, 205는 게이트 절연막, 206은 게이트 전극 및 207은 n형 소스/드레인 영역을 나타낸다.

본 실시예에서, 완전히 매립된 게이트 전극(206)을 갖는 오목형 MOS 트랜지스터의 구동 능력을 향상시키기 위해, 증가된 유효 채널 폭을 갖는 구조가 사용된다. 즉, 본 실시예에서, 소자 분리 절연막(203)이 매립되는 분리 트랜치의 측벽, 및 게이트 전극(206)이 매립되는 게이트 트랜치의 측벽이 전방으로 테이퍼된다. 이러한 구조에서, 분리 트랜치(203)의 측벽과 게이트 트랜치(206)의 측벽 사이의 실리콘기판 영역이 제31c도에 도시된 바와 같은 채널의 일부(이하, 측벽 채널 영역이라함)로서 사용될 수 있다. 그러므로, MOS 트랜지스터의 유효 채널 폭 △W는 제31c도에 도시된 바와 같은 측벽 채널 영역의 폭 W만큼 증가되고 MOS 트랜지스터의 구동 능력은 대응하는 양만큼 향상될 수 있다. 동일한 효과가 제1 내지 제11 실시예의 장치 각각의 장치로부터 얻어질 수 있다. 더욱이, 동일 효과가 또한 게이트 전극을 완전히 매립시키지 못하는 일반적인 오목형 MOS 트랜지스터로부터도 얻을 수 있다.

[실시예 13]

제32a도 내지 제32c도는 본 발명의 제13 실시예에 따른 트랜지스터의 소자구조를 도시하는 도면이다. 제32a도는 평면도이고, 제32b도 및 제32c도는 제32a도의 라인 XXXIIB-XXXIIB 및 XXXIIC-XXXIIC를 따라 절취한 단면도이다.

제31a도 내지 제31c도의 실시예에서와 같이, 이 실시예에서, 유효 채널 폭 W가 증가되는 구조가 사용된다. 특히, 제32c도에 도시된 바와 같이, 유효 채널 폭 W는 양 측면 상의 측벽 채널 영역으로 폭 2△W만큼 증가된다. 그러나, 측벽 채널 영역의 깊이 D_2가 정상 채널 영역의 깊이 D_3보다 작기 때문에, 채널 깊이와 소스/드레인 영역의 채널 깊이 D_1 사이의 차는 도면에 도시된 측벽 채널 영역 내에서 감소된다. 결과적으로, 유효 채널 깊이의 측벽 채널 영역 내에서 감소되어, 구조가 짧은 채널 효과에 의해 쉽게 영향

받게 된다. 그러나, 이러한 문제들은 게이트 트랜치의 깊이를 조정함으로써 해결될 수 있다.

제33a도 내지 제35c도는 제13 실시예의 트랜지스터용 제조 공정을 도시한다. 제33a, 34a, 35a도는 각 단계를 도시하는 평면도이다. 제33b, 34b, 35b도는 제33a, 34a, 35a도 각각의 라인 A-A'를 따라 절취한 단면도이고, 제33c, 34c, 35c도는 제33a, 34a, 35a도 각각의 라인 B-B'를 따라 절취한 단면도이다.

먼저, 제33a도 내지 제33c도에 도시된 바와 같이, 트랜치 분리 영역(203)이 p형 실리콘 기판(201) 상에 형성된다. 이 경우에, 전방으로 테이퍼된 트랜치가 형성된 후에, 절연막 등이 채워진다. 전방으로 테이퍼된 형태는 측벽 채널의 형성에 기여한다. n^+형 소스/드레인 확산층(207)이 트랜치 분리가 이루어지기 전후에 형성된다.

다음으로, 제34a도 내지 제34c도에 도시된 바와 같이, 게이트 트랜치(204)가 형성된다. 트랜치(204)는 또한 전방으로 테이퍼된 형태로 형성된다. 실제로, 트랜치(204)는 RIE에 의해 형성된다. 이 때에, 분리 절연막(203)에 대해 선택적인 에칭률이 중요하다면, 제34c도에 점선으로 도시된 바와 같은 트랜치가 형성된다. 이 단계에서, 측벽 채널 영역은 소/드레인 영역(207)보다 얕다. 그러나, 트랜치(204)는 손상 제거를 위한 프로세스를 행함으로써, 실선으로 도시된 바와 같이 더 깊고 더 넓게 만들어 진 다음, 필요하다면 부수적인 프로세스를 수행한다. 결과적으로, 소스/드레인 영역(207)보다 더 깊은 측벽 채널 영역이 형성된다.

측벽 채널 영역은 게이트 트랜치(204)의 형성시 실리콘 기판(201)의 에칭률이 분리 절연막(203)의 에칭률보다 높게 설정되는 한, 전방으로 테이퍼된 형태로 게이트 트랜치(204)를 형성함으로써 얻어질 수 있다. 이 때, 측벽 채널 영역의 형태는 분리 트랜치(203) 및 게이트 트랜치(204)의 테이퍼된 정도에 따라 변한다. 두 트랜치 모두 테이퍼된 형태를 갖지 않는다면, 측벽 채널 영역이 형성되지 않는다. 부수적으로, 트랜치들 중 최소한 1개의 트랜치(특히, 분리 트랜치)가 크게 반전된 테이퍼된 형태로 형성된다면, 측벽 채널 영역이 형성되지 않는다.

그 다음, 제35a도 내지 35c도에 도시된 바와 같이, 게이트 절연막(205) 및 게이트 전극(206)이 형성된다. 또한, 본 실시예에서, n^-형 소스/드레인 확산층(207')이 게이트 전극(206)을 마스크로 사용하여 불순물을 도핑함으로써 형성된다. 결과적으로, LDD 구조가 n^+형 및 n^- 형 확산층(207,207')에 의해 얻어질 수 있다.

그 후에, 접촉부(209)를 형성하기 위한 내부 레벨 절연막(208), 접촉 홀 및 배선(210)이 제32a도 내지 제32c도에 도시된 바와 같이 측벽 채널을 갖고 있는 오목형 MOS 트랜지스터를 완성하기 위해 형성된다.

그래서, 본 실시예에 따라, 측벽 채널의 존재에 의해 구동 능력이 향상될 수 있다.

특히 상술한 바와 같이, 본 발명에 따르면, 게이트 전극이 소자 영역 및 소자 분리 영역 위로 연장하는 패턴으로 형성된 게이트 트랜치 내에 완전하게 매립된다. 이러한 구조에 의해, 소형화된 MOS 트랜지스터에서 조차도 충분히 긴 게이트 트랜치가 얻어질 수 있고, 소스/드레인용 접촉부가 게이트 전극 및 소자 분리 영역과 자기 정합으로 형성될 수 있다. 부수적으로, 게이트 전극에 의해 단차가 발생되지 않는 MOS 트랜지스터 및 MOS 트랜지스터를 사용하는 반도체 메모리 장치가 실현될 수 있다.

부수적인 이점 및 변형은 본 분야의 숙련된 기술자들에 의해 용이하게 실현될 수 있다. 그러므로, 더 넓은 측면에 있어서 본 발명은 본 명세서에 도시되고 기술된 특정한 상세 사항 및 대표적인 장치에 제한되지 않는다. 따라서, 다양한 변형이 첨부된 청구범위에 의해 한정된 원리 및 범주를 벗어나지 않고 이루어질 수 있다.

(57) 청구의 범위

청구항 1

제1도전형 반도체 기판, 상기 반도체 기판 표면으로부터 선정된 깊이로 형성된 트랜치형 소자 분리 영역, 상기 소자 분리 영역에 의해 둘러싸인 제1 도전형 소자 영역, 상기 반도체 기판 내에 상기 소자 분리 영역보다 작은 깊이로 형성되어지고, 상기 소자 영역 및 상기 소자 분리 영역을 통과해 연장하는 게이트 전극을 형성하기 위한 게이트 트랜치, 게이트 절연막을 거쳐 상기 게이트 트랜치의 저부에 매립된 게이트 전극, 및 상기 소자 영역에 형성되고, 상기 게이트 트랜치에 의해 서로 분리되는 제2도전형 소스 및 드레인 영역을 포함하고, 상기 게이트 전극의 상부면이 소스 및 드레인 영역의 저부 레벨과 반도체층의 표면 사이에 놓여 있는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 게이트 트랜치 내에 매립되고, 캐패시터 절연막을 거쳐 상기 게이트 전극 상에 형성되는 플레이트 전극을 더 포함하고, 적어도 1개 이상의 소스 및 드레인 영역이 캐패시터의 기억 노드로서 사용되는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 반도체 기판의 표면상 및 상기 게이트 전극 위에 배치되는 플레이트 전극을 더 포함하고, 상기 플레이트 전극은 캐패시터 절연막을 거쳐 캐패시터의 저장 노드로서 사용되는 적어도 1개 이상의 소스 및 드레인 영역에 대향되는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 캐패시터 전극쌍 중 하나의 캐패시터 전극을 한정하도록 상기 반도체 기판의 표면과 트랜치의 측벽 상에 연속적으로 배치되는 플레이트 전극을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 게이트 트랜치 내에 매립되고, 저장 노드로서 사용되는 상기 소스 및 드레인 영역 중 하나에 대향되는 플레이트 전극을 더 포함하는 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 소스 및 드레인 영역에 대한 접촉 홀이 에칭에 의해 형성될 때 스토퍼 절연막이 에칭 스토퍼로서 작용하는 상기 게이트 전극 상에 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 소자 분리 영역용 트랜치 및 상기 게이트 트랜치가 전방으로 테이퍼된 상기 측벽을 갖도록 형성되어 유효 채널 폭을 증가시키는 것을 특징으로 하는 반도체 장치.

청구항 8

제1 도전형 반도체 기판, 상기 반도체 기판 표면으로부터 선정된 깊이로 형성된 트랜치형 소자 분리 영역, 상기 소자 분리 영역에 의해 둘러싸인 상기 제1 도전형 소자 영역, 상기 반도체 기판 내에 상기 소자 분리 영역보다 작은 깊이로 형성되어 상기 소자 영역 및 상기 소자 분리 영역을 통과해 연장하는 게이트 전극을 형성하기 위한 게이트 트랜치, 상기 소자 영역에 형성되고, 트랜치를 형성하는 상기 게이트 전극의 측벽을 따라 서로 분리되는 제2 도전형 소스 및 드레인 영역, 및 게이트 절연막을 거쳐 상기 게이트 트랜치에 매립되고, 상기 소스 및 드레인 영역 사이의 채널 영역에 대응하는 위치에 배치되는 게이트 전극을 포함하고, 상기 게이트 전극의 상부면이 기판 표면에 근접한 상기 소스 및 드레인 영역 중 하나의 저부 표면과 상기 반도체층의 표면 사이에 놓여 있는 것을 특징으로 하는 반도체 장치.

청구항 9

제8항에 있어서, 상기 게이트 전극이 그의 양 측면에 2쌍의 소스 및 드레인을 갖고, 상기 드레인들이 연속적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 10

제8항에 있어서, 상기 게이트 전극이 그의 양 측면에 2쌍의 소스 및 드레인을 갖고, 상기 드레인 영역들이 분리되어 있는 것을 특징으로 하는 반도체 장치.

청구항 11

제8항에 있어서, 상기 캐패시터 절연막을 거쳐 상기 게이트 트랜치내에 매립되고, 상기 게이트 전극 아래에 형성된 캐패시터 전극을 더 포함하고, 상기 소스 및 드레인 영역들 중 하나가 캐패시터의 저장 노드로서 사용되는 것을 특징으로 하는 반도체 장치.

청구항 12

제11항에 있어서, 상기 게이트 전극이 그의 양 측면에 2쌍의 소스 및 드레인을 갖고, 상기 드레인들이 연속적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 13

제11항에 있어서, 상기 게이트 전극이 그의 양 측면에 2쌍의 소스 및 드레인을 갖고, 상기 드레인 영역들이 분리되어 있는 것을 특징으로 하는 반도체 장치.

청구항 14

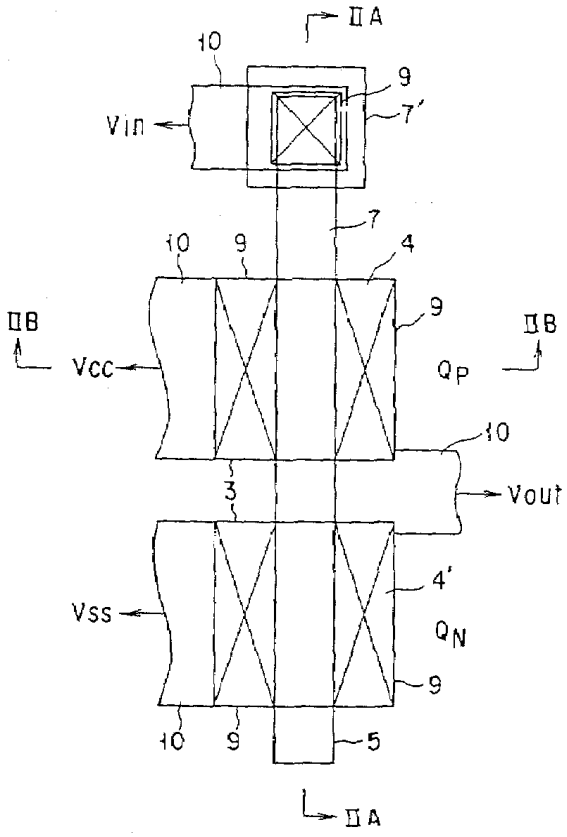
제8항에 있어서, 상기 소스 또는 드레인 영역에 대한 접촉 홀이 에칭에 의해 형성될 때 상기 스토퍼 절연막이 에칭 스토퍼로서 작용하는 상기 게이트 전극 상에 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 15

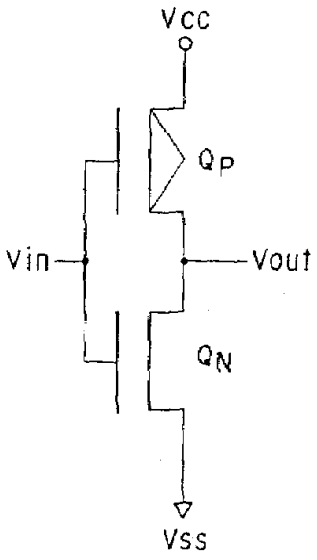
제8항에 있어서, 상기 소자 분리 영역용 트랜치 및 상기 게이트 트랜치가 전방으로 테이퍼된 측벽을 갖도록 형성되어 유효 채널 폭을 증가시키는 것을 특징으로 하는 반도체 장치.

도면

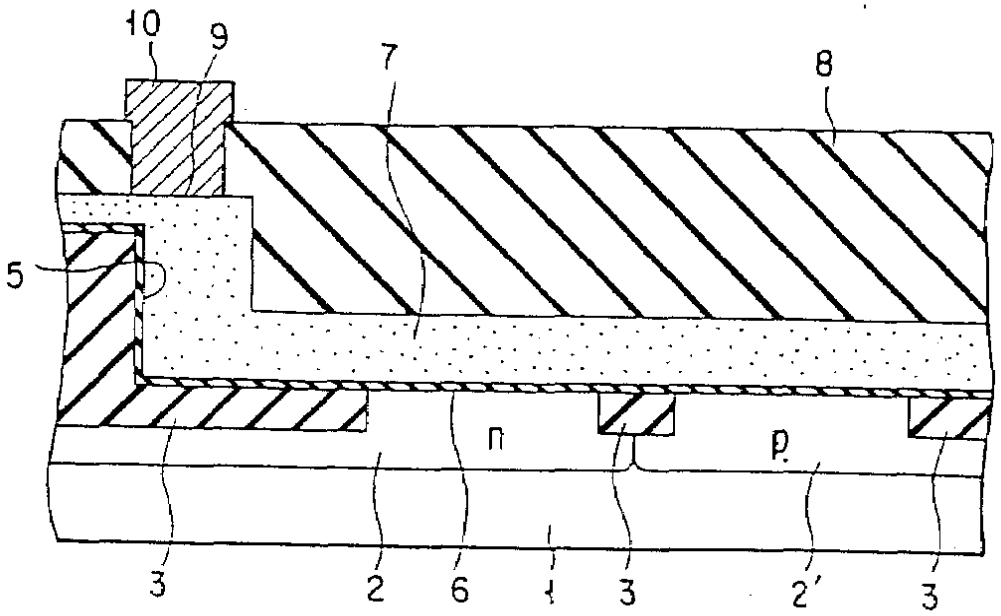
도면1a


ⅡA
10
9
7'
Vin
7
10
9
4
ⅡB
Vcc
9
QP
ⅡB
10
3
Vout
4'
Vss
QN
9
10
9
5
ⅡA

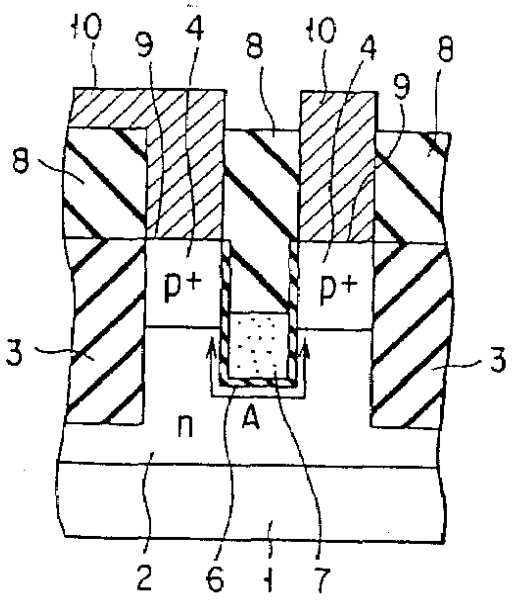
도면1b


Vcc
QP
Vin
Vout
QN
Vss

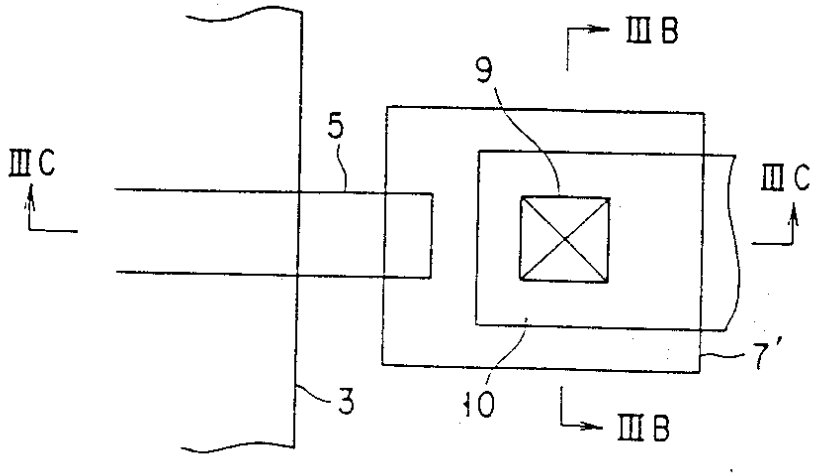
도면2a



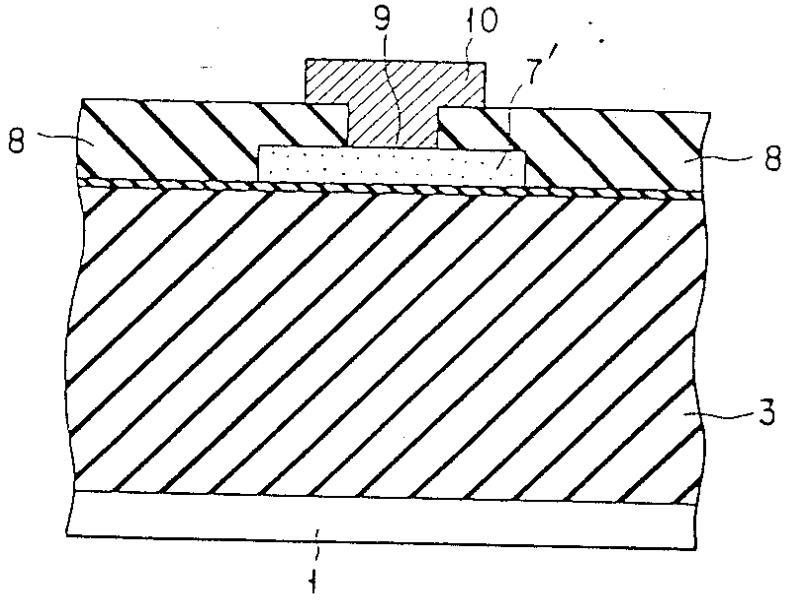
도면2b



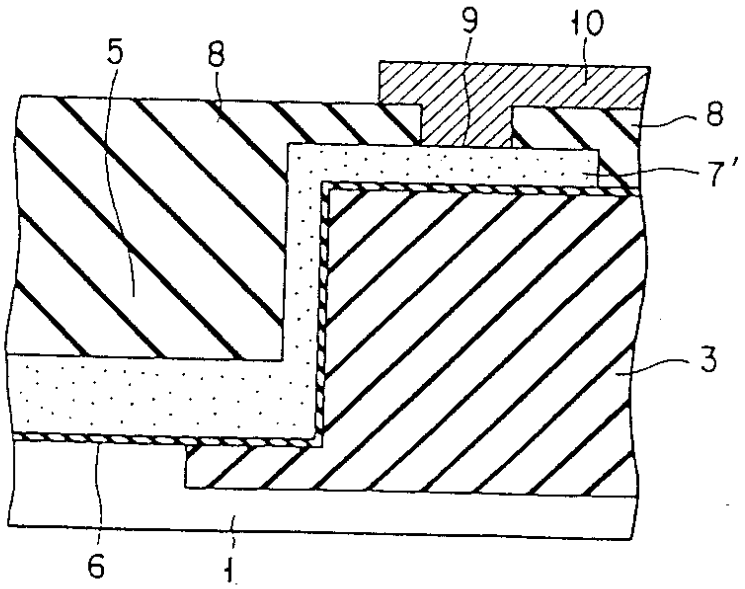
도면3a



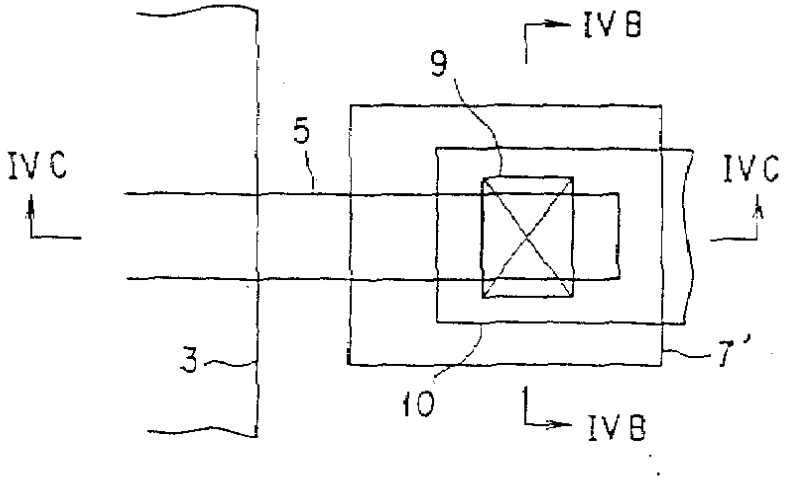
도면3b



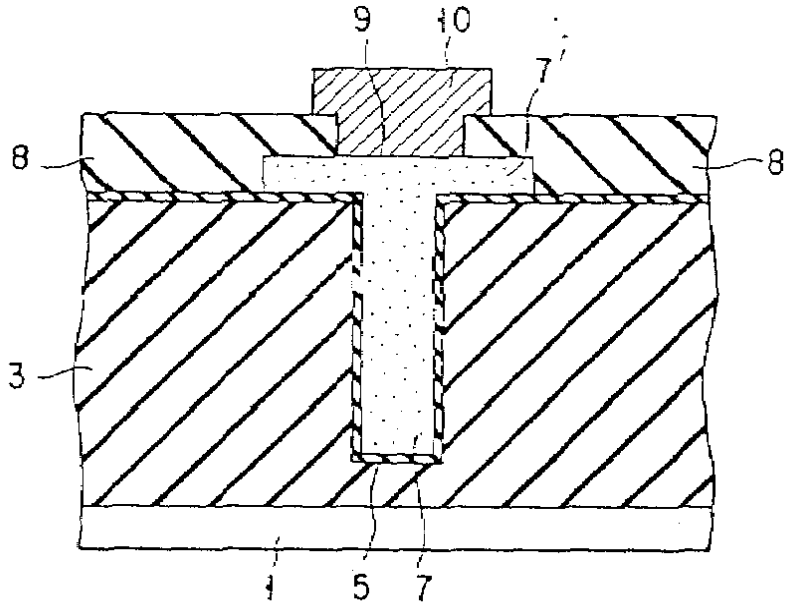
도면3c



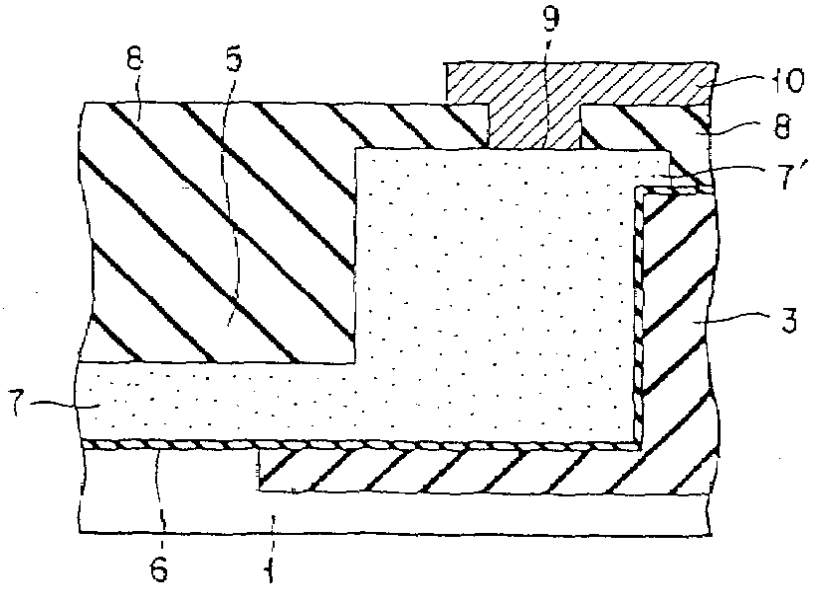
도면4a



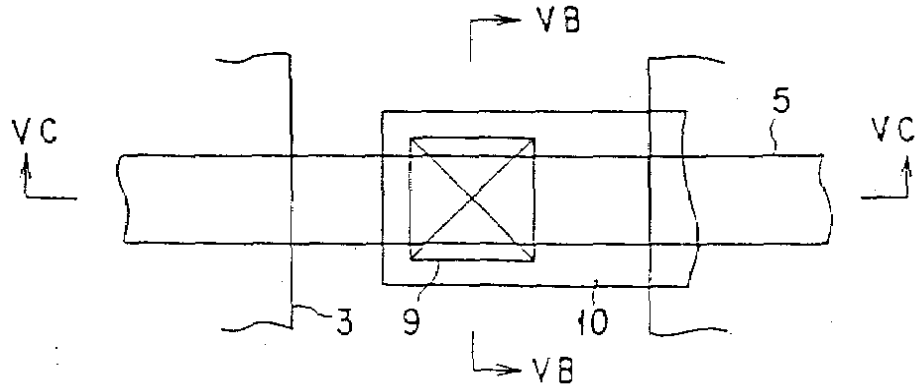
도면4b



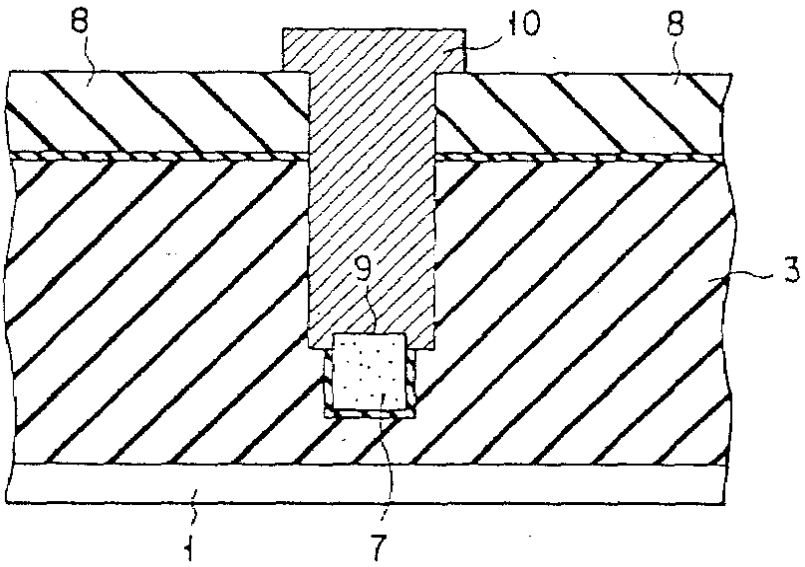
도면4c



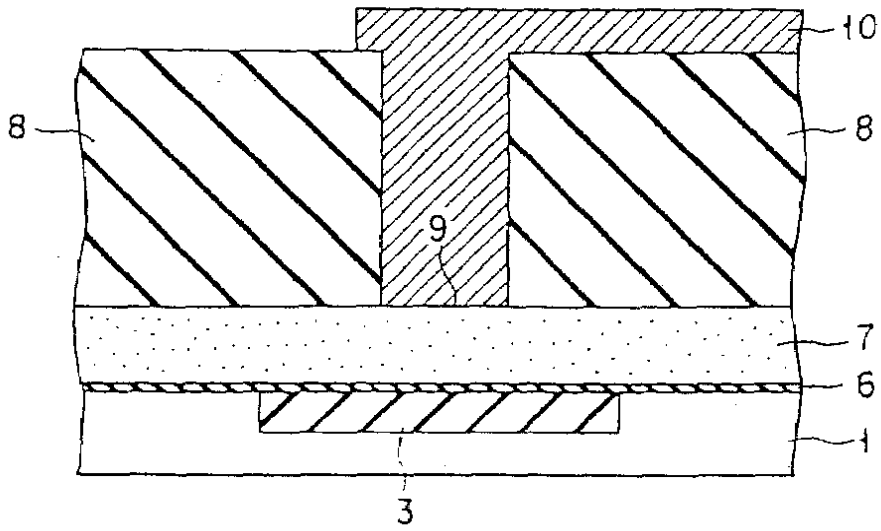
도면5a



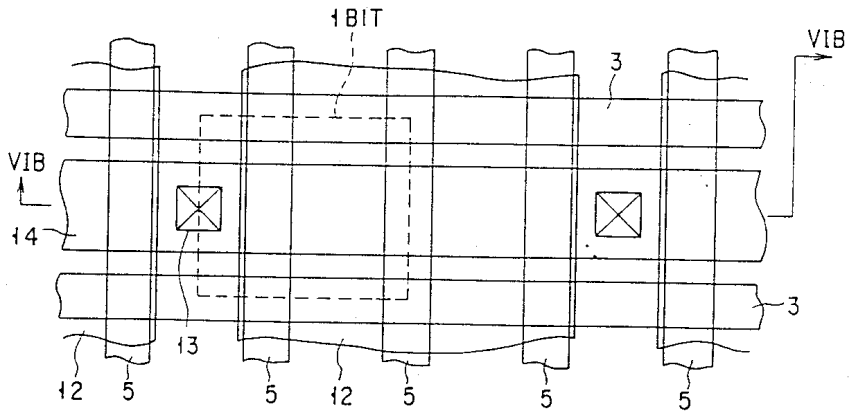
도면5b



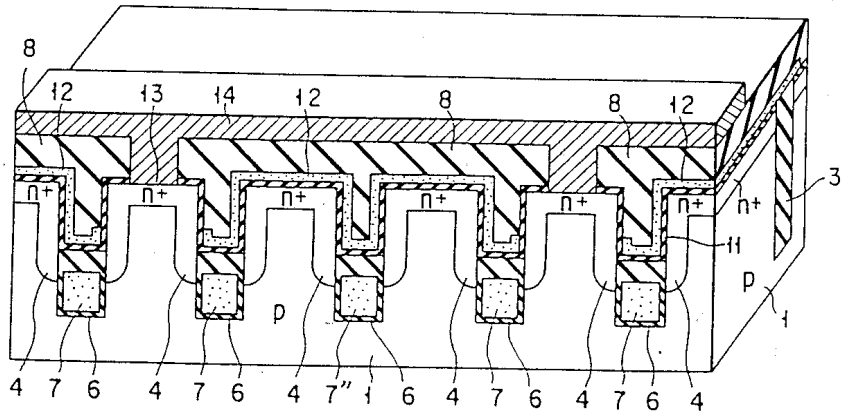
도면5c



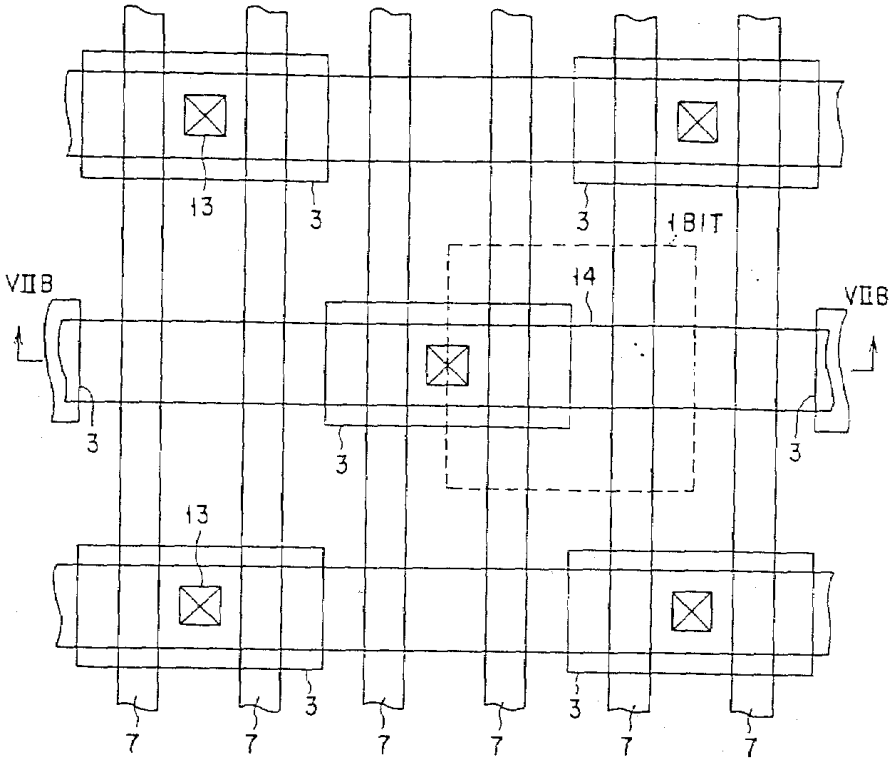
도면6a



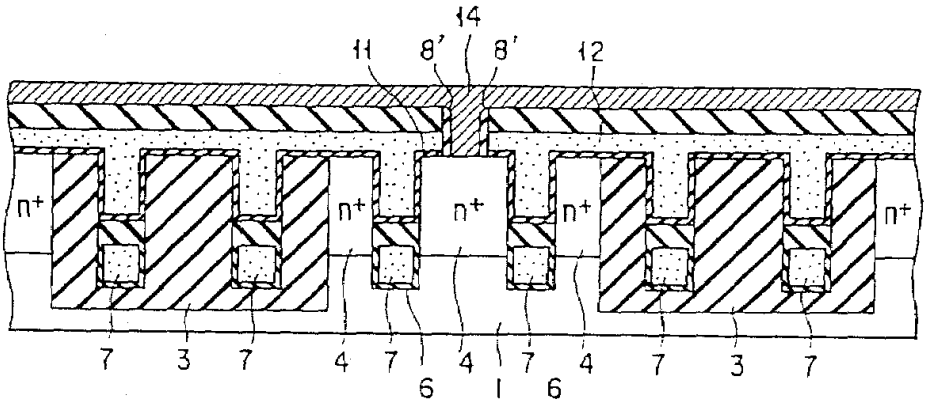
도면6b


8
12
13
14
12
8
8
12
n+
n+
n+
n+
n+
n+
n+
3
11
p
p
1
4
7
6
4
7
6
4
7"
1
6
4
7
6
4
7
6
4

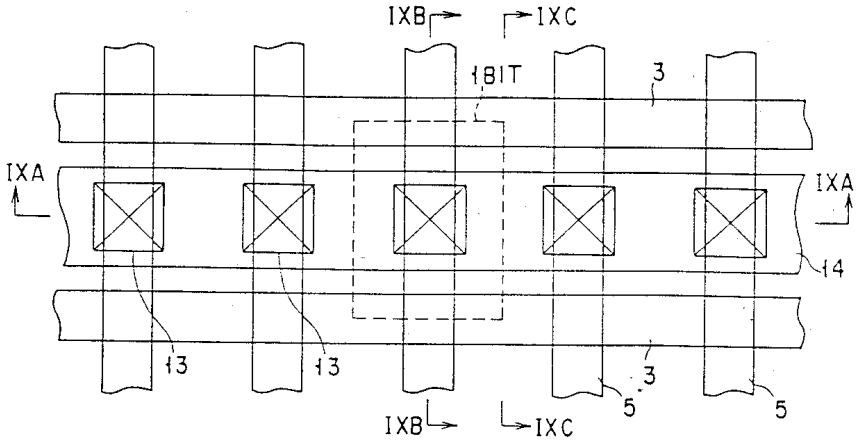
도면7a


13
3
3
1BIT
14
VIIB
VIIB
3
3
3
13
3
3
7
7
7
7
7
7

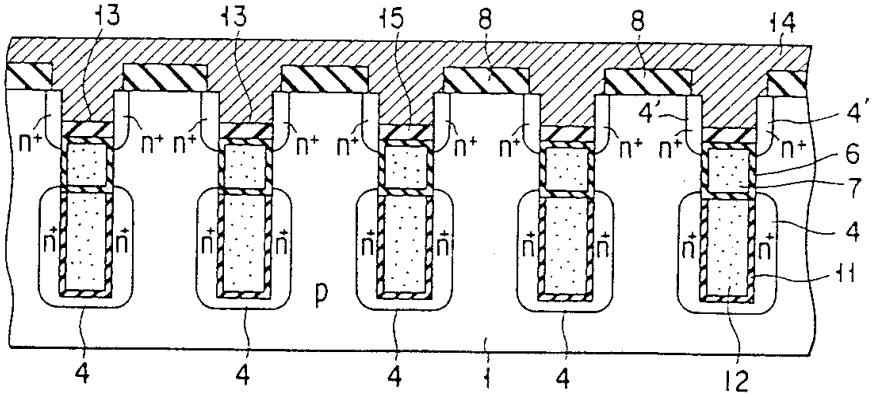
도면7b



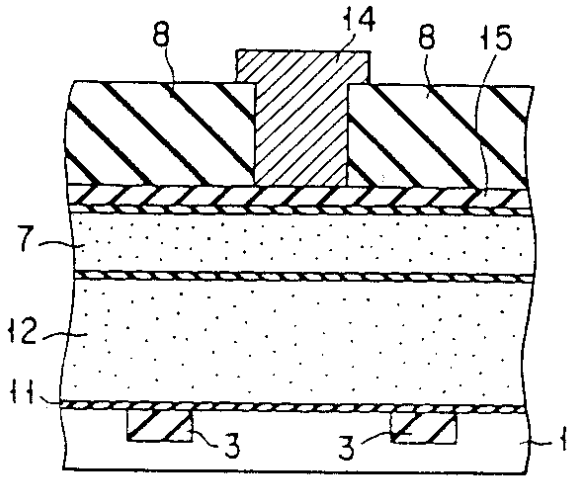
도면8



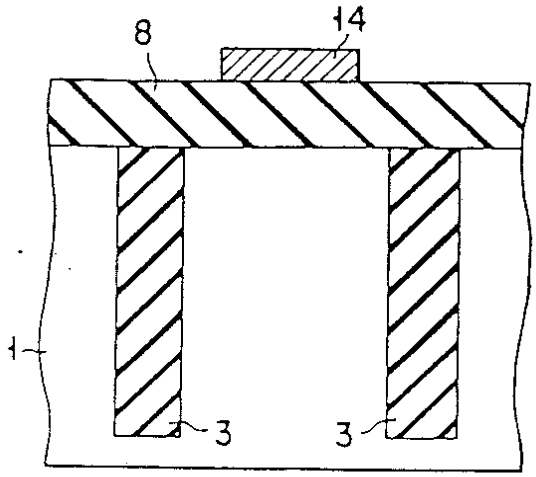
도면9a



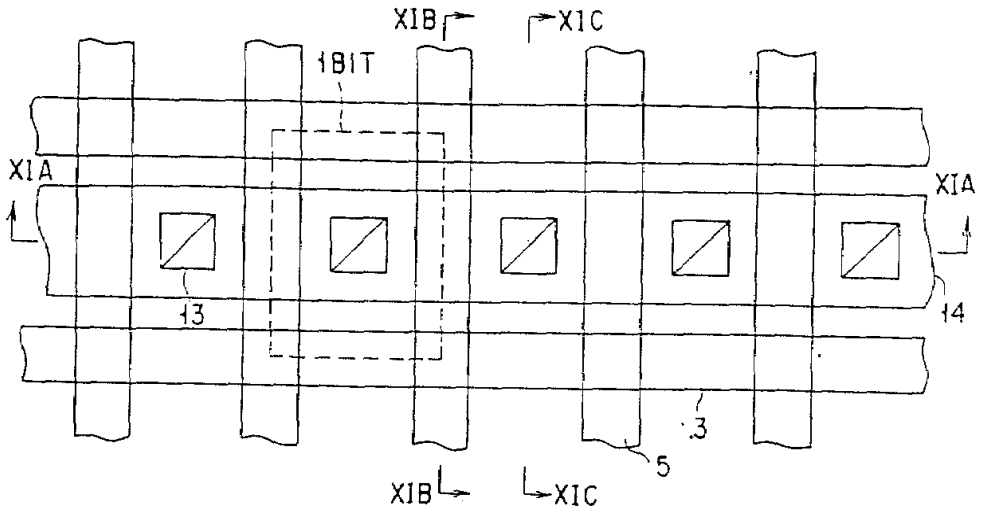
도면9b



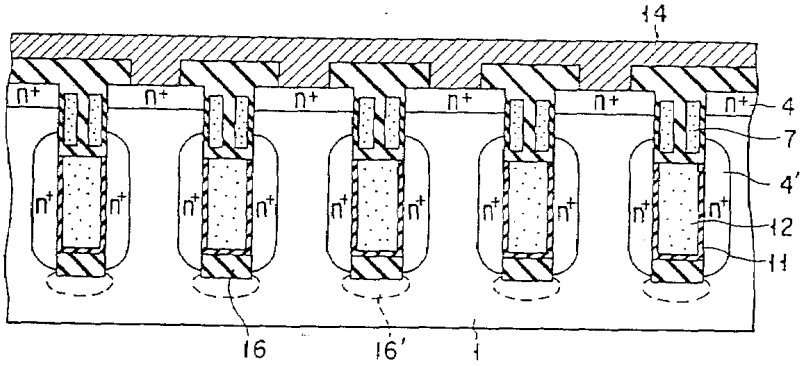
도면9c



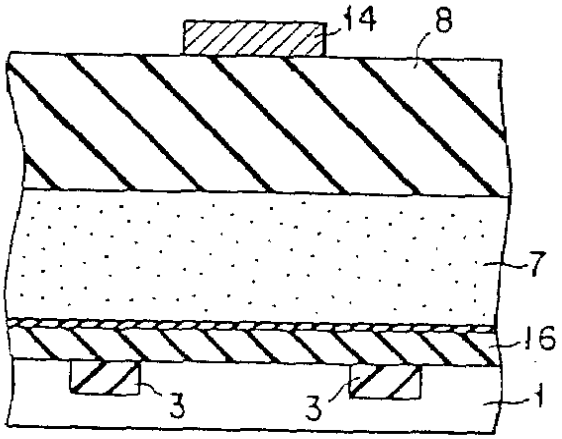
도면10



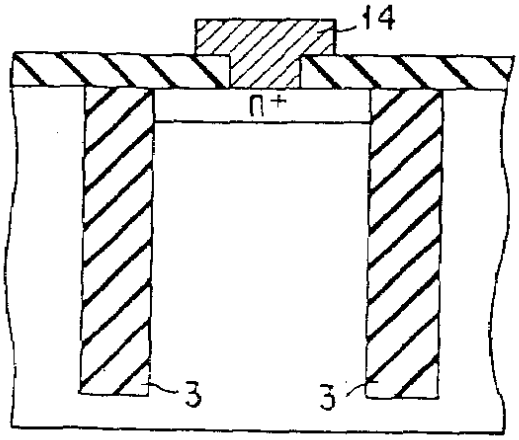
도면11a



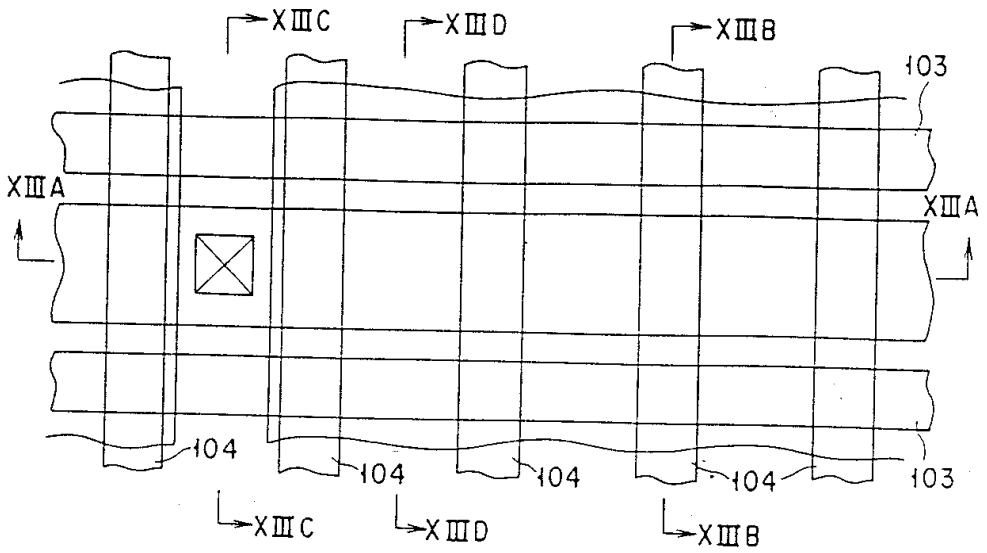
도면11b



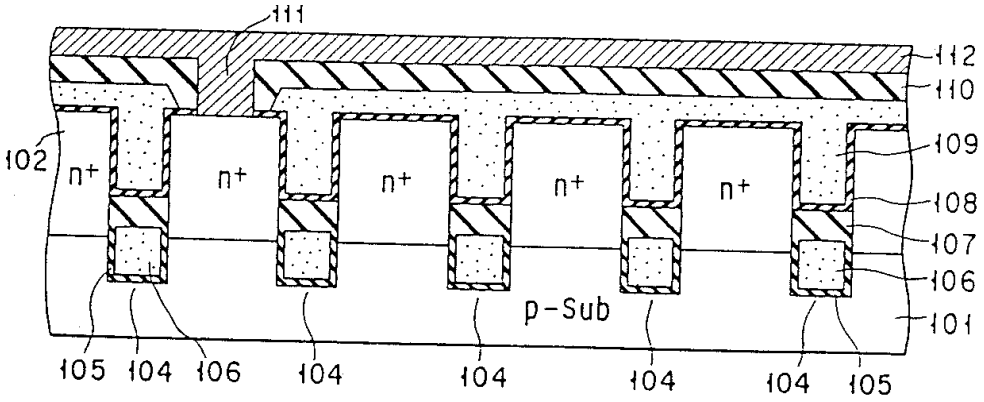
도면11c



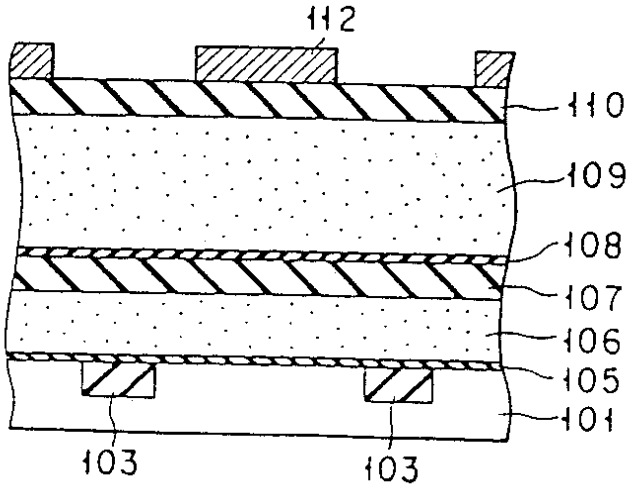
도면12



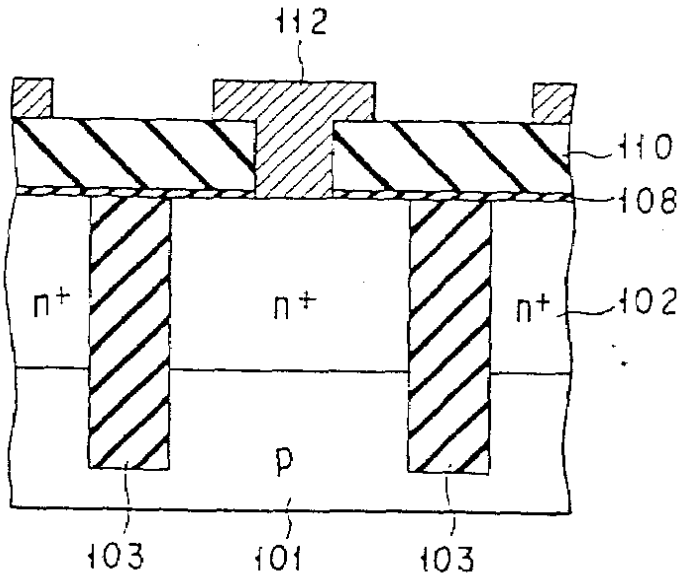
도면13a



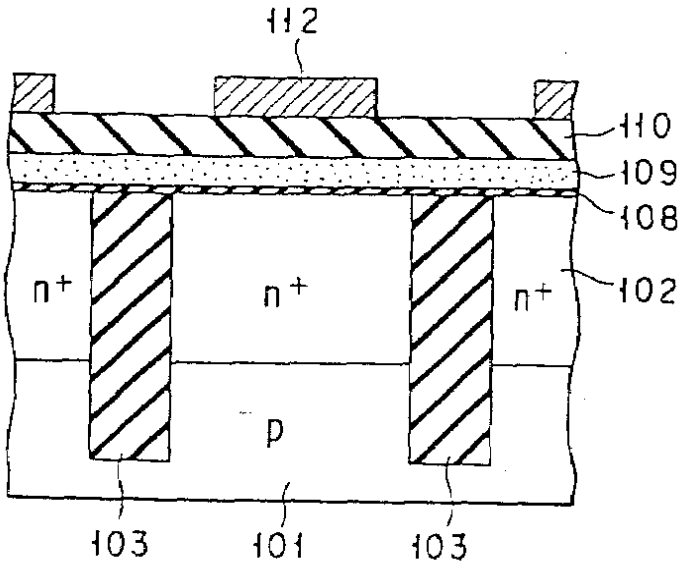
도면13b



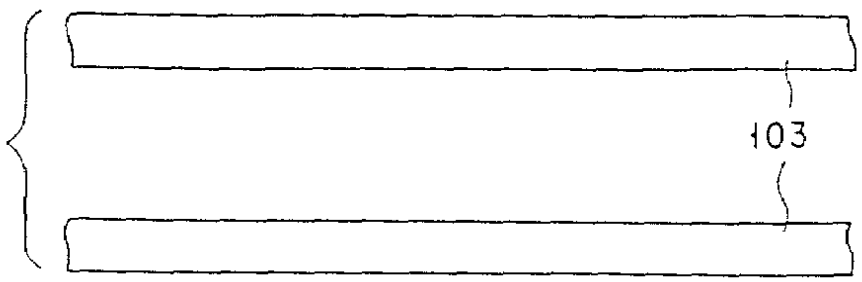
도면13c



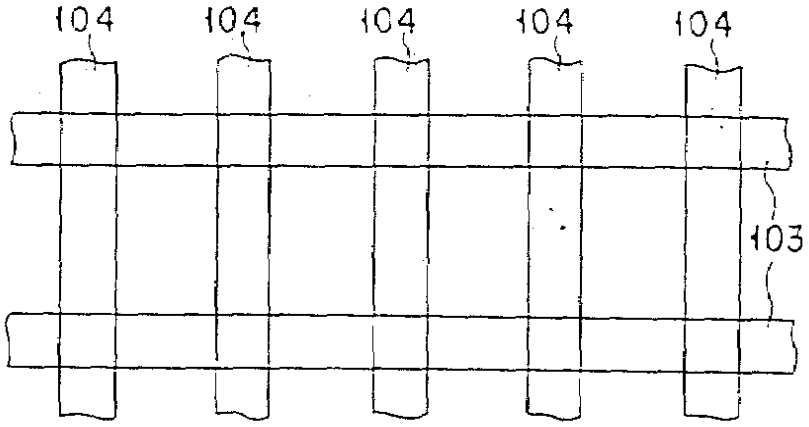
도면13d



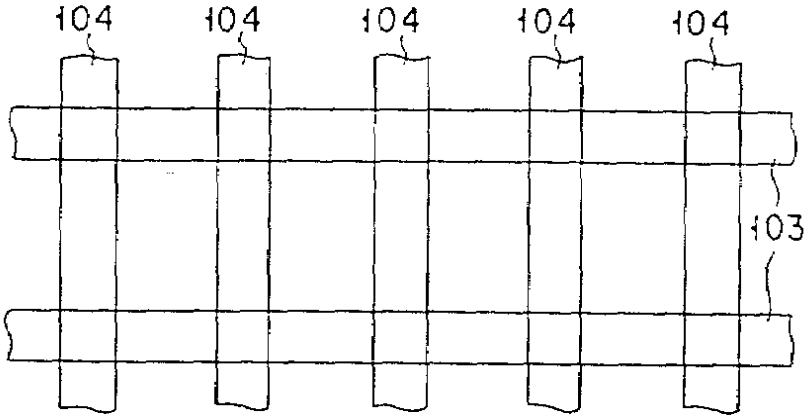
도면14a



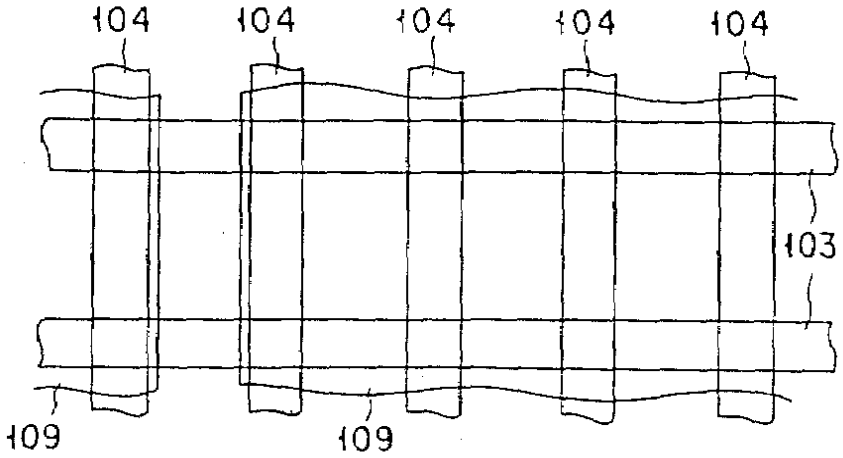
도면14b



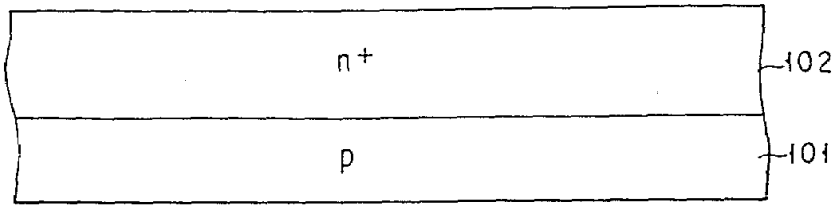
도면14c



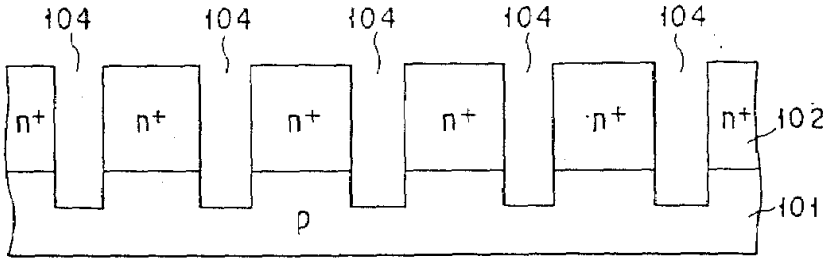
도면14d



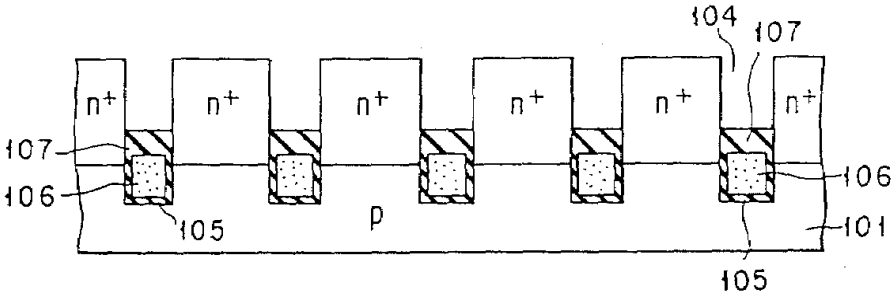
도면15a



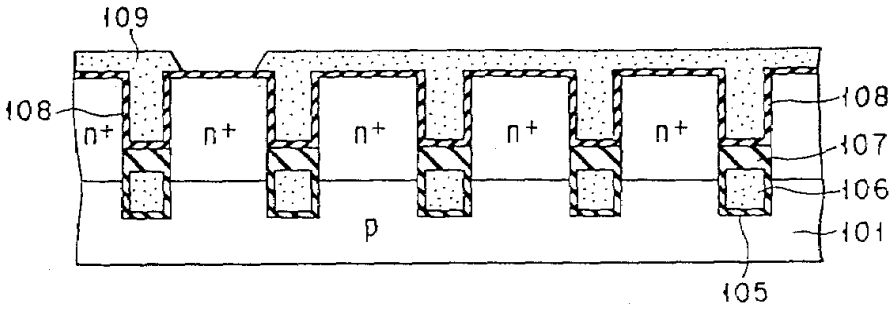
도면15b



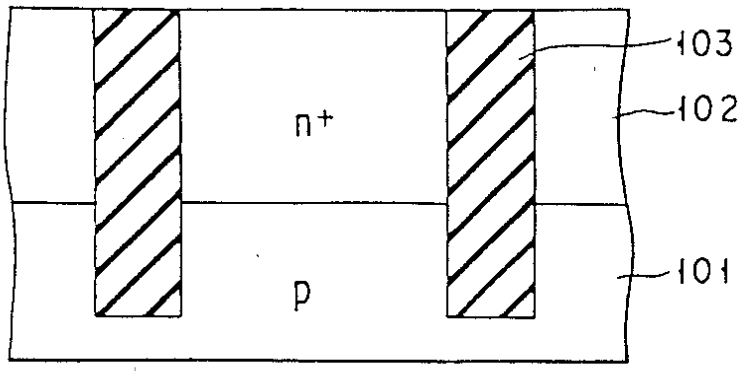
도면15c



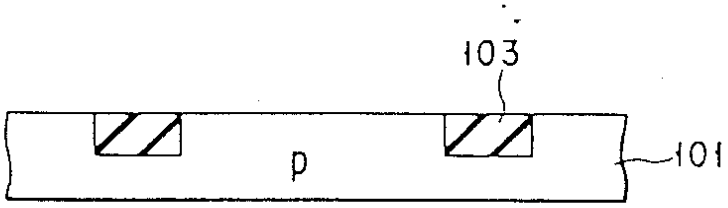
도면15d



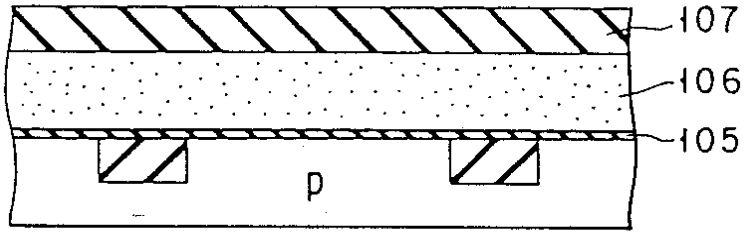
도면16a



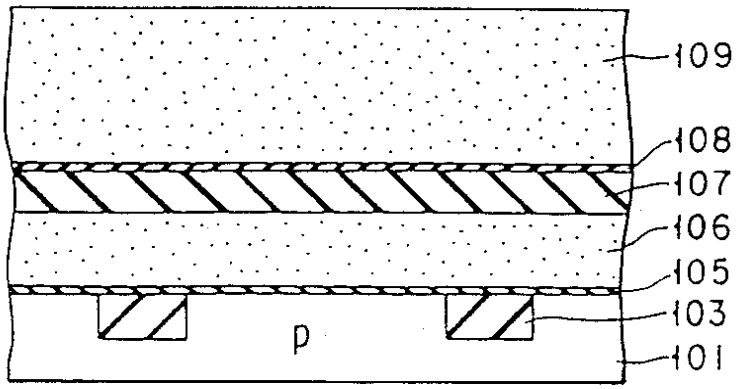
도면16b



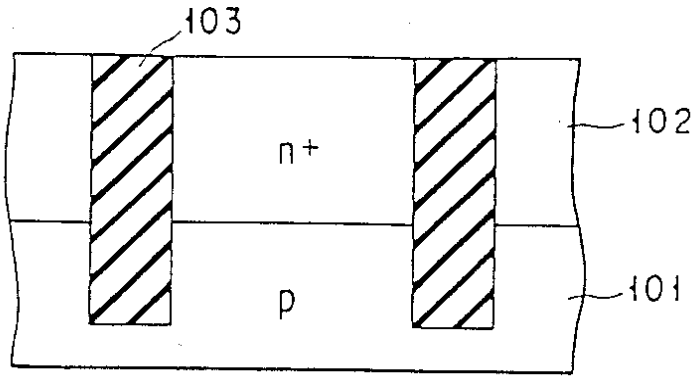
도면16c



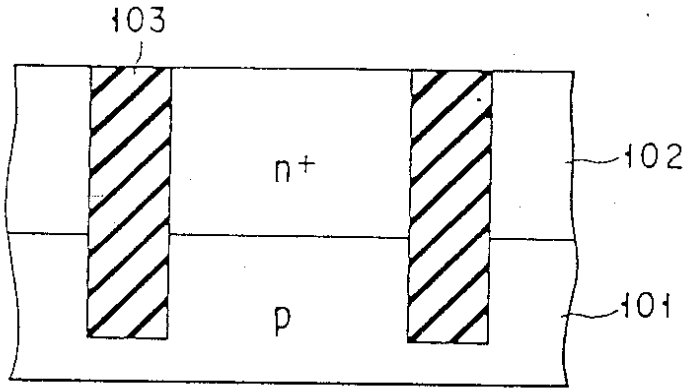
도면16d



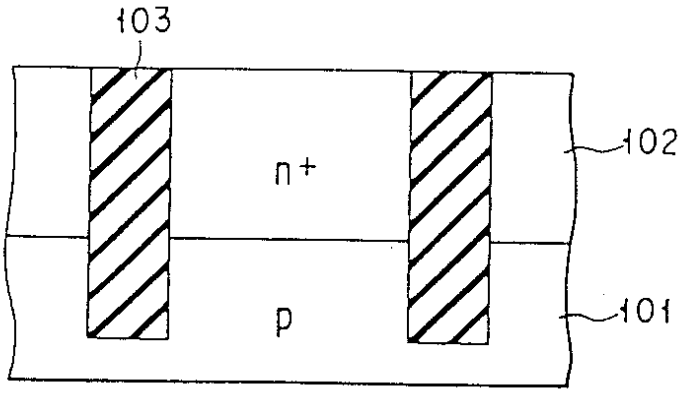
도면17a



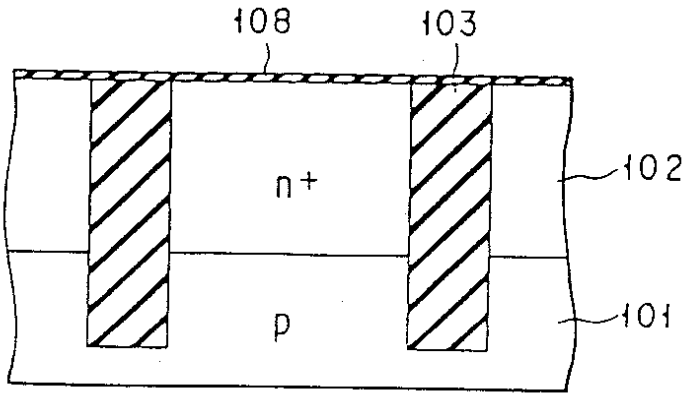
도면17b



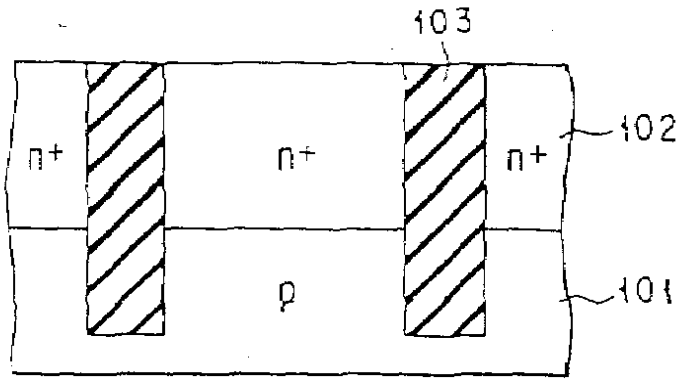
도면17c



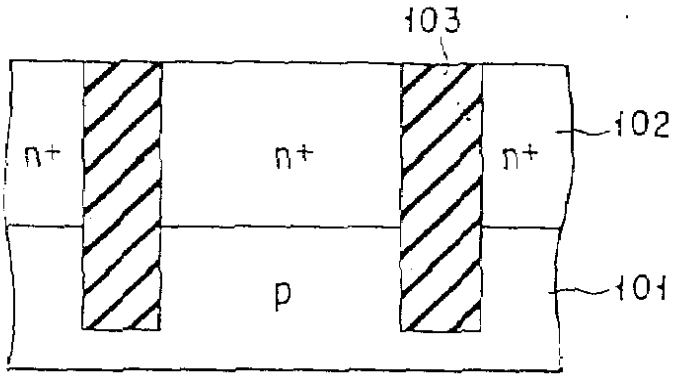
도면17d



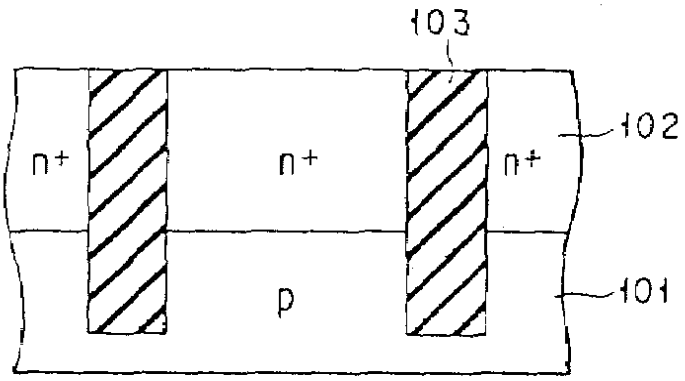
도면18a



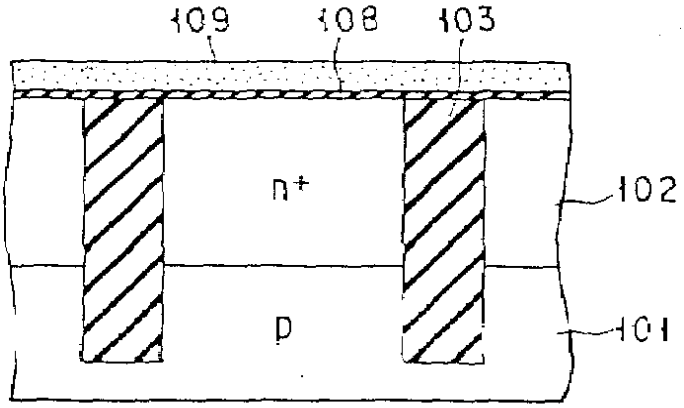
도면18b



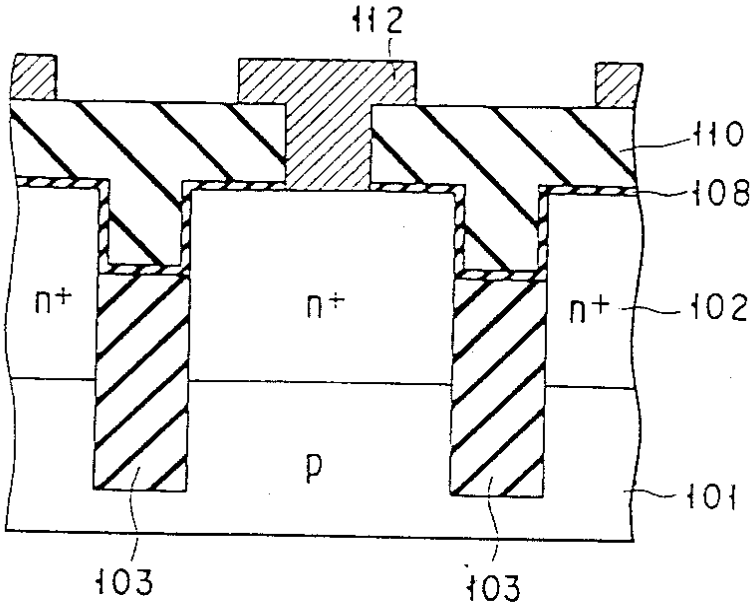
도면18c



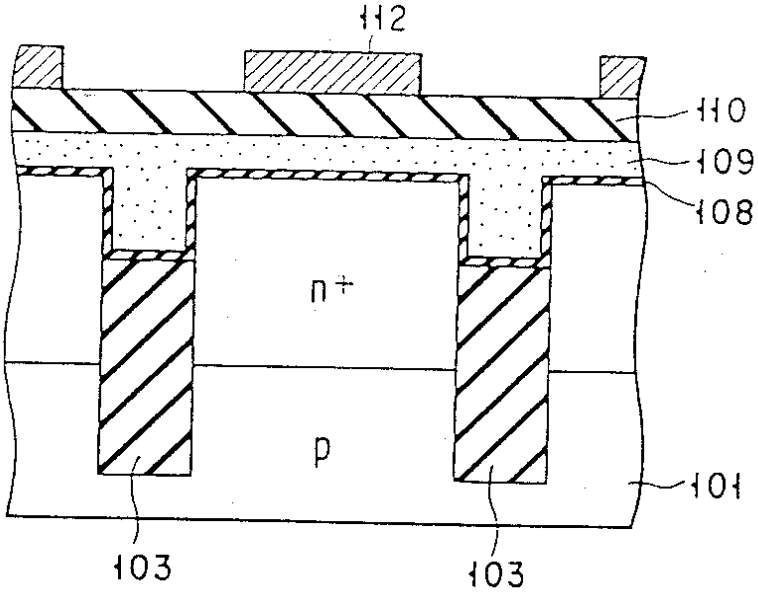
도면18d



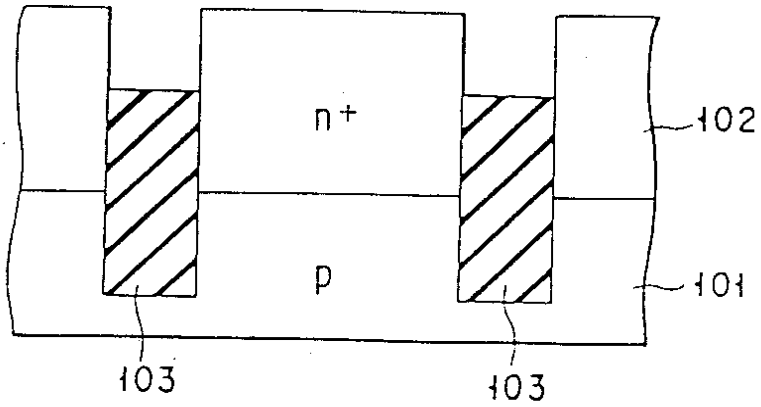
도면19a



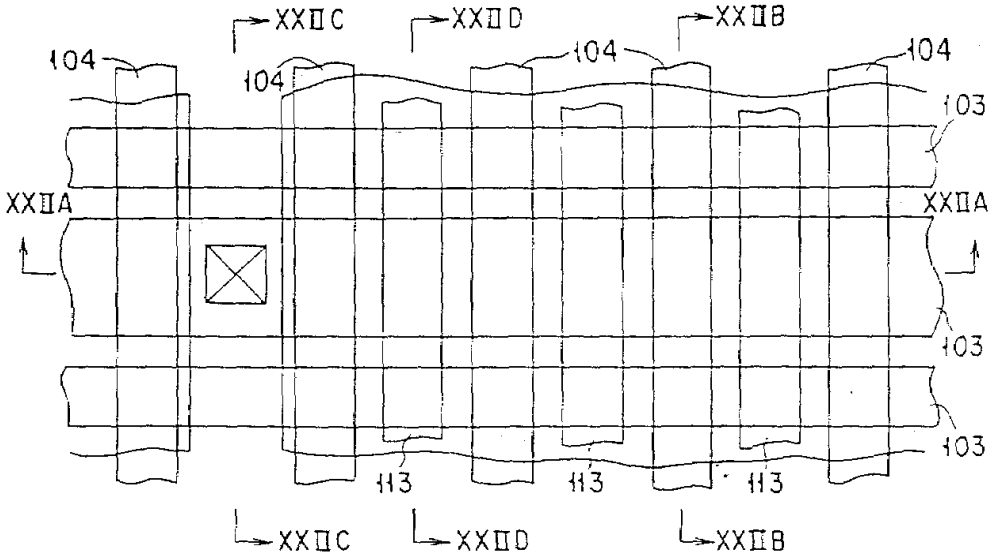
도면19b



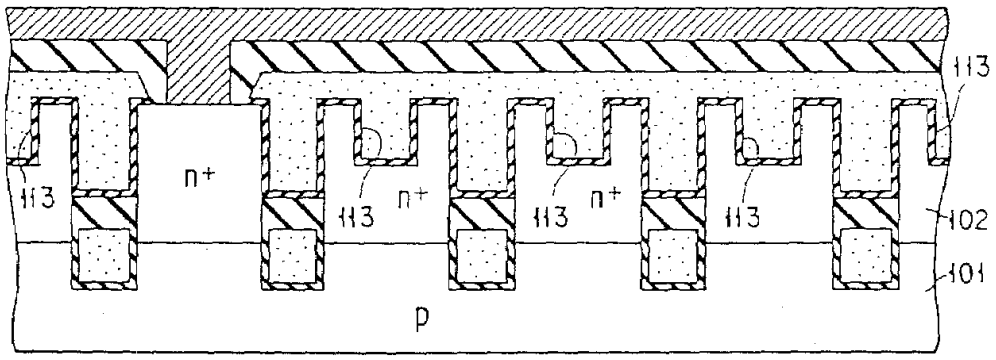
도면20



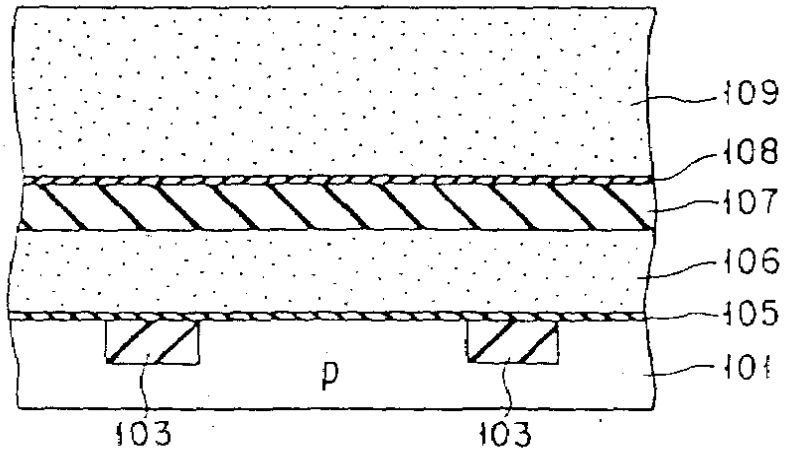
도면21



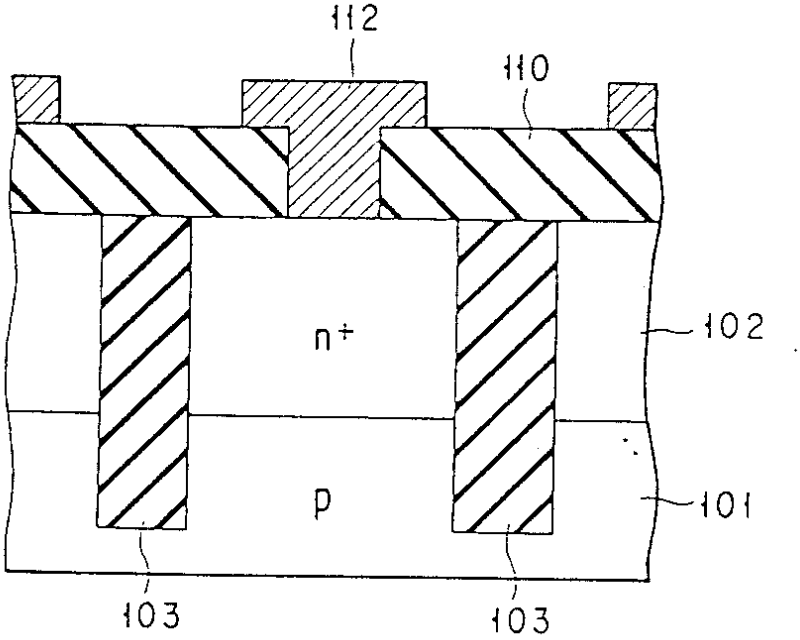
도면22a



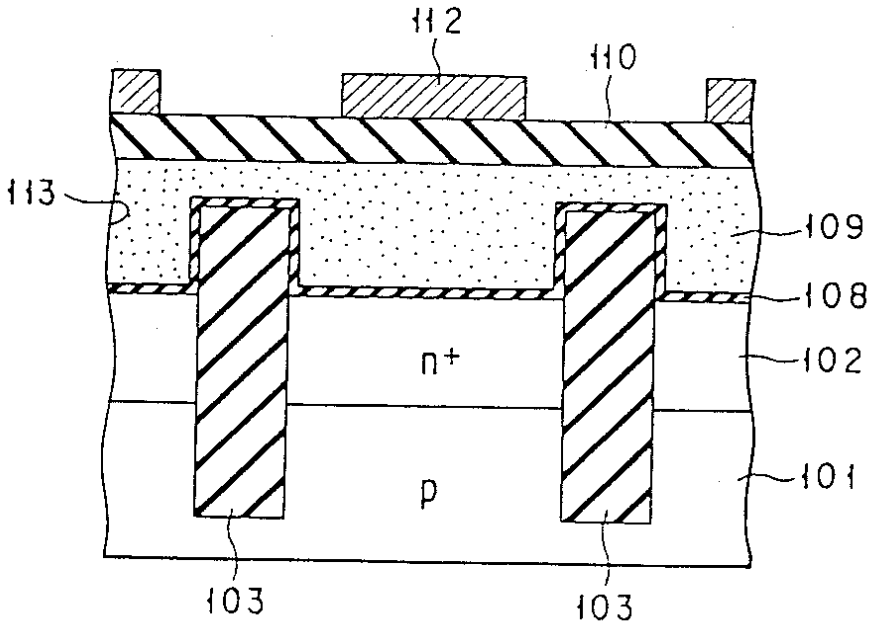
도면22b



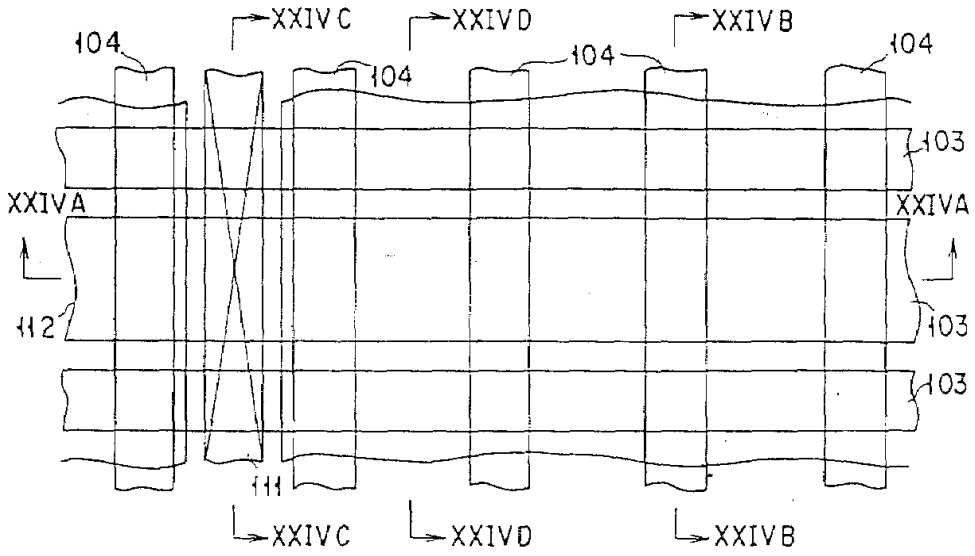
도면22c



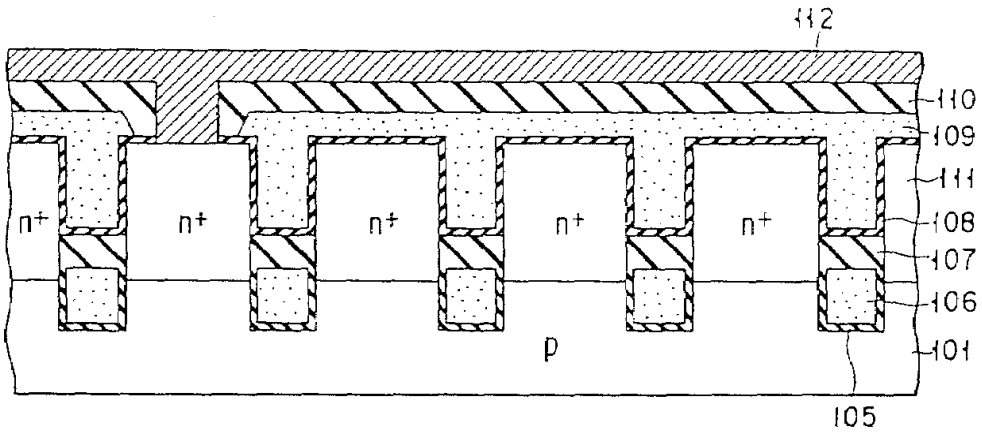
도면22d


112
110
113
109
108
n+
102
p
101
103
103

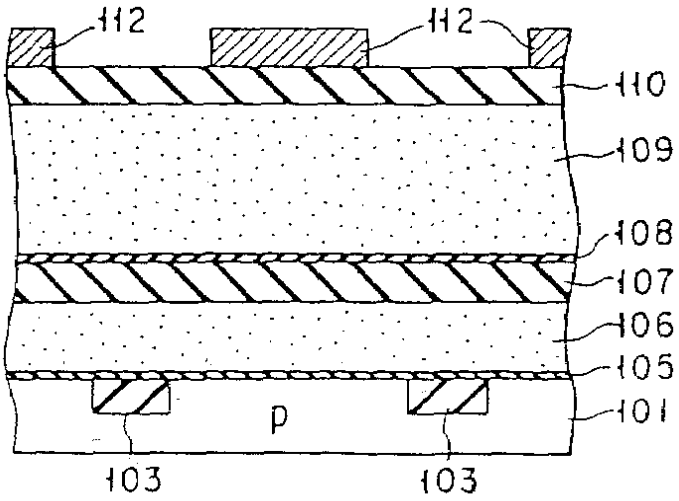
도면23


XXIVC
XXIVD
XXIVB
104
104
104
104
103
XXIVA
XXIVA
112
103
103
111
XXIVC
XXIVD
XXIVB

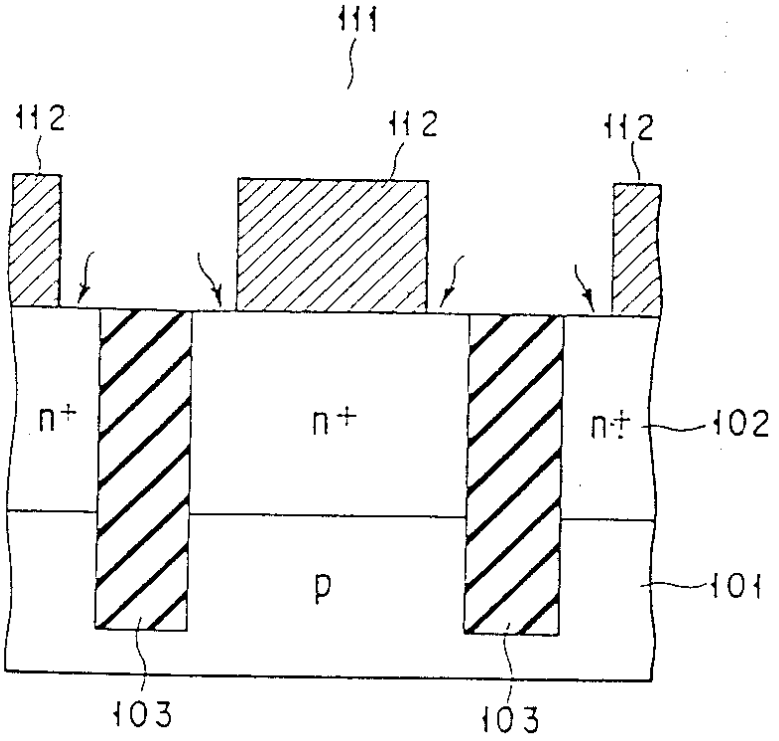
도면24a


112
110
109
111
108
107
106
101
105
n+
n+
n+
n+
n+
p

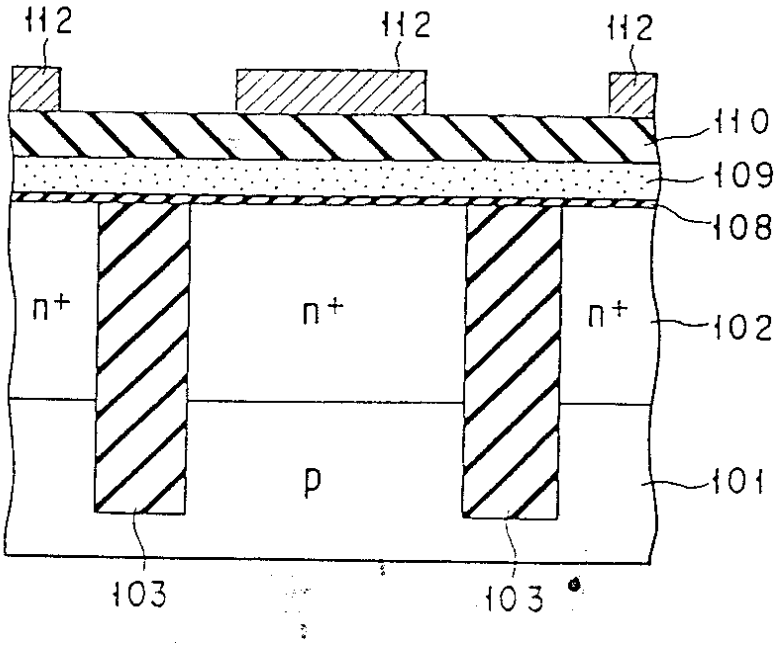
도면24b


112
112
110
109
108
107
106
105
101
103
103
p

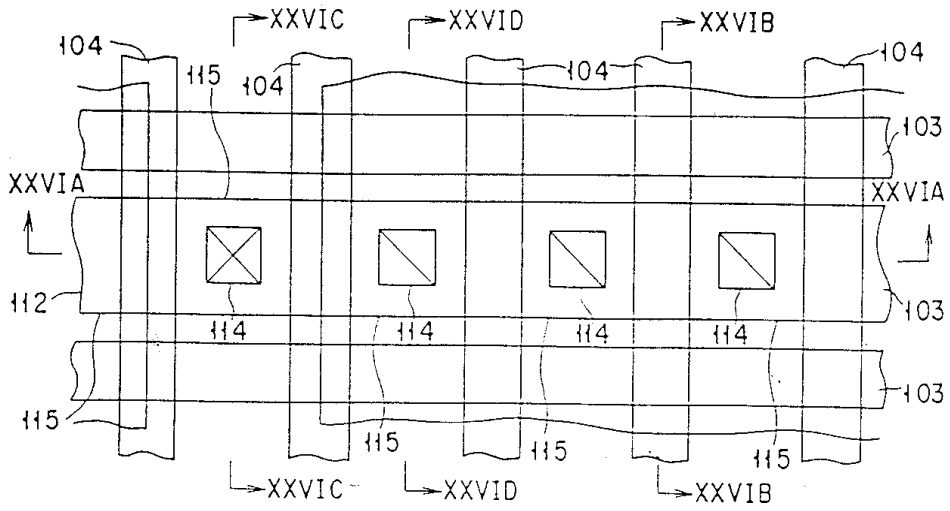
도면24c


111
112
112
112
n+
n+
n+
102
p
101
103
103

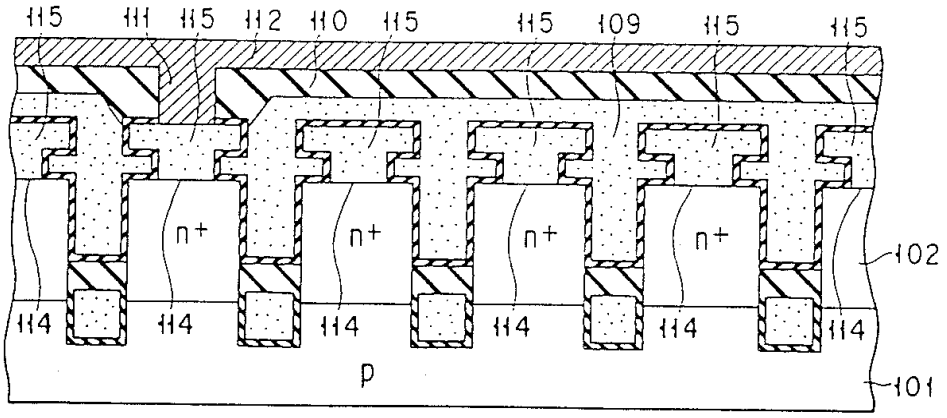
도면24d


112
112
112
110
109
108
n+
n+
n+
102
p
101
103
103

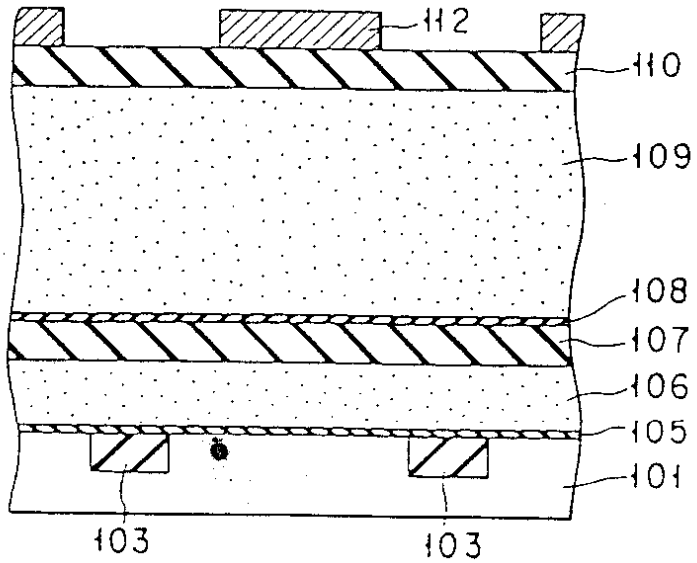
도면25



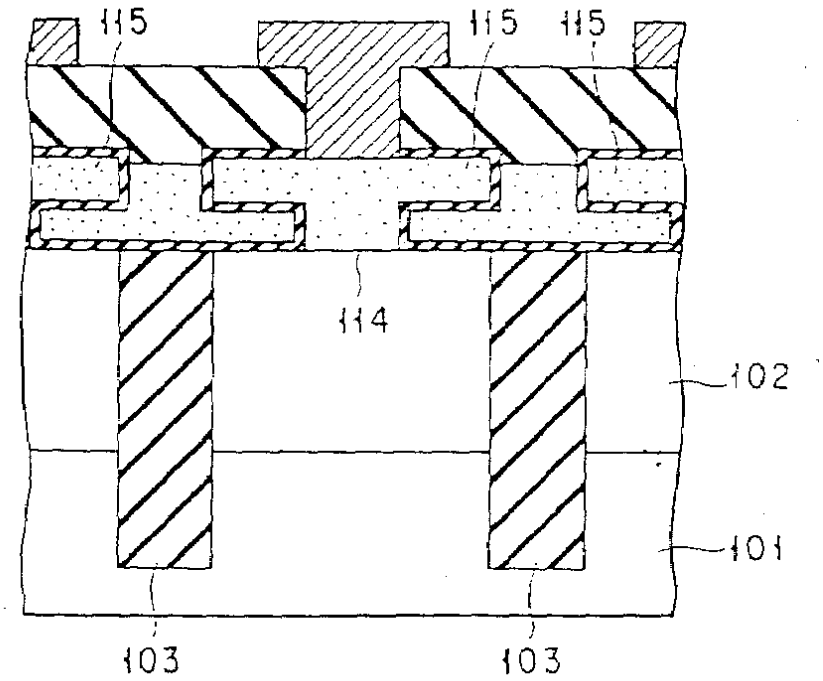
도면26a



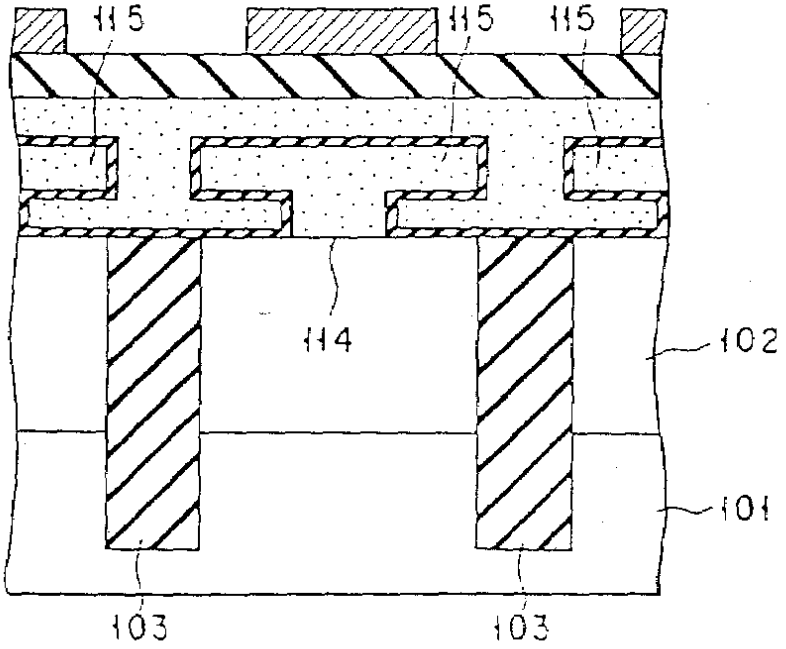
도면26b



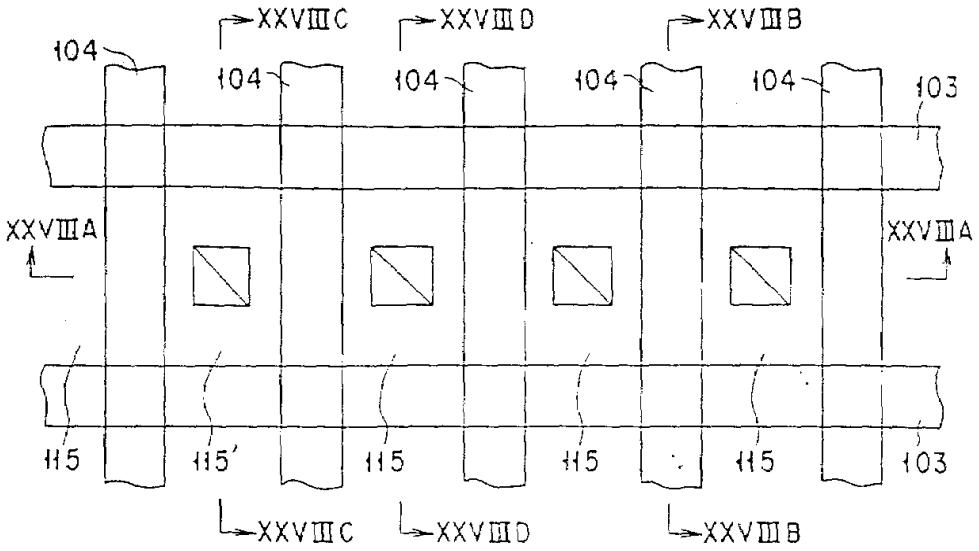
도면26c



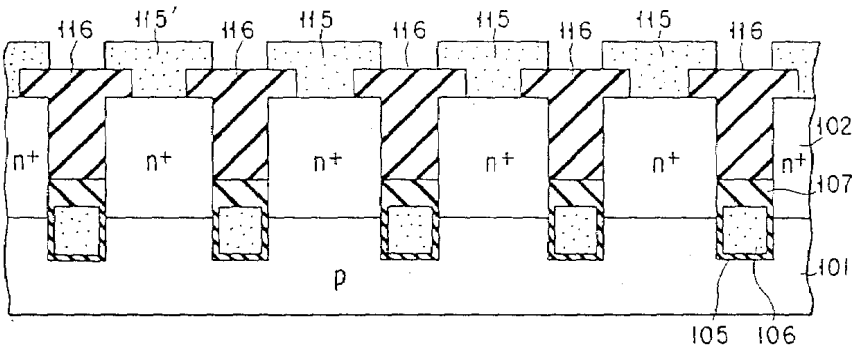
도면26d



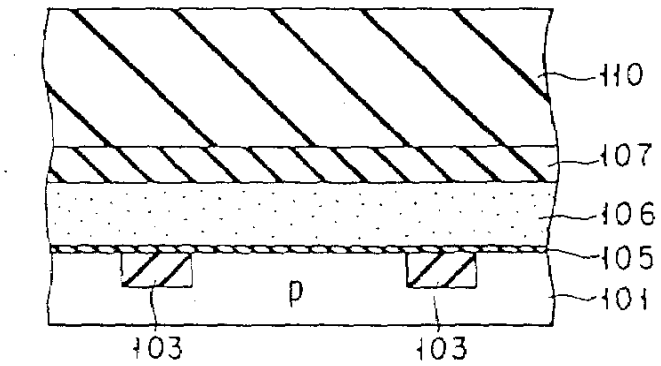
도면27



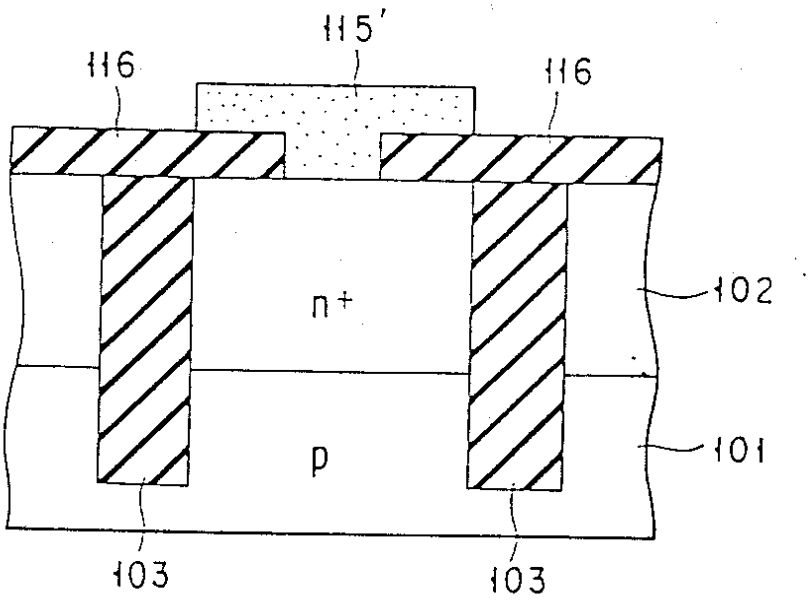
도면28a



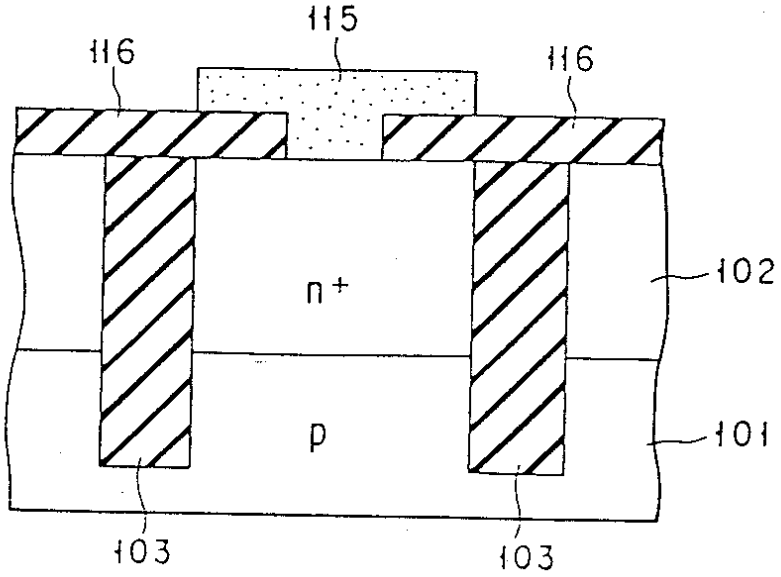
도면28b



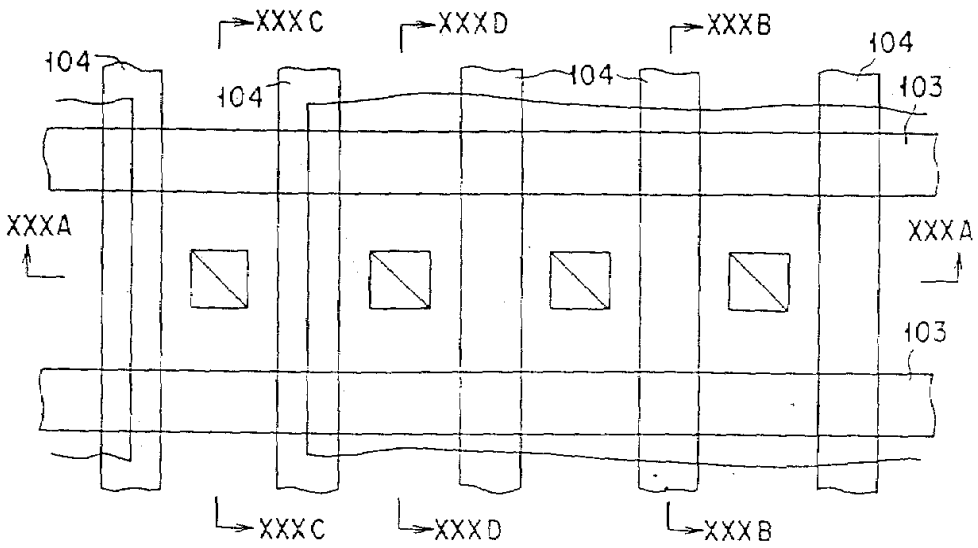
도면28c



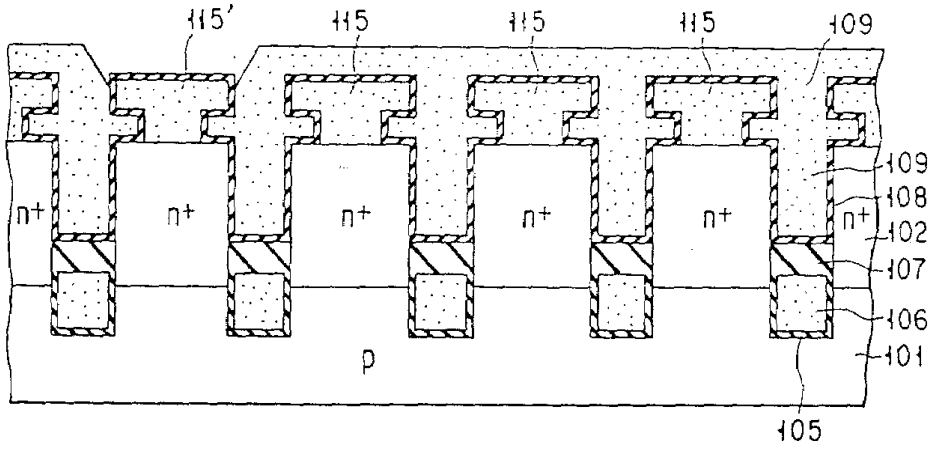
도면28d



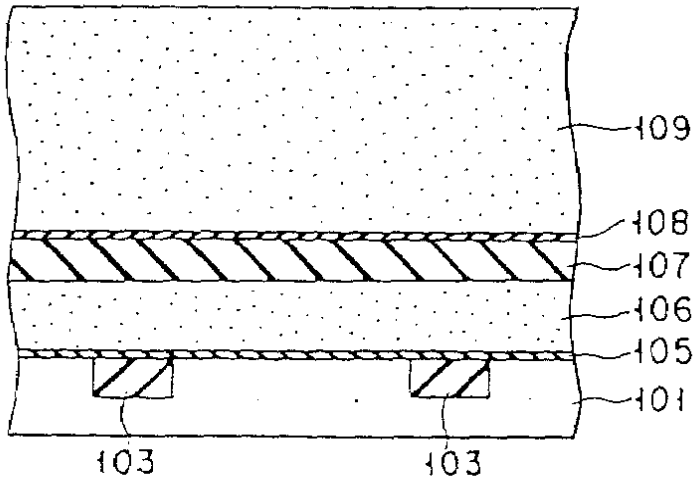
도면29



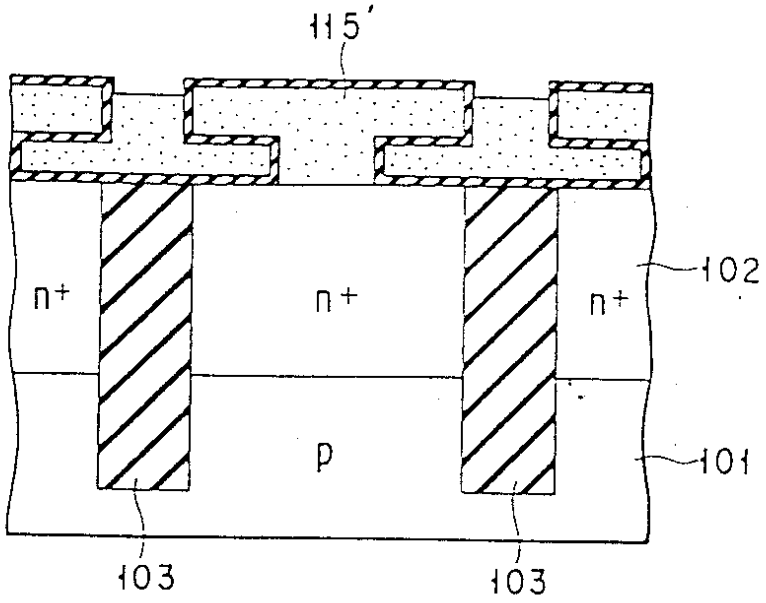
도면30a



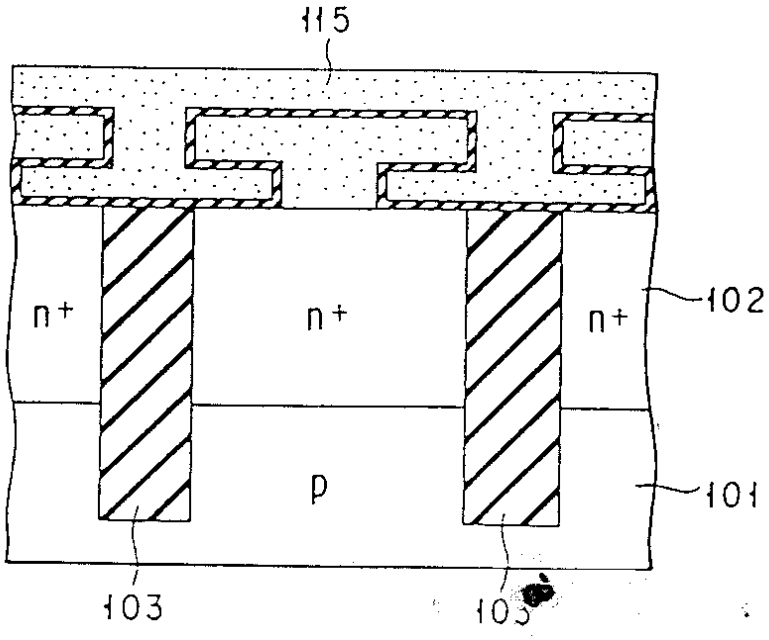
도면30b



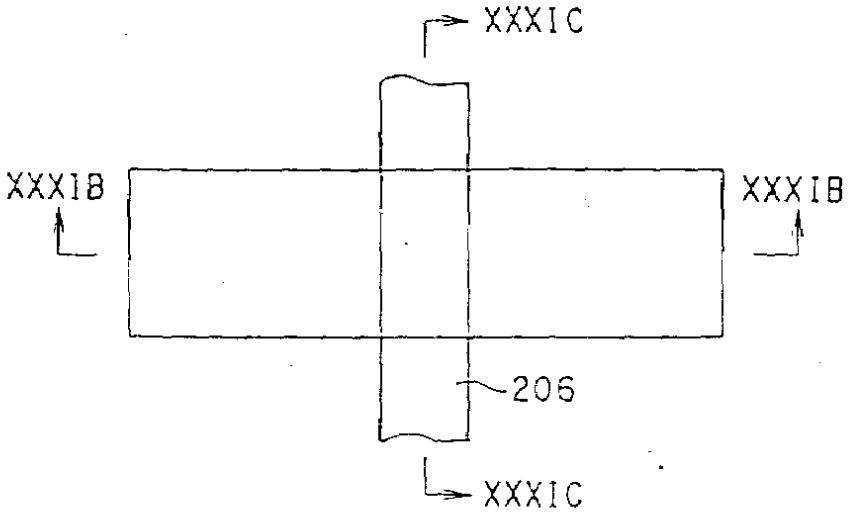
도면30c



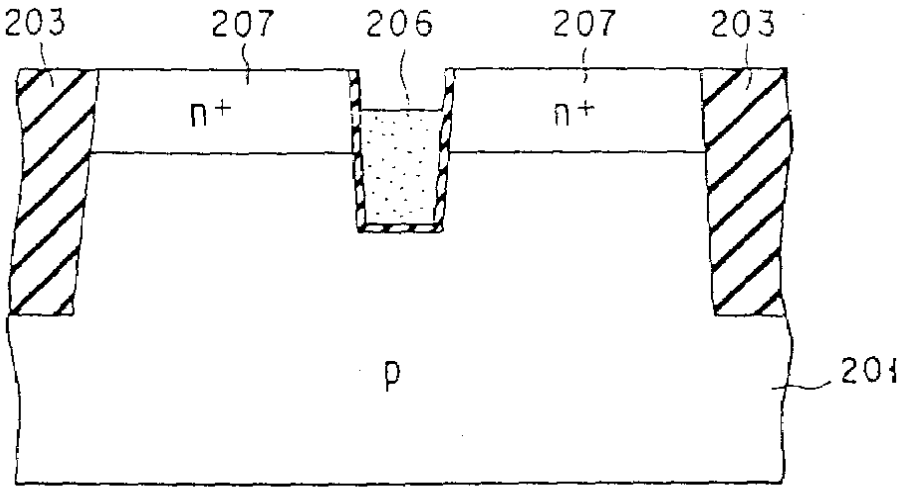
도면30d



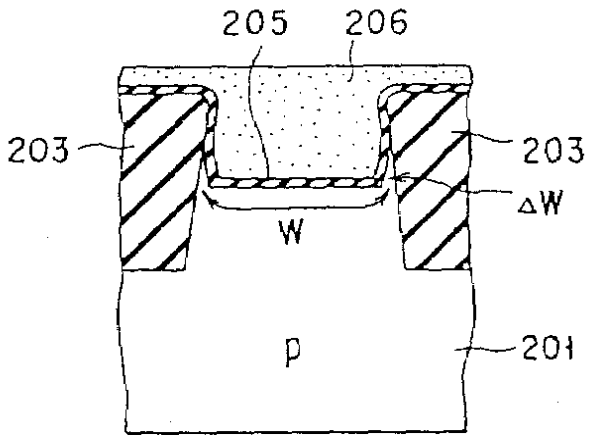
도면31a



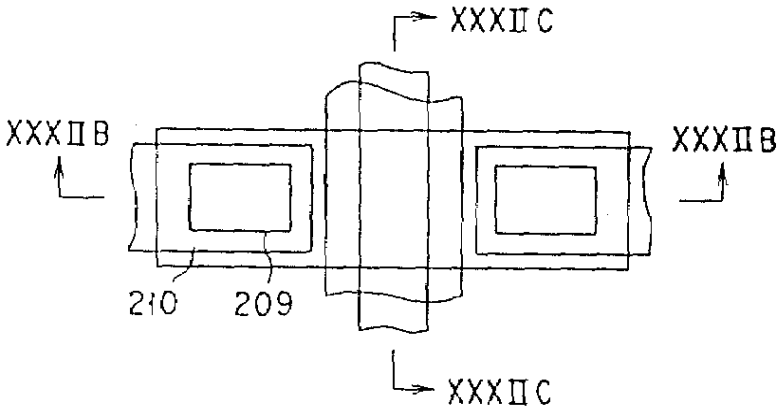
도면31b



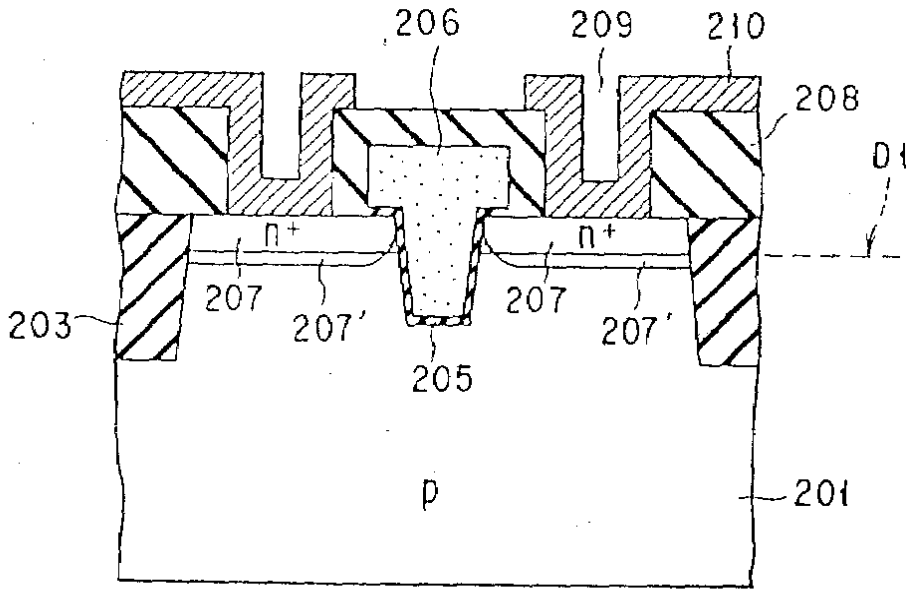
도면31c



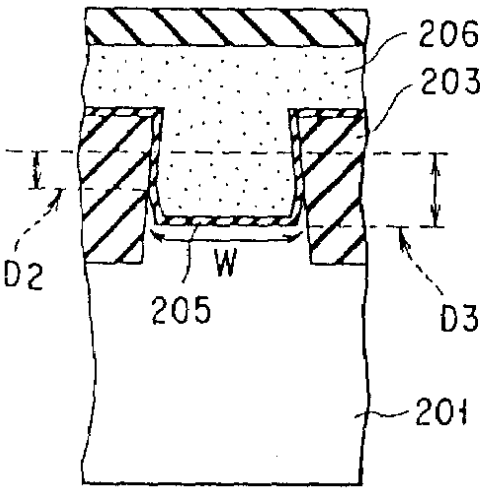
도면32a



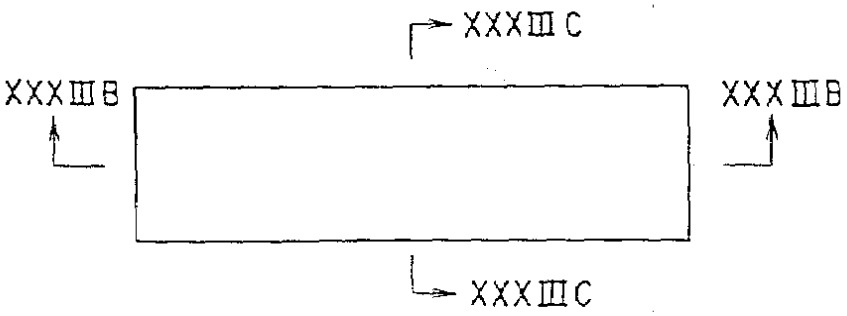
도면32b



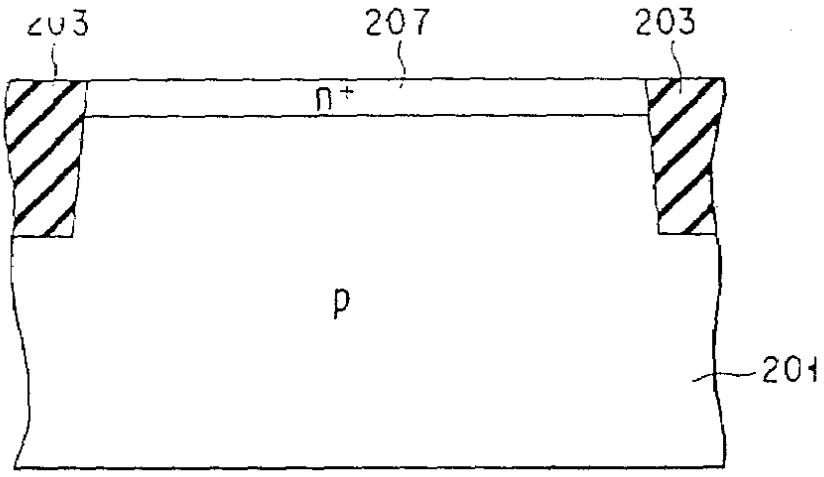
도면32c



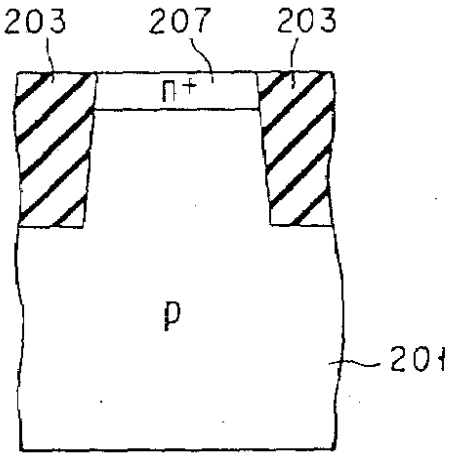
도면33a



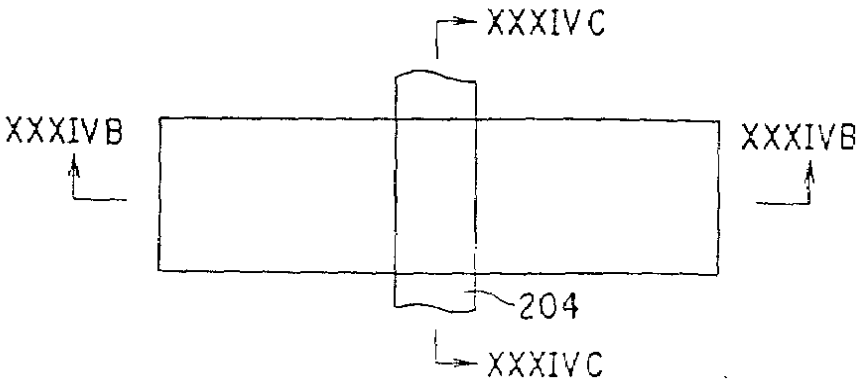
도면33b



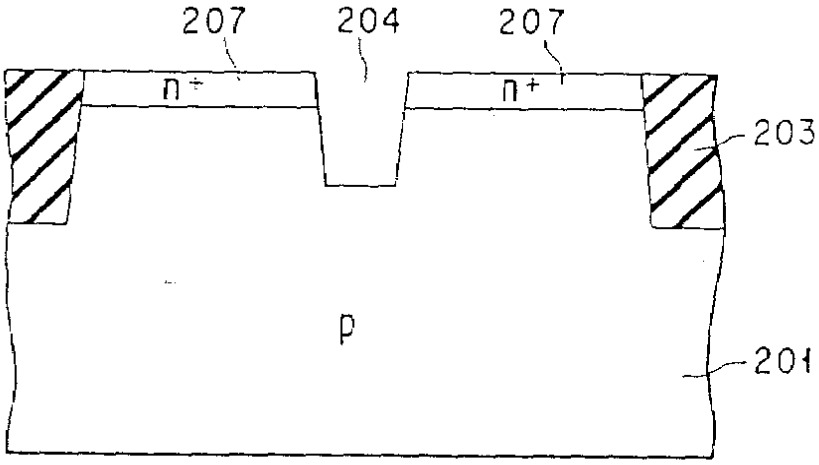
도면33c



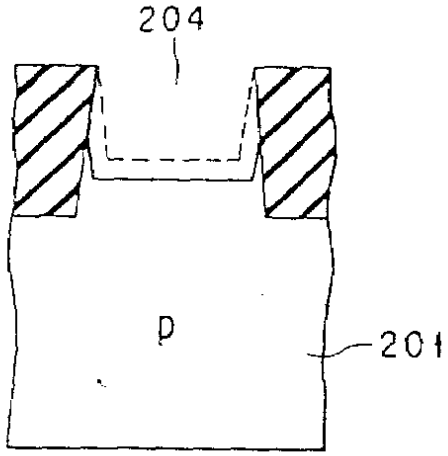
도면34a



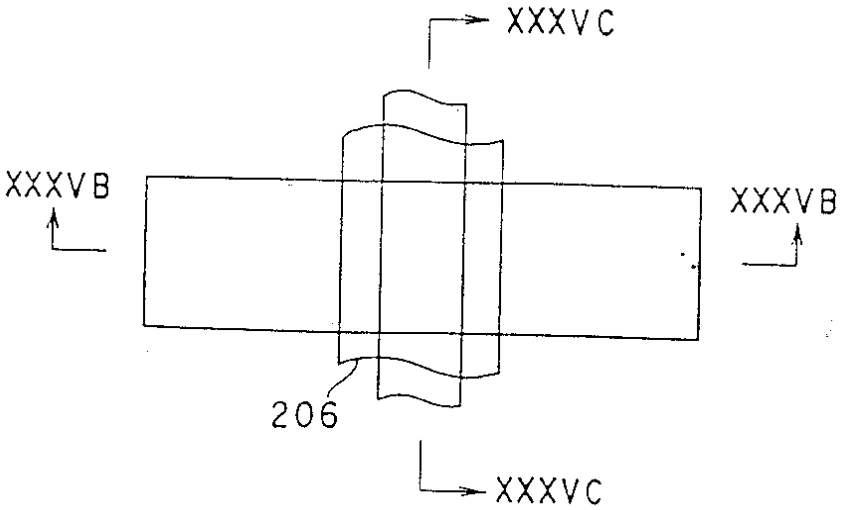
도면34b



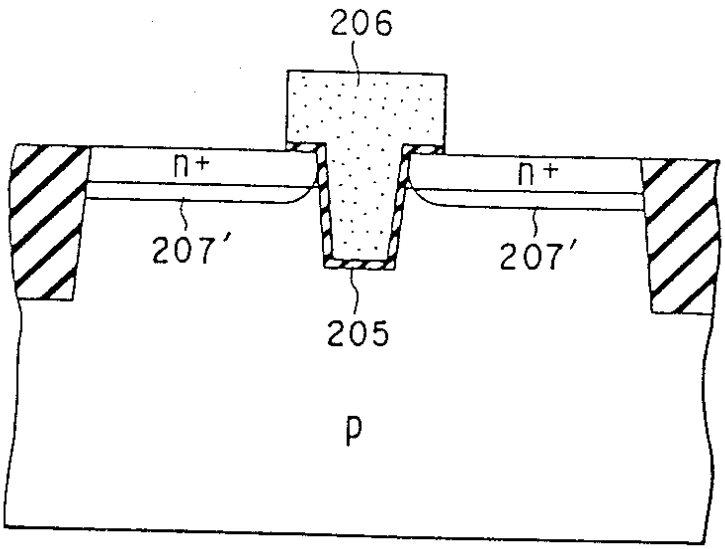
도면34c



도면35a



도면35b



도면35c

