

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294843  
(P2005-294843A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/8234	HO 1 L 27/08 1 O 2 C	4 M 1 0 4
HO 1 L 21/318	HO 1 L 21/318 B	5 F O 3 3
HO 1 L 21/768	HO 1 L 27/10 6 2 1 C	5 F O 4 8
HO 1 L 21/8242	HO 1 L 27/10 6 8 1 F	5 F O 5 8
HO 1 L 21/8247	HO 1 L 27/10 6 7 1 Z	5 F O 8 3

審査請求 有 請求項の数 7 O L (全 54 頁) 最終頁に続く

(21) 出願番号	特願2005-104583 (P2005-104583)	(71) 出願人	503121103 株式会社ルネサステクノロジ
(22) 出願日	平成17年3月31日(2005.3.31)		東京都千代田区丸の内二丁目4番1号
(62) 分割の表示	特願2002-572641 (P2002-572641) の分割	(74) 代理人	100080001 弁理士 筒井 大和
原出願日	平成13年10月31日(2001.10.31)	(72) 発明者	山本 直樹 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
(31) 優先権主張番号	特願2001-69514 (P2001-69514)	(72) 発明者	内山 博之 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(32) 優先日	平成13年3月12日(2001.3.12)	(72) 発明者	鈴木 範夫 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

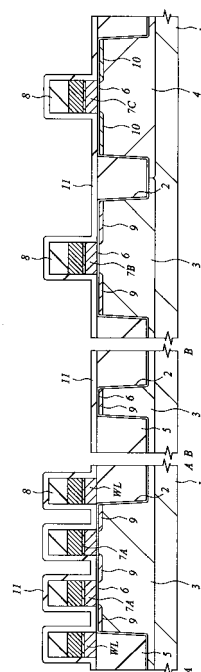
(57) 【要約】

【課題】 窒化シリコン膜の成膜工程において、ポリメタルゲートの一部を構成する高融点金属の酸化物による基板の汚染を低減する。

【解決手段】 タングステン膜を含むゲート電極 7 A、7 B、7 C 上に窒化シリコン膜 1 1 を形成する際、C V D 装置のチャンバ内を W の酸化物が還元される雰囲気にし、チャンバ内にアンモニアを供給し続けながら、ウエハ 1 を 6 0 0 以上の温度で昇温する。次に、チャンバ内にアンモニアとモノシランとを供給し、これらのガスを反応させることによって窒化シリコン膜 1 1 を堆積する。次に、モノシランの供給を止め、チャンバ内にアンモニアのみを供給し続けながらウエハ 1 を 4 0 0 まで降温した後、チャンバ内を窒素で置換し、ウエハをアンロードする。

【選択図】 図 2 6

図 26



## 【特許請求の範囲】

## 【請求項 1】

以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第 1 の主面上に高融点金属膜を含む膜パターンを形成し、前記高融点金属膜の側面を露出する工程；

(b) 前記膜パターンが形成された前記ウエハの前記第 1 の主面を、前記高融点金属の酸化物を還元する条件下で、摂氏 600 度以上の第 1 の温度まで昇温する工程；

(c) 前記膜パターンが形成された前記ウエハの前記第 1 の主面上に、前記第 1 の温度において、化学気相堆積によって絶縁膜を形成する工程；

(d) 前記化学気相堆積によって前記絶縁膜が形成された前記ウエハの前記第 1 の主面を、前記高融点金属膜の酸化物を還元する条件下で、摂氏 500 度未満の第 2 の温度まで降温し、還元性雰囲気から窒素ガス雰囲気に切り替える工程。

10

## 【請求項 2】

前記絶縁膜は、窒化シリコン膜であることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

## 【請求項 3】

前記昇温工程は、アンモニアガスを含むガス雰囲気中で行われることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

## 【請求項 4】

以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第 1 の主面上に高融点金属膜を含む膜パターンを形成し、前記高融点金属膜の側面を露出する工程；

(b) 前記膜パターンが形成された前記ウエハの前記第 1 の主面を、前記高融点金属の酸化物を還元する条件下で、プラズマ処理する工程；

(c) 前記プラズマ処理された前記ウエハの前記第 1 の主面上に、プラズマ化学気相堆積によって絶縁膜を形成する工程。

20

## 【請求項 5】

前記絶縁膜は、窒化シリコン膜であることを特徴とする請求項 4 記載の半導体集積回路装置の製造方法。

## 【請求項 6】

前記プラズマ処理工程は、アンモニアガスを含むガス雰囲気中で行われることを特徴とする請求項 4 記載の半導体集積回路装置の製造方法。

30

## 【請求項 7】

前記プラズマ処理工程は、水素ガスを含むガス雰囲気中で行われることを特徴とする請求項 4 記載の半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体集積回路装置の製造技術に関し、特に、高融点金属膜を含んだゲート電極を有する M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) を備えた半導体集積回路装置の製造に適用して有効な技術に関する。

40

## 【背景技術】

## 【0002】

ポリメタル構造の M I S F E T を形成するための改良技術として、特開平 11 - 31666 号公報 (特許文献 1) がある。この公報は、タングステン表面に形成された自然酸化物をいったん還元しておき、その後、所望熱処理を行うことで、この還元処理により熱処理中に生じる配線細りや針状結晶の成長を抑制する技術を開示している。

## 【0003】

また、特開平 11 - 26395 号公報 (特許文献 2) は、ゲート電極端部での電界集中を緩和する対策として、ゲート電極を W / W S i x N y / W 0 x 構造とし、還元性雰囲気

50

で熱処理することによりW O xを還元し、ゲート電極底部端を丸い形状とする技術を開示している。

【0004】

また、特開2000-331978号公報(特許文献3)は、Wを含むポリメタル構造のゲート電極を加工した後、過酸化水素を実質的に含まない酸性またはアルカリ性溶液で洗浄を行うことにより、Wの溶解を防止する技術を開示している。

【0005】

その他、ポリメタルゲートまたはメタルゲート一般に関しては、特開昭60-89943号公報(特許文献4)、特開昭61-150236号公報(特許文献5)、特開昭60-72229号公報(特許文献6)、特開昭59-10271号公報(特許文献7)、特開昭56-107552号公報(特許文献8)、特開昭61-127123号公報(特許文献9)、特開昭61-127124号公報(特許文献10)、特開昭60-123060号公報(特許文献11)、特開昭61-152076号公報(特許文献12)、特開昭61-267365号公報(特許文献13)、特開平1-94657号公報(特許文献14)、特開平8-264531号公報(特許文献15)、特開平3-119763号公報(特許文献16)、特開平7-94716号公報(特許文献17)、米国特許公報すなわちUSP4505028(特許文献18)、USP5719410(特許文献19)、USP5387540(特許文献20)、IEEE Transaction Electron devices, Vol.43, NO.11, November 1996, Akasaka et al, p.1864-1869、Elsevier, Applied Surface Science 117/118 (1997) 312-316, Nakajima et al、Nakajima et al, Advanced metalization conference, Japan Session, Tokyo Univ.(1995)(非特許文献1)などがある。

【0006】

また、酸化処理に関してはUSP4282270(特許文献21)などがある。さらに、水素排ガス処理に関しては、USP5202096(特許文献22)、USP5088314(特許文献23)、特開平8-83772号公報(特許文献24)、特開平9-75651号公報(特許文献25)などがある。

【0007】

さらに、水分と酸化の問題に関しては特開平7-321102号公報(特許文献26)、特開昭60-107840号公報(特許文献27)、USP5693578(特許文献28)等がある。

【0008】

さらに、触媒を用いた水分合成に関しては、特開平6-333918号公報(特許文献29)、特開平6-115903号公報(特許文献30)、特開平5-152282号公報(特許文献31)、特開平6-163871号公報(特許文献32)、特開平5-141871号公報(特許文献33)、特開平5-144804号公報(特許文献34)、特開平6-120206号公報(特許文献35)、Nakamura et al, Proceedings of the 4<sup>th</sup> Symposium on Semiconductors and Integrated circuit Technology, Tokyo Dec.1-2, 1993, the Electronic materials committee, P.128-133(非特許文献2)などがある。

【特許文献1】特開平11-31666号公報

【特許文献2】特開平11-26395号公報

【特許文献3】特開2000-331978号公報

【特許文献4】特開昭60-89943号公報

【特許文献5】特開昭61-150236号公報

【特許文献6】特開昭60-72229号公報

【特許文献7】特開昭59-10271号公報

【特許文献8】特開昭56-107552号公報

【特許文献9】特開昭61-127123号公報

【特許文献10】特開昭61-127124号公報

【特許文献11】特開昭60-123060号公報

10

20

30

40

50

- 【特許文献12】特開昭61-152076号公報
- 【特許文献13】特開昭61-267365号公報
- 【特許文献14】特開平1-94657号公報
- 【特許文献15】特開平8-264531号公報
- 【特許文献16】特開平3-119763号公報
- 【特許文献17】特開平7-94716号公報
- 【特許文献18】USP4505028
- 【特許文献19】USP5719410
- 【特許文献20】USP5387540
- 【特許文献21】USP4282270 10
- 【特許文献22】USP5202096
- 【特許文献23】USP5088314
- 【特許文献24】特開平8-83772号公報
- 【特許文献25】特開平9-75651号公報
- 【特許文献26】特開平7-321102号公報
- 【特許文献27】特開昭60-107840号公報
- 【特許文献28】USP5693578
- 【特許文献29】特開平6-333918号公報
- 【特許文献30】特開平6-115903号公報
- 【特許文献31】特開平5-152282号公報 20
- 【特許文献32】特開平6-163871号公報
- 【特許文献33】特開平5-141871号公報
- 【特許文献34】特開平5-144804号公報
- 【特許文献35】特開平6-120206号公報
- 【非特許文献1】IEEE Transaction Electron devices, Vol.43,N0.11, November 1996, Akasaka et al, p.1864-1869、Elsevier, Applied Surface Science 117/118 (1997) 312-316, Nakajima et al、Nakajima et al,Advanced metalization conference, Japan Session, Tokyo Univ.(1995)
- 【非特許文献2】Nakamura et al, Proceedings of the 45th Symposium on Semiconductors and Integrated circuit Technology, Tokyo Dec.1-2, 1993, the Electronic materials committee, P.128-133 30
- 【発明の開示】
- 【発明が解決しようとする課題】
- 【0009】
- ゲート長が $0.18\mu\text{m}$ 以下の微細なMOSFETで回路を構成するCMOSLSI、および $0.18\mu\text{m}$ 以下の幅のゲート電極およびゲート電極層を配線に用いるDRAMでは、低電圧動作時においてもゲート遅延を低減して高速動作を確保するために、金属層を含む低抵抗導電材料を使ったゲート加工プロセスが採用されるものと考えられる。
- 【0010】
- この種の低抵抗ゲート電極材料として有力視されているのは、多結晶シリコン膜の上に高融点金属膜を積層した、いわゆるポリメタルである。ポリメタルは、そのシート抵抗が $2/\text{程度}$ と低いことから、ゲート電極材料としてのみならず配線材料として利用することもできる。高融点金属としては、 $800$ 以下の低温プロセスでも良好な低抵抗性を示し、かつエレクトロマイグレーション耐性の高いW(タングステン)、Mo(モリブデン)などが使用される。なお、多結晶シリコン膜の上に直接これらの高融点金属膜を積層すると両者の接着力が低下したり、高温熱処理プロセスで両者の界面に高抵抗のシリサイド層が形成されたりするため、実際のポリメタルゲートは、多結晶シリコン膜と高融点金属膜との間に $\text{WN}_x$ (タングステンナイトライド)などの金属窒化膜からなるバリア層を介在させた3層構造で構成される。
- 【0011】 40
- 50

ところが、高融点金属膜を含んだ導電膜とエッチングしてゲート電極を形成した場合、ゲート電極の側壁に露出した高融点金属膜の表面には、所望しない酸化物が形成される。ゲート電極の側壁に形成されたこの酸化物は、その後の熱処理工程で昇華して電極周辺のシリコンや絶縁膜表面に付着し、昇華した金属酸化物は処理室の内壁などに付着した後、再び昇華し、あるいは保持台と接触した部分から基板の表面に再付着して汚染物となり、素子の特性劣化を引き起こす。

【0012】

本発明の目的は、窒化シリコン膜の成膜工程において、ポリメタルゲートの一部を構成する高融点金属の酸化物による基板の汚染を低減する技術を提供することにある。

【0013】

本発明の他の目的は、ポリメタルゲートの一部を構成する高融点金属を酸化することなしに、高温雰囲気中で窒化シリコン膜を堆積する技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

本願の一発明である半導体集積回路装置の製造方法は、以下の工程を含んでいる。  
(a) ウエハの第1の主面上に高融点金属膜を含む膜パターンを形成し、前記高融点金属膜の側面を露出する工程；  
(b) 前記膜パターンが形成された前記ウエハの前記第1の主面を、前記高融点金属の酸化物を還元する条件下で、摂氏600度以上の第1の温度まで昇温する工程；  
(c) 前記膜パターンが形成された前記ウエハの前記第1の主面上に、前記第1の温度において、化学気相堆積によって絶縁膜を形成する工程；  
(d) 前記化学気相堆積によって前記絶縁膜が形成された前記ウエハの前記第1の主面を、前記高融点金属膜の酸化物を還元する条件下で、摂氏500度未満の第2の温度まで降温し、還元性雰囲気から窒素ガス雰囲気に切り替える工程。

【0017】

本願の他の一発明である半導体集積回路装置の製造方法は、以下の工程を含んでいる。  
(a) ウエハの第1の主面上に高融点金属膜を含む膜パターンを形成し、前記高融点金属膜の側面を露出する工程；  
(b) 前記膜パターンが形成された前記ウエハの前記第1の主面を、前記高融点金属の酸化物を還元する条件下で、プラズマ処理する工程；  
(c) 前記プラズマ処理された前記ウエハの前記第1の主面上に、プラズマ化学気相堆積によって絶縁膜を形成する工程。

【発明の効果】

【0018】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0019】

窒化シリコン膜の成膜工程において、ポリメタルゲートの一部を構成する高融点金属の酸化物による基板の汚染を低減することができる。

【0020】

また、ポリメタルゲートの一部を構成する高融点金属を酸化することなしに、高温雰囲気中で窒化シリコン膜を堆積することができる。

【発明を実施するための最良の形態】

【0021】

10

20

30

40

50

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0022】

さらに、以下の実施の形態では、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲などを含む）に言及する場合、特に明示したときおよび原理的に明らかに特定の数に限定されるときを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等を含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことは言うまでもない。

10

【0023】

同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合を除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0024】

また、半導体集積回路ウエハまたは半導体ウエハとは、半導体集積回路の製造に用いるシリコン単結晶基板（一般にほぼ円形）、サファイア基板、ガラス基板その他の絶縁、反絶縁または半導体基板など、ならびにそれらの複合的基板をいう。また、「半導体集積回路装置」（あるいは「電子装置」、「電子回路装置」など）というときは、単結晶シリコン基板上に作られるものだけでなく、特にそうでない旨が明示された場合を除き、上記した各種基板、あるいはさらにSOI (Silicon On Insulator)基板、TFT (Thin Film Transistor)液晶製造用基板、STN (Super Twisted Nematic)液晶製造用基板などといった他の基板上に作られるものを含むものとする。

20

【0025】

材料、ガス組成等に言及する時、特に明示した場合を除き、純粋なもの外、その材料を主要な構成要素とする材料等を示し、他の要素の追加を許容するものとする。

30

【0026】

例えばガス組成については、主要な反応ガス、処理ガスの外、副次的な作用をする添加ガス、希釈ガス、補助ガス等の追加を許容する。

【0027】

さらに、酸化シリコン膜というときは、特にそうでない旨特定する場合を除き、一般に各種の添加剤、補助成分を含む各種のシリコン酸化物系膜、すなわち、PSG (Phospho Silicate Glass)膜、BPSG (Boro-Phospho Silicate Glass)膜、TEOS (Tetra-Ethoxy Silane)酸化膜、シリコンオキシナイトライド膜等、その他の単一膜または複合膜を含むものとする。

40

【0028】

さらに、シリコンナイトライド、窒化ケイ素または窒化シリコンというときは、 $Si_3N_4$ のみではなく、シリコンの窒化物で類似組成の絶縁膜を含むものとする。

【0029】

ゲート酸化膜については、シリコン熱酸化膜、シリコンオキシナイトライド膜のほか、その他の熱酸化膜、堆積膜、塗布系膜を含み、材料的にはシリコン酸化膜以外の非シリコン系金属酸化物、シリコンナイトライド等の絶縁性の窒化物、あるいはそれらの複合膜を含む。

【0030】

また、基板表面の導電領域や堆積膜の導電領域の材質について、「シリコン」、「シリ

50

コンベース」というときは、特に特定した場合等を除き、比較的純粋なシリコン部材の外、シリコンに不純物や添加剤を添加したもの、シリコンを主要な構成要素とする導電部材（例えば、シリコンベース合金で50%以上のGeを含むSiGe合金等も含まれるものとする。例えば、ゲートポリシリコン部やチャンネル領域をSiGeにする等）等を含むものとする。また、これらは、技術的に矛盾しない限り、形成当初は高抵抗であることも許容する。

#### 【0031】

また、堆積膜等で堆積当初はアモルファスであるが、後の熱処理ですぐに多結晶となるものがあるが、これらは特に必要があると認めるとき以外、表現上の矛盾を避けるため、当初から後の形態で表示する場合がある。例えば、多結晶シリコン（ポリシリコン）は、堆積当初はアモルファス状態であり、後の熱処理により多結晶シリコンに変わる。ただし、当初から多結晶シリコンを使用することも出来ることは言うまでもない。堆積当初はアモルファス状態であると、イオン注入におけるチャネリングの防止、ドライエッチング等の際の粒塊形状に依存した加工性の困難さの回避、熱処理後の低シート抵抗等のメリットがある。

10

#### 【0032】

また、本発明の実施に関連するその他の技術については、本願の発明者が関与する以下の出願に詳細に開示されている。すなわち、特許出願2000-118491号、特開平09-172011号公報、特開平10-335652号公報、特開平10-340909号公報、特開平11-330468号公報、特開平10-349285号公報、米国特許第6066508号、国際公開公報WO98/39802号、国際公開公報WO97/28085号などである。

20

#### 【0033】

（実施の形態1）

図1は、本実施形態のDRAM(Dynamic Random Access Memory)が形成された半導体チップ1Aの全体平面図である。長方形の半導体チップ1Aの主面には、例えば256Mbit(メガビット)の記憶容量を有するDRAMが形成されている。このDRAMは、主として複数のメモリアレイ(MARY)からなる記憶部とそれらの周囲に配置された周辺回路部PCとによって構成されている。半導体チップ1Aの中央部には、ボンディングワイヤなどの接続端子が接続される複数のボンディングパッドBPが1列に配置されている。

30

#### 【0034】

図2は、上記DRAMのメモリアレイ(MARY)の一部を示す半導体基板の平面図、図3は、上記DRAMを示す半導体基板の要部断面図である。なお、図3の左側の領域は図2のA-A線に沿った断面図、中央の領域は図2のB-B線に沿った断面図、右側の領域は周辺回路部(PC)の一部を示す断面図である。

#### 【0035】

例えばp型の単結晶シリコンからなる半導体基板(以下、基板という。また、半導体ウエハあるいは単にウエハということもある。)1の主面には、素子分離溝2、p型ウエル3およびn型ウエル4が形成されている。メモリアレイのp型ウエルには、nチャンネル型のメモリセル選択用MISFET(Metal Insulator Semiconductor Field Effect Transistor)Qtと、その上部に形成された情報蓄積用容量素子Cとによって構成される複数のメモリセルが形成されている。

40

#### 【0036】

メモリセル選択用MISFETQtは、主としてゲート絶縁膜6、アクティブ領域L以外の領域においてワード線WLを構成するゲート電極7Aおよび一对のn型半導体領域(ソース、ドレイン)9、9によって構成されている。ゲート電極7A(ワード線WL)は、例えばP(リン)がドーブされたn型多結晶シリコン膜の上部にWN<sub>x</sub>(窒化タングステン)膜とW膜とが積層された、いわゆるポリメタル(Polymetal)構造の導電膜によって構成されている。

#### 【0037】

50

D R A Mの周辺回路部 P Cは、複数の nチャネル型 M I S F E T Q nと複数の pチャネル型 M I S F E T Q pとを組み合わせ、いわゆる相補型 M I S回路によって構成されている。nチャネル型 M I S F E T Q nは p型ウエル 3に形成され、主としてゲート絶縁膜 6、ゲート電極 7 Bおよび一对の n<sup>+</sup>型半導体領域(ソース、ドレイン) 1 2、1 2によって構成されている。また、pチャネル型 M I S F E T Q pは n型ウエル 4に形成され、主としてゲート絶縁膜 6、ゲート電極 7 Cおよび一对の p<sup>+</sup>型半導体領域(ソース、ドレイン) 1 3、1 3によって構成されている。ゲート電極 7 B、7 Cは、前記メモリセル選択用 M I S F E T Q tのゲート電極 7 A(ワード線 W L)と同じポリメタル構造の導電膜によって構成されている。ゲート電極 7 B、7 Cの側壁には、窒化シリコン膜からなるサイドウォールスペーサ 1 1 sが形成されている。

10

## 【0038】

メモリセル選択用 M I S F E T Q t、nチャネル型 M I S F E T Q nおよび pチャネル型 M I S F E T Q pの上部には、ゲート電極 7 A(ワード線 W L)の上部および側壁を覆う窒化シリコン膜 1 1と層間絶縁膜 1 5とが形成されている。層間絶縁膜 1 5は、例えばスピノングラス(Spin On Glass)膜(塗布法によって形成される酸化シリコン系絶縁膜)とその上部に形成された2層の酸化シリコン膜とによって構成されている。

## 【0039】

メモリセル選択用 M I S F E T Q tのソース、ドレインを構成する一对の n型半導体領域 9、9の上部には、層間絶縁膜 1 5とその下層の窒化シリコン膜 1 1とを開孔して形成したコンタクトホール 1 6、1 7が形成されている。これらのコンタクトホール 1 6、1 7の内部には、例えば P(リン)がドーブされた n型多結晶シリコン膜によって構成されるプラグ 1 8が埋め込まれている。

20

## 【0040】

層間絶縁膜 1 5の上部には酸化シリコン膜 1 9が形成されており、前記一对のコンタクトホール 1 6、1 7の一方(コンタクトホール 1 6)の上部の酸化シリコン膜 1 9には、スルーホール 2 0が形成されている。スルーホール 2 0は、アクティブ領域 Lから外れた素子分離溝 2の上方に配置されており、その内部には例えば T i N(窒化チタン)膜の上部に W膜を積層した2層の導電膜によって構成されるプラグ 2 3が埋め込まれている。スルーホール 2 0に埋め込まれたプラグ 2 3は、その下部のコンタクトホール 1 6に埋め込まれたプラグ 1 8を介してメモリセル選択用 M I S F E T Q tのソース、ドレインの一方

30

## 【0041】

周辺回路部の酸化シリコン膜 1 9およびその下層の層間絶縁膜 1 5には、コンタクトホール 2 1、2 2が形成されている。コンタクトホール 2 1は、nチャネル型 M I S F E T Q nのソース、ドレインを構成する一对の n<sup>+</sup>型半導体領域(ソース、ドレイン) 1 2、1 2の上部に形成され、コンタクトホール 2 2は、pチャネル型 M I S F E T Q pのソース、ドレインを構成する一对の p<sup>+</sup>型半導体領域(ソース、ドレイン) 1 3、1 3の上部に形成されている。これらのコンタクトホール 2 1、2 2の内部には、前記メモリアレイのスルーホール 2 0に埋め込まれたプラグ 2 3と同じ導電材料によって構成されるプラグ 2 3が埋め込まれている。

40

## 【0042】

メモリアレイの酸化シリコン膜 1 9の上部には、メモリセルのデータを読み出す複数のビット線 B Lが形成されている。これらのビット線 B Lは素子分離溝 2の上方に配置され、同一の幅、同一の間隔でゲート電極 7 A(ワード線 W L)と直交する方向に延在している。ビット線 B Lのそれぞれは、その下部の酸化シリコン膜 1 9に形成されスルーホール 2 0内のプラグ 2 3およびその下部のコンタクトホール 1 6内のプラグ 1 8を介してメモリセル選択用 M I S F E T Q tのソース、ドレインの一方(n型半導体領域 9)に電氣的に接続されている。ビット線 B Lは、例えば W N<sub>x</sub>膜の上部に W膜を積層した導電膜によって構成されている。

50

## 【0043】

周辺回路部PCの酸化シリコン膜19の上部には第1層目の配線30~33が形成されている。これらの配線30~33は、ビット線BLと同じ導電膜によって構成されており、後述するようにビット線BLと同時に形成される。配線30、31は、酸化シリコン膜19、15に形成されたコンタクトホール21内のプラグ23を介してnチャンネル型MISFETQnのソース、ドレイン(n<sup>+</sup>型半導体領域12)に電氣的に接続され、配線32、33は、酸化シリコン膜19、15に形成されたコンタクトホール22内のプラグ23を介してpチャンネル型MISFETQpのソース、ドレイン(p<sup>+</sup>型半導体領域13)に電氣的に接続されている。

## 【0044】

ビット線BLおよび第1層目の配線30~33の上部には、層間絶縁膜40が形成されている。層間絶縁膜40は、下層の層間絶縁膜15と同じく、スピノングラス膜とその上部に形成された2層の酸化シリコン膜とによって構成されており、その表面は、基板1の全域でほぼ同じ高さになるように平坦化されている。

## 【0045】

メモリアレイの層間絶縁膜40およびその下層の酸化シリコン膜19にはスルーホール43が形成されている。スルーホール43は、その下部のコンタクトホール17の真上に配置されており、その内部には、例えばP(リン)がドーブされたn型多結晶シリコン膜によって構成されるプラグ44が埋め込まれている。

## 【0046】

層間絶縁膜40の上部には、窒化シリコン膜45および厚い膜厚の酸化シリコン膜46が形成されており、メモリアレイの酸化シリコン膜46に形成された深い溝47の内部には、下部電極48、容量絶縁膜49および上部電極50によって構成される情報蓄積用容量素子Cが形成されている。情報蓄積用容量素子Cの下部電極48は、例えばP(リン)がドーブされた低抵抗のn型多結晶シリコン膜によって構成され、その下部に形成された前記スルーホール43およびコンタクトホール17を通じてメモリセル選択用MISFETQtのn型半導体領域(ソース、ドレイン)9の他方に電氣的に接続されている。また、情報蓄積用容量素子Cの容量絶縁膜49は、例えばTa<sub>2</sub>O<sub>5</sub>(酸化タンタル)膜によって構成され、上部電極50は、例えばTiN膜によって構成されている。

## 【0047】

情報蓄積用容量素子Cの上部には酸化シリコン膜51が形成され、さらにその上部には2層程度のA1配線が形成されているが、それらの図示は省略する。

## 【0048】

次に、上記のように構成された本実施形態のDRAMの製造方法の一例を、図4~図37を用いて工程順に説明する。

## 【0049】

まず、図4に示すように、例えばp型の単結晶シリコンからなる基板(ウエハ)1を用意し、その主面に素子分離溝2を形成した後、基板1の一部にB(ホウ素)を、他の一部にP(リン)をそれぞれイオン注入した後、基板1を約950、10分程度熱処理してこれらの不純物を拡散させることにより、p型ウエル3およびn型ウエル4を形成する。素子分離溝2を形成するには、例えば基板1の素子分離領域をエッチングして深さ350nm程度の溝を形成し、続いてこの溝の内部および基板1上にCVD(Chemical Vapor Deposition)法で酸化シリコン膜5を堆積した後、溝の外部の不要な酸化シリコン膜5を化学機械研磨(Chemical Mechanical Polishing;CMP)法で除去する。図5に示すように、この素子分離溝4を形成することにより、メモリアレイの基板1には、周囲が素子分離溝2に囲まれた細長い島状のパターンを有する複数のアクティブ領域Lが形成される。

## 【0050】

次に、基板1の表面をフッ酸で洗浄した後、図6に示すように、基板1をスチーム酸化することによって、p型ウエル3の表面およびn型ウエル4の表面に酸化シリコン膜からなる清浄なゲート絶縁膜6を形成する。ゲート絶縁膜6の膜厚は、例えば6nmである。

10

20

30

40

50

ゲート絶縁膜 6 は、酸化シリコン膜に代えて酸窒化シリコン膜、窒化シリコン膜、酸化シリコン膜と窒化シリコン膜との複合絶縁膜などで形成してもよい。

【0051】

次に、図 7 に示すように、ゲート絶縁膜 6 の上部に P (リン) をドーブした n 型の多結晶シリコン膜 14 n を堆積する。多結晶シリコン膜 14 n は、例えばモノシラン ( $\text{SiH}_4$ ) とホスフィン ( $\text{PH}_3$ ) とをソースガスに用いた CVD 法で堆積 (成膜温度 = 約 630) し、その膜厚は 70 nm 程度とする。多結晶シリコン膜 14 n は、電気抵抗を低減するために、P 濃度を  $1.0 \times 10^{19} \text{ cm}^{-3}$  以上とする。

【0052】

また、上記多結晶シリコン膜 14 n に代えて、Ge (ゲルマニウム) を 5% から最大で 50% 前後含んだシリコン膜で構成することもできる。シリコンに Ge を含ませた場合は、シリコンのバンドギャップが狭くなることや、不純物の固溶限界が高くなることに起因して、上層の  $\text{WN}_x$  膜との接触抵抗が低減される利点がある。シリコンに Ge を含ませるには、シリコン膜にイオン注入で Ge を導入する方法の外、モノシラン ( $\text{SiH}_4$ ) と  $\text{GeH}_4$  とを使った CVD 法によって Ge を含んだシリコン膜を堆積する方法がある。

【0053】

次に、多結晶シリコン膜 14 n の表面をフッ酸で洗浄した後、図 8 に示すように、多結晶シリコン膜 14 n の上部にスパッタリング法で膜厚 7 nm 程度の  $\text{WN}_x$  膜 24 と膜厚 70 nm 程度の W 膜 25 とを連続して堆積し、続いて W 膜 25 の上部に CVD 法で膜厚 160 nm 程度の窒化シリコン膜 8 を堆積する。 $\text{WN}_x$  膜 24 は、多結晶シリコン膜 14 n と W 膜 25 との反応を防ぐバリア層として機能する。なお、窒化シリコン膜 8 を堆積するときは、W 膜 25 の表面の酸化を抑制するために、比較的低温 (480 前後) で成膜できるプラズマ CVD 法を用いて W 膜 25 上に 10 nm 程度の薄い窒化シリコン膜を堆積し、次に、約 950、10 秒程度のランプアニールを行って窒化シリコン膜中のガス成分を除去した後、緻密な膜を得るために、低圧 CVD 法 (成膜温度 = 780 前後) を用いて 150 nm 程度の窒化シリコン膜を堆積するとよい。あるいは、W 膜 25 の上部にプラズマ CVD 法を用いて酸化シリコン膜を堆積した後、その上部に低圧 CVD 法を用いて窒化シリコン膜 8 を堆積してもよい。

【0054】

次に、図 9 に示すように、窒化シリコン膜 8 の上部に形成したフォトレジスト膜 26 をマスクにして窒化シリコン膜 8、W 膜 24、 $\text{WN}_x$  膜 25 および多結晶シリコン膜 14 n を順次ドライエッチングすることにより、メモリアレイのゲート絶縁膜 6 上にゲート電極 7A (ワード線 WL) を形成し、周辺回路部のゲート絶縁膜 6 上にゲート電極 7B、7C を形成する。図 10 に示すように、ゲート電極 7A (ワード線 WL) は、アクティブ領域 L の長辺と直交する方向に延在するように形成される。ゲート電極 7A (ワード線 WL) の線幅 (ゲート長) および隣接するゲート電極 7A (ワード線 WL) との間隔は、例えば 0.13 ~ 0.14  $\mu\text{m}$  である。

【0055】

このように、ゲート電極 7A (ワード線 WL)、ゲート電極 7B、7C を構成する導電材料の一部を低抵抗の金属 (W) で構成したポリメタル構造とすることにより、シート抵抗が 2 / 程度あるいはそれ以下まで低減され、ゲート遅延が抑制されるため、高速で動作する DRAM を実現することができる。

【0056】

なお、ゲート電極 7A (ワード線 WL)、7B、7C を形成するための上記ドライエッチング工程では、図 11 に示すように、ゲート電極 7A (ワード線 WL)、7B、7C の周辺の基板 1 の表面にゲート絶縁膜 6 を薄く (例えば 3 nm 程度) 残しておくことが望ましい。このドライエッチングでゲート絶縁膜 6 の下層の基板 1 が露出すると、ゲート電極材料の一部である W を含んだコンタミネーション (汚染物) が後の熱処理工程で基板 1 の表面に直接付着し、通常の洗浄処理では除去され難い W シリサイドのような反応生成物が生じる虞れがある。

10

20

30

40

50

## 【0057】

次に、基板1をドライエッチング装置からアッシング装置に搬送し、図12に示すように、 $O_2$ プラズマを用いたアッシングによってフォトレジスト膜26を除去する。

## 【0058】

基板1をドライエッチング装置からアッシング装置に搬送すると、その過程で基板1の表面が大気に曝される。また、 $O_2$ プラズマを用いたアッシングによってフォトレジスト膜26を除去すると、基板1の表面が $O_2$ プラズマ雰囲気中に曝される。そのため、上記のアッシングが完了すると、図13に示すように、ゲート電極7A、7B、7Cの側壁に露出したW膜25の表面には、所望しない酸化物( $WO_x$ )27が形成される。この酸化物27は、その後の熱処理工程において昇華し、熱処理室の内壁などに付着した後、基板1の表面に再付着して汚染物となり、素子の特性劣化(DRAMの場合には、リフレッシュ不良など)を引き起こす。

10

## 【0059】

前述したように、ゲート電極7A、7B、7Cを形成するためのドライエッチング工程では、ゲート電極7A、7B、7Cの側壁下部や周辺領域のゲート絶縁膜6もある程度削られ、形成当初よりも膜厚が薄くなる(図13参照)ため、そのままではゲート耐圧が低下するなどの不具合が生じる。そこで、薄くなったゲート絶縁膜6を補填・再生するために、以下のような方法で再酸化処理を行う。

## 【0060】

図14は、ゲート絶縁膜6の再酸化処理に用いるバッチ式縦型酸化炉の一例を示す概略図である。この縦型酸化炉150は、石英管で構成されたチャンバ151を備えており、その周囲にはウエハ(基板)1を加熱するヒータ152が設置されている。チャンバ151の内部には、複数枚のウエハ1を水平に保持する石英ポート153が設置されている。また、チャンバ151の底部には、水蒸気/水素混合ガスとパージガスとを導入するガス導入管154と、これらのガスを排出する排気管155とが接続されている。ガス導入管154の他端には、図15、図16に示すようなガス生成装置140が接続されている。

20

## 【0061】

図15は、上記バッチ式縦型酸化炉150に接続された触媒方式の水蒸気/水素混合ガス生成装置を示す概略図、図16は、このガス生成装置の配管系統図である。ガス生成装置140は、耐熱耐食性合金で構成された反応器141を備えており、その内部にはPt(プラチナ)、Ni(ニッケル)あるいはPd(パラジウム)などの触媒金属からなるコイル142とこのコイル142を加熱するヒータ143とが設置されている。反応器141には、水素および酸素からなるプロセスガスと、窒素などの不活性ガスからなるパージガスとがガス貯留槽144a、144b、144cから配管145を通じて導入される。また、ガス貯留槽144a、144b、144cと配管145の間には、ガスの量を調節するマスフローコントローラ146a、146b、146cと、ガスの流路を開閉する開閉バルブ147a、147b、147cとが設置され、反応器141内に導入されるガスの量および成分比がこれらによって精密に制御される。

30

## 【0062】

上記反応器141内に導入されたプロセスガス(水素および酸素)は、350~450程度に加熱されたコイル142に接触して励起され、水素分子からは水素ラジカルが生成し( $H_2 \rightarrow 2H^*$ )、酸素分子からは酸素ラジカルが生成する( $O_2 \rightarrow 2O^*$ )。これら2種のラジカルは化学的に極めて活性であるために、速やかに反応して水を生成する( $2H^* + O^* \rightarrow H_2O$ )。そこで、水(水蒸気)が生成するモル比(水素:酸素=2:1)よりも過剰の水素を含んだプロセスガスを反応器141内に導入することにより、水蒸気/水素混合ガスを得ることができる。この混合ガスは、図16に示す希釈ライン148から供給される水素と混合されて所望の水分濃度を有する水蒸気/水素混合ガスに調整された後、前記ガス導入管154を通過して縦型酸化炉150のチャンバ151に導入される。

40

## 【0063】

上記のような触媒方式のガス生成装置140は、水の生成に関与する水素と酸素の量お

50

よびそれらの比率を高精度に制御できるので、チャンバ151に導入される水蒸気/水素混合ガス中の水蒸気濃度をppmオーダの極低濃度から数10%程度の高濃度まで広範囲に、かつ高精度に制御することができる。また、反応器141にプロセスガスを導入すると瞬時に水が生成されるので、所望する水蒸気濃度の水蒸気/水素混合ガスがリアルタイムで得られる。またこれにより、異物の混入も最小限に抑えられるので、チャンバ151内にクリーンな水蒸気/水素混合ガスを導入することができる。なお、反応器141内の触媒金属は、水素および酸素をラジカル化できるものであれば前述した金属に限定されない。また、触媒金属はコイル状に加工して使用する他、例えば中空の管あるいは細かい繊維フィルタなどに加工し、その内部にプロセスガスを通してもよい。

#### 【0064】

図17は、水蒸気/水素混合ガスを使った酸化還元反応の平衡蒸気圧比( $P_{H_2O}/P_{H_2}$ )の温度依存性を示すグラフであり、図中の曲線(a)~(e)は、それぞれW、Mo、Ta(タンタル)、Si、Ti(チタン)の平衡蒸気圧比を示している。図示のように、縦型酸化炉150のチャンバ151に導入する水蒸気/水素混合ガスの水蒸気/水素分圧比を曲線(a)と曲線(d)とに挟まれた領域の範囲内に設定することにより、ゲート電極7A、7B、7Cを構成するW膜25および $W_Nx$ 膜24を酸化することなしに、シリコンからなる基板1を選択的に酸化することができる。また図示のように、金属(W、Mo、Ta、Ti)もシリコンも、水蒸気/水素混合ガス中の水蒸気濃度が高くなるにつれて酸化速度が大きくなる。従って、チャンバ151に導入する水蒸気/水素混合ガス中の水蒸気濃度を高くすることにより、より短時間の熱処理でシリコンを選択的に酸化することができる。なお、ゲート電極7A、7B、7Cの金属部分をMo(モリブデン)で構成した場合は、水蒸気/水素分圧比を曲線(b)と曲線(d)とに挟まれた領域の範囲内に設定することにより、Mo膜を酸化することなしにシリコンのみを選択的に酸化することができる。

#### 【0065】

次に、図18を参照しながら、前記バッチ式縦型酸化炉150を使った再酸化プロセスシーケンスの一例を説明する。

#### 【0066】

まず、パージガス(窒素)が充填されたチャンバ151内に、複数枚のウエハ1を保持した石英ポート153をロードする。石英ポート153のロードに要する時間は、10分程度である。このとき、チャンバ151内のパージガス(窒素)は、ウエハ1の昇温時間を短縮するためにあらかじめ予熱しておく。但し、高温ではゲート電極7A、7B、7Cの側壁に形成された酸化物27が昇華し易いため、予熱温度の上限は500未満とすべきである。

#### 【0067】

次に、ガス導入管154を通じてチャンバ151内に10分間程度水素ガスを導入し、チャンバ151内のガス置換を行うことにより、チャンバ151内をWの酸化物27が還元される雰囲気にする。そして、チャンバ151内に水素ガスを供給し続けながら、約30分~40分かけてウエハ1を600以上の温度、例えば800まで昇温する。チャンバ151内に水素ガスのみを導入するには、反応器141の手前で酸素の供給を遮断し、水素のみを供給すればよい。

#### 【0068】

このように、ゲート電極7A、7B、7Cの側壁の酸化物27が還元される条件下でウエハ1を昇温することにより、酸化物27の大部分が還元されてWとなるため、チャンバ151内で昇華する酸化物27の量を極めて低いレベルに保つことができる。これにより、ゲート絶縁膜6の再酸化処理工程における基板1の汚染を極めて低いレベルに保つことができるので、DRAMの信頼性、製造歩留まりが向上する。

#### 【0069】

次に、ガス生成装置140の反応器141に酸素と過剰の水素とを導入し、触媒作用によって酸素と水素とから生成した水が分圧比で10%程度含まれる水蒸気/水素混合ガス

10

20

30

40

50

をチャンバ151に導入する。そして、チャンバ151内の水蒸気/水素混合ガスの温度を800、気圧を常圧、または大気圧の10%程度から50%程度の減圧領域である準常圧減圧領域(Subatmospheric region)に保ち、25分~30分かけてウエハ1の表面を酸化処理する。なお、酸化炉の種類によっては、さらに低い減圧領域で酸化処理を行うものもあるが、酸化処理時の圧力が低いと、ゲート電極7A、7B、7Cの側壁に残った酸化物27が昇華し易くなる。従って、酸化処理時の圧力は、最低でも1300Pa程度以上とすることが望ましい。

#### 【0070】

上記のような酸化処理を行うことにより、図19に示すように、ゲート電極7A、7B、7Cの周辺部の基板1が再酸化されるため、前述したドライエッチング工程で薄くなったゲート絶縁膜6の膜厚が初期の膜厚(6nm)と同程度になる。また、この酸化処理は、チャンバ151に導入する水蒸気/水素混合ガスの水蒸気/水素分圧比を、前記図17に示した曲線(a)と曲線(d)とに挟まれた領域の範囲内に設定して行うため、ゲート電極7A、7B、7Cを構成するW膜25およびWN<sub>x</sub>膜24が酸化されることはない。

10

#### 【0071】

次に、反応器141の手前で酸素の供給を遮断することによって、チャンバ151内に水素のみを供給しながら、約30分~40分かけてウエハ1を500未満の温度、例えば400まで降温する。続いて、水素ガスの供給を止め、チャンバ151内に10分間程度窒素ガスを導入してガス置換を行った後、石英ポート153をチャンバ151からアンロードする。なお、チャンバ151内を水素ガス雰囲気から窒素ガス雰囲気に切り換える温度が高い場合には、ゲート電極7A、7B、7Cの側壁のW膜25や還元されずに残った酸化物27が昇華する虞れがある。従って、水素ガスから窒素ガスへの置換は、ウエハ1の温度が300~200程度まで降温してから行う方がよい。また、上記酸化処理に要する時間に対する要求が比較的厳しくない場合は、ウエハ1の温度が100程度、より好ましくは70~室温にまで下がってから、窒素ガス雰囲気への切り換えを行う方が、W膜25の酸化を抑制できることはいうまでもない。

20

#### 【0072】

上記したゲート絶縁膜6の再酸化処理は、RTA(Rapid Thermal Annealing)方式を採用した枚葉式酸化炉を使って行うこともできる。図20(a)は、再酸化処理に用いる枚葉式酸化炉の一例を示す概略図、図20(b)は、図20(a)のB-B'線に沿った断面図である。

30

#### 【0073】

この枚葉式酸化炉100は、多重壁石英管で構成されたチャンバ101を備えており、その下部にはウエハ1を加熱するハロゲンランプ107が設置されている。チャンバ101の内部には、ハロゲンランプ107から供給される熱をウエハ1の全面に均等に分散させる円盤状の均熱リング103が収容され、その上部にウエハ1を水平に保持するサセプタ104が載置されている。均熱リング103は、石英あるいはSiC(シリコンカーバイド)などの耐熱材料で構成され、チャンバ101の壁面から延びる支持アーム105によって支持されている。均熱リング103の近傍には、サセプタ104に保持されたウエハ1の温度を測定する熱電対106が設置されている。

40

#### 【0074】

チャンバ101の壁面の一部には、チャンバ101内に水蒸気/水素混合ガスとパージガスとを導入するためのガス導入管108の一端が接続されている。このガス導入管108の他端には、前記図15、図16に示した触媒方式のガス生成装置140が接続されている。ガス導入管108の近傍には、多数の貫通孔109を備えた隔壁110が設けられており、チャンバ101内に導入されたガスは、この隔壁110の貫通孔109を通過してチャンバ101内に均等に行き渡る。チャンバ101の壁面の他の一部には、チャンバ101内に導入された上記ガスを排出するための排気管111の一端が接続されている。

#### 【0075】

上記枚葉式酸化炉100をを使った再酸化プロセスは、ウエハ1を一枚ずつ酸化処理す

50

る点を除けば、前記バッチ式縦型酸化炉 150 を使った再酸化プロセスとほぼ同様である。但し、ランプ加熱 (Lamp heating) によるウエハ 1 の昇降温は極めて短時間 (通常、数秒程度) で行われるため、ウエハ 1 のロード/アンロードは、室温で行われる。

**【0076】**

上記のような枚葉式酸化炉 100 を使った再酸化プロセスの一例を説明すると、まず、あらかじめ室温のパージガス (窒素) が充填されたチャンバ 101 を開放し、ゲート電極 7A、7B、7C の加工が終わったウエハ 1 をサセプタ 104 の上にロードする。次に、チャンバ 101 を閉鎖して水素ガスを導入し、チャンバ 101 内を水素ガス雰囲気とした後、この雰囲気を保ちながら約 5 秒かけてウエハ 1 を 600 以上の温度、例えば 950 まで昇温する。

10

**【0077】**

次に、ガス生成装置 140 の反応器 141 に酸素と過剰の水素とを導入し、触媒作用によって生成した水が分圧比で 10% 程度含まれた水蒸気/水素混合ガスをチャンバ 101 に導入する。そして、ハロゲンランプ 107 を点灯し、チャンバ 101 内の水蒸気/水素混合ガスの温度を 950 に保ちながら、約 3 分かけてウエハ 1 の表面を酸化処理する。

**【0078】**

次に、ハロゲンランプ 107 を消灯すると共に、水蒸気/水素混合ガスの供給を止め、チャンバ 101 内を再び水素雰囲気にした後、この雰囲気を保ちながら約 10 秒かけてウエハ 1 を 500 未満の温度、例えば 400 まで降温する。次に、水素ガスの供給を止め、チャンバ 101 内に窒素ガスを導入してガス置換を行った後、チャンバ 101 内の温度が室温程度まで下がったらウエハ 1 をアンロードする。この場合も、水素ガスから窒素ガスへの置換は、ウエハ 1 の温度が 300 ~ 200 程度まで降温してから行う方がよい。また、上記酸化処理に要する時間に対する要求が比較的厳しくない場合は、ウエハ 1 の温度が 100 程度、より好ましくは 70 ~ 室温にまで下がってから、窒素ガス雰囲気への切り換えを行う方が、W 膜 25 の酸化を抑制できることはいうまでもない。

20

**【0079】**

上記のような再酸化処理を行うことにより、バッチ式縦型酸化炉 150 を使った再酸化処理と同様、ゲート電極 7A、7B、7C を構成する W 膜 25 および  $WN_x$  膜 24 を酸化することなしに、ゲート絶縁膜 6 を厚膜化することができる。また、ゲート電極 7A、7B、7C の側壁の酸化物 27 が還元される条件下でウエハ 1 を昇降温することにより、チャンバ 151 内で昇華する酸化物 27 の量を極めて低レベルに保つことができるので、ゲート絶縁膜 6 の再酸化処理工程における基板 1 の汚染を極めて低いレベルに保つことができる。本発明者らの実験によれば、バッチ式縦型酸化炉 150 を使った場合でも、枚葉式酸化炉 100 を使った場合でも、所望する温度までの昇温とその後の降温とを還元性の水素雰囲気中で行うことにより、窒素雰囲気中で昇降温を行う場合に比べて、基板 1 の表面に付着する酸化物 27 の量が 2 桁から 3 桁程度少なくなることが確認された。

30

**【0080】**

なお、上述した再酸化プロセスでは、水素雰囲気中でウエハ 1 の昇降温を行ったが、W の酸化物を還元することのできる他のガス、例えばアンモニア ( $NH_3$ )、CO、 $N_2O$  などのガス雰囲気中で行ってもよい。但し、これらのガスを使用する場合は、酸化炉の配管系統などを増設する必要がある。また、パージガスとして、窒素の外、アルゴン (Ar)、ヘリウム (He)、キセノン (Xe) などの希ガスを使用することもできる。

40

**【0081】**

上述した再酸化プロセスでは、水蒸気/水素混合ガスを使ってウエハ 1 の酸化を行ったが、W 膜や Mo 膜を酸化することなくシリコンを酸化することのできる他のガス、例えば酸素 ( $O_2$ )、NO、CO、 $CO_2$  などの酸化性ガスや、これらの酸化性ガスと水蒸気/水素混合ガスとを混合したガスを使ってもよい。但し、CO や  $CO_2$  は、熱処理中に W や Mo と反応してカーバイドなどの異物を生成する可能性があるため、この点に留意して使用する必要がある。

**【0082】**

50

上記の再酸化プロセスによれば、基板 1 表面の酸化物汚染が極めて低いレベルに保たれるので、所望する温度までの昇温とその後の降温とを窒素雰囲気中で行う場合に比べて、基板 1 の表面に付着する酸化物 27 の量を 2 桁から 3 桁程度少なくすることができた。

【0083】

しかしながら、上記の再酸化プロセスでウエハ 1 の昇降温を還元性雰囲気で行っても、再酸化プロセス中に僅かな酸化物汚染が付着することがある。この場合は、次の工程である不純物のイオン注入時に酸化物汚染がゲート絶縁膜 6 中にロックオンされ、素子の電気特性を劣化させる虞れがある。

【0084】

そこで、次のイオン注入工程に移る前に基板（ウエハ）1 の表面をウェット洗浄し、酸化物汚染のレベルをさらに低減することが有効である。但し、ここでの洗浄は、ゲート電極 7 A、7 B、7 C の側壁に露出した W 膜 25 が酸化されない条件で行う必要がある。特に、前記再酸化プロセスで還元雰囲気中に曝された W 膜 25 は、その表面が通常の W 膜よりも活性化になっており、かつ酸化物 27 の還元によって表面積が大きくなっているため、再酸化プロセス前の W 膜 25 よりも酸化され易い。

【0085】

従って、この洗浄工程においても、酸化性溶液を用いることは避けなければならない。すなわち、還元性溶液で洗浄し、さらにゲート電極 7 A、7 B、7 C の側壁に露出した W 膜 25 の表面に存在する W 酸化物も同時に除去できることが望ましい。この条件を実現するため、本発明者らは、図 21 に示したタングステン - 水系の酸化還元電位と pH 状態図（この状態図は、Emil A. Knee, Chilkunda Raghunath, Srini Raghavan and Joong S. Joon: Electrochemistry of Chemical Vapor Deposited Tungsten Films with Relevance to Chemical Mechanical Polishing, J. Electrochem. Soc., Vol. 143, No. 12, pp. 4095-4100, December, 1996 に記載されている）において、W 存在領域と  $WO_4$  の負イオン存在領域の境界近傍の性質を持つ水を用いることが望ましいことを見出した。

【0086】

実験の結果、このような水を用いることにより、W 膜の表面に存在する W 酸化物 ( $WO_x$ ) が  $WO_4$  の負イオンとして水に溶出し、その後、W 膜の表面は、ほとんど酸化されなかった。また、このような望ましい効果が得られるのは、pH 6.5 以上、12 未満の範囲、より好ましくは pH 7 以上、10.5 未満の範囲にあるほぼ中性または弱アルカリ性の純水または薬液を使用した場合であった。その他、超純水による洗浄のみでも酸化物汚染を 3 桁程度除去することができた。また、この超純水に水素ガスを約 0.2 mg/l ~ 約 2 mg/l 程度添加した水素含有水で洗浄した場合は、純水を使用した場合に比べて酸化物汚染の除去率を 1.5 倍程度高めることができた。

【0087】

酸化物汚染の溶出効率を高めるために、上記した超純水や水素含有水にアンモニアを加えて弱アルカリ性にした水溶液を使用してもよい。実験の結果、水に 0.2 ミリモルから 120 ミリモルのアンモニアを添加することにより、pH を 11.5、酸化還元ポテンシャルを 580 mV から 870 mV の還元ポテンシャルにすることができ、これによって、W 膜を酸化することなく表面に形成されていた W 酸化物を水の中に溶出させて除去することができた。この結果は、ゲート電極周辺の酸化シリコン膜上に付着した  $WO_x$  を溶出して除去できることを示している。これにより、次の熱処理工程での W 酸化物昇華量を低減でき、LSI の汚染を抑止することができる。

【0088】

上記した水または薬液は、W 膜を容易に酸化する過酸化水素を実質的に含まないものを使用することが好ましい。また、微量の過酸化水素を含んだものであっても、濃度 30 重量% の過酸化水素を 100% とした場合に、過酸化水素が体積比で 0.3% 以上は含まれていないものを使用すべきである。

【0089】

また、上記した水または薬液を使ったウエハ 1 の洗浄時には、超音波などの機械的振動

を加えることで汚染の除去効率をより一層高めることができる。また、除去された汚染が再付着するのを防ぐためには、静水状態でなく流水状態で洗浄を行う方がよい。流水洗浄を行った場合には、水 -  $\text{SiO}_2$  界面にできる電気二重層と、流動水の界面動電位（ツェータ（ $\zeta$ ）ポテンシャル）とによる付着  $\text{WO}_x$  の除去効果によって、汚染低減効果が増加すると考えられる。

#### 【0090】

前述したように、再酸化プロセスで還元雰囲気曝されたW膜は、通常のW膜よりも酸化され易いため、上記の洗浄は、再酸化処理後、速やかに行うべきである。この場合、酸化炉と洗浄装置とを直結するなど、搬送中の大気との接触による酸化を防ぐ対策も有効である。

10

#### 【0091】

図22は、W膜表面に形成された自然酸化膜の水洗による除去効果を全反射蛍光X線で測定した結果を示すグラフである。W膜は、室温で形成したものと、500℃で形成したものとを使用した。500℃で形成したW膜は、室温で形成したW膜に比べて膜の結晶性が高いため、自然酸化膜が形成されにくいという特徴がある。また、いずれの場合も、水温が室温から上昇するにつれて自然酸化膜が増加するが、約60℃を超えると、自然酸化膜の増加よりも洗浄力の方が上回るため、除去効果が高くなるという結果が得られた。このことから、洗浄時の水または薬液の温度を室温～摂氏50度未満、または摂氏70度以上、より好ましくは、室温～摂氏45度未満、または摂氏75度以上とすることで自然酸化膜を効率よく除去することができる。

20

#### 【0092】

次に、図23に示すように、p型ウエル3の上部をフォトレジスト膜28で覆い、n型ウエル4にB（ホウ素）をイオン注入する。続いて、フォトレジスト膜28をアッシングで除去した後、図24に示すように、n型ウエル4の上部をフォトレジスト膜29で覆い、p型ウエル3にAs（ヒ素）をイオン注入する。BとAsのドーズ量は、例えば  $3 \times 10^{13} \text{ atoms/cm}^2$  である。

#### 【0093】

次に、フォトレジスト膜29をアッシングで除去した後、基板1の表面に付着したアッシング残渣を除去するために、基板1の表面をウェット洗浄する。このウェット洗浄は、ゲート電極7A、7B、7Cの側壁に露出したW膜（25）が酸化されない条件で行う必要があるため、再酸化プロセス直後の洗浄工程で使用した前記純水または薬液を使用する。

30

#### 【0094】

次に、約950℃の窒素ガス雰囲気中、ランプアニールで基板1を10秒程度熱処理し、上記不純物を電気的に活性化することにより、図25に示すように、ゲート電極7A、7Bの両側のp型ウエル3にn<sup>-</sup>型半導体領域9を形成し、ゲート電極7Cの両側のn型ウエル4にp<sup>-</sup>型半導体領域10を形成する。この後、不純物を活性化するための上記熱処理によってゲート電極7A、7B、7Cの側壁から昇華し、基板1の表面に再付着した極めて微量の酸化物汚染を除去する目的で基板1の表面を洗浄してもよい。この洗浄には、再酸化プロセス直後の洗浄工程で使用した前記純水または薬液を使用することが望ましい。

40

#### 【0095】

次に、図26に示すように、基板1上に膜厚50nm程度の窒化シリコン膜11を堆積する。この窒化シリコン膜11は、例えばモノシラン（ $\text{SiH}_4$ ）とアンモニア（ $\text{NH}_3$ ）とをソースガスに用いた低圧CVD法で堆積する。この窒化シリコン膜11の成膜フローは、例えば以下の通りである。

#### 【0096】

まず、あらかじめ窒素が充填された低圧CVD装置のチャンバ内にウエハ1をロードする。チャンバ内の予熱温度は、500℃未満とする。次に、ソースガスの一部であるアンモニアのみをチャンバ内に供給し、チャンバ内をWの酸化物が還元される雰囲気にする。

50

そして、チャンバ内にアンモニアを供給し続けながら、ウエハ1を600以上の温度、例えば730～780まで昇温する。次に、チャンバ内にアンモニアとモノシランとを供給し、これらのガスを反応させることによって窒化シリコン膜11を堆積する。窒化シリコン膜11の成膜時間は、10分程度である。次に、モノシランの供給を止め、チャンバ内にアンモニアのみを供給し続けながらウエハ1を500未満、例えば400まで降温した後、チャンバ内を窒素で置換し、ウエハをアンロードする。なお、チャンバ内をアンモニアガス雰囲気から窒素ガス雰囲気に切り換える温度が高い場合は、ゲート電極7A、7B、7Cの側壁のW膜25や、還元されずに残った酸化物27が昇華する虞れがある。従って、アンモニアガスから窒素ガスへの置換は、ウエハ1の温度が300～200程度まで降温してから行う方がさらに望ましい。また、上記窒化シリコン膜11の成膜に要する時間に対する要求が比較的厳しくない場合は、ウエハ1の温度が100程度、より好ましくは70～室温にまで下がってから、窒素ガス雰囲気への切り換えを行う方が、W膜25の酸化を抑制できることはいうまでもない。

10

## 【0097】

上記のような方法で窒化シリコン膜11を堆積することにより、ゲート電極7A、7B、7Cを構成するW膜25および $WN_x$ 膜24を酸化することなしに、高温雰囲気中で窒化シリコン膜11を堆積することができる。また、ゲート電極7A、7B、7Cの側壁の酸化物27が還元される条件下でウエハ1を昇温するので、チャンバ内で昇華する酸化物27の量を極めて低レベルに保つことができ、窒化シリコン膜11の成膜工程における基板1の汚染を極めて低いレベルに保つことができる。

20

## 【0098】

なお、上記した窒化シリコン膜11の堆積プロセスでは、アンモニア雰囲気中でウエハ1を昇降温したが、Wの酸化物を還元することのできる他のガス、例えば水素、CO、 $N_2O$ などのガス雰囲気中でウエハ1を昇降温してもよい。但し、これらのガスを使用する場合は、CVD装置の配管系統などを増設する必要がある。また、パージガスとしてアルゴン(Ar)、ヘリウム(He)、キセノン(Xe)などの希ガスを使用することもできる。さらに、ソースガスとしてジクロルシラン( $SiH_2Cl_2$ )とアンモニアとの混合ガスなどを使用することもできる。

## 【0099】

以上のようなプロセスにより、基板1の表面のW酸化物汚染濃度を検出限界レベルである $1 \times 10^{10}$ 個/cm<sup>2</sup>以下にまで低減することができた結果、DRAMのリフレッシュ時間が対策前の50msから200ms以上に改善された。

30

## 【0100】

窒化シリコン膜11は、低圧CVD法に代えてプラズマCVD法で堆積することもできる。プラズマCVD法は、低圧CVD法よりも低い温度(400～500)で膜を形成できるという利点があるため、Wの酸化物が生成し難い利点があるが、膜の緻密性は、低圧CVD法よりも劣る。この場合も、Wの酸化物が還元される雰囲気中で昇温および降温を行うことにより、窒化シリコン膜11の成膜工程における基板1の汚染を極めて低いレベルに保つことができる。また、プラズマCVD法で窒化シリコン膜を堆積する際は、それに先立つ工程でW膜25の表面に形成された酸化物を除去するため、前記アンモニアや水素などを含んだ還元性雰囲気中でプラズマ処理をした後、成膜を行うことが有効である。

40

## 【0101】

以下、窒化シリコン膜11を堆積した後のプロセスを簡単に説明する。まず、図27に示すように、メモリアレイの基板1の上部をフォトレジスト膜(図示せず)で覆い、周辺回路部の窒化シリコン膜11を異方的にエッチングすることによって、周辺回路部のゲート電極7B、7Cの側壁にサイドウォールスペーサ11cを形成する。

## 【0102】

次に、周辺回路部のp型ウエル3にAsまたはPをイオン注入することによって高不純物濃度のn<sup>+</sup>型半導体領域(ソース、ドレイン)12を形成し、n型ウエル4にBをイオ

50

ン注入することによって高不純物濃度の $p^+$ 型半導体領域(ソース、ドレイン)を形成する。ここまでの工程により、周辺回路部の $n$ チャネル型MISFET $Q_n$ および $p$ チャネル型MISFET $Q_p$ が完成する。

**【0103】**

次に、図28に示すように、ゲート電極7A~7Cの上部にスピノングラス膜と2層の酸化シリコン膜とによって構成される層間絶縁膜15を形成した後、フォトレジスト膜(図示せず)をマスクにしたドライエッチングで $n^-$ 型半導体領域9の上部の窒化シリコン膜11を除去し、 $n^-$ 型半導体領域9の表面を露出させることによってコンタクトホール16、17を形成する。窒化シリコン膜11のエッチングは、素子分離溝2に埋め込まれた酸化シリコン膜5に対する窒化シリコン膜11のエッチングレートが大きくなるような条件で行い、素子分離溝5が深く削れないようにする。また、このエッチングは、窒化シリコン膜11が異方的にエッチングされるような条件で行い、ゲート電極7A(ワード線WL)の側壁に窒化シリコン膜11を残すようにする。これにより、微細な径を有するコンタクトホール16、17がゲート電極7A(ワード線WL)に対して自己整合(Self-align)で形成される。

10

**【0104】**

次に、図29に示すように、コンタクトホール16、17の内部にプラグ18を形成する。プラグ18を形成するには、コンタクトホール16、17の内部および層間絶縁膜15の上部にPをドーピングした多結晶シリコン膜をCVD法で堆積し、続いて層間絶縁膜15の上部の不要な多結晶シリコン膜をドライエッチングによって除去する。

20

**【0105】**

次に、窒素ガス雰囲気中で基板1を熱処理し、プラグ18を構成する多結晶シリコン膜中のPを $n^-$ 型半導体領域9に拡散させることによって、低抵抗の $n$ 型半導体領域9(ソース、ドレイン)を形成する。ここまでの工程で、メモリアレイにメモリセル選択用MISFET $Q_t$ が形成される。

**【0106】**

次に、図30および図31に示すように、層間絶縁膜15の上部にCVD法で酸化シリコン膜19を堆積した後、フォトレジスト膜(図示せず)をマスクにしたドライエッチングで周辺回路部の酸化シリコン膜19およびその下層の層間絶縁膜15をドライエッチングすることによって、 $n$ チャネル型MISFET $Q_n$ のソース、ドレイン( $n^+$ 型半導体領域12)の上部にコンタクトホール21を形成し、 $p$ チャネル型MISFET $Q_p$ のソース、ドレイン( $p^+$ 型半導体領域13)の上部にコンタクトホール22を形成する。また、このとき同時に、メモリアレイの酸化シリコン膜19をエッチングすることによって、コンタクトホール16の上部にスルーホール20を形成する。

30

**【0107】**

次に、図32に示すように、周辺回路部に形成された上記コンタクトホール21、22およびメモリアレイに形成された上記スルーホール20の内部にプラグ23を形成する。プラグ23を形成するには、例えばコンタクトホール21、22およびスルーホール20の内部を含む酸化シリコン膜19の上部にスパッタリング法およびCVD法でTiN膜およびW膜を堆積した後、酸化シリコン膜19の上部の不要なW膜およびTiN膜化学機械研磨法で除去する。

40

**【0108】**

次に、図33に示すように、メモリアレイの酸化シリコン膜19上にビット線BLを形成し、周辺回路部の酸化シリコン膜19上に配線30~33を形成する。ビット線BLおよび配線30~33は、例えば酸化シリコン膜19上にスパッタリング法でW膜と $WN_x$ 膜とを堆積し、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターンニングすることによって形成する。

**【0109】**

次に、図34に示すように、ビット線BLおよび配線30~33の上部にスピノングラス膜と2層の酸化シリコン膜とによって構成される層間絶縁膜40を形成し、続いて層

50

間絶縁膜 40 およびその下層の酸化シリコン膜 19 をドライエッチングしてコンタクトホール 17 の上部にスルーホール 43 を形成した後、スルーホール 43 の内部に多結晶シリコン膜からなるプラグ 44 を形成する。プラグ 44 を形成するには、スルーホール 43 の内部および層間絶縁膜 40 の上部に P をドーブした多結晶シリコン膜を CVD 法で堆積し、続いて層間絶縁膜 40 の上部の不要な多結晶シリコン膜をドライエッチングによって除去する。

#### 【0110】

次に、図 35 に示すように、層間絶縁膜 40 の上部に CVD 法で窒化シリコン膜 45 を堆積し、続いて窒化シリコン膜 45 の上部に CVD 法で酸化シリコン膜 46 を堆積した後、フォトレジスト膜をマスクにしてメモリアレイの酸化シリコン膜 46 をドライエッチングし、続いてその下層の窒化シリコン膜 45 をドライエッチングすることにより、スルーホール 44 の上部に溝 47 を形成する。

10

#### 【0111】

次に、図 36 に示すように、溝 47 の内壁に多結晶シリコン膜によって構成される情報蓄積用容量素子 C の下部電極 48 を形成する。下部電極 48 を形成するには、まず溝 47 の内部および酸化シリコン膜 46 の上部に、P (リン) をドーブしたアモルファスシリコン膜 (図示せず) を CVD 法で堆積した後、酸化シリコン膜 46 の上部の不要なアモルファスシリコン膜をドライエッチングで除去する。次に、溝 47 の内部に残った上記アモルファスシリコン膜の表面をフッ酸系の洗浄液でウェット洗浄した後、減圧雰囲気中でアモルファスシリコン膜の表面にモノシラン ( $\text{SiH}_4$ ) を供給し、続いて基板 1 を熱処理してアモルファスシリコン膜を多結晶化すると共に、その表面にシリコン粒を成長させる。これにより、表面が粗面化された多結晶シリコン膜からなる下部電極 48 が形成される。表面が粗面化された多結晶シリコン膜は、その表面積が大きいので、微細化された情報蓄積用容量素子 C の蓄積電荷量を増やすことができる。

20

#### 【0112】

次に、図 37 に示すように、溝 47 の内部に形成された下部電極 48 上の表面および溝 47 の外部の酸化シリコン膜 46 の表面に、情報蓄積用容量素子 C の容量絶縁膜 49 となる  $\text{Ta}_2\text{O}_5$  (酸化タantal) 膜を CVD 法で堆積し、続いて酸素雰囲気中で基板 1 を熱処理することによって、 $\text{Ta}_2\text{O}_5$  膜を改質、結晶化する。続いて、 $\text{Ta}_2\text{O}_5$  膜の上部に情報蓄積用容量素子 C の上部電極 50 となる TiN 膜を堆積し、周辺回路部の  $\text{Ta}_2\text{O}_5$  膜と TiN 膜とをエッチングで除去する。これにより、TiN 膜からなる上部電極 50、 $\text{Ta}_2\text{O}_5$  膜からなる容量絶縁膜 49 および多結晶シリコン膜からなる下部電極 48 によって構成される情報蓄積用容量素子 C が形成される。また、ここまでの工程により、メモリセル選択用 MISFET とこれに直列に接続された情報蓄積用容量素子 C とからなる DRAM のメモリセルが完成する。

30

#### 【0113】

その後、情報蓄積用容量素子 C の上部に CVD 法で酸化シリコン膜 50 を堆積し、さらにその上部に図示しない 2 層程度の Al 配線を形成することにより、前記図 2、図 3 に示す本実施形態の DRAM が完成する。

#### 【0114】

##### (実施の形態 2)

本実施形態は、ロジック混載 DRAM に適用したものであり、その製造方法の一例を、図 38 ~ 図 45 を用いて工程順に説明する。なお、製造方法を示す各断面図の左側部分は DRAM のメモリアレイの一部を示し、右側部分はロジック部の一部を示している。

40

#### 【0115】

まず、図 38 に示すように、例えば p 型の単結晶シリコンからなる基板 1 を用意し、前記実施の形態 1 と同様の方法で基板 1 の主面に素子分離溝 2 を形成した後、基板 1 の一部に p 型ウエル 3、他の一部に n 型ウエル 4 を形成し、続いて基板 1 をスチーム酸化することによって、p 型ウエル 3 の表面および n 型ウエル 4 の表面に、膜厚 6 nm 程度の酸化シリコン膜からなる清浄なゲート絶縁膜 6 を形成する。ゲート絶縁膜 6 は、酸化シリコン膜

50

に代えて酸化シリコン膜、窒化シリコン膜、酸化シリコン膜と窒化シリコン膜との複合絶縁膜などで形成してもよい。

【0116】

次に、図39に示すように、ゲート絶縁膜6の上部にノンドープのアモルファスシリコン膜14aを堆積する。アモルファスシリコン膜14aは、例えばモノシラン( $\text{SiH}_4$ )をソースガスに用いたCVD法で堆積し、その膜厚は70nm程度とする。モノシラン( $\text{SiH}_4$ )をソースガスに用いたCVD法でアモルファスシリコン膜14aを形成する場合は、成膜温度を500~550の範囲内、例えば530に設定する。なお、成膜温度を600以上に設定した場合は、前記実施の形態1のように多結晶シリコン膜14nが得られる。また、ジノシラン( $\text{Si}_2\text{H}_6$ )をソースガスに用いたCVD法で堆積する場合も、多結晶シリコン膜が得られる温度よりも低い温度、例えば約520程度で成膜することによって、アモルファスシリコン膜14aが得られる。なお、上記ノンドープのアモルファスシリコン膜14aに代えて、Ge(ゲルマニウム)を最大で50%前後含んだシリコン膜を使用してもよい。例えばCVD法で多結晶シリコン膜を堆積し、次に、この多結晶シリコン膜にイオン注入法でGeを導入することにより、Geを含んだアモルファスシリコン膜が得られる。

10

【0117】

後述するように、本実施形態のロジック混載DRAMは、ロジック部のnチャネル型MISFETとpチャネル型MISFETを共に表面チャネル型とするために、nチャネル型MISFETのゲート電極の一部である多結晶シリコン膜をn型で構成し、pチャネル型MISFETのゲート電極の一部である多結晶シリコン膜をp型で構成する。この場合、ゲート絶縁膜6の上部にノンドープの多結晶シリコン膜を堆積し、次に、pチャネル型MISFET形成領域の多結晶シリコン膜をp型にするためにホウ素(B)をイオン注入した場合は、ホウ素の一部がチャネリング現象によって多結晶シリコン膜とゲート絶縁膜6とを突き抜け、基板1のチャネル領域に導入されてしまう虞れがある。

20

【0118】

従って、本実施形態のように、pチャネル型MISFETのゲート電極の一部をp型多結晶シリコン膜で構成する場合には、チャネリング現象が生じ難い上記アモルファスシリコン膜14aを使用することが望ましい。他方、前記実施の形態1のDRAMのように、全てのゲート電極(7A、7B、7C)のシリコン膜をn型導電性のシリコン膜で構成するような場合は、上記したホウ素の突き抜けの問題が生じないので、アモルファスシリコン膜14aに代えて多結晶シリコン膜を使用してもよい。

30

【0119】

次に、図40に示すように、p型ウエル3の上部をフォトレジスト膜60で覆い、n型ウエル4の上部のアモルファスシリコン膜14aにB(ホウ素)をイオン注入する。Bのドーズ量は、例えば $2 \times 10^{15}$  atoms/cm<sup>2</sup>、注入エネルギーは、例えば5keVとする。続いて、フォトレジスト膜60をアッシングで除去した後、図41に示すように、n型ウエル4の上部をフォトレジスト膜61で覆い、p型ウエル3の上部のアモルファスシリコン膜14aにP(リン)をイオン注入する。Pのドーズ量は、例えば $2 \times 10^{15}$  atoms/cm<sup>2</sup>、注入エネルギーは、例えば10keVである。

40

【0120】

次に、フォトレジスト膜61をアッシングで除去し、フッ酸を使って多結晶シリコン膜14nの表面を洗浄した後、約950の窒素雰囲気中、1分程度のランプアニールを行ってアモルファスシリコン膜14aを結晶化すると共に、上記不純物(BおよびP)を電気的に活性化する。これにより、図42に示すように、nチャネル型MISFET形成領域のアモルファスシリコン膜14aがn型の多結晶シリコン膜14nとなり、pチャネル型MISFET形成領域のアモルファスシリコン膜14aがp型の多結晶シリコン膜14pとなる。

【0121】

なお、アモルファスシリコン膜14aの上部に $\text{WN}_x$ 膜やW膜を堆積した後に、アモル

50

ファスシリコン膜 14a を結晶化するための熱処理を行うと、シリコンの結晶化に伴う応力変化によって、 $WN_x$ 膜やW膜が剥離する虞れがある。また、アモルファスシリコン膜 14a 中の不純物 (B、P) がゲート絶縁膜 6 との界面まで拡散する前に、 $WN_x$ 膜やW膜に取り込まれるため、ゲート絶縁膜 6 の界面近傍で空乏化が生じ、所望の素子特性が得られなくなる虞れもある。従って、上記の熱処理は、アモルファスシリコン膜 14a の上部に  $WN_x$ 膜やW膜を堆積する前に行うことが望ましい。

#### 【0122】

次に、フッ酸を使って多結晶シリコン膜 14n、14p の表面を洗浄した後、図 43 に示すように、多結晶シリコン膜 14n、14p の上部にアモルファスシリコン膜 34a を堆積する。アモルファスシリコン膜 34a は、例えばモノシラン ( $SiH_4$ ) をソースガスに用いた CVD 法で堆積 (成膜温度 = 約 530 ) し、その膜厚は 10 nm 程度とする。また、アモルファスシリコン膜 34a は、形成当初の不純物濃度が  $1.0 \times 10^{17} \text{cm}^{-3}$  未満の極めて低不純物濃度のアモルファスシリコン、あるいは  $1.0 \times 10^{14} \text{cm}^{-3}$  未満の実質的にノンドープのアモルファスシリコンで構成する。アモルファスシリコン膜 34a は、多結晶シリコン膜 14n、14p の表面に生じる極めて薄い自然酸化膜と、次の工程でその上部に堆積する  $WN_x$ 膜 24 との接触を遮断するために形成する。アモルファスシリコン膜 34a は、完全なアモルファス状態でなくともよく、例えば極微小のシリコン結晶粒の集合体であってもよい。

10

#### 【0123】

次に、フッ酸を使ってアモルファスシリコン膜 34a の表面を洗浄した後、図 44 に示すように、アモルファスシリコン膜 34a の上部にスパッタリング法で  $WN_x$ 膜 24 と W膜 25 とを連続して堆積し、続いて W膜 25 の上部に CVD 法で窒化シリコン膜 8 を堆積する。 $WN_x$ 膜 24 の膜厚は、5 nm から 10 nm 程度とする。また、 $WN_x$ 膜 24 の上部に堆積する W膜 25 の膜厚は 70 nm ~ 80 nm 程度、窒化シリコン膜 8 の膜厚は 160 nm 程度とする。 $WN_x$ 膜 24 の上部には、W膜 25 に代えて Mo 膜を堆積してもよい。

20

#### 【0124】

本実施の形態では、上記  $WN_x$ 膜 24 をスパッタリング法で形成する際、素子完成時の窒素元素組成が少なくとも 7% から 10% 以上、好ましくは 13% 以上、より好ましくは 18% 以上となるような条件で  $WN_x$ 膜 24 を形成する。このような  $WN_x$ 膜 24 を形成するには、 $WN_x$ 膜 24 に高濃度の窒素が含まれるような雰囲気 で成膜を行えばよい。すなわちチャンバ内の雰囲気を、アルゴンガスに対する窒素ガスの流量比が 1.0 以上となるようなガス雰囲気に設定してスパッタリングを行えばよい。具体的には、例えば窒素ガス流量 = 50 sccm から 80 sccm、アルゴンガス流量 = 20 sccm から 30 sccm、チャンバ内の真空度 = 0.5 Pa、温度 = 200 から 500 の条件で成膜を行う。

30

#### 【0125】

また、成膜時の  $WN_x$ 膜 24 の膜厚は、5 nm から 10 nm の範囲内とすることが望ましい。成膜時の  $WN_x$ 膜 24 の膜厚を 5 nm 以上とすることにより、成膜後の熱処理工程で  $WN_x$ 膜 24 の一部と下層のシリコン層とが反応しても、素子完成時の残存膜厚が少なくとも 1 nm 以上となるため、バリア層としての機能が確保される。他方、成膜時の  $WN_x$ 膜 24 の膜厚が 10 nm を超えると、ゲート電極の配線抵抗が大きくなり、回路の高速動作にとって不利益がある。

40

#### 【0126】

また、 $WN_x$ 膜 24 に高濃度の窒素が含まれるような雰囲気 で成膜を行った場合でも、成膜後の熱処理工程で過剰の窒素が拡散して離脱するため、素子完成時の  $WN_x$ 膜 24 は、化学量論的に最も安定した  $W_2N$  が主体となる。但し、 $WN_x$ 膜 24 の一部は熱処理の過程で下層のシリコン層と反応するため、素子完成時の  $WN_x$ 膜 24 は、 $W_2N$  とそれ以外の  $WN_x$ 、場合によってはさらに  $WSiN$  を含んだ混晶となる。

#### 【0127】

次に、図 45 に示すように、窒化シリコン膜 8 の上部に形成したフォトレジスト膜 62

50

をマスクにして窒化シリコン膜 8、W 膜 2 4、 $WN_x$  膜 2 5、アモルファスシリコン膜 3 4 a および多結晶シリコン膜 1 4 n、1 4 p を順次ドライエッチングすることにより、メモリアレイのゲート絶縁膜 6 上にゲート電極 7 A (ワード線 WL) を形成し、ロジック部のゲート絶縁膜 6 上にゲート電極 7 D、7 E を形成する。

【0128】

その後、前記実施の形態 1 で説明した方法でメモリアレイにメモリセル選択用 MISFET Q t を形成し、ロジック部に n チャネル型 MISFET および p チャネル型 MISFET を形成する。この場合も、ゲート絶縁膜 6 の再酸化処理、洗浄処理、窒化シリコン膜の堆積などを前記実施の形態 1 と同様の方法で行うことにより、W の酸化物による基板 1 の汚染を極めて低いレベルに保つことができる。

10

【0129】

図 4 6 は、ゲート電極 7 A、7 D、7 E の一部を構成する  $WN_x$  膜 2 4 を形成する際の窒素流量と  $WN_x$  膜 2 4 の結晶構造との関係を、 $WN_x$  膜 2 4 の成膜直後と 950 の窒素ガス中で 1 分間熱処理を行った後とで X 線回折測定により調べた結果を示すグラフである。図示のように、 $WN_x$  膜 2 4 を形成する際の窒素流量を 10 s c c m とした場合は、高温熱処理の過程で  $WN_x$  膜 2 4 中の窒素が放出されて W 膜となってしまうため、 $WN_x$  膜 2 4 のバリア層としての機能が失われてしまう。

【0130】

図 4 7 は、アルゴンガスの流量を一定 (40 s c c m) に保ち、窒素ガス流量を変えて成膜した  $WN_x$  膜を種々の温度で熱処理した時の膜応力を測定したグラフであり、(a) は基板温度 400 で成膜した場合、(b) は基板温度 200 で成膜した場合を示している。図示のように、 $WN_x$  膜を形成する際の窒素流量が少ない場合は、その後の熱処理によって窒素が放出され、膜が収縮するために、膜応力が増加することが判る。

20

【0131】

図 4 8 は、窒素ガスとアルゴンガスの流量比を変えて成膜した  $WN_x$  膜を含むゲート電極の耐圧、および  $WN_x$  膜 / 多結晶シリコン膜界面の接触抵抗の関係を調べた結果を示している。図示のように、窒素ガスの流量比が少ない条件で成膜した  $WN_x$  膜の場合、ゲート電極の耐圧が低下し、 $WN_x$  膜 / 多結晶シリコン膜界面の接触抵抗が増加する。

【0132】

このように、 $WN_x$  膜 2 4 に高濃度の窒素が含まれるような雰囲気中で成膜を行う本実施の形態によれば、熱処理工程後においても  $WN_x$  膜中に N が残存しているため、 $WN_x$  膜 2 4 のバリア層としての機能が失われることはない。また、 $WN_x$  膜 2 4 と多結晶シリコン膜 1 4 n、1 4 p との間にアモルファスシリコン膜 3 4 a を介在させることにより、多結晶シリコン膜 1 4 n、1 4 p の表面に生じた極めて薄い自然酸化膜と  $WN_x$  膜 2 4 との接触による高抵抗層の形成を抑制することができる。なお、熱処理工程を経たアモルファスシリコン膜 3 4 a は、下層の多結晶シリコン膜 1 4 n、1 4 p よりも平均結晶粒径が小さい多結晶膜となる。

30

【0133】

以上のようなプロセスにより、ゲート電極 7 A、7 D、7 E を構成する  $WN_x$  膜 2 4 と多結晶シリコン膜 1 4 n、1 4 p との界面の接触抵抗を、対策前の  $5 \text{ k} / \mu \text{m}^2 \sim 10 \text{ k} / \mu \text{m}^2$  から  $1 \text{ k} / \mu \text{m}^2$  に低減することができた。

40

【0134】

また、ゲート絶縁膜 6 の再酸化処理、洗浄処理、窒化シリコン膜の堆積などを前記実施の形態 1 と同様の方法で行うことにより、W の酸化物による基板 1 の汚染を極めて低いレベルに保つことができた結果、DRAM のリフレッシュ時間を顕著に改善することができた。

【0135】

(実施の形態 3)

前記実施の形態 2 では、 $WN_x$  膜 2 4 と多結晶シリコン膜 1 4 n、1 4 p との間にアモルファスシリコン膜 3 4 a を介在させることによって、 $WN_x$  膜 2 4 と多結晶シリコン膜

50

14n、14pとの接触抵抗を低減したが、本実施の形態では、WN<sub>x</sub>膜24と多結晶シリコン膜14n、14pとの間に薄い膜厚のW膜62を介在させることによって、WN<sub>x</sub>膜24と多結晶シリコン膜14n、14pとの接触抵抗を低減する。

【0136】

このプロセスを説明すると、まず図49に示すように、nチャネル型MISFET形成領域のゲート絶縁膜6上にn型の多結晶シリコン膜14nを形成し、pチャネル型MISFET形成領域のゲート絶縁膜6上にp型の多結晶シリコン膜14pを形成する。ここまでの工程は、前記実施の形態2の図38から図42に示した工程と同じである。

【0137】

次に、フッ酸を使って多結晶シリコン膜14n、14pの表面を洗浄した後、図50に示すように、多結晶シリコン膜14n、14pの上部にW膜65を堆積する。W膜65は、例えばスパッタリング法で堆積し、その膜厚は5nm程度とする。

【0138】

次に、図51に示すように、W膜65の上部に前記実施の形態2と同じ方法でWN<sub>x</sub>膜24、W膜25および窒化シリコン膜8を順次堆積する。WN<sub>x</sub>膜24の膜厚は5nmから10nm程度、W膜25の膜厚は70nm~80nm程度、窒化シリコン膜8の膜厚は160nm程度とする。WN<sub>x</sub>膜24の上部には、W膜25に代えてMo膜を堆積してもよい。また、WN<sub>x</sub>膜24は、前記実施の形態2と同様、高濃度の窒素が含まれるような雰囲気中で成膜を行い、素子完成時の窒素元素組成が少なくとも7%から10%以上、好ましくは13%以上、より好ましくは18%以上となるようにする。その後の工程は、前記実施の形態2と同じである。

【0139】

このように、WN<sub>x</sub>膜24と多結晶シリコン膜14n、14pとの間にW膜62を介在させることにより、その後の熱処理の過程でW膜62と多結晶シリコン膜14n、14pとが反応し、Wシリサイド(WSi<sub>x</sub>)を主体とする導電層が形成される。これにより、多結晶シリコン膜14n、14pの表面に生じた自然酸化膜とWN<sub>x</sub>膜24との接触による高抵抗層の形成が抑制されるので、前記実施の形態2とほぼ同様の効果を得ることができる。

【0140】

以上のようなプロセスにより、ゲート電極7A、7D、7Eを構成するWN<sub>x</sub>膜24と多結晶シリコン膜14n、14pとの界面の接触抵抗を、対策前の5k $\Omega$ / $\mu$ m<sup>2</sup>~10k $\Omega$ / $\mu$ m<sup>2</sup>から1k $\Omega$ / $\mu$ m<sup>2</sup>に低減することができた。

【0141】

また、ゲート絶縁膜6の再酸化処理、洗浄処理、窒化シリコン膜の堆積などを前記実施の形態1と同様の方法を行うことにより、Wの酸化物による基板1の汚染を極めて低いレベルに保つことができた結果、DRAMのリフレッシュ時間を顕著に改善することができた。

【0142】

なお、本実施形態では、WN<sub>x</sub>膜24と多結晶シリコン膜14n、14pとの間にW膜62を介在させ、その後の熱処理の過程でW膜62と多結晶シリコン膜14n、14pとを反応させてWシリサイドを主体とする導電層が形成したが、多結晶シリコン膜14n、14pの上部に薄いWシリサイド膜を形成し、その上部にWN<sub>x</sub>膜24とW膜25とを堆積してもよい。これにより、WN<sub>x</sub>膜24中の窒素が多結晶シリコン膜14n、14pとの界面に拡散して高抵抗の窒化シリコン層を形成する不具合を防止することができる。また、熱処理の過程でW膜62と多結晶シリコン膜14n、14pとを反応させてWシリサイド層を形成する場合は、反応が局所的に生じ、ゲート耐圧が低下することがあるが、始めからWシリサイド膜を堆積した場合は、このような局所的反応が生じにくい。このWシリサイド膜の膜厚は、5nmから20nm程度でよい。また、WSi<sub>x</sub>のXは、2.0~2.7程度がよい。

【0143】

## (実施の形態4)

本実施形態は、nチャネル型MISFETとpチャネル型MISFETで回路を構成するCMOSロジックLSIに適用したものであり、その製造方法の一例を、図52～図56を用いて工程順に説明する。

## 【0144】

まず、図52に示すように、例えばp型の単結晶シリコンからなる基板1を用意し、前記実施の形態1と同様の方法で基板1の主面に素子分離溝2、p型ウエル3、n型ウエル4およびゲート絶縁膜6を順次形成する。

## 【0145】

次に、図53に示すように、ゲート絶縁膜6の上部に $1.0 \times 10^{19} \text{ cm}^3$ 以上の濃度のP(リン)をドーピングした低抵抗のn型多結晶シリコン膜14nを堆積し、フッ酸を使って多結晶シリコン膜14nの表面を洗浄した後、多結晶シリコン膜14nの上部にスパッタリング法で膜厚5nmから10nm程度の $\text{WN}_x$ 膜24を堆積する。

## 【0146】

前記実施の形態2と同様、 $\text{WN}_x$ 膜24は、高濃度の窒素が含まれるような雰囲気中で成膜を行い、素子完成時の窒素元素組成が少なくとも7%から10%以上、好ましくは13%以上、より好ましくは18%以上となるようにする。また、 $\text{WN}_x$ 膜24は、素子完成時の残存膜厚が少なくとも1nm以上となるような膜厚で堆積する。

## 【0147】

また、前記実施の形態3と同様、多結晶シリコン膜14nの表面に生じた自然酸化膜と $\text{WN}_x$ 膜24との接触による高抵抗層の形成を抑制する目的で、 $\text{WN}_x$ 膜24と多結晶シリコン膜14nとの間にW膜62を形成してもよい。

## 【0148】

次に、図54に示すように、基板1の主面にP(リン)をイオン注入する。このイオン注入は、Pが $\text{WN}_x$ 膜24を貫通し、多結晶シリコン膜14nの表面から10nm以下の領域に達するようなエネルギーで行う。例えば $\text{WN}_x$ 膜24の膜厚が3nm～15nm程度の場合、Pの打ち込みエネルギーは、2keV～10keVとする。

## 【0149】

また、このイオン注入は、多結晶シリコン膜14nの表面領域のP濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ 以上となるようなドーズ量で行う。また、このイオン注入を行った後、約950の窒素雰囲気中、1分程度のランプアニールを行い、多結晶シリコン膜14n中の不純物(P)を電気的に活性化してもよい。なお、多結晶シリコン膜14n中の不純物(P)は、後の熱処理工程で電気的に活性化されるので、ここでの熱処理は省略してもよい。

## 【0150】

上記のイオン注入は、多結晶シリコン膜14nを堆積した後、 $\text{WN}_x$ 膜24を堆積する前に行ってもよい。また、 $\text{WN}_x$ 膜24と多結晶シリコン膜14nとの間にW膜62を形成する場合は、W膜を形成した後にこのイオン注入を行い、その後、W膜の上部に $\text{WN}_x$ 膜24を堆積してもよい。

## 【0151】

次に、図55に示すように、 $\text{WN}_x$ 膜24の上部にスパッタリング法で膜厚70nm程度のW膜25を堆積した後、W膜25の上部にCVD法で膜厚160nm程度の窒化シリコン膜8を堆積する。なお、 $\text{WN}_x$ 膜24の上部には、W膜25に代えてMo膜を堆積してもよい。また、W膜25を堆積した後、基板1の主面にもう一度イオン注入を行い、W膜25および $\text{WN}_x$ 膜24を通じて多結晶シリコン膜14nにPをドーピングすることによって、多結晶シリコン膜14nの表面領域をさらに低抵抗化してもよい。

## 【0152】

次に、図56に示すように、窒化シリコン膜8の上部に形成したフォトレジスト膜63をマスクにして窒化シリコン膜8、W膜24、 $\text{WN}_x$ 膜25および多結晶シリコン膜14nを順次ドライエッチングすることにより、p型ウエル3上にnチャネル型MISFETのゲート電極7Fを形成し、n型ウエル4上にpチャネル型MISFETのゲート電極7

Gを形成する。

【0153】

その後、Wの酸化物による基板1の汚染を極めて低いレベルに保つため、上記ドライエッチングで削られたゲート絶縁膜6の再酸化処理、その後の洗浄処理および窒化シリコン膜の堆積などを前記実施の形態1と同様の方法で行う。

【0154】

本実施の形態では、ゲート電極7F、7Gのそれぞれの一部である多結晶シリコン膜をn型で構成したが、nチャネル型MISFETとpチャネル型MISFETを共に表面チャネル型とするために、nチャネル型MISFETのゲート電極7Fの一部である多結晶シリコン膜をn型で構成し、pチャネル型MISFETのゲート電極7Gの一部である多結晶シリコン膜をp型で構成してもよい。この場合は、前記実施の形態2と同様、ゲート絶縁膜6上にノドープのアモルファスシリコン膜を堆積し、続いてフォトレジスト膜をマスクにしたイオン注入で、nチャネル型MISFET形成領域のアモルファスシリコン膜にPを導入し、pチャネル型MISFET形成領域のアモルファスシリコン膜にBを導入することにより、チャネリング現象によるBの突き抜けを防ぐことができる。

【0155】

(実施の形態5)

前記実施の形態4では、不純物のイオン注入法によって多結晶シリコン膜14nの表面領域を低抵抗化した。次のような方法で多結晶シリコン膜14nの表面領域を低抵抗化することもできる。

【0156】

まず、図57に示すように、例えばp型の単結晶シリコンからなる基板1の主面に素子分離溝2、p型ウエル3、n型ウエル4およびゲート絶縁膜6を順次形成し、続いてゲート絶縁膜6の上部に $1.0 \times 10^{19} \text{cm}^{-3}$ 以上の濃度のP(リン)をドープした低抵抗のn型多結晶シリコン膜14nを堆積する。ここまでの工程は、前記実施の形態4と同じである。

【0157】

次に、図58に示すように、多結晶シリコン膜14nの上部に $5.0 \times 10^{19} \text{cm}^{-3}$ 以上の濃度のPをドープした低抵抗のn型多結晶シリコン膜64をCVD法で堆積した後、基板1を熱処理し、n型多結晶シリコン膜64中のPを多結晶シリコン膜14nの表面から10nm以下の表面領域に拡散させ、この表面領域のP濃度を $5 \times 10^{19} \text{atoms/cm}^3$ 以上とする。なお、この熱拡散処理を行った後、約950の窒素雰囲気中、1分程度のランブアニールを行い、多結晶シリコン膜14n中のPを電気的に活性化してもよいが、多結晶シリコン膜14n中のPは、後の熱処理工程で電気的に活性化されるので、この熱処理は省略してもよい。

【0158】

次に、図59に示すように、n型多結晶シリコン膜64をドライエッチングで除去した後、基板1の表面に露出した多結晶シリコン膜14nの表面をフッ酸で洗浄する。

【0159】

次に、図60に示すように、多結晶シリコン膜14nの上部にスパッタリング法で膜厚5nmから10nm程度の $\text{WN}_x$ 膜24を堆積する。前記実施の形態4と同様、 $\text{WN}_x$ 膜24は、高濃度の窒素が含まれるような雰囲気中で成膜を行い、素子完成時の窒素元素組成が少なくとも7%から10%以上、好ましくは13%以上、より好ましくは18%以上となるようにする。また、 $\text{WN}_x$ 膜24は、素子完成時の残存膜厚が少なくとも1nm以上となるような膜厚で堆積する。

【0160】

また、前記実施の形態3と同様、多結晶シリコン膜14nの表面に生じた自然酸化膜と $\text{WN}_x$ 膜24との接触による高抵抗層の形成を抑制する目的で、 $\text{WN}_x$ 膜24と多結晶シリコン膜14nとの間にW膜を形成してもよい。

【0161】

10

20

30

40

50

その後、図 6 1 に示すように、 $W N_x$  膜 2 4 の上部にスパッタリング法で膜厚 7 0 n m 程度の W 膜 2 5 を堆積した後、W 膜 2 5 の上部に C V D 法で膜厚 1 6 0 n m 程度の窒化シリコン膜 8 を堆積する。

【 0 1 6 2 】

次に、図 6 2 に示すように、窒化シリコン膜 8 の上部に形成したフォトレジスト膜 6 3 をマスクにして窒化シリコン膜 8、W 膜 2 4、 $W N_x$  膜 2 5 および多結晶シリコン膜 1 4 n を順次ドライエッチングすることにより、p 型ウエル 3 上に n チャネル型 M I S F E T のゲート電極 7 F を形成し、n 型ウエル 4 上に p チャネル型 M I S F E T のゲート電極 7 G を形成する。

【 0 1 6 3 】

その後、W の酸化物による基板 1 の汚染を極めて低いレベルに保つため、上記ドライエッチングで削られたゲート絶縁膜 6 の再酸化処理、その後の洗浄処理および窒化シリコン膜の堆積などを前記実施の形態 1 と同様の方法で行う。

【 0 1 6 4 】

本実施の形態では、多結晶シリコン膜 1 4 n の上部に堆積した多結晶シリコン膜 6 4 中の P を熱拡散させ、多結晶シリコン膜 1 4 n の表面領域を低抵抗化した。例えば多結晶シリコン膜 1 4 n の表面領域にイオン注入法で P を導入し、次に、多結晶シリコン膜 1 4 n の上部に酸化シリコン膜などの絶縁膜を形成して熱処理を行い、多結晶シリコン膜 1 4 n の表面領域に導入された前記 P を絶縁膜との界面近傍に偏析させた後、絶縁膜を除去することによって、多結晶シリコン膜 1 4 n の表面領域を低抵抗化してもよい。絶縁膜は、例えば多結晶シリコン膜 1 4 n の表面を熱酸化して形成した酸化シリコン膜、あるいは多結晶シリコン膜 1 4 n 上に C V D 法で堆積した酸化シリコン膜などで構成するが、これに限定されるものではない。

【 0 1 6 5 】

( 実施の形態 6 )

本実施形態は、フラッシュメモリに適用したものであり、その製造方法の一例を、図 6 3 ~ 図 7 6 を用いて工程順に説明する。

【 0 1 6 6 】

まず、図 6 3 に示すように、前記実施の形態 1 と同様の方法で基板 1 の主面に素子分離溝 2、p 型ウエル 3、ゲート絶縁膜 6 を形成した後、図 6 4 および図 6 5 に示すように、基板 1 上に C V D 法で膜厚 7 0 n m ~ 1 0 0 n m 程度の n 型多結晶シリコン膜 6 6 n を堆積する。多結晶シリコン膜 6 6 n には、その堆積工程中に n 型不純物、例えばリン ( P ) をドーピングする。あるいは、ノンドーピングの多結晶シリコン膜を堆積した後にイオン注入法で n 型不純物をドーピングしてもよい。多結晶シリコン膜 6 6 n は、メモリセルを構成する M I S F E T のフローティングゲート電極として使用される。

【 0 1 6 7 】

次に、図 6 6 および図 6 7 に示すように、フォトレジスト膜をマスクにして多結晶シリコン膜 6 6 n をドライエッチングすることにより、アクティブ領域 L の上部に、その延在方向に沿って延在する長い帯状の平面パターンを有する多結晶シリコン膜 6 6 n を形成する。

【 0 1 6 8 】

次に、図 6 8 および図 6 9 に示すように、多結晶シリコン膜 6 6 n が形成された基板 1 上に酸化シリコン膜、窒化シリコン膜および酸化シリコン膜からなる O N O 膜 6 7 を形成する。O N O 膜 6 7 は、メモリセルを構成する M I S F E T の第 2 ゲート絶縁膜として使用され、例えば基板 1 上に C V D 法で膜厚 5 n m の酸化シリコン膜、膜厚 7 n m の窒化シリコン膜および膜厚 4 n m の酸化シリコン膜を順次堆積することによって形成する。

【 0 1 6 9 】

次に、図 7 0 および図 7 1 に示すように、O N O 膜 6 7 の上部に P ( リン ) をドーピングした n 型多結晶シリコン膜 1 4 n、 $W N_x$  膜 2 4、W 膜 2 5 および窒化シリコン膜 8 を順次堆積する。多結晶シリコン膜 1 4 n、W 膜 2 5 および窒化シリコン膜 8 は、前記実施の形

10

20

30

40

50

態 1 と同じ方法で堆積する。また、 $W N_x$  膜 2 4 は、多結晶シリコン膜 1 4 n との接触抵抗を低減するため、前記実施の形態 2 と同様の方法で堆積する。すなわち、 $W N_x$  膜 2 4 は、素子完成時の窒素元素組成が少なくとも 7 % から 1 0 % 以上、好ましくは 1 3 % 以上、より好ましくは 1 8 % 以上となるような条件で形成する。また、素子完成時の残存膜厚を少なくとも 1 n m 以上とするため、成膜時の  $W N_x$  膜 2 4 の膜厚は、5 n m から 1 0 n m の範囲内とすることが望ましい。また、 $W N_x$  膜 2 4 と多結晶シリコン膜 1 4 n との接触抵抗を低減するために、前記実施の形態 3、4 または 5 で説明したプロセスを採用してもよい。

#### 【0170】

多結晶シリコン膜 1 4 n は、メモリセルを構成する M I S F E T のコントロールゲート電極およびワード線 W L として使用される。また、窒化シリコン膜 8 は、コントロールゲート電極の上部を保護する絶縁膜として使用される。多結晶シリコン膜 1 4 n は、G e (ゲルマニウム) を最大で 5 0 % 前後含んだシリコン膜で構成することもできる。

10

#### 【0171】

次に、図 7 2 に示すように、窒化シリコン膜 8 の上部に形成したフォトレジスト膜 (図示せず) をマスクにして窒化シリコン膜 8、W 膜 2 4、 $W N_x$  膜 2 5、多結晶シリコン膜 1 4 n、O N O 膜 6 7 および多結晶シリコン膜 6 6 n を順次ドライエッチングすることにより、多結晶シリコン 6 6 n からなるフローティングゲート電極 6 8 と、W 膜 2 4、 $W N_x$  膜 2 5 および多結晶シリコン膜 1 4 n からなるポリメタル構造のコントロールゲート電極 6 9 (ワード線 W L) を形成する。

20

#### 【0172】

次に、図 7 3 に示すように、M I S F E T のソースおよびドレインを構成する n 型半導体領域 7 0 を形成する。n 型半導体領域 7 0 は、p 型ウエル 3 に n 型不純物 (例えばヒ素 (A s)) をイオン注入した後、基板 1 を約 9 0 0 で熱処理し、上記 n 型不純物を p 型ウエル 3 内に拡散させることによって形成する。

#### 【0173】

ここまでの工程で、ゲート電極 (フローティングゲート電極 6 8 およびコントロールゲート電極 6 9) のスペース領域のゲート絶縁膜 6 には、ゲート電極の加工工程や不純物のイオン注入工程で生じたダメージが生じている。このダメージは、フローティングゲート電極 6 8 に注入された電子がフローティングゲート電極 6 8 の端部から基板 1 にリークするパスとなるなど、ゲート絶縁膜 6 の品質を劣化させるため、十分に除去しておく必要がある。

30

#### 【0174】

そこで、フッ酸を使ってゲート絶縁膜 6 をエッチングした後、薄くなったゲート絶縁膜 6 を補填・再生するための再酸化処理を行う。この再酸化処理を前記実施の形態 1 と同様の方法で行うことにより、W 膜 2 5 および  $W N_x$  膜 2 4 の酸化を防ぎ、かつ基板 1 表面の酸化物汚染を極めて低いレベルに保つことができる。この再酸化処理により、図 7 4 に示すように、ゲート電極 (フローティングゲート電極 6 8 およびコントロールゲート電極 6 9) のスペース領域すなわち n 型半導体領域 (ソース、ドレイン) 7 0 の表面と、フローティングゲート電極 6 8 の側壁下端部とにゲート絶縁膜 6 が再形成される。

40

#### 【0175】

次に、基板 1 の表面を洗浄した後、図 7 5 に示すように、基板 1 上に低圧 C V D 法で窒化シリコン膜 1 1 を堆積する。この洗浄処理および窒化シリコン膜 1 1 の堆積を前記実施の形態 1 と同様の方法で行うことにより、W の酸化物による基板 1 の汚染を極めて低いレベルに保つことができる。

#### 【0176】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 【0177】

50

前記実施の形態では、DRAM、DRAM混載ロジックLSI、CMOSロジックLSI、フラッシュメモリに適用した場合について説明したが、これらのLSIに限定されるものではなく、ポリメタル(Polymetal)構造の導電膜でゲート電極を形成したMISFETを有するLSIに広く適用することができる。

【0178】

また、本願に記載した発明は、その本質がポリシリコン層と深く結びついているため、ポリシリコン層が必須である場合を除き、ポリシリコン層のない非ポリシリコンメタルゲート電極にも適用できることはいうまでもない。

【産業上の利用可能性】

【0179】

本発明は、本発明は、例えばポリメタルゲートを有する集積回路装置の製造等に利用することができる。

【図面の簡単な説明】

【0180】

【図1】本発明の一実施の形態である半導体集積回路装置が形成された半導体チップの全体平面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の要部平面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図11】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部拡大断面図である。

【図12】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断拡大面図である。

【図14】本発明の一実施の形態である半導体集積回路装置の製造に用いるバッチ式縦型酸化炉の概略図である。

【図15】図14に示すバッチ式縦型酸化炉に接続された触媒方式の水蒸気/水素混合ガス生成装置を示す概略図である。

【図16】図15に示す水蒸気/水素混合ガス生成装置の配管系統図である。

【図17】水蒸気/水素混合ガスを使った酸化還元反応の平衡蒸気圧比( $P_{H_2O} / P_{H_2}$ )の温度依存性を示すグラフである。

【図18】図14に示すバッチ式縦型酸化炉を使った再酸化プロセスシーケンスの説明図である。

【図19】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部拡大断面図である。

【図20】(a)は、本発明の一実施の形態である半導体集積回路装置の製造に用いる枚

10

20

30

40

50

葉式酸化炉の概略図、(b)は、(a)のB-B'線に沿った断面図である。

【図21】タンゲステン-水系の酸化還元電位とpHとの関係を示す状態図である。

【図22】W膜表面に形成された自然酸化膜の水洗による除去効果を全反射蛍光X線で測定した結果を示すグラフである。

【図23】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図24】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図25】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図26】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図27】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図28】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図29】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図30】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図31】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部平面図である。

【図32】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図33】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図34】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図35】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図36】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図37】本発明の一実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図38】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図39】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図40】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図41】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図42】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図43】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図44】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図45】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

10

20

30

40

50

【図46】ゲート電極の一部を構成する $WN_x$ 膜を形成する際の窒素流量と $WN_x$ 膜の結晶構造との関係をX線回折測定により調べた結果を示すグラフである。

【図47】(a)、(b)は、アルゴンガスの流量を一定に保ち、窒素ガス流量を変えて成膜した $WN_x$ 膜を種々の温度で熱処理した時の膜応力を測定したグラフである。

【図48】窒素ガスとアルゴンガスの流量比を変えて成膜した $WN_x$ 膜を含むゲート電極の耐圧、および $WN_x$ 膜/多結晶シリコン膜界面の接触抵抗の関係を調べた結果を示すグラフである。

【図49】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図50】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。 10

【図51】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図52】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図53】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図54】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図55】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。 20

【図56】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図57】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図58】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図59】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図60】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。 30

【図61】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図62】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図63】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図64】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図65】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。 40

【図66】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図67】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図68】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図69】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図70】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基 50

板の要部断面図である。

【図 7 1】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 7 2】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 7 3】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 7 4】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 7 5】本発明の他の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。 10

【符号の説明】

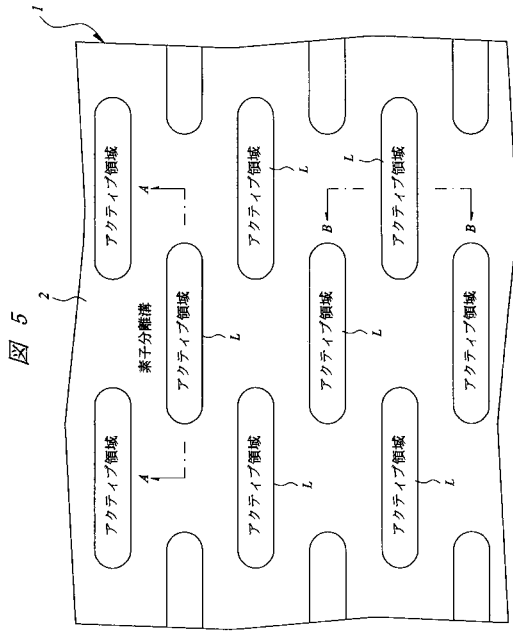
【 0 1 8 1 】

- 1 半導体基板 (ウエハ)
- 1 A 半導体チップ
- 2 素子分離溝
- 3 p型ウエル
- 4 n型ウエル
- 5 酸化シリコン膜
- 6 ゲート絶縁膜 20
- 7 A ~ 7 G ゲート電極
- 8 窒化シリコン膜
- 9 n型半導体領域 (ソース、ドレイン)
- 10 p<sup>-</sup>型半導体領域
- 11 窒化シリコン膜
- 11 c サイドウォールスペーサ
- 12 n<sup>+</sup>型半導体領域 (ソース、ドレイン)
- 13 p<sup>+</sup>型半導体領域 (ソース、ドレイン)
- 14 a アモルファスシリコン膜
- 14 n、14 p 多結晶シリコン膜 30
- 15 層間絶縁膜
- 16、17 コンタクトホール
- 18 プラグ
- 19 酸化シリコン膜
- 20 スルーホール
- 21、22 コンタクトホール
- 23 プラグ
- 24 W N<sub>x</sub> 膜
- 25 W 膜
- 26 フォトレジスト膜 40
- 27 酸化物 (W O<sub>x</sub>)
- 28、29 フォトレジスト膜
- 30 ~ 33 配線
- 34 a アモルファスシリコン膜
- 40 層間絶縁膜
- 41 多結晶シリコン膜
- 42 サイドウォールスペーサ
- 43 スルーホール
- 44 プラグ
- 45 窒化シリコン膜 50

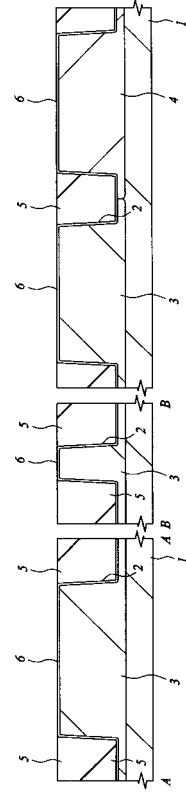
4 6	酸化シリコン膜	
4 7	溝	
4 8	下部電極	
4 9	容量絶縁膜	
5 0	上部電極	
5 1	酸化シリコン膜	
6 0 ~ 6 3	フォトレジスト膜	
6 4	n型多結晶シリコン膜	
6 5	W膜	
6 6 n	多結晶シリコン膜	10
6 7	ONO膜	
6 8	フローティングゲート電極	
6 9	コントロールゲート電極	
7 0	n型半導体領域(ソース、ドレイン)	
1 0 0	枚葉式酸化炉	
1 0 1	チャンバ	
1 0 3	均熱リング	
1 0 4	サセプタ	
1 0 5	支持アーム	
1 0 6	熱電対	20
1 0 7	ハロゲンランプ	
1 0 8	ガス導入管	
1 0 9	貫通孔	
1 1 0	隔壁	
1 1 1	排気管	
1 4 0	ガス生成装置	
1 4 1	反応器	
1 4 2	コイル	
1 4 3	ヒータ	
1 4 4 a、1 4 4 b、1 4 4 c	ガス貯留槽	30
1 4 5	配管	
1 4 6 a、1 4 6 b、1 4 6 c	マスフローコントローラ	
1 4 7 a、1 4 7 b、1 4 7 c	開閉バルブ	
1 4 8	希釈ライン	
1 5 0	バッチ式縦型酸化炉	
1 5 1	チャンバ	
1 5 2	ヒータ	
1 5 3	石英ポート	
1 5 4	ガス導入管	
1 5 5	排気管	40
B L	ビット線	
B P	ボンディングパッド	
C	情報蓄積用容量素子	
L	アクティブ領域	
M A R Y	メモリアレイ	
P C	周辺回路部	
Q n	nチャネル型M I S F E T	
Q p	pチャネル型M I S F E T	
Q t	メモリセル選択用M I S F E T	
W L	ワード線	50



【 図 5 】

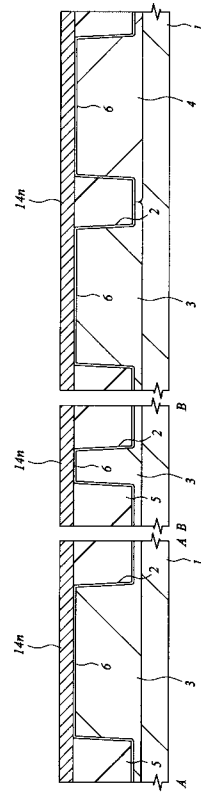


【 図 6 】



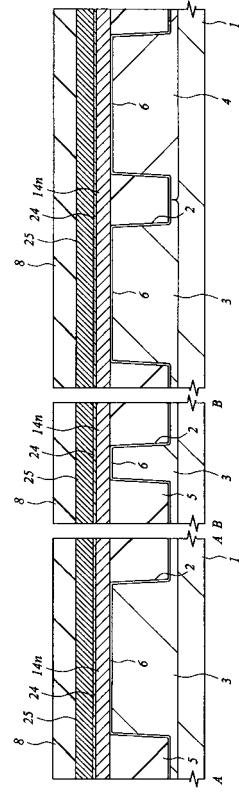
【 図 7 】

図 7



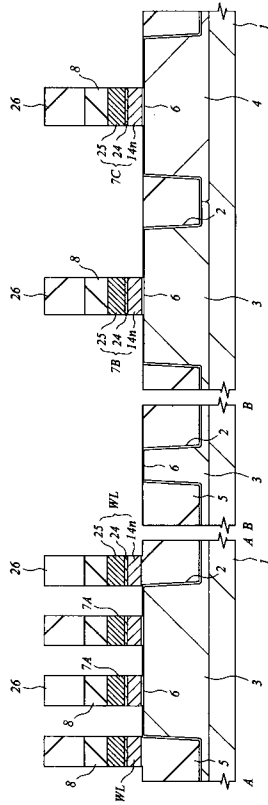
【 図 8 】

図 8



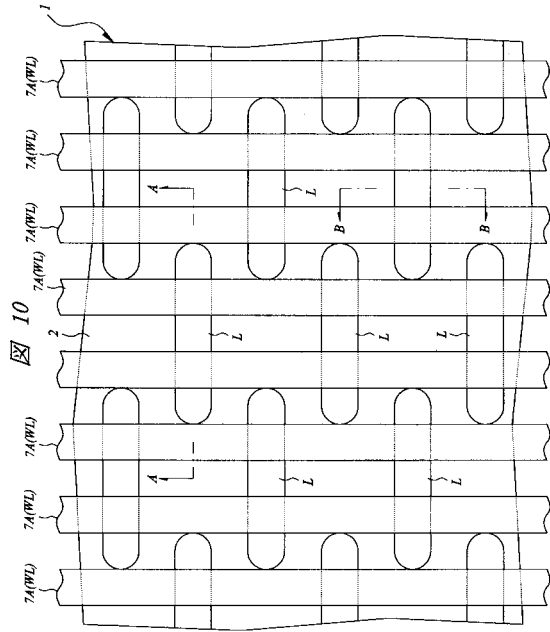
【 図 9 】

図 9



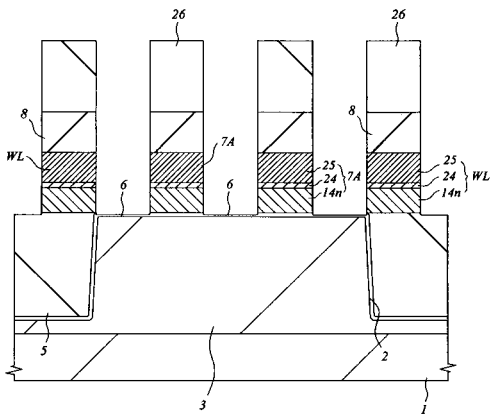
【 図 10 】

図 10



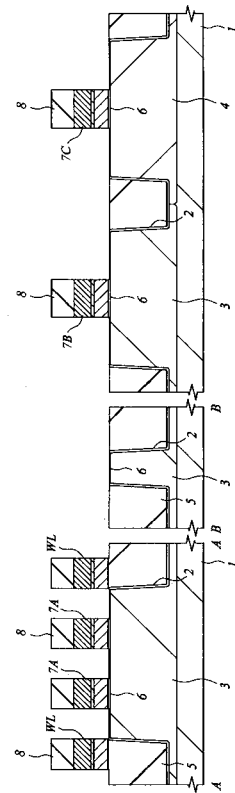
【 図 11 】

図 11

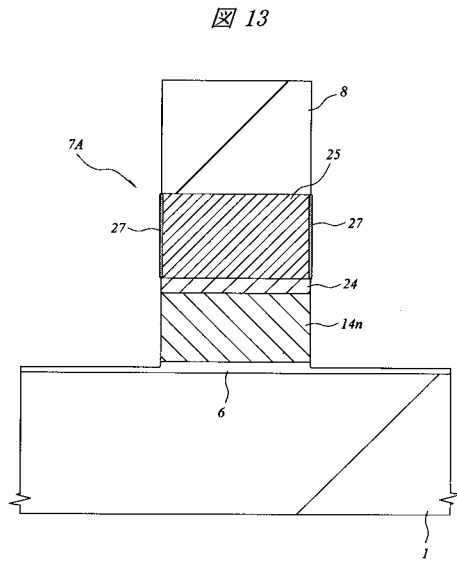


【 図 12 】

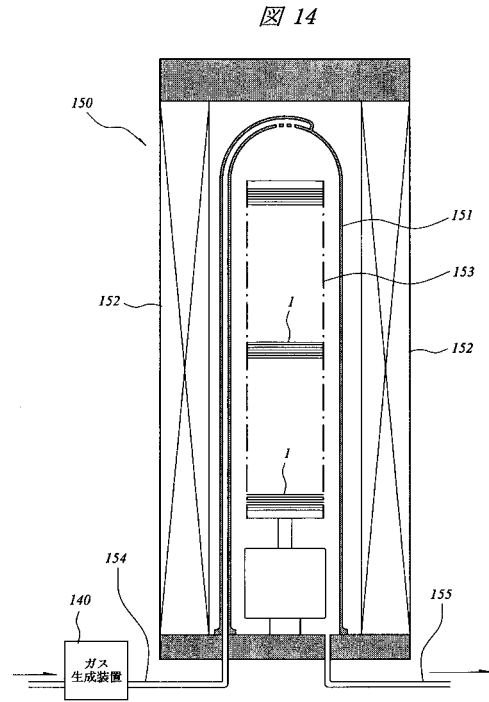
図 12



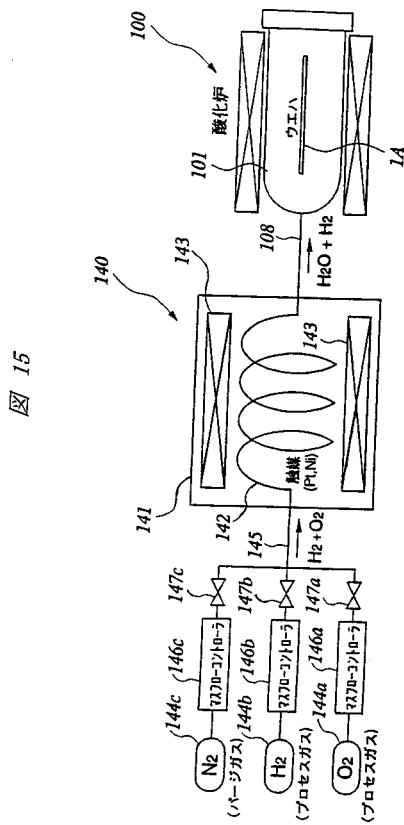
【 図 1 3 】



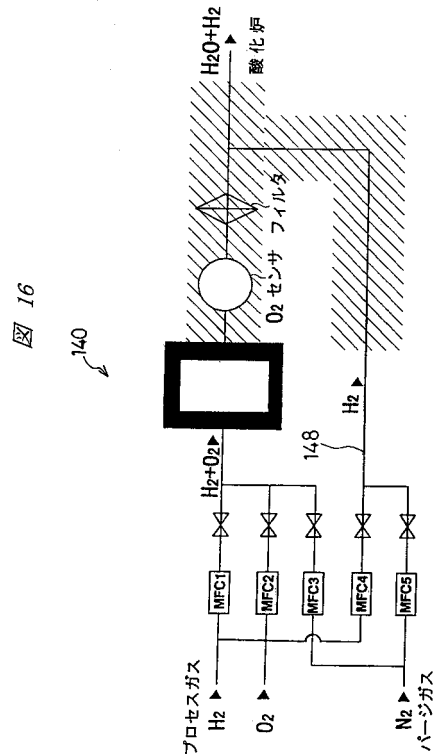
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】

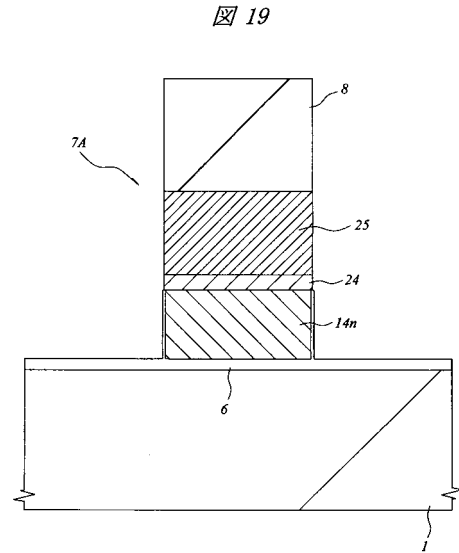


【 図 1 8 】

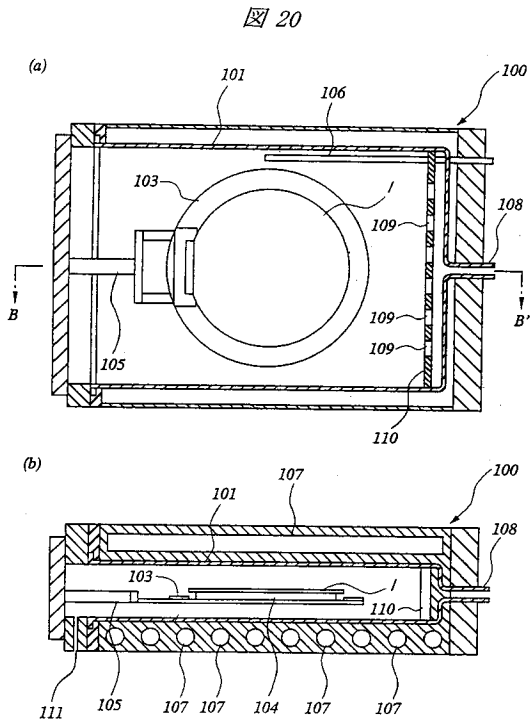
図 18

イベント	ウエハロード	10'						
	N <sub>2</sub> パージ	1'						
	H <sub>2</sub> パージ	t <sub>2</sub>						
	O <sub>2</sub> 導入	15"						
	アニール	任意(数分)						
	アフターパージ	2'20"						
	ウエハアンロード	10'						
備考								23.40" ±任意
時間								
			N <sub>2</sub> 流量					
				H <sub>2</sub> 流量				
					O <sub>2</sub> 流量			

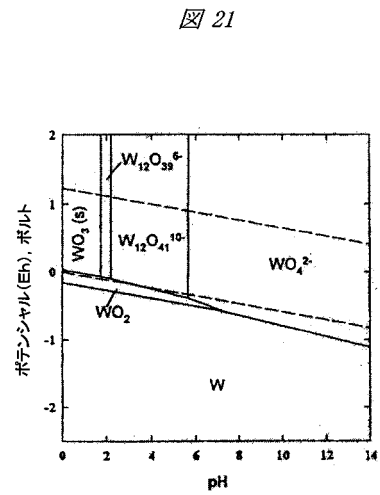
【 図 1 9 】



【 図 2 0 】

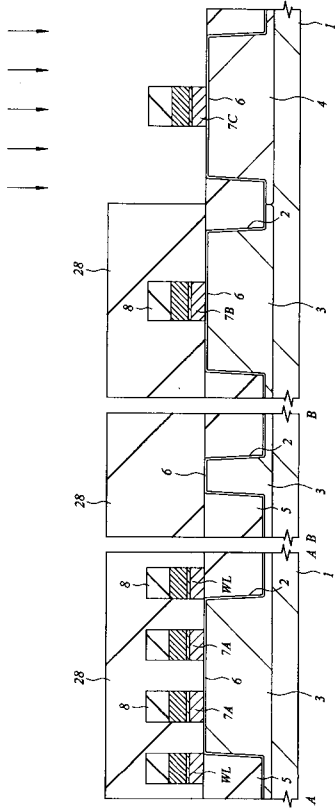


【 図 2 1 】



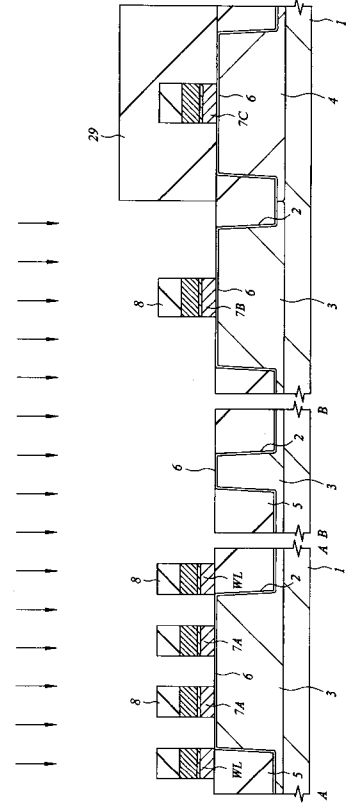
【 図 2 3 】

図 23



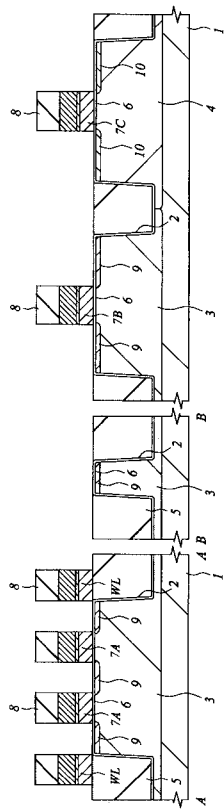
【 図 2 4 】

図 24



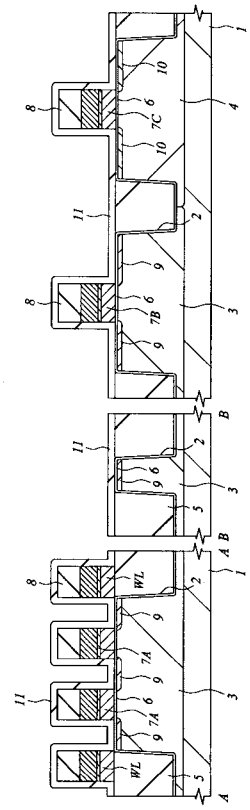
【 図 2 5 】

図 25



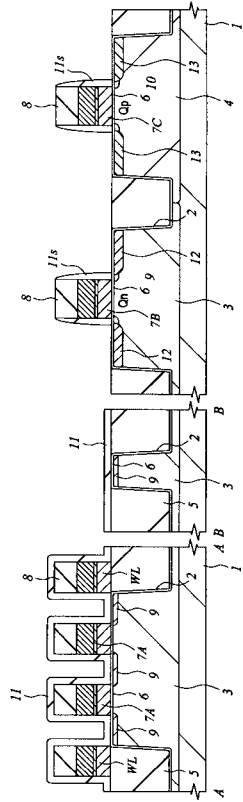
【 図 2 6 】

図 26



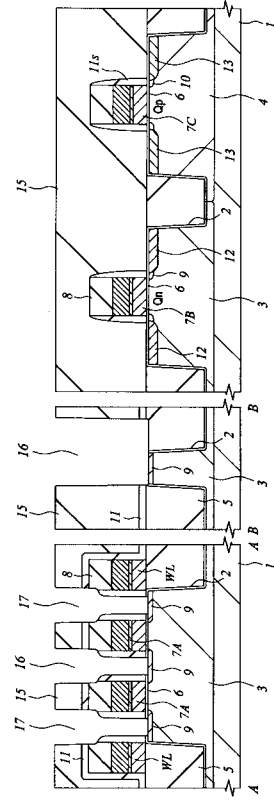
【 図 27 】

図 27



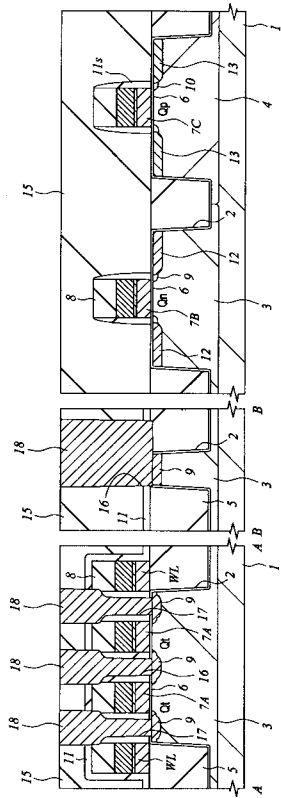
【 図 28 】

図 28



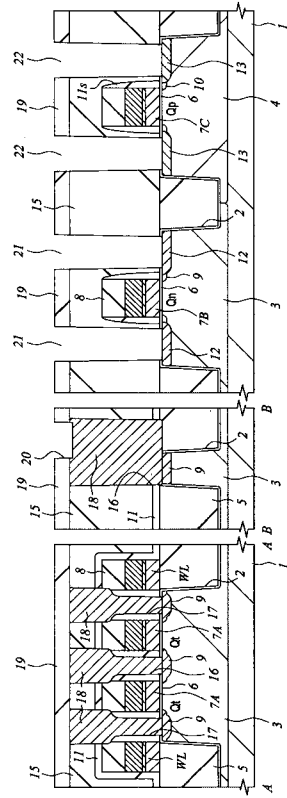
【 図 29 】

図 29



【 図 30 】

図 30

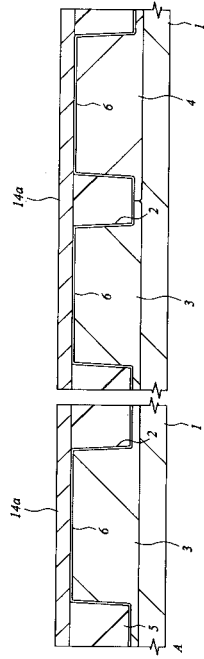






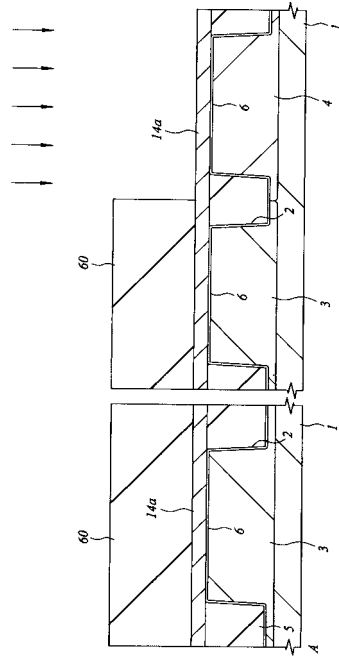
【 図 3 9 】

図 39



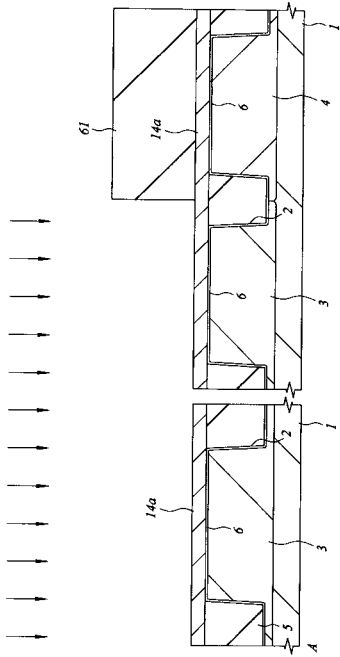
【 図 4 0 】

図 40



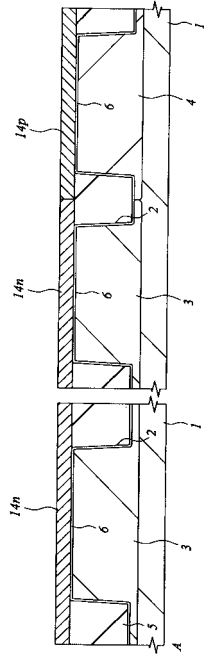
【 図 4 1 】

図 41



【 図 4 2 】

図 42



【 図 4 3 】

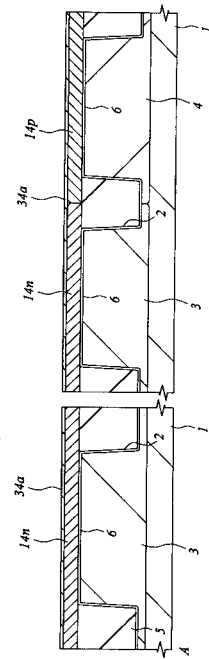


図 43

【 図 4 4 】

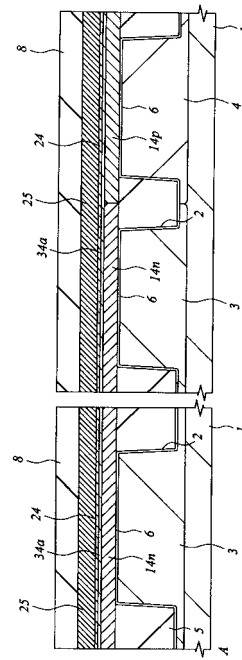


図 44

【 図 4 5 】

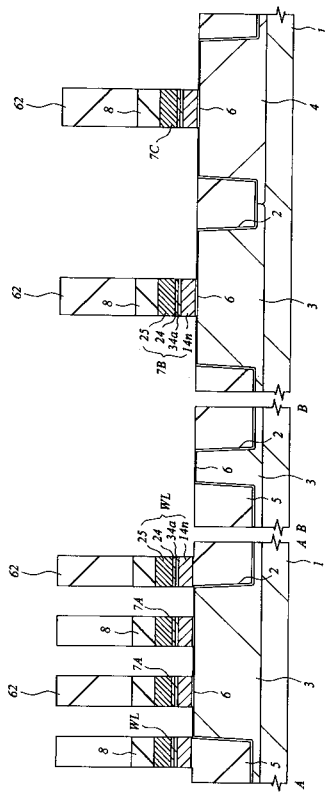
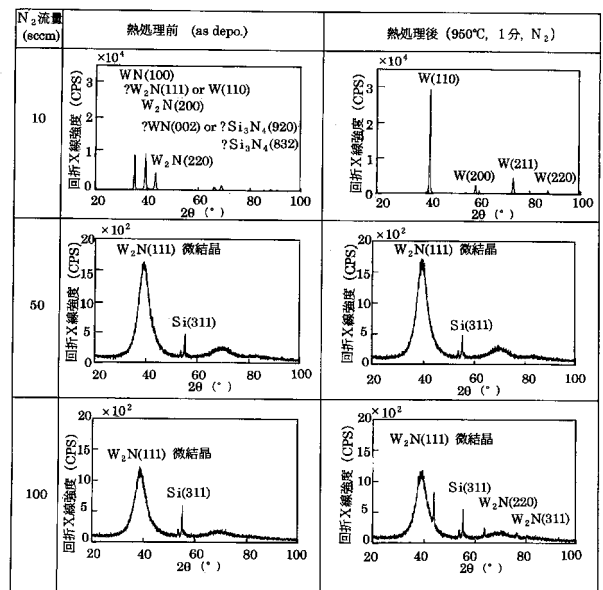


図 45

【 図 4 6 】

図 46



【 図 49 】

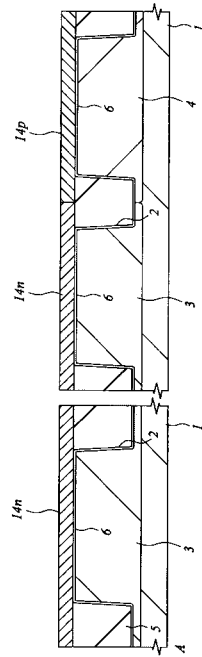


図 49

【 図 50 】

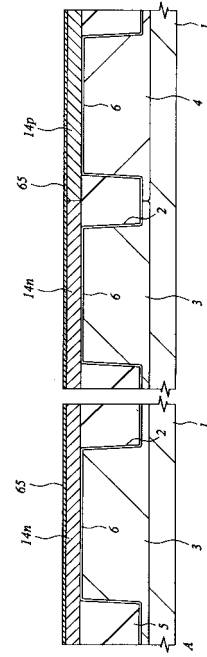


図 50

【 図 51 】

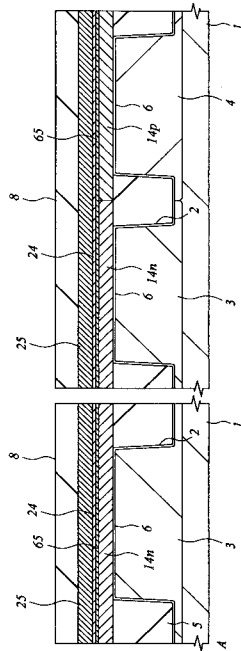


図 51

【 図 52 】

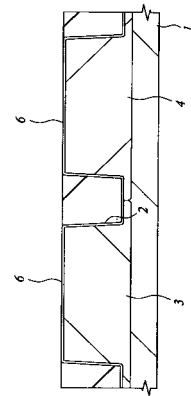
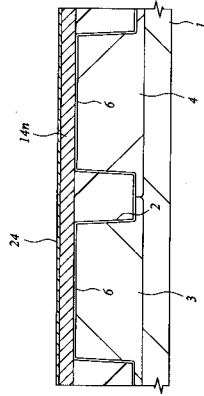


図 52

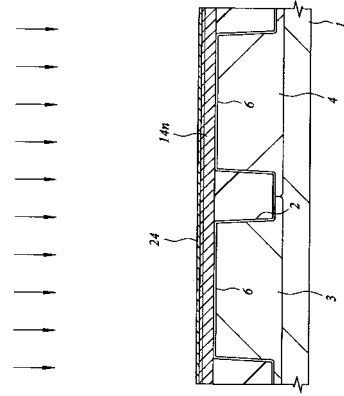
【図 53】

図 53



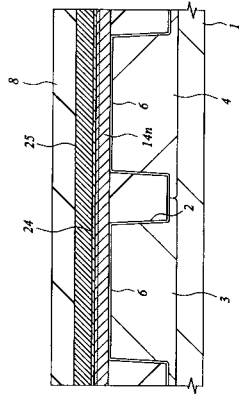
【図 54】

図 54



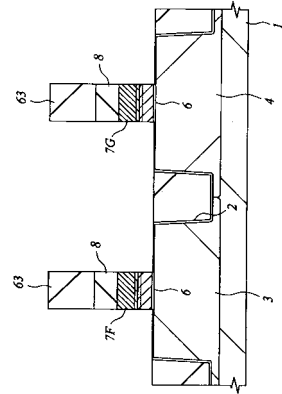
【図 55】

図 55



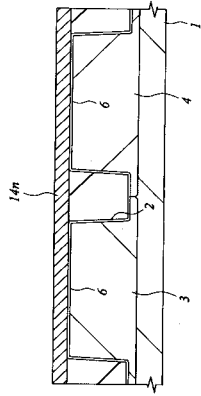
【図 56】

図 56



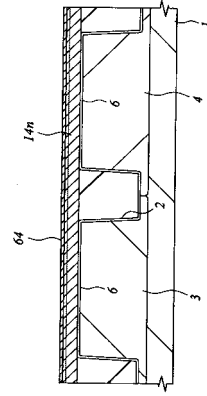
【図 57】

図 57



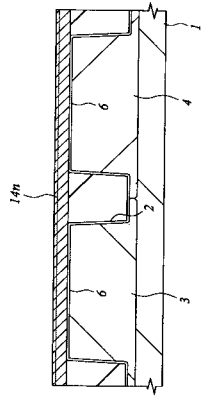
【図 58】

図 58



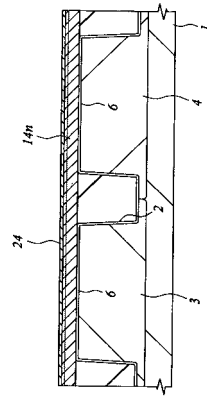
【図 59】

図 59



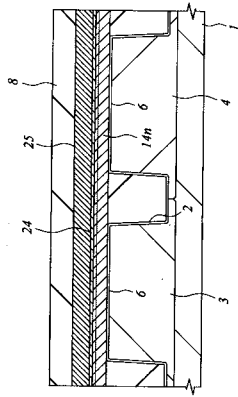
【図 60】

図 60



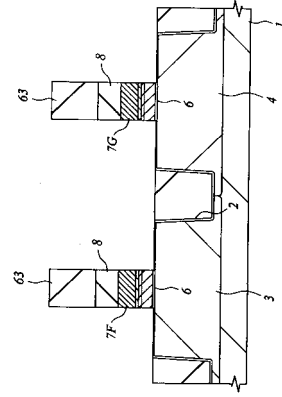
【 図 6 1 】

図 61



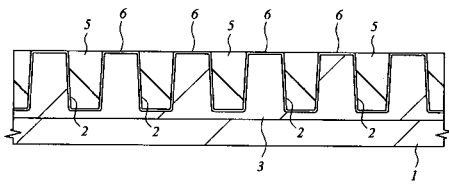
【 図 6 2 】

図 62



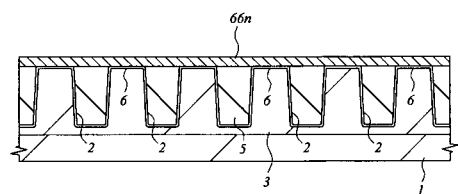
【 図 6 3 】

図 63



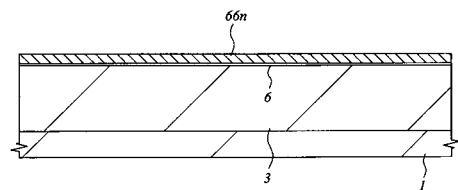
【 図 6 4 】

図 64



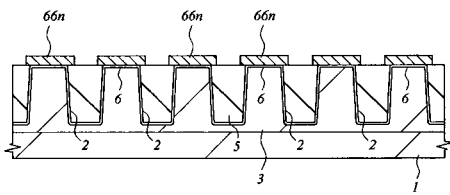
【 図 6 5 】

図 65



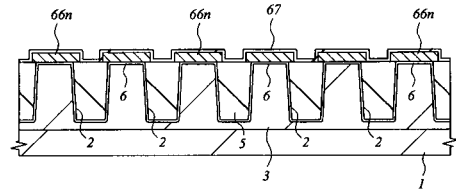
【 図 6 6 】

図 66



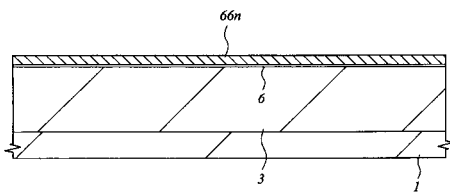
【 図 6 8 】

図 68



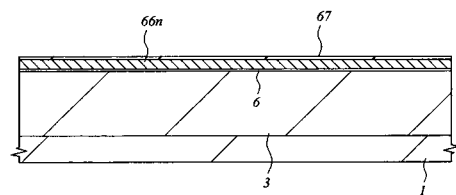
【 図 6 7 】

図 67



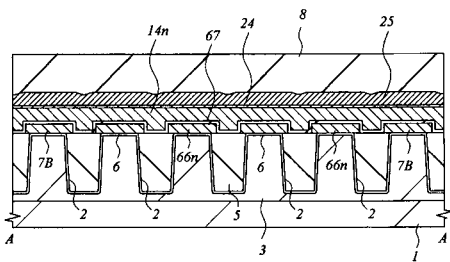
【 図 6 9 】

図 69



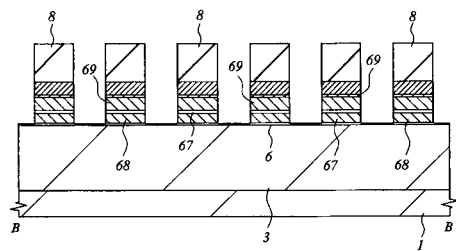
【 図 7 0 】

図 70



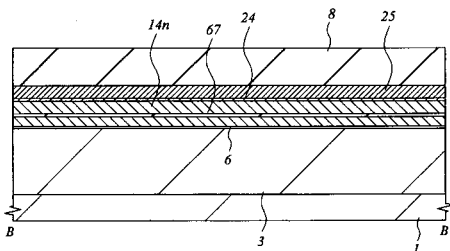
【 図 7 2 】

図 72



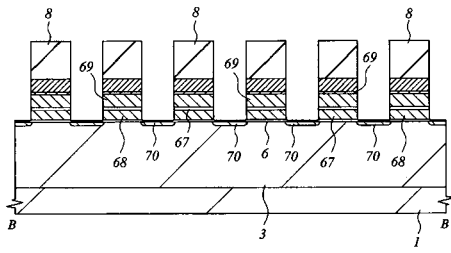
【 図 7 1 】

図 71



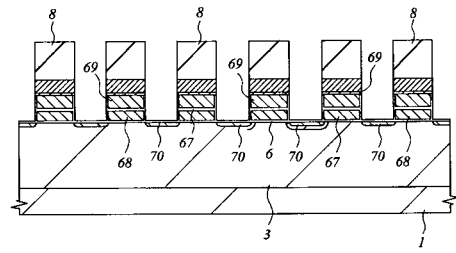
【 図 7 3 】

図 73



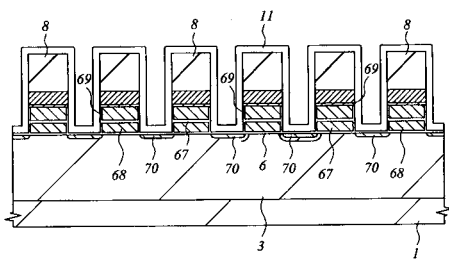
【 図 7 4 】

図 74



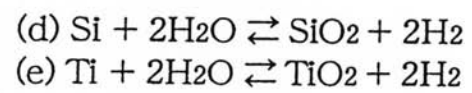
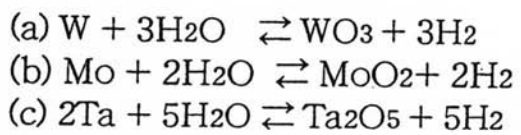
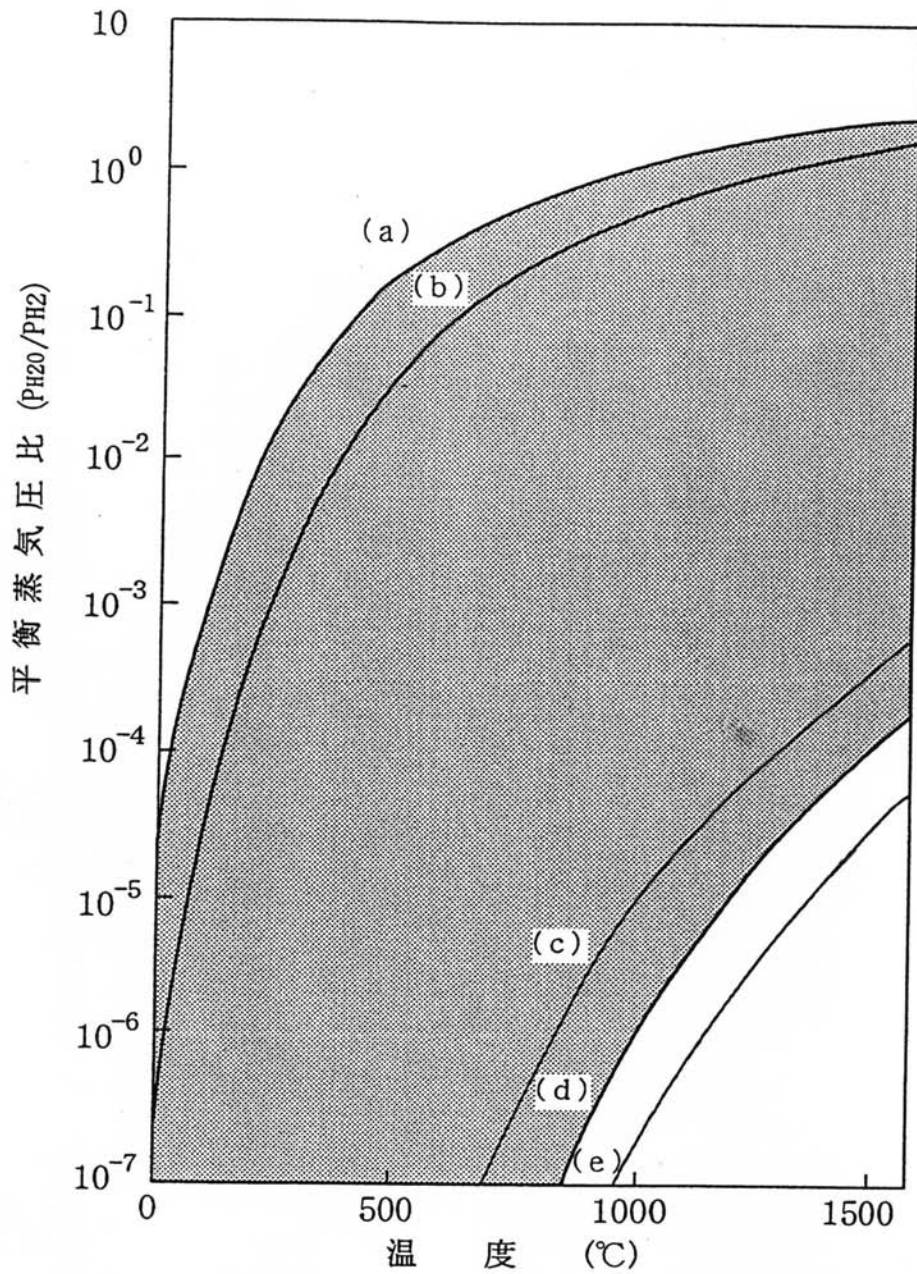
【 図 7 5 】

図 75



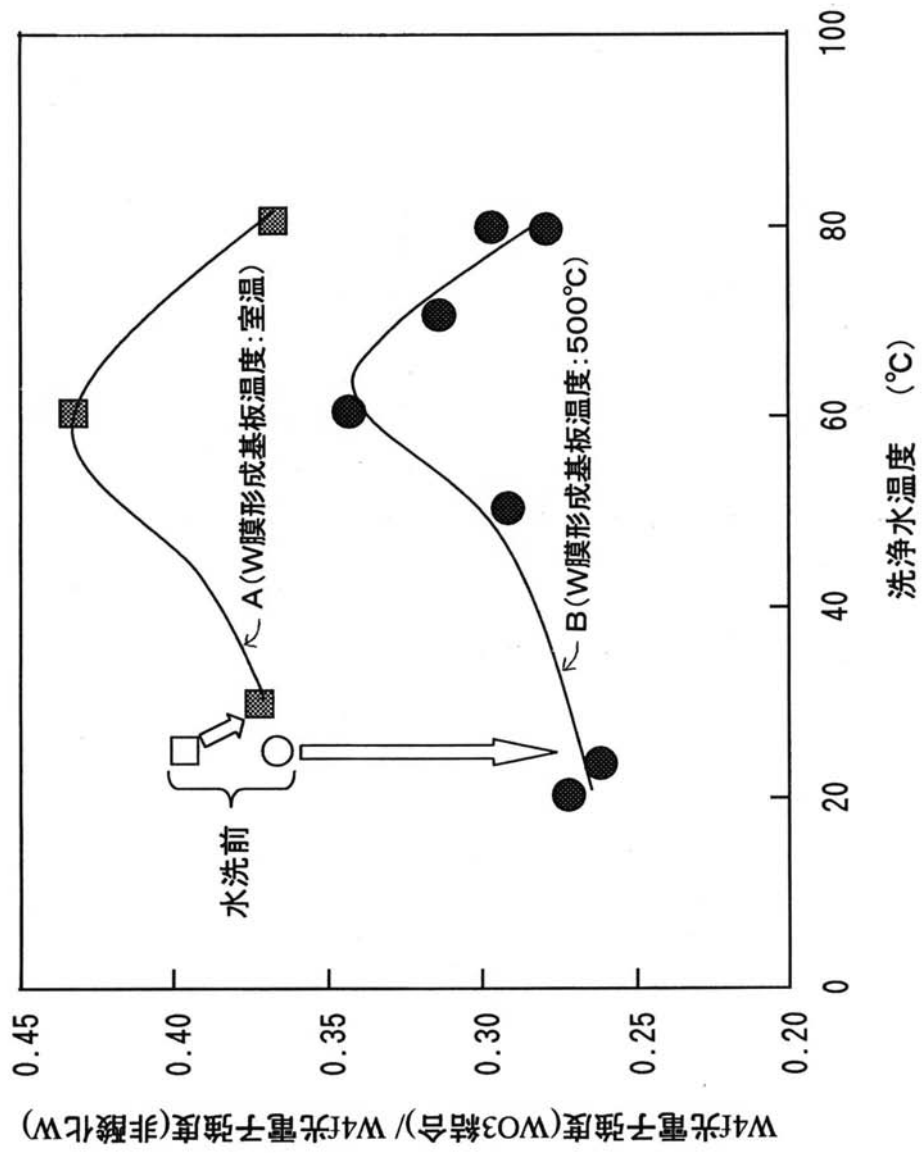
【 図 17 】

図 17



【 図 2 2 】

図 22



【 図 4 7 】

図 47

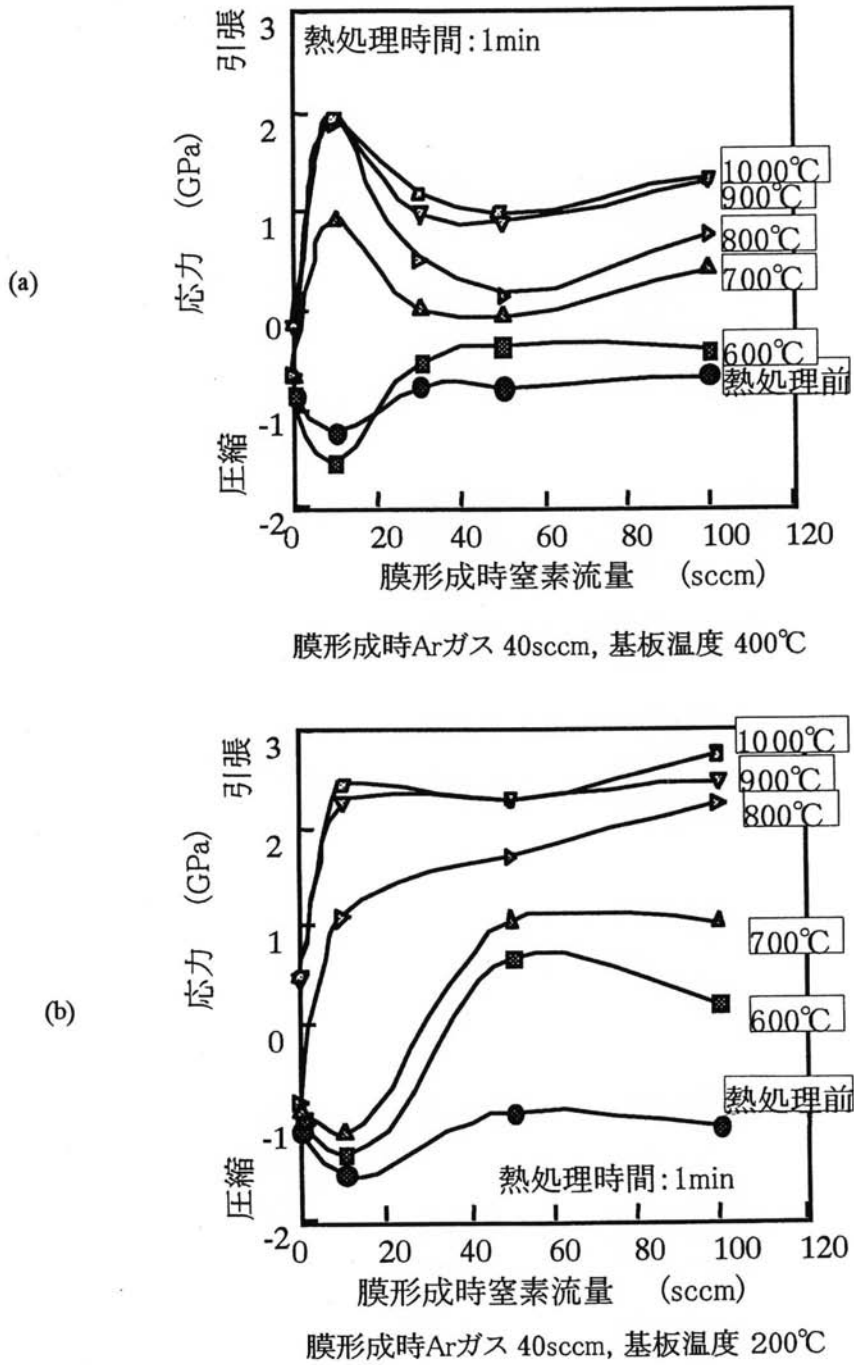
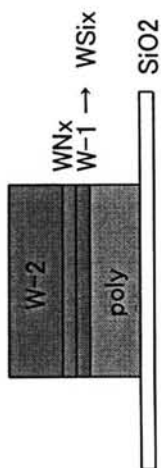


図 48



項目	試料 No.									
	1	2	3	4	5	6	7	8	9	10
W-1(シリサイド化用)		○	○	○	○	○	○	○	○	○
スハットNガス量 N=30%	d=7nm	○	○	○	○	○	○	○	○	○
	d=10nm	○	○	○	○	○	○	○	○	○
	d=12nm	○	○	○	○	○	○	○	○	○
	d=15nm	○	○	○	○	○	○	○	○	○
WNx	d=10nm	○	○	○	○	○	○	○	○	○
	d=12nm	○	○	○	○	○	○	○	○	○
	d=15nm	○	○	○	○	○	○	○	○	○
W-2	d=10nm	○	○	○	○	○	○	○	○	○
	d=12nm	○	○	○	○	○	○	○	○	○
	d=15nm	○	○	○	○	○	○	○	○	○

項目	試料 No.									
	1	2	3	4	5	6	7	8	9	10
ゲート耐圧 (V)	Tox=4nm	-5.0	-0.7	-1.7	-2.7	-5.0	-5.0	-5.0	-5.0	-5.0
	Tox=8nm	-6.5	-0.8	-3.8	-3.3	-6.5	-6.5	-6.5	-6.5	-6.5
	Tox=4nm	5.0	0.5	0.5	0.5	3.8	5.0	5.0	5.0	5.0
	Tox=8nm	6.5	0.5	0.5	0.7	5.7	6.5	6.5	6.5	6.5
FG接触抵抗 (kΩ)	1μm×1μm	6.14	0.96	13.3	23.5	5.6	8.44	11.8	10.5	9.37
	1μm×1μm	11.6	16.6	18.6	16.7	11.9	23.8	28.3	26.58	24.5

## フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
H 0 1 L 27/088	H 0 1 L 27/10 4 3 4	5 F 1 0 1
H 0 1 L 27/108	H 0 1 L 29/78 3 7 1	5 F 1 4 0
H 0 1 L 27/115	H 0 1 L 21/90 P	
H 0 1 L 29/423	H 0 1 L 29/58 G	
H 0 1 L 29/49	H 0 1 L 29/78 3 0 1 G	
H 0 1 L 29/78		
H 0 1 L 29/788		
H 0 1 L 29/792		

(72)発明者 西谷 英輔

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 木村 紳一郎

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

(72)発明者 朴澤 一幸

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 4M104 AA01 AA04 AA09 BB01 BB28 BB29 BB33 BB36 BB40 CC05  
DD16 DD17 DD23 DD65 DD91 EE03 EE09 EE14 EE16 EE17  
FF18 GG08 GG09 GG16 HH07 HH16 HH20  
5F033 GG03 GG04 HH03 HH04 HH08 HH19 HH20 HH28 HH32 HH33  
HH34 JJ04 KK01 LL04 MM01 MM05 MM12 MM13 NN40 PP03  
PP06 PP15 QQ00 QQ08 QQ09 QQ10 QQ11 QQ35 QQ37 QQ73  
QQ74 QQ82 QQ89 QQ94 RR04 RR06 RR08 RR09 RR14 RR15  
SS02 SS04 SS13 SS15 SS22 TT02 TT08 VV06 VV10 VV16  
WW03 XX00 XX09  
5F048 AA07 AB01 AC01 AC03 BA01 BA16 BB04 BB06 BB07 BB09  
BB12 BB13 BE03 BF07 BF11 BF16 BG13 DA27  
5F058 BA20 BC08 BF04 BF07 BF23 BF30 BH02 BJ04  
5F083 AD01 AD10 AD24 AD31 AD48 AD62 EP02 EP23 EP55 ER22  
GA25 HA02 JA04 JA05 JA06 JA19 JA36 JA39 JA40 JA53  
JA56 MA06 MA17 MA20 NA01 PR12 PR13 PR21 PR34 PR40  
PR43 PR44 PR53 PR54 ZA06 ZA12  
5F101 BA01 BA29 BA36 BB05 BB08 BD35 BD45 BE07 BH02 BH03  
BH16  
5F140 AA00 AB03 AC32 BA01 BD01 BD07 BD09 BD10 BE02 BE07  
BF04 BF17 BF20 BF21 BF22 BF27 BF30 BF34 BF38 BF56  
BG22 BG28 BG30 BG31 BG32 BG33 BG38 BG44 CB04 CB08  
CC08 CC12 CC13