

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6749231号
(P6749231)

(45) 発行日 令和2年9月2日 (2020.9.2)

(24) 登録日 令和2年8月13日 (2020.8.13)

(51) Int.Cl. F I
H02M 3/155 (2006.01)
H02M 3/155 W
H02M 3/155 H

請求項の数 4 (全 43 頁)

(21) 出願番号	特願2016-254307 (P2016-254307)	(73) 特許権者	000001292
(22) 出願日	平成28年12月27日 (2016.12.27)		株式会社京三製作所
(65) 公開番号	特開2018-107969 (P2018-107969A)		神奈川県横浜市鶴見区平安町2丁目29番地の1
(43) 公開日	平成30年7月5日 (2018.7.5)	(74) 代理人	110001151
審査請求日	令和1年8月14日 (2019.8.14)		あいわ特許業務法人
		(74) 代理人	100101915
			弁理士 塩野入 章夫
		(72) 発明者	譲原 逸男
			神奈川県横浜市鶴見区平安町2丁目29番地の1 株式会社京三製作所内
		(72) 発明者	大間 亮介
			神奈川県横浜市鶴見区平安町2丁目29番地の1 株式会社京三製作所内

最終頁に続く

(54) 【発明の名称】 電源装置、及び電源装置の制御方法

(57) 【特許請求の範囲】

【請求項1】

複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置であって、
多相インターリーブの多相制御によって動作する降圧チョッパ回路を構成するLCチョッパ回路と、

前記LCチョッパ回路の多相制御によって、前記LCチョッパ回路の指令電圧をステップ状に変化させた場合の出力電圧の変化であるステップ応答を制御する制御部を備え、

前記制御部は、

前記LCチョッパ回路の各相電流の合成電流を制御電流とする定電流制御による前記LCチョッパ回路の各相のスイッチング制御に基づいて出力電圧を指令電圧に追従させる、
多相制御による前記ステップ応答の制御を離散時間処理で行い、

前記出力電圧は、所定時点における出力電圧の初期値と、前記離散時間処理の各時点でのキャパシタンス電流の検出値とを用いた離散時間処理の演算結果であることを特徴とする電源装置。

【請求項2】

LCチョッパ回路を含む電源装置の制御方法であって、

複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置の制御方法であって、

前記LCチョッパ回路の各相電流の合成電流を制御電流とする定電流制御により前記LCチョッパ回路の各相のスイッチングを離散時間処理により制御し、出力電圧を指令電圧

10

20

に追従させる、多相制御による前記LCチョッパ回路の指令電圧をステップ状に変化させた場合の出力電圧の変化であるステップ応答の制御において、

前記ステップ応答の制御の最初の離散時間処理は、所定時点における出力電圧の初期値と、当該演算周期の離散時間処理の時点で検出するキャパシタンス電流の検出値との離散時間処理の演算で出力電圧を取得し、

その後の前記ステップ応答の制御の離散時間処理の各演算周期において、前回の演算周期の演算結果と、当該演算周期の時点で検出するキャパシタンス電流の検出値との離散時間処理の演算の繰り返しによって、各演算周期の前記出力電圧を取得することを特徴とする電源装置の制御方法。

【請求項3】

前記所定時点は、前記ステップ応答制御の制御を開始する開始時点であり、

前記初期値は、前記開始時点で検出される出力電圧であることを特徴とする請求項2に記載の電源装置の制御方法。

【請求項4】

前記ステップ応答制御は、Highレベルの指令電圧及びLowレベルの指令電圧を交互に指令する2レベルのパルス電力制御であり、

前記所定時点は、前記ステップ応答制御の最初の開始時点、及び各レベルのパルス電力制御の終了時点であり、

前記ステップ応答制御の最初の開始時点で検出される出力電圧は、最初のパルス電力制御における出力電圧を取得するための初期値であり、

前記各レベルのパルス電力制御の終了時点で検出される出力電圧は、当該レベルのパルス電力制御に続くレベルのパルス電力制御における出力電圧を取得する初期値であることを特徴とする請求項2に記載の電源装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願発明は、電源装置、及び電源装置の制御方法に関する。

【背景技術】

【0002】

半導体やフラットパネル製造装置等は、アッシングやエッチング等の薄膜生成の高密度・高精度化に伴い、プラズマ負荷にRF電力をパルス状態で供給できる機能が要求されている。特に、プラズマを消滅させない最少電力のLow電力と薄膜生成に必要なHigh電力との間で連続してRF電力を可変させる方式のHigh/Lowパルス電力動作を広帯域で行う2レベルパルス電力制御が要望されている。

【0003】

例えば、High/Lowパルス電力動作に要求される周波数帯域は1Hz～50kHzである。RF電力を供給する電源装置として、PI制御によるA級～E級増幅器を用いたものが知られているが、PI制御では数Hz～数十kHzの広帯域をカバーする2レベルパルス電力制御は実現不可能である。

【0004】

このような状況において、設備用RF電源など分野で使用する電源では、High/Lowパルス電力動作を広帯域で行う2レベルパルス電力制御が可能な電源が求められている。

【0005】

高速応答が期待される電源として、インターリーブ方式を用いた電源があり、例えば、以下の特許文献1～3が知られている。

【0006】

特許文献1には、力率改善を行うインターリーブ制御電源装置において、マスターのコンバータとスレーブのコンバータを備え、マスターのコンバータのスイッチング素子とスレーブのコンバータのスイッチング素子を所定の位相差でそれぞれ動作させること、及び

10

20

30

40

50

フィードバックした出力電圧に基づいて行うインターリーブによる電圧制御を行うことが記載されている。

【0007】

特許文献2には、相互に所定位相差で主スイッチがスイッチング動作する2相n以上の多相制御型のインターリーブ回路で昇圧チョッパ回路を構成すること、及びフィードバックした出力電圧に基づいて行うインターリーブによる制御を行うことが記載されている。

【0008】

特許文献3には、多相インターリーブ方式のコンバータで起こる相ごとの電流不均等の問題を解決し、パワー素子を保護することが記載され、相ごとに設けたサブ回路の相電流に基づいて行うインターリーブによる電流制御を行うことが記載されている。

10

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2010-119285号

【特許文献2】特開2015-177636号

【特許文献3】特開2015-220976号

【特許文献4】特許第5704772号

【発明の概要】

【発明が解決しようとする課題】

【0010】

20

電源装置において、広帯域でのパルス電力制御として多相インターリーブの適用が考えられる。しかしながら、前記した特許文献1, 2に開示されるインターリーブ制御は、フィードバックした出力電圧に基づいて電圧制御を行う制御方式であり、また、特許文献3は、各相の相電流に基づいて電流制御を行う制御方式であって、それぞれ以下に示すような問題がある。

【0011】

特許文献1, 2で示されるインターリーブ制御は、出力電圧 v_o をフィードバックして行う定電圧制御であるため、ステップ応答において二次振動電圧が発生し、出力電圧にオーバーシュートやアンダーシュートが生じるという問題がある。このオーバーシュートやアンダーシュートを抑制するには、制御応答の速度を低速に設定する必要があるが、高速応答に対応することができない。

30

【0012】

図19はLCR回路の等価回路を示し、出力電圧 v_o をフィードバックする定電圧制御を説明するための図である。なお、ここでは、LCR回路で構成された降圧チョッパ回路を含む電源装置の例を示している。

【0013】

図19に示したLCR回路において、入力電圧 U を入力したときのステップ応答で得られる出力電圧 v_o は、以下の式で表される。

【数1】

$$v_o(s) = \frac{\frac{R}{1+sCR}}{sL/3 + \frac{R}{1+sCR}} \frac{U}{s} = \frac{\frac{3}{LC}}{s^2 + \frac{1}{CR}s + \frac{3}{LC}} \frac{U}{s} = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \frac{U}{s} \quad \dots (1)$$

40

【0014】

上記の式(1)は、出力電圧 v_o が二次振動電圧であることを示し、オーバーシュートやアンダーシュートの発生を示唆している。

【0015】

また、特許文献3で示されるインターリーブ制御は、各相の相電流に基づいて行う電流制御であるため、各相電流を検出するために複数の検出部が必要である他、制御が複雑

50

となるという問題がある。

【0016】

多相インターリーブによる広帯域のパルス電力制御では、各相のスイッチング動作を高速で行うことが求められる。

スイッチング動作を高速で行うにはスイッチング周波数を高める必要がある。そのためには、パルス電力制御を行う制御系において、フィードバック信号を高速で検出する必要がある。

【0017】

複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置において、多相インターリーブの多相制御によって動作する降圧チョップ回路を構成するLCチョップ回路において定電流制御を行う制御系では、通常、出力電圧やキャパシタンス電流を検出し、この検出信号をフィードバックしている。

10

【0018】

この検出信号の検出速度は検出器の応答速度に依存する。検出器の応答速度の点において、一般に、直流信号を検出する検出器は応答が低速であり、交流信号を検出する検出器は応答が高速である。

【0019】

ステップ応答の応答速度は、ステップ応答の出力電圧である直流信号の検出が低速応答であることから、出力電圧をフィードバックする際の高速応答に支障が生じる。したがって、パルス電力制御を行う制御系を高速応答させるには、出力電圧を高速で検出する必要がある。

20

【0020】

本発明は前記した従来の問題点を解決し、電源装置の多相インターリーブ制御を高速化することを目的とする。

さらに、電源装置の多相インターリーブ制御を高速化において、フィードバック信号の検出を高速することを目的とする。

【課題を解決するための手段】

【0021】

制御方式として、PI制御と比較して速い動的応答と高利得が得られるデッドビート制御が知られている。デッドビート制御は、入力及び出力を状態変数とする回路状態を離散モデルで展開して得られる状態方程式について、サンプリング周期 $(k+1)$ 番目の出力が目標値と等しくなるようにパルス幅 $\Delta T(k)$ をサンプリング周期ごとに演算し、求めたパルス幅 $\Delta T(k)$ によってスイッチング動作を制御する。

30

【0023】

多相インターリーブにデッドビート制御を適用した電源装置の電力制御は知られていない。仮に、多相インターリーブの各相に対してデッドビート制御を適用しようとした場合には、高速応答のためには、各相のデッドビート制御で得られるパルス幅 $\Delta T(k)$ を高速で安定して得る必要がある。この高速応答には、前記したように、出力電圧を高速で検出することが求められる。

【0024】

40

本発明は、ステップ応答の出力電圧である直流信号の検出は低速応答であり、このためフィードバック信号の高速検出に支障があることに鑑み、電圧信号の検出において、応答速度が遅い電圧検出の検出信号を初期値とし、この初期値と各時点検出するキャパシタンス電流の検出値とを用いて次の時点における電圧を高速離散時間処理で求める工程を、逐次繰り返すことによって、各時点での電圧信号を検出する。

【0025】

この電圧信号の検出によれば、実際に検出器を用いた出力電圧の検出は初期値を検出する時点のみであり、その後の時点での出力電圧の検出は、高速検出が可能な交流信号の検出器によって検出したキャパシタンス電流の検出値と、出力電圧の初期値のみであるため、直流信号の検出の際の低速応答の影響を受けることなく、高速で検出することができる

50

。したがって、本発明この出力電圧の高速検出においては、実際に行う出力電圧の検出は初期値のみであって、その後の高速離散時間処理で行う検出は、キャパシタンス電流のみを検出する。これによって、電源装置の多相インターリーブ制御を高速化することができる。

【0026】

また、一サンプリング周期での処理が終了し、次のサンプリング周期の処理を行うときには、前回のサンプリング周期で検出した最終値の出力電圧を次のサンプリング周期における初期値として用いることによって、検出器で出力電圧を検出することなく、次のサンプリング周期における出力電圧を、その初期値と各時点でのキャパシタンス電流によって高速離散時間処理で求めることができる。

10

【0027】

(電源装置)

本発明の電源装置はLCチョッパ回路を含み、複数の相電流によって多相制御を行う多相インターリーブ制御によって指令値に向けてステップ応答制御する制御部とスイッチング信号を生成するスイッチング信号生成部とを備える。

【0028】

本発明は、多相インターリーブにデッドビート制御を適用した電源装置の電力制御において、多相インターリーブによる多相制御において、多相の相電流の合成電流を制御電流とすることによって、検出部の個数や制御系が相数に依存しない制御を実現し、この制御電流を用いて定電流制御を行うことによって、オーバーシュートやアンダーシュートの発生を抑制する。

20

【0029】

本発明は電源装置の態様、及び電源装置の制御方法の態様を含む。

本発明の電源装置は、複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置であって、多相インターリーブの多相制御によって動作する降圧チョッパ回路を構成するLCチョッパ回路と、LCチョッパ回路の多相制御によってステップ応答を制御する制御部とを備える。

【0030】

制御部は、LCチョッパ回路の多相制御において、LCチョッパ回路の各相電流の合成電流を制御電流とする定電流制御によってLC回路の各相のスイッチングを制御する。

30

【0031】

本発明の電源装置の制御方法は、LCチョッパ回路を含む電源装置の制御方法であって、複数の相電流によって多相制御を行う多相インターリーブ制御の電源装置の制御方法であり、LCチョッパ回路の多相制御によるステップ応答の制御において、LCチョッパ回路の各相電流の合成電流を制御電流とする定電流制御によって、LC回路の各相のスイッチングを制御する。

【0032】

本発明の電源装置及び電源装置の制御方法において、出力電圧は、所定時点における出力電圧の初期値と、離散時間処理の各時点でのキャパシタンス電流の検出値とを用いた離散時間処理の演算結果によって取得する。これによって、応答速度が遅い出力電圧の取得は初期値の検出のみと、離散時間処理における検出は、は高速応答が可能なキャパシタンス電流の検出で済ませることができるため、高速応答が可能となる。

40

【0033】

ステップ応答制御の最初の離散時間処理は、所定時点における出力電圧の初期値と、その最初の回の演算周期の離散時間処理の時点で検出するキャパシタンス電流の検出値との離散時間処理の演算で出力電圧を取得し、その後のステップ応答制御の離散時間処理の各演算周期においては、前回の演算周期の演算結果と、その回の演算周期の時点で検出するキャパシタンス電流の検出値との離散時間処理の演算の繰り返しによって、各演算周期の前記出力電圧を取得する。

【0034】

50

ステップ応答制御を単一のレベルの指令電圧で行うパルス電力制御の態様では、所定時点は、ステップ応答制御の制御を開始する開始時点である。また、初期値は、開始時点で検出される出力電圧である。

【0035】

ステップ応答制御を、Highレベルの指令電圧及びLowレベルの指令電圧を交互に指令する2レベルのパルス電力制御の態様では、所定時点は、ステップ応答制御の最初の開始時点、及び各レベルのパルス電力制御の終了時点である。

【0036】

ステップ応答制御の最初の開始時点で検出される出力電圧は、最初のパルス電力制御における出力電圧を取得するための初期値である。また、各レベルのパルス電力制御の終了時点で検出される出力電圧は、そのレベルのパルス電力制御に続くレベルのパルス電力制御における出力電圧を取得する初期値である。

10

【0037】

また、制御電流によって定電流制御を行うことによって、オーバーシュートやアンダーシュートの発生を抑制することができる。

【0038】

各相電流の合成電流は、LCチョップ回路の各相のインダクタンスの接続端に流れるインダクタンス電流、あるいは、LCチョップ回路のキャパシタンスに流れるキャパシタンス電流を用いることができる。

【0039】

20

インダクタンスの接続端に電流計を設ける構成によって、各相のインダクタンスに流れる各インダクタンス電流を合わせた合成電流を検出し、検出したフィードバック信号を制御電流として定電流制御を行う。

【0040】

また、キャパシタンスに電流計を設ける構成によって、キャパシタンス電流を検出し、検出したフィードバック信号を制御電流として定電流制御を行う。キャパシタンス電流は、各相のインダクタンス電流の合成電流から負荷電流を差し引いた電流であるため、キャパシタンス電流を検出することで、インダクタンス電流の合成電流を検出することができる。

【0041】

30

インダクタンス電流を検出する構成、及びキャパシタンス電流を検出する構成のいずれの構成においても、制御電流を検出する検出機構は一つの検出手段で足りる。

【0042】

また、インダクタンス電流を検出する構成、及びキャパシタンス電流を検出する構成のいずれの構成においても、制御電流を用いて定電流制御を行う制御系は一つの制御系で足りる。

【0043】

インダクタンス電流の定電流制御によって、オーバーシュート及びアンダーシュートを抑制すると共に、出力電圧を目標値である指令電圧に追従させる。

【0044】

40

インダクタンス電流をフィードバックして定電流制御を行った場合には、出力電圧のステップ応答は二次振動電圧を起こすことなく、所定のインダクタンス電流値に応じて定まる電圧に向かって指数関数的に増加する。したがって、インダクタンス電流の定電流制御によって、出力電圧をオーバーシュート又はアンダーシュートさせることなく、所定値に収束するステップ応答させることができる。

【0045】

インダクタンス電流の定電流制御において、制御電流として、LC回路の各相のインダクタンスの接続端に流れるインダクタンス電流、あるいは、インダクタンス電流はキャパシタンス電流と負荷電流との和であることから、LC回路のキャパシタンスに流れるキャパシタンス電流を用いる。インダクタンス電流の定電流制御は、インダクタンス電流が定

50

格電流値あるいは定格電流値に所定係数を乗じた値との差分が零となるように電流制御を行う。

【0046】

(制御形態)

本発明の電源装置の制御の一形態は、PI制御を用いない多相インターリーブの双方向降圧チョッパ回路による2レベルデッドビート制御である。

【0047】

インターリーブ方式では、相数 n を多相とすることにより、スイッチング周波数を駆動スイッチング周波数の n 倍として制御応答を n 倍とすることができる他、平滑キャパシタを駆動スイッチング周波数の n 倍のスイッチング周波数に相当した値を採用することによって平滑キャパシタの量を大幅な低減が期待される。

10

【0048】

一般に、直流信号を検出する検出器は低速応答であるのに対して、交流信号を検出する交流変流器は高速応答が可能であることから、本発明の電源装置の制御において制御電流としてキャパシタンス電流を用いる形態によれば、キャパシタンス電流の交流信号を高速検出することで、その他の交流分を含む直流信号を比較的低速で検出してもデッドビート制御の高速応答が可能である。

【0049】

更に、本発明の形態によれば、定電流制御を行うことによって、ステップ応答のオーバーシュートやアンダーシュートを抑制することができる。

20

【0050】

また、本発明の形態によれば、制御電流は各相のインダクタンス電流の合成電流であることから、制御電流であるフィードバック信号を検出する検出部の個数を減少させることができる。

【0051】

なお、LCチョッパ回路において、インバータを用いて前段の直流電圧を交流電圧に変換することによってRF電力を制御する増幅器として、A級～E級増幅器が知られている。これら増幅器の内、A級～C級増幅器はドロップパー方式によってRF電力を制御しているため、RF電力の変換効率は30%～50%程度である。一方、D級増幅器及びE級増幅器はスイッチング方式を用いて前段の直流電圧を変換させてRF電力を制御しているため、代表的な13.56MHzの高周波では、RF電力の変換効率は90%～93%の高効率が得られる。

30

【0052】

したがって、本発明の電源装置の多相インターリーブによるデッドビート制御においては、スイッチング制御が適用できる増幅器としてD級増幅器及びE級増幅器が好適である。

【図面の簡単な説明】

【0053】

【図1】本発明の電源装置の概略構成例を説明するための図である。

【図2】本発明の電源装置の制御において位相電流の場合のパルス幅 $\Delta T(k)$ の例を示す図である。

40

【図3】本発明の電源装置のインダクタンス電流制御の例を説明するための図である。

【図4】本発明の電源装置のキャパシタンス電流制御の例を説明するための図である。

【図5】本発明の電源装置のインダクタンス電流制御及びキャパシタンス電流制御の例を説明するための図である。

【図6】本発明の電源装置のインダクタンス電流制御及びキャパシタンス電流制御の一形態を説明するための図である。

【図7】本発明の電源装置のインダクタンス電流制御及びキャパシタンス電流制御の一形態を説明するための図である。

【図8】本発明の電源装置のインダクタンス電流制御及びキャパシタンス電流制御の例を

50

説明するための図である。

【図 9】 mode1～mode3による出力電圧の指定電圧への整定工程を説明するためのフローチャートである。

【図 10】 本発明の電源装置のチョッパ回路例を説明するための図である。

【図 11】 本発明の電源装置の L C R回路を説明するための図である。

【図 12】 本発明の電源装置の L C R回路の等価回路を説明するための図である。

【図 13】 定電圧制御の一次系伝達関数を説明するための図である。

【図 14】 定電圧制御の二次系伝達関数を説明するための図である。

【図 15】 本発明の電源装置を適用した R Fジェネレータの制御例を説明するための図である。

10

【図 16】 本発明の電源装置を適用した R Fジェネレータの制御例を説明するためのフローチャートである。

【図 17】 本発明の電源装置を適用した装置の H i g h / L o w制御例を説明するためのフローチャートである。

【図 18】 本発明の電源装置を適用した直流電源装置及び交流電源装置の制御例を説明するための図である。

【図 19】 出力電圧 v_o をフィードバックする定電圧制御を説明するための図である。

【発明を実施するための形態】

【0054】

本発明の電源装置、及び電源装置の制御方法について図 1～図 18 を用いて説明する。

20

以下、図 1 を用いて本発明の電源装置の概略構成例を説明し、図 2～9 を用いて本発明の電源装置の制御例を説明する。図 10～12 を用いて本発明のパルス幅 $\Delta T(k)$ の導出について説明し、図 13, 14 を用いて指令値に対する追従性を説明し、図 15～図 18 を用いて本発明の電源装置の適用例を説明する。

【0055】

(本発明の電源装置の概略構成)

本発明の電源装置の概略構成について図 1 を用いて説明する。本発明の電源装置 1 は、入力電圧 V_{in} を入力とし、出力電圧 v_o 及び負荷電流 i_R を出力する L C チョッパ回路 2、L C チョッパ回路 2 のスイッチング素子のオン／オフ動作を制御するスイッチング信号を生成するスイッチング信号生成部 5、L C チョッパ回路 2 及び負荷からのフィードバック信号を入力してパルス幅 $\Delta T(k)$ を演算し、演算したパルス幅 $\Delta T(k)$ をスイッチング信号生成部 5 に出力する制御部 6 を備える。

30

【0056】

L C チョッパ回路 2 は、インダクタンス L とキャパシタンス C の直並列接続で構成される L C 回路 4 と、入力電圧 V_{in} を多相でスイッチング制御して形成したインダクタンス電流 i_L を L C 回路 4 に供給するスイッチング回路 3 とにより構成される。

【0057】

制御部 6 は、スイッチング回路 3 のスイッチング素子のオン／オフ動作を制御するスイッチング信号のパルス幅 $\Delta T(k)$ を演算する。パルス幅 $\Delta T(k)$ はスイッチングの 1 周期内において、スイッチング素子のオン状態の時間幅を定め、パルス幅 $\Delta T(k)$ の長短によって L C 回路 4 を経て負荷に供給する電力を制御する。例えば、スイッチング周期の時間幅を T とした場合には、時間幅 T に対するパルス幅 $\Delta T(k)$ はデューティ比として表される。

40

【0058】

制御部 6 は、サンプリング周期 $(k+1)$ 番目の出力が目標値と等しくなるようにパルス幅 $\Delta T(k)$ をサンプリング周期ごとに演算し、求めたパルス幅 $\Delta T(k)$ によってスイッチング動作を制御するデッドビート制御を行う。制御部 6 は、デッドビート制御において、L C チョッパ回路 2 中の相電流を合成して得られる合成電流を含む制御電流に基づいて所定周期で定電流制御を行い、L C チョッパ回路 2 のスイッチング回路 3 のスイッチング素子（図示していない）を駆動するスイッチング信号のパルス幅 $\Delta T(k)$ の演算を

50

サンプリング周期 T 毎に行う。

【0059】

制御部 6 は、合成電流を含む制御電流の定電流制御により演算されたパルス幅 $\Delta T(k)$ を各相電流のパルス幅 $\Delta T(k)$ とする。制御電流を定電流制御することによって、ステップ応答において出力電圧の二次振動電圧を抑制する。

【0060】

本発明のスイッチング信号生成部 5 は、制御部 6 が演算したパルス幅 $\Delta T(k)$ を各相電流のパルス幅 $\Delta T(k)$ として各相のスイッチング信号を生成する。パルス幅 $\Delta T(k)$ の演算において、相電流を合成して得られる合成電流を含む制御電流に基づいてパルス幅 $\Delta T(k)$ を演算する。この演算において、制御電流は相電流の合成電流に基づくものであるため、各相のパルス幅 $\Delta T(k)$ の重なりによる制限を除くことができ、各相のパルス幅 ΔT が互いに重なることを許容したパルス幅 $\Delta T(k)$ を求めることができる。

【0061】

図 2 は、3 相の位相電流の場合のパルス幅 $\Delta T(k)$ の例について示している。図 2 (a) はスイッチングの 1 周期の時間幅 T に対してパルス幅 $\Delta T(k)$ が、3 相の位相電流の内 3 つの位相電流のパルス幅 $\Delta T(k)$ に重なりがある例を示している。図 2 (b) はスイッチングの 1 周期の時間幅 T に対してパルス幅 $\Delta T(k)$ が、3 相の位相電流の内 2 つの位相電流のパルス幅 $\Delta T(k)$ に重なりがある例を示している。図 2 (c) は 3 相の位相電流について位相電流のパルス幅 $\Delta T(k)$ に重なりがない例を示している。

【0062】

n 相の多相インターリーブによってスイッチング回路 3 をスイッチング動作させる場合には、LC チョップ回路 2 において、 n 個のインダクタンス L ($L1 \sim Ln$) にはそれぞれインダクタンス電流 $i_{L1} \sim i_{Ln}$ が流れる。制御部 6 は、これらのインダクタンス電流 $i_{L1} \sim i_{Ln}$ である各相電流を合成した合成電流 i_L を含む電流を制御電流として入力する。

【0063】

制御電流は、各相電流のインダクタンス電流を合成した合成電流 i_L の他、合成電流 i_L から負荷電流 i_R を減算したキャパシタンス電流 i_c を用いても良い。

【0064】

(定電流制御)

制御部 6 による定電流制御は複数の制御形態を備える。制御形態として、インダクタンス電流制御の制御形態、キャパシタンス電流制御の制御形態、及びインダクタンス電流制御とキャパシタンス電流制御とを組み合わせた制御形態がある。

【0065】

以下、図 3 ～ 図 8 を用いて定電流制御の複数の制御形態、及び各制御形態におけるパルス幅 $\Delta T(k)$ について説明する。

【0066】

(定電流制御の制御形態及びパルス幅 $\Delta T(k)$)

図 1 の LC チョップ回路 2 に負荷 7 を接続して構成される LCR 回路において、LC チョップ回路中のインダクタンス L のインダクタンス電流 i_L 、あるいはキャパシタンス C のキャパシタンス電流 i_c を制御電流として定電流制御を行う。インダクタンス電流 $i_L(t)$ 、キャパシタンス電流 $i_c(t)$ 、及び出力電圧 $v_o(t)$ はそれぞれ以下の式 (2) で表される。

【数 2】

$$\begin{aligned} i_L(t) &= i_c(t) + i_R(t) = A_v \{V_{REF} - v_o(t)\} + \beta i_c(t) + i_R(t) \\ i_c(t) &= \frac{A_v}{1 - \beta} \{V_{REF} - v_o(t)\} = C \frac{d}{dt} v_o(t) \\ v_o(t) &= V_{REF} \left\{ 1 - e^{-\frac{A_v}{(1 - \beta)C} t} \right\} \end{aligned} \quad \dots (2)$$

10

20

30

40

50

【0067】

多相インターリーブにおいては、上記式(2)のインダクタンス電流 $i_L(t)$ は、LCチョップ回路が含む n 個のインダクタンス $L(L_1 \sim L_n)$ の各相のインダクタンス電流 $i_{L1} \sim i_{Ln}$ を合成した合成電流である。インダクタンス電流 $i_L(t)$ とキャパシタンス電流 i_c との間には $i_L(t) = i_c(t) + i_R(t)$ の関係がある。なお、 $i_R(t)$ は負荷 R の負荷電流である。

【0068】

多相インターリーブ制御において、一例である3相インターリーブ制御では、上記したインダクタンス電流及びキャパシタンス電流を制御電流として定電流制御を行うときのパルス幅 $\Delta T(k)$ は以下の式(3)で表される。

10

【数3】

$$\Delta T(k) = \frac{1}{V_{in}(k)} \left\{ \frac{L}{3} i_L(k+1) - \left(\frac{L}{3} - \frac{T^2}{2C} \right) i_L(k) + T v_o(k) - \frac{T^2}{2C} i_R(k) \right\} \quad \cdots (3)$$

【0069】

なお、 $V_{in}(k)$ は入力電圧、 $v_o(k)$ は出力電圧、 $i_L(k)$ は各相のインダクタンス電流の合成電流、 $i_R(k)$ は負荷電流、 L はLC回路のインダクタンス、 C はLC回路のキャパシタンス、 T はサンプリング周期である。

【0070】

定電流制御は、インダクタンス電流を制御電流とするインダクタンス電流の定電流制御、あるいは、キャパシタンス電流を制御電流とするキャパシタンス電流の定電流制御とすることができる。

20

【0071】

以下、インダクタンス電流の定電流制御の制御形態、キャパシタンス電流の定電流制御の制御形態、及びインダクタンス電流の定電流制御とキャパシタンス電流の定電流制御とを組み合わせた制御形態の各制御形態について説明する。ここでは、多相インターリーブ制御において3相インターリーブ制御を例として説明する。

【0072】

(インダクタンス電流の定電流制御の制御形態)

図3は、制御部によるインダクタンス電流制御の制御形態の概略を説明するための図であり、図3(a)、(b)は制御形態の概略構成を示し、図3(c)は指令電圧 V_{REF} の例を示し、図3(d)は出力電圧 v_o の例を示している。

30

【0073】

図3は、インダクタンス電流の定電流制御についての2つの構成例について、3相インターリーブ制御を例として示している。インダクタンス電流の定電流制御は、インダクタンス電流が定格電流値あるいは定格電流値に所定係数を乗じた値との差分が零となるように電流制御を行う。

【0074】

図3(a)の構成では、3相インターリーブ制御においてインダクタンス電流の定電流制御の制御形態において、以下の式(4)で表されるパルス幅 $\Delta T(k)$ を用い、フィードバックされたキャパシタンス電流 $i_c(k)$ 及び出力電圧 $v_o(k)$ を用いて、出力電圧 $v_o(k)$ が指令電圧 V_{REF} となるようにステップ応答を制御する。

40

【数4】

$$\Delta T(k) = \frac{1}{V_{in}(k)} \frac{L}{3} \left[A_v V_{REF} - \left(1 - \beta_3 - \frac{3T^2}{2LC} \right) i_c(k) + \left(\frac{3}{L} T - A_v \right) v_o(k) \right] \quad \cdots (4)$$

【0075】

図3(b)の構成では、3相インターリーブ制御においてインダクタンス電流の定電流制御の制御形態において、以下の式(5)で表されるパルス幅 $\Delta T(k)$ を用い、フィードバックされたキャパシタンス電流 $i_c(k)$ を用いて、出力電圧 $v_o(k)$ が指令電圧 V

50

REFとなるようにステップ応答の制御を行う。なお、この構成では、係数 A_v を $A_v = 3T/L$ に設定することによって、出力電圧 $v_o(k)$ のフィードバックを不要とし、キャパシタンス電流 $i_c(k)$ のみを検出してフィードバックするだけでパルス幅 $\Delta T(k)$ を定めることができる。

【0076】

【数5】

$$\Delta T(k) = \frac{V_{REF} - \left\{ \frac{(1-\beta_3)L}{3T} - \frac{T}{2C} \right\} i_c(k)}{V_{in}(k)} T \quad \dots (5)$$

10

【0077】

図3(c)に示す指令電圧 V_{REF} は、 H/L の2レベル制御において、 $High$ レベルの V_H と Low レベルの V_L との2レベルの指令電圧の例を示し、図3(d)に示す出力電圧 v_o は、2レベルのステップ応答例を示している。

【0078】

なお、図3(c)、(d)に示す電圧波形は説明の為に模式的に示すものであって、実際の電圧波形を示すものではない。

【0079】

(キャパシタンス電流の定電流制御の制御形態)

図4は、制御部によるキャパシタンス電流制御について、3相インターリーブ制御を例とした概略を説明するための図であり、図4(a)は概略構成を示し、図4(b)はキャパシタンス電流の指令電流 I_{C-REF} の例を示し、図4(c)はキャパシタンス電流 i_c を示している。

20

【0080】

図4(a)の構成では、3相インターリーブ制御においてキャパシタンス電流の定電流制御の制御形態において、以下の式(6)で表されるパルス幅 $\Delta T(k)$ を用い、フィードバックされたキャパシタンス電流 $i_c(k)$ 及び出力電圧 $v_o(k)$ を用いて、キャパシタンス指令電流 I_{C-REF} となるようにステップ応答を制御する。

【数6】

$$\Delta T(k) = \frac{\frac{L}{3} I_{C-REF} - \left(\frac{L}{3} - \frac{T^2}{2C} \right) i_c(k) + T v_o(k)}{V_{in}(k)} \quad \dots (6)$$

30

【0081】

図4(b)に示すキャパシタンス電流の指令電流 I_{C-REF} は、 H/L の2レベル制御において、 $High$ レベルの V_H に対応する I_{C-REFH} と、 Low レベルの V_L に対応する I_{C-REFL} との2レベルの指令電流の例を示し、図4(c)に示すキャパシタンス電流 i_c は、2レベルのステップ応答例を示している。

【0082】

なお、図4(b)、(c)に示す電圧波形は説明の為に模式的に示すものであって、実際の電圧波形を示すものではない。

40

【0083】

(インダクタンス電流の定電流制御とキャパシタンス電流の定電流制御とを組み合わせた制御形態)

本発明の定電流制御は、前記したインダクタンス電流の定電流制御の制御形態、及びキャパシタンス電流の定電流制御の制御形態の他、キャパシタンス電流の定電流制御と、その後に行うインダクタンス電流の定電流制御の多段階の定電流制御によってステップ応答を制御する制御形態を備える。

【0084】

この多段階の制御形態は、キャパシタンス電流の定電流制御の後にインダクタンス電流

50

の定電流制御を行う第1の制御形態の他、キャパシタンス電流の定電流制御を2段階で行い、その後にインダクタンス電流の定電流制御を行う第2の制御形態を備える。

【0085】

図5～図7はインダクタンス電流の定電流制御とキャパシタンス電流の定電流制御の組み合わせの制御態様を説明するための図であり、図5(a)は制御部の概略を示し、図5(b)は指令電圧 V_{REF} を示している。

【0086】

キャパシタンス電流の定電流制御とインダクタンス電流の定電流制御との組み合わせの制御形態において、図6(a)、(b)は第1の制御形態において、指令電流 I_{C-REF} と出力電圧 v_o を示し、図7(a)、(b)は第2の制御形態において、キャパシタンス電流の定電流制御をmode1及びmode2の2段階で行い、その後にインダクタンス電流の定電流制御をmode3で行う際のそれぞれ指令電流 I_{C-REF} と出力電圧 v_o を示している。

10

【0087】

(第1の制御形態)

キャパシタンス電流の定電流制御とインダクタンス電流の定電流制御との組み合わせの制御形態において、第1の制御形態では、第1段目のキャパシタンス電流の定電流制御を行い、出力電圧 v_o が切り替え電圧 V_c に達した時点で、第2段目のインダクタンス電流の定電流制御に切り替え、指令電圧 V_{REF} に向けて定電流制御を行う。

【0088】

第1段目のキャパシタンス電流の定電流制御では前記したキャパシタンス電流の定電流制御によるパルス幅 $\Delta T(k)$ を用い、第2段目のインダクタンス電流の定電流制御では前記したインダクタンス電流の定電流制御によるパルス幅 $\Delta T(k)$ を用いる。

20

【0089】

仮に、ステップ応答の全区間をインダクタンス電流の定電流制御した場合には過大電流の発生が想定される。この過大電流を避けるために、キャパシタンス電流の定電流制御を組み合わせる。

【0090】

キャパシタンス電流の定電流制御とインダクタンス電流の定電流制御とを組み合わせる制御形態は、インダクタンス電流の定電流制御で想定される過大電流の発生を避ける。第1段目でキャパシタンス電流の定電流制御を行うことによって過大電流の発生を抑制し、過大電流の発生のおそれが無くなった後、第2段目においてキャパシタンス電流の定電流制御からインダクタンス電流の定電流制御に切り替えて、出力電圧 v_o を目標値の制御指令電圧 V_{REF} に向けて制御する。

30

【0091】

第1段目のキャパシタンス電流の定電流制御を第2段目のインダクタンス電流の定電流制御に切り替えるときの切り替え電圧 V_c は、キャパシタンス電流の定電流制御において、インダクタンスに保有された電流エネルギーによって出力電圧が目標値を行き過ぎないように切り替えるための電圧である。

【0092】

図6に示す制御形態は、キャパシタンス電流制御に続いてインダクタンス電流制御を行う態様を示している。図6(b)に示す電圧波形において、薄い実線で示した電圧 V_1 は全区間をインダクタンス電流の定電流制御によって制御した場合のステップ応答を示し、濃い実線で示した電圧はキャパシタンス電流の定電流制御とインダクタンス電流の定電流制御とを組み合わせる制御形態のステップ応答を示し、キャパシタンス電流制御時の電圧 V_2 とインダクタンス電流制御時の電圧 V_3 を含む。

40

【0093】

キャパシタンス電流制御では、図6(a)に示す指令電流 I_{C-REF} に基づいて、過大電流の発生を抑制しながら出力電圧 v_o を目標値に向けて定電流制御を行い、出力電圧 v_o が目標値を過ぎないように設定した切り替え電圧 V_c に達した時点でインダクタンス電流の定電流制御に切り替える。キャパシタンス電流制御時の電圧を電圧 V_2 で示している。そ

50

の後、インダクタンス電流の定電流制御によって指令電圧 V_{REF} に制御する。インダクタンス電流制御時の電圧を電圧 V_3 で示している。

【0094】

(第2の制御形態)

キャパシタンス電流の定電流制御とインダクタンス電流の定電流制御との組み合わせの制御形態において、第2の制御形態では、キャパシタンス電流の定電流制御を2段階で行った後、インダクタンス電流の定電流制御を行う。

【0095】

図7に示す制御形態は、キャパシタンス電流制御の定電流制御に続いてインダクタンス電流の定電流制御を行う、2段階による形態を示している。図7(a)は、キャパシタンス電流の定電流制御における指令電流 I_{C-REF} を示し、図7(b)は出力電圧 v_o の電圧波形を示している。図7(b)に示す電圧波形において、薄い実線で示した電圧 V_1 は全区間をインダクタンス電流の定電流制御を行った場合のステップ応答を示している。濃い実線で示した電圧はキャパシタンス電流の定電流制御とインダクタンス電流の定電流制御とを組み合わせた態様において、第1段目のキャパシタンス電流の定電流制御時の電圧 V_{2a} 、第2段目のキャパシタンス電流の定電流制御時の電圧 V_{2b} 、及びインダクタンス電流制御時の電圧 V_{3b} によるステップ応答を示している。なお、図7(b)では、インダクタンス電流の定電流制御時において、電圧 V_1 と電圧 V_{3b} とはほぼ重なった状態で示されている。

【0096】

第1段目のキャパシタンス電流の定電流制御では、図7(a)に示す指令電流 I_{C-REF} に基づいて、過大電流の発生を抑制しながら出力電圧 v_o を目標値に向けて定電流制御を行い、出力電圧 v_o が目標値を過ぎないように設定した切り替え電圧 V_{c1} に達した時点で第2段目のキャパシタンス電流の定電流制御に切り替える。第1段目のキャパシタンス電流の定電流制御の電圧を電圧 V_{2a} で示し、第2段目のキャパシタンス電流の定電流制御の電圧を電圧 V_{2b} で示している。

【0097】

第2段目のキャパシタンス電流の定電流制御において、出力電圧 v_o が切り替え電圧 V_{c2} に達した時点においてインダクタンス電流の定電流制御に切り替える。第2段目のキャパシタンス電流の定電流制御時の電圧を電圧 V_{2b} で示している。

【0098】

その後、インダクタンス電流の定電流制御によって指令電圧 V_{REF} に制御する。インダクタンス電流の定電流制御時の電圧を電圧 V_{3b} で示している。

【0099】

第2段目のキャパシタンス電流の定電流制御は、第1段目のキャパシタンス電流の定電流制御とインダクタンス電流の定電流制御との間をつなぐ定電流制御であり、定電流制御の切り替え時における電圧のずれを解消して、キャパシタンス電流の定電流制御から切り替えてインダクタンス電流の定電流制御を開始する時点の電圧を、仮にキャパシタンス電流制御を行うことなく、全区間をインダクタンス電流の定電流制御のみで行ったときの電圧と一致させる。したがって、第2段目のキャパシタンス電流の定電流制御からインダクタンス電流の定電流制御への切り替え電圧 V_{c2} は、インダクタンス電流の定電流制御のみで得られる電圧の切り替え時点での電圧に相当する。

【0100】

上記した第1段目のキャパシタンス電流の定電流制御、第2段目のキャパシタンス電流の定電流制御、及びインダクタンス電流の定電流制御は、以後で説明するmode1, mode2のキャパシタンス電流の定電流制御、及びmode3のインダクタンス電流の定電流制御に相当する。なお、図6、図7に示す指令電流及び電圧の波形は説明の為に模式的に示すものであって、実際の波形を示すものではない。

【0101】

表1は、インダクタンス電流の定電流制御と、キャパシタンス電流の定電流制御の指令

10

20

30

40

50

信号及び入力信号の関係を示している。

【0102】

【表1】

定電流制御	指令信号	入力信号
キャパシタンス電流	I_{C-REF}	V_{in} $i_c(k)$ $V_o(k)$
インダクタンス電流	$V-REF$	$i_c(k)$ ($V_o(k)$)

10

【0103】

次に、一ステップ応答において、mode1、mode2およびmode3の各モードによって行う定電流制御の制御形態を説明する。図8はmode1、mode2およびmode3の各制御形態を説明するための図である。図8(a)はmode1の制御形態を示し、図8(b)はmode2の制御形態を示し、図8(c)はmode3の制御形態を示している。以下では、多相インターリーブ制御として3相インターリーブ制御を例として説明する。

20

【0104】

この定電流制御では、mode1とmode2の2段階のキャパシタンス電流の定電流制御と、その後に行うmode3のインダクタンス電流の定電流制御とによる多段階の定電流制御によってステップ応答を行う。

【0105】

mode1:

mode1の定電流制御は2段階で行うキャパシタンス電流の定電流制御の第1段階目である。このmode1の定電流制御では、インダクタンスに保有された電流エネルギーによって、出力電圧が目標値を行き過ぎない様にするモードである。第1段階目のmode1では次の第2段階目のmode2に切り替えるための電圧 V_{c1} を予め設定しておき、出力電圧 v_o が切り替え電圧 V_{c1} に到達した時点でmode1を終了し、mode2に移行する。

30

【0106】

3相インターリーブ制御のmode1のパルス幅 $\Delta T(k)$ は、

【数7】

$$\Delta T(k) = \frac{\frac{L}{3} I_{C-REF} - \left(\frac{L}{3} - \frac{T^2}{2C} \right) i_c(k) + T v_o(k)}{V_m(k)} \quad \dots (7)$$

40

で表される。

【0107】

図8(a)はmode1のキャパシタンス電流の定電流制御の制御形態を説明するための図である。制御部は、入力電圧 V_{in} を入力すると共に、キャパシタンス電流 $i_c(k)$ 及び出力電圧 $v_o(k)$ をフィードバックし、キャパシタンス電流の指令電流 I_{C-REF} に向けて定電流制御を行う。

【0108】

mode2:

mode2の定電流制御は2段階で行うキャパシタンス電流の定電流制御の第2段階目である。このmode2の定電流制御では、mode1のキャパシタンス電流の定電流制御によって達した

50

出力電圧 v_o を、mode3のインダクタンス電流の定電流制御を開始するときの初期電圧に移行させる移行モード (Transfer mode) である。

【0109】

キャパシタンス電流の定電流制御は、過大電流を抑制するという機能を有するが、出力電圧を目標値に向かわせる機能を有していないため、出力電圧が目標値を行き過ぎないように制御する必要がある。キャパシタンス電流の定電流制御を行った後、インダクタンス電流の定電流制御に切り替えて出力電圧が目標値を行き過ぎない制御しようとした際、切り替え時の出力電圧 v_o は、ステップ応答の全区間をインダクタンス電流で定電流制御した場合の出力電圧 v_o と異なる電圧となり、ギャップが生じる。

【0110】

10

このように、キャパシタンス電流の定電流制御を行った後に、インダクタンス電流の定電流制御に切り替える制御形態では、インダクタンス電流の定電流制御に切り替えた際の電圧とステップ応答の全区間をインダクタンス電流で定電流制御した場合の出力との間にギャップが発生するため、切り替え後のインダクタンス電流の定電流制御は、全区間をインダクタンス電流で定電流制御した場合の出力電圧と異なる電圧から制御を開始することになる。

【0111】

キャパシタンス電流の定電流制御をmode1とmode2の2段階で行う態様は、上記した切り替え時の電圧の差異を解消する。この制御形態は、キャパシタンス電流の定電流制御をmode1とmode2の2段階とし、mode1の定電流制御で発生した出力電圧のずれをmode2で解消して、mode3のインダクタンス電流の定電流制御を開始する際の電圧値を、ステップ応答の全区間をインダクタンス電流で定電流制御した場合の出力電圧に合わせる。これによって、mode3のインダクタンス電流の定電流制御で開始する出力電圧を、仮にステップ応答の全区間をインダクタンス電流で定電流制御した場合の出力電圧から開始することができる。

20

【0112】

したがって、mode2の区間はmode2の最終値がmode3の所定値になるよう調整する移行区間であり、mode2の初期値をmode1の最終値 V_{c1} とし、mode2の最終値がmode3で要求される初期値 V_{c2} になる様に定電流制御を行う。

【0113】

30

3相インターリーブ制御のmode2のパルス幅 $\Delta T(k)$ は、

【数8】

$$\Delta T(k) = \frac{\frac{L}{3} \beta_2 I_{C-REF} - \left(\frac{L}{3} - \frac{T^2}{2C} \right) I_{C-REF} + T V_{c1}}{V_{in}(k)} \quad \dots (8)$$

で表される。

【0114】

図8(b)はmode2のキャパシタンス電流の定電流制御の制御形態を説明するための図である。制御部は、キャパシタンス電流の指令電流 $\beta_2 \cdot I_{C-REF}$ に向けて定電流制御を行う。 β_2 は、mode2における指令電流を設定する係数である。

40

【0115】

mode3:

mode3ではインダクタンス電流の定電流制御によって、出力電圧 v_o が目標値を行き過ぎない様に制御する。High/Lowの2レベル制御の場合には、それぞれの目標値 V_H 、 V_L を行き過ぎない様に定電流制御を行う。

【0116】

3相インターリーブ制御のmode3のパルス幅 $\Delta T(k)$ は、

【数 9】

$$\Delta T(k) = \frac{1}{V_{in}(k)} \frac{L}{3} \left[A_v V_{REF} - \left(1 - \beta_3 - \frac{3T^2}{2LC} \right) i_c(k) + \left(\frac{3}{L} T - A_v \right) v_o(k) \right] \quad \cdots (9)$$

で表され、更に、 $A_v = 3T/L$ に設定した場合には、

【数 10】

$$\Delta T(k) = \frac{V_{REF} - \left\{ \frac{(1 - \beta_3)L}{3T} - \frac{T}{2C} \right\} i_c(k)}{V_{in}(k)} T \quad \cdots (10)$$

10

で表される。

【0117】

図8(c)はmode3のインダクタンス電流の定電流制御の制御形態を説明するための図である。制御部は、キャパシタンス電流 $i_c(k)$ 及び出力電圧 $v_o(k)$ をフィードバックして、あるいは、キャパシタンス電流 $i_c(k)$ をフィードバックして、出力電圧を指令電圧 V_{REF} に向けて定電流制御を行う。 β_3 は、出力電圧を指令電圧 V_{REF} に安定して追従させるために設定する係数である。

【0118】

以下の表2はmode1～mode3の各定電流制御における信号関係を示している。

【0119】

20

【表2】

	定電流制御	入力信号 第1の形態	指令信号	入力信号	係数、 定数
mode 1	キャパシタ電流	i_c i_{C-REF} $v_o(k)$	I_{C-REF}	V_{in} $i_c(k)$ $v_o(k)$	
mode 2	キャパシタ電流	i_{C-REF} v_{c1} β_2	$\beta_2 \cdot$ I_{C-REF}	V_{in}	β_2 v_{c1}
mode 3	インダクタ電流	V_{REF} i_c $v_o(k)$ β_3	V_{REF}	$i_c(k)$ ($v_o(k)$)	β_3 A_v

30

40

【0120】

(指令電圧への整定)

次に、上記したmode1～mode3の工程による指令電圧への整定工程について、図9のフローチャートを用いて説明する。図9のフローチャートでは各工程をP1～P14の符号を付して示している。

【0121】

はじめに、指令電圧 V_{REF} 、指令電流 I_{C-REF} 、定格出力電流 I_{R-rat} 、定電流係数 α_H 、 α_L を設定する。なお、High/Lowの2レベルパルス電力制御の場合には、Highレベルの指令電圧を V_H とし、Lowレベルの指令電圧を V_L とする。また、 α_H はHigh/Lowの2レベルパルス電力制御のHighレベルの定電流係数であり、 α_L はH

50

high/Lowの2レベルパルス電力制御のLowレベルの定電流係数である(P1)。

【0122】

mode1からmode2への切り替え電圧 V_{c1} 、及びmode2からmode3への切り替え電圧 V_{c2} を算出する。切り替え電圧 V_{c1} 及び V_{c2} の電圧の算出は、以後で説明する式(34)、式(39)を用いて行う(P2)。

【0123】

(mode1の工程：P3～P6)

初めにmode1の工程によってキャパシタンス電流の定電流制御を行う。

【0124】

$i_c(k)$ 、 $v_o(k)$ を検出し(P3)、mode1のパルス幅 $\Delta T(k)$ を算出する。mode1のパルス幅 $\Delta T(k)$ の算出は式(7)(式(24))を用いて行う。なお、以後で説明する式(24)は式(7)と同じ算出式である(P4)。P4で算出したパルス幅 $\Delta T(k)$ に基づいて、LCチョップ回路のスイッチング動作を制御して、キャパシタンス電流の定電流制御を行い、出力電圧 $v_o(k)$ を検出する(P5)。

【0125】

検出した出力電圧 $v_o(k)$ がP2で算出した切り替え電圧 v_{c1} に到達したか否かを判定する(P6)。出力電圧 $v_o(k)$ が切り替え電圧 v_{c1} に達していない場合には、P3～P5の工程を繰り返し、出力電圧 $v_o(k)$ が切り替え電圧 v_{c1} に達した場合には、次のmode2の工程に移行する。

【0126】

(mode2の工程：P7～P10)

mode2の工程によってキャパシタンス電流の定電流制御を行う。

【0127】

$i_c(k)$ 、 $v_o(k)$ を検出し(P7)、mode2のパルス幅 $\Delta T(k)$ を算出する。mode2のパルス幅 $\Delta T(k)$ の算出は式(8)(式(25))を用いて行う。なお、以後で説明する式(25)は式(8)と同じ算出式である(P8)。P8で算出したパルス幅 $\Delta T(k)$ に基づいて、LCチョップ回路のスイッチング動作を制御して、キャパシタンス電流の定電流制御を行い、出力電圧 $v_o(k)$ を検出する(P9)。

【0128】

検出した出力電圧 $v_o(k)$ がP2で算出した切り替え電圧 v_{c2} に到達したか否かを判定する(P10)。出力電圧 $v_o(k)$ が切り替え電圧 v_{c2} に達していない場合には、P7～P9の工程を繰り返し、出力電圧 $v_o(k)$ が切り替え電圧 v_{c2} に達した場合には、次にmode3の工程に移行する。

【0129】

(mode3の工程：P11～P14)

mode3の工程によってインダクタンス電流の定電流制御を行う。

【0130】

$i_c(k)$ 、 $v_o(k)$ を検出し(P11)、mode3のパルス幅 $\Delta T(k)$ を算出する。mode3のパルス幅 $\Delta T(k)$ の算出は式(9)(式(26)、式(28))を用いて行う。なお、以後で説明する式(26)は式(9)と同じ算出式である(P12)。P12で算出したパルス幅 $\Delta T(k)$ に基づいて、LCチョップ回路のスイッチング動作を制御して、インダクタンス電流の定電流制御を行い、出力電圧 $v_o(k)$ を検出する(P13)。

【0131】

検出した出力電圧 $v_o(k)$ がP1で設定した指令電圧 V_{REF} に到達したか否かを判定する(P14)。出力電圧 $v_o(k)$ が指令電圧 V_{REF} に達していない場合には、P11～P13の工程を繰り返し、出力電圧 $v_o(k)$ が指令電圧 V_{REF} に達した場合には、指令電圧 V_{REF} への整定を終了する。次の指令電圧 V_{REF} が設定された場合には、上記したP1～P14の工程を繰り返して出力電圧 v_o を指令電圧 V_{REF} に整定する。

【0132】

(パルス幅 $\Delta T(k)$ の導出(導出1～導出9))

図10に示すLCチョップパ回路の構成例は、多相インターリーブ方式による双方向降圧チョップパ回路の一例である。この降圧チョップパ回路は全負荷から無負荷まで高速制御が可能になる様に、一般的な降圧チョップパ回路に用いられているダイオードD1～D3の転流ダイオードを可制御素子に置換え、出力の余分なエネルギーが入力側に回生している。

【0133】

ここでは多相インターリーブとして3相インターリーブを示している。3相インターリーブを構成する3つのスイッチング回路を備え、それぞれスイッチング素子Q1～Q3とダイオードD1～D3を備える。3相インターリーブの各相は、LC回路4のインダクタンスLが3つのスイッチング回路のそれぞれのインダクタンスLに対応し、各インダクタンスLのインダクタンス電流 i_{L1} ～ i_{L3} はインターリーブの各相電流である。多相インターリーブにおいて、LC回路4は1つのキャパシタンスCは備え、キャパシタンスCにはインダクタンス電流 i_{L1} ～ i_{L3} の合成電流($i_{L1}+i_{L2}+i_{L3}$)から負荷電流 i_R を減算した電流が流れる。

10

【0134】

以下、パルス幅 $\Delta T(k)$ の導出について説明する。パルス幅 $\Delta T(k)$ の導出において、はじめに前段工程を説明する。前段工程では、多相インターリーブの合成電流を制御電流としてフィードバックする定電流制御(導出工程1)において、多相インターリーブ方式の双方向降圧チョップパ回路、及びパルス幅 $\Delta T(k)$ の状態方程式を求め(導出工程2, 3)、この状態方程式に基づいてパルス幅 $\Delta T(k)$ の関数式(導出工程4)を求める。

20

【0135】

次に、前段工程において制御電流について求めたパルス幅 $\Delta T(k)$ の関数式を用いて、インダクタンス電流の定電流制御のパルス幅 $\Delta T(k)$ の導出(導出工程5)、及びキャパシタンス電流の定電流制御のパルス幅 $\Delta T(k)$ の導出(導出工程6)を説明する。

【0136】

その後、mode1とmode2の2段階のキャパシタンス電流の定電流制御と、その後に行うmode3のインダクタンス電流の定電流制御の多段階の定電流制御とによってステップ応答を行う制御形態において、各mode1、mode2、mode3のパルス幅 $\Delta T(k)$ を導出する導出工程(導出工程7～導出工程9)を説明する。

30

【0137】

・導出工程1:

合成電流を制御電流としてフィードバックする定電流制御の制御電流および出力電圧の式を導出する。図11は図10の回路の等価回路であり、閉ループ自動制御応答の領域において、スイッチング周波数より充分長い時間帯域の等価回路を表している。

【0138】

図11に等価回路において、各相の相電流 i_{L1} 、 i_{L2} 、及び i_{L3} の合成電流($i_{L1}+i_{L2}+i_{L3}=i_L$)を電流源で表し、3つのスイッチング回路のそれぞれのインダクタンスLの合成インダクタンスを($L/3$)で表している。この等価回路において、電流源から入力された入力電流(i_L)による出力電圧 v_o のステップ応答は、

40

【数11】

$$v_o(s) = \frac{R}{1+sCR} \frac{i_L}{s} = Ri_L \left(\frac{1}{s} - \frac{1}{s+1/CR} \right)$$

$$v_o(t) = Ri_L \left(1 - e^{-\frac{1}{CR}t} \right) \quad \dots (11)$$

で表される

【0139】

50

式 (11) は、出力電圧 v_o のステップ応答は、二次振動電圧を起こすことなく、($R \cdot i_L$) に向かって指数関数的に増加することを示している。

【0140】

インダクタンス電流 i_L の合成電流の時間関数 $i_L(t)$ を以下の式 (12) で定義すると、

【数12】

$$i_L(t) = i_C(t) + i_R(t) = A_v \{V_{REF} - v_o(t)\} + \beta i_C(t) + i_R(t) \quad \dots (12)$$

となる。

10

【0141】

合成電流 ($i_L(t)$)、キャパシタンス電流 $i_C(t)$ 、及び出力電圧 $v_o(t)$ はそれぞれ以下の式 (13) で表される。

【数13】

$$\begin{aligned} i_L(t) &= i_C(t) + i_R(t) = A_v \{V_{REF} - v_o(t)\} + \beta i_C(t) + i_R(t) \\ i_C(t) &= \frac{A_v}{1-\beta} \{V_{REF} - v_o(t)\} = C \frac{d}{dt} v_o(t) \\ v_o(t) &= V_{REF} \left\{ 1 - e^{-\frac{A_v}{(1-\beta)C} t} \right\} \quad \dots (13) \end{aligned}$$

20

【0142】

式 (13) で示される出力電圧 $v_o(t)$ は、式 (11) で表される出力電圧 $v_o(t)$ から負荷抵抗 R が削除され、十分な時間が経過した後 ($t \rightarrow \infty$) の最終値は指令電圧 V_{REF} に収束することを示している。

【0143】

したがって、式 (12) で示されるインダクタンス電流 $i_L(t)$ の合成電流を制御電流として定電流制御を行うことによって、二次振動電圧を生じさせることなく、ステップ応答を制御することができる。

【0144】

30

なお、式 (13) で示される出力電圧 $v_o(t)$ において、 A_v は出力電圧 $V_o(t)$ と指令電圧 V_{REF} との差分値 ($V_{REF} - V_o(t)$) に乗じる係数であり、 β はキャパシタンス電流 $i_C(t)$ に乗じる係数であり、指令電圧 V_{REF} に対する追従特性を定める。

【0145】

例えば、係数 A_v が "1" に近いほど、差分値 ($V_{REF} - V_o(t)$) の大きさが強く反映されたステップ応答となり、係数 β が "1" に近いほど、指令電圧 V_{REF} に対する追従度が高いステップ応答となる。

【0146】

・導出工程2：

次に、3相インターリーブ方式の双方向降圧チョッパ回路の状態方程式を導出する。図12は3相の内の一つの相での等価回路を示している。前記式 (12) で表される合成電流 (i_L) を、定電流制御に適用した形態に変換するために、図10に示す i_{L1} 、 i_{L2} 、及び i_{L3} の合成電流である $i_L (= i_{L1} + i_{L2} + i_{L3})$ の状態方程式を求め、パルス幅 ΔT との関係式を導出する。

40

【0147】

図10の各相の $Q1/D1 \sim Q3/D3$ の ON/OFF 動作によって、 $U1(\tau)$ 、 $U2(\tau)$ および $U3(\tau)$ には V_{in} または 0 電圧が印加される。重ねの理を用いて表現すると、 $U1(\tau)$ に関しては図12の等価回路で表される。図12において、 $U1(\tau)$ は、 $Q1$ をオンとし $D1$ をオフとした場合には V_{in} となり、 $Q1$ をオフとし $D1$ をオンとした場合には $U1(\tau)$ は 0 となる。

50

【 0 1 4 8 】

図 10 に対する状態方程式において、 $U(t)$ が一定である区間ごとに分割した $U(\tau)$ による状態方程式の一般解は、それぞれ以下の式 (14) で表される。

【数 14】

$$\begin{aligned}\dot{\mathbf{x}}(t) &= \mathbf{A}\mathbf{x}(t) + \mathbf{B}u(t) \\ \mathbf{x}(t) &= e^{\mathbf{A}t}\mathbf{x}(0) + \int_0^t e^{\mathbf{A}(t-\sigma)} d\sigma \mathbf{B}u(\tau) \quad \cdots (14)\end{aligned}$$

【 0 1 4 9 】

合成電流 $i(t)$ は、一般解 $\mathbf{x}(t)$ に図 10 の回路構成に対応した変換行列 F を左から乗じることによって得られる。 10

【数 15】

$$i(t) = F\mathbf{x}(t) = Fe^{\mathbf{A}t}\mathbf{x}(0) + F \int_0^t e^{\mathbf{A}(t-\sigma)} d\sigma \mathbf{B}u(\tau) \quad \cdots (15)$$

【 0 1 5 0 】

但し、

【数 16】

$$\left. \begin{aligned} \mathbf{x}(t) &= \begin{bmatrix} i_{L1}(t) & i_{L2}(t) & i_{L3}(t) & v_O(t) \end{bmatrix}^T \\ i(t) &= \begin{bmatrix} i_{L1}(t) & i_{L2}(t) & i_{L3}(t) \end{bmatrix}^T = F\mathbf{x}(t) \\ u(\tau) &= \begin{bmatrix} u_1(\tau) & u_2(\tau) & u_3(\tau) \end{bmatrix}^T \\ F &= \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}, A = \begin{bmatrix} 0 & 0 & 0 & -1/L \\ 0 & 0 & 0 & -1/L \\ 0 & 0 & 0 & -1/L \\ 1/C & 1/C & 1/C & -1/CR \end{bmatrix}, B = \frac{1}{L} \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 0 & 0 & 0 \end{bmatrix} \end{aligned} \right\} \quad \cdots (16) \quad 20$$

である。

【 0 1 5 1 】

上記した $i(t)$ から $i_L(t) = i_{L1}(t) + i_{L2}(t) + i_{L3}(t)$ を得るために変換行列 G を用いて $GFe^{\mathbf{A}T}$ を導出する。また、 FB 、 FAB は下式に示すように変換される。 30

【数 17】

$$\left. \begin{aligned} i_L(t) &= i_{L1}(t) + i_{L2}(t) + i_{L3}(t) = Gi(t) \\ G &= \begin{bmatrix} 1 & 1 & 1 \end{bmatrix}, FB = \frac{1}{L}I_n, FAB = 0 \\ u_{01} &= V_{in} \begin{bmatrix} 1 & 0 & 0 \end{bmatrix}^T, u_{02} = V_{in} \begin{bmatrix} 0 & 1 & 0 \end{bmatrix}^T, u_{03} = V_{in} \begin{bmatrix} 0 & 0 & 1 \end{bmatrix}^T \\ u_{12} &= V_{in} \begin{bmatrix} 1 & 1 & 0 \end{bmatrix}^T, u_{13} = V_{in} \begin{bmatrix} 1 & 0 & 1 \end{bmatrix}^T, u_{23} = V_{in} \begin{bmatrix} 0 & 1 & 1 \end{bmatrix}^T, u_{123} = V_{in} \begin{bmatrix} 1 & 1 & 1 \end{bmatrix}^T \\ e^{\mathbf{A}T} &= I_n + \mathbf{A}T + \frac{(\mathbf{A}T)^2}{2} \\ GFe^{\mathbf{A}T} &= \left(1 - \frac{3T^2}{2LC}\right) \begin{bmatrix} 1 & 1 & 1 & 0 \end{bmatrix} + 3\left(-\frac{T}{L} + \frac{T^2}{2LCR}\right) \begin{bmatrix} 0 & 0 & 0 & 1 \end{bmatrix} \end{aligned} \right\} \quad \cdots (17) \quad 40$$

【 0 1 5 2 】

・導出工程 3 :

次に、パルス幅 $\Delta T(k)$ の状態方程式を導出する。

【 0 1 5 3 】

図 2 (a) に示す一周期の区間 T において、パルス幅 $\Delta T(k)$ の関係式を求める。式 50

(15) に対して式(16)及び式(17)を用いて $i(T)$ を導出すると以下の式(18)で表される状態方程式が得られる。なお、記述しないが、図2(b)及び(c)の一周期の区間 T における $i(T)$ も式(18)と同式になる。

【数18】

$$\begin{aligned} i(T) &= Fe^{AT}x(0) + F \int_0^{t_1} e^{A(T-\sigma)} d\sigma Bu_{23} + F \int_{t_1}^{t_2} e^{A(T-\sigma)} d\sigma Bu_{123} + F \int_{t_2}^{t_3} e^{A(T-\sigma)} d\sigma Bu_{13} \\ &\quad + F \int_{t_3}^{t_4} e^{A(T-\sigma)} d\sigma Bu_{123} + F \int_{t_4}^{t_5} e^{A(T-\sigma)} d\sigma Bu_{12} + F \int_{t_5}^{t_6} e^{A(T-\sigma)} d\sigma Bu_{123} + F \int_{t_6}^T e^{A(T-\sigma)} d\sigma Bu_{23} \\ i(T) &= Fe^{AT}x(0) + \frac{1}{L} I_n \{ (T - \Delta T)(u_{23} + u_{13} + u_{12}) + (-2T + 3\Delta T)u_{123} \} \\ i(T) &= Fe^{AT}x(0) + \frac{\Delta T}{L} I_n u_{123} \end{aligned} \quad \dots (18)$$

【0154】

・導出工程4：

次に、パルス幅 $\Delta T(k)$ の関数式を導出する。

【0155】

式(17)を用いて式(18)のパルス幅 $\Delta T(k)$ の状態方程式を変換すると、

【数19】

$$\begin{aligned} i_L(T) &= Gi(T) = GFe^{AT}x(0) + G \frac{\Delta T}{L} I_n u_{123} \\ i_L(T) &= \left(1 - \frac{3T^2}{2LC} \right) i_L(0) + 3 \left(\frac{T^2}{2LCR} - \frac{T}{L} \right) v_o(0) + \frac{3V_{in}(k)}{L} \Delta T \end{aligned} \quad \dots (19)$$

が得られる。

【0156】

負荷電流 $i_R(k)$ を $i_R(k) = v_o(k) / R$ として、上記式(19)中から R を除くと以下の式(20)が得られる。

【数20】

$$i_L(k+1) = \left(1 - \frac{3T^2}{2LC} \right) i_L(k) - \frac{3T}{L} v_o(k) + \frac{3T^2}{2LC} i_R(k) + \frac{3V_{in}(k)}{L} \Delta T(k) \quad \dots (20)$$

【0157】

上記式(20)からパルス幅 $\Delta T(k)$ を求めると、

【数21】

$$\Delta T(k) = \frac{1}{V_{in}(k)} \left\{ \frac{L}{3} i_L(k+1) - \left(\frac{L}{3} - \frac{T^2}{2C} \right) i_L(k) + T v_o(k) - \frac{T^2}{2C} i_R(k) \right\} \quad \dots (21)$$

が得られる。

【0158】

上記式(21)で示されるパルス幅 $\Delta T(k)$ は、インダクタンス電流の制御電流の定電流制御におけるパルス幅 $\Delta T(k)$ を示している。以下、式(21)に基づいて、インダクタンス電流制御のパルス幅 $\Delta T(k)$ の導出(導出工程5)と、キャパシタンス電流制御のパルス幅 $\Delta T(k)$ の導出(導出工程6)を示す。

【0159】

・導出工程5：

次に、インダクタンス電流の定電流制御のパルス幅 $\Delta T(k)$ を導出する。

【0160】

式(21)に示すパルス幅 $\Delta T(k)$ において、 $i_L(k+1)$ として式(12)で示したインダクタンス電流 i_L を離散時間形式に変換した関数式を用いることによって、イン

10

20

30

40

50

ダクタンス電流の定電流制御によるパルス幅 $\Delta T(k)$ が得られる。ここでは式(12)に示す β を、mode3のインダクタンス電流の定電流制御に合わせて $\beta = \beta_3$ としている。

【数22】

$$\begin{aligned}\Delta T(k) &= \frac{1}{V_{in}(k)} \frac{L}{3} \left[A_v \{V_{REF} - v_o(k)\} + \beta_3 i_c(k) + i_R(k) - \left(1 - \frac{3T^2}{2LC}\right) \{i_c(k) + i_R(k)\} \right. \\ &\quad \left. + \frac{3}{L} T v_o(k) - \frac{3T^2}{2LC} i_R(k) \right] \\ &= \frac{1}{V_{in}(k)} \frac{L}{3} \left[A_v V_{REF} - \left(1 - \beta_3 - \frac{3T^2}{2LC}\right) i_c(k) + \left(\frac{3}{L} T - A_v\right) v_o(k) \right] \quad \dots (22)\end{aligned}$$

10

【0161】

なお、上記したパルス幅 $\Delta T(k)$ は、インダクタンス電流の定電流制御において、インダクタンス電流 $i_L(k)$ に代えてキャパシタンス電流 $i_c(k)$ 及び出力電圧 $v_o(k)$ を用いて示している。インダクタンス電流 $i_L(k)$ に替えてキャパシタンス電流 $i_c(k)$ を用いて表すことによって、インダクタンス電流の定電流制御とキャパシタンス電流の定電流制御とを、共通のキャパシタンス電流 $i_c(k)$ をフィードバックすることで行うことができる。

【0162】

・導出工程6：

20

次に、キャパシタンス電流の定電流制御のパルス幅 $\Delta T(k)$ を導出する。

【0163】

キャパシタンス電流の定電流制御では、指令電流を I_{C-REF} として、 $i_L(k+1) = I_{C-REF} + i_R(k)$ を定義する。

【0164】

式(21)のパルス幅 $\Delta T(k)$ において、 $i_L(k+1) = I_{C-REF} + i_R(k)$ を用いることによって、キャパシタンス電流の定電流制御のパルス幅 $\Delta T(k)$ は以下の式(23)で表される。

【数23】

$$\begin{aligned}\Delta T(k) &= \frac{1}{V_{in}(k)} \left\{ \frac{L}{3} \{I_{C-REF} + i_R(k)\} - \left(\frac{L}{3} - \frac{T^2}{2C}\right) \{i_c(k) + i_R(k)\} + T v_o(k) - \frac{T^2}{2C} i_R(k) \right\} \\ &= \frac{\frac{L}{3} I_{C-REF} - \left(\frac{L}{3} - \frac{T^2}{2C}\right) i_c(k) + T v_o(k)}{V_{in}(k)} \quad \dots (23)\end{aligned}$$

30

【0165】

上記したパルス幅 $\Delta T(k)$ によれば、負荷電流 $i_R(k)$ 及びインダクタンス電流 $i_L(k)$ の要素が除かれているため、負荷電流 $i_R(k)$ 及びインダクタンス電流 $i_L(k)$ をフィードバックすることなく、キャパシタンス電流 $i_c(k)$ 及び出力電圧 $v_o(k)$ をフィードバックすることでパルス幅 $\Delta T(k)$ を求めることができる。

40

【0166】

次に、キャパシタンス電流の定電流制御においてmode1とmode2のパルス幅 $\Delta T(k)$ 、及びインダクタンス電流の定電流制御のmode3のパルス幅 $\Delta T(k)$ の導出(導出工程7～導出工程9)を説明する。

【0167】

・導出工程7：

mode1におけるキャパシタンス電流の定電流制御のパルス幅 $\Delta T(k)$ の導出を説明する。

50

【0168】

modelではキャパシタンス電流の第1段目の定電流制御を実行する。第1段目の定電流制御における指令電流を I_{C-REF} として、インダクタンス電流 $i_L(k+1)$ として $i_L(k+1) = I_{C-REF} + i_R(k)$ を定義する。式(21)で示される制御電流の定電流制御におけるパルス幅 $\Delta T(k)$ を用いることによってmodelのパルス幅 $\Delta T(k)$ は以下の式(24)が得られる。

【数24】

$$\begin{aligned} \Delta T(k) &= \frac{1}{V_{in}(k)} \left\{ \frac{L}{3} \{I_{C-REF} + i_R(k)\} - \left(\frac{L}{3} - \frac{T^2}{2C} \right) \{i_C(k) + i_R(k)\} + TV_o(k) - \frac{T^2}{2C} i_R(k) \right\} \\ &= \frac{\frac{L}{3} I_{C-REF} - \left(\frac{L}{3} - \frac{T^2}{2C} \right) i_C(k) + TV_o(k)}{V_{in}(k)} \end{aligned} \quad \dots (24)$$

【0169】

modelの制御を定めるパルス幅 $\Delta T(k)$ の関数式は、負荷電流 $i_R(k)$ 及びインダクタンス電流 $i_L(k)$ の要素が除かれているため、負荷電流 $i_R(k)$ 及びインダクタンス電流 $i_L(k)$ のフィードバックは不要となる。

【0170】

modelのキャパシタンス電流の定電流制御では、このmodelの期間内において出力電圧 $v_o(k)$ が直流指令電圧 V_{REF} を超えて行き過ぎないようにするために、出力電圧 $v_o(k)$ が V_{c1} に達した時点で第1段のmodelのキャパシタンス電流の定電流制御を終了して、第2段のmode2のキャパシタンス電流の定電流制御に切り替える。なお、 V_{c1} はmodelからmode2への切り替え時の出力電圧である。2レベルデッドビート制御では、直流指令電圧として H_{igh} の直流指令電圧 V_H 、及び L_{ow} の直流指令電圧 V_L を定める。

【0171】

・導出工程8：

次に、mode2におけるキャパシタンス電流の定電流制御のパルス幅 $\Delta T(k)$ の導出を説明する。

【0172】

mode2のパルス幅 $\Delta T(k)$ は、 $v_o(k) = V_{c1}$ と $i_L(k+1) = \beta_2 \cdot I_{C-REF} + i_R(k)$ を、パルス幅 $\Delta T(k)$ の一般式(21)に代入することにより以下の式(25)で得られる。

【数25】

$$\begin{aligned} \Delta T(k) &= \frac{1}{V_{in}(k)} \left[\frac{L}{3} \{ \beta_2 I_{C-REF} + i_R(k) \} - \left(\frac{L}{3} - \frac{T^2}{2C} \right) \{ I_{C-REF} + i_R(k) \} + TV_{c1} - \frac{T^2}{2C} i_R(k) \right] \\ &= \frac{\frac{L}{3} \beta_2 I_{C-REF} - \left(\frac{L}{3} - \frac{T^2}{2C} \right) I_{C-REF} + TV_{c1}}{V_{in}(k)} \end{aligned} \quad \dots (25)$$

【0173】

上記式(25)はmode2の制御を定める $\Delta T(k)$ の関数式において負荷電流 $i_R(k)$ 及びインダクタンス電流 $i_L(k)$ の要素が除かれて表される。

【0174】

mode2の期間において、定電流制御を高速応答とするために、出力電圧 $v_o(k)$ から $v_o(k+1)$ の1期間において、初期値である V_{c1} から最終値 V_{c2} に到達するように β_2 を選定することによって、mode2を1サンプリング時間で終了させることができる。

【0175】

・導出工程9：

次に、mode3におけるインダクタンス電流の定電流制御のパルス幅 $\Delta T(k)$ の導出を説明する。

【0176】

mode3のインダクタンス電流の定電流制御のパルス幅 $\Delta T(k)$ は、(導出工程5)で示したインダクタンス電流の定電流制御のパルス幅 $\Delta T(k)$ と同様であり、以下の式(26)で表される。

【数26】

$$\begin{aligned} \Delta T(k) &= \frac{1}{V_{in}(k)} \frac{L}{3} \left[A_v \{V_{REF} - v_o(k)\} + \beta_3 i_c(k) + i_r(k) - \left(1 - \frac{3T^2}{2LC}\right) \{i_c(k) + i_r(k)\} \right. \\ &\quad \left. + \frac{3}{L} T v_o(k) - \frac{3T^2}{2LC} i_r(k) \right] \\ &= \frac{1}{V_{in}(k)} \frac{L}{3} \left[A_v V_{REF} - \left(1 - \beta_3 - \frac{3T^2}{2LC}\right) i_c(k) + \left(\frac{3}{L} T - A_v\right) v_o(k) \right] \end{aligned} \quad \dots (26)$$

【0177】

一般的に交流信号を検出する交流変流器は高速応答が可能であるのに対して、直流信号を検出する汎用品の検出器は比較的到低速応答である。

【0178】

上記式で示すパルス幅 $\Delta T(k)$ は、キャパシタンス電流 $i_c(k)$ と出力電圧 $v_o(k)$ とを検出し、フィードバック信号としている。キャパシタンス電流 $i_c(k)$ は交流変流器によって高速応答が可能であるが、出力電圧 $v_o(k)$ を検出する検出器の応答は比較的到低速である。ステップ応答を高速化するには、フィードバック信号を高速で得ることが必要であり、そのためには検出器の検出は高速であることが望ましい。

【0179】

そこで、低速応答の出力電圧 $v_o(k)$ の検出を省き、キャパシタンス電流の交流信号のみを高速で検出することによって応答の高速化を図る制御を示す。

【0180】

上記式(26)で示すパルス幅 $\Delta T(k)$ において、 A_v を以下の式(27)の関係に定めることで出力電圧 $v_o(k)$ の影響を除く。

$$A_v = 3T/L \quad \dots (27)$$

なお、 T はサンプリング周期であり、 L は図10に示すLC回路のインダクタンスである。

【0181】

A_v を、サンプリング周期 T 、及びLC回路のインダクタンス L によって上記式(27)の関係となるように設定することによって、パルス幅 $\Delta T(k)$ は、出力電圧 $v_o(k)$ を含まない以下の式(28)で表される。

【数27】

$$\Delta T(k) = \frac{V_{REF} - \left\{ \frac{(1 - \beta_3)L}{3T} - \frac{T}{2C} \right\} i_c(k)}{V_{in}(k)} T \quad \dots (28)$$

【0182】

式(28)で示されるパルス幅 $\Delta T(k)$ は、フィードバック信号としてキャパシタンス電流 $i_c(k)$ のみを含む。キャパシタンス電流 $i_c(k)$ を検出する交流変流器は高速応答が可能であるため、パルス幅 $\Delta T(k)$ を高速応答で得ることができる。

【0183】

したがって、mode3のインダクタンス電流の定電流制御を定めるパルス幅 $\Delta T(k)$ の

10

20

30

40

50

関数式から出力電圧 $v_o(k)$ 、負荷電流 $i_R(k)$ およびインダクタンス電流 $i_L(k)$ の要素を除くことができる。なお、 β_3 はインダクタンス電流 $i_L(t)$ の定電流制御において、直流指令電圧 V_{REF} に追従した制御応答が得られるように選定される。

【0184】

(切り替え電圧 V_{c1} 、 V_{c2} の導出)

以下、mode1からmode2に切り替える際の切り替え電圧 V_{c1} 、及びmode2からmode3に切り替える際の切り替え電圧 V_{c2} の導出を説明する。

【0185】

・切り替え電圧 V_{c1} の導出

ここで、2レベルデッドビート制御では、直流指令電圧 V_{REF} として $H i g h$ の直流指令電圧 V_H 、及び $L o w$ の直流指令電圧 V_L を定める。

10

【0186】

ステップ応答の目標電圧が $H i g h$ レベル指令電圧 V_H の場合と $L o w$ レベル指令電圧 V_L の場合の各切り替え電圧 V_{c1} の導出を説明する。

【0187】

($H i g h$ レベルのパルス制御時のmode1における V_{c1} の導出)

$H i g h$ レベルの目標電圧を V_H 、定格出力電流を I_{R-rat} 、定電流係数を α_H 、出力電圧の初期値を $v_o(0)$ とすると、指令電圧 $V_{REF} = V_H$ 、キャパシタンス電流の指令電流 $I_{C-REF} = \alpha_H \cdot I_{R-rat}$ 、出力電圧の初期値 $v_o(0) = V_L$ となる。

【0188】

20

mode1のキャパシタンス電流の定電流制御は、コンデンサを定電流充電する電流制御であるため、各時点での出力電圧 $v_o(1) \sim v_o(n)$ は以下の式(29)で表される。ここで、サンプリング回数を $1, 2, \dots, k, \dots, n, \dots$ としている。

【数28】

$$v_o(1) = \frac{T}{2C} I_{C-REF} + v_o(0)$$

$$v_o(2) = \frac{T}{C} I_{C-REF} + v_o(1)$$

$$v_o(k+1) = \frac{T}{C} I_{C-REF} + v_o(k)$$

30

$$v_o(n) = \frac{(n-0.5)T}{C} I_{C-REF} + v_o(0) \quad \dots (29)$$

ただし、 k 及び n は正の整数である。

【0189】

切り替え電圧 V_{c1} は、mode1のキャパシタンス電流の定電流制御の期間内において、出力電圧 $v_o(k)$ が指令電圧 $V_{REF} (= V_H)$ を超えて行き過ぎることを防いでmode1を終了させるための電圧である。出力電圧 $v_o(k)$ が切り替え電圧 V_{c1} に達した時点で第1段のmode1のキャパシタンス電流の定電流制御を終了し、次の第2段のmode2のキャパシタンス電流の定電流制御への切り替えを行う。

40

【0190】

出力電圧 $v_o(n)$ を $H i g h$ レベルの指令電圧 V_H を越えてオーバーシュートさせないためには、図11に示す等価回路において、コンデンサに蓄積されるエネルギーと、入出力エネルギーとの関係から、以下の式(30)で表される関係式を満たす必要がある。

【数 2 9】

$$\frac{1}{2} \times \frac{L}{3} I_{C-REF}^2 \leq \frac{1}{2} C \{V_H^2 - v_o^2(n)\}$$

$$v_o(n) \leq \sqrt{V_H^2 - \frac{L}{3C} I_{C-REF}^2} \quad \cdots (30)$$

【0191】

この関係式(30)を、式(29)を用いて書き換えると、出力電圧 $v_o(n)$ をHighレベルの指令電圧 V_H を越えてオーバーシュートさせないサンプリング回数 n に係わる式が得られる。

10

【数 3 0】

$$\frac{(n-0.5)T}{C} I_{C-REF} + v_o(0) \leq \sqrt{V_H^2 - \frac{L}{3C} I_{C-REF}^2}$$

$$n \leq \frac{C}{T} \left\{ \sqrt{\left(\frac{V_H}{I_{C-REF}} \right)^2 - \frac{L}{3C} - \frac{v_o(0)}{I_{C-REF}}} \right\} + 0.5$$

$$N = \text{Int} \left[\frac{C}{T} \left\{ \sqrt{\left(\frac{V_H}{\alpha_H I_{R-rat}} \right)^2 - \frac{L}{3C} - \frac{V_L}{\alpha_H I_{R-rat}}} \right\} + 0.5 \right] \quad \cdots (31)$$

20

【0192】

ここで、 N は n の整数部分の値を表す。したがって、サンプリング回数が N 回以下であれば、出力電圧 $v_o(N)$ はHighレベルの指令電圧 V_H を越えてオーバーシュートしない。

【0193】

mode1からmode2に移行させるための移行電圧を V_{trans} とすれば、上記式(31)の条件を満たすサンプリング回数 N において、式(29)で示される出力電圧 $v_o(n)$ は以下の関係を満足する。なお、 V_L は、High/Low制御において出力電圧の初期電圧 $v_o(0)$ である。

30

【数 3 1】

$$\frac{(N-1.5)T}{C} \alpha_H I_{R-rat} + V_L < V_{trans} \leq \frac{(N-0.5)T}{C} \alpha_H I_{R-rat} + V_L \quad \cdots (32)$$

【0194】

ここで、上記の関係式(32)の上下の値の平均値を用いて移行電圧 V_{trans} を選択すると以下の式(33)で表される。

【数 3 2】

$$V_{trans} = \frac{(N-1)T}{C} \alpha_H I_{R-rat} + V_L \quad \cdots (33)$$

40

【0195】

出力電圧 v_o が、式(33)を満足する移行電圧 V_{trans} 以上の V_{cl} となった時点でmode2に移行する。したがって、Highレベルのパルス制御時のmode1における切り替え電圧 V_{cl} は以下の式(34)で表される。

【数 3 3】

$$V_{cl} = \frac{(N-0.5)T}{C} \alpha_H I_{R-rat} + V_L \quad \cdots (34)$$

50

【0196】

(Lowパルス制御時のmodelにおけるVc1の導出)

次に、Lowパルス制御時のmodelにおけるVc1の導出について説明する。

【0197】

Lowレベルの目標電圧をVL、定格出力電流をIR-rat、定電流係数をαL、出力電圧の初期値をvo(0)とすると、指令電圧VREF=VL、キャパシタンス電流の指令電流IC-REF=-αL・IR-rat、出力電圧の初期値vo(0)=VHとなる。

【0198】

Lowレベルの出力電圧voを目標電圧のVLを超えてアンダーシュートさせないためには、図10のQ1～Q3、及びD1～D3がすべてオフ状態での入力電圧Vinへの回生が終了するまでの時間、換言すると、キャパシタンス電流icがIC-REFからゼロ電流になるまで時間tusは、この時間tusの時間内において式(29)のvo(n)から始まりVREF=VLで終了させる必要がある。無負荷状態でのエネルギーの関係式から、以下の式(35)で表される関係を満たす必要がある。

10

【数34】

$$V_L = v_o(n) - \frac{I_{C-REF}}{2C} t_{US}$$

$$\frac{1}{2} \times \frac{L}{3} I_{C-REF}^2 \leq V_{in} \frac{I_{C-REF}}{2} t_{US} + \frac{1}{2} C \{v_o^2(n) - V_L^2\} \div V_{in} \frac{I_{C-REF}}{2} t_{US} = CV_{in} \{v_o(n) - V_L\}$$

20

$$v_o(n) \geq \frac{LI_{C-REF}^2}{6CV_{in}} + V_L$$

… (35)

【0199】

この関係式を、式(29)の出力電圧vo(n)を用いて書き換えると、出力電圧vo(n)をLowレベルの指令電圧VLを越えてアンダーシュートさせないサンプリング回数nに係わる式(36)が得られる

【数35】

$$n \leq \frac{C}{T} \left\{ \frac{V_H - V_L}{\alpha_L I_{R-rat}} - \frac{L \alpha_L I_{R-rat}}{6 C V_{in}} \right\} + 0.5$$

30

$$N = \text{Int} \left[\frac{C}{T} \left\{ \frac{V_H - V_L}{\alpha_L I_{R-rat}} - \frac{L \alpha_L I_{R-rat}}{6 C V_{in}} \right\} + 0.5 \right] \dots (36)$$

【0200】

ここで、Nはnの整数部分の値を表す。サンプリング回数がN回以下であれば、出力電圧vo(N)はLowレベルの指令電圧VLを越えてアンダーシュートしない。

【0201】

modelからmode2に移行させるための移行電圧をVtransとすれば、上記式(36)の条件を満たすサンプリング回数Nにおいて、式(29)で示される出力電圧vo(n)は以下の関係を満足する。なお、VLは、High/Low制御において出力電圧の初期電圧vo(0)である。

40

【数36】

$$V_H - \frac{(N-0.5)T}{C} \alpha_L I_{R-rat} \leq V_{trans} < V_H - \frac{(N-1.5)T}{C} \alpha_L I_{R-rat} \dots (37)$$

【0202】

ここで、上記の関係式の上下の値の平均値を用いて移行電圧Vtransを選択すると以下の式(38)で表される。

50

【数 3 7】

$$V_{\text{trans}} = V_H - \frac{(N-1)T}{C} \alpha_L I_{R-\text{rat}} \quad \cdots (38)$$

【0 2 0 3】

出力電圧 $v_o(n)$ が、式 (38) を満足する移行電圧 V_{trans} 以下の V_{c1} となった時点で mode2 に移行する。したがって、Low レベルのパルス制御時の mode1 における切り替え電圧 V_{c1} は以下の式 (39) で表される。

【数 3 8】

$$V_{c1} = V_H - \frac{(N-0.5)T}{C} \alpha_L I_{R-\text{rat}} \quad \cdots (39)$$

10

【0 2 0 4】

・切り替え電圧 V_{c2} の導出

次に、切り替え電圧 V_{c2} の導出について説明する。

【0 2 0 5】

mode2 はキャパシタンス電流の第 2 段目の定電流制御を実行する。この第 2 段目の mode2 の定電流制御は、mode1 の定電流制御と mode3 の定電流制御とを繋ぐモードである。

【0 2 0 6】

ステップ応答の全期間をインダクタンス電流の定電流制御によって実行すると、出力電圧 $v_o(k)$ は式 (13) に示す指数関数の動作となり、以下の式 (40) で表される。なお、ここでは、キャパシタンス電流 $i_c(t)$ 中の β を mode3 のインダクタンス電流による定電流制御の β_3 を用いて $\beta = \beta_3$ としている。

20

【数 3 9】

$$v_o(t) = V_{\text{REF}} \left\{ 1 - e^{-\frac{A_V}{(1-\beta_3)C} t} \right\} \quad \cdots (40)$$

$$i_c(t) = C \frac{d}{dt} v_o(t) = \frac{A_V}{1-\beta_3} V_{\text{REF}} e^{-\frac{A_V}{(1-\beta_3)C} t}$$

30

【0 2 0 7】

mode2 の最終値の時点は mode3 の初期時点と同一の時点であり、この時点をと $t = t_2$ とすると、出力電圧 v_o 及びキャパシタンス電流 i_c はそれぞれ以下の式 (41) で表される。

【数 4 0】

$$\left. \begin{aligned} v_o(t_2) = V_{c2} &= V_{\text{REF}} - V_{\text{REF}} e^{-\frac{A_V}{(1-\beta_3)C} t_2} = V_{\text{REF}} - \frac{i_{c2}(1-\beta_3)}{A_V} \\ i_c(t_2) = i_{c2} &= \frac{A_V}{1-\beta_3} V_{\text{REF}} e^{-\frac{A_V}{(1-\beta_3)C} t_2} = \frac{A_V}{1-\beta_3} (V_{\text{REF}} - V_{c2}) \end{aligned} \right\} \quad \cdots (41)$$

40

【0 2 0 8】

V_{c2} 、及び i_{c2} は mode2 の最終値であると共に mode3 の初期値である。mode2 の切り替え電圧 V_{c2} は、式 (41) の i_{c2} を用いて以下の式 (42) で表される。

【数 4 1】

$$V_{c2} = V_{c1} + \frac{I_{C-\text{REF}} + i_{c2}}{2C} T = V_{c1} + \frac{I_{C-\text{REF}} T}{2C} + \frac{A_V T}{2C(1-\beta_3)} (V_{\text{REF}} - V_{c2})$$

$$V_{c2} = \frac{T}{2C(1-\beta_3) + A_V T} \left\{ A_V V_{\text{REF}} + (1-\beta_3) \left(\frac{2CV_{c1}}{T} + I_{C-\text{REF}} \right) \right\} \quad \cdots (42)$$

ここで、 $V_{\text{REF}} = V_H$ 又は $V_{\text{REF}} = V_L$ である。

50

【0209】

(係数 β_2 、 β_3 の導出)

次に、係数 β_2 、及び β_3 の導出について説明する。

【0210】

・係数 β_2 の導出：

mode2はmode1からmode3へ乱調を極力生じさせることなく転送するための移行モード (Transfer mode) であり、mode2において、初期値は V_{c1} 及び $i_{c1} = I_{C-REF}$ であり、最終値は V_{c2} 及び i_{c2} である。

【0211】

そこで、mode2では、mode2の最終値が式(41)の値に達するように制御すると共に、 $\beta = \beta_2$ に設定してキャパシタンス電流を定電流 $\beta_2 \cdot I_{C-REF}$ で制御する。 β_2 は、mode2においてキャパシタンス電流の指令電流 I_{C-REF} を調整する係数である。 10

【0212】

すなわち、 $(k+1)$ の時点で式(41)式の値に達するためのキャパシタンス電流 $i_c(k+1)$ は、以下の式(43)で表される。

【数42】

$$i_c(k+1) = \beta_2 I_{C-REF} = i_{c2} \quad \dots (43)$$

【0213】

係数 β_2 は、式(41)を式(43)に代入することで得られる。 20

【数43】

$$\beta_2 = \frac{A_V}{1-\beta_3} \frac{V_{REF} - V_{C2}}{I_{C-REF}} \quad \dots (44)$$

【0214】

係数 β_2 を式(44)によって設定することによって、キャパシタンス電流 i_c をmode2の切り替え時の i_{c2} とすることができる。

【0215】

・係数 β_3 の導出：

次に、mode3の制御における β_3 の導出について説明する。 β_3 はキャパシタンス電流 i_c の係数であり、インダクタンス電流 $i_L(t)$ の定電流制御において、直流指令電圧 V_{REF} に追従した制御応答が得られるように選定される。 30

【0216】

係数 β_3 は、式(12)で表されるインダクタンス電流 i_L の定電流制御において、指令電圧 V_{REF} に追従する制御応答が得られるように選定される。この係数 β_3 の選定はmode3の自動制御系における安定判別によって行われる。以下、係数 β_3 の選定について説明する。

【0217】

(定電圧制御の閉ループ一次系伝達関数)

はじめに、定電圧制御の閉ループ一次系伝達関数について示す。 40

【0218】

式(12)で表されるインダクタンス電流 $i_L(t)$ において、 $\beta = \beta_3$ として s 関数で表現すると以下の式(45)で表される。

【数44】

$$i_c(s) = \frac{A_V \{V_{REF} - v_o(s)\}}{1-\beta_3} \quad \dots (45)$$

【0219】

図13は、上記した式(45)で表される閉ループ伝達関数の回路ブロックを示し、定電圧制御の一次系伝達関数による回路状態を示している。図13に示す閉ループ伝達関数 50

の回路ブロックにおいて、制御応答周波数 ω_c は一巡伝達関数のゲインが"1"に達する点である。図13の一巡伝達関数のゲインが1になる ω_c は式(27)の A_v を代入して以下の式(46)で得られる。

【数45】

$$\left. \begin{aligned} \omega_c &= \frac{A_v}{(1-\beta_3)C} = \frac{3T}{(1-\beta_3)LC} = \frac{\omega_n^2 T}{1-\beta_3} \\ \omega_n &= \sqrt{\frac{3}{LC}} \end{aligned} \right\} \dots (46)$$

10

【0220】

上記式(46)は、制御応答周波数 ω_c が β_3 で選定されることを示しているが、ゲインが"1"となる制御応答周波数 ω_c は、 β_3 の他、パラメータ ω_n 及び T の影響を受けるため、 β_3 の選定には制限が生じる。そこで、 β_3 の値を選定範囲によって定める。

【0221】

(閉ループ二次系伝達関数と β_3 の選定範囲)

次に 閉ループ二次系伝達関数と β_3 の選定範囲について示す。

【0222】

mode3のパルス幅 $\Delta T(k)$ に関する式(28)を変形して、連続関数で表現すると以下の式(47)が得られる。

20

【数46】

$$V_{in}(t) \frac{\Delta T(t)}{T} = V_{REF} - \left\{ \frac{(1-\beta_3)L}{3T} - \frac{T}{2C} \right\} i_c(t) = V_{REF} - \left\{ \frac{(1-\beta_3)}{A_v} - \frac{T}{2C} \right\} i_c(t) \dots (47)$$

【0223】

上記式(47)の左辺の $V_{in}(t) \Delta T(t) / T$ は出力電圧 $v_o(t)$ の平均値を示している。すなわち、図10の回路において、 $D1 \sim D3$ の両端電圧の平均値電圧に相当する。

【0224】

よって $v_o(t)$ を s 関数で表現した $v_o(s)$ は、図19の回路構成を用いて、 $U = V_{in}(s) \Delta T(s) / T$ とすれば、

30

【数47】

$$v_o(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \frac{\Delta T(s)}{T} V_{in}(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \left[V_{REF}(s) - \left\{ \frac{(1-\beta_3)}{A_v} - \frac{T}{2C} \right\} i_c(s) \right]$$

$$\text{但し、} \omega_n = \sqrt{\frac{3}{LC}} \text{、} \zeta = \frac{1}{2R} \sqrt{\frac{L}{3C}} \dots (48)$$

となる。

【0225】

40

したがって、二次系伝達関数 $v_o(s) / V_{REF}(s)$ は図13及び図14で表現される。図14は、定電圧制御の二次系伝達関数の回路状態を示している。図14の $v_o(s)$ の一巡伝達関数は、以下の式(49)で表される。

【数48】

$$\frac{A_v}{1-\beta_3} \left| e^{-Ts} \left(\frac{1-\beta_3}{A_v} - \frac{T}{2C} \right) \right| \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} = \left\{ 1 - \frac{A_v T}{2(1-\beta_3)C} \right\} \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \left| e^{-Ts} \right| \dots (49)$$

【0226】

この伝達関数は正帰還となっているため、発振させないためには制御応答におけるゲイ

50

ンは"1"以下に選定しなければならない。このゲインの制限から以下の条件式(50)が得られる。

【数49】

$$\left\{ 1 - \frac{A_v T}{2(1-\beta_3)C} \right\} \left| \frac{\omega_n^2}{(j\omega_c)^2 + 2\zeta\omega_n j\omega_c + \omega_n^2} \right| < 1 \quad \dots (50)$$

【0227】

この条件式(50)において、ファイナルシグマで表される係数を0として、安定条件が最悪となる場合を検討する。この条件式に式(46)式を代入すると以下の式(51)が得られる。

10

【数50】

$$\left(1 - \frac{\omega_c T}{2} \right) \left| \frac{\omega_n^2}{\omega_c^2 - \omega_n^2} \right| = \left(1 - \frac{\omega_c T}{2} \right) \frac{\omega_n^2}{\omega_c^2 - \omega_n^2} < 1$$

$$\omega_c > \omega_n \left\{ \sqrt{2 + \left(\frac{\omega_n T}{4} \right)^2} - \frac{\omega_n T}{4} \right\} \quad \dots (51)$$

【0228】

20

安定判別において制御応答周波数 ω_c は上記の条件式で制限される他、更に、スイッチング時間Tのむだ時間における影響について考慮する。

【0229】

むだ時間は $\exp(-j\omega_c T) = \cos(\omega_c T) - j\sin(\omega_c T)$ で表される。よって、図13に示す $v_o(s)$ の一巡伝達関数の位相余裕を0[deg]、すなわち $\omega_c T = \pi/2$ まで許容する ω_c の範囲は $\omega_c < \pi/(2T)$ である。

【0230】

式(46)式を用いることによって、 $(1-\beta_3)$ の範囲は以下の式(52)で表される。

【数51】

30

$$1 - \beta_3 > \frac{2\omega_n^2 T^2}{\pi} \quad \dots (52)$$

【0231】

式(51)を含めた $(1-\beta_3)$ の範囲は以下の式(53)で表され、これによって係数 β_3 を選定することができる。

【数52】

$$\frac{2\omega_n^2 T^2}{\pi} < 1 - \beta_3 < \frac{\omega_n T}{\sqrt{2 + \left(\frac{\omega_n T}{4} \right)^2} - \frac{\omega_n T}{4}} \quad \dots (53)$$

40

【0232】

インダクタンス電流 $i_L(t)$ の定電流制御において、係数 β_3 を上記範囲から選定することによって、ゲインを"1"以下に抑制し、制御応答を直流指令電圧 V_{REF} に安定して追従させることができる。

【0233】

(出力電圧 $v_o(t)$ の検出)

次に、出力電圧 $v_o(t)$ の高速検出について説明する。

【0234】

50

高いスイッチング周波数で制御するためには、出力電圧 $v_o(t)$ とキャパシタンス電流 $i_c(t)$ を高速で検出する必要がある。High/Lowの2レベルを含むパルス制御において、特に、キャパシタンス電流の定電流制御を行うmode1及びmode2の定電流制御において、出力電圧 $v_o(t)$ とキャパシタンス電流 $i_c(t)$ を検出する検出器は高速で測定されることが要求される。

【0235】

出力電圧 $v_o(t)$ を高速検出するために、汎用品センサの比較的遅い応答特性の検出手段で検出した検出信号 V_{o-slow} を初期値 $v_o(0)$ として用い、初期値 $v_o(0)$ とキャパシタンス電流 $i_c(t)$ を高速離散時間処理して出力電圧 $v_o(t)$ を得る。出力電圧 $v_o(t)$ の取得において、比較的遅い応答特性の検出手段で検出した検出信号 V_{o-slow} を初期値 $v_o(0)$ としているが、この検出は初期値 $v_o(0)$ のみであり、各時点の出力電圧 $v_o(t)$ の算出は応答速度が遅い検出手段を用いることなく行うことができるため、高速検出が可能である。

10

【0236】

mode3は、各時点 t での出力電圧 $v_o(t)$ をフィードバック信号として使用すること無く得ることができるため、 v_{o-slow} による外乱の影響を受けず、mode3の整定区間では v_{o-slow} を整定している。各サンプリング周期で行うmode1～mode3の定電流制御において、前サンプリング周期でのmode3の最終値の v_{o-slow} は、次のサンプリング周期のmode1とmode2で使用する $v_o(t)$ を得るための初期値 $v_o(0)$ として使用する。

20

【0237】

図1に示す3相インターリーブ方式の降圧チョッパ回路の回路例において、サンプリング時間 T を $T = 1 / F_s$ とする。ここで、 F_s はスイッチング周波数である。

【0238】

出力電圧 $v_o(t)$ を高速検出するために、 $T_h < 0.1 \cdot (T/3)$ を満足するサンプリング時間 T より十分に短いサンプリング時間 T_h を設定する。

【0239】

このサンプリング時間 T_h において、高速検出が容易な交流変流器によってキャパシタンス電流 $i_c(t)$ を検出し、以下の離散時間処理を行う。ここで、 $T_h = t_m - t_{m-1}$ としている。

30

【数53】

$$V_{O-det}(k_m) = \frac{1}{C} \int_{t_{m-1}}^{t_m} i_c(t) dt + V_{O-det}(k_m - 1)$$

$$V_{O-det}(k_m) = \frac{i_c(k_m - 1)}{C} T_h + V_{O-det}(k_m - 1) \quad \cdots (54)$$

【0240】

High/Lowの2レベルパルス動作を広帯域(1Hz～50Hz)で行う2レベルパルス制御において、Low(High)レベルを整定した後、次の出力電圧を次のHigh/Lowの2レベルパルス動作のHigh(Low)の初期値電圧として用いる。

【0241】

40

LOWレベルパルス動作の整定後、出力電圧が V_L からHighレベルパルス動作を開始し、整定後に出力電圧が V_H に達する場合は、以下の式(55)となる。

【数 5 4】

$$\left. \begin{aligned} v_o(1) &= \frac{i_c(0)}{C} T_h + v_o(0) \\ v_o(2) &= \frac{i_c(1)}{C} T_h + v_o(1) \\ v_o(3) &= \frac{i_c(2)}{C} T_h + v_o(2) \\ v_o(k_m) &= \frac{i_c(k_m-1)}{C} T_h + v_o(k_m-1) \end{aligned} \right\} \dots (55)$$

10

【0 2 4 2】

上記式（55）においてVLに相当する初期値 $v_o(0)$ は、応答が比較的遅い汎用品センサの検出手段で検出した検出信号 $v_o\text{-slow}$ を用いることが可能になる。

【0 2 4 3】

出力電圧 $v_o(k_m)$ が整定電圧 $VH\text{-set}$ に到達した後もmode3の制御を継続する。 $VH\text{-set}$ に達する時間を T_{set} とすると、mode1及びmode2におけるサンプリング回数 k_m と T_{set} との間には以下の関係がある。

$$k_m \cdot T_h > T_{set}$$

$$k_m > T_{set} / T_h$$

20

【0 2 4 4】

実用例では、 $T_{set} = 8 \mu s$ 、 $T_h = 1 / 60 \text{ MHz}$ の場合には、 $k_m > 8 \mu s \times 60 \text{ MHz} = 480$ となる。この例では、分解能は480以上が得られ、検出スピードは $T_h = 1 / 60 \text{ MHz} = 0.0167 \mu s$ である。

【0 2 4 5】

同様にして、Highレベルパルス動作の整定後の電圧 VH から Lowレベルパルス動作を開始し、整定後に電圧 VL に達する場合は、 VH に相当する $v_o(0)$ は応答が比較的遅い汎用品センサで検出して得られる検出信号 $v_o\text{-slow}$ を用いることが可能になる。 $v_o(k_m)$ が整定電圧 $VL\text{-set}$ に到達した後もmode3の制御を継続する。

【0 2 4 6】

30

本発明の電源装置は、メインループを電源装置の指令信号に従う制御とし、マイナーループを多相インターリーブ方式の双方向降圧チョッパ回路のHigh/Lowの直流指令電圧に従う2レベルデッドビート制御とする二重制御系に適用することができ、直流電源装置、UPS等の交流電源装置、RFジェネレータ等に適用することができる。

【0 2 4 7】

以下、図15を用いて本発明の電源装置をRFジェネレータに適用した例を説明し、図16のフローチャートを用いて、本発明の電源装置をRFジェネレータに適用した場合の動作例を説明し、High/Lowの制御例を図17のフローチャートを用いて説明する。また、図18を用いて本発明の電源装置を直流電源装置、交流電源装置に適用した例を説明する。

40

【0 2 4 8】

（RFジェネレータの適用例）

図15は、RFジェネレータの適用例の制御系を説明するための制御ブロック図である。制御系は、メインループ制御系を構成するPI制御と、マイナーループ制御系を構成するデビット制御とを備える。マイナーループ制御系を構成するデビット制御に、本発明の電源装置の、多相インターリーブ方式の双方向降圧チョッパ回路のHigh/Lowの直流指令電圧に従う2レベルデッドビート制御系を適用する。

【0 2 4 9】

HighレベルとLowレベルの2レベル制御を行う場合には、メインループにおいて、Highレベルの指令信号として、Highレベル進行波電力指令 $PH\text{-Forward}$ 、ある

50

いはH i g hレベルロード電力指令PH-Loadを用い、L o wレベルの指令信号として、L o wレベル進行波電力指令PL-Forward、あるいはL o wレベルロード電力指令PL-Loadを用い、負荷側から取得したH i g hレベル進行波電力あるいはL o wレベル進行波電力、又は、H i g hレベルロード電力あるいはL o wレベルロード電力をフィードバックしてP I制御を行う。なお、定格値として定格直流電圧Vo-rat，定格直流電流Io-rat，及び定格進行波電力Ph-ratを入力する。

【0250】

一方、マイナーループでは、P I制御で得られたH i g hレベル指令電圧VH及びL o wレベル指令電圧VLを指令値とし、出力電圧voあるいはキャパシタンス電流icをフィードバックしてデッドビート制御を行う。

10

【0251】

図16のフローチャートは、R Fジェネレータによってプラズマ負荷においてプラズマを着火させる起動モードを示している。図16，17のフローチャートでは各工程をS1～S10，S11，S12の符号を付して示している。

【0252】

R Fジェネレータの定格値、及びR Fジェネレータを駆動する指令値を設定する。定格値として、定格直流電圧Vo-rat，定格直流電流Io-rat，及び定格進行波電力PH-ratを入力して定格値を設定する。また、H i g hレベルの電力指令PHとして、H i g hレベル進行波電力指令PH-Forward、あるいはH i g hレベルロード電力指令PH-Loadを入力し、L o wレベルの電力指令PLとして、L o wレベル進行波電力指令PL-Forward、あるいはL o wレベルロード電力指令PL-Loadを設定する(S1)。

20

【0253】

はじめに、連続モードでH i g hレベル電力指令PHまで、例えば20msで上昇動作(Ramp Up (PH-rat/20ms))を行う(S2)。

【0254】

連続モードによる電圧上昇によってプラズマが着火しない場合(S3)は、プリパルス制御によって着火動作を行う。なお、プリパルス制御は、プラズマ着火を誘起させるメインパルスの前段階として、メインパルスよりもパルス幅が狭い複数のプリパルスを印加して、プラズマ着火の雰囲気を形成する制御であり、このプリパルス制御については特許文献4に開示されている。

30

【0255】

プリパルス制御では、例えば5kHzのデューティ制御により平均反射電力PREF-aveを所定値に維持した状態で供給電力をPHまで上昇させる。平均反射電力PREF-aveの所定値は、例えば、H i g hレベル定格電力PH-ratに所定の係数を掛けることで定める。所定係数は、例えば0.1を設定することができる。このプリパルスモードの平均反射電力PREF-aveはデューティ比10%でオン/オフ制御するパルスを用いることができる。

【0256】

プリパルスモードのパターン運転を繰り返し、繰り返し動作の回数が規定回数に達した場合には、着火(イグニッション)失敗を表示して停止する(S4)。

40

【0257】

プラズマが着火した場合(S3)は、H i g hレベルで設定されたH i g hレベル電力指令PHからスタートし、H i g hレベル電力指令PHで整定した後のH i g hレベルの電圧値VHを確保する(S5)。

【0258】

その後、下降動作(Ramp Down (PH-rat/20ms))によってH i g hレベル電力指令PHからL o wレベル電力指令PLへ下降させ(S6)、L o wレベル電力指令PLに整定した後のL o wレベルの電圧値VLを確保する(S7)。これによって、VREF(High) = VHとして、H i g hレベルの指令電圧VREF(High)を整定後のH i g hレベルの指令電圧VHで設定することができ、VREF(Low) = VLとして、L o wレベルの指令電圧VREF(Low

50

）を整定後のLowレベルの指令電圧VLで設定することができる。

【0259】

その後、アークが発生した場合にはアーク遮断制御によって電力供給を停止した後、S2～S7の着火動作を行い（S8）、アーク遮断制御を行わない場合には、High/Lowの2レベル制御（S10）を行う。

【0260】

（High/Lowレベル制御）

次に、図17のフローチャートを用いて、High/Lowレベル制御例を説明する。図17のフローチャートにおいて、High/Lowレベル制御は、出力電力を、進行波電力のPH (Forward)/PL (Forward)、の電力指令、又はロード電力のPH (Load)/PL (Load)の電力指令に追従させるメインループ(S11)によるPI制御と、出力電圧をHigh/Lowの2レベルの指令電圧に追従させるマイナーループ（S12）にデッドビート制御とを含む。

【0261】

S11のメインループによるPH及びPLのPI制御では、マイナーループのデッドビート制御で行うサンプリング周期Tよりも遅いサンプリング周期Tcで処理を行う(S11A)。例えば、サンプリング周期Tcは50μsとし、H/Lパルス周期は1Hz～50kHzとすることができる。

【0262】

S11AのPI制御の制御工程中に行うマイナーループ制御（S12）において、例えば3相インターリーブによる場合には、式（55）中に示される以下の式（56）

$$v_o(km) = (i_c(km-1)/C) \cdot T_h + v_o(km-1) \quad \dots (56)$$

によって、サンプリング周期Thを用いた出力電圧vo(km)を演算する。3相インターリーブの各相について、サンプリング周期Tの1/3であるT/3毎に得られるvo(km)を出力電圧vo(k)として検出する。

【0263】

kmは分解能であり、例えば、Tset=8μs、Th=1/60MHzの場合には、km>Tset/Th=8μs×60MHz=480となる。この例では、分解能は480以上が得られる（S12A）。

【0264】

Highレベルの指令電圧VH、及びLowレベルの指令電圧VLを取得し（S12B）、整定後のk時点のvo(km)をそれぞれHighレベル、及びLowレベルの出力電圧vo(k)として取得する（S12C）。

【0265】

Highレベルのパルス幅ΔT(k)を求め（S12D）、得られたパルス幅ΔT(k)を用いて出力電圧voをHighレベルの指令電圧VHに追従させる制御を行い、次に、Lowレベルのパルス幅ΔT(k)を求め（S12E）、得られたパルス幅ΔT(k)を用いて出力電圧voをLowレベルの指令電圧VLに追従させる制御を行う。

【0266】

Highレベル電力指令PHへ追従させる制御からスタートし、次にLowレベルの電力指令PLへ追従させる制御を行い、このHighレベルPH制御とLowレベルPL制御とを繰り返してHigh/Lowパルス電力制御の運転を続行する。

【0267】

各High/Lowパルス電力制御が終了する毎に、Highレベルの終了電力PH-end及びLowレベルの終了電力PL-endと、Highレベルの終了電圧VH-end及びLowレベルの終了電圧VL-endのデータをピークホールドする。

【0268】

このHighレベルの終了電圧VH-end及びLowレベルの終了電圧VL-endは、High/Lowレベルに対応する式（12）の指令電圧VREFを指令電圧VH及びVLとして

保持する。また、H i g hレベルの終了電力PH-end及びL o wレベルの終了電力PL-endはH i g h／L o wパルスのフィードバック信号として使用する。

【0269】

(直流電源装置、交流電源装置の適用例)

次に、図18を用いて本発明の電源装置を直流電源装置、交流電源装置に適用した例を説明する。

【0270】

図18は、本発明の電源装置を直流電源装置、交流電源装置への適用例の制御系を説明するための制御ブロック図である。制御系は、メインループ制御系を構成するP I制御と、マイナーループ制御系を構成するデビット制御とを備える。マイナーループ制御系を構成するデビット制御に、本発明の電源装置の、多相インターリーブ方式の双方向降圧チョッパ回路のH i g h／L o wの直流指令電圧に従う2レベルデッドビート制御系を適用する。

10

【0271】

H i g hレベルとL o wレベルの2レベル制御を行う場合には、メインループにおいて、指令信号として、H i g hレベル電力指令PH又は電圧指令VrefH、L o wレベル電力指令PL又は電圧指令VrefLを用い、負荷側から取得した電力又は電圧をフィードバックしてP I制御を行う。なお、定格値として定格直流電圧Vo-rat、定格直流電流Io-rat、及び定格進行波電力PH-ratを入力する。

【0272】

20

一方、マイナーループでは、P I制御で得られたH i g hレベル指令電圧VH及びL o wレベル指令電圧VLを指令値とし、出力電圧voあるいはキャパシタンス電流icをフィードバックしてデッドビート制御を行う。

【0273】

なお、上記実施の形態及び変形例における記述は、本発明に係る電源装置の一例であり、本発明は各実施の形態に限定されるものではなく、本発明の趣旨に基づいて種々変形することが可能であり、これらを本発明の範囲から排除するものではない。

【産業上の利用可能性】

【0274】

本発明の電源装置は、半導体や液晶パネル等の製造装置、真空蒸着装置、加熱・溶融装置等の高周波を使用する装置に対する高周波電力の供給に適用することができる。

30

【符号の説明】

【0275】

- 1 電源装置
- 2 チョッパ回路
- 3 スイッチング回路
- 4 LC回路
- 5 スイッチング信号生成部
- 6 制御部
- 7 負荷
- Av、 β 係数
- C キャパシタンス
- D1-D3 ダイオード
- F 変換行列
- G 変換行列
- IC-REF キャパシタンス電流の指令電流
- IR-rat 定格出力電流
- Io-rat, 定格直流電流
- ic キャパシタンス電流
- iL インダクタンス電流

40

50

i L1- i Ln	インダクタンス電流	
i R	負荷電流	
L	インダクタンス	
N	サンプリング回数	
PH	H i g hレベル電力指令	
PH-Forward	H i g hレベル進行波電力指令	
PH-Load	H i g hレベルロード電力指令	
PH-end	H i g hレベル終了電力	
PH-rat	H i g hレベル定格電力	
PL	L o wレベル電力指令	10
PL-Forward	ローレベル進行波電力指令	
PL-Load	ローレベルロード電力指令	
PL-end	L o wレベル終了電力	
PREF-ave	平均反射電力	
Q 1 - Q 3	スイッチング素子	
R	負荷抵抗	
T	サンプリング周期	
Th	サンプリング時間	
Tc	サンプリング周期	
V	入力電圧	20
Vc1	切り替え電圧	
Vc2	切り替え電圧	
VH	H i g hレベル指令電圧	
VH-end	H i g hレベル終了電圧	
VH-set	H i g hレベル整定電圧	
VL	L o wレベル指令電圧	
VL-end	L o wレベル終了電圧	
VREF	指令電圧	
Vin	入力電圧	
Vl	整定電圧	30
vo	出力電圧	
Vo-rat	定格直流電圧	
Vo-slow	検出信号	
Vtrans	移行電圧	
km	サンプリング回数	
vo	出力電圧	
ΔT (k)	パルス幅	

【図 1】

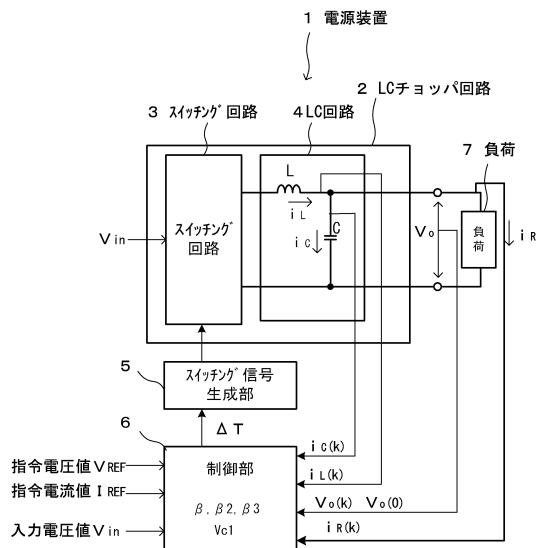
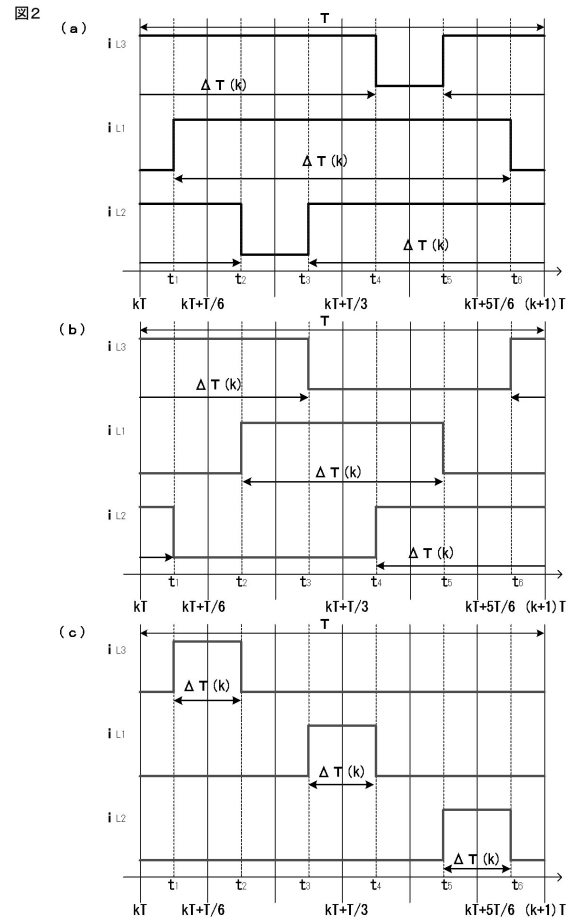


図1

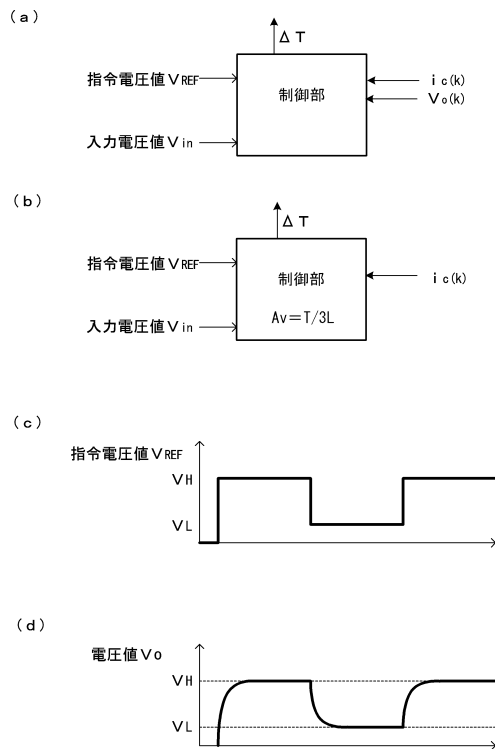
【図 2】



【図 3】

図3

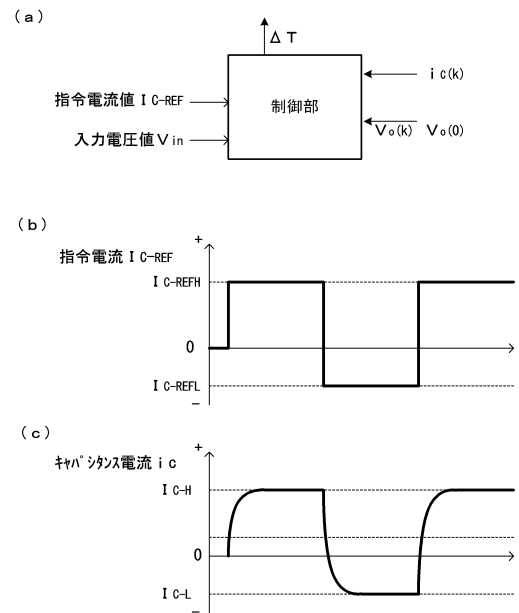
インダクタンス電流制御



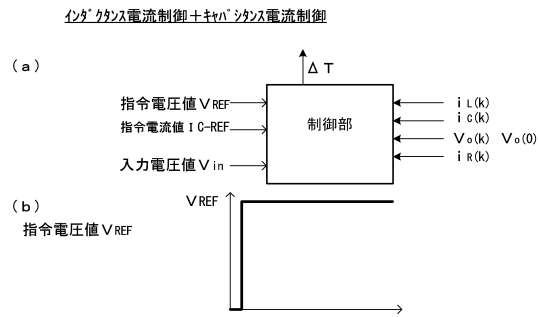
【図 4】

図4

キャパシタンス電流制御

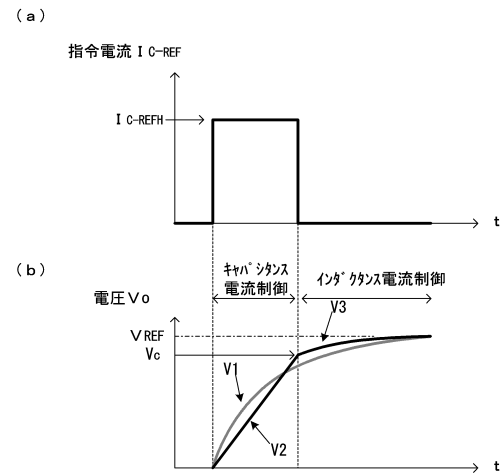


【図 5】



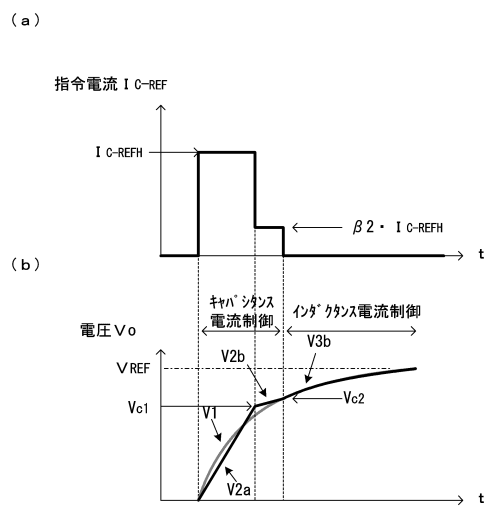
【図 6】

図6



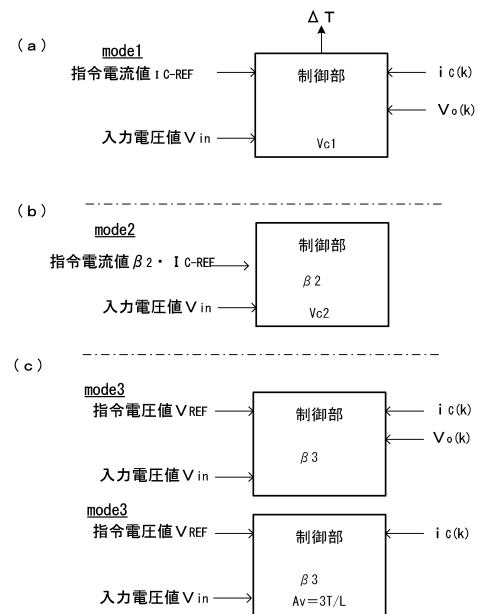
【図 7】

図7



【図 8】

図8



【図 9】

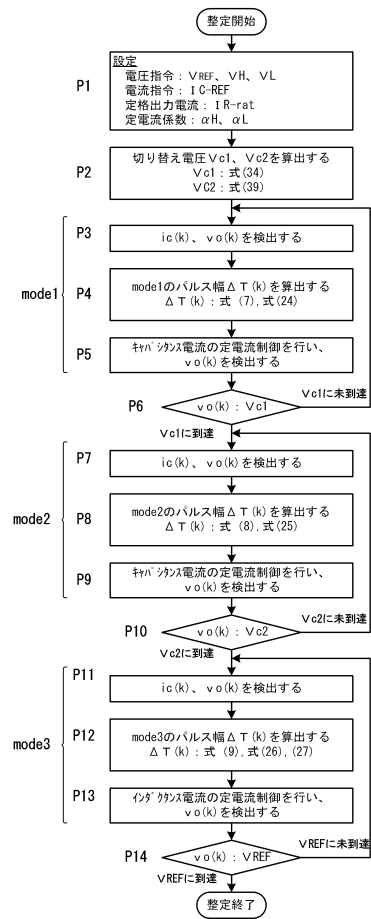
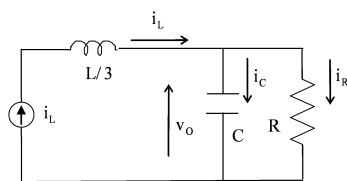


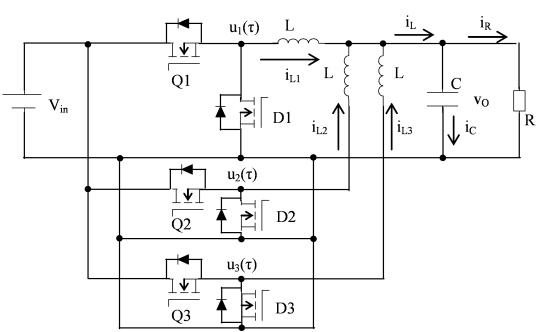
図9

【図 1 1】



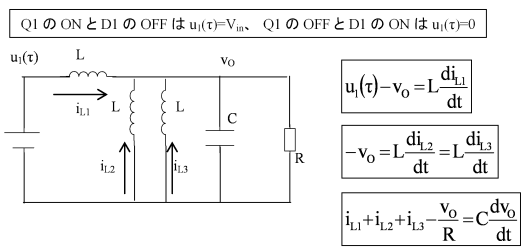
電流源LCR回路
図11

【図 1 0】



3相インターリーブ方式双向降压チョップ回路
図10

【図 1 2】



$u_1(\tau)$ に関する等価回路
図12

【図 17】

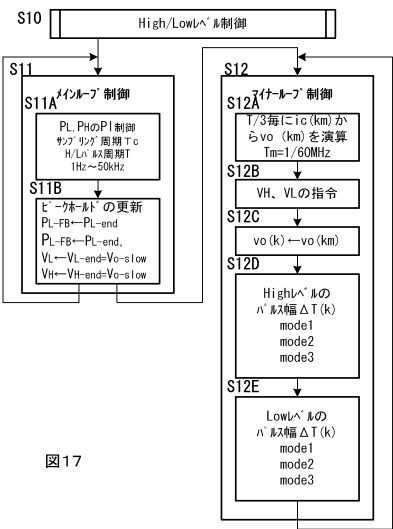


図17

【図 18】

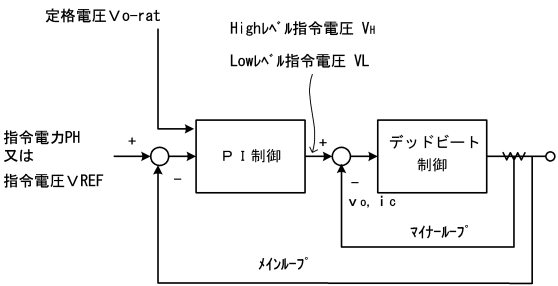
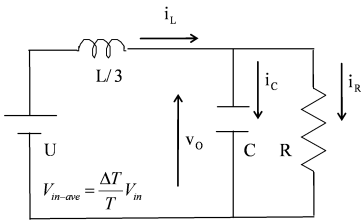


図18

【図 19】



電圧源LCR回路

図19

フロントページの続き

(72)発明者 國玉 博史

神奈川県横浜市鶴見区平安町2丁目29番地の1 株式会社京三製作所内

(72)発明者 細山田 悠

神奈川県横浜市鶴見区平安町2丁目29番地の1 株式会社京三製作所内

審査官 東 昌秋

(56)参考文献 特開2004-289887 (JP, A)

特開2014-60851 (JP, A)

特開2016-163402 (JP, A)

特開2006-204048 (JP, A)

特開2011-259686 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00-3/44