

**(19) 대한민국특허청(KR)**  
**(12) 특허공보(B1)**

(51) Int. Cl.<sup>5</sup>  
G01R 31/28

(45) 공고일자 1991년07월24일  
(11) 공고번호 특 1991-0005306

---

(21) 출원번호	특 1988-0018252	(65) 공개번호	특 1990-0010417
(22) 출원일자	1988년 12월 31일	(43) 공개일자	1990년 07월 07일

---

(71) 출원인	삼성전자 주식회사	안시환
	경기도 수원시 권선구 매단동 416	

(72) 발명자	최윤호
	인천직할시 남구 간석1동 293-1
(74) 대리인	이영필

**심사관 : 박종범 (책자공보 제2386호)**

---

**(54) 고밀도 메모리의 테스트를 위한 병렬리드회로**

---

### 요약

내용 없음.

### 대표도

#### 도1

#### 영세서

[발명의 명칭]

고밀도 메모리의 테스트를 위한 병렬리드회로

[도면의 간단한 설명]

제1도는 고밀도 메모리의 테스트를 위한 종래의 병렬리드회로를 나타낸 도면.

제2a도는 제1도의 회로중 테스트 수단인 버스 비교기의 일례를 나타낸 도면.

제2b도는 제2a도에 도시된 버스 비교기의 동작을 설명하기 위한 진가표.

제3도는 본 발명에 따른 고밀도 메모리의 테스트를 위한 병렬리드회로를 나타낸 도면이다.

\* 도면의 주요부분에 대한 부호의 설명

CA1~CA4 : 셀 어레이 블럭

L1~L4 : 데이터 라인

MX1~MX4 : 멀티 플렉서

SA<sub>11</sub>~SA<sub>44</sub> : 개별 데이터 라인 센스 증폭기

SA1~SA4 : 센스 증폭기

LCM~LCM4 : 데이터 라인 비교기

DB1~DB4 : 데이터 버스

BS1~BS4 : 버스 셀렉터

BCM : 데이터 버스 비교기

OB : 공통 출력 버퍼

OB<sub>1</sub>~OB<sub>4</sub> : 개별 출력 버퍼

[발명의 상세한 설명]

본 발명은 고밀도 메모리(High Density Memory)의 테스트를 위한 병렬리드회로에 관한 것으로, 보다 상세하게 제작된 고밀도 메모리 칩의 고장 여부를 테스트하기 위하여 메모리 셀로부터 소정의 테스트 패턴 입력에 따른 복수 비트의 출력을 병렬로 리드하는 과정에 있어서 하나의 테스트 사이클에서 내장 데이터 버스의 수보다 많은 데이터를 리드하여 테스트 할 수 있게 함으로써 테스트 소요시간을 효과적으로 감축시킨 고밀도 메모리의 병렬리드회로에 관한 것이다.

근래에 들어서 반도체 업계에서는 정보통신의 발전에 기하여 저소비전력, 고속동작, 고밀도화의 특징을 가진 메모리 소자의 개발에 박차를 가하고 있으며, 그 결과로서 수~수십 메가급의 메모리 소

자가 상업적으로 생산되어 사용되고 있다. 이러한 고밀도(High Density)메모리를 제작함에 있어서는 상당한 수준의 미세가공 기술이 수반되어야 함은 물론이고, 소자의 특성상 제품의 출하전에 그 성능의 테스트가 완벽하게 이루어져야 함은 말할 나위도 없다. 그런데, 단일 칩내의 메모리 셀의 집적도가 크면 퀄리티 모든 셀의 테스트 과정은 대단히 복잡해지고 장시간이 소요되는 문제가 야기되고 있다. 회로당 테스트 소요시간은 생산적인 측면에서 대단히 중요한 요소가 되기 때문에, 최근에는 칩의 집적도의 향상과 아울러 테스트 효율의 개선에 대한 노력이 배가되고 있다. 그래서 보통 본 기술 분야에서 말하는 시험능력(Testability), 즉 제어능력(입력단에서 내부조직을 제어할 수 있는 능력)과 관찰능력(칩의 출력단에서 내부조직의 상태 결과를 관찰할 수 있는 능력)을 높이기 위한 방안으로서, 그 칩의 동작기능을 고려하여 칩 내부에 테스트 지점(test node)을 설치하거나 멀티플렉서를 사용하여 테스트 경로를 만들어 그 칩의 시험능력을 부여하고 있다.

그런데, 본 발명의 대상이 되고 있는 관찰능력의 관점에서 볼 때, 특히 RAM(Random Access Memory) 소자에 대하여 관찰능력을 부여하기 위한 종래의 방안으로서는, 각각의 셀 어레이 블럭에서 출력되는 복수 비트의 데이터를 멀티 플렉서에 의해 하나씩 주출하여 각각의 데이터 버스를 경유하여 출력 버퍼의 입력단에 설치된 비교기로 전송하고, 이 비교기에서 모든 셀에 대하여 동일한 값으로 입력된 테스트 입력에 따른 셀의 출력상태의 동일 여부를 판별함으로써 셀의 고장여부를 시험할 수 있게 하는 방법이 있다.

이러한 방법에 의하면, 한 개의 데이터 버스에 1개의 데이터만이 전송되기 때문에 각각의 셀 어레이 블럭으로부터의 복수비트 출력을 병렬로 리드(read)하여 테스트하는 경우에는 테스트 가능한 비트의 수가 데이터 버스의 수로 제한되어 전체적인 테스트 소요시간을 감소시키는데 제약이 따르고 있다. 이러한 문제점은 메모리 소자의 집적도가 증가할수록 심화되어 단위 시간당 테스트되는 부품의 수량이 더욱 저하되는 단점까지 초래되고 있다.

본 발명은 기존의 칩 구조를 크게 변화시키지 않은 상태에서 데이터 버스 수 이상의 데이터를 병렬로 테스트할 수 있게 하여 전체적인 테스트 소요시간을 효과적으로 감축시킨 고밀도 메모리의 테스트를 위한 병렬리드회로를 제공하는데 그 목적을 두고 있다.

상기한 목적을 달성하기 위하여 본 발명의 병렬리드회로는 아래와 같은 특징적 구성을 가진다. 즉, 각각의 셀 어레이 블럭의 출력 데이터 라인마다 센스 증폭기를 설치하여 각각의 셀 어레이 블럭에서 액세스된 복수 출력 데이터를 증폭하여 선단(Front Stage)비교기에 인가한다. 테스트 초기에 모두 동일한 값으로 인가된 테스트 패턴 입력에 응답하여 각각의 셀 어레이 블럭에서 나오는 복수의 출력 데이터를 입력한 상기한 선단 비교기는 상기한 복수의 출력 데이터를 상호 비교하여 데이터 일치 여부를 판별하고 그에 따라 새로운 비교결과의 데이터를 발생하여 각각의 데이터버스에 공급한다. 출력 버퍼의 입력단에 설치된 후단(Rear Stage) 비교기는 상기한 각각의 셀 어레이 블럭으로부터 해당 데이터 버스를 통하여 전달되어온 1차 비교결과 데이터를 종합적으로 서로 비교하여 일치 여부를 판별하고 그에 따라 최종적인 메모리 셀 어레이 블럭들의 테스트 결과 데이터를 발생시켜 출력 버퍼를 경유하여 출력 노드에 전송시키게 된다. 이와 같이 하나의 데이터버스마다 각각의 셀 어레이 블럭의 복수의 데이터를 한 번에 전송하는 효과를 얻을 수 있게 되어 하나의 테스트 리드 사이클에서 내장 데이터 버스의 수 이상의 데이터를 병렬로 테스트할 수 있게 됨으로써 전체적으로 메모리 칩의 양불(良否)테스트 시간을 종래에 비해 대폭적으로 줄일 수 있게 된 것이다.

다음은 첨부도면을 참조하여 본 발명을 보다 상세하게 설명한 것이다.

제1도에는 종래 기술에 의한 병렬리드 방식의 테스트 시간을 구비한 고밀도 메모리의 병렬리드회로가 도시되어 있다. 동 도면에서, 참조부호 CA1~CA4는 각각 메모리 셀 어레이 블럭을 나타내는 것으로서, 이들은 각각 복수 비트의 입출력 데이터 라인(이하 데이터 라인이라고 칭함)(L1)~(L4)을 통하여 입력 버퍼(도시하지 않음)측(Di)에 연결됨과 동시에 데이터 라인 멀티 플렉서(MX1)~(MX4)에도 연결되어 있다.

상기한 멀티 플렉서(MX1)~(MX4)의 출력은 각각 센스 증폭기(SA1)~(SA4)에 접속되어 있다. 병렬리드 모드에서 동시에 액세스될 모든 메모리셀에 병렬라이트 통로를 통하여 동일한 입력 정보(Di)를

$\overline{\text{WE}}$                        $\overline{\text{CAS}}$

기록해둔 상태에서, 리드모드시( $\overline{\text{CS}} = 1$ )에 컬럼어드레스 신호( $\overline{\text{CS}}$ )에 의해 지정된 셀 어레이 블럭(CA1)~(CA4)의 출력 데이터가 데이터 라인(L1)~(L4)을 통하여 멀티 플렉서(MX1)~(MX4)에 공급될 때 멀티 플렉서 콘트롤러(MXC)는 제어클럭(CK1)~(CK4)을 발생하여 멀티 플렉서(MX1)~(MX4)에 공급하며, 이에 따라 멀티 플렉서(MX1)~(MX4)는 각각 상기한 복수의 비트(도면에서는 4비트 데이터 라인이 도시됨)을 구비한 데이터((L1)~(L4))에 대하여 1비트 데이터 라인을 선택하여 그 출력 데이터를 센스 증폭기(SA1)~(SA4)에 전송하여 증폭한 다음 각각 데이터 버스((DB1)~(DB4))에 연결하도록 되어 있다.

그리고, 데이터 버스(DB1)~(DB4)는 각각 버스 셀렉터(BS1)~(BS4)를 경유하여 출력 버퍼(OB)의 입력단에 공통적으로 연결되어 있는 한편, 버스 비교기(BCM)에도 인가되어 있다. 버스 비교기(BCM)는 상기한 데이터 버스(DB1)~(DB4)를 통하여 전달된 복수의 출력 데이터를 상호 비교하여 그 데이터의 일치여부를 판별하고, 그 결과 데이터를 출력 버퍼(OB)에 전송하도록 되어 있다.

$\overline{\text{TST}}$

메모리 셀 어레이 블럭의 양불(良否)을 점검하기 위한 테스트 모드( $\overline{\text{CS}} = 0$ )에서는, 버스 비교기

$\overline{\text{CE}}$

콘트롤러(BCC)는 버스 비교기(BCM)를 인에이블시키는 클럭( $\overline{\text{CE}}$ )을 발생하여 버스 비교기(BCM)를 활성화시키는 한편 버스 셀렉터 콘트롤러(BSC)는 버스 셀렉팅 인에이블신호(SE1)~(SE4)를 모두 리세트시켜 버스 셀렉터(BS1)~(BS4)를 디스에이블시킨다. 따라서, 테스트 모드하에서 각각의 셀 어레이 블럭에서 독출된 테스트 패턴 입력에 따른 복수의 출력데이터 중에서 각각의 멀티 플렉서(MX1)~(MX4)에 의해 하나씩 선택된 출력데이터들은 각각 센스 증폭기(SA1)~(SA4)에서 증폭된 후 대응하는

데이터버스(DB1)~(DB4)를 경유하여 버스 비교기(BCM)에 인가된다. 그러면, 버스 비교기(BCM)는 상기한 데이터 버스(DB1)~(DB4)상의 각 데이터를 상호 비교하여 일치여부를 판별하고 그 결과 데이터를 발생하여 출력 버퍼(OB)를 통하여 출력노드(Do)에 테스트된 메모리소자의 통과(Go) 또는 정지(No Go)신호를 내보내게 된다. 버스 비교기(BCM)의 비교동작을 제2도를 참조하여 좀더 상세하게 설명하기로 한다. 데이터 버스(DB1)~(DB4)는 제1도에서는 편의상 포지티브 버스만이 도시되어 있으나, 엄격히 말하면 제2a도에 도시된 바와 같이 포지티브 버스(DB1)~(DB4)와 네거티브 버스(또는 콤프리먼트 버스)(DB1)~(DB4)로 이루어져 있다.

버스 비교기(BCM)는 포지티브 버스(DB1)~(DB4)를 입력으로 하는 4입력 NAND게이트(G1)와 이를 반전하는 인버터(G2), 그리고 네거티브 버스(DB1)~(DB4)를 입력으로 하는 4입력 NAND게이트(GB1)와 이를 반전하는 인버터(GB2)를 포함하고 있다. 이러한 구성하에서, 테스트 패턴입력이 모두 "1"로 세트된 경우 데이터 버스(DB1)~(DB4)상의 출력 데이터 "1"로 나타나면, 제2b도에서 나타낸 바와 같이 버스 비교기(BCM)의 출력은 Q=1,  $\bar{Q}=0$ 으로 되어 피시험 셀 어레이 블럭이 양호함을 나타내고, 테스트 패턴 입력이 모두 "0"으로 세트된 경우 데이터 버스(DB1)~(DB4)상의 출력 데이터가 "0"으로 나타나면 버스 비교기(BCM)의 출력은 Q=0,  $\bar{Q}=1$ 로 되어 피시험 셀 어레이 블럭이 양호함을 표시한다.

반면에, 테스트 패턴 입력이 모두 "1" 또는 "0"으로 세트되었음에도 불구하고, 데이터 버스(DB1)~(DB4)상의 출력이 상기의 2 경우와는 달리 일부는 "1"로, 나머지는 "0"으로 나타나게 되면, 버스 비교기(BCM)는 그 내부의 로직에 의해 Q=0의 출력상태를 만들어냄으로써 피시험 셀 어레이 블럭이 불량임을 표시하게 된다.

다음에는, 제1도에 도시된 회로 블럭이 테스트 모드가 아닌 정상동작모드(normal operation mode)에 있는 경우를 설명한다. 정상동작모드( $\bar{CE}=1$ )하에서는 상기한 버스 비교기 콘트롤러(BCC)는 버스

비교기 인에이블 클럭( $\bar{CE}$ )을 세트상태로 만들어 버스 비교기(BCM)를 디스에이블시키는 한편, 버스 셀렉터 콘트롤러(BSC)는 버스 셀렉팅 인에이블 신호(SE1)~(SE4)를 소정의 순서에 따라 발생하여 버스 셀렉터(BS1)~(BS4)를 활성화시킨다. 이에 따라 정상동작 모드하에서, 각각의 셀 어레이 블럭에 장착된 멀티 플렉서(MX1)~(MX4)에서는 각각 복수의 데이터 라인중의 하나의 데이터 라인을 선택하여 그 데이터를 대응하는 센스 증폭기(SA1)~(SA4)에 전달하여 증폭하게 된다.

증폭된 신호는 각각 데이터 버스(DB1)~(DB4)에 실려지게 되는 바, 증폭된 신호를 실은 데이터 버스(DB1)~(DB4)는 모두 일시에 출력 버퍼(OB)에 그 신호를 전달하는 것이 아니라 활성화된 하나의 버스 셀렉터(BS1)~(BS4)에 의해서 선택된 하나의 데이터 버스만이 그 신호를 출력 버퍼(OB)에 전달하도록 되어 있으며, 이와 같은 독출과정에 의해 정상적으로 1개의 비트 데이터가 메모리 소자에서 액세스되어지는 것이다.

이상의 설명에서 이해될 수 있듯이, 제1도에 도시된 구성에 있어서는, 한 개의 데이터 버스에 1개의 데이터만이 전송되기 때문에 각각의 셀 어레이 블럭으로부터 나오는 복수비트의 출력을 병렬로 리드하여 테스트하고자 하는 경우에, 1테스트 사이클에 테스트 가능한 비트의 수가 데이터 버스의 수로 한정되기 때문에 각각의 셀 어레이 블럭내의 모든 데이터 정보를 억세스하여 테스트하는데는 상당한 시간이 소요되는 것이다.

제3도에는 상기한 문제점을 해소할 수 있는 본 발명의 메모리 테스트를 위한 병렬리드회로가 도시되어 있다.

제3도의 구성 요소중에서 제1도의 구성요소와 동일한 것에 대해서는 동일한 참조부호를 부여하고, 그 가능 유사한 것에 대해서는 제1도에 표기된 참조부호에 어깨글자(superscript)로서 바아(bar)를 부가하여 표시하고 있다.

제3도의 구성에서 제1도의 구성과 현저하게 차이를 보이는 점은 다음과 같다.

각각의 셀 어레이 블럭(CA1)~(CA4)에 연결된 복수 비트의 데이터 라인(L1)~(L4)의 각 비트에 대하여 개별 데이터 라인 센스 증폭기( $S_{11} \sim S_{14}$ )( $S_{21} \sim S_{24}$ )( $S_{31} \sim S_{34}$ )( $S_{41} \sim S_{44}$ )를 접속하고, 고속 테스트 모드( $\bar{FTS}=0$ )하에서 발생되는 이들 개별 데이터 라인 센스 증폭기의 출력을 셀 어레이 블럭마다 하나씩 설치된 데이터 라인 비교기(LCM1)~(LCM4)에 인가하여 그 동일 여부를 비교하도록 한다. 데이터 라인 비교기(LCM1)~(LCM4)는 상기한 개별 데이터 라인 센스 증폭기의 출력들의 동일 여부를 판별하여 그 결과 데이터를 대응하는 데이터 버스(DB1)~(DB4)에 전송한다. 상기한 개별 데이터 라인 센스 증폭기들이 고속 테스트 모드( $\bar{FTS}=0$ )에서 활성화되는 동안, 복수 비트의 데이터 라인(L1)~(L4)에 대한 멀티 플렉서(MX1)~(MX4)는 멀티 플렉서 콘트롤러(MXC')에서 나오는 클럭(CK1)~(CK4)이 리셋트

됨에 따라 디스에이블되도록 되어 있다. 정상동작 모드( $\bar{FTS}=1$ )하에서 멀티 플렉서 콘트롤러(MSC')가 멀티 플렉서 인에이블 클럭(CK1)~(CK4)을 발생하여 멀티 플렉서(MX1)~(MX4)를 활성화시키는 경우에는, 상기한 고속 테스트 모드시와는 달리 개별 데이터 라인 센스 증폭기들은 디스에이블되도록

되어 있다.

### **FTS**

버스 셀렉터 콘트롤러(BSC')는 고속 테스트 모드( $=0$ )에서는 버스 셀렉팅 인에이블 신호(SE1)~(SE4)를 리세트시킴으로써 데이터 라인 비교기(LCM1)~(LCM4)로부터의 새로운 비교출력데이터를 공급한다.

통 출력 버퍼(0B)로 전송하지 않게 되며, 정상동작모드( $=1$ )에서는 버스 셀렉팅 인에이블신호(SE1)~(SE4)을 발생하여 소정의 버스 셀렉터(BS1)~(BS4)를 인에이블시키며, 이에 따라 멀티 플렉서(MX1)~(MX4)에 의해 선택되어 센스 증폭기(SA1)~(SA4)에서 증폭된 정상독출모드의 비트 데이터들은 상기한 활성화된 버스 셀렉터(BS1)~(BS4)를 경유하여 공통 출력 버퍼(0B)에 전달되도록 되어 있다.

상기한 데이터 버스(DB1)~(DB4)들은 각각 직접적으로 개별 출력 버퍼(0B<sub>1</sub>)~(0B<sub>4</sub>)에 인가됨으로써 고속 테스트 모드시에 상기한 각각의 데이터 라인 비교기(LCM1)~(LCM4)로부터의 1차 비교출력데이터를 대응하는 개별 출력 버퍼(0B<sub>1</sub>)~(0B<sub>4</sub>)에 전달하여 복수의 테스트 출력을 얻을 수 있게 하고 있다.

아울러 상기한 데이터 버스(DB1)~(DB4)들은 각각 데이터 버스 비교기(BCM)에 인가되어 고속 테스트 모드시에 상기한 각각의 데이터 라인 비교기(LCM1)~(LCM4)로부터의 1차 비교 출력데이터를 데이터 버스 비교기(BCM)에서 다시 상호 비교하여 최종적으로 하나의 테스트 출력을 발생시켜 공통 출력 버퍼(0B)를 경유하여 하나의 출력노드(Do)에 전달할 수 있도록 되어있다.

### **FTS**

상기한 버스 비교기(BCM)의 동작은 고속 테스트 모드 제어클럭( $\overline{\text{DN}}$ )과 테스트 출력 갯수 결정클럭( $\overline{\text{CE}}$ )을 입력으로 하는 버스 비교기 콘트롤러(BCC')에 의해 제어된다. 즉, 고속 테스트 모드( $=0$ )하에서 클럭( $\overline{\text{DN}}$ )의 레벨이 논리 "0"인 경우, 버스 비교기 콘트롤러(BCC')는 데이터 버

스 비교기(BCM)를 인에이블시키는 클럭( $=0$ )을 발생하여 데이터 버스 비교기(BCM)를 활성화시킴과 동시에 개별 출력 버퍼(0B<sub>1</sub>)~(0B<sub>4</sub>)를 디스에이블시켜 소정의 테스트 패턴 입력에 따라 테스트 출력을 발생시키게 된다.

### **FTS**

### **DN**

반면에 고속 테스트 모드( $=0$ )하에서 상기한 클럭( $\overline{\text{CE}}$ )의 레벨이 논리 "1"인 경우에는, 버스 비교기 콘트롤러(BCC')는 버스 비교기 인에이블신호( $\overline{\text{DN}}$ )를 세트 상태로 만들어 데이터 버스 비교기(BCM)를 디스에이블 시킴과 동시에 개별 출력 버퍼(0B<sub>1</sub>)~(0B<sub>4</sub>)를 활성화시키게 되며, 이에 따라 데이터 버스(DB1)~(DB4)를 통하여 전달된 상기한 데이터 라인 비교기(LCM1)~(LCM4)의 1차 비교출력데이터는 상기한 데이터버스 비교기(BCM)에서 다시 비교되지 않고 곧 바로 개별 출력 버퍼(0B<sub>1</sub>)~(0B<sub>4</sub>)에 전달되어 복수의 테스트 출력이 얻어지도록 하고 있다.

상기한 바와 같은 구성을 가진 본 발명의 회로에 의하면, 하나의 사이클에서 복수의 셀 어레이 블럭이 활성화되고 각각의 어레이 블럭에 대하여 복수의 입출력 데이터 라인(L1)~(L4)이 셀 데이터를

### **FTS**

엑세스하여 동작하는 메모리의 병렬리드회로에 있어서, 고속 테스트 모드 제어클럭( $\overline{\text{DN}}$ )에 의해 각각의 출력 데이터 라인은 엑세스된 데이터를 개별 데이터 라인 센스 증폭기(SA<sub>11</sub>~SA<sub>14</sub>)(SA<sub>41</sub>~SA<sub>44</sub>)에 전달하여 증폭한다. 증폭된 신호는 데이터 라인 비교기(LCM1)~(LCM4)에 의해 비교되어 새로운 1차 비교결과 데이터를 발생시키며, 이들의 1차 비교결과 데이터는 각각의 데이터 버스 비교기(BCM)에 의해 다시 비교되어 2차 비교결과 데이터를 발생시킨다.

이 데이터는 공통 출력 버퍼(0B)를 구동하여 테스트에 응답하게 된다.

이와 같은 테스트 방식에 의해서, 한 개의 데이터 버스에 복수 비트의 데이터를 전송할 수 있는 효과가 얻어지고, 이에 따라 하나의 사이클에서 내장 데이터 버스의 수 이상의 데이터를 병렬로 테스트할 수 있게 되어 전체적으로 테스트 소요 시간을 효과적으로 줄일 수 있다.

한편, 테스트 출력 갯수를 결정하는 클럭신호(DN=1)에 의해 각각의 데이터 버스는 데이터 버스 비교기(BCM)에서 비교되지 않고 직접적으로 개별 출력 버퍼(0B<sub>1</sub>)~(0B<sub>4</sub>)로 전달되어 선단의 데이터 라인 비교기(LCM1)~(LCM4)에서 비교한 데이터를 직접 출력하게 된다. 이와 같이 하면, 고장 발생이 검지된 경우, 그 고장난 셀 어레이 블럭을 좀 더 구체적으로 파악할 수 있게 되는 것이다.

### **FTS**

또한, 고속 테스트 모드가 아닌 정상동작모드( $=1$ )에서는, 개별 데이터 라인 센스 증폭기(SA<sub>11</sub>~SA<sub>14</sub>)(SA<sub>41</sub>~SA<sub>44</sub>)는 디스에이블되고 각 어레이 블럭에 장착되어 있는 멀티 플렉서(MX1)~(MX4)에서 복수의 출력 데이터 라인중의 하나가 선택되어 센스 증폭기(SA1)~(SA4)에 의해 증폭된 다음 버스 셀렉터(BS1)~(BS4)에 인가된다.

이어서 활성화된 소정의 버스 셀렉터(BS1)~(BS4)에 인가된 데이터 버스 신호는 공통 출력 버퍼(0B)를 경유하여 출력노드(Do)에 공급됨으로써 정상적인 1비트의 엑세스 동작이 완료된다.

## (57) 청구의 범위

### 청구항 1

하나의 리드 사이클에서 동시에 활성화되는 복수의 셀 어레이 블럭(CA1)~(CA4)의 각각에 대하여 복

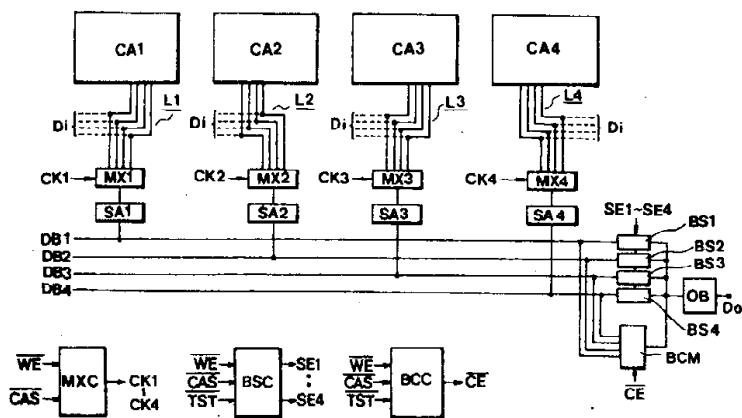
수의 입출력 데이터 라인(L1)~(L4)이 셀 데이터를 억세스하여 대응하는 데이터 버스(DB1)~(DB4)에 전송하며, 상기한 데이터 버스(DB1)~(DB4)를 통하여 전달되는 미리 정해진 테스트 패턴 입력에 응답한 셀 데이터를 서로 비교하여 하나의 테스트 출력을 발생하는 데이터 버스 비교기(BCM)를 공통 출력 버퍼(OB)의 입력단에 연결하여 구성된 고밀도 메모리의 테스트를 위한 병렬리드회로에 있어서, 상기한 복수의 셀 어레이 블럭(CA1)~(CA4)의 각각에 대하여 해당 출력 데이터 라인(L1)~(L4)의 각 비트를 증폭할 수 있는 개별 데이터 라인 센스 증폭기(SA<sub>11</sub>~SA<sub>14</sub>)(SA<sub>21</sub>~SA<sub>24</sub>)(SA<sub>31</sub>~SA<sub>34</sub>)(SA<sub>41</sub>~SA<sub>44</sub>)와, 이들 센스 증폭기의 출력을 셀 어레이 블럭 단위로 상호 비교하여 새로운 1차 비교결과 데이터를 각각 발생시켜 이를 대응하는 데이터 버스 (DB1)~(DB4)에 전송하는 데이터 라인 비교기(LCM1)~(LCM4)를 설치하여 구성되는 것을 특징으로 하는 고밀도 메모리의 테스트를 위한 병렬리드회로로.

## 청구항 2

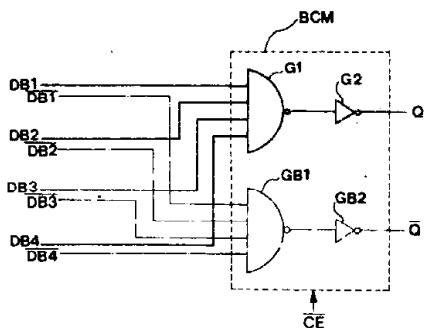
제1항에 있어서, 상기한 데이터 버스(DB1)~(DB4)의 후단에, 상기한 데이터 라인 비교기(LCM1)~(LCM4)에서 출력되는 고속 테스트 모드시에 테스트 출력을 각각 증폭하는 개별 출력 버퍼(OB<sub>1</sub>)~(OB<sub>4</sub>)가 접속된 것을 특징으로 하는 고밀도 메모리의 테스트를 위한 병렬리드회로로.

## 도면

### 도면1



### 도면2-A



### 도면2-B

테스트 패턴입력	DB1 ~ DB4	Q	$\bar{Q}$	테스트 패턴
모두 1	모두 1	1	0	영포(통과)
모두 0	모두 0	0	1	영호(통과)
모두 1 또는 0	일부 1, 나머지 0	0	0	불능(정지)

## 도면3

